

# YAMAHA<sup>®</sup> LSI

## Data Book

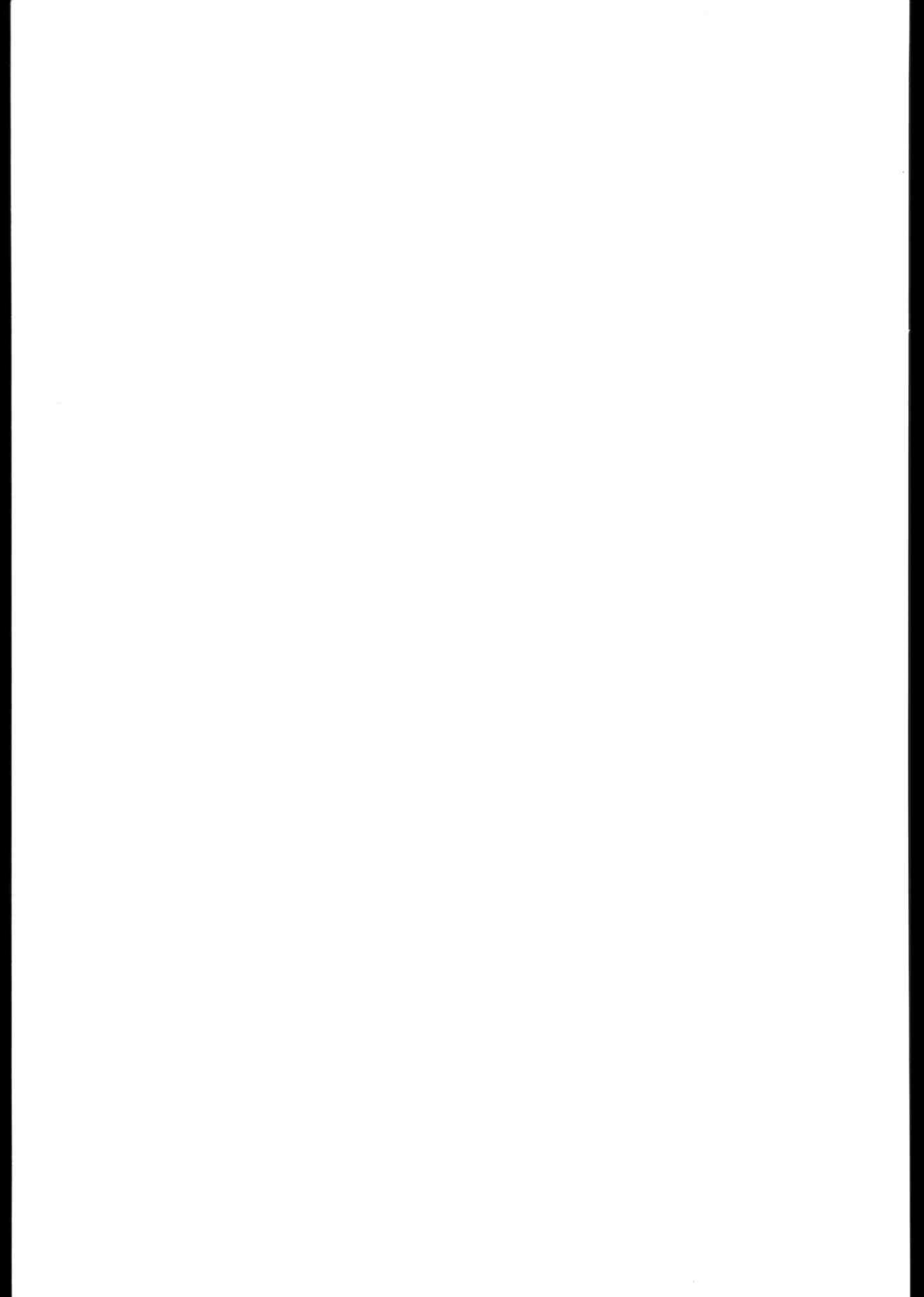
画像編

**YAMAHA**

データブック 画像編

CATALOG No.: 7630002

1994. 10



# YAMAHA LSI DATA BOOK

画 像 編



**YAMAHA**

### 重要なお知らせ

1. 本製品は用途によっては外国為替及び外国貿易管理法に定める貨物または技術（役務）に該当する場合があります。該当する貨物または技術を輸出する場合は同法に基づく日本政府の輸出許可が必要です。詳しくは弊社営業所へお問い合わせ下さい。
2. 本製品及び本文書は、何らの通知なしに変更される場合があります。本製品をご使用になる前に、最新のカatalog、マニュアル等を弊社代理店よりお取り寄せ下さい。
3. 本製品は、直接に生命にかかわる装置、原子力施設、航空機、交通機器、各種安全装置など製品の故障が直接に人の死亡、傷害、または重大な物理的もしくは環境上の損害を引き起こすようなシステム機器または装置に使用するために設計されたものではありません。本製品をこのようなシステム機器または装置に使用されることによる危険および損害は製品を使用されるお客様にご負担戴きます。
4. お客様が製品を誤った、または不適当な方法で使用または操作された結果の損害につきましては弊社は一切責任を負いません。
5. 本製品を他の機器と組み合わせてまたは他の装置に使用されることが、第三者または弊社の特許権、著作権またはその他の知的財産権の実施に該当するとしても、弊社はそれらに関して何らのライセンスも（明示であれ黙示であれ）許諾されていることを保証するものではありません。弊社は、製品のかかる使用によって生じた第三者の権利に対する侵害について、一切責任を負いません。
6. 本文書に記載されている使用例は、単に本製品の機能を説明したものにすぎません。弊社は、本文書に記載されている例に基づいた使用により生ずるかもしれない一切の知的財産権に関するクレームまたはその他のクレームに対して、何らの責任も負いません。

## まえがき

平素はヤマハ半導体製品をご愛用賜り厚く御礼申し上げます。

このたび、1994年から1995年にかけての新製品を追加しましたデータブックが完成致しましたので、ここにご案内申し上げます。皆様にご愛用いただければ幸いに存じます。

本書に記載しました規格、内容等に不明な点がございましたらお手数ですが、弊社代理店営業担当および、弊社営業担当までお問い合わせ戴きますよう宜しくお願い申し上げます。

今後とも末永くヤマハ半導体製品のご愛用をお願い申し上げます。

ヤマハ株式会社  
半導体営業部

# 結 語

本書は、日本の経済成長と関係する二つの問題を扱った。一つは、

戦後、日本が経済成長を遂げたこと、もう一つは、その成長を支えた

要因の一つとして、政府の役割が果たした点に注目している。特に、

戦後、日本が経済成長を遂げたこと、もう一つは、その成長を支えた

戦後、日本が

戦後、日本が

YAMAHA LSI DATA BOOK  
画像編

目次

1. YAMAHA LSIについて	
1-1. 品質・信頼性 .....	1-1
1-2. パッケージインフォメーション .....	1-10
1-3. 用語・記号解説 .....	1-37
2. パネル&CRTコントローラ	
V6366C (PCDC) .....	2-1
3. ビデオディスプレイプロセッサ	
V9958 (E-VDP-II) .....	3-1
V9990 (E-VDP-III) .....	3-9
YGV604 (VSG) .....	3-21
YGV605 (PVDC) .....	3-33
YGV606B (AVDP) .....	3-43
YGV607 (PVDCD) .....	3-53
YGV608 (PVDC2) .....	3-63
YGV609 (CSLC) .....	3-73
YGV610 (CPDC) .....	3-81
4. 文字多重放送用LSI	
YM6030 (DRT) .....	4-1
YM6404 (IDT) .....	4-11
5. ストローク方式漢字ROM	
YKMR41A .....	5-1
6. 評価ボードのご案内 .....	6-1

1

2

3

4

5

6

1-14 1954  
1-15 1954  
1-16 1954  
1-17 1954  
1-18 1954  
1-19 1954  
1-20 1954  
1-21 1954  
1-22 1954  
1-23 1954  
1-24 1954  
1-25 1954  
1-26 1954  
1-27 1954  
1-28 1954  
1-29 1954  
1-30 1954  
1-31 1954

1-32 1954  
1-33 1954  
1-34 1954  
1-35 1954  
1-36 1954  
1-37 1954  
1-38 1954  
1-39 1954  
1-40 1954  
1-41 1954  
1-42 1954  
1-43 1954  
1-44 1954  
1-45 1954  
1-46 1954  
1-47 1954  
1-48 1954  
1-49 1954  
1-50 1954  
1-51 1954  
1-52 1954  
1-53 1954  
1-54 1954  
1-55 1954  
1-56 1954  
1-57 1954  
1-58 1954  
1-59 1954  
1-60 1954

1-61 1954  
1-62 1954  
1-63 1954  
1-64 1954  
1-65 1954  
1-66 1954  
1-67 1954  
1-68 1954  
1-69 1954  
1-70 1954  
1-71 1954  
1-72 1954  
1-73 1954  
1-74 1954  
1-75 1954  
1-76 1954  
1-77 1954  
1-78 1954  
1-79 1954  
1-80 1954  
1-81 1954  
1-82 1954  
1-83 1954  
1-84 1954  
1-85 1954  
1-86 1954  
1-87 1954  
1-88 1954  
1-89 1954  
1-90 1954  
1-91 1954  
1-92 1954  
1-93 1954  
1-94 1954  
1-95 1954  
1-96 1954  
1-97 1954  
1-98 1954  
1-99 1954  
1-100 1954

1-101 1954  
1-102 1954  
1-103 1954  
1-104 1954  
1-105 1954  
1-106 1954  
1-107 1954  
1-108 1954  
1-109 1954  
1-110 1954  
1-111 1954  
1-112 1954  
1-113 1954  
1-114 1954  
1-115 1954  
1-116 1954  
1-117 1954  
1-118 1954  
1-119 1954  
1-120 1954  
1-121 1954  
1-122 1954  
1-123 1954  
1-124 1954  
1-125 1954  
1-126 1954  
1-127 1954  
1-128 1954  
1-129 1954  
1-130 1954  
1-131 1954  
1-132 1954  
1-133 1954  
1-134 1954  
1-135 1954  
1-136 1954  
1-137 1954  
1-138 1954  
1-139 1954  
1-140 1954  
1-141 1954  
1-142 1954  
1-143 1954  
1-144 1954  
1-145 1954  
1-146 1954  
1-147 1954  
1-148 1954  
1-149 1954  
1-150 1954

1-151 1954  
1-152 1954  
1-153 1954  
1-154 1954  
1-155 1954  
1-156 1954  
1-157 1954  
1-158 1954  
1-159 1954  
1-160 1954  
1-161 1954  
1-162 1954  
1-163 1954  
1-164 1954  
1-165 1954  
1-166 1954  
1-167 1954  
1-168 1954  
1-169 1954  
1-170 1954  
1-171 1954  
1-172 1954  
1-173 1954  
1-174 1954  
1-175 1954  
1-176 1954  
1-177 1954  
1-178 1954  
1-179 1954  
1-180 1954  
1-181 1954  
1-182 1954  
1-183 1954  
1-184 1954  
1-185 1954  
1-186 1954  
1-187 1954  
1-188 1954  
1-189 1954  
1-190 1954  
1-191 1954  
1-192 1954  
1-193 1954  
1-194 1954  
1-195 1954  
1-196 1954  
1-197 1954  
1-198 1954  
1-199 1954  
1-200 1954



## 1. YAMAHA LSIについて



YAMAHA ESTABLISHED

## 1-1. 品質・信頼性

集積回路は高集積化・高速化等の性能面での急速な進歩と、システムの複雑化・高信頼度要求や組立工程の合理化・省力化要求から、その需要はますます増大の一途をたどっています。システムの品質・信頼性を決定する因子として集積回路の品質・信頼度が非常に重大な意味を持っています。

弊社は経営理念の第一に「顧客主義の経営」「高品質主義」を掲げ、お客様のご要求に適合した高品質の集積回路製品を安定供給することを重要なテーマとして、開発・設計から製造・物流の各段階はもとよりお客様との係わりの全てに於いての品質・信頼性の維持向上に全社員一丸となって取り組んでいます。図1に弊社における品質・信頼性管理体系の概要を示します。

### 1. 開発段階における品質活動

集積回路製品の品質・信頼性は、そのプロセス設計・製品設計によってほぼ決定されるといっても過言ではなく「品質は設計で作り込め」を合い言葉とし重点的な活動を展開しています。

#### (1) 設計の標準化

デザインルールの確立、部品・材料・プロセスの標準化をおこなっています。素子設計・回路設計・レイアウト（マスク）設計の各段階で品質・信頼性に関し充分検討をおこない、過去の故障事例や市場情報を配慮し対策を盛り込んだ設計をおこなっています。したがって新規に開発された製品といえども品質・信頼性に関する危険性をきわめて小さくしています。

#### (2) 製品設計

CAD技術を最大限に活用し、整備・登録された設計基準や標準セルなどを用いて回路設計・マスク設計をおこなうと共に、ロジックシミュレーションやタイミングシミュレーションなどによる設計検証を行っています。

#### (3) TEGによる信頼性評価

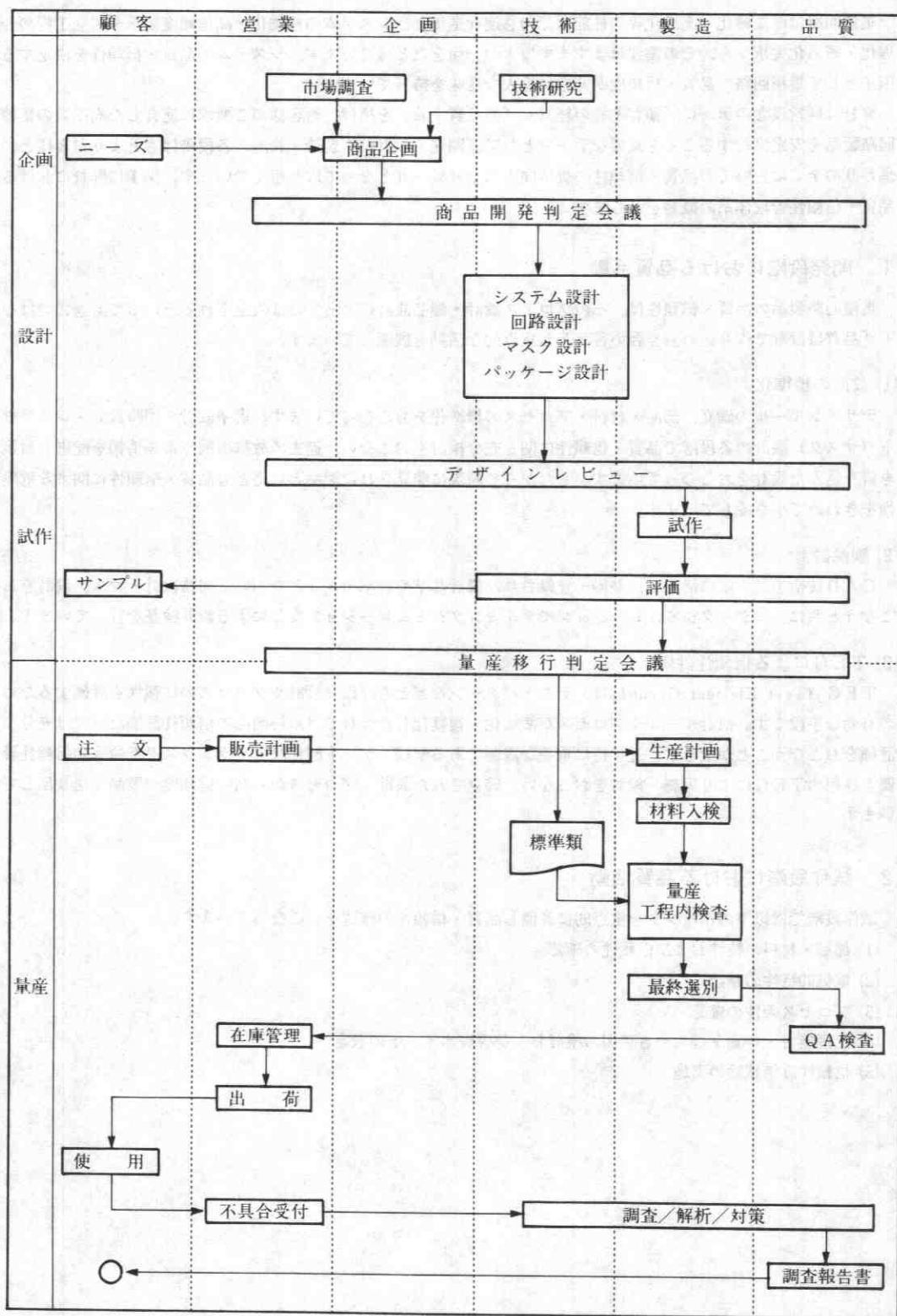
TEG (Test Element Group) は、テストパターンなどとも呼ばれ設計やプロセスの信頼性を評価するための有効な手段です。設計ルールやプロセスが微細化・複雑化した今日では最終商品の信頼性評価だけでは十分な評価をおこなうことができず、近年特に重要な課題である配線・ゲート酸化膜・トランジスタ寿命等の信頼性評価も専用のTEGにより実施・検討をおこない、確立された設計・プロセスから高い信頼度の製品を送り出しています。

### 2. 試作段階における品質活動

試作段階では以下のポイントを重点的に評価し品質・信頼性の確認をおこなっています。

- (1) 部品・材料の特性および信頼性の確認
- (2) 電気的特性の確認
- (3) プロセス条件の確認
- (4) 工程能力・ロットばらつき要因の検討および管理ポイントの設定
- (5) 信頼性評価試験の実施

図1. 品質・信頼性管理体系

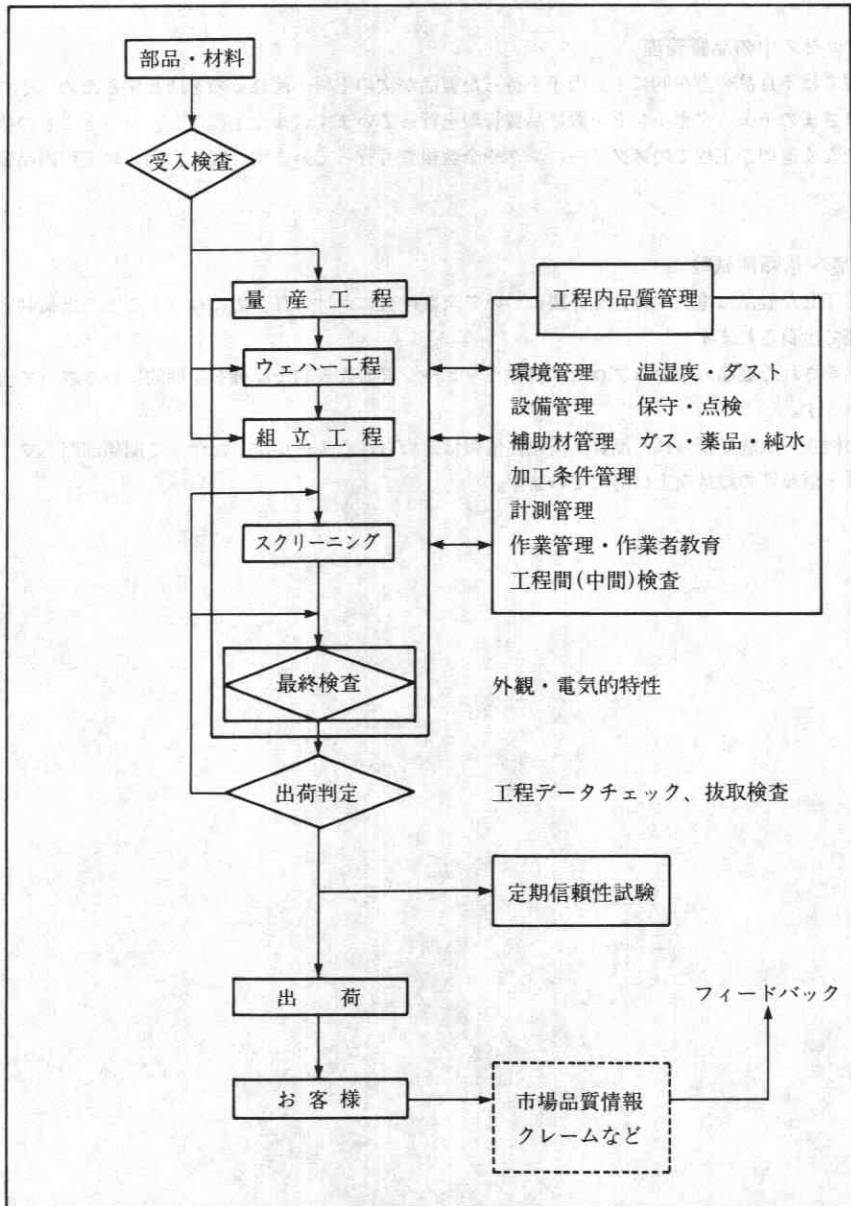


### 3. 量産段階における品質活動

#### (1) 部品・材料の品質管理

ウェハー・マスク・薬品・リードフレーム・ワイヤボンド用金線・パッケージなど外部から購入している資材は購入仕様書や承認図面にしたがって作成された受け入れ検査規格に基づき検査し合格した材料のみが工程に入ります。またこれら部材の製造メーカーとは定期・不定期に品質に関する打ち合わせを行い、密接な協力関係のもとに品質向上に努力しています。図2に量産工程品質管理フローを示します。

図2. 量産工程品質管理フロー



## (2) 製造環境の品質管理

半導体素子・集積回路の品質・信頼性は製造プロセスへの依存度が高く、温度・湿度・クリーン度などの環境の整備・管理や、製品の加工・洗浄に用いるガス・超純水の管理を充分に行う必要があります。特にクリーン度の向上は集積回路の微細化・高密度化と品質・信頼性の向上には不可欠であり、設備・空調・服装・作業方法などのハード・ソフトの両面からクリーン度の維持向上に努力しています。

## (3) 製造設備の品質管理

半導体製造プロセスにおいて設備の比重はたいへん大きく、性能や品質・信頼性を決定する大きな要素となっております。設備の自動化や改良によりプロセスのばらつきを抑える一方、設備が最適に稼動しその性能を充分発揮するよう保守管理を行っています。

## (4) 製造プロセス中の品質管理

製造工程では不良品や潜在的に不良因子を持った製品が次の工程へ流れるのを防止するため、それぞれの工程ごとにさまざまなチェックポイントを設け品質管理を行っています。また工程ごと、ロットごとの抜取チェックのみだけでなく適切な工程でのスクリーニングや全数検査も行っています。図3、図4に工程内品質管理例を示します。

## (5) 最終検査・信頼性試験

組立が完了した製品は電気的特性や外観について全数検査にかけられ、更にロットごとの出荷判定（品質保証検査）を経て出荷されます。

また、出荷された製品の中からプロセス群やパッケージ群の代表的な品種を定期的に抜き取って信頼性試験を実施しています。

これらの検査・試験で得られた品質・信頼性情報は定められたルールにしたがって関係部門へフィードバックされ、品質・信頼性の維持向上に努めています。

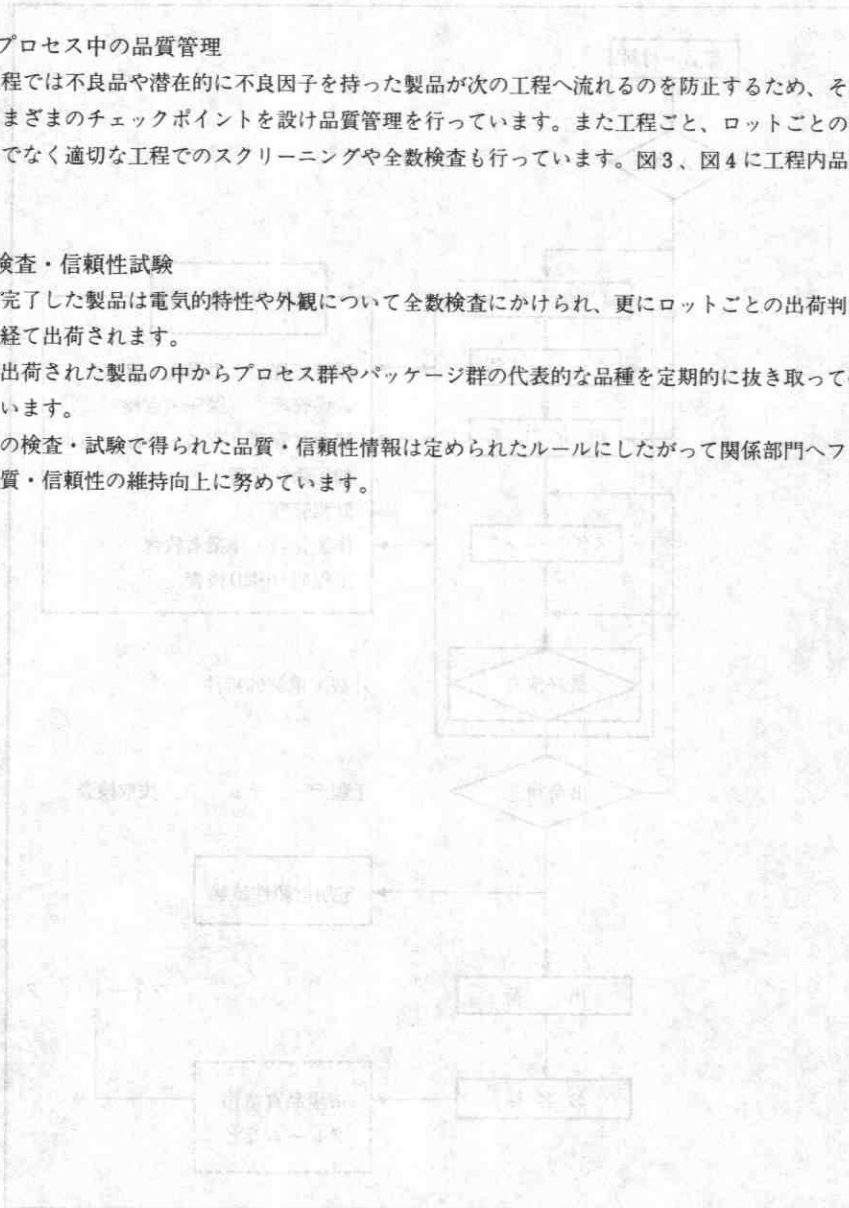


図3. 工程内品質管理例（ウェハー工程）

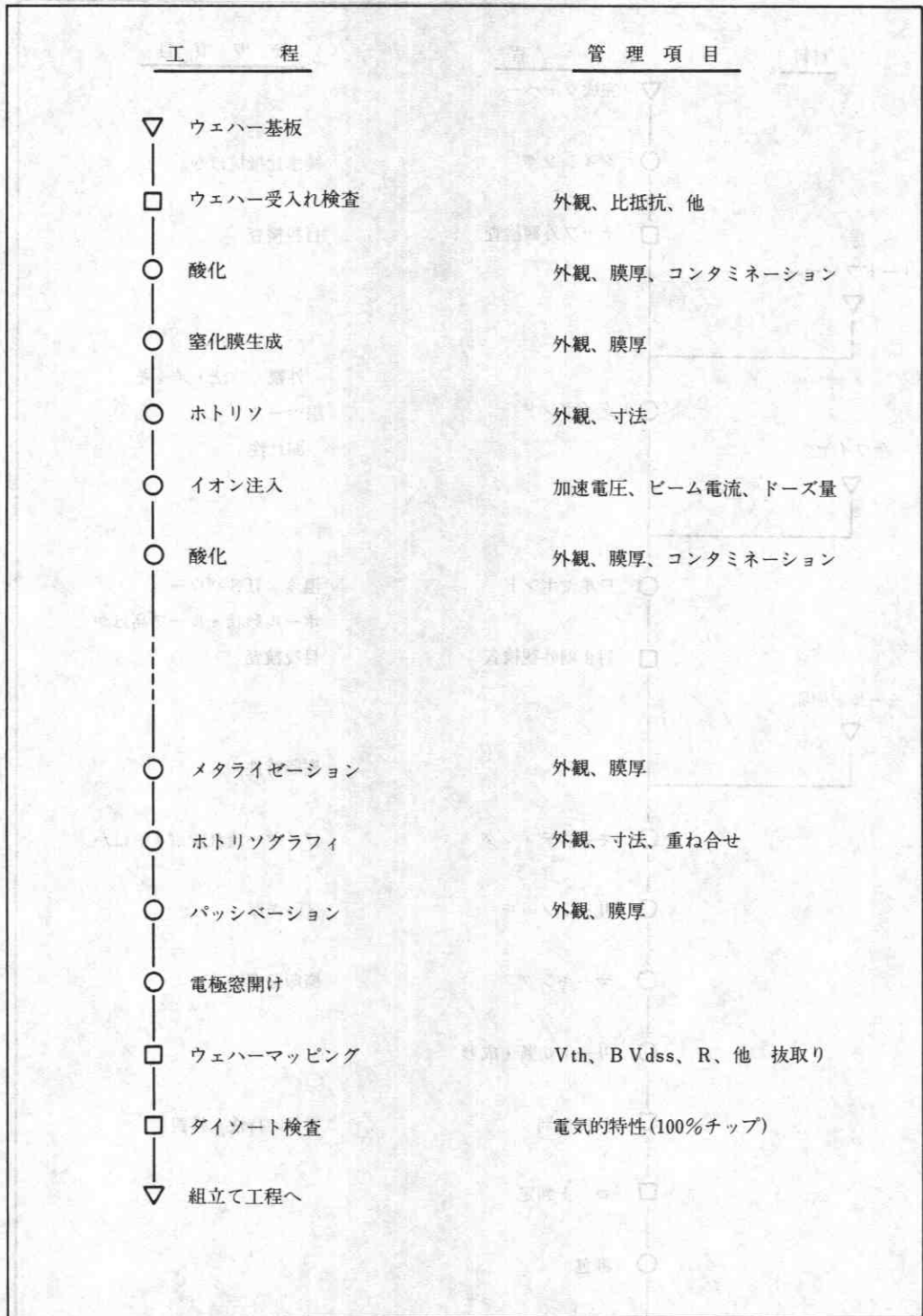
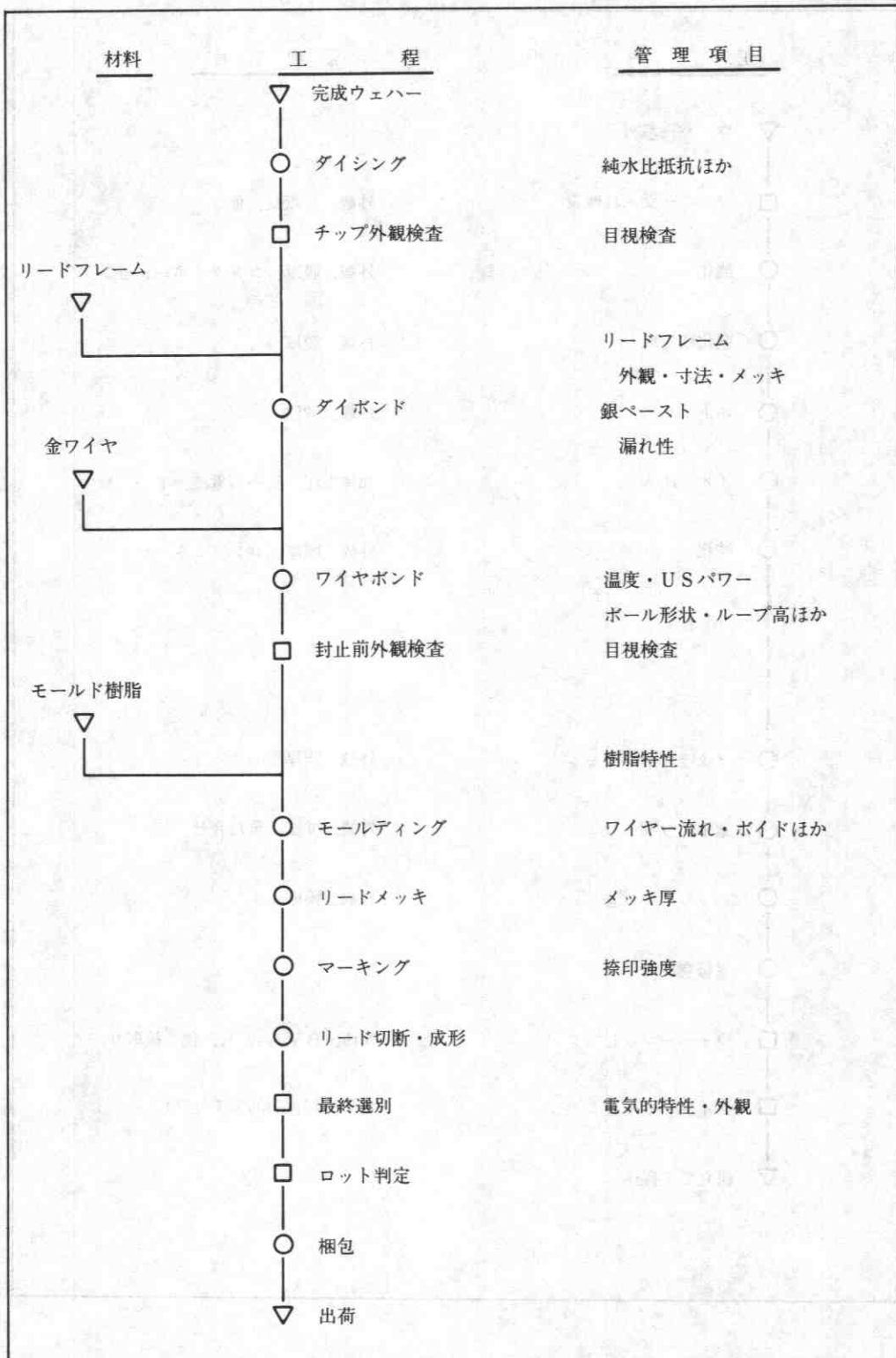


図4. 工程内品質管理例（組立て工程）





#### 4. 信頼性試験

半導体製品の信頼性を評価するためには、いわゆる信頼性試験を実施するのが一般的な方法ですが、弊社でも下記の目的に合わせて試験項目や試験条件・試験数を設定し実施しています。

- (1) 新規プロセスや設計ルールの開発のための信頼性試験
- (2) 新規パッケージ開発のための信頼性試験
- (3) 新規商品開発のための信頼性試験
- (4) 量産品の品質・信頼性確認のための信頼性試験（定期・不定期）
- (5) 設計・部材・工程条件変更のための信頼性試験

新規開発品の（型式）認定の際に実施される信頼性試験の例を表1に示します。

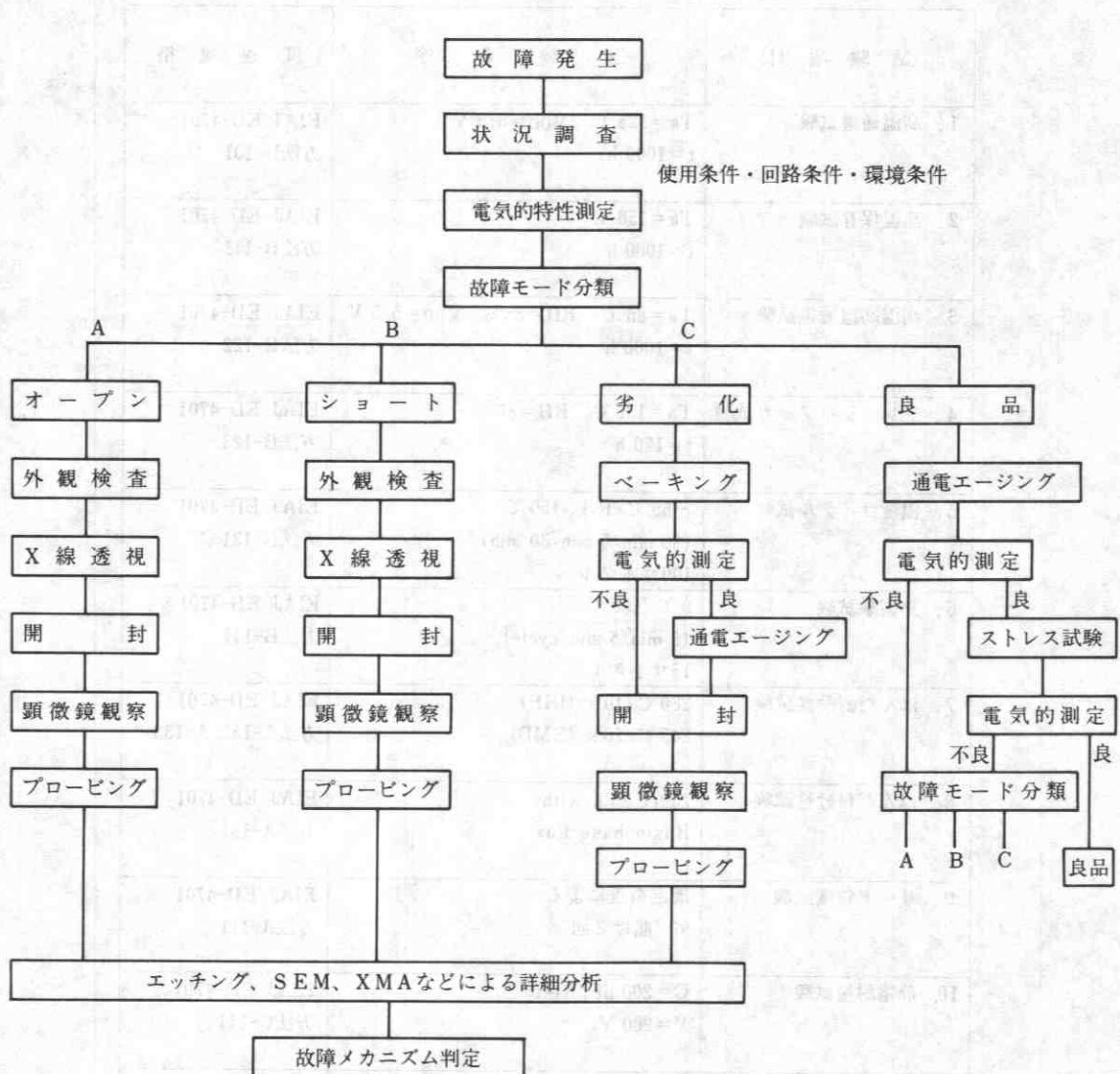
表1. 信頼性試験項目例

試験項目	試験条件	関連規格
1. 高温通電試験	Ta=125℃ V <sub>DD</sub> =5.5 V t=1000 h	EIAJ ED-4701 方法D-101
2. 高温保存試験	Ta=150℃ t=1000 h	EIAJ ED-4701 方法B-111
3. 高温高湿通電試験	Ta=85℃ RH=85% V <sub>DD</sub> =5.5 V t=1000 h	EIAJ ED-4701 方法B-122
4. プレッシャクック試験	Ta=130℃ RH=85% t=120 h	EIAJ ED-4701 方法B-123
5. 温度サイクル試験	-65℃/R.T./150℃ (30 min/5 min/30 min) 100サイクル	EIAJ ED-4701 方法B-131
6. 熱衝撃試験	0℃/100℃ (5 min/5 min/cycle) 15サイクル	EIAJ ED-4701 方法B-141
7. はんだ耐熱性試験	260℃/10 s (DIP) 245℃/10 s (SMD)	EIAJ ED-4701 方法A-132, A-133
8. はんだ付け性試験	230℃/5 s with Rosin-base flux	EIAJ ED-4701 方法A-131
9. リード強度試験	規定荷重による 90°曲げ2回	EIAJ ED-4701 方法A-111
10. 静電耐量試験	C=200 pF, R=0 V=200 V	EIAJ ED-4701 方法C-111
11. ラッチアップ耐量試験	容量チャージ印加法 C=500 pF, R=470 Ω, V=150 V (CMOSのみ)	—

## 5. 故障解析

製造工程や最終検査での不良品や信頼性試験での不良品、お客様の受け入れ検査や機器への組立工程で見えられた不良品、さらには市場での故障の原因を調査・究明し設計や製造の各関連部門へフィードバックすることも品質・信頼性の維持向上には欠かせぬ重要な活動です。標準的な故障解析手順を図5に示します。

図5. 故障解析手順

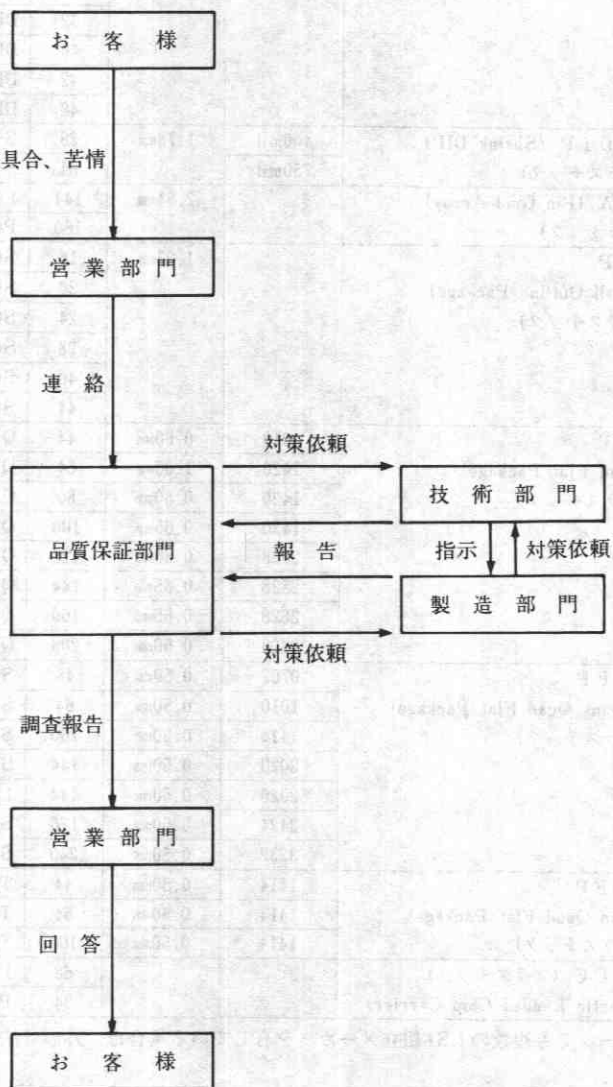


## 6. 苦情（クレーム）処理

お客様の工程や市場において不具合・事故が発生した場合、弊社はおお客様のご協力を得て不具合や故障の調査・解析、原因の究明をおこない、クレームの再発防止・品質の向上に最善を尽くします。図6に苦情処理フローの概略を示します。

また、弊社の全製品にはロット番号が捺印され、お客様の工程や市場へ出荷された後でも製造ロットの追跡調査が可能です。

図6. 苦情処理フロー



## 1-2. パッケージインフォメーション

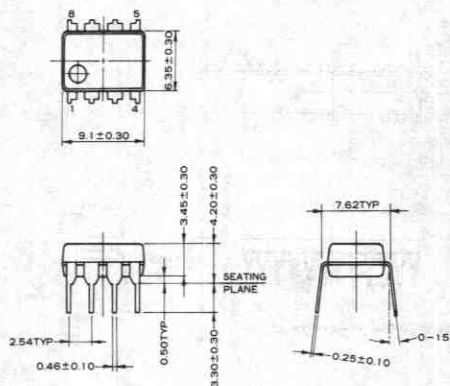
### 1. パッケージ一覧

実装方法	パッケージ分類	呼び寸法	リードピッチ	ピン数	パッケージコード
ピン挿入型	DIP (Dual In-line Package) (プラスチック)  [SK-DIP (Skinny DIPを含む)]	300mil	2.54mm	8	DIP8
				16	DIP16
				18	DIP18
				20	SK-DIP20
				22	SK-DIP22
				24	SK-DIP24
				28	SK-DIP28
	600mil	2.54mm	24	DIP24	
			28	DIP28	
			32	DIP32	
			40	DIP40	
			48	DIP48	
	S-DIP (Shrink DIP) (プラスチック)	400mil	1.78mm	28	S-DIP28
		750mil		64	S-DIP64
	PGA (Pin Grid Array) (セラミック)		2.54mm	144	PGA144
180				PGA180	
面実装型	SOP (Small Outline Package) (プラスチック)		1.27mm	16	SOP16
				20	SOP20
				24	SOP24
				28	SOP28
				40	SOP40
				44	SOP44 (開発中)
	QFP (Quad Flat Package) (プラスチック)	1010	0.80mm	44	QFP44-(1010)
		1420	1.00mm	64	QFP64-(1420)
		1420	0.80mm	80	QFP80-(1420)
		1420	0.65mm	100	QFP100-(1420)
		2828	0.80mm	128	QFP128-(2828)
		2828	0.65mm	144	QFP144-(2828)
		2828	0.65mm	160	QFP160-(2828)
		2828	0.50mm	208	QFP208-(2828)
	SQFP (Shrink Quad Flat Package) (プラスチック)	0707	0.50mm	48	SQFP48-(0707)
		1010	0.50mm	64	SQFP64-(1010)
		1414	0.50mm	100	SQFP100-(1414)
		2020	0.50mm	144	SQFP144-(2020)
		2020	0.50mm	144	LQFP144-(2020薄型) (開発中)
		2424	0.50mm	176	SQFP176-(2424)
	TQFP (Thin Quad Flat Package) (プラスチック)	3232	0.50mm	240	SQFP240-(3232)
		1414	0.80mm	44	TQFP44-(1414)
		1414	0.80mm	64	TQFP64-(1414)
	PLCC (プラスチック) (Plastic Leaded Chip Carrier)			68	PLCC68
				84	PLCC84

(注1) 同一パッケージでも複数のLSI組立メーカーを有している場合は、外形寸法、外形形状が異なる場合があります。

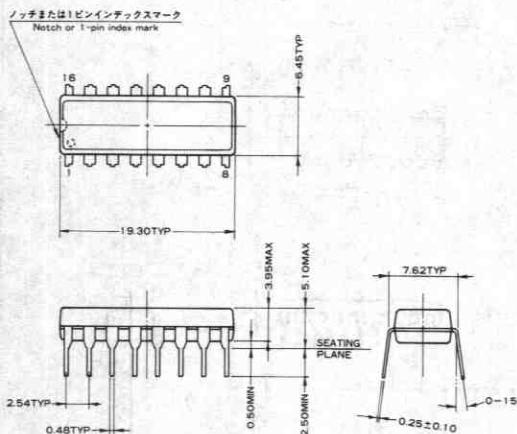
(注2) LSIによっては上記以外のパッケージを使用しているものがあります。

# DIP8



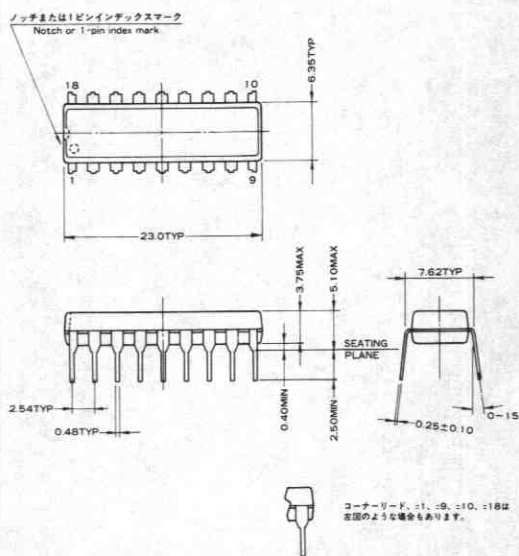
モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位 (UNIT) : mm

# DIP16



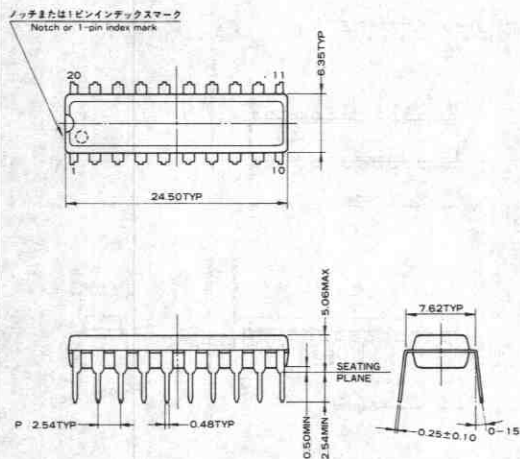
モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位 (UNIT) : mm

# DIP18



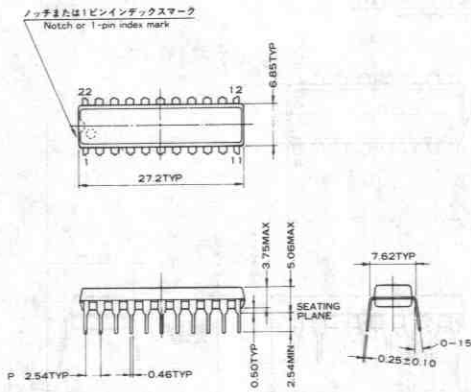
モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位 (UNIT) : mm

# SK-DIP20



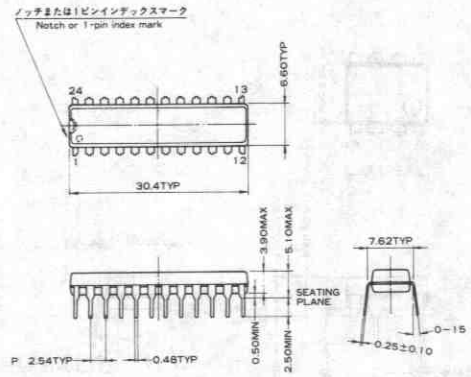
モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位 (UNIT) : mm

# SK-DIP22



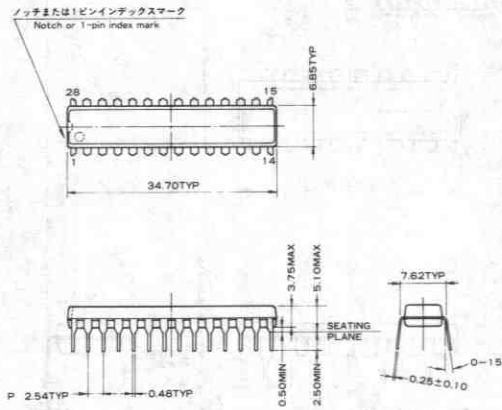
モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT) : mm

# SK-DIP24



モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT) : mm

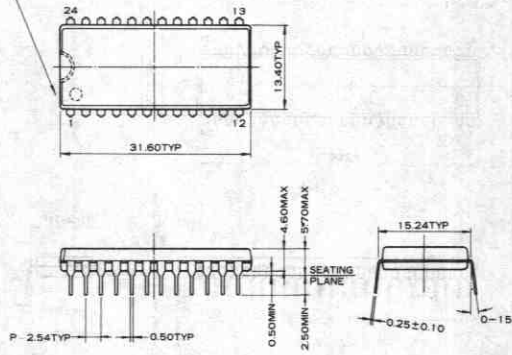
# SK-DIP28



モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT) : mm

# DIP24

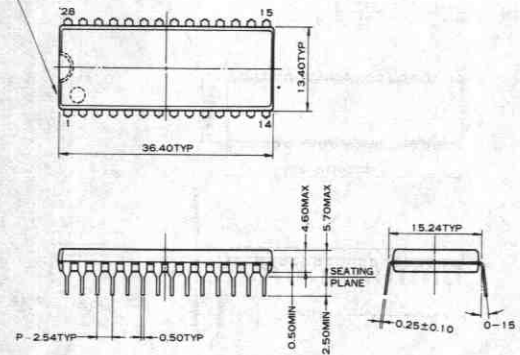
ノッチまたは1ピンインデックスマーク  
Notch or 1-pin index mark



モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT) : mm

# DIP28

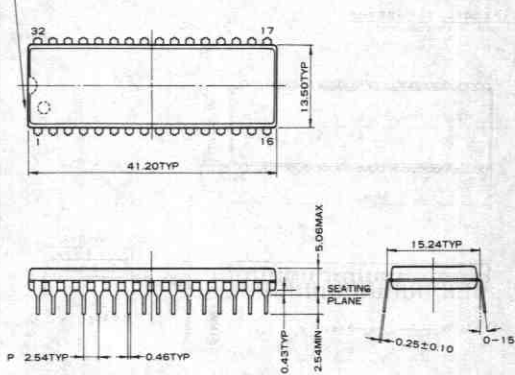
ノッチまたは1ピンインデックスマーク  
Notch or 1-pin index mark



モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT) : mm

# DIP32

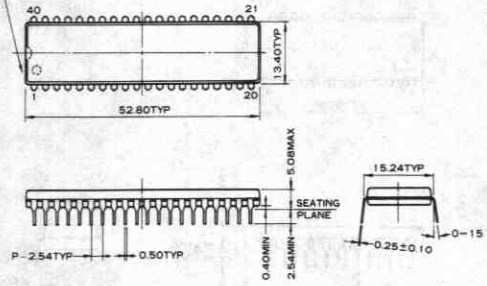
ノッチまたは1ピンインデックスマーク  
Notch or 1-pin index mark



モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT) : mm

# DIP40

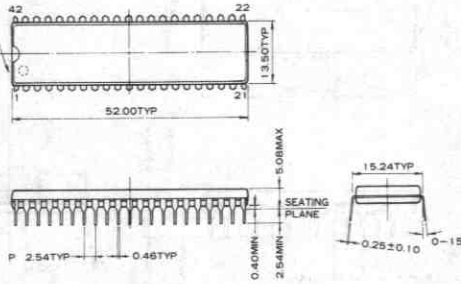
ノッチまたは1ピンインデックスマーク  
Notch or 1-pin index mark



モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT) : mm

# DIP42

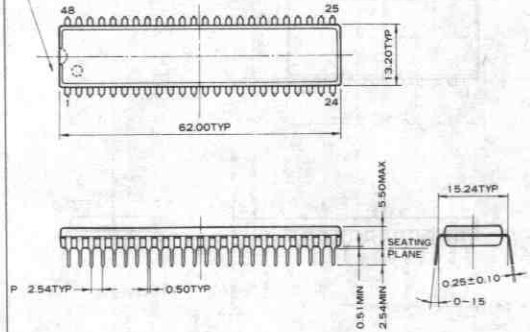
ノッチまたは1ピンインデックスマーク  
Notch or 1-pin index mark



モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT) : mm

# DIP48

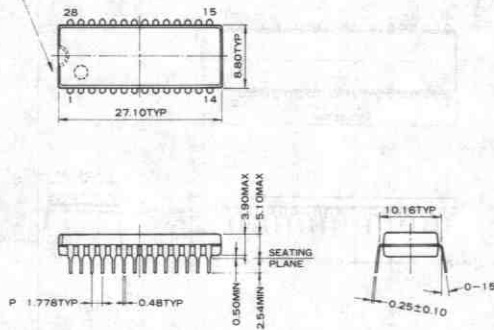
ノッチまたは1ピンインデックスマーク  
Notch or 1-pin index mark



モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT) : mm

# S-DIP28

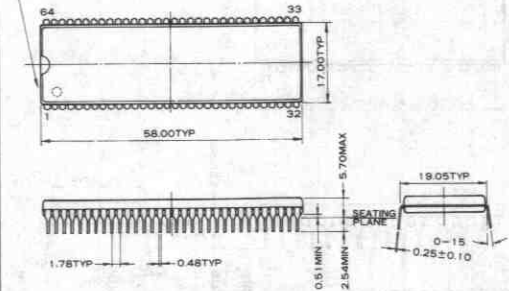
ノッチまたは1ピンインデックスマーク  
Notch or 1-pin index mark



モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT) : mm

# S-DIP64

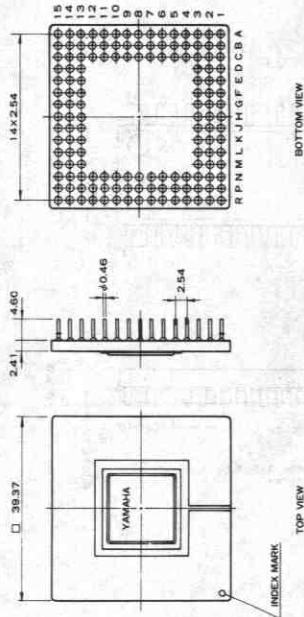
ノッチまたは1ピンインデックスマーク  
Notch or 1-pin index mark



モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT) : mm

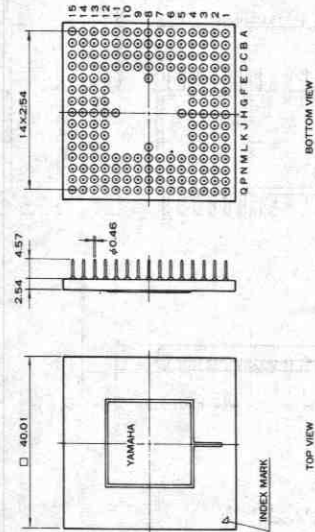


# PGA144



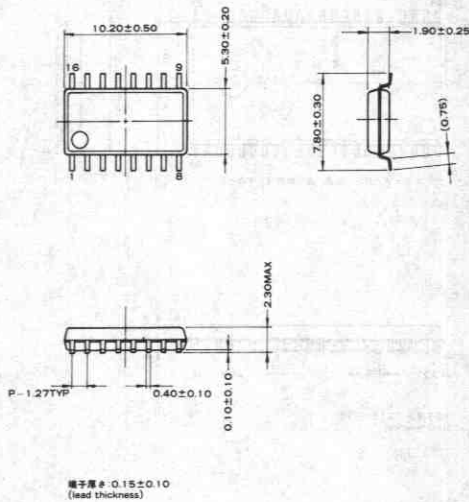
モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
 単位(UNIT) : mm

# PGA180



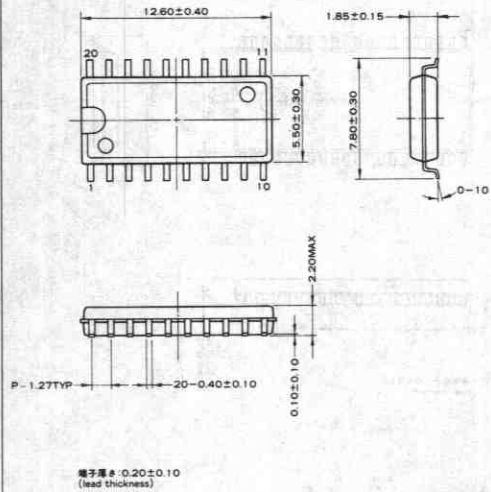
モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
 単位(UNIT) : mm

# SOP16



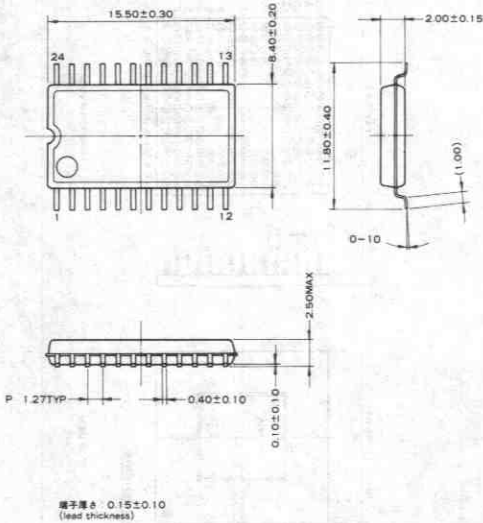
モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
 単位(UNIT) : mm

# SOP20



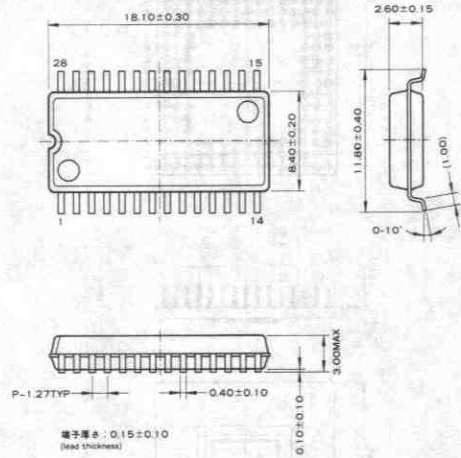
モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
 単位(UNIT) : mm

# SOP24



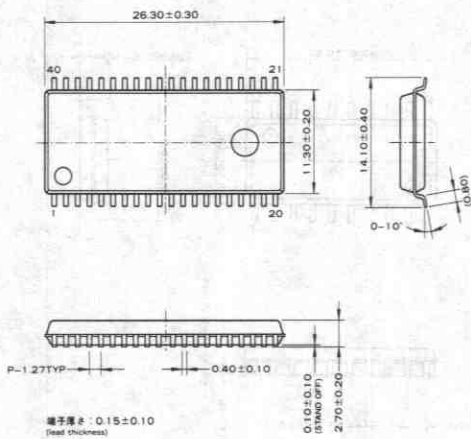
モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT) : mm

# SOP28



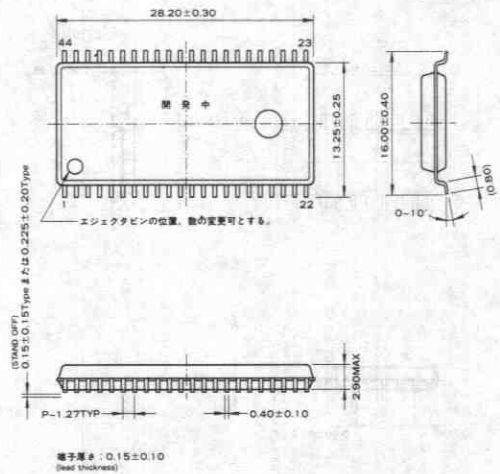
カッコ内の寸法値は参考値とする。  
単位(UNIT) : mm(millimeters)  
(注)外形寸法が異なるLSIがあります。  
各々の品番のパッケージ外形図にて確認してください。

# SOP40



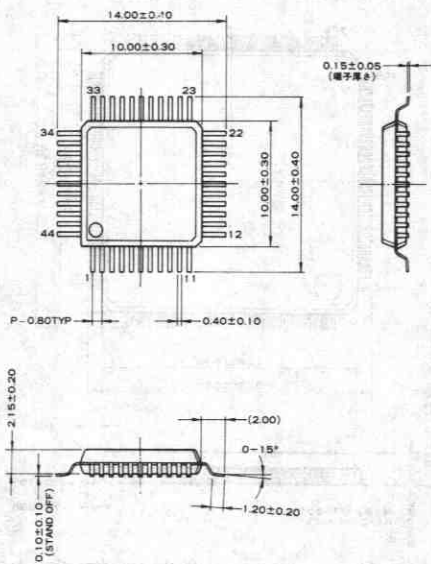
カッコ内の寸法値は参考値とする。  
モールド外形寸法はバリを含まない。  
単位(UNIT) : mm(millimeters)

# SOP44



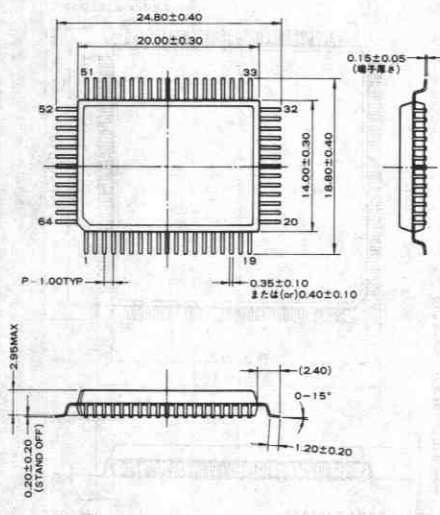
カッコ内の寸法値は参考値とする。  
モールド外形寸法はバリを含まない。  
単位(UNIT) : mm(millimeters)

### QFP44-(1010)



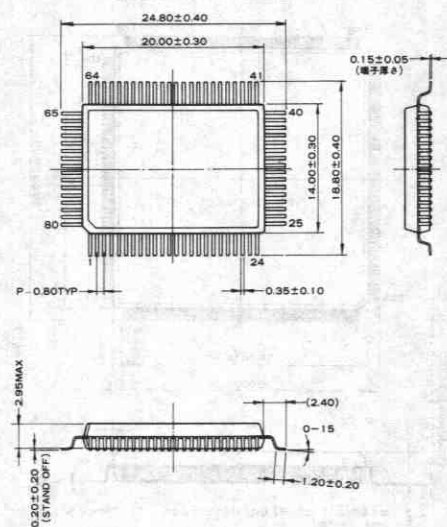
モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT) : mm

### QFP64-(1420)



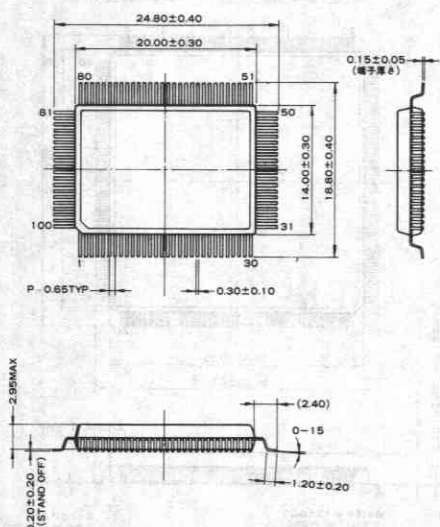
モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT) : mm

### QFP80-(1420)



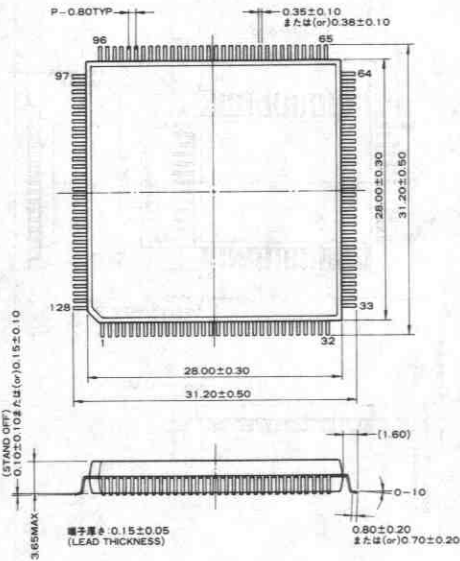
モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT) : mm

### QFP100-(1420)



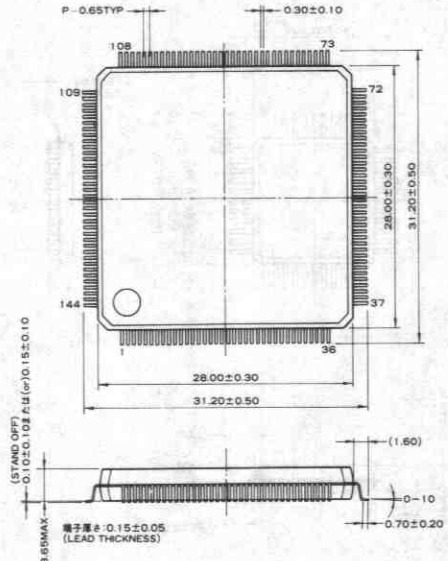
モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT) : mm

### QFP128-(2828)



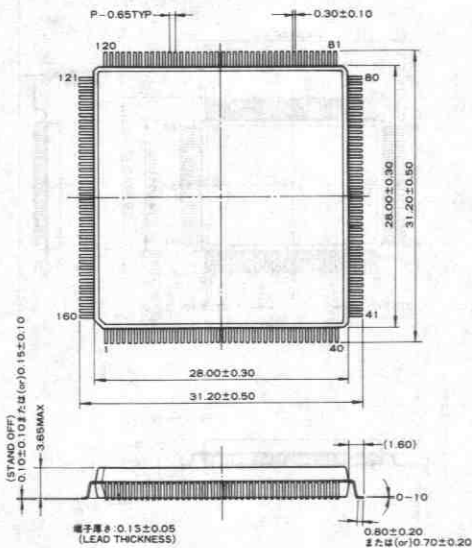
モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT) : mm

### QFP144-(2828)



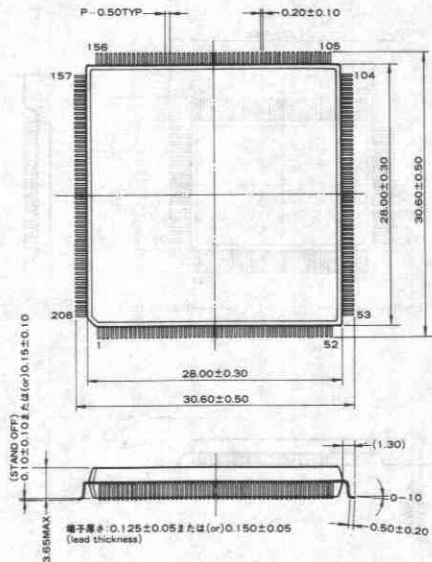
モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT) : mm

### QFP160-(2828)



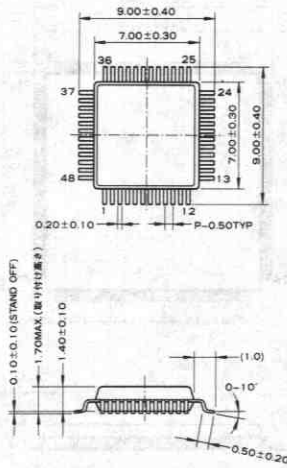
モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT) : mm

### QFP208-(2828)



モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT) : mm

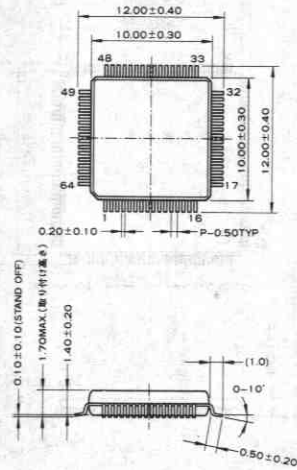
# SQFP48-(0707)



端子厚さ : 0.15±0.05  
または(OR)0.125±0.05  
(lead thickness)

モールドコーナ形状は、本図面と若干異なるタイプもあります。  
カッカ内の寸法は参考値とする。  
モールド外形寸法はバリを含まない。  
単位(LUNT) : mm(millimeters)

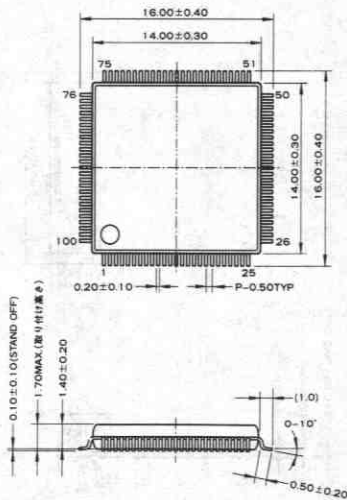
# SQFP64-(1010)



端子厚さ : 0.125±0.05または0.15±0.05  
(lead thickness)

モールドコーナ形状は、本図面と若干異なるタイプもあります。  
カッカ内の寸法は参考値とする。  
モールド外形寸法はバリを含まない。  
単位(LUNT) : mm(millimeters)

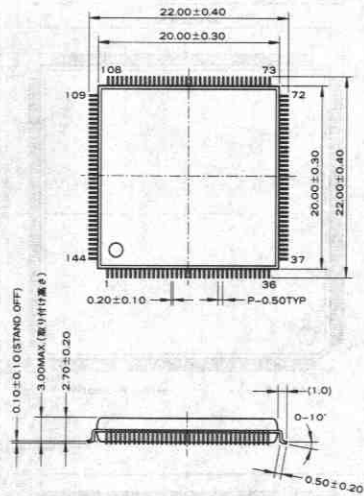
# SQFP100-(1414)



端子厚さ : 0.125±0.05または0.15±0.05  
(lead thickness)

モールドコーナ形状は、本図面と若干異なるタイプもあります。  
カッカ内の寸法は参考値とする。  
モールド外形寸法はバリを含まない。  
単位(LUNT) : mm(millimeters)

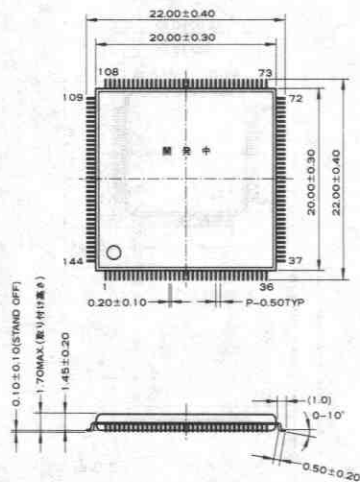
# SQFP144-(2020)



端子厚さ : 0.125±0.05または0.15±0.05  
(lead thickness)

モールドコーナ形状は、本図面と若干異なるタイプもあります。  
カッカ内の寸法は参考値とする。  
モールド外形寸法はバリを含まない。  
単位(LUNT) : mm(millimeters)

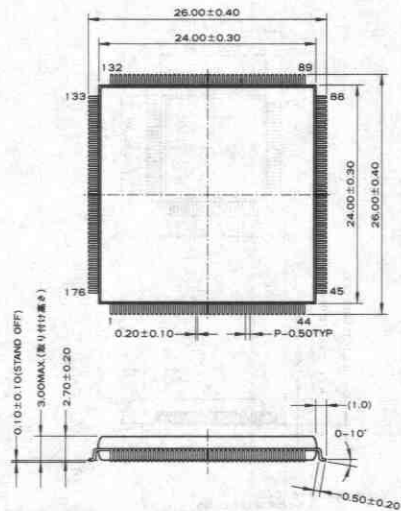
### LQFP144-(2020) 薄型



端子厚さ:  $0.125 \pm 0.05$  または  $0.15 \pm 0.05$   
(lead thickness)

モールドコーナ形状は、本図面と若干異なるタイプもあります。  
カッコ内の寸法値は参考値とする。  
モールド角寸法は「リ」を含まない。  
単位(LUNIT): mm(millimeters)

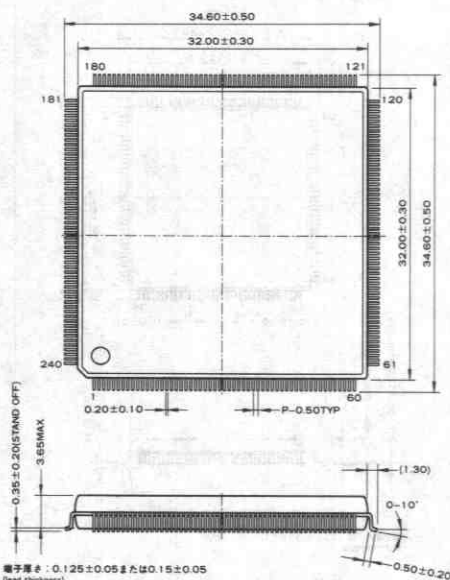
### SQFP176-(2424)



端子厚さ:  $0.125 \pm 0.05$  または  $0.15 \pm 0.05$   
(lead thickness)

モールドコーナ形状は、本図面と若干異なるタイプもあります。  
カッコ内の寸法値は参考値とする。  
モールド角寸法は「リ」を含まない。  
単位(LUNIT): mm(millimeters)

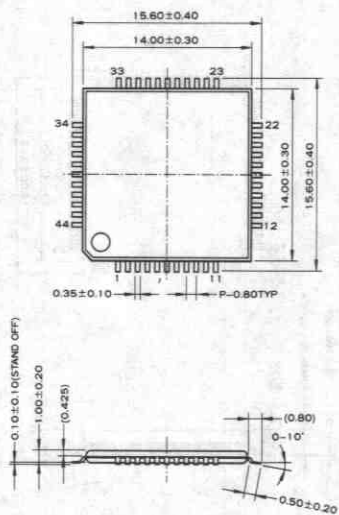
### SQFP240-(3232)



端子厚さ:  $0.125 \pm 0.05$  または  $0.15 \pm 0.05$   
(lead thickness)

モールドコーナ形状は、この図面と若干異なるタイプもあります。  
カッコ内の寸法値は参考値とする。  
モールド角寸法は「リ」を含まない。  
単位(LUNIT): mm(millimeters)

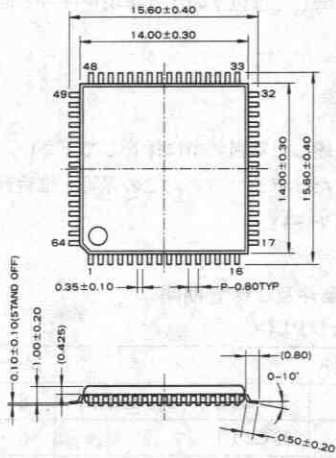
### TQFP44-(1414)



端子厚さ:  $0.15 \pm 0.05$   
(lead thickness)

カッコ内の寸法値は参考値とする。  
モールド角寸法は「リ」を含まない。  
単位(LUNIT): mm(millimeters)

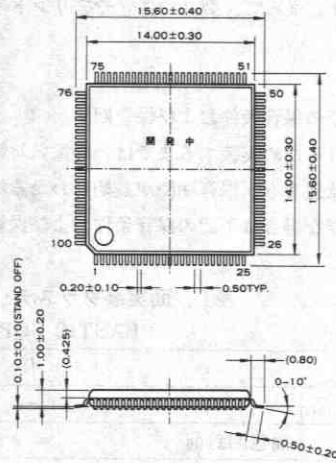
# TQFP64-(1414)



端子厚さ: 0.15 ± 0.05  
(lead thickness)

カッコ内の寸法値は参考値とする。  
モールド外形寸法はバリを含まない。  
単位(UNIT): mm(millimeters)

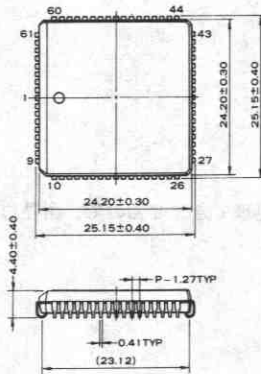
# TQFP100-(1414)



端子厚さ: 0.15 ± 0.05  
(lead thickness)

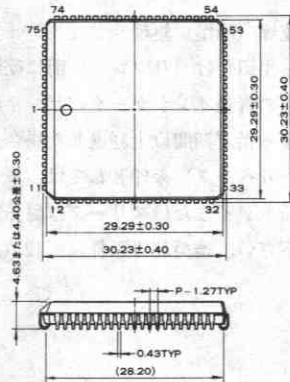
カッコ内の寸法値は参考値とする。  
モールド外形寸法はバリを含まない。  
単位(UNIT): mm(millimeters)

# PLCC68



モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT): mm

# PLCC84



モールド外形寸法はバリを含まない。(Plastic body dimensions do not include burr of resin)  
単位(UNIT): mm

## 2. 面実装プラスチックパッケージご使用上の注意

プラスチック・パッケージの封止に用いられているエポキシ樹脂は雰囲気中の水分を吸収し、半田付け実装時の熱ストレスにより水分が急激に気化し、パッケージの気密性が劣化したり、樹脂にクラックを生じたりすることがあります。従って、製品の保管やプリント基板への半田付け実装に際しては以下の注意事項を守って使用して下さい。

### (1) 実装までの保管条件および保管期間

吸湿を避けるため実装するまでは、静電気対策を施した出来るだけ乾燥した雰囲気中に保管して下さい。防湿梱包された状態でも、保存期間が長期にわたる場合、ドライボックスまたはデシケータ内での保管を推奨致しますが、不可能な場合は下記の保管条件および保管期間を目安に保管して下さい。

表1. 面実装プラスチックパッケージの保管条件及び保管期間  
PLASTIC SOP, QFP, SQFP, TQFP及びPLCC

		保 管 条 件	保管期間	
非防湿梱包品		5～30℃、70%RH以下	6ヶ月	
防湿梱包品	梱包開封前	35℃以下	6ヶ月	
	梱包開封後	TQFP	5～30℃、70%RH以下	*
		SQFP48, SQFP100	5～30℃、70%RH以下	*
		SOP40, SOPエンボステープ品, SQFP64	5～30℃、70%RH以下	2日
		SOP16/20/24/28, SQFP144, SQFP176	5～30℃、70%RH以下	3日
	QFP44/64/80/100/128/144/160/208/240 PLCC	5～30℃、70%RH以下	7日	

(注) 防湿梱包品の梱包後に再保管される場合、シリカゲルを入れて再度密閉の上、上記保管条件下で保管下さるか、またはドライボックスで保管ください。

(注) 上表の保管期間について個別パッケージについてはチップサイズ等の制約により異なるものがあります。詳細については製品毎に問い合わせ下さい。

\* 半田付け実装前にベーキングによる乾燥処理が必要となります。

### (2) 実装前の乾燥（除湿）処理

下記の場合、半田付け（リフロー）前に乾燥処理が必要です。

- 乾燥剤中の青色インジケータがピンク色に変色している場合。
- 表1による指定期間以上経過した場合。

乾燥処理（プリベーク）条件としては、表2を目安として下さい。

尚、通常の出荷トレイまたはスリーブは耐熱性がなく、そのままでは乾燥処理できませんので、耐熱容器に移し替えて行って下さい。推奨乾燥条件は、125℃ 16～24時間です。



### 3. 面実装プラスチックパッケージの半田付け条件

#### (1) フロー半田

面実装プラスチックパッケージは基本的にフロー半田（ディップ）法に適応していません。但し、SOP16については、パッケージの材質や内部に搭載されたチップサイズ、梱包・保管方法等によって適用が可能な場合と不可能な場合があります。

#### (2) 赤外線リフロー

- ・局所的な加熱を避けるため、上下加熱方式を推奨致します。
- ・パッケージ表面および基板表面温度は最大235℃にて10秒以内で実施願います。
- ・推奨温度プロファイルの一例として図1を参照願います。

#### (3) ペーパーフェーズリフロー

- ・雰囲気温度は最大215℃で30秒以内で実施願います。
- ・推奨温度プロファイルの一例として図2を参照願います。

図1. 赤外線リフロー推奨温度プロファイル

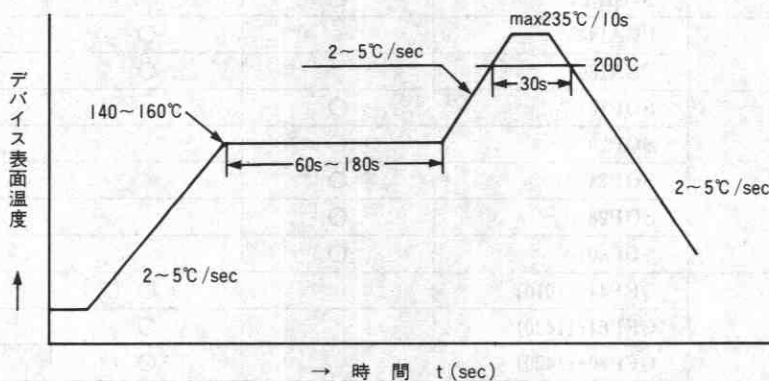
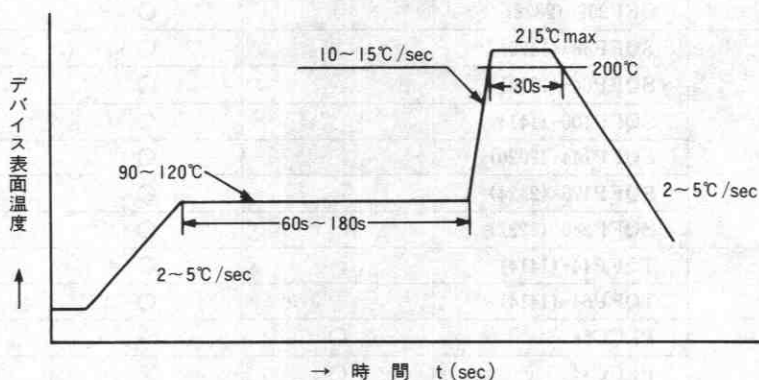


図2. ペーパーフェーズリフロー推奨温度プロファイル

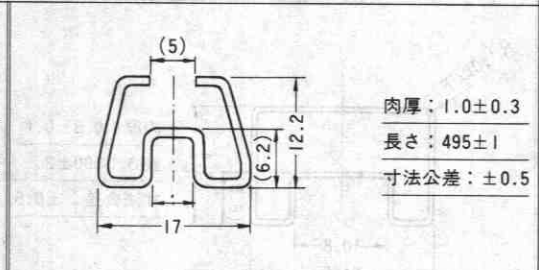
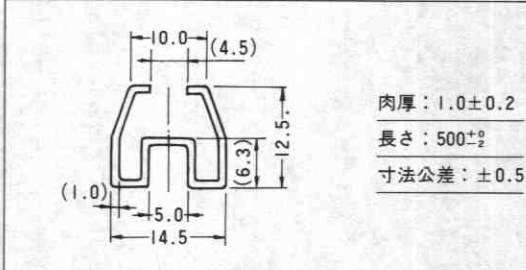
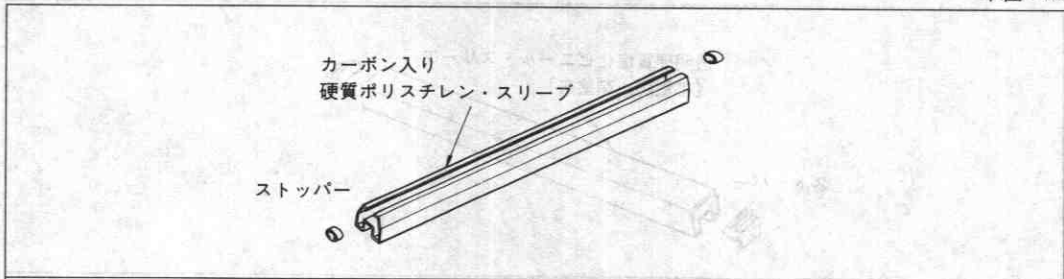


#### 4. 梱包仕様一覧

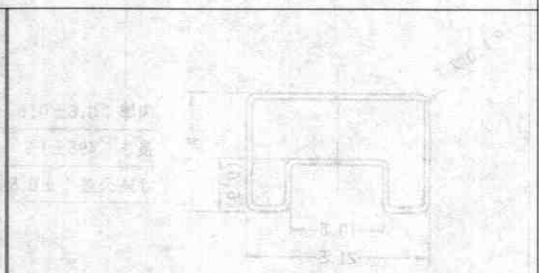
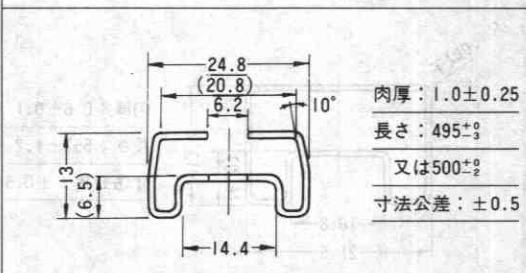
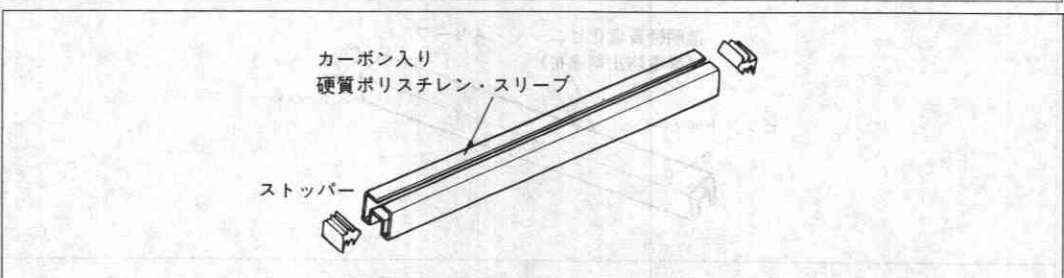
分類	パッケージ コード	梱包仕様	スリーブ	トレイ	エンボスキャリア テーピング
DIP or SK-DIP	DIP8		○		
	DIP16		○		
	DIP18		○		
	SK-DIP20		○		
	SK-DIP22		○		
	SK-DIP24		○		
	SK-DIP28		○		
	DIP24		○		
	DIP28		○		
	DIP32		○		
	DIP40		○		
	DIP42		○		
	DIP48		○		
	S-DIP	S-DIP28		○	
S-DIP64			○		
PGA	PGA144			○	
	PGA180			○	
SOP	SOP16		○		○
	SOP20		○		○
	SOP24		○		○
	SOP28		○		○
	SOP40		○		
QFP	QFP44-(1010)			○	
	QFP64-(1420)			○	
	QFP80-(1420)			○	
	QFP100-(1420)			○	
	QFP128-(2828)			○	
	QFP144-(2828)			○	
	QFP160-(2828)			○	
	QFP208-(2828)			○	
SQFP	SQFP48-(1420)			○	
	SQFP64-(1010)			○	
	SQFP100-(1414)			○	
	SQFP144-(2020)			○	
	SQFP176-(2424)			○	
	SQFP240-(3232)			○	
TQFP	TQFP44-(1414)			○	
	TQFP64-(1414)			○	
PLCC	PLCC68		○		
	PLCC84		○		

(I) スリーブ

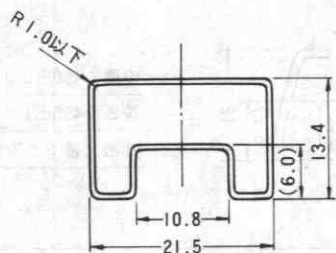
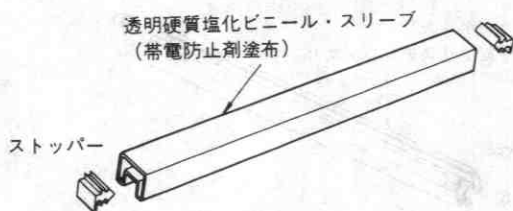
単位：mm



パッケージコード	最大収納数	パッケージコード	最大収納数
DIP8	49 <sup>IC</sup> /スリーブ	S-DIP28	17 <sup>IC</sup> /スリーブ
DIP16	24 <sup>IC</sup> /スリーブ		
DIP18	20 <sup>IC</sup> /スリーブ		
SK-DIP20	19 <sup>IC</sup> /スリーブ		
SK-DIP22	17 <sup>IC</sup> /スリーブ		
SK-DIP24	15 <sup>IC</sup> /スリーブ		
SK-DIP28	13 <sup>IC</sup> /スリーブ		

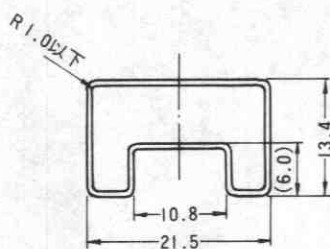
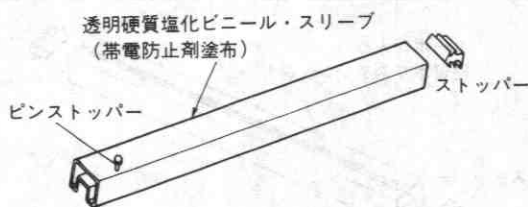


パッケージコード	最大収納数
S-DIP64	8 <sup>IC</sup> /スリーブ

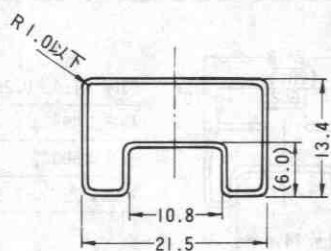


肉厚：0.6±0.1  
長さ：500±2  
寸法公差：±0.5

パッケージコード	最大収納数
DIP24	15 <sup>IC</sup> /スリーブ
DIP28	13 <sup>IC</sup> /スリーブ
DIP32	11 <sup>IC</sup> /スリーブ
DIP40	9 <sup>IC</sup> /スリーブ
DIP42	9 <sup>IC</sup> /スリーブ



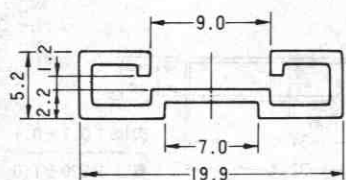
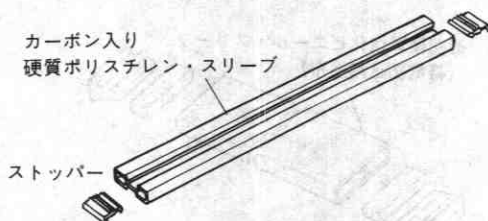
肉厚：0.6±0.1  
長さ：495±1  
寸法公差：±0.5



肉厚：0.6±0.1  
長さ：557±1.2  
寸法公差：±0.5

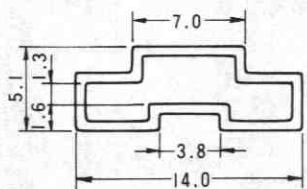
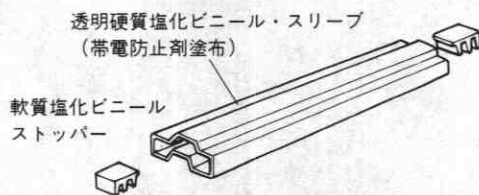
パッケージコード	最大収納数	パッケージコード	最大収納数
DIP48	7 <sup>IC</sup> /スリーブ	DIP32/マスクROM製品	13 <sup>IC</sup> /スリーブ
		DIP40/マスクROM製品	10 <sup>IC</sup> /スリーブ
		DIP42/マスクROM製品	10 <sup>IC</sup> /スリーブ

単位：mm

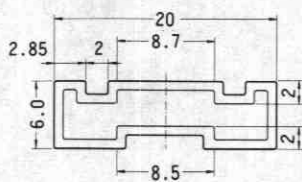


肉厚：1.0±0.2  
長さ：500±2  
寸法公差：±0.5

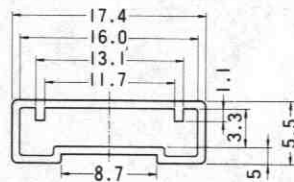
パッケージコード	最大収納数
SOP24	30 <sup>IC</sup> /スリーブ



肉厚：0.6±0.1  
長さ：500±2  
寸法公差：±0.5



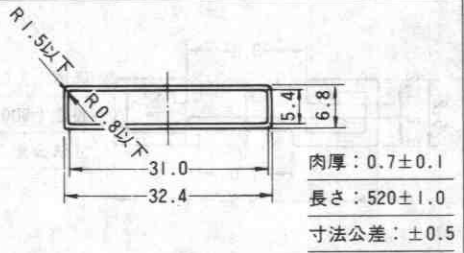
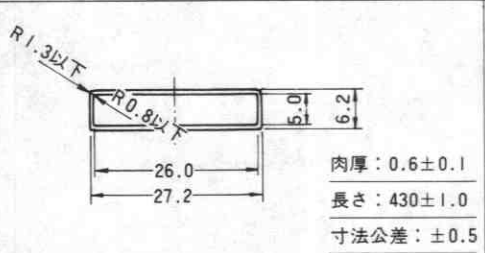
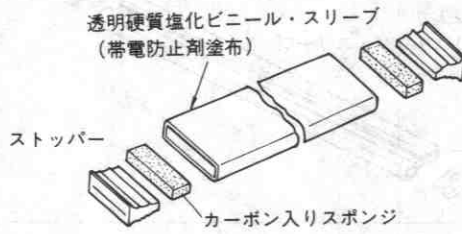
肉厚：0.8±0.2  
長さ：500±2  
寸法公差：±0.5



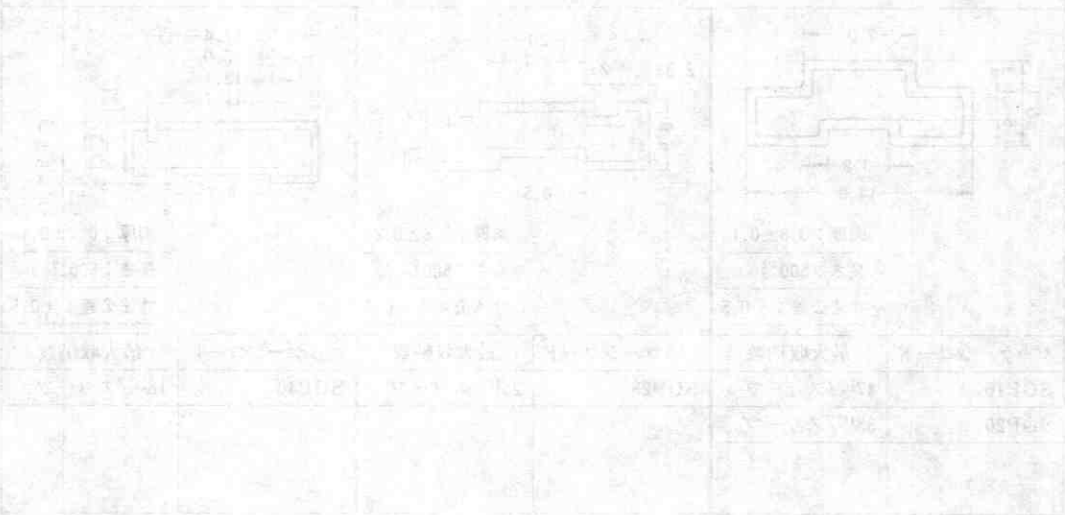
肉厚：0.7±0.1  
長さ：500±2  
寸法公差：±0.5

パッケージコード	最大収納数	パッケージコード	最大収納数	パッケージコード	最大収納数
SOP16	47 <sup>IC</sup> /スリーブ	SOP28	26 <sup>IC</sup> /スリーブ	SOP40	18 <sup>IC</sup> /スリーブ
SOP20	38 <sup>IC</sup> /スリーブ				

単位：mm

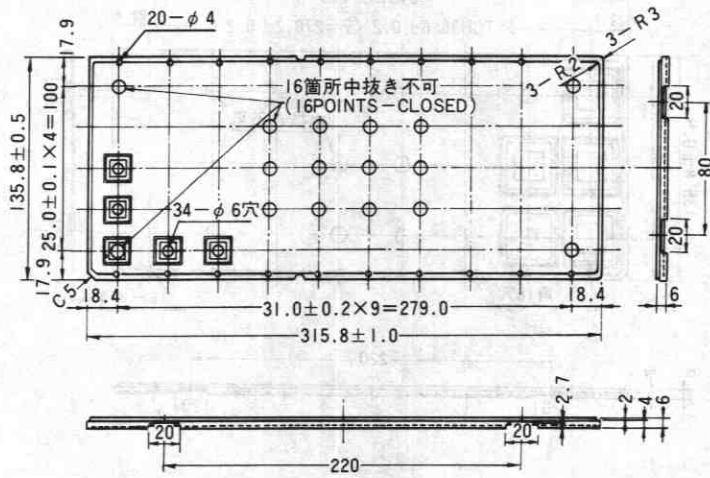


パッケージコード	最大収納数	パッケージコード	最大収納数
PLCC68	15 <sup>1</sup> C/スリーブ	PLCC84	15 <sup>1</sup> C/スリーブ



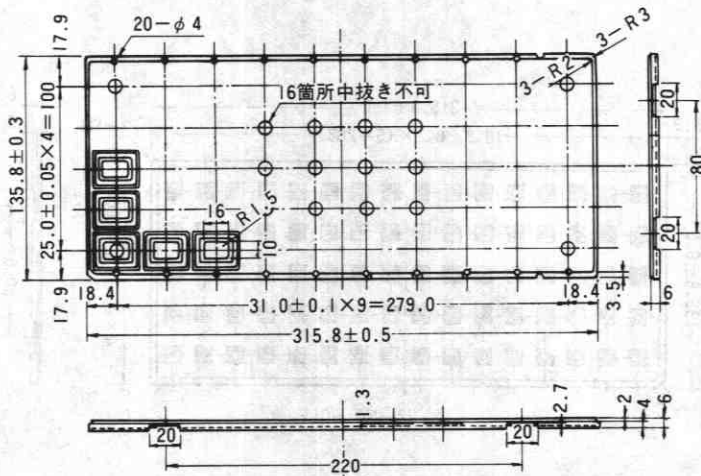
(2) トレイ

単位：mm



材質：カーボン入りポリスチレン

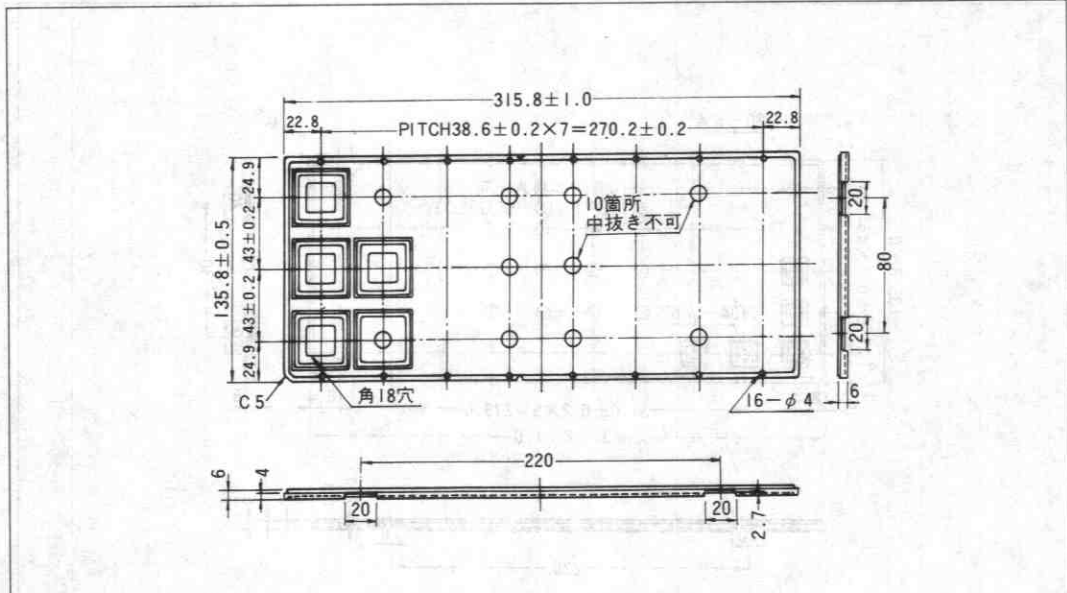
パッケージコード	最大収納数
QFP44-(1010)	50 <sup>IC</sup> /トレイ



材質：カーボン入りポリスチレン

パッケージコード	最大収納数
QFP64-(1420)	50 <sup>IC</sup> /トレイ
QFP80-(1420)	50 <sup>IC</sup> /トレイ
QFP100-(1420)	50 <sup>IC</sup> /トレイ

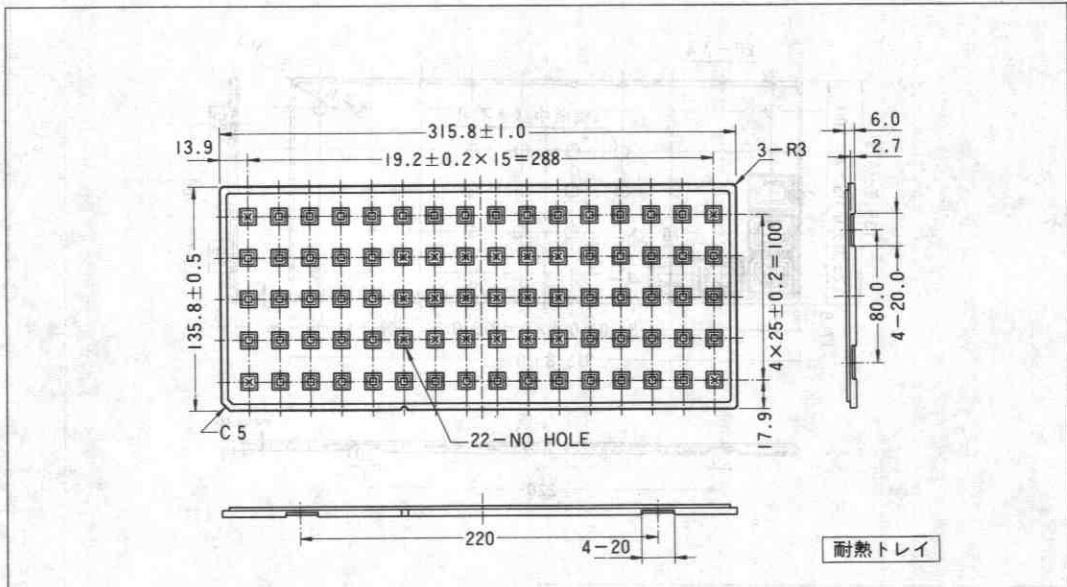
単位：mm



パッケージコード	最大収納数
QFP128-(2828)	24 <sup>IC</sup> /トレイ
QFP144-(2828)	24 <sup>IC</sup> /トレイ
QFP160-(2828)	24 <sup>IC</sup> /トレイ
QFP208-(2828)	24 <sup>IC</sup> /トレイ

材質：カーボン入りポリスチレン

単位：mm

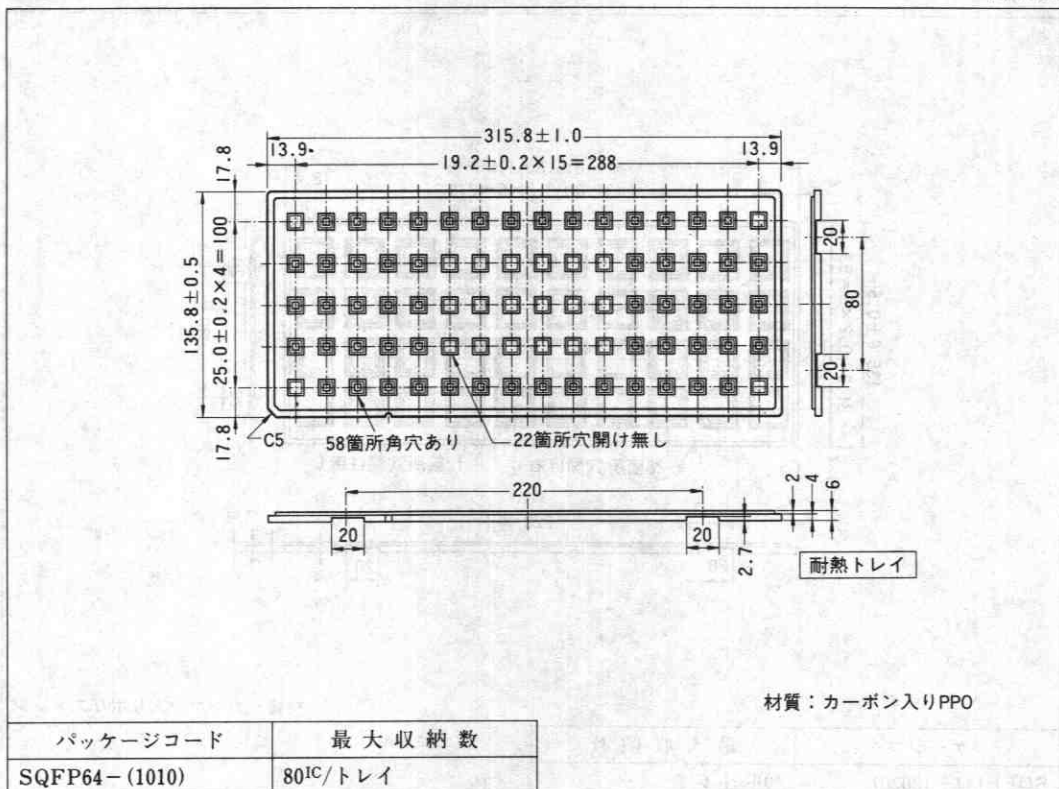


材質：カーボン入りPPE

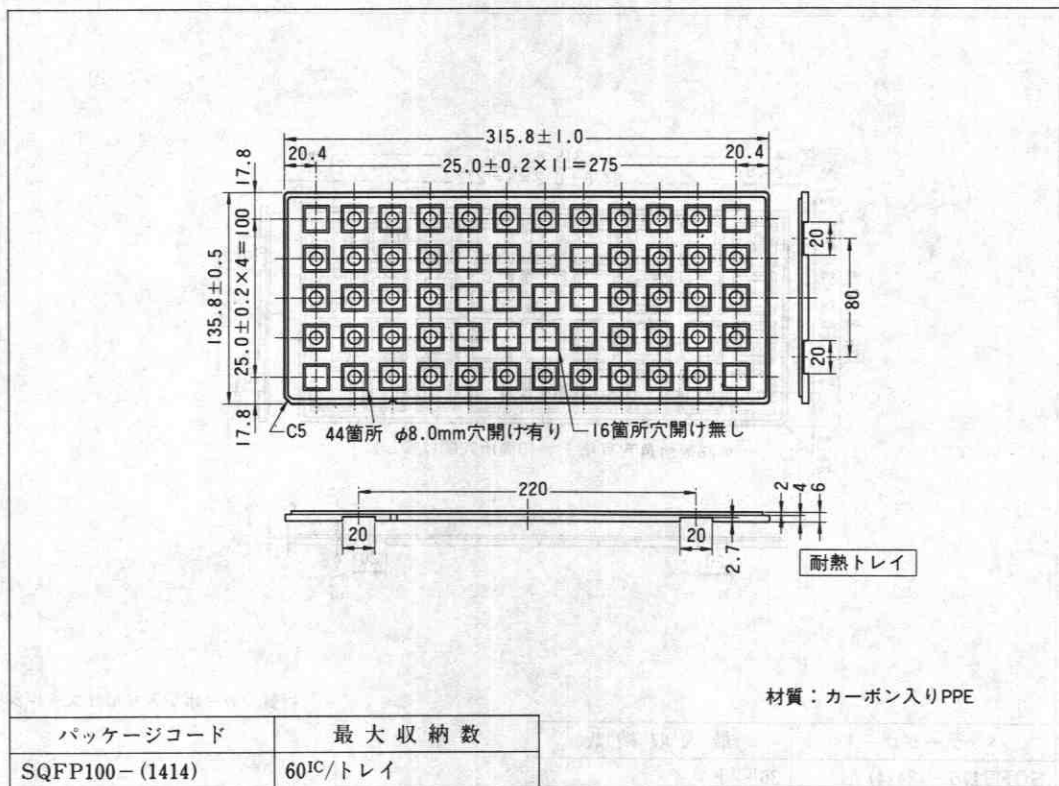
パッケージコード	最大収納数
SQFP48-(0707)	80 <sup>IC</sup> /トレイ



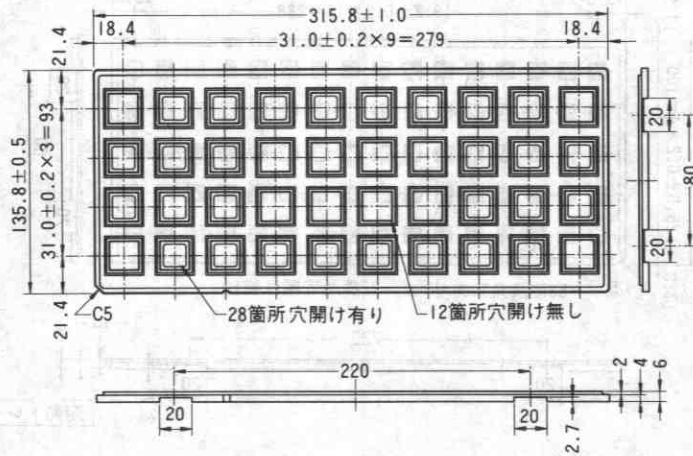
単位：mm



単位：mm



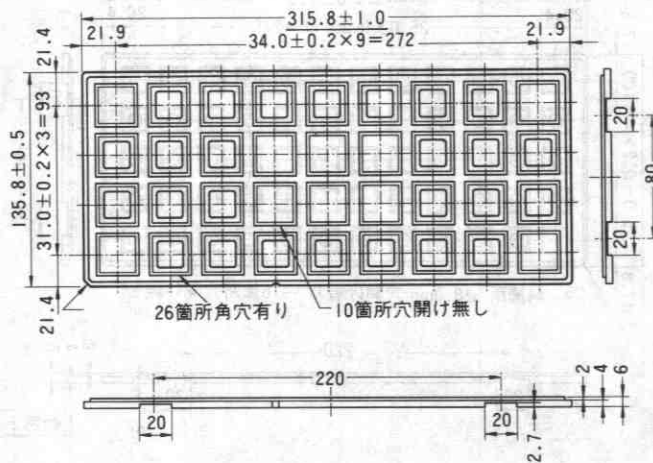
単位：mm



材質：カーボン入りポリスチレン

パッケージコード	最大収納数
SQFP144-(2020)	40 <sup>IC</sup> /トレイ

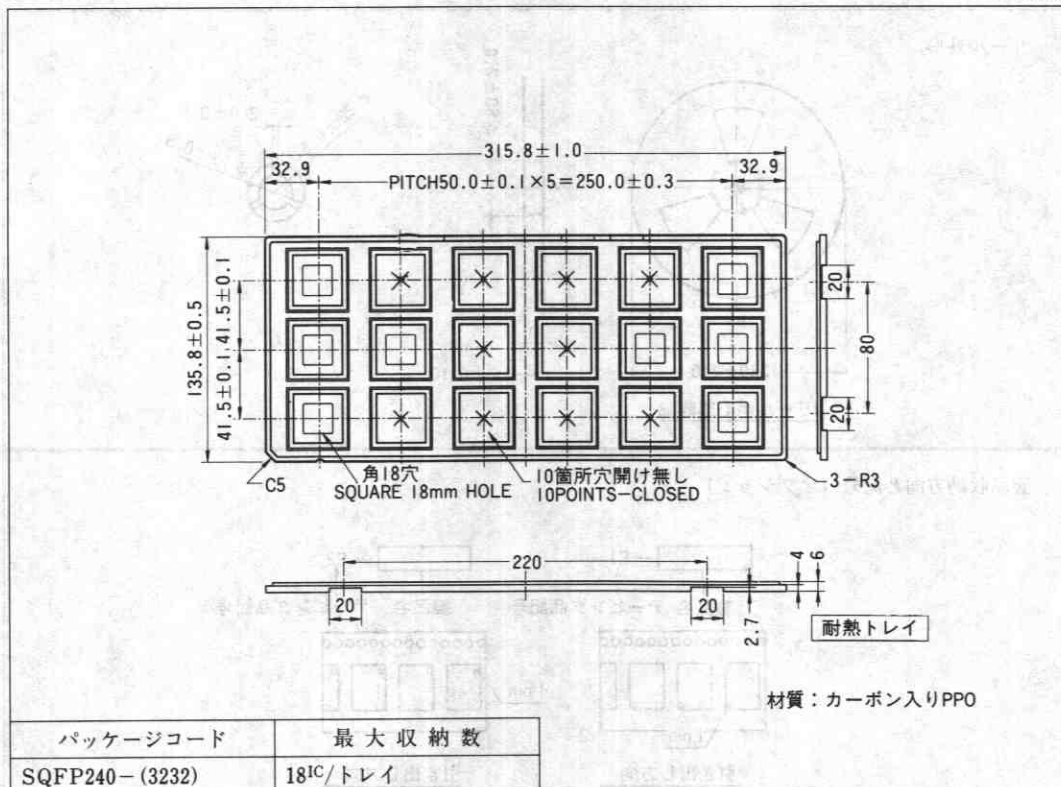
単位：mm



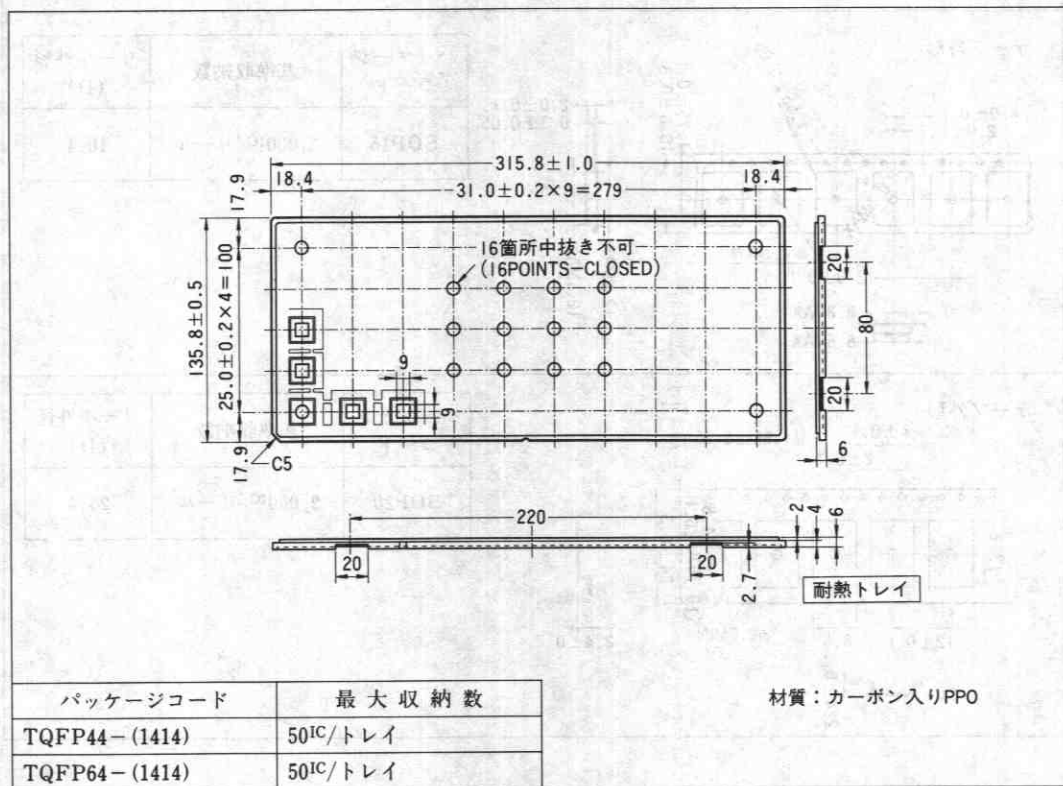
材質：カーボン入りポリスチレン

パッケージコード	最大収納数
SQFP176-(2424)	36 <sup>IC</sup> /トレイ

単位：mm

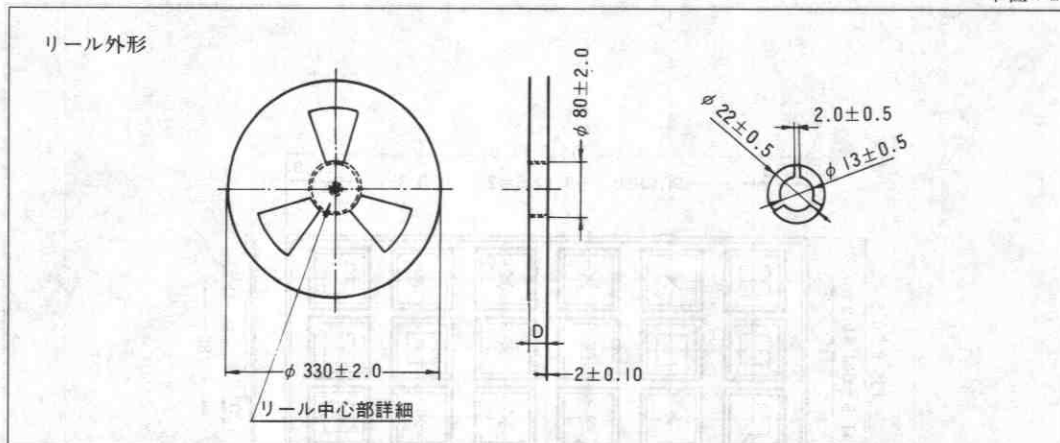


単位：mm

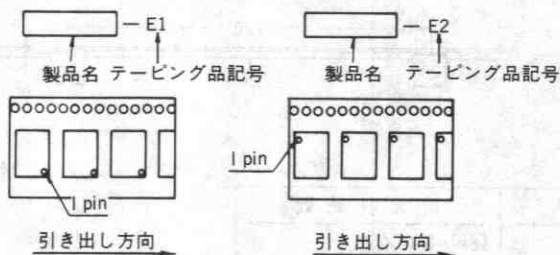


(3) エンボスカリヤテーピング

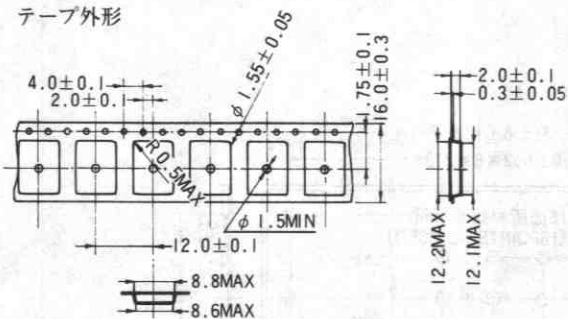
単位: mm



製品収納方向と記号 (オプション)

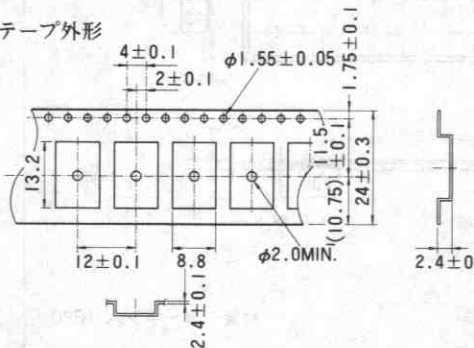


テープ外形



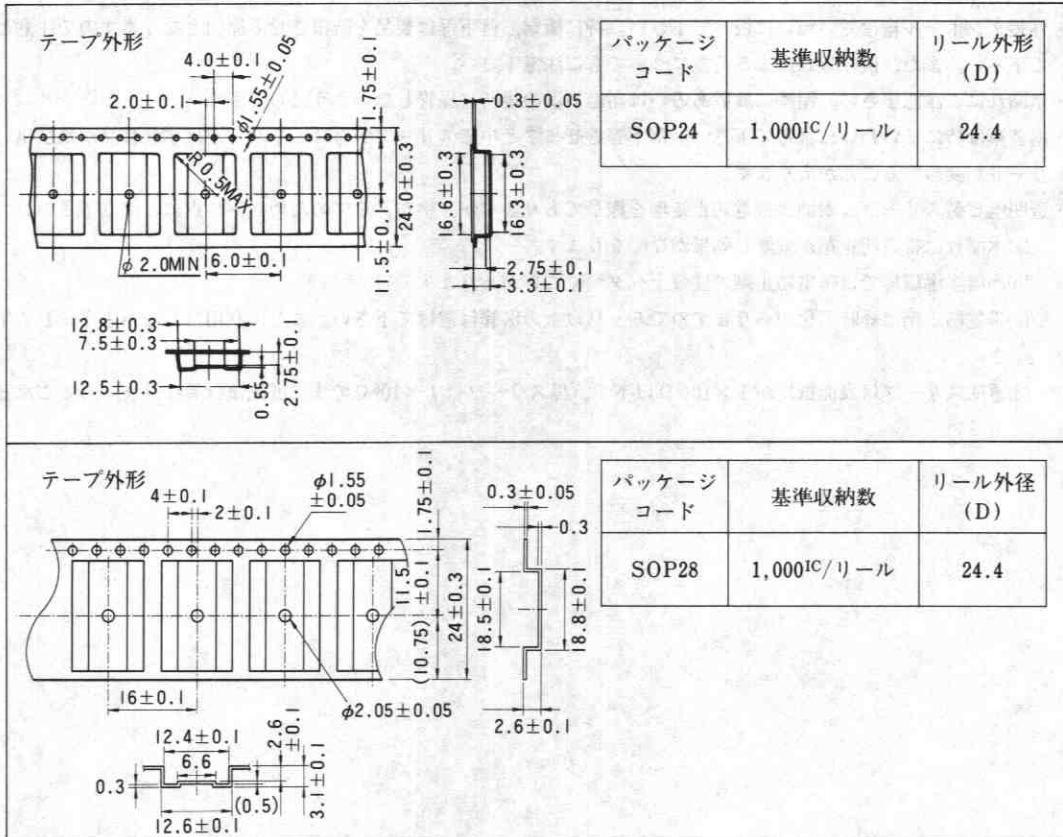
パッケージコード	基準収納数	リール外形 (D)
SOP16	2,000 <sup>IC</sup> /リール	16.4

テープ外形



パッケージコード	基準収納数	リール外径 (D)
SOP20	2,000 <sup>IC</sup> /リール	24.4

単位：mm



## 5. 梱包材お取扱い上の注意

- ・外装ダンボール箱はていねいに扱って下さい。特に衝撃、落下等は製品を破損させる原因となりますので注意して下さい。また、積み重ねによる荷重についてもご注意下さい。
- ・水漏れにご注意下さい。屋外に放置あるいは高温多湿の場所に保管しないようにして下さい。
- ・内装箱は特にていねいに扱って下さい。落下等させますと中でスリーブからストッパーがはずれ製品が飛び出しリードが変形することがあります。
- ・透明塩ビ製スリーブは表面に帯電防止処理を施してありますが、塗布タイプのため以下の点にご注意下さい。
  - (a)水漏れは帯電防止剤が剥離し効果がなくなります。
  - (b)高温多湿環境では帯電防止剤の性質上べたつくことがあります。
  - (c)帯電防止剤は経時劣化がありますので6ヶ月以上の保管は避けて下さい。また再利用はしないようにして下さい。
  - (d)透明スリーブは表面抵抗が $1 \times 10^{10} \Omega$ 以下で、黒スリーブは $1 \times 10^6 \Omega$ です。抵抗値は異なりますのでご承知下さい。

### 1-3. 用語・記号解説

本データブックでは各製品ごとに電気的特性が示されています。LSIの機能を最大限に発揮するためにはLSIの持つ特性を十分理解して頂く必要があります。

ここでは電気的特性等の各項目の考え方について解説を致しております。LSI活用の一助となれば幸いです。

#### 1. 絶対最大定格

絶対最大定格はLSIの劣化や破壊を防ぐために、一時的であっても越えてはならない値です。

定格値を一時的にでも越えてしまった場合には、LSIは直ちに破壊、もしくは信頼性を著しく劣化させることとなります。

また、通例、複数の定格がありますが、これらのどの2つの項も同時に達してはなりません。

以下は絶対最大定格の主な項目説明です。

項目	記号	絶対最大定格での意味	単位
電源電圧	V <sub>DD</sub>	電源端子と接地端子間に印加しうる最大、最小電圧値	V
入力電圧	V <sub>I</sub>	入力端子に印加しうる最大、最小電圧値	V
出力電流	I <sub>O</sub>	出力端子に流し込むことのできる最大電流値	A
動作温度	T <sub>OP</sub>	LSIの劣化、破壊なく機能動作をおこなう周囲温度範囲 (完全に特性は保証されない場合があります)	°C
保存温度	T <sub>STG</sub>	電圧を印加せずに保存しておく際の周囲温度範囲	°C

#### 2. 推奨動作条件

推奨動作条件はLSIが直流特性、交流特性を満足して正常な機能動作をするために必要な条件です。アナログ特性など個別に条件が規定されている特性はこの限りではありません。

以下は推奨動作条件の主な項目説明です。

項目	記号	推奨動作条件での意味	単位
電源電圧	V <sub>DD</sub>	正常動作可能な電源端子と接地端子間の電圧値	V
動作温度	T <sub>OP</sub>	正常動作可能な周囲温度範囲	°C

### 3. 各特性表記に使用される項目・用語説明

以下は各特性に使用される項目、用語説明です。項目・用語はその右の記号で表されることがあります。また明確な付記の無い場合は一般に推奨動作条件を想定しています。

項目・用語	記号	説明	単位
動作(周囲)温度	Top	LSIが動作をしている時の周囲温度	°C
保存温度	Tstg	LSIを放置する時の周囲温度	°C
接合温度	Tj	半導体の接合部温度	°C
周囲温度	Ta	パッケージの周囲温度	°C
電源電圧	VDD	電源端子と接地端子間の供給電圧値	V
入力電圧	Vi	入力端子に印加しうる電圧値	V
入力電圧Hレベル	VIH	論理Hレベルと認識可能な入力端子電圧値	V
入力電圧Lレベル	VIL	論理Lレベルと認識可能な入力端子電圧値	V
出力電圧Hレベル	VOH	論理Hレベルを出力する際の出力端子電圧値	V
出力電圧Lレベル	VOL	論理Lレベルを出力する際の出力端子電圧値	V
消費電力	PD	LSIにて消費される電力値	W
電源電流	IDD	電源端子に流れ込む電流値	A
出力電流	Io	出力端子に流れ込む電流値、もしくはその絶対値	A
出力電流Hレベル	IOH	論理Hレベルを出力する際に、ある負荷条件下で出力端子に流れ込む電流値、もしくはその絶対値	A
出力電流Lレベル	IOL	論理Lレベルを出力する際に、ある負荷条件下で出力端子に流れ込む電流値、もしくはその絶対値	A
入力リーク電流	ILI	入力端子に流れ込む電流値	A
出力リーク電流	ILO	ハイインピーダンス状態の出力端子に電圧を印加したときに流れ込む電流値	A
プルアップ抵抗	RU	プルアップ抵抗の抵抗値	Ω
プルダウン抵抗	RD	プルダウン抵抗の抵抗値	Ω
負荷抵抗	RL	特性規定の際に端子外部に接続される抵抗の抵抗値	Ω
負荷容量	CL	特性規定の際に端子外部に接続される静電容量	F
入力容量	CI	入力端子と接地端子の間の静電容量	F
出力容量	CO	出力端子と接地端子の間の静電容量	F
入出力容量	CIO	入出力端子と接地端子の間の静電容量	F



項目・用語	記号	説明	単位
最高動作周波数	$f_{max}$	LSIが正常に動作する最高周波数	Hz
オン(H)時間	( $t_{on}$ )	入力端子をHレベルに保持しなければならない時間	s
オフ(L)時間	( $t_{off}$ )	入力端子をLレベルに保持しなければならない時間	s
立ち上がり時間	( $t_r$ )	入力端子をLレベルからHレベルに変化させるために要する時間	s
立ち下がり時間	( $t_f$ )	入力端子をHレベルからLレベルに変化させるために要する時間	s
セットアップ時間	( $t_s$ )	規定された信号が関連する他の信号変化以前に加えられ、かつ維持されていなければならない時間	s
ホールド時間	( $t_h$ )	規定された信号が関連する信号変化以後保持されていなければならない時間	s
アクセス時間	( $t_{acc}$ )	関連端子に規定された信号が与えられてから有効なデータが確定するまでに要する時間	s
遅延時間	( $t_d$ )	関連端子の信号が変化してから出力端子の信号が変化するまでの時間	s
パルス幅		パルス状波形においてアクティブレベルが保持されなければならない時間	s
デューティ	D	クロック波形においてHレベルの1周期に対する比	%
サンプリング周波数	$f_s$	1秒間あたりの信号標本化の回数	Hz
アナログ入力電圧	( $V_{iA}$ )	アナログ入力端子に印加できる電圧	V
アナログ出力電圧	( $V_{oA}$ )	アナログ出力端子の出力電圧幅	V
全高調波歪率	THD	正弦波入力時の出力信号における、高調波の総和の基本波に対するパワー比	%
	THD+N	正弦波入力時の出力信号における、高調波の総和にノイズをくわえたものの基本波に対するパワー比	%
信号対雑音比	S/N	最大出力値の、無信号時のノイズ量に対するパワー比	dB
セトリング時間	( $t_{set}$ )	入力信号の変化の瞬間からそれに対応する出力信号が最終定常値の指定された許容範囲内に収まる瞬間までの時間	s

#### 4. 単位表記について

規格の単位表記は前項に示された単位と以下に示す接頭語によって示されます。

接頭語	記号	量	接頭語	記号	量	接頭語	記号	量
メガ	M	$10^6$	キロ	k	$10^3$	ミリ	m	$10^{-3}$
マイクロ	$\mu$	$10^{-6}$	ナノ	n	$10^{-9}$	ピコ	p	$10^{-12}$

#### 5. YAMAHA LSI ご使用上の注意

弊社のLSIの大部分はYAMAHA C-MOSプロセスによって作られています。ここではご使用にあたりご注意ください一般的な項目を述べさせていただきます。

- ・使用されない入力端子は必ず、HまたはLに固定して下さい。

C-MOSゲートは入力が入力中間電位になりますとP、N両ゲートがオンしてしまい貫通電流が流れ好ましくありません。空き入力端子は必ず電源端子か接地端子と接続して下さい。

プルアップ付き端子は電源端子へ、プルダウン端子は接地端子へ接続して頂くほうが電流、対ノイズの上で有利です。

これに対して使用されない出力端子は開放でご使用頂くのが一般的です。

- ・ラッチアップについて

C-MOSプロセスで作られたLSIは端子電圧が電源端子電圧よりも高くなったり、接地端子電圧よりも低くなったりしますと寄生サイリスタ構造を構成しラッチアップを起こします。

これはLSIを破壊に至らしめたり、信頼性を劣化させます。

特に、電源投入時においては電源電圧よりも信号端子電圧が先に印加されるようなことのないようにご注意ください。

端子電圧には細心のご注意をお願い致します。

- ・電源端子へは同一電源を供給して下さい。

電源の安定化、耐ノイズ対策などで電源端子、接地端子は複数本存在します。

しかし、YAMAHA LSIは通例モノリシック構造を取っており、電源端子は内部で接続されているのが普通です。

この為、各電源端子へは必ず同一電源を供給するようにして下さい。電位差が存在すると電源端子間がショートしたり、ラッチアップにつながります。

- ・クロックの停止

LSI動作中はそれに供給されるマスタークロック等は停止させないで下さい。C-MOSプロセスでは電流消費は確かにクロック変化時が主ですが、高集積化のため内部ではダイナミック回路を使用していることが多く、クロック停止に伴ってダイナミック回路の電荷が抜け貫通電流が発生することがあります。

このため、かえって消費電流が増加したり、LSIを劣化させることにもなりますので注意が必要です。

## 2. パネル&CRTコントローラ

2. 日本とイギリスの比較

# V6366C

(PCDC)

## ■概 要

PCDC (Panel Display & CRT Display Controller) は大容量フラットパネルディスプレイ (以下パネルと呼びます) の表示制御とラスタースキャン形 CRTの表示制御の両機能を持つ表示コントローラーです。しかも初期設定を行なうだけで、従来の CRT用ソフトを変更せずにパネルに於ても使用できますので、パネルを使用した携帯型、可搬型コンピュータが簡単に構成できます (PCDC では必要に応じて、表示モニターを CRT とパネルで切替える事が可能です)。

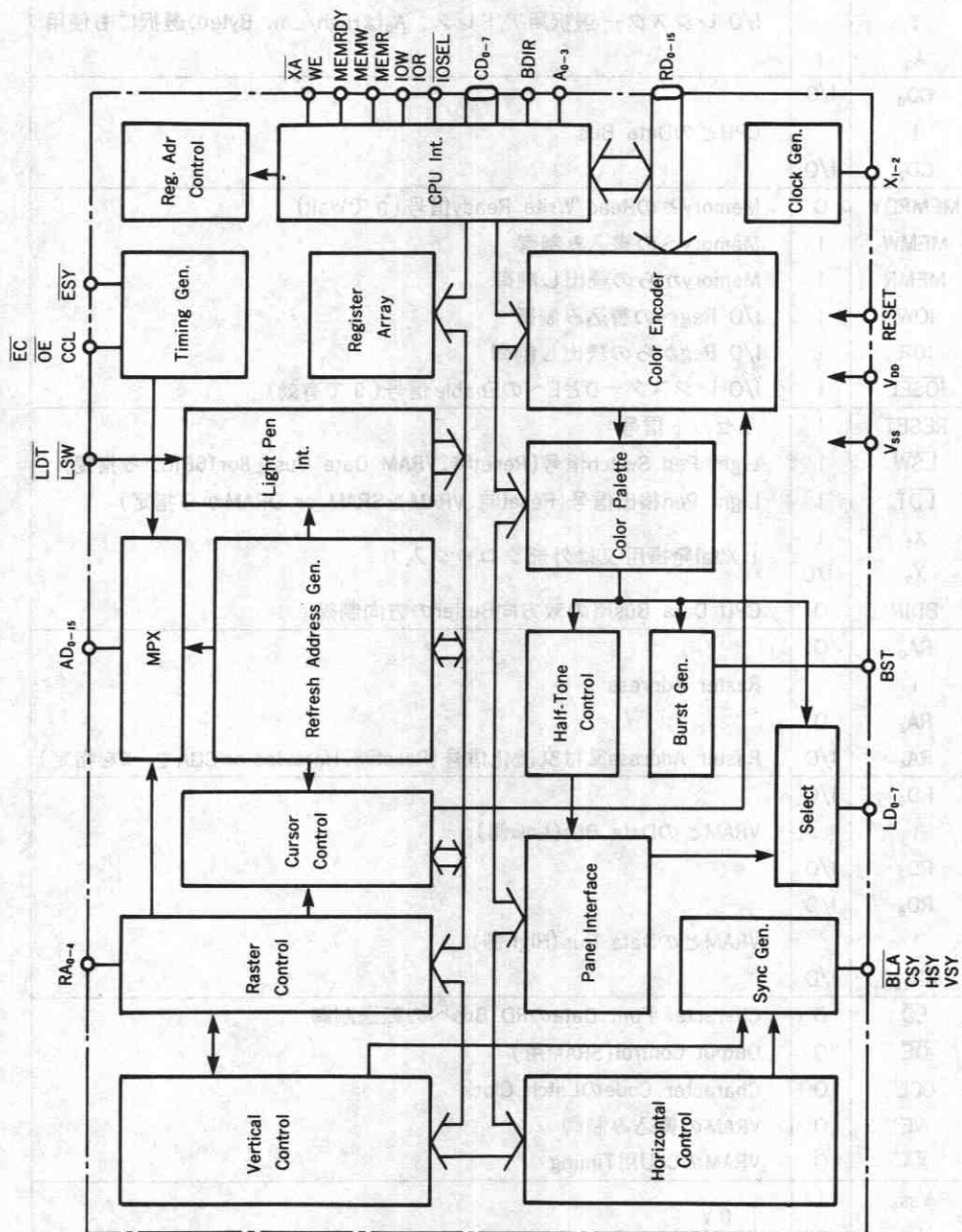
PCDCは IBM-PC用のCGA(Color Graphics Adapter)、MDA(Monochrome Display Adapter)、HGC (Hercules Graphic Card) との互換性を持ちます。正規のモニターを接続するソフトとハードが対の場合は、ソフトウェアの変更なしに (初期設定も不要) 互換性があります。異なったモニターを接続した場合にも、電源起動時に初期設定を一度行なうだけで、以後ソフトウェアの変更なしに互換性がありますので、例えば IBM Monochrome モニター、パネルを使って CGA 用ソフトを実行させる事も可能になります (カラー表示のできないモニターでは階調、ハッチングによる表示ができます)。

PCDC は IBM-PC の表示能力の他に漢字表示、カラーパレット、最大256色まで同時表示可能など多くの拡張機能を合せ持つ為、高機能の表示システムが容易に構成できます。

## ■特 徴

- ・ MC6845 の全機能を内蔵（インタレースシンク&ビデオモードとセキュア機能を除く）
- ・ CRT、LCD 以外に EL、プラズマディスプレイとの接続可能
- ・ 640×400 のパネルをドライブ可能（720×350のパネルも可能）
- ・ 1 スクリーンパネル又は2スクリーンパネル（上下2分割）の使用可能
- ・ 2 スクリーンパネルでの最大デューティーは、1/256で縦512ラインのパネルまで表示可能
- ・ パネルへのデータ送出は、1、2、4、8ビット並列から選択可能
- ・ パネル、Monochrome モニターで階調表示又はハッチング表示が可能
- ・ 640×400 スクリーンで 640×200 の IBM-PC用ソフトを直接表示可能（8×16ドットの Character Font 使用可能、ダブルスキャンモードでも表示可能）
- ・ IBM-PC の Graphics 以外に320×200ドット×16又は256色、320×400ドット×4又は16色、640×200ドット×4又は16色、640×400ドット×4色、640×350ドット×16色などの多くの Graphics Mode を持ちます。
- ・ ソフト保護の為にプロテクトビットを持ちます。
- ・ VRAM に SRAM 又は DRAM の使用可能（表示用と CPU 用のタイミングを分けている為、CPU はいつでも（帰線期間を待たずに）VRAM にアクセスできます）
- ・ ライトペンのインターフェイスを内蔵
- ・ リニア RGB モニターでは、512色中同時16色表示可能
- ・ EGA モニターでは 64色中同時16色表示可能
- ・ IBM Color モニターにも Color Lookup Table 使用可能
- ・ 電力節約の為にスタンバイ機能を持ちます。
- ・ 16×16, 24×24, 32×32ドットの漢字表示可能（アトリビュート使用可能）
- ・ Font 構成は水平 6, 7, 8, 9, 10, 8×整数（半角、全角文字の混在表示可能）、垂直 1～32ドットから選択可能
- ・ スムーススクロール、外部同期（ノンインタレースモード時のみ）可能
- ・ IBM Color モニターと 640×200 の1スクリーンLCD との同時表示可能
- ・ CMOS、5V単一電源、100ピン QFP 又は84ピン PLCC

## ■ ブロック図



## ■ 端子機能

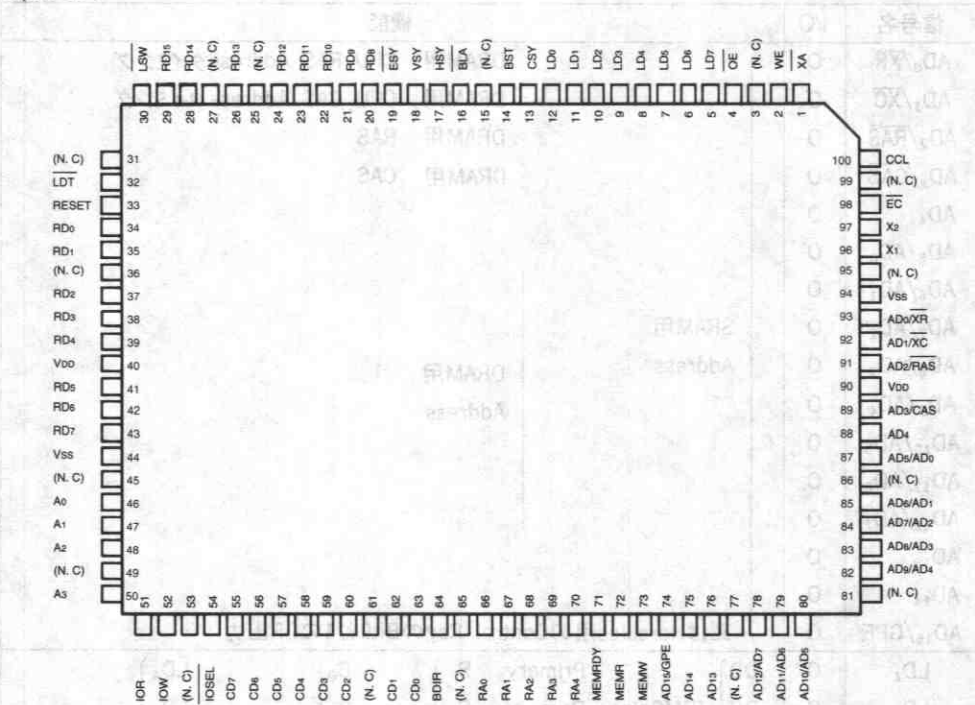
信号名	I/O	機能
A <sub>0</sub> ┆ A <sub>3</sub>	I	I/O レジスタ選択用アドレス、A <sub>0</sub> はHigh/Low Byteの選択にも使用
CD <sub>0</sub> ┆ CD <sub>7</sub>	I/O	CPUとのData Bus
MEMRDY	O	MemoryとのRead/Write Ready信号(0でWait)
MEMW	I	Memoryへの書き込み制御
MEMR	I	Memoryからの読出し制御
IOW	I	I/O Regへの書き込み制御
IOR	I	I/O Regからの読出し制御
IOSEL	I	I/O レジスタDとEへのEnable信号(0で有効)
RESET	I	リセット信号
LSW	I	Light Pen Switch信号(Reset時、VRAM Data Busを8or16Bitから指定)
LDT	I	Light Pen検出信号(Reset時、VRAMをSRAM or DRAMから指定)
X <sub>1</sub> X <sub>2</sub>	I/O	) X'tal発振用又は外部クロック入力
BDIR	O	
RA <sub>0</sub> ┆ RA <sub>3</sub> RA <sub>4</sub>	O  O I/O	Raster Address  Raster Address又は交流化信号(Reset時、Hercules or CGAモードを指定)
RD <sub>0</sub> ┆ RD <sub>7</sub> RD <sub>8</sub> ┆ RD <sub>15</sub>	I/O  I/O I/O I/O	VRAMとのData Bus(Low側)  VRAMとのData Bus(High側)
EC	O	Character Font DataのRD Busへの転送制御
OE	O	Output Control(SRAM用)
CCL	O	Character CodeのLatch Clock
WE	O	VRAMの書き込み制御
XA	O	VRAMのCPU用Timing
Vss Vss VDD VDD	I I I I	) 0V  ) +5V



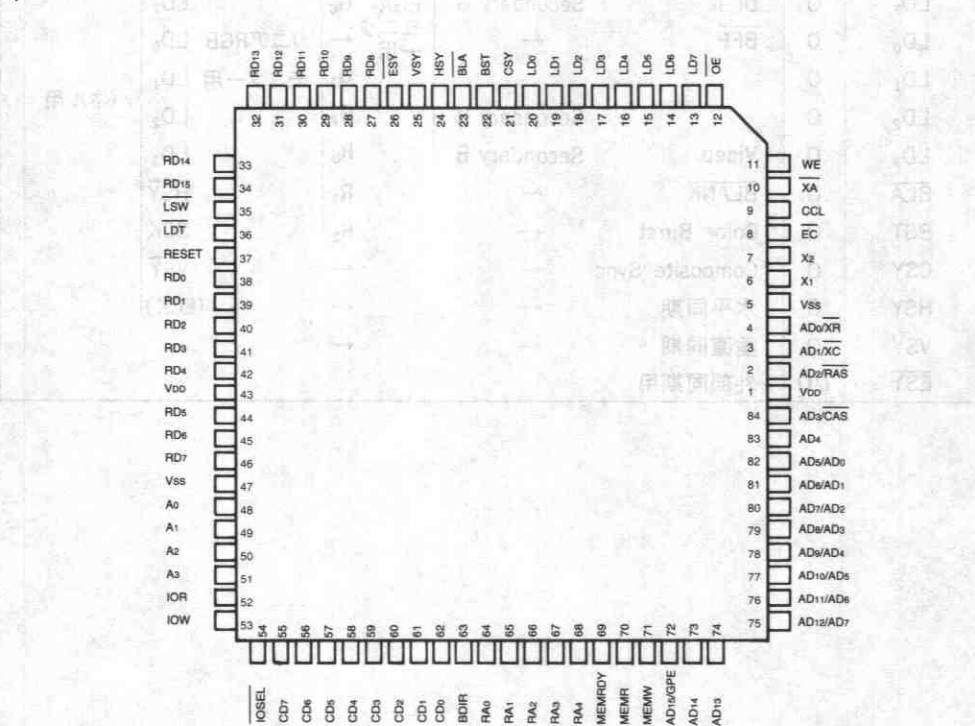
信号名	I/O	機能		
AD <sub>0</sub> / $\overline{XR}$	0	SRAM用 Address	DRAM用 CPU RAS Address タイミング	
AD <sub>1</sub> / $\overline{XC}$	0		DRAM用 CPU CAS Address タイミング	
AD <sub>2</sub> / $\overline{RAS}$	0		DRAM用 RAS	
AD <sub>3</sub> / $\overline{CAS}$	0		DRAM用 CAS	
AD <sub>4</sub>	0		DRAM用 Address	
AD <sub>5</sub> /AD <sub>0</sub>	0			
AD <sub>6</sub> /AD <sub>1</sub>	0			
AD <sub>7</sub> /AD <sub>2</sub>	0			
AD <sub>8</sub> /AD <sub>3</sub>	0			
AD <sub>9</sub> /AD <sub>4</sub>	0			
AD <sub>10</sub> /AD <sub>5</sub>	0			
AD <sub>11</sub> /AD <sub>6</sub>	0			
AD <sub>12</sub> /AD <sub>7</sub>	0			
AD <sub>13</sub>	0			
AD <sub>14</sub>	0			
AD <sub>15</sub> /GPE	0	又は Hercules 用の Control Reg の Bit0 と 1 の OR 出力		
LD <sub>4</sub>	0	DB } Primary B	B <sub>0</sub> } LD <sub>4</sub>	
LD <sub>5</sub>	0	DG } IBMColor Primary G	B <sub>1</sub> } LD <sub>5</sub>	
LD <sub>6</sub>	0	DR } モニター用 Primary R	B <sub>2</sub> } LD <sub>6</sub>	
LD <sub>7</sub>	0	DI } Secondary G	G <sub>0</sub> } LD <sub>7</sub>	
LD <sub>0</sub>	0	$\overline{BFP}$ ←	← } リニアRGB LD <sub>0</sub>	
LD <sub>1</sub>	0		G <sub>1</sub> } モニター用 LD <sub>1</sub>	
LD <sub>2</sub>	0		G <sub>2</sub> } LD <sub>2</sub>	
LD <sub>3</sub>	0	Video } Secondary B	R <sub>0</sub> } LD <sub>3</sub>	
$\overline{BLA}$	0	$\overline{BLANK}$ ←	R <sub>1</sub> } $\overline{HSY}$	
BST	0	Color Burst ←	R <sub>2</sub> } SCK	
CSY	0	Composite Sync ←	← } $\overline{VSY}$	
HSY	0	水平同期 ←	← } (ECK)	
VSY	0	垂直同期 ←	←	
$\overline{ESY}$	I/O	外部同期用		

## ■ 端子配置図

### (1) 100pin QFP



### (2) 84pin PLCC



## ■ 電気的特性

## ● 絶対最大定格

項目	記号	最小	最大	単位
電源電圧	V <sub>DD</sub>	-0.3	+7.0	V
入力電圧	V <sub>I</sub>	-0.3	V <sub>DD</sub> +0.3	V
出力電圧	V <sub>O</sub>	-0.3	V <sub>DD</sub> +0.3	V
動作温度	T <sub>OP</sub>	0	+70	℃
保存温度	T <sub>stg</sub>	-50	+125	℃

(V<sub>SS</sub>=0.0Vを基準にしています)

## ● 推奨動作条件

電源電圧 +5V±5%(V<sub>SS</sub>=0.0Vを基準にしています)

動作周囲温度 0~70℃

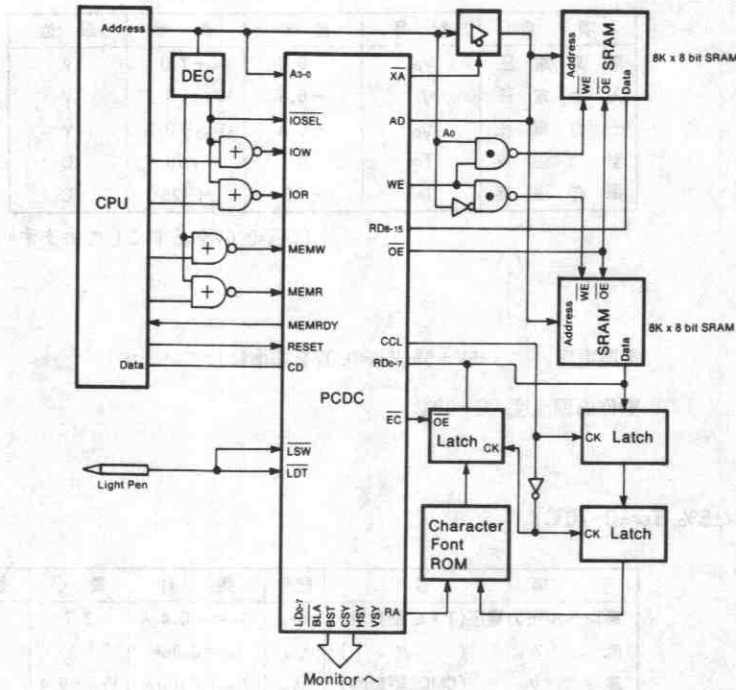
● 直流特性 (V<sub>DD</sub>=5V±5%, T<sub>OP</sub>=0~70℃)

項目	記号	条件	最小	最大	単位
高レベル出力電圧(TTL駆動時)	V <sub>OH</sub>	I <sub>OH</sub> =-0.4mA	2.7		V
低 // ( // )	V <sub>OL</sub>	I <sub>OL</sub> =0.8mA		0.4	V
高 // (CMOS駆動時)	V <sub>OH</sub>	I <sub>OH</sub>  <10μA	V <sub>DD</sub> -0.4		V
低 // ( // )	V <sub>OL</sub>	I <sub>OL</sub>  <10μA		0.4	V
高レベル入力電圧	V <sub>IH</sub>		2.2		V
低 //	V <sub>IL</sub>			0.8	V
入力リーク電流	I <sub>I</sub>		-10	10	μA
オフ状態リーク電流	I <sub>LZ</sub>		-10	10	μA
電源電流(通常動作時)	I <sub>DD</sub>			70	mA
// > (スタンバイ時)	I <sub>DD</sub>			10	mA

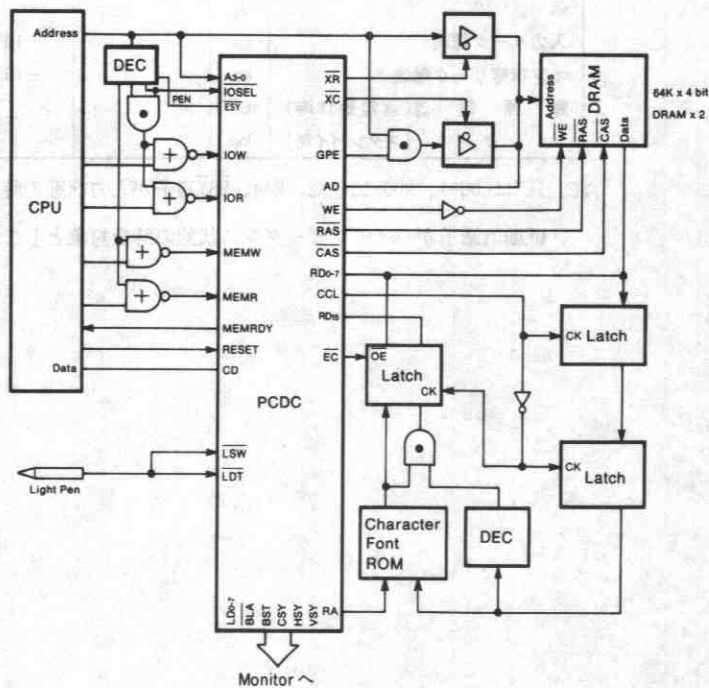
注) I<sub>LZ</sub>はCDO-7、RDO-15、X2、RA4、ESY端子が入力状態の時と、ADO/XR~AD15/GPE、MEMRDY端子がハイインピーダンス状態の時を対象とします。

## ■ システム構成例

### (1) SRAM使用 (16Bit Bus、CGA対応) の場合

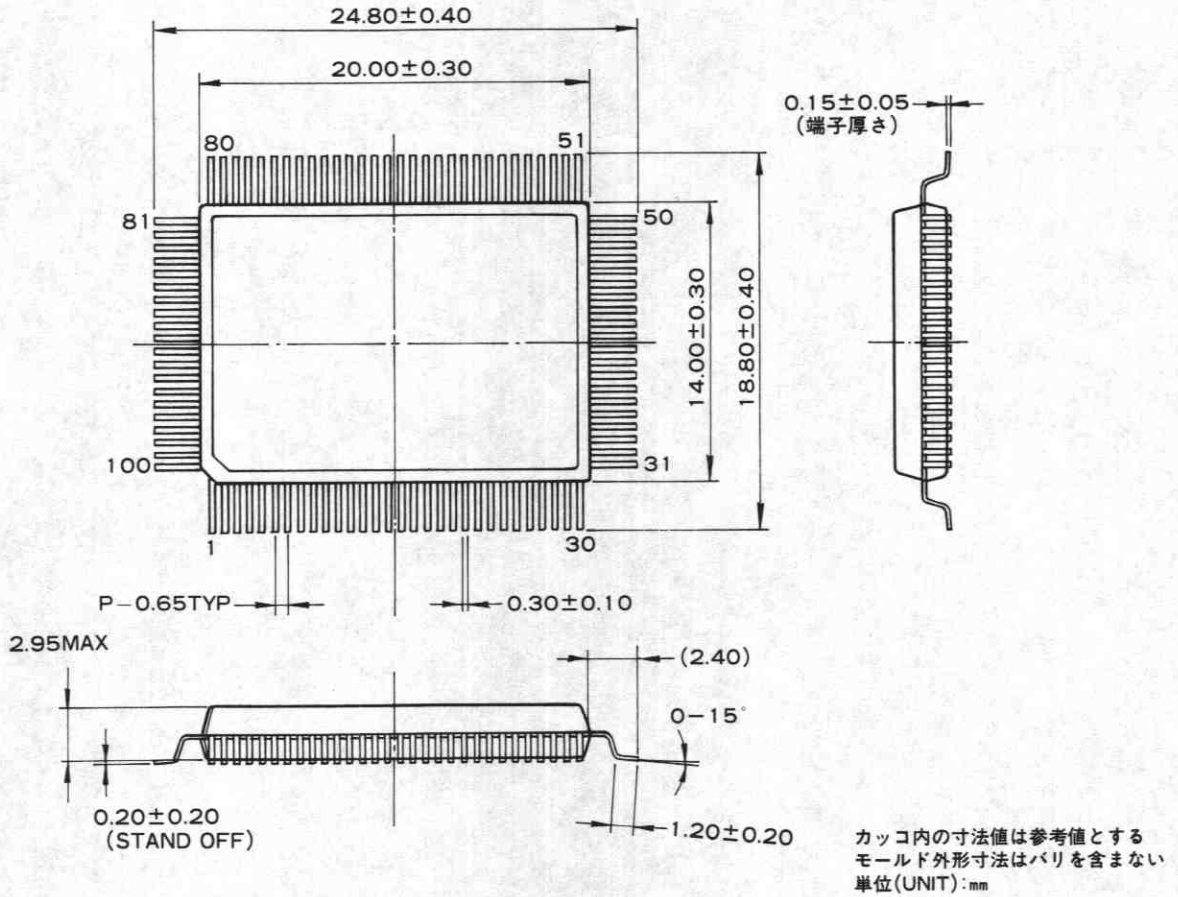


### (2) DRAM使用 (8 Bit Bus、Hercules対応) の場合



## ■ パッケージ外形図

### (1) 100pin QFP



### (2) 84pin PLCC

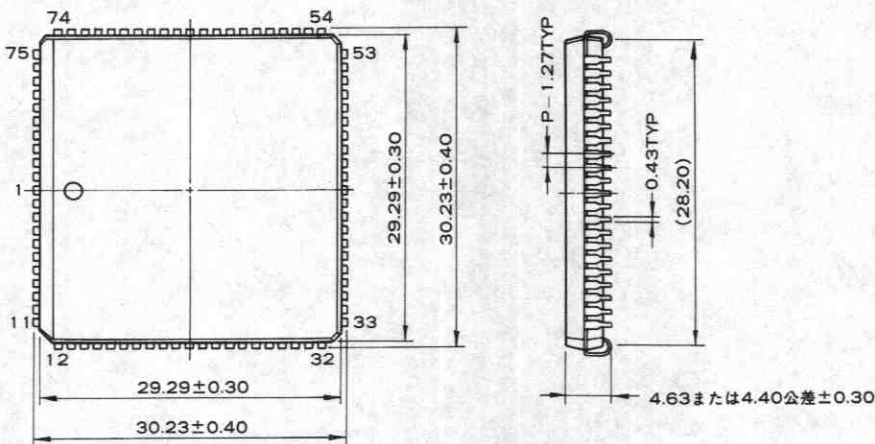
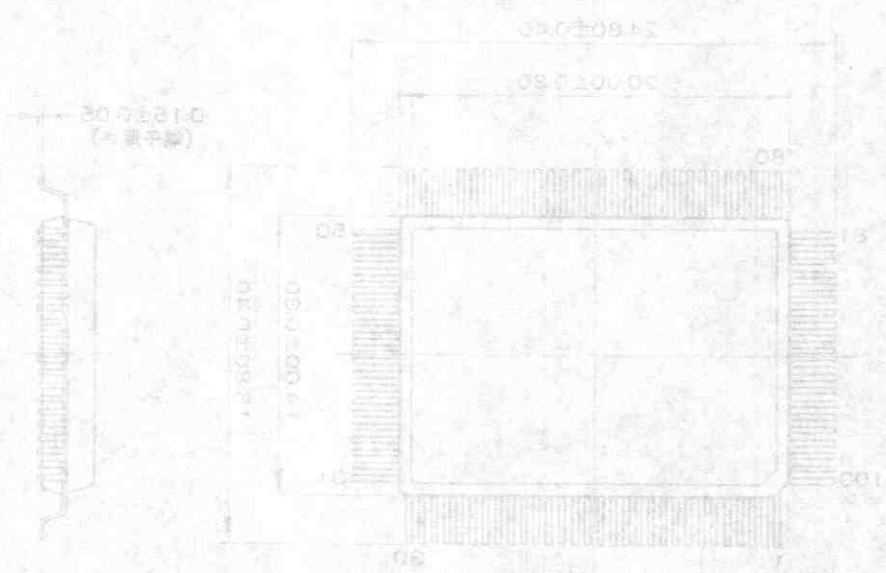


図 1 標準型ターボチャージャー

100mm OFD



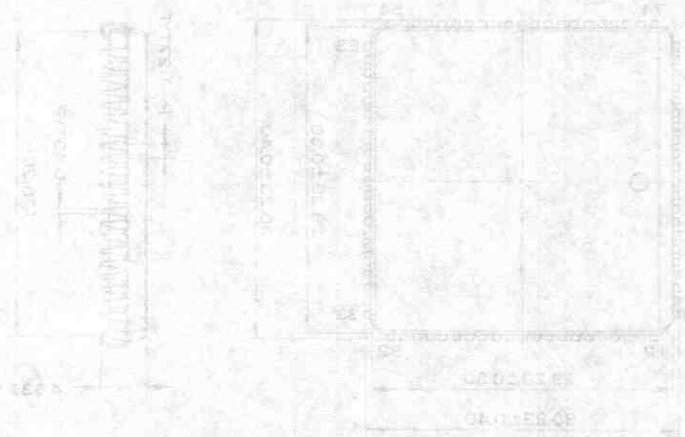
388MMX



0.20 ± 0.20 (STAND DEF)

150.00 ± 0.30

図 2 基本 P.L.C.C.



ターボチャージャー  
ターボチャージャー  
ターボチャージャー

ターボチャージャー  
ターボチャージャー  
ターボチャージャー

### 3. ビデオディスプレイプロセッサ

1950年10月1日



## V9958

(E-VDP-II)

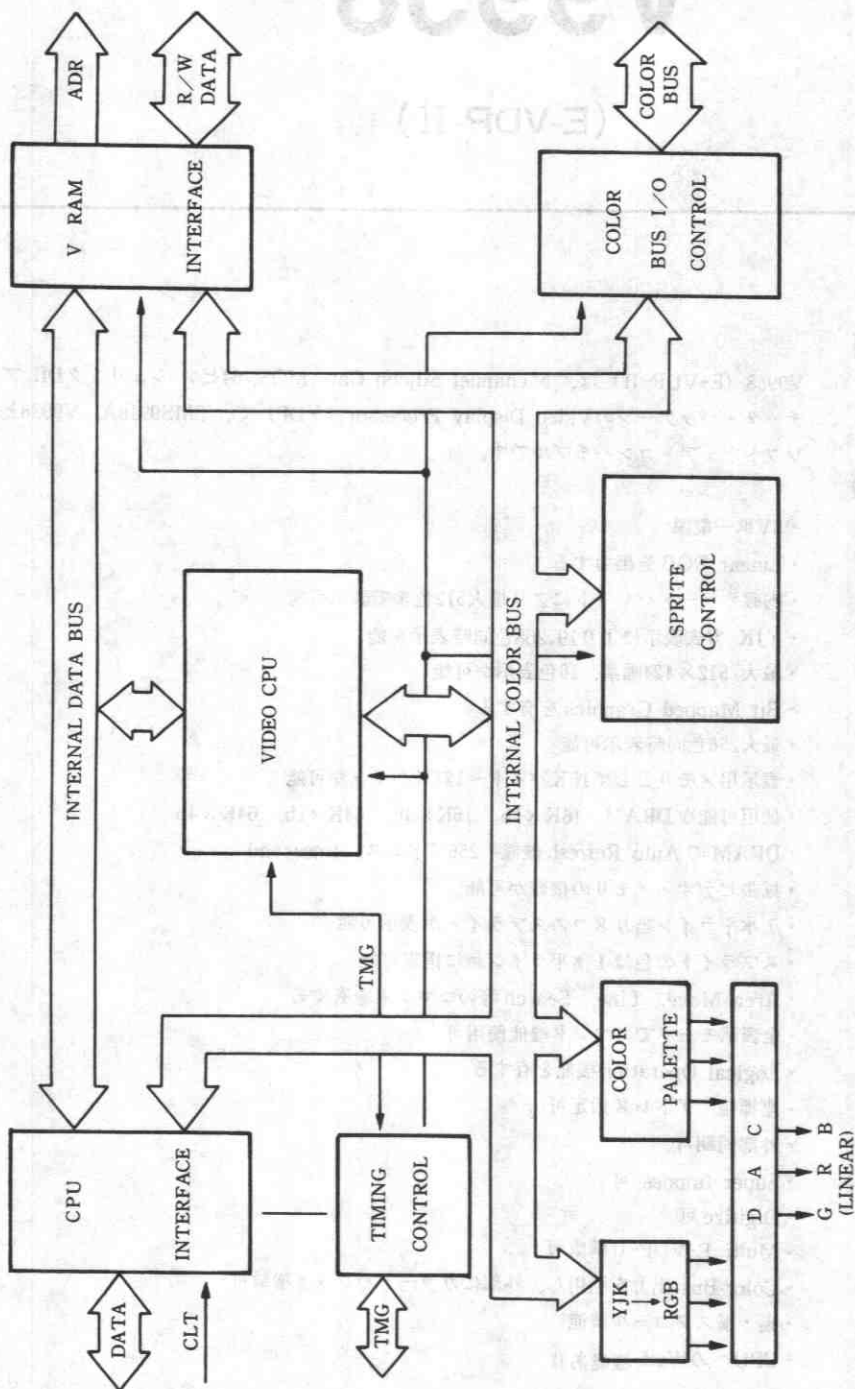
### ■ 概 要

V9958 (E-VDP-II) は、N-channel Silicon Gate MOS, 64ピン シュリンクDIL プラスチック・パッケージのVideo Display Processor (VDP) で、TMS9918A, V9938とは、ソフトウェア・コンパチブルです。

### ■ 特 徴

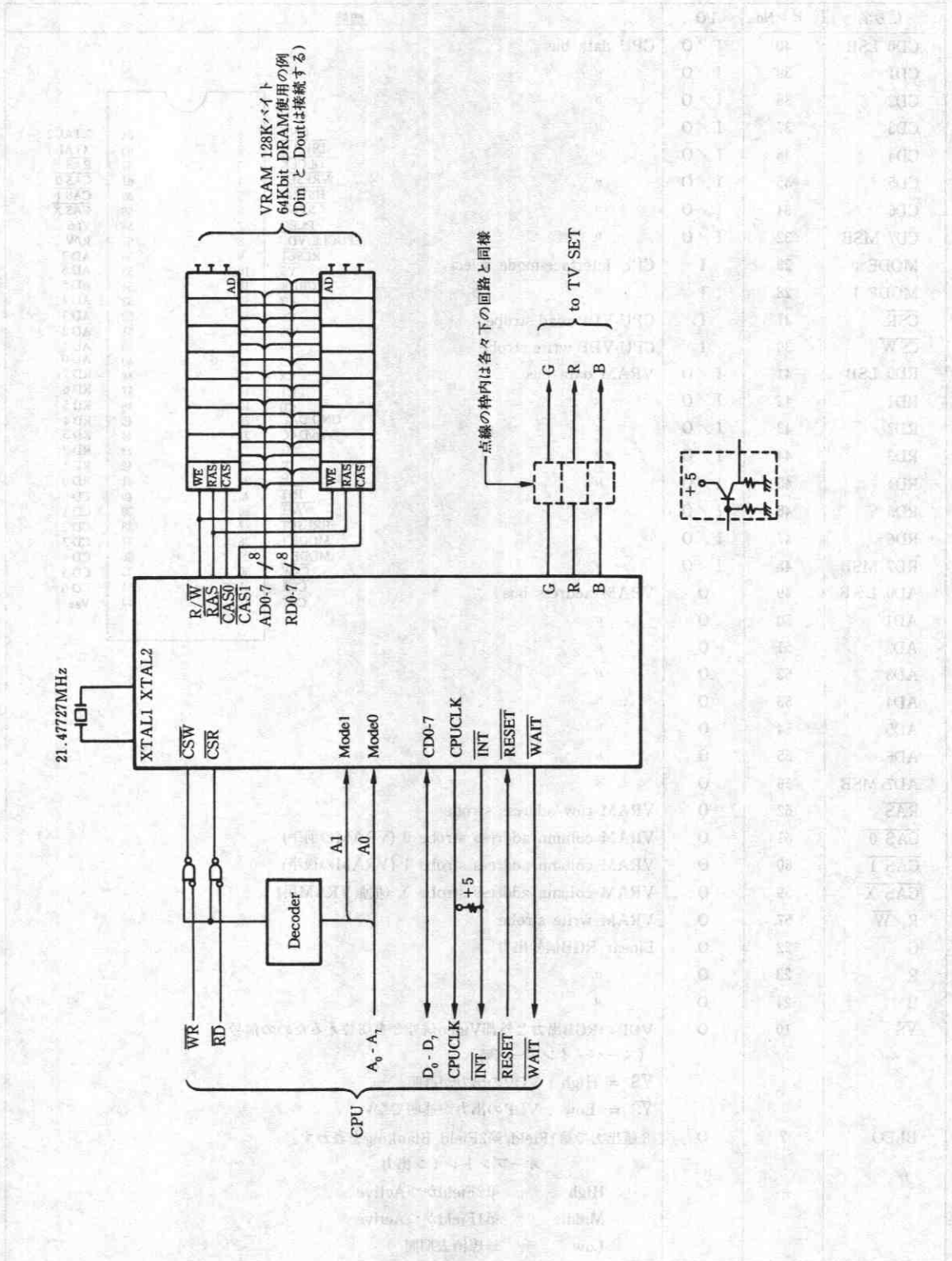
- ・ 5V単一電源
- ・ Linear RGB を出力する
- ・ 内蔵カラー・パレットにより最大512色まで表示可能
- ・ YJK 方式表示により19,268色同時表示可能
- ・ 最大 512×424画素、16色表示が可能
- ・ Bit Mapped Graphics を有する
- ・ 最大256色同時表示可能
- ・ 表示用メモリとして16Kバイト~128Kバイトが可能
- ・ 使用可能な DRAM 16K×1b, 16K×4b, 64K×1b, 64K×4b
- ・ DRAM の Auto Refresh機能 256アドレス、4msecond
- ・ 拡張ビデオ・メモリの接続が可能
- ・ 1 水平ライン当り 8 コのsprayライトが表示可能
- ・ sprayライトの色は1 水平ライン毎に指定可能
- ・ Area Move, Line, Search 等のコマンドを有する
- ・ 全表示モードでコマンド機能使用可
- ・ Logical Operation機能を有する
- ・ 座標値でアドレス指定可
- ・ 外部同期可
- ・ Super-Impose 可
- ・ Digitize 可
- ・ Multi E-VDP-II構成可
- ・ Color-Bus 出力を利用し、外部にカラー・パレット増設可
- ・ 縦・横スクロール機能
- ・ CPUへのWait 機能あり

■ ブロック図



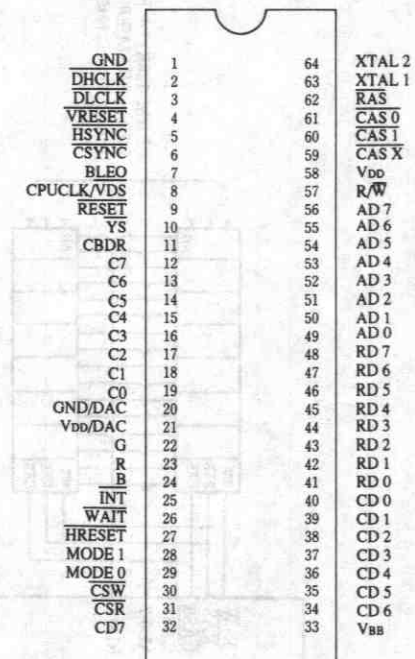
接続心及置58年製

## ■E-VDP-II回路図



## ■ 端子配置及び機能

信号名	ピンNo.	I/O	機能
CD0 LSB	40	I/O	CPU data bus
CD1	39	I/O	"
CD2	38	I/O	"
CD3	37	I/O	"
CD4	36	I/O	"
CD5	35	I/O	"
CD6	34	I/O	"
CD7 MSB	32	I/O	"
MODE 0	29	I	CPU interface-mode select
MODE 1	28	I	"
$\overline{\text{CSR}}$	31	I	CPU-VDP read strobe
$\overline{\text{CSW}}$	30	I	CPU-VDP write strobe
RD0 LSB	41	I/O	VRAM data bus
RD1	42	I/O	"
RD2	43	I/O	"
RD3	44	I/O	"
RD4	45	I/O	"
RD5	46	I/O	"
RD6	47	I/O	"
RD7 MSB	48	I/O	"
AD0 LSB	49	O	VRAM address bus
AD1	50	O	"
AD2	51	O	"
AD3	52	O	"
AD4	53	O	"
AD5	54	O	"
AD6	55	O	"
AD7 MSB	56	O	"
$\overline{\text{RAS}}$	62	O	VRAM row address strobe
$\overline{\text{CAS 0}}$	61	O	VRAM column address strobe 0 (VRAMの前半)
$\overline{\text{CAS 1}}$	60	O	VRAM column address strobe 1 (VRAMの後半)
$\overline{\text{CAS X}}$	59	O	VRAM column address strobe X (拡張VRAM用)
$\overline{\text{R/W}}$	57	O	VRAM write strobe
G	22	O	Linear RGB信号出力
R	23	O	"
B	24	O	"
$\overline{\text{YS}}$	10	O	VDPのRGB出力と外部Video信号とを切替えるための信号 (スーパーインポーズ時) $\overline{\text{YS}} = \text{High}$ ; VDPの出力が透明。 $\overline{\text{YS}} = \text{Low}$ ; VDPの出力が透明でない。
BLEO	7	O	3値出力で第1Field/第2Field Blankingを表わす。 オープンドレイン出力 High ; 第2FieldかつActive Middle ; 第1FieldかつActive Low ; 帰線消去期間



信号名	ピンNo.	I/O	機能
$\overline{\text{HSYNC}}$	5	O	High ; HSYNCでないTiming, あるいはColor BurstのTiming Low ; HSYNCあるいはColor BurstでないTiming
$\overline{\text{CSYNC}}$	6	O	Composite SYNC出力
CBDR	11	O	Color busの方向を示すピン High ; Color busが入力 Low ; Color busが出力
C0 LSB	19	I/O	Color bus
C1	18	I/O	通常はColor codeが出力される。Digitize時には入力ポートとして使用される。
C2	17	I/O	"
C3	16	I/O	"
C4	15	I/O	"
C5	14	I/O	"
C6	13	I/O	"
C7 MSB	12	I/O	"
$\overline{\text{DHCLK}}$	2	O	High Resolution 時のDot Clock出力 約10.74MHz, オープンドレイン出力
$\overline{\text{DLCLK}}$	3	I/O	Low Resolution 時のDot Clock出力 約5.37MHz, オープンドレイン出力 またモード・レジスタにより入力することができ、Multi VDPの時に使用する。
XTAL 1	63	I	このピンにXTALを接続する。また外部発振したClockを使用する場合には、このPinに入力する。
XTAL 2	64	I	
CPUCLK/ $\overline{\text{VDS}}$	8	O	XTALの1/6の周波数が出力される。 VRAM data select $\overline{\text{VDS}} = \text{Low}$ ; VRAMのAccessが表示DataのためのAccessである。 $\overline{\text{VDS}} = \text{High}$ ; VRAMのAccessが上記以外のAccessである。
$\overline{\text{INT}}$	25	O	CPU Interrupt output, オープンドレイン出力 Low ; Interrupt発生
$\overline{\text{RESET}}$	9	I	VDP内の各回路が初期リセットされる。
$\overline{\text{VRESET}}$	4	I	VSYSNC入力
$\overline{\text{HRESET}}$	27	I	HSYNC入力 (同一クロック入力によるV9958の2個使い時のみ使用可能)
$\overline{\text{WAIT}}$	26	O	CPU へのWait信号出力
V <sub>DD</sub>	58	I	電源5V
GND	1	I	Ground 0V
GND・DAC	20	I	Ground 0V
V <sub>DD</sub> ・DAC	21	I	電源5V
V <sub>BB</sub>	33	O	基盤電圧

## ■電気的特性

## ●絶対最大定格

項目	記号	最小	最大	単位
電源電圧	V <sub>DD</sub>	-0.3	+7.0	V
入力電圧	V <sub>I</sub>	-0.3	V <sub>DD</sub> +0.3	V
動作温度	T <sub>OP</sub>	0	+70	℃
保存温度	T <sub>stg</sub>	-50	+125	℃

## ●推奨動作条件

記号	項目	最小	標準	最大	単位
V <sub>DD</sub>	電源電圧	4.75	5.00	5.25	V
V <sub>SS</sub>	電源電圧		0		V
T <sub>OP</sub>	動作周囲温度	0		70	℃
V <sub>IL1</sub>	低レベル入力電圧(グループ1)	-0.3		0.8	V
V <sub>IL2</sub>	低レベル入力電圧(グループ2)	-0.3		0.8	V
V <sub>IL3</sub>	外部クロック低レベル入力電圧(グループ3)	-0.3		0.8	V
V <sub>IH1</sub>	高レベル入力電圧(グループ1)	2.2		V <sub>DD</sub>	V
V <sub>IH2</sub>	高レベル入力電圧(グループ2)	2.2		V <sub>DD</sub>	V
V <sub>IH3</sub>	外部クロック高レベル入力電圧(グループ3)	3.5		V <sub>DD</sub>	V

注) グループ1  $\overline{CS}$ , RD0-7, C0-7,  $\overline{LPS}$ ,  $\overline{LPD}$ ,  $\overline{RESET}$ ,  $\overline{DLCLK}$ ,  $\overline{VRESET}$ ,  $\overline{HRESET}$

グループ2 CD0-7, MODE 0, MODE 1,  $\overline{CSW}$

グループ3 XTAL1, XTAL2

## ●直流特性

記号	項目	条件	最小	標準	最大	単位
V <sub>OL4</sub>	低レベル出力電圧(グループ4)	IOL = 1.6mA			0.4	V
V <sub>OL5</sub>	〃(グループ5)	IOL = 1.6mA			0.4	V
V <sub>OL6</sub>	〃(グループ6)	IOL = 10mA			0.4	V
V <sub>OL7</sub>	〃(グループ7)	IOL = 1.6mA			0.4	V
V <sub>OH4</sub>	高レベル出力電圧(グループ4)	IOH = 100 $\mu$ A	2.4			V
V <sub>OH5</sub>	〃(グループ5)	IOH = 60 $\mu$ A	2.7			V
I <sub>LI</sub>	入力リーク電流				10	$\mu$ A
I <sub>LO</sub>	出力リーク電流(フローティング時)				25	$\mu$ A
I <sub>DD</sub>	電源電流				230	mA

注) グループ4 CD0-7, RD0-7, AD0-7,  $\overline{VDS}$ , CBDR, CPUCLK/ $\overline{VDS}$ , C0-7,  $\overline{HSYNC}$ ,  $\overline{CSYNC}$ ,  $\overline{YS}$

グループ5  $\overline{RAS}$ ,  $\overline{CAS0}$ ,  $\overline{CAS1}$ ,  $\overline{CASX}$ , R/ $\overline{W}$

グループ6  $\overline{DLCLK}$ ,  $\overline{DHCLK}$

グループ7  $\overline{INT}$ ,  $\overline{WAIT}$

## ● R. G. B. 出力レベル

記号	項目	測定条件	最小	標準	最大	単位
VRGB 31	R. G. B. 最大出力電圧	RL=470Ω	2.8	3.1	3.5	V
VRGB 0	R. G. B. 最小出力電圧(黒レベル)		1.9	2.2	2.5	V
VP-P	R. G. B. VRGB31-VRGB0 電位差		0.8	0.9	1.1	V
DRGB	R. G. B. VP-Pの偏差				5.0	%

標準値は、 $V_{DD}=5.00V$ 、 $T_A=25^{\circ}C$ での値を示す。

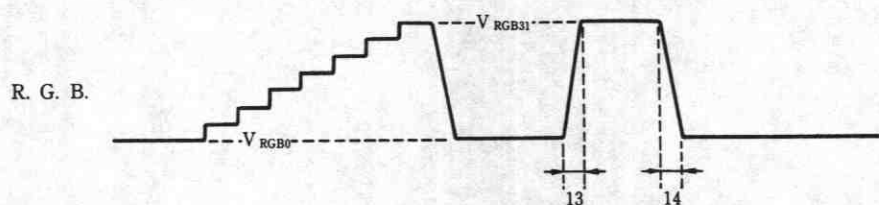
## ● 同期信号 出力レベル

記号	項目	測定条件	最小	標準	最大	単位
VTLVH 1	3値出力高レベル BLEO	RL=1kΩ	4.5		$V_{DD}$	V
VTLVM 1	3値出力中間レベル BLEO		2.5		3.5	V
VTLVL 1	3値出力低レベル BLEO				0.4	V

## ● R. G. B. 信号交流特性

番号	記号	項目	測定条件	最小	標準	最大	単位
13	TrRGB	R. G. B. 信号立上り時間 (VRGB0→VRGB31)	RL=470Ω CL=150pF			60	ns
14	TfRGB	R. G. B. 信号立下り時間 (VRGB31→VRGB0)				60	ns

注) 測定は10%→90%



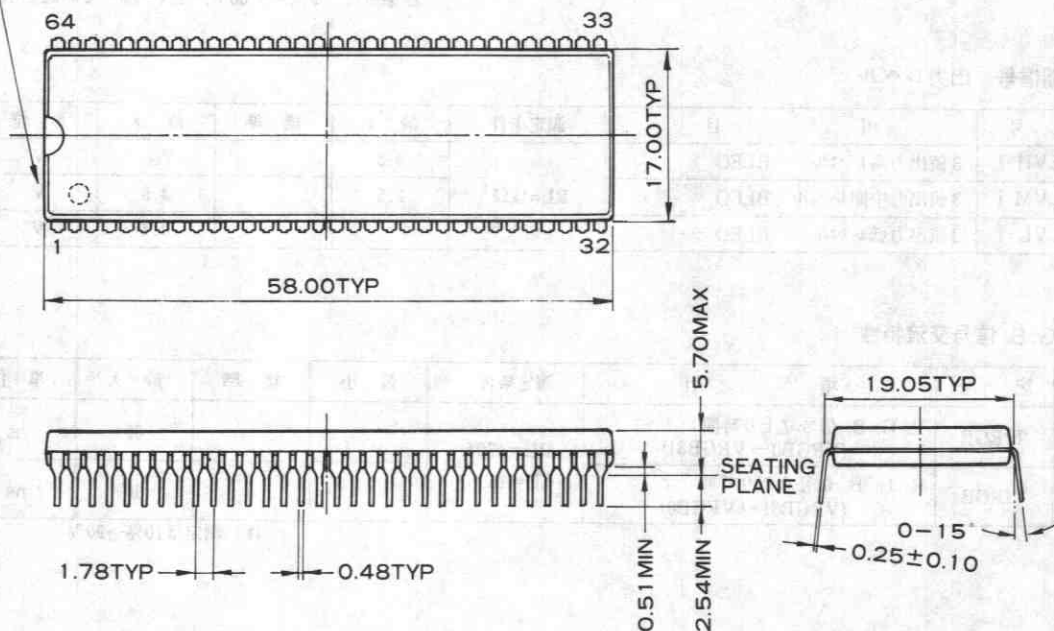
## ■ パッケージ外形図

ノッチまたは1ピンインデックスマーク

Notch or 1-pin index mark

モールド外形寸法はバリを含まない

単位(UNIT):mm





# V9990

(E-VDP-III)

## ■ 概 要

V9990は高速描画機能や動画機能を持ち、ゲームからAV、OAに至るまで幅広い用途の画面モードをサポートしているVideo Display Processor (VDP) です。

また、モニターとして家庭用テレビ、パソコン用CRT、液晶パネルなど数多くの表示機器をサポートしています。

## ■ 特 徴

〈ゲーム仕様〉として2種類のパターン表示モードがあります。

- P 1 (表示解像度 256×212を2画面)
- P 2 (表示解像度 512×212)

強力なスプライト機能、2画面独立全方向スクロール機能など数々の高機能を持っています。

〈AV仕様〉としてNTSCまたはPAL周波数のモニターで表示可能な4種類のビットマップ表示モードがあります。

- B 1 (表示解像度 256×212)
- B 2 (表示解像度 384×240)
- B 3 (表示解像度 512×212)
- B 4 (表示解像度 768×240)

- インターレースを使用して垂直方向の解像度を2倍にすることが可能
- 最大32,768色/ドットの表示が可能
- カラーパレット内蔵 (32,768色から64色を選択)
- 全方向スムーズスクロール可能
- スーパーインポーズ、デジタイズ可能
- テロップ等アプリケーションにおいて、オーバースキャンモード(B2、B4)で表示領域としてモニター画面の上下左右いっぱいまで使用可能
- 画面転送、フォント色展開、ライン等の高速ハードウェア描画コマンドをサポート
- ハードウェアカーソル表示機能あり

〈OA仕様〉として高解像度モニターで表示可能な2種類のビットマップ表示モードがあります。

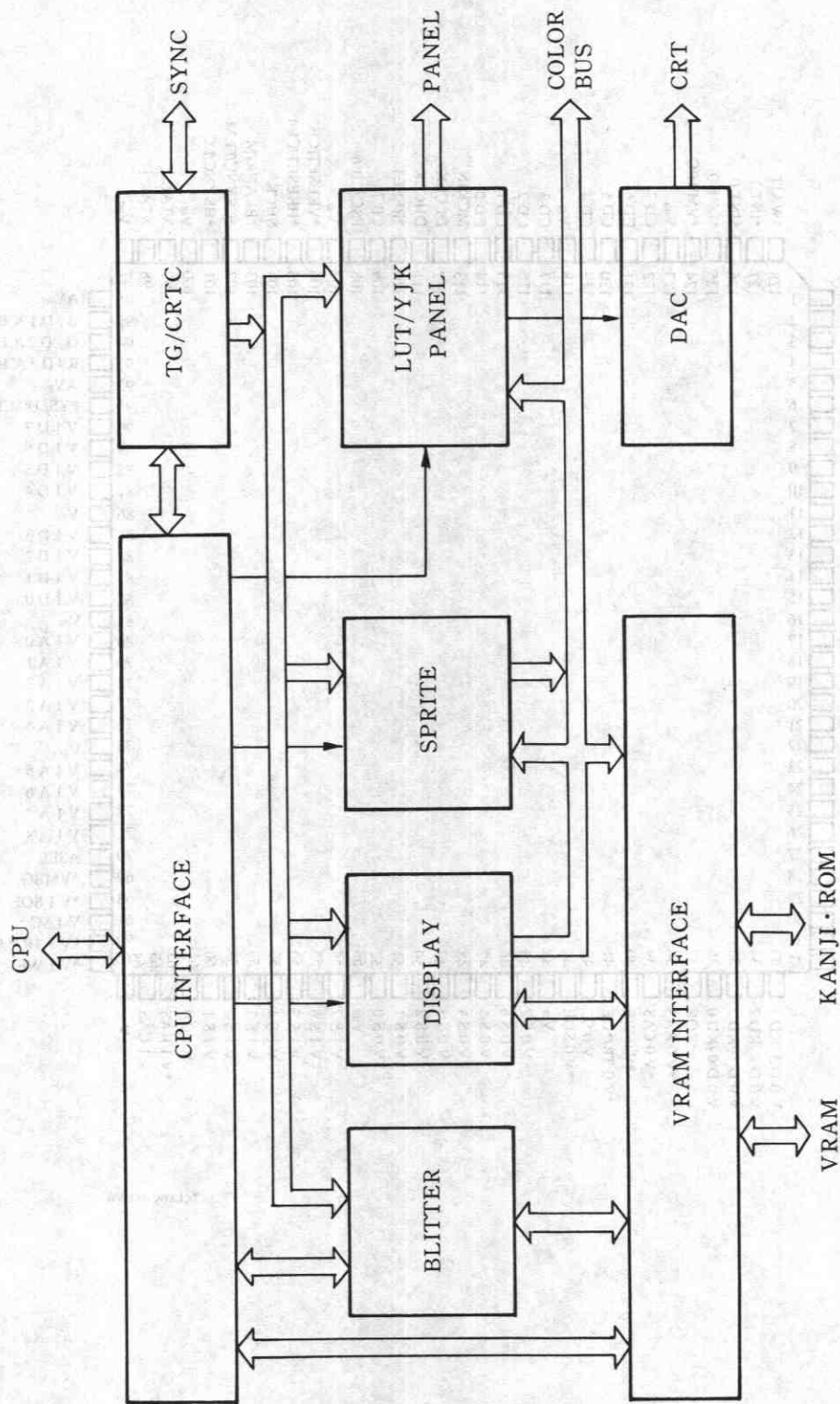
- B 5 (表示解像度 640×400)
- B 6 (表示解像度 640×480)
- 最大16色/ドットの表示が可能 (カラーパレットにより32,768色から選択可能)
- 全方向スムーズスクロール可能
- 画面転送、フォント色展開、ライン等の高速ハードウェア描画コマンドをサポート
- ハードウェアカーソル表示機能あり

〈その他〉

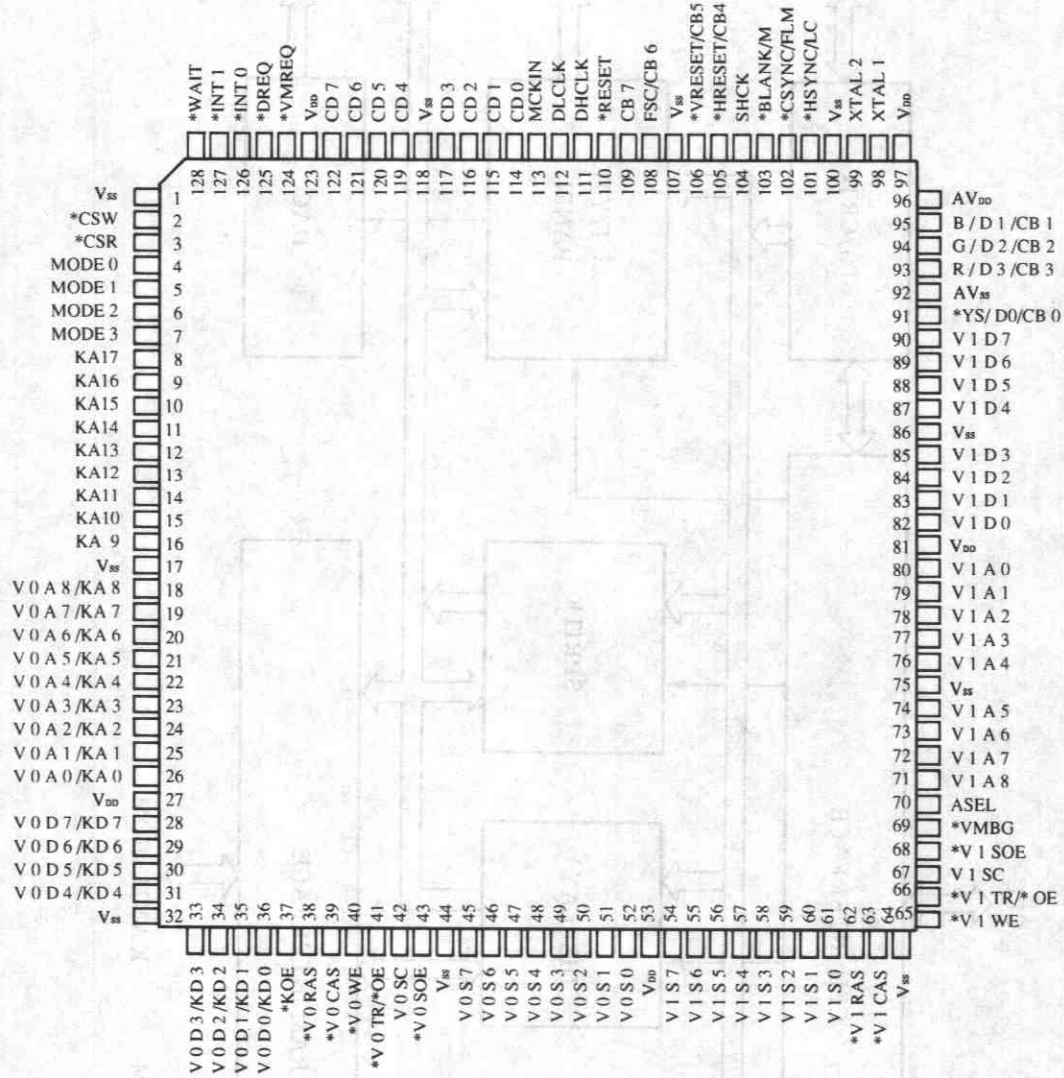
- DAコンバータ内蔵
- リニアRGB出力
- 漢字ROM等のC.G.ROMを直接接続可能
- 使用可能なVRAM
  - 64K×4
  - 128K×8
  - 256K×4Dual port DRAM  
(アクセスタイム120ns、ただしB 6モードは100ns)
- VRAM容量は128KB、256KB、512KBの構成が可能
- CPUからVRAMを16ビットバスで直接アクセス可能
- モニターとしてLCDパネル使用可能 (1スクリーンパネル、シングルドライブ型  
2スクリーンパネル)

■ ブロック図

図 10-1-1



## ■ 端子配置図



\*:Low active

## ■ 端子機能

## 1) CPUインターフェース

- CD7-0 (I/O)  
CPUの8 bit双方向データバス。
- MODE3-0 (I)  
CPUのIOポート選択用アドレス入力。VDPのP#0~P#Fを選択します。
- \*CSR (I)  
VDP用にチップセレクトされたCPUリード信号入力。この信号がアクティブ (Low) の時、VDPはCD7-0にデータを出力します。
- \*CSW (I)  
VDP用にチップセレクトされたCPUライト信号入力。この信号の立ち上がり時、D7-0のデータがVDPにセットされます。
- \*WAIT (O: オープンドレイン出力)  
CPUへのウェイト信号出力。CPUからのリードまたはライト時、VDPがBUSYの間アクティブ (Low) になります。
- \*INT1, \*INT0 (O: オープンドレイン出力)  
VDP内部の割り込み条件が成立した時、アクティブ (Low) になります。割り込み条件は、P#6を読み出すことによって得られます。また、P#6の対応する割り込み条件に“1”を書き込むことによって解除されます。  
INT0は、垂直帰線期間及びコマンド終了割り込み。  
INT1は、表示位置割り込み。
- \*DREQ (O: オープンドレイン出力)  
データリクエスト信号出力。コマンド実行中にデータレディとなった時、アクティブ (Low) になります。P#2のアクセスで解除されます。
- \*VMREQ (I)  
CPUがVDPを介さずにVRAMをアクセスする際、アクティブ (Low) にします。VDPは、VRAMアクセスが可能となるまでWAIT信号をアクティブにし、続いてVMBG信号をアクティブにしてVRAM0、VRAM1のデータバス、アドレスバス、WE信号を解放します。その後、VMBG信号を解除し、続いてWAIT信号を解除します。

## 2) VRAMインターフェース

- \*KOE (O)  
漢字ROM用データ出力イネーブル信号。データバス (V0D7-0)をVRAM0と漢字ROMで共用しており、この信号がアクティブ (Low) の時、漢字ROMのデータバスとなります。
- KA17-9 (O)  
漢字ROMのアドレスバス (A17-9) 出力。

- V0A8-0 / KA8-0 (O: 3ステート出力)  
VRAM0のアドレスバス出力。\*KOEがアクティブの時は、漢字ROMのアドレスバス出力となります。
  - V1A8-0 (O: 3ステート出力)  
VRAM1のアドレスバス出力。
  - V0D7-0 / KD7-0 (I/O)  
VRAM0のRAMポートの双方向データバス。\*KOEがアクティブの時は、漢字ROMのデータバス入力となります。
  - V1D7-0 (I/O)  
VRAM1のRAMポートの双方向データバス。
  - V0S7-0、V1S7-0 (I)  
VRAM0、VRAM1のシリアルポートのデータバス入力。
  - \*V0RAS、\*V1RAS (O)  
VRAM0、VRAM1のロウアドレス・ストロープ信号出力。
  - \*V0CAS、\*V1CAS (O)  
VRAM0、VRAM1のカラムアドレス・ストロープ信号出力。
  - \*V0WE、\*V1WE (O: 3ステート出力)  
VRAM0、VRAM1のライト・ストロープ信号出力。
  - \*V0TR/\*OE、\*V1TR/\*OE (O)  
VRAM0、VRAM1のデータ転送制御信号または、RAMポートのデータ出力イネーブル信号。
  - V0SC、V1SC (O)  
VRAM0、VRAM1のシリアルクロック信号出力。
  - \*V0SOE、\*V1SOE (O)  
VRAM0、VRAM1のシリアルポートのデータイネーブル信号。
  - \*VMBG (O)  
この信号がアクティブ (Low) の時、VDPはVRAM0、VRAM1のデータバス、アドレスバス、WE信号を解放しています。(ハイ・インピーダンスとなります)
  - ASEL (O)  
外部からVRAMをアクセスする際のVRAM用ロウアドレス・タイミング信号。
- 3) CRT及びパネル・インターフェース
- \*HSYNC/LC (O)  
水平同期信号出力 (等価パルスなし)。VDPがパネルモードの時は、パネル用ラッチクロック信号を出力します。

- \*CSYNC/FLM (O)

複合同期信号出力 (等価パルスあり)。VDPがパネルモードの時は、パネル用走査開始信号を出力します。

- \*BLANK/M (O)

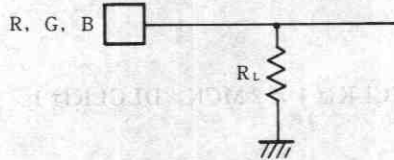
帰線消去期間の間アクティブ (Low) となります。VDPがパネルモードの時は、パネル用交流化信号を出力します。

- SHCK (O)

パネル用シフトクロック信号出力。

- R, G, B, \*YS/D3-0/CB3-0 (O)

リニアRGB出力及びYS信号出力。パネルモードの時は、パネル用データ出力または、カラーバス出力となります。YS信号は、スーパーインポーズにてVDPのデータの表示時にアクティブ (Low) となります。



- \*HRESET/CB4 (I/O)

この信号の立ち下がり時に、内部水平タイミングが初期化されます。他のVDPと同期させることができます。但し、水平周期が異なる場合は、VDPの正常動作は保証されません。パネルモードの時は、カラーバス出力となります。

- \*VRESET/CB5 (I/O)

この信号の立ち下がり時に、内部垂直タイミングが初期化されます。VDPを外部より同期させることができます。パネルモードの時は、カラーバス出力となります。

- FSC/CB6 (O)

NTSCのサブキャリア (3.58MHzのクロック) 出力。パネルモードの時は、カラーバス出力となります。

- CB7 (O)

カラーバス出力。CB7-0のデータは、次の様に出力されます。

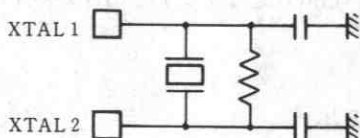
Mode	Dot Clock	CB7	CB6	CB5	CB4	CB3	CB2	CB1	CB0	CB Clock
P 1	5MHz	-	-	CC 5	CC 4	CC 3	CC 2	CC 1	CC 0	DLCLK
P 2	10MHz	-	-	CC 5	CC 4	CC 3	CC 2	CC 1	CC 0	DHCLK
8B/D	7, 10MHz/ 5MHz	CC 7	CC 6	CC 5	CC 4	CC 3	CC 2	CC 1	CC 0	DHCLK/DLCLK
4B/D	25, 21MHz/14MHz	ECC 3	ECC 2	ECC 1	ECC 0	OCC 3	OCC 2	OCC 1	OCC 0	DHCLK
4B/D	7, 10MHz/ 5MHz	-	-	-	-	CC 3	CC 2	CC 1	CC 0	DHCLK/DLCLK
2B/D	25, 21MHz/14MHz	-	-	ECC 1	ECC 0	-	-	OCC 1	OCC 0	DHCLK
2B/D	7, 10MHz/ 5MHz	-	-	-	-	-	-	CC 1	CC 0	DHCLK/DLCLK

注) B/D : bit/dot, ECC3-0 : 偶数ドットのCC3-0, OCC3-0 : 奇数ドットのCC3-0

## 4) クロック信号

## ● XTAL1 (I), XTAL2 (O)

21MHz (MCK) クリスタル振動子接続端子。外部で発振させたクロックを入力する時は、XTAL1端子を使用します。



## ● MCKIN (I)

14MHzのクロック (MCK) を入力します。XTALとMCKINの選択は、VDP内部レジスタで指定します。

## ● DHCLK, DLCLK (O)

ドットクロック出力。DHCLKは $1/2$  MCK。DLCLKは $1/4$  MCK。

## 5) その他

## ● \*RESET (I)

アクティブ (Low) 時にVDPが初期化されます。全てのレジスタ (LUTを除く) は“0”クリアされます。

● AV<sub>DD</sub>, AV<sub>SS</sub> (I)

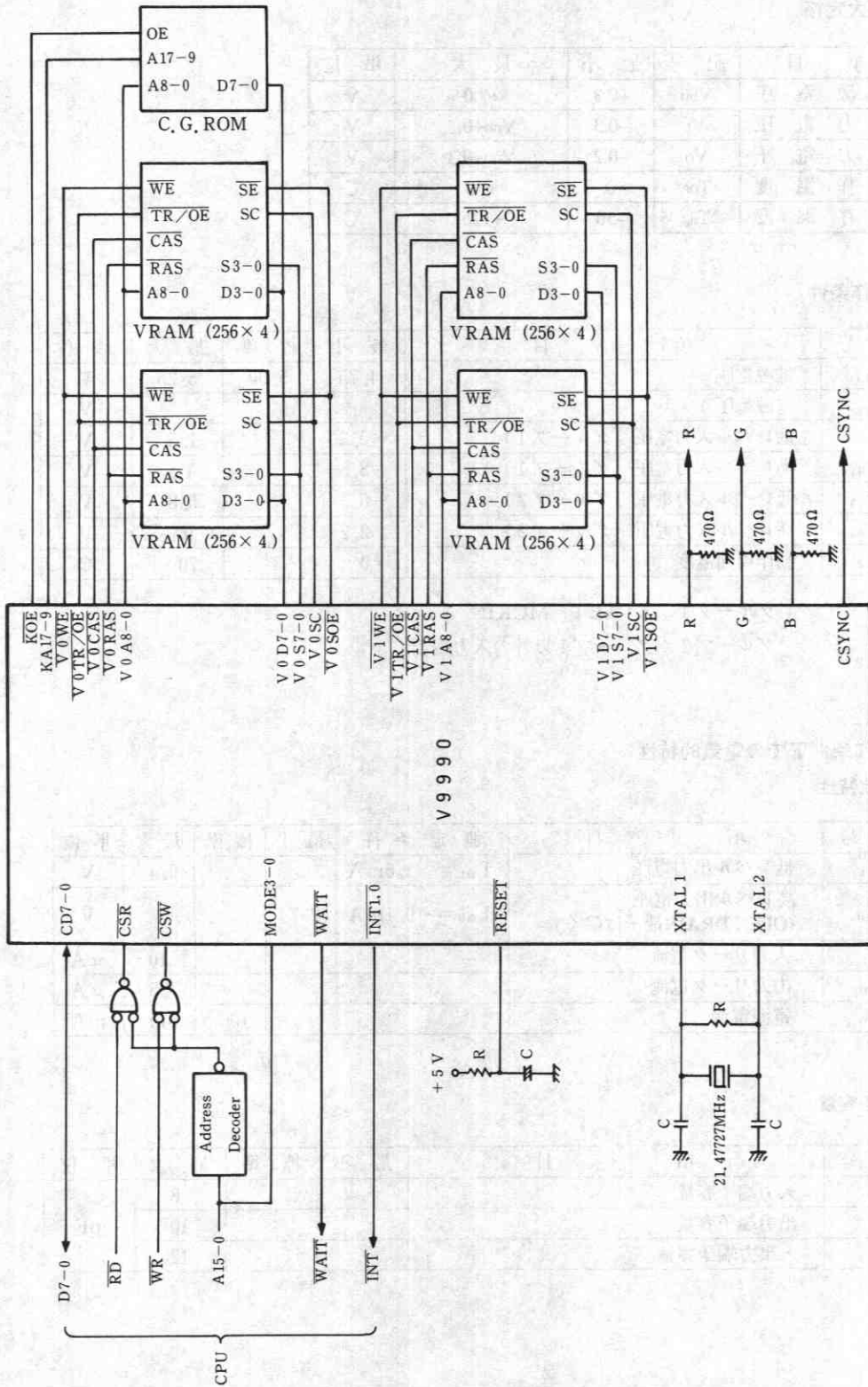
RGB用アナログ電源入力。

● V<sub>DD</sub>, V<sub>SS</sub> (I)

デジタル電源入力。



## ■ システム構成例



## ■電気的特性

## ●絶対最大定格

項目	記号	最小	最大	単位
電源電圧	V <sub>DD</sub>	-0.3	+7.0	V
入力電圧	V <sub>I</sub>	-0.3	V <sub>DD</sub> +0.3	V
出力電圧	V <sub>O</sub>	-0.2	V <sub>DD</sub> +0.3	V
動作温度	T <sub>OP</sub>	0	+70	℃
保存温度	T <sub>stg</sub>	-50	+125	℃

## ●推奨動作条件

記号	項目	最小	標準	最大	単位
V <sub>DD</sub>	電源電圧	4.75	5.00	5.25	V
V <sub>SS</sub>	電源電圧		0		V
V <sub>IL1</sub>	低レベル入力電圧 (グループ1)	-0.3		1.5	V
V <sub>IH1</sub>	高レベル入力電圧 (グループ1)	3.5		V <sub>DD</sub>	V
V <sub>IL2</sub>	低レベル入力電圧 (グループ2)	-0.3		0.8	V
V <sub>IH2</sub>	高レベル入力電圧 (グループ2)	2.2		V <sub>DD</sub>	V
T <sub>OP</sub>	動作周囲温度	0		70	℃

グループ1 : XTAL1, MCKIN

グループ2 : グループ1以外の入力端子

## ●推奨動作条件下での電気的特性

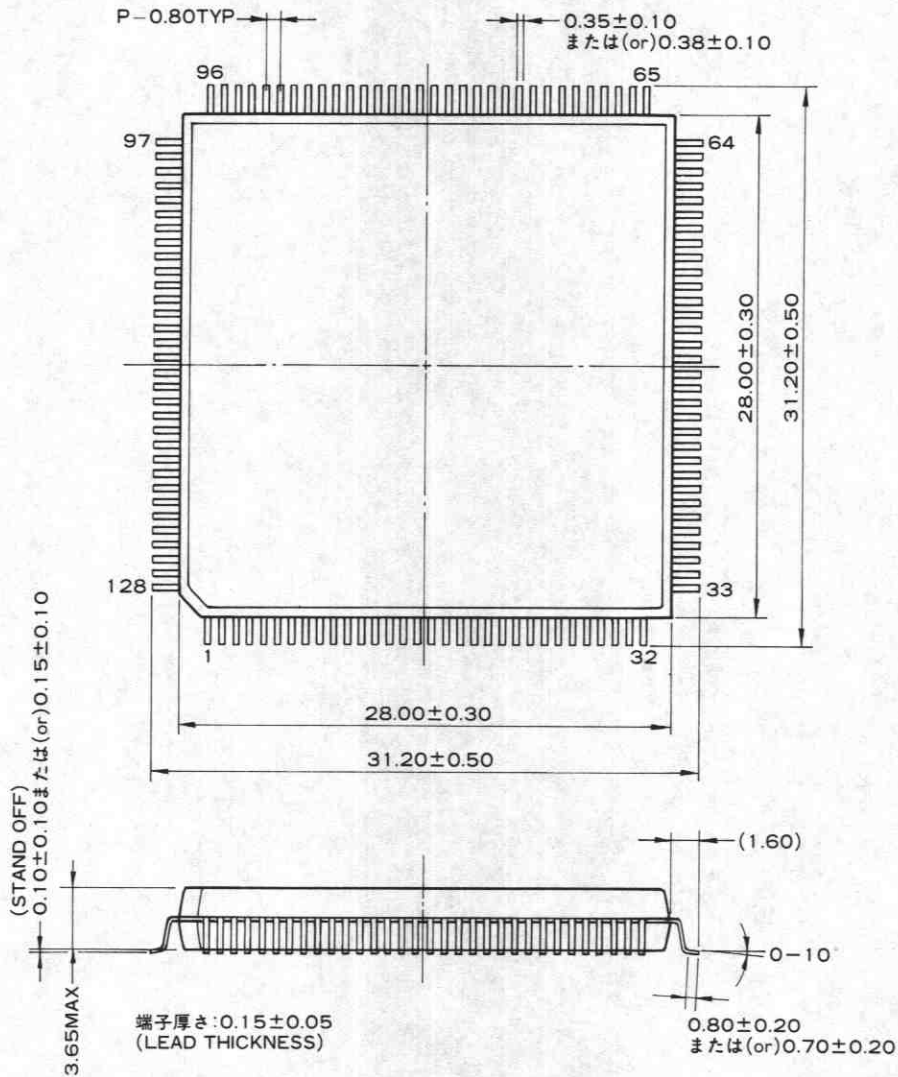
## ●直流特性

記号	項目	測定条件	最小	標準	最大	単位
V <sub>OL</sub>	低レベル出力電圧	I <sub>OL</sub> = 1.6mA			0.4	V
V <sub>OH</sub>	高レベル出力電圧 (OPEN DRAIN端子は除く)	I <sub>OH</sub> = -0.1mA	2.7			V
I <sub>LI</sub>	入力リーク電流				10	μA
I <sub>LO</sub>	出力リーク電流				25	μA
I <sub>DD</sub>	電源電流			100	140	mA

## ●端子容量

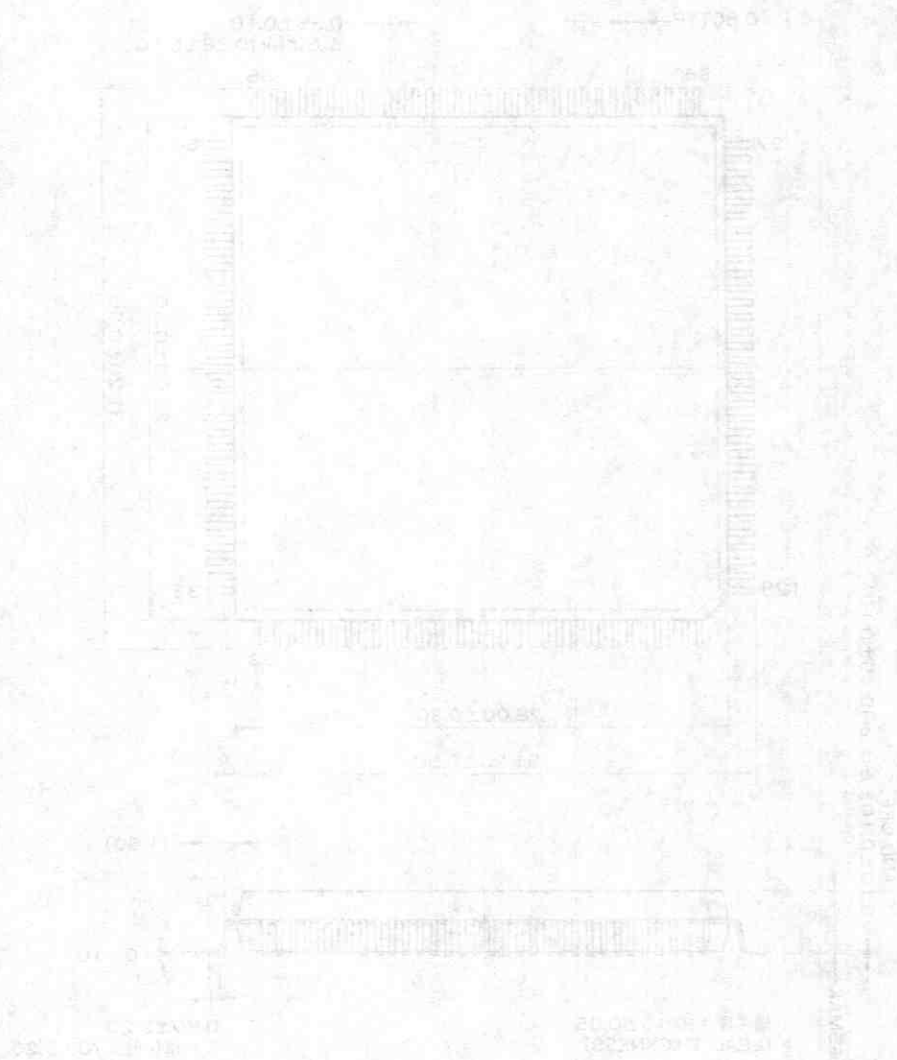
記号	項目	最小	標準	最大	単位
C <sub>I</sub>	入力端子容量			8	pF
C <sub>O</sub>	出力端子容量			10	
C <sub>I/O</sub>	入出力端子容量			12	

## ■パッケージ外形図



モールドコーナー形状は、この図面と若干異なるタイプのものもあります  
 カッコ内の寸法値は参考値とする  
 モールド外形寸法はバリを含まない  
 単位 (UNIT): mm

圖 2 鋼板鋼骨構造



鋼骨柱、鋼骨梁、鋼板の断面形状、寸法、材質、および  
 鋼骨柱、鋼骨梁、鋼板の配置、および、  
 鋼骨柱、鋼骨梁、鋼板の接合部、および、  
 鋼骨柱、鋼骨梁、鋼板の接合部の構造、および、  
 鋼骨柱、鋼骨梁、鋼板の接合部の寸法、および、  
 鋼骨柱、鋼骨梁、鋼板の接合部の材質、および、  
 鋼骨柱、鋼骨梁、鋼板の接合部の構造、および、  
 鋼骨柱、鋼骨梁、鋼板の接合部の寸法、および、  
 鋼骨柱、鋼骨梁、鋼板の接合部の材質、および、

## YGV604

## VSG (Video Screen Generator)

## ■ 概要

VSGは、高度な表示機能や高速描画機能を持った、家庭用テレビの表示画面制御に最適なVDPです。ビデオタイタラー、OSD、学習教育機器などのグラフィックシステムが容易に構成できます。

## ■ 特徴

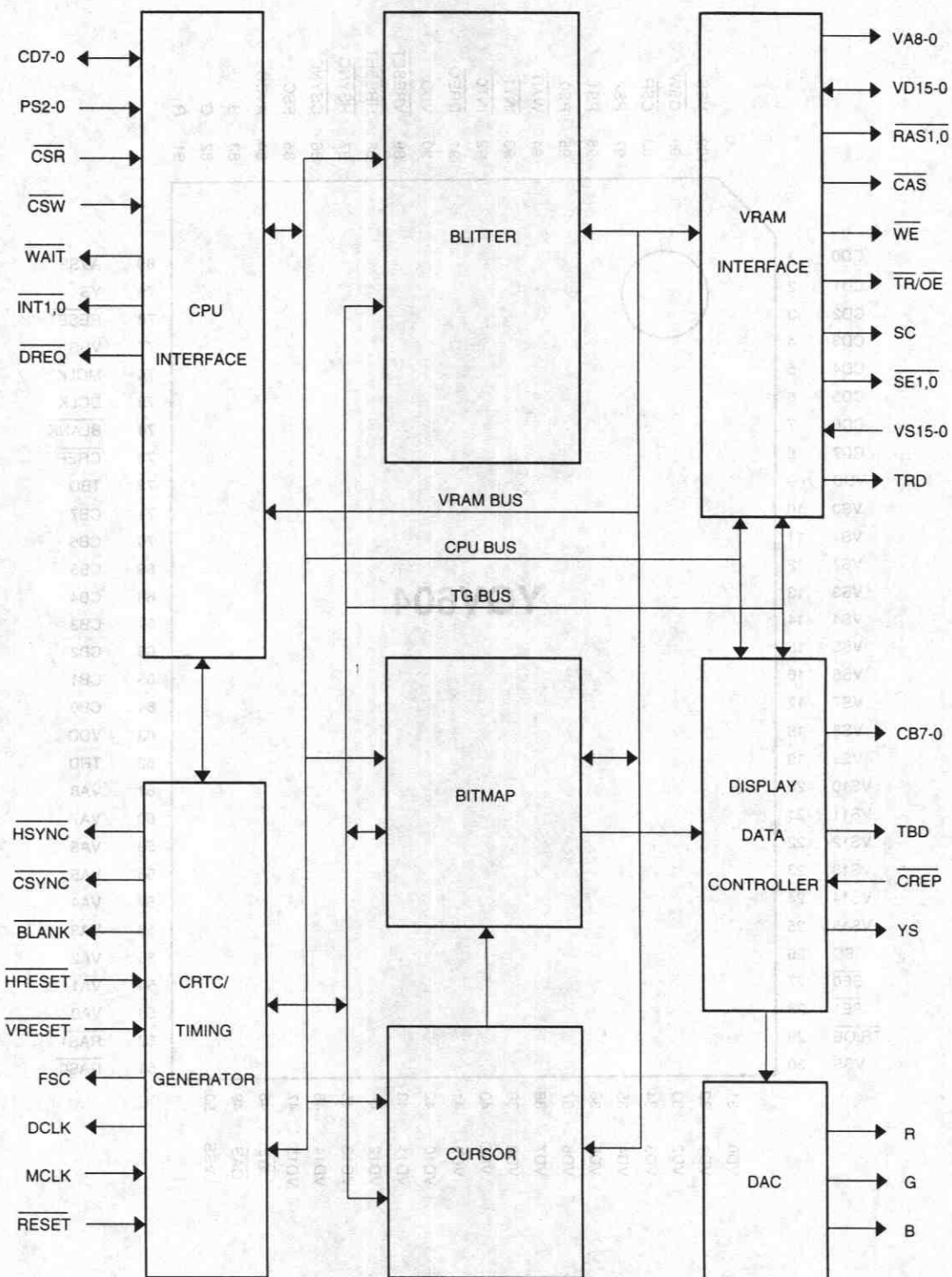
- 表示機能**
- ・ 表示モード           ビットマップグラフィックス
  - ・ 表示解像度       NTSC : 384×240 (480)  
                          768×240 (480)  
                          PAL : 384×290 (580)  
                          768×290 (580)  
                          ( ) 内はインターレース表示の時
  - ・ 表示色数           内蔵カラーパレットにより32768色から同時16色表示  
                          同時256色表示  
                          同時32768色表示
  - ・ スクロール機能   全方向スムーズスクロール  
                          自由なページ構成によるイメージ空間設定が可能  
                          イメージ空間内に自由なサイズのスクロール表示領域設定が可能  
                          表示窓の設定が可能
  - ・ カーソル機能     サイズ 32×32ドット  
                          ドット単位で32768色中16色を選択可能
  - ・ その他            カラーボリューム機能により、フェードイン・アウト表示などが可能  
                          スーパーインポーズ可能  
                          内蔵DACによるリニアRGB出力
- 描画機能**
- ・ コマンドの種類   ブロック転送 (XY座標指定、リニアアドレス指定)  
                          フォント色展開  
                          直線  
                          境界色座標検出
  - ・ 描画属性          ビットマスク  
                          論理演算 (NOT、AND、OR、EOR他)  
                          透明色検出
  - ・ 描画速度          最大105nsec/dot

## その他

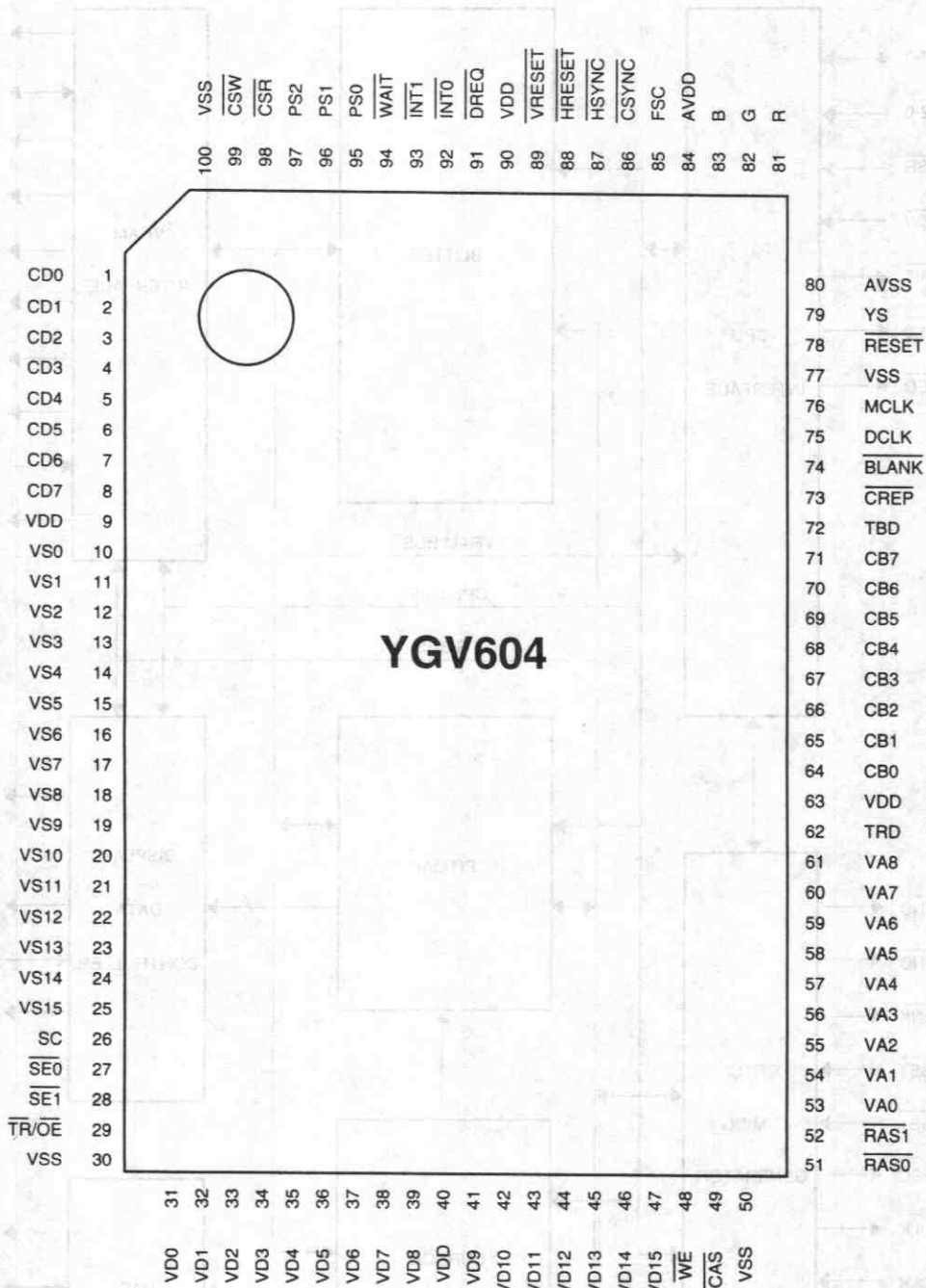
- ・ 使用可能なVRAM      デュアルポートDRAM (120ns) を使用  
     容量    128kバイト (64k×4を4個)  
             256kバイト (128k×8を2個)  
             512kバイト (256k×4を4個)  
             1Mバイト (256k×4を8個)
- ・ CPUインターフェース    8ビットパラレルバス
- ・ パッケージ                CMOS, 100ピンQFP, 5V単一電源

## ■ブロック図

図 1 内部ブロック図



## ■ 端子配置图

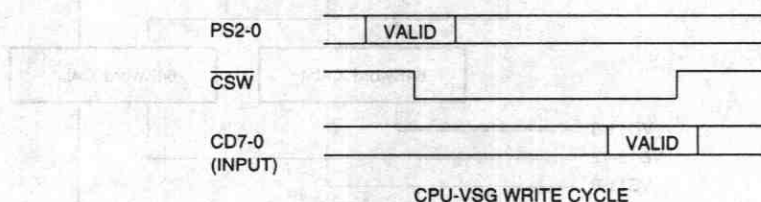
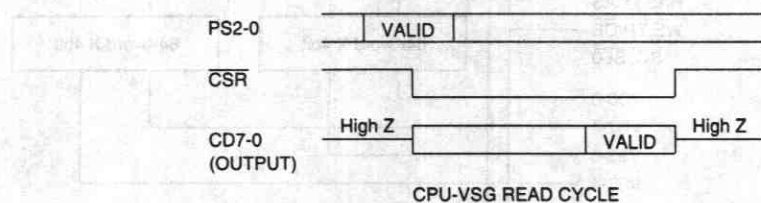




## ■端子機能

### 1) CPUインターフェース

- ・ CD7-0 (I/O)  
CPUの8ビット双方向データバス。
- ・ PS2-0 (I)  
入出力ポート番号アドレス入力。VSGのP#7~P#0の選択をする。
- ・  $\overline{\text{CSR}}$  (I)  
VSGからCPUへのデータ読み出し用ストロブ信号入力。
- ・  $\overline{\text{CSW}}$  (I)  
CPUからVSGへのデータ書き込み用ストロブ信号入力。

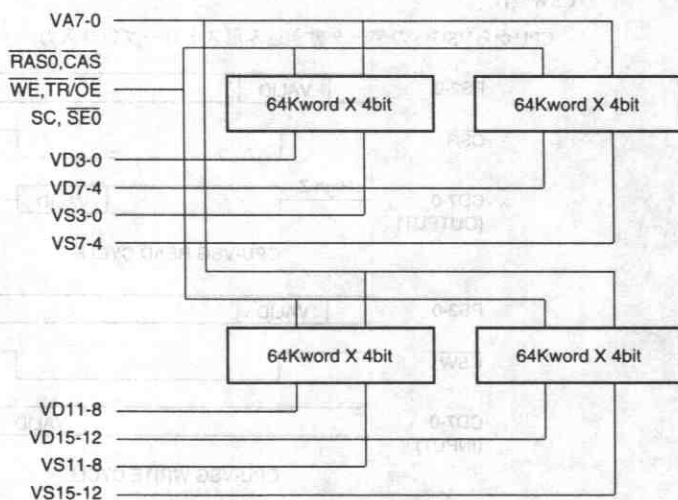


- ・  $\overline{\text{WAIT}}$  (O:オープンドレイン出力)  
CPUへのウェイト信号出力。 $\overline{\text{CSR}}$ 入力時には読み出しデータが準備されるまでの間、 $\overline{\text{CSW}}$ 入力時にはVSGがBUSYの間、ロウレベルとなる。
- ・  $\overline{\text{INT1}}$ 、 $\overline{\text{INT0}}$  (O:オープンドレイン出力)  
CPUへの割り込み要求信号出力。 $\overline{\text{INT1}}$ は、内部レジスタにより指定された表示位置で出力される。 $\overline{\text{INT0}}$ は、垂直表示期間終了時または描画コマンド終了時に出力される。
- ・  $\overline{\text{DREQ}}$  (O:オープンドレイン出力)  
描画コマンド実行時の、CPUへのデータ要求信号出力。

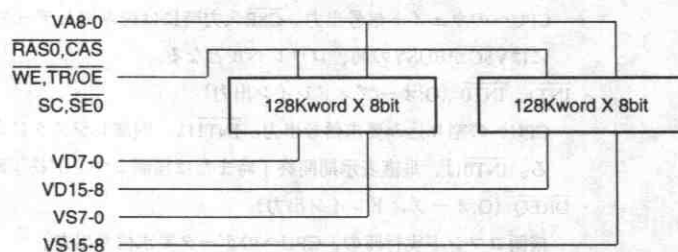
### 2) VRAMインターフェース

- ・ VA8-0 (O)  
VRAMのロウ/カラム・アドレス出力。
- ・ VD15-0 (I/O)  
VRAMのRAMポート用双方向データバス。
- ・ VS15-0 (I)  
VRAMのシリアルポート用データバス。
- ・  $\overline{\text{RAS1}}$ 、 $\overline{\text{RAS0}}$  (O)  
VRAMのロウアドレス・ストロブ信号。VRAM容量が512Kバイト以内の時は $\overline{\text{RAS0}}$ だけを使用し、1Mバイトに拡張する時に、後半512KバイトのVRAM用に $\overline{\text{RAS1}}$ を使用する。
- ・  $\overline{\text{CAS}}$  (O)  
VRAMのカラムアドレス・ストロブ信号。
- ・  $\overline{\text{WE}}$  (O)  
VRAMのライト・ストロブ信号。

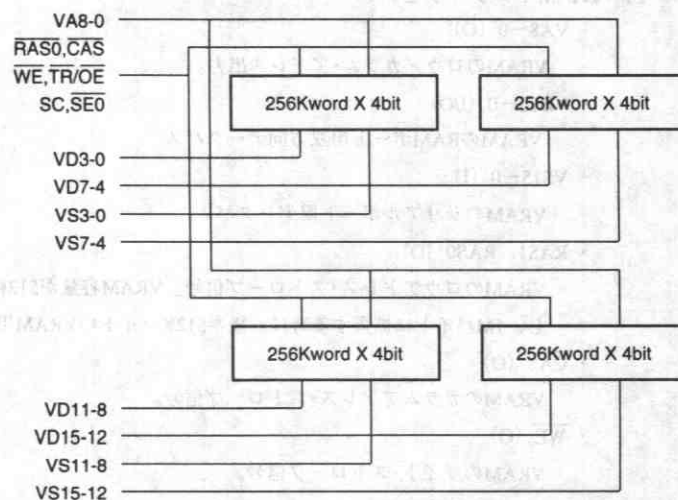
- ・  $\overline{\text{TR}}/\overline{\text{OE}}$  (O)  
VRAMのデータ転送制御信号。または、RAMポートのデータ出力イネーブル信号。
- ・ SC (O)  
VRAMのシリアルクロック信号。
- ・  $\overline{\text{SE}}1$ 、 $\overline{\text{SE}}0$  (O)  
VRAMのシリアルポートデータイネーブル信号。VRAM容量を1Mバイトに拡張する時に使用する。前半512Kバイトに $\overline{\text{SE}}0$ 、後半512Kバイトに $\overline{\text{SE}}1$ を使用する。
- ・ TRD (O)  
ビットマップ面の表示データ読み出しのためのVRAMリード転送タイミング。



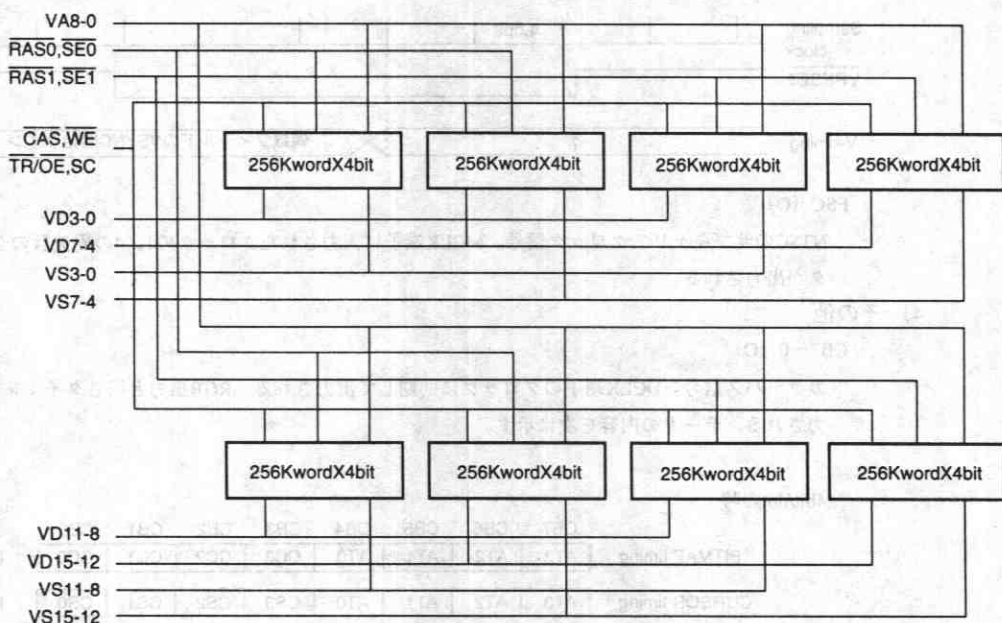
128KバイトVRAM構成図



256KバイトVRAM構成図



512KバイトVRAM構成図

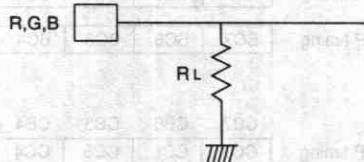


1MバイトVRAM構成図

### 3) CRTインターフェース

・ R, G, B (O:アナログ出力)

リニアRGB出力。



・ YS (O)

スーパーインポーズ・タイミング信号。VSGデータの表示タイミングにハイレベルとなる。

・ HSYNC (O)

水平同期信号。等価パルスは挿入されていない。

・ CSYNC (O)

複合同期信号。

・ BLANK (O)

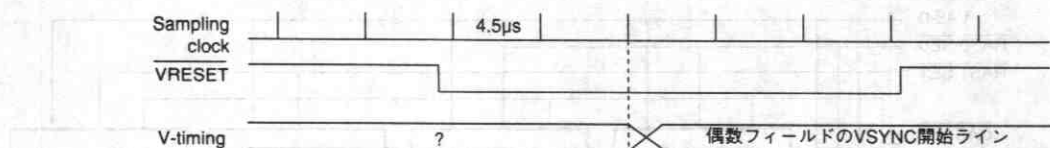
帰線消去期間にロウレベルとなる。

・ HRESET (I)

この信号の立ち下がり時に、VSGの水平タイミングが、水平同期位置にセットされる。さらに、Lモードのドットクロックの位相がロックされる。この信号はVSGの2個使い（同一クロック入力）の同期用としては使用できるが、それ以外には使用できない。

・ VRESET (I)

この信号を約4.5μsec周期のクロックでサンプリングし、3回連続ロウレベルとなった時に、VSGの垂直タイミングが、偶数フィールドの垂直同期開始位置にセットされる。



・ FSC (O)

NTSCのサブキャリアクロック信号。MCLK端子に入力されたクロックの1/4の周波数のクロックが出力される。

4) その他

・ CB7-0 (O)

カラーバス信号。DCLK端子のクロックに同期して出力される。RGB出力と同じタイミングに出力される。データの内容を次に示す。

4bit/dotの時

	CB7	CB6	CB5	CB4	CB3	CB2	CB1	CB0	sampling timing
BITMAP timing	AT3	AT2	AT1	AT0	CC3	CC2	CC1	CC0	DCLK ↑
CURSOR timing	AT3	AT2	AT1	AT0	CS3	CS2	CS1	CS0	DCLK ↑
BACKDROP timing	AT3	AT2	AT1	AT0	BC3	BC2	BC1	BC0	DCLK ↑

8bit/dotの時

	CB7	CB6	CB5	CB4	CB3	CB2	CB1	CB0	sampling timing
BITMAP timing	CC7	CC6	CC5	CC4	CC3	CC2	CC1	CC0	DCLK ↑
CURSOR timing	CS7	CS6	CS5	CS4	CS3	CS2	CS1	CS0	DCLK ↑
BACKDROP timing	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	DCLK ↑

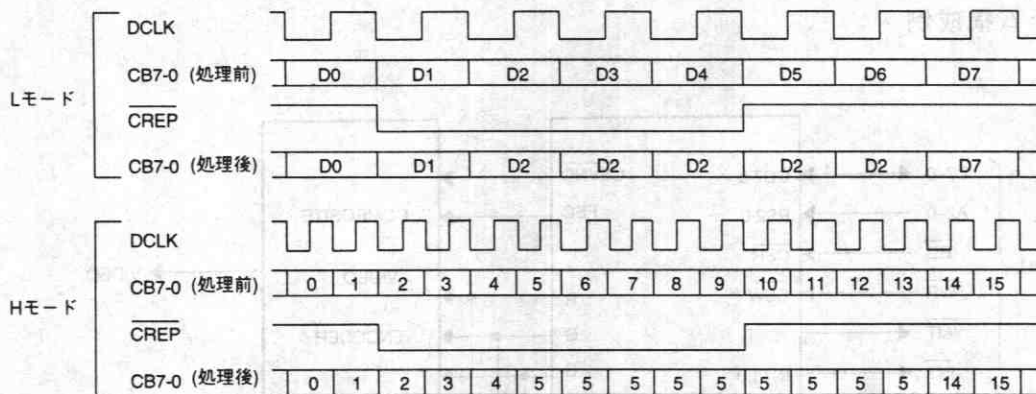
16bit/dotの時

	CB7	CB6	CB5	CB4	CB3	CB2	CB1	CB0	sampling timing
BITMAP timing	CC7	CC6	CC5	CC4	CC3	CC2	CC1	CC0	DCLK ↑
	CC15	CC14	CC13	CC12	CC11	CC10	CC9	CC8	DCLK ↓
CURSOR timing (Palette:CS3-0)	R2	R1	R0	B4	B3	B2	B1	B0	DCLK ↑
	AT0	G4	G3	G2	G1	G0	R4	R3	DCLK ↓
BACKDROP timing (Palette:BC3-0)	R2	R1	R0	B4	B3	B2	B1	B0	DCLK ↑
	AT0	G4	G3	G2	G1	G0	R4	R3	DCLK ↓

CC15-0:BITMAP color code CS3-0:CURSOR color code CS7-4:CURSOR COLOR REGISTER  
BC7-0:BACKDROP COLOR REGISTER G4-0,R4-0,B4-0,AT3-0:COLOR PALETTE data

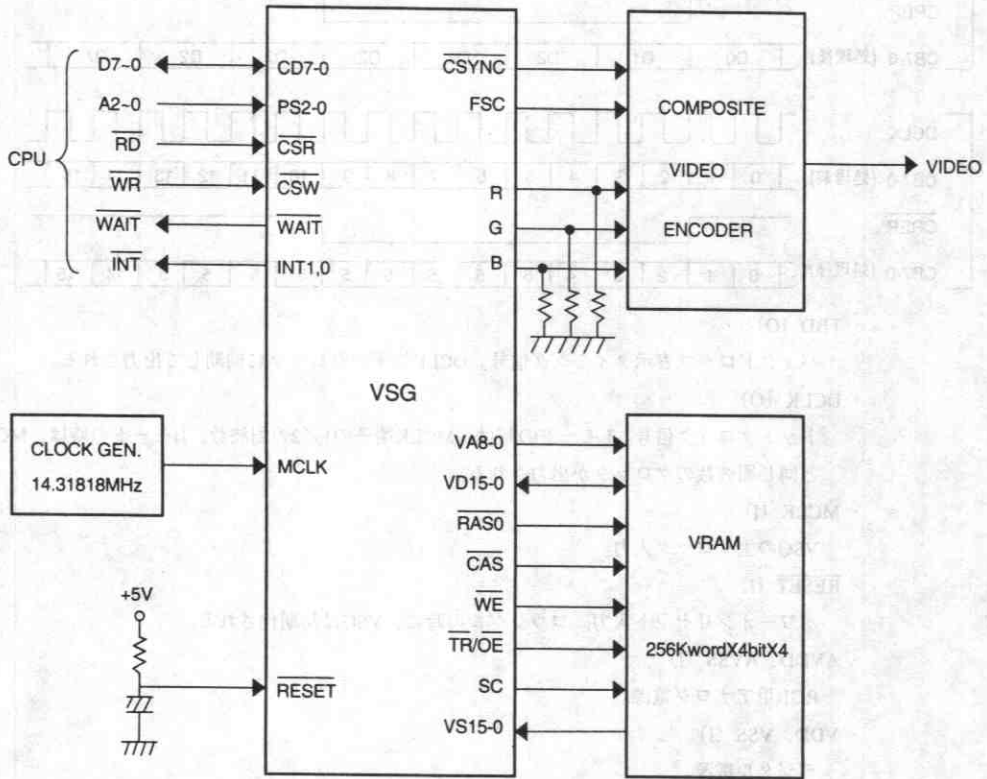
・ CREP (i)

カラーリピートタイミング信号。ビットマップ面の表示データを制御する信号で、ロウレベルの間は、その前のドットのデータを繰り返して表示する。DCLK端子のクロックに同期させて、カラーバスより2ドット (Hモードは4ドット) 早いタイミングに inputs する。



- ・ TBD (O)  
バックドロップ表示タイミング信号。DCLK端子のクロックに同期して出力される。
- ・ DCLK (O)  
ドットクロック信号。Lモードの時は、MCLK端子の1/2の周波数、Hモードの時は、MCLK端子と同じ周波数のクロックが出力される。
- ・ MCLK (I)  
VSGの主クロック入力。
- ・ RESET (I)  
パワーオンリセット入力。ロウレベルの時に、VSGは初期化される。
- ・ AVDD、AVSS (I)  
RGB用アナログ電源。
- ・ VDD、VSS (I)  
デジタル電源。

■ システム構成例



## ■ 電気的特性

## ● 絶対最大定格

項目	記号	定格	単位
電源電圧	V <sub>DD</sub>	-0.5 ~ +7.0	V
入力端子電圧	V <sub>I</sub>	-0.5 ~ V <sub>DD</sub> + 0.5	V
出力端子電圧	V <sub>O</sub>	-0.5 ~ V <sub>DD</sub> + 0.5	V
出力端子電流	I <sub>O</sub>	-20 ~ +20	mA
保存温度	T <sub>STG</sub>	-50 ~ +125	°C

## ● 推奨動作条件

記号	項目	最小	標準	最大	単位
V <sub>DD</sub>	電源電圧	4.75	5.00	5.25	V
V <sub>SS</sub>	電源電圧		0		V
V <sub>IL</sub>	低レベル入力電圧	-0.3		0.8	V
V <sub>IH</sub>	高レベル入力電圧	2.0		V <sub>DD</sub>	V
T <sub>OP</sub>	動作周囲温度	0		70	°C

## ● 推奨動作条件下での電気的特性

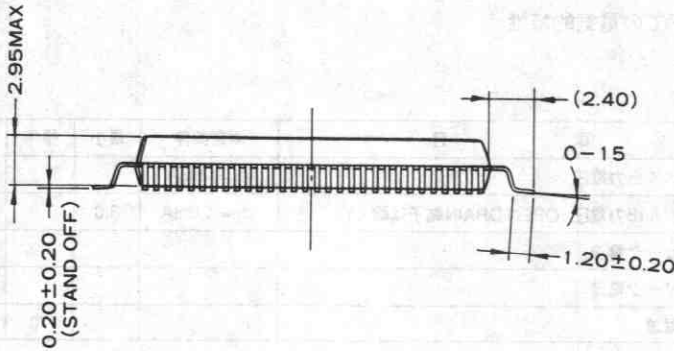
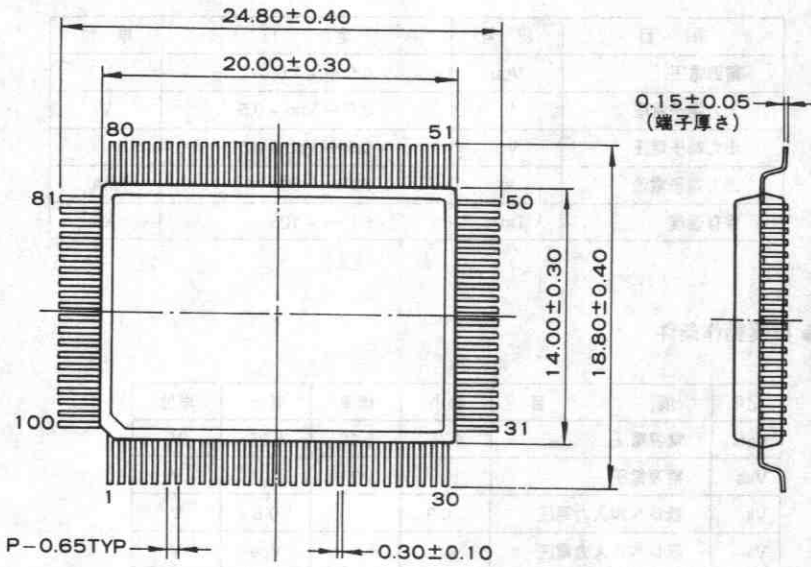
## ・ 直流特性

記号	項目	測定条件	最小	標準	最大	単位
V <sub>OL</sub>	低レベル出力電圧	I <sub>OL</sub> =1.6mA			0.4	V
V <sub>OH</sub>	高レベル出力電圧 (OPEN DRAIN端子は除く)	I <sub>OH</sub> =-1.0mA	3.0			V
I <sub>LI</sub>	入力リーク電流				10	μA
I <sub>LO</sub>	出力リーク電流				25	μA
I <sub>DD</sub>	消費電流			70		mA

## ・ 端子容量

記号	項目	最小	標準	最大	単位
C <sub>I</sub>	入力端子容量			8	pF
C <sub>O</sub>	出力端子容量			10	
C <sub>IO</sub>	入出力端子容量			12	

■パッケージ外形図



カッコ内の寸法値は参考値とする  
 モールド外形寸法はバリを含まない  
 単位(UNIT):mm

注) 本製品の仕様につきましては改良等の為、予告なく変更する場合があります。



# YGV605

## PVDC (Pattern mode Video Display Controller)

### ■ 概要

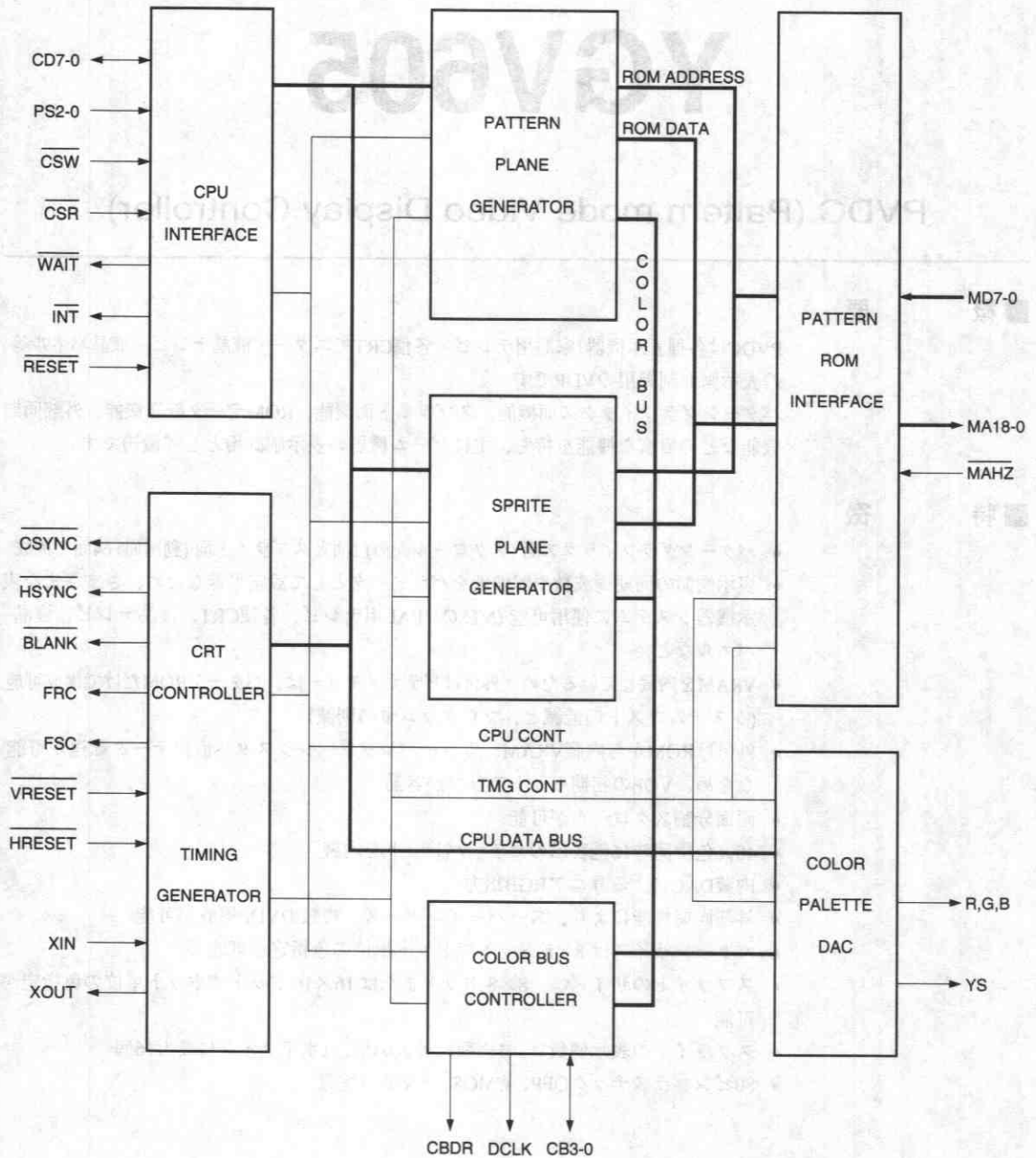
PVDCは各種表示機器(家庭用テレビ・各種CRTモニター・液晶テレビ・液晶パネル等)の表示画面制御用のVDPです。

パターングラフィックス面機能、スプライト面機能、ROMデータ転送機能、外部同期機能などの豊富な機能を持ち、主にゲーム機器の表示制御用として最適です。

### ■ 特徴

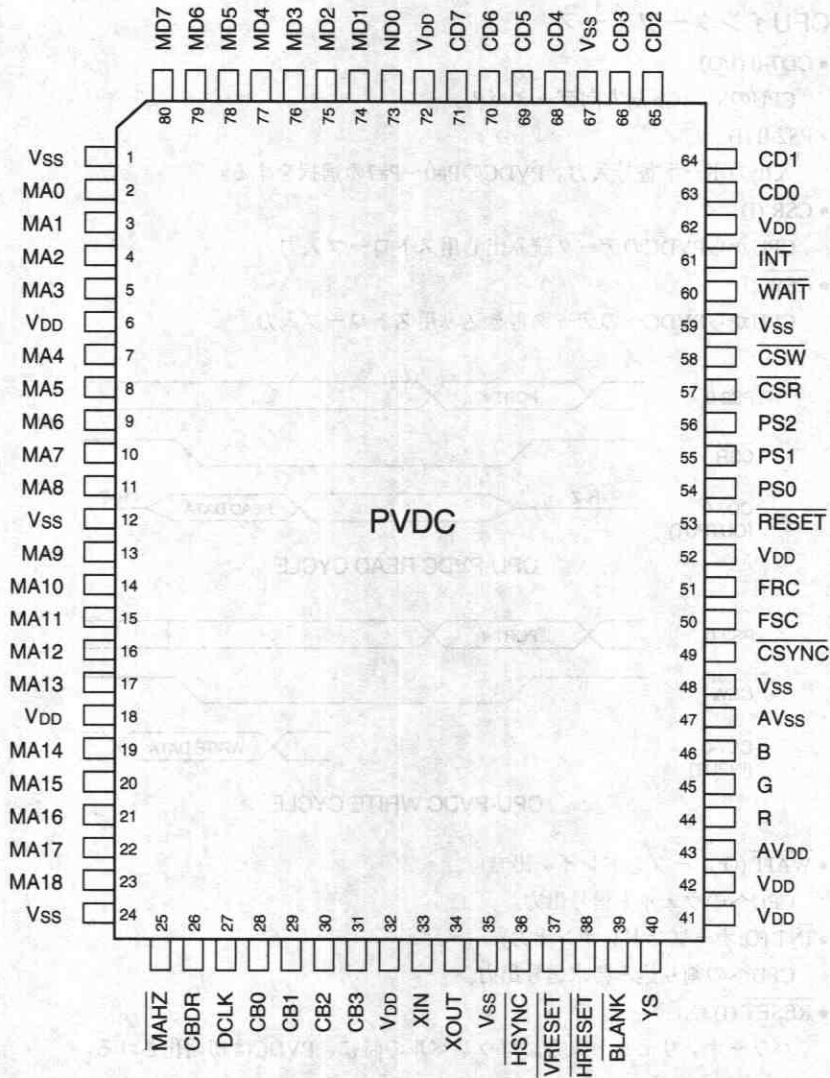
- パターングラフィックス面(スクロール画面)1面とスプライト面(動画面)64面で構成
- 表示画面の同期周波数や解像度をパラメータとして設定可能なため、さまざまな表示機器システムに使用可能(NTSC、PAL用テレビ、各種CRT、液晶テレビ、液晶パネルなど)
- VRAMを内蔵しているため、外付けビデオメモリーは、パターンROMだけで構成可能(システムコストの低減と、プログラム量の削減)
- 外付けROMから内蔵VRAM、カラーパレット、レジスタへ直接データ転送が可能のため、VDPの初期セットアップが容易
- 画面分割スクロールが可能
- 4096色中同時16色表示のカラーパレットを内蔵
- 内蔵DACによるリニアRGB出力
- 外部同期機能により、スーパーインポーズ、複数のVDP構成が可能
- パターンサイズは8×8ドットでドット単位の色指定が可能
- スプライトのサイズは、8×8ドットまたは16×16ドットでドット単位の色指定が可能
- スプライトの表示個数は、1画面に最大64個、1水平ラインに最大16個
- 80ピンプラスチックQFP、CMOS、5V単一電源

■ ブロック図



## ■ 端子配置図

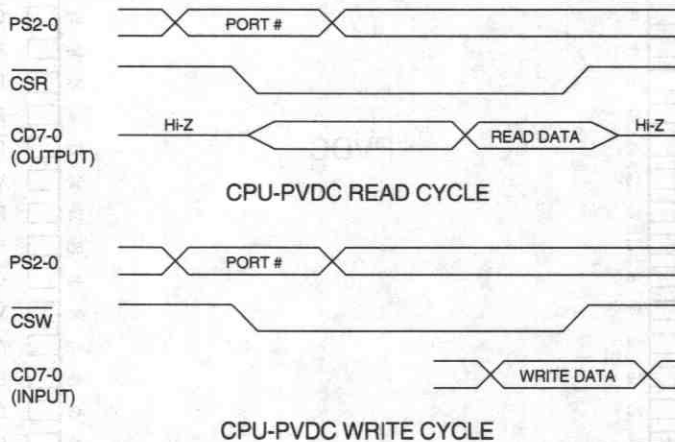
※ 端子配置図は、パッケージの形状によって異なります。



## ■ 端子機能

### 1) CPUインターフェース

- CD7-0 (I/O)  
CPUの8ビット双方向データバス。
- PS2-0 (I)  
入出力ポート番号入力。PVDCのP#0~P#7の選択をする。
- $\overline{\text{CSR}}$  (I)  
CPUからPVDCのデータ読み出し用ストロブ入力。
- $\overline{\text{CSW}}$  (I)  
CPUからPVDCへのデータ書き込み用ストロブ入力。



- $\overline{\text{WAIT}}$  (O:オープンドレイン出力)  
CPUへのウェイト信号出力。
- $\overline{\text{INT}}$  (O:オープンドレイン出力)  
CPUへの割り込み要求信号出力。
- $\overline{\text{RESET}}$  (I)  
パワーオンリセット入力。ロウレベルの時に、PVDCは初期化される。

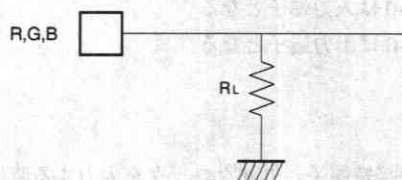
### 2) ROMインターフェース

- MD7-0 (I)  
ROMデータバス。
- MA18-0 (O:3ステート出力)  
ROMアドレスバス。
- $\overline{\text{MAHZ}}$  (I)  
ロウレベルの時に、端子MA18-0をハイインピーダンスにする。

### 3) 表示モニターインターフェース

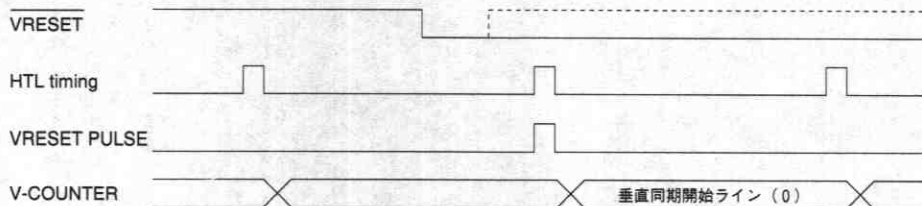
- $\overline{\text{CSYNC}}$  (O)  
複合同期信号または垂直同期信号。
- $\overline{\text{HSYNC}}$  (O)  
水平同期信号。

- R、G、B (O:アナログ出力)  
リニアRGB出力。



- FSC (O)  
ビデオエンコーダ用のサブキャリアクロック出力。
- FRC (O)  
フレームクロック出力。2フレーム周期のクロックで、パネルの交流化などに使用する。

- $\overline{\text{VRESET}}$  (I)  
垂直タイミングリセット入力。この端子への入力信号をドットクロックでサンプリングし、ハイレベルからロウレベルへの立ち下がりを検出し、その後の最初のHTLタイミング (HSYNC開始タイミング) に、内部Vカウンタは垂直同期開始ラインにリセットされる。垂直表示期間中にリセット入力された時には、次の1フィールドの表示データは保証されない。



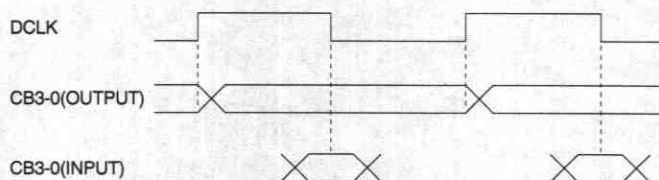
- $\overline{\text{HRESET}}$  (I)  
水平タイミングリセット入力。この端子への入力信号を主クロックでサンプリングし、ハイレベルからロウレベルへの立ち下がりタイミングに、内部Hカウンタを水平同期開始位置にリセットする。この信号はPVDCの2個使い(同一クロック入力)の同期用としては使用できるが、それ以外には使用できない。水平表示期間中にリセット入力された時には、次の1ラインの表示データは保証されない。

- YS (O)  
スーパーインポーズ・タイミング信号。PVDCデータの表示タイミングにハイレベルとなる。

- $\overline{\text{BLANK}}$  (O)  
帰線消去期間。リニアRGBやSYNC出力より3ドット早いタイミングに出力される。

- CB3-0 (I/O)  
カラーバス端子。PVDCの表示カラーコード出力または、PVDCへの表示カラーコード入力。リニアRGBやSYNC出力より3ドット早いタイミングに出力される。

- DCLK (O)  
ドットクロック出力。端子CB3-0の入出力は、このクロックに同期している。



• CBDR (O)

CB3-0端子の入出力状態を示す。

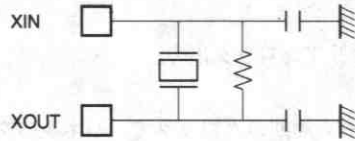
CBDRがロウレベル: CB3-0 は入力端子となる

ハイレベル: CB3-0 は出力端子となる

4) その他

• XIN (I), XOUT (O)

主クロック用の水晶振動子接続端子。外部クロックを入力する時は、XIN端子に入力する。



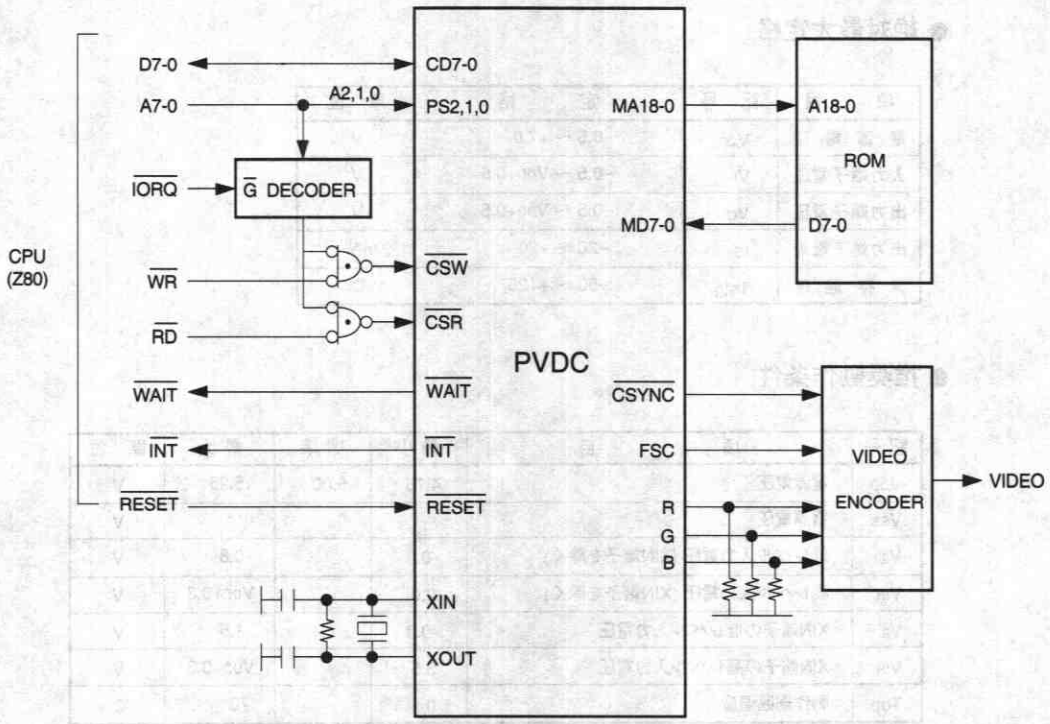
• AVDD, AVSS (I)

RGB用アナログ電源入力。

• VDD, VSS (I)

デジタル電源入力。

## ■ システム構成例



項目	仕様	標準	公差	備考
V <sub>CC</sub>	+5V			電源電圧
V <sub>DD</sub>	+5V			電源電圧
V <sub>EE</sub>	0V			電源電圧
A <sub>17</sub>	0V			アドレス線
A <sub>16</sub>	0V			アドレス線
A <sub>15</sub>	0V			アドレス線

項目	仕様	標準	公差	備考
D <sub>7-0</sub>	0V			データバス
D <sub>7-0</sub>	0V			データバス
D <sub>7-0</sub>	0V			データバス

## ■ 電気的特性

## ● 絶対最大定格

項 目	記 号	定 格	単 位
電 源 電 圧	V <sub>DD</sub>	-0.5 ~ +7.0	V
入 力 端 子 電 圧	V <sub>I</sub>	-0.5 ~ V <sub>DD</sub> +0.5	V
出 力 端 子 電 圧	V <sub>O</sub>	-0.5 ~ V <sub>DD</sub> +0.5	V
出 力 端 子 電 流	I <sub>O</sub>	-20 ~ +20	mA
保 存 温 度	T <sub>stg</sub>	-50 ~ +125	℃

## ● 推奨動作条件

記号	項 目	最小	標準	最大	単 位
V <sub>DD</sub>	電源電圧	4.75	5.00	5.25	V
V <sub>SS</sub>	電源電圧		0		V
V <sub>IL</sub>	低レベル入力電圧 (XIN端子を除く)	-0.3		0.8	V
V <sub>IH</sub>	高レベル入力電圧 (XIN端子を除く)	2.0		V <sub>DD</sub> +0.3	V
V <sub>IL</sub>	XIN端子の低レベル入力電圧	-0.3		1.5	V
V <sub>IH</sub>	XIN端子の高レベル入力電圧	3.5		V <sub>DD</sub> +0.3	V
Top	動作周囲温度	0		70	℃

## ● 推奨動作条件下での電気的特性

## ● 直流特性

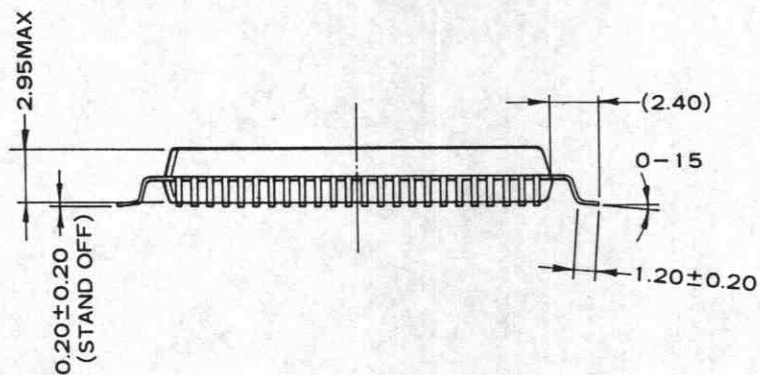
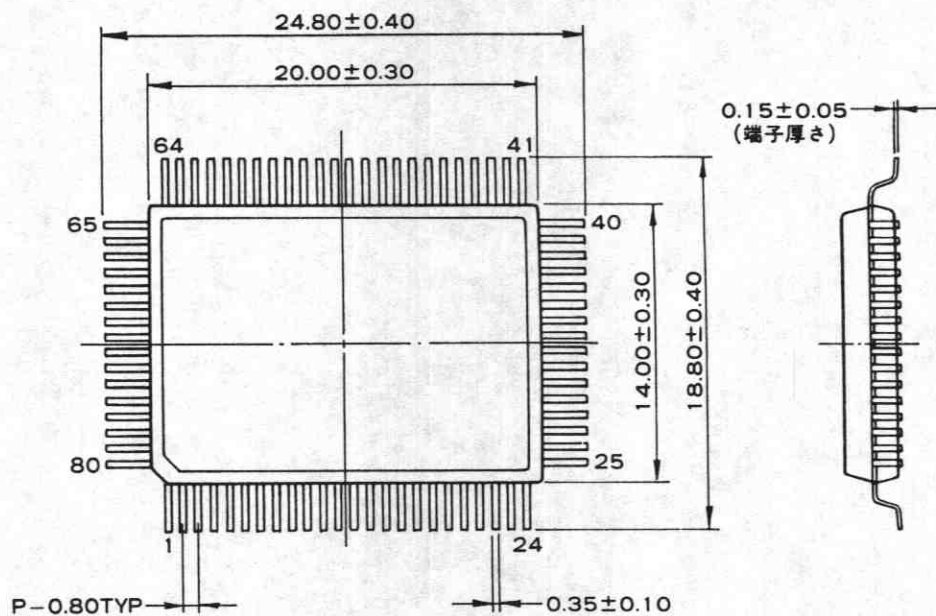
記号	項 目	測定条件	最小	標準	最大	単 位
V <sub>OL</sub>	低レベル出力電圧 (OPEN DRAIN端子は除く)	I <sub>OL</sub> = 1.6 mA			0.4	V
V <sub>OL</sub>	低レベル出力電圧 (OPEN DRAIN端子)	I <sub>OL</sub> = 3.2 mA			0.4	V
V <sub>OH</sub>	高レベル出力電圧 (OPEN DRAIN端子は除く)	I <sub>OH</sub> = -0.4 mA	4.0			V
I <sub>LI</sub>	入力リーク電流				10	μA
I <sub>LO</sub>	出力リーク電流				25	μA
I <sub>DD</sub>	消費電流			65		mA

## ● 端子容量

記号	項 目	最小	標準	最大	単 位
C <sub>I</sub>	入力端子容量			8	pF
C <sub>O</sub>	出力端子容量			10	
C <sub>IO</sub>	入出力端子容量			12	

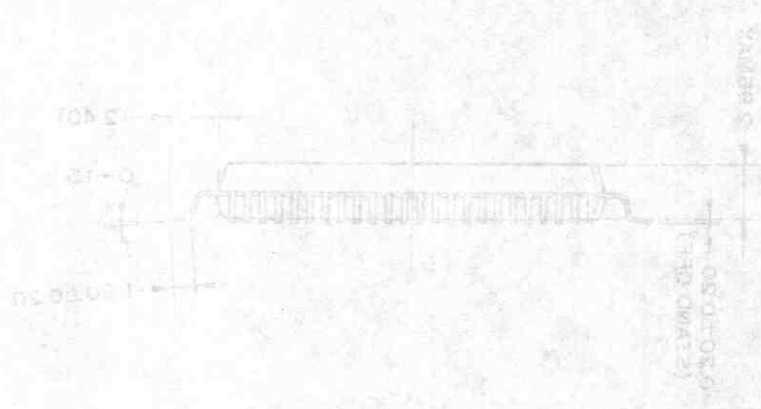
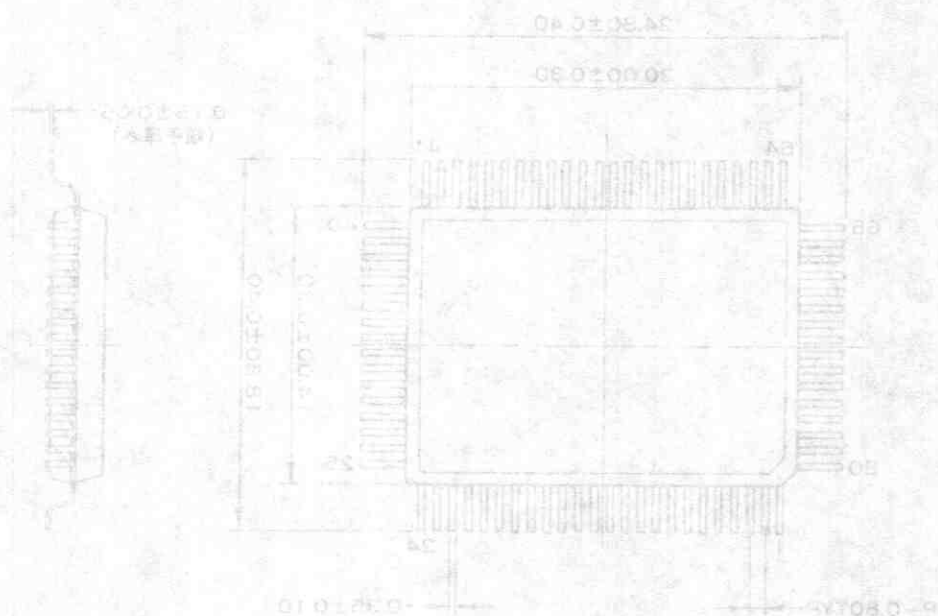


## ■ パッケージ外形図



カッコ内の寸法値は参考値とする  
 モールド外形寸法はバリを含まない  
 単位(UNIT):mm

圖 13-17 一、二、三、四、五、六、七、八、九、十、十一、十二、十三、十四、十五、十六、十七、十八、十九、二十、二十一、二十二、二十三、二十四、二十五、二十六、二十七、二十八、二十九、三十、三十一、三十二、三十三、三十四、三十五、三十六、三十七、三十八、三十九、四十、四十一、四十二、四十三、四十四、四十五、四十六、四十七、四十八、四十九、五十、五十一、五十二、五十三、五十四、五十五、五十六、五十七、五十八、五十九、六十、六十一、六十二、六十三、六十四、六十五、六十六、六十七、六十八、六十九、七十、七十一、七十二、七十三、七十四、七十五、七十六、七十七、七十八、七十九、八十、八十一、八十二、八十三、八十四、八十五、八十六、八十七、八十八、八十九、九十、九十一、九十二、九十三、九十四、九十五、九十六、九十七、九十八、九十九、一百



この図は、製品の設計図であり、  
 製品の製造に使用されるべきです。  
 製品の製造に使用されるべきです。  
 製品の製造に使用されるべきです。

# YGV606B

## AVDP (Advanced Video Display Processor)

### ■ 概要

AVDPは、高度な表示機能や描画機能を持った、家庭用テレビの表示画面制御に最適なVDPです。

OSD、学習教育機器、KIDS向け玩具などのグラフィックシステムが容易にしかも低価格で実現できます。

### ■ 特徴

#### 表示機能

- |         |   |
|---------|---|
| ● 表示モード | ビットマップグラフィックス+スプライト   |
| ● 表示解像度 | NTSC: 368×240 (480)<br>PAL : 368×280 (560)<br>( )内はインタレースオルタネートモード                |
| ● 表示色数  | 26万色中256色表示のカラーパレットを内蔵しており、自然画の表示が可能<br>同時16色/256色/32768色 (AVDP2個使用時) 表示          |
| ● スクロール | 全方向スクロール可能<br>自由な画面構成によるXY座標イメージ空間(ビットマップ)設定が可能<br>イメージ空間内に自由なサイズのスクロール表示領域の設定が可能 |
| ● スプライト | 32×32ドットを2個表示可能<br>ドット単位で色指定が可能   |
| ● カラーバス | カラーバス出力により、外部でのスーパーインポーズ表示などが可能<br>カラーバス端子入力により、複数のAVDPとの多面構成が可能                  |
| ● その他   | 表示窓の設定やモザイク表示などが可能<br>画面分割表示が可能<br>内蔵DACによるリニアRGB出力                               |

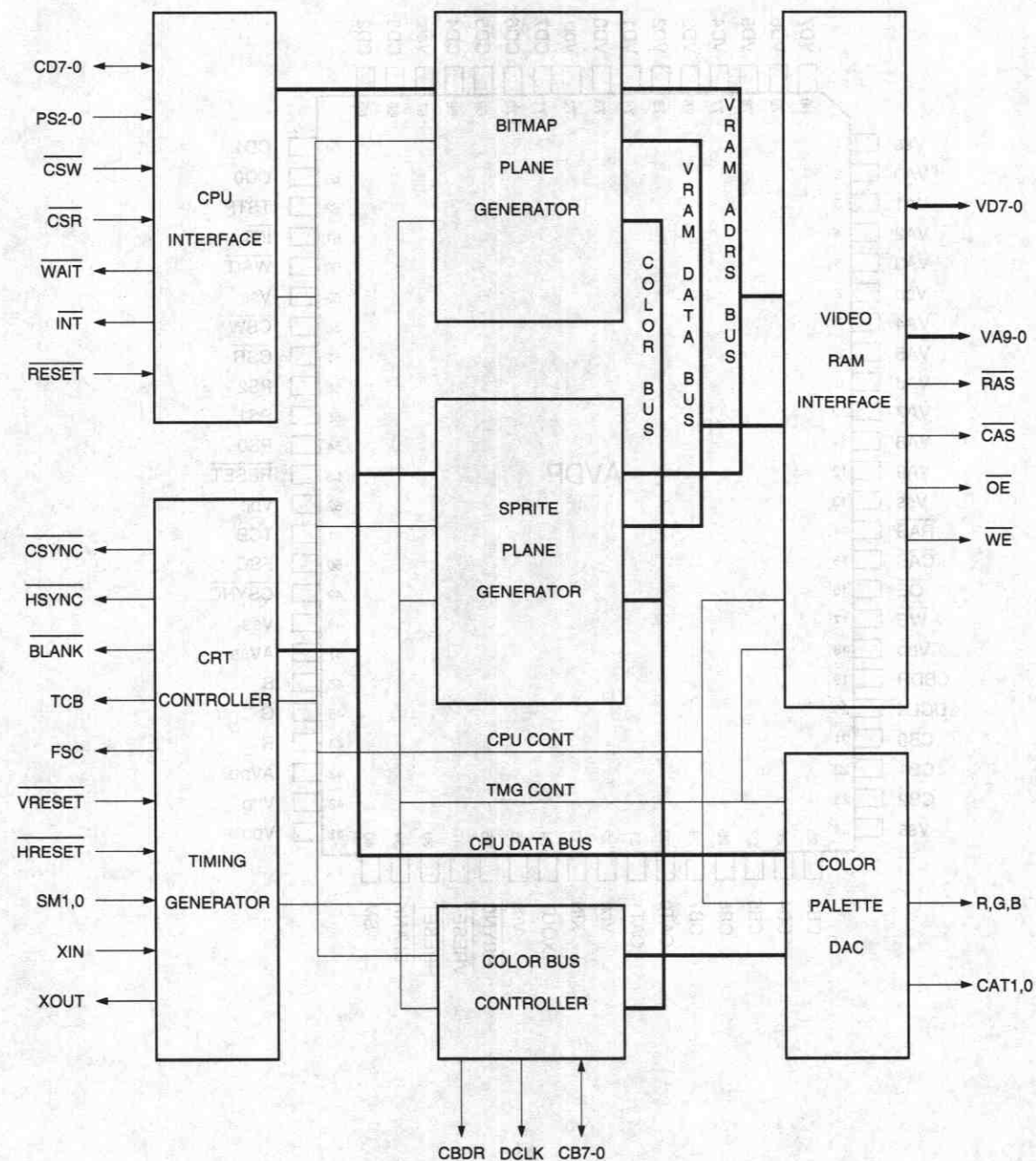
## 描画機能

- コマンドの種類      ブロック転送 (矩形領域、点)  
直線描画  
境界色検出
- 描画属性            論理演算 (NOT、AND、OR、EORなど)  
透明色処理  
ビット書き込みマスク  
描画領域クリッピング
- 描画速度            最大560 nsec/ドット

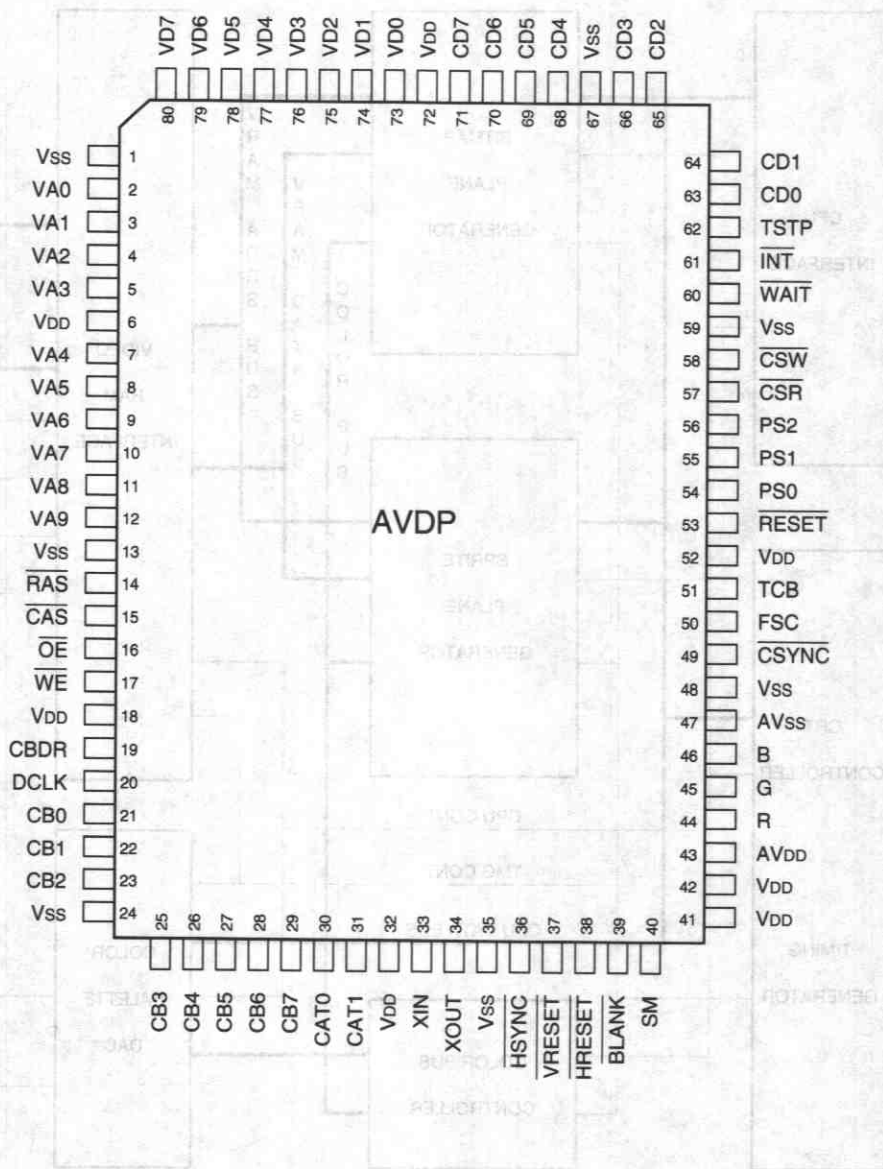
## その他

- VRAM                1M、4MのDRAMを使用し、最低1個で構成可能  
16色1面モード  
VRAM容量256Kドット：256Kワード×4ビット 1個  
1Mドット：1Mワード×4ビット 1個  
上記以外のモード  
VRAM容量256Kドット：256Kワード×4ビット 2個  
512Kドット：512Kワード×8ビット 1個  
1Mドット：1Mワード×4ビット 2個
- CPUインターフェース    8ビットパラレルデータバス  
VRAMアクセス時のウェイト機能  
各種割り込み機能 (垂直表示期間終了、表示位置、描画  
コマンド終了)  
アドレス自動インクリメント機能により高速なレジス  
タ、カラーパレットアクセスが可能
- パッケージ            80ピンプラスチックQFP、CMOS、5V単一電源

## ■ ブロック図



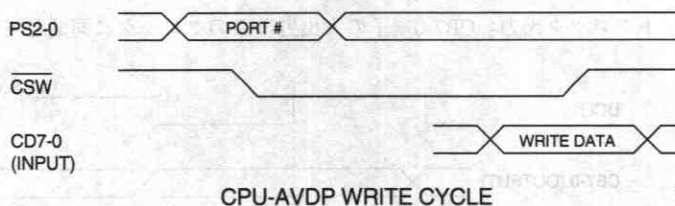
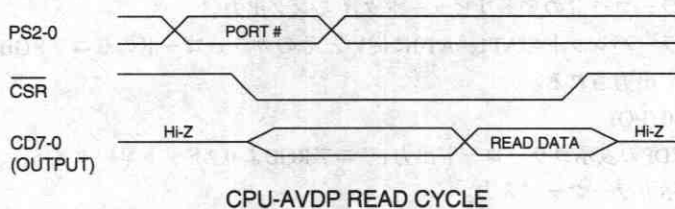
## ■ 端子配置图



## ■ 端子機能

### 1) CPUインタフェース

- CD7-0 (I/O)  
CPUの8ビット双方向データバス。
- PS2-0 (I)  
入出力ポート番号指定入力。AVDPのP#6～P#0の選択をする。
- $\overline{\text{CSW}}$  (I)  
CPUからAVDPへのデータ書き込み用ストロープ信号入力。
- $\overline{\text{CSR}}$  (I)  
CPUからAVDPへのデータ読み出し用ストロープ信号入力。



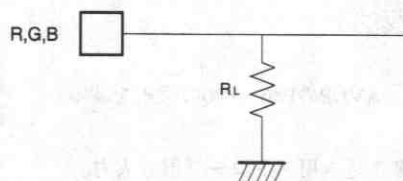
- $\overline{\text{WAIT}}$  (O:オープンドレイン出力)  
CPUへのウェイト信号出力。
- $\overline{\text{INT}}$  (O:オープンドレイン出力)  
CPUへの割り込み要求信号出力。
- $\overline{\text{RESET}}$  (I)  
パワーオンリセット入力。ロウレベルの時に、AVDPは初期化される。

### 2) VRAMインタフェース

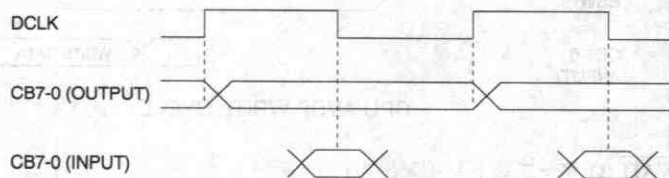
- VD7-0 (I/O)  
VRAM用データバス。
- VA9-0 (O)  
VRAM用アドレスバス。
- $\overline{\text{RAS}}$  (O)  
VRAM用DRAMロウアドレスストロープ信号。
- $\overline{\text{CAS}}$  (O)  
VRAM用DRAMコラムアドレスストロープ信号。
- $\overline{\text{OE}}$  (O)  
VRAM用DRAMデータ出力イネーブル信号。
- $\overline{\text{WE}}$  (O)  
VRAM用DRAMライトイネーブル信号。

## 3) CRTインタフェース

- R、G、B (O:アナログ出力)  
リニアRGB出力。



- CAT1、0 (O)  
カラーコードのアトリビュートタイミング出力。  
カラーパレットのAT1、AT0に従い、そのカラーコードのリニアRGB出力タイミングに合わせて出力される。
- CB7-0 (I/O)  
AVDPの表示カラーコード出力(リニアRGBより2ドット早いタイミング)または、AVDPへの表示カラーコード入力。
- DCLK (O)  
ドットクロック出力。CB7-0端子の入出力はこのクロックに同期している。



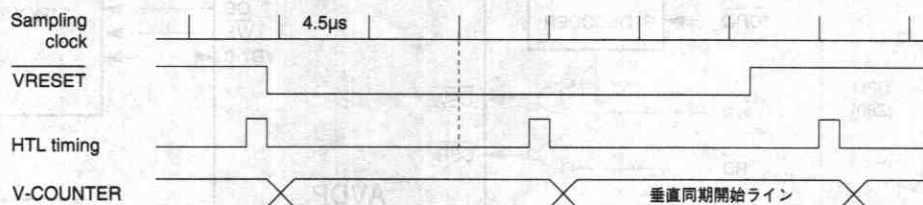
- CBDR (O)  
CB7-0端子の入出力状態を示す。  
CBDRがロウレベル: CB7-0は入力端子  
                  ハイレベル: CB7-0は出力端子
- CSYNC (O)  
複合同期信号または垂直同期信号。
- HSYNC (O)  
水平同期信号。等化パルスは挿入されていない。  
同期信号の幅は、通常幅とデューティ50%の2種類から選択できる。
- BLANK (O)  
帰線消去期間。
- FSC (O)  
NTSCビデオエンコーダ用のサブキャリアクロック出力。NTSCモードの時のみ有効となる。



• VRESET(I)

垂直タイミングリセット入力。

この端子への入力信号を約4.5 $\mu$ sec周期のクロックでサンプリングし、3回連続のロウレベルを検出し、その後の最初のHTLタイミング(HSYNC開始タイミング)に、内部Vカウンタは偶数フィールドの垂直同期開始ラインにリセットされる。



• HRESET (I)

水平タイミングリセット入力。この信号の立ち下がり時に、AVDPの水平タイミングが、水平同期開始位置にセットされる。さらに、主クロックに対するドットクロックの位相が定まる。この信号はAVDPの2個使い(同一クロック入力)の同期用としては使用できるが、それ以外には使用できない。

• TCB (O)

カラーバースト挿入タイミング信号。

• SM (I)

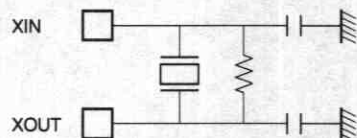
スキャンモード選択入力。

SM	スキャンモード
High	NTSC
Low	PAL

## 4) クロック

• XIN (I)、XOUT (O)

水晶振動子接続端子。外部発振クロックを入力する時は、XIN端子に入力する。



## 5) 電源

• AVDD、AVSS (I)

RGB用アナログ電源入力。

• VDD、VSS (I)

デジタル電源入力。

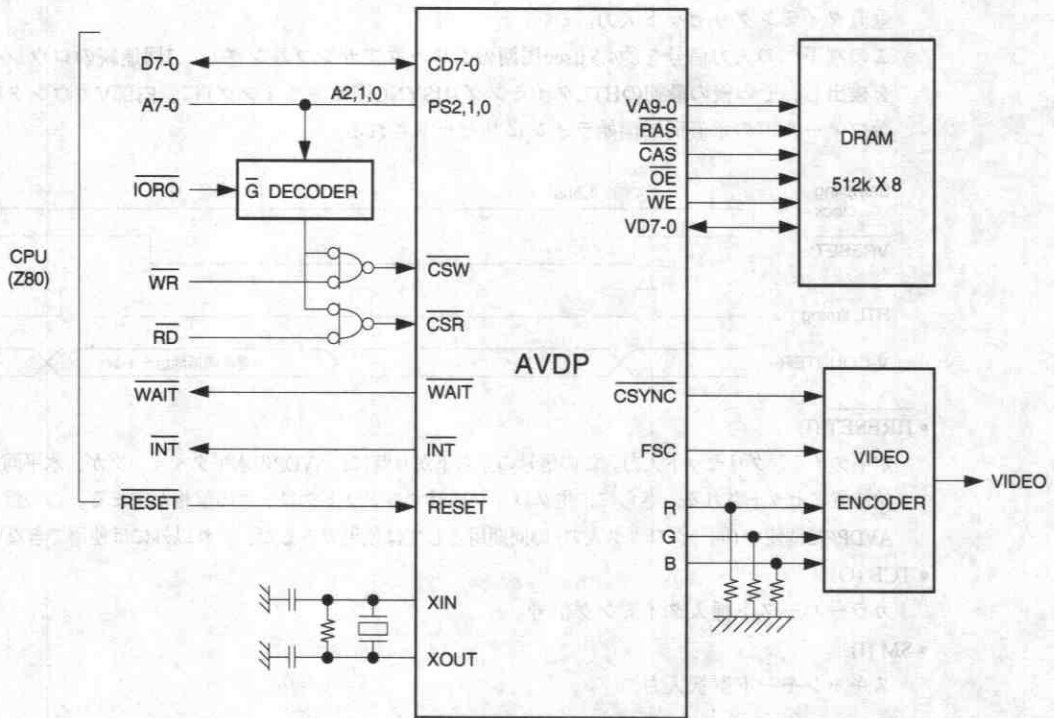
## 6) その他

• TSTP (I)

内部回路テスト用入力。

通常はハイ、あるいはN.C.で使用。ロウレベルを入力した場合の動作は保証されない。

■ システム構成例



## ■ 電気的特性

### ● 絶対最大定格

項目	記号	定格	単位
電源電圧	V <sub>DD</sub>	-0.5 ~ +7.0	V
入力端子電圧	V <sub>I</sub>	-0.5 ~ V <sub>DD</sub> +0.5	V
出力端子電圧	V <sub>O</sub>	-0.5 ~ V <sub>DD</sub> +0.5	V
出力端子電流	I <sub>O</sub>	-20 ~ +20	mA
保存温度	T <sub>stg</sub>	-50 ~ +125	°C

### ● 推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	V <sub>DD</sub>	4.75	5.00	5.25	V
電源電圧	V <sub>SS</sub>		0		V
低レベル入力電圧 (XIN端子を除く)	V <sub>IL</sub>	-0.3		0.8	V
高レベル入力電圧 (XIN端子を除く)	V <sub>IH</sub>	2.0		V <sub>DD</sub> +0.3	V
XIN端子の低レベル入力電圧	V <sub>IL</sub>	-0.3		1.5	V
XIN端子の高レベル入力電圧	V <sub>IH</sub>	3.5		V <sub>DD</sub> +0.3	V
動作周囲温度	T <sub>op</sub>	0		70	°C

### ● 推奨動作条件下での電気的特性

#### ● 直流特性

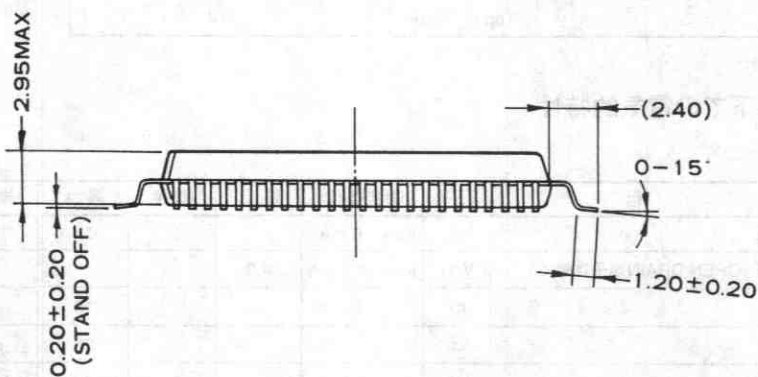
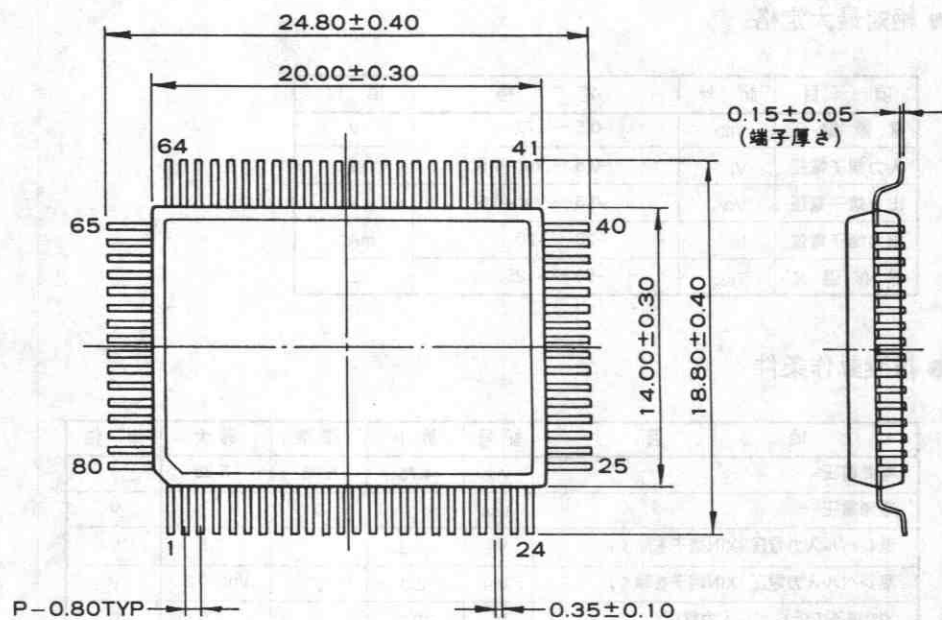
項目	記号	測定条件	最小	標準	最大	単位
低レベル出力電圧	V <sub>OL</sub>	I <sub>OL</sub> = 1.6 mA			0.4	V
高レベル出力電圧 (OPEN DRAIN端子は除く)	V <sub>OH</sub>	I <sub>OH</sub> = -1.0 mA	4.0			V
入力リーク電流	I <sub>LI</sub>				10	μA
出力リーク電流	I <sub>LO</sub>				25	μA
消費電流	I <sub>DD</sub>				60	mA

#### ● 端子容量

項目	記号	最小	標準	最大	単位
入力端子容量	C <sub>I</sub>			8	pF
出力端子容量	C <sub>O</sub>			10	
入出力端子容量	C <sub>IO</sub>			12	

■ パッケージ外形図

封筒型実装部品



カッコ内の寸法値は参考値とする  
 モールド外形寸法はバリを含まない  
 単位(UNIT):mm

# YGV607

## PVDCD (Pattern mode Video Display Controller Digital out)

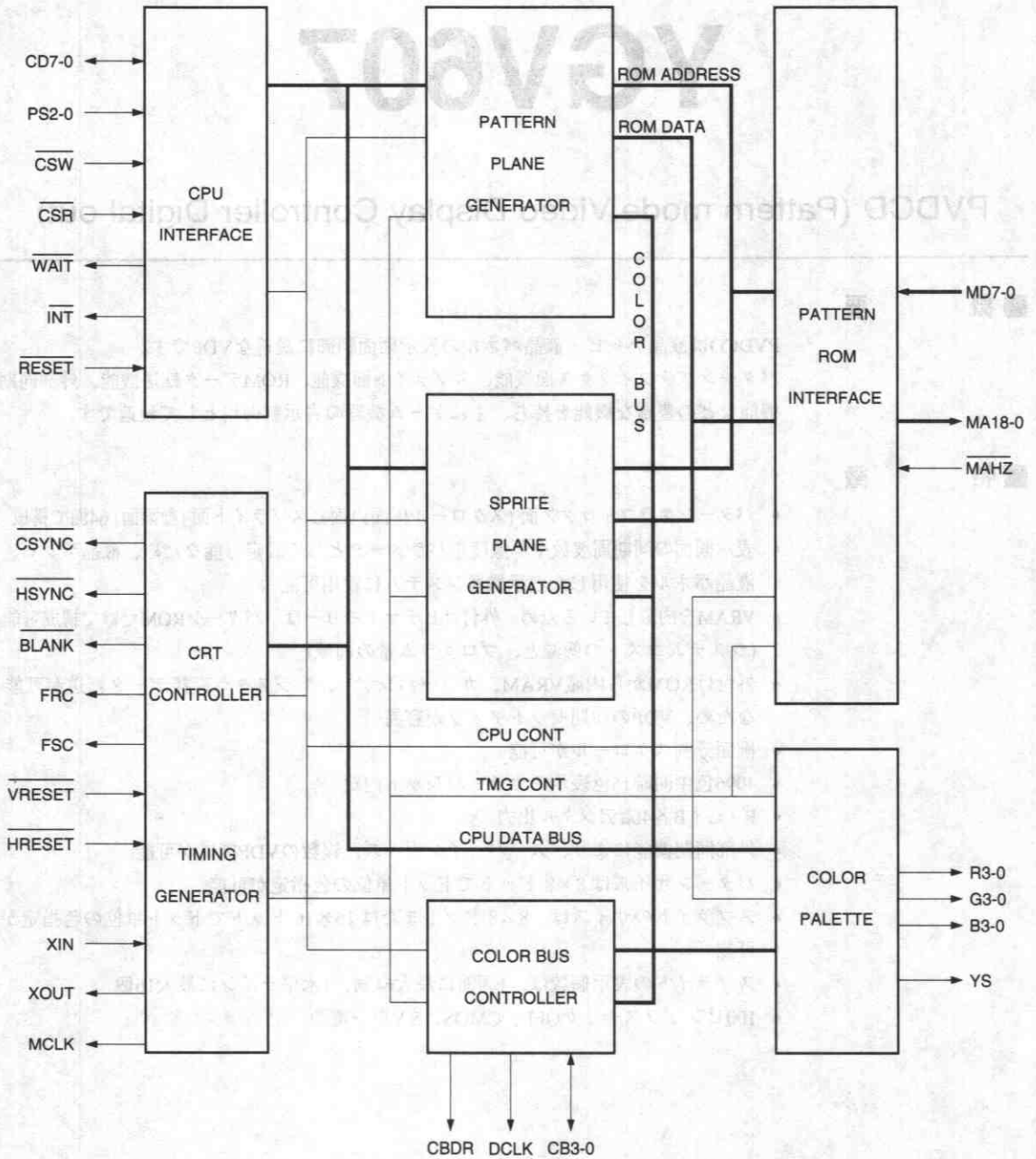
### ■ 概要

PVDCDは液晶テレビ・液晶パネルの表示画面制御に最適なVDPです。  
パターングラフィックス面機能、スプライト面機能、ROMデータ転送機能、外部同期機能などの豊富な機能を持ち、主にゲーム機器の表示制御用として最適です。

### ■ 特徴

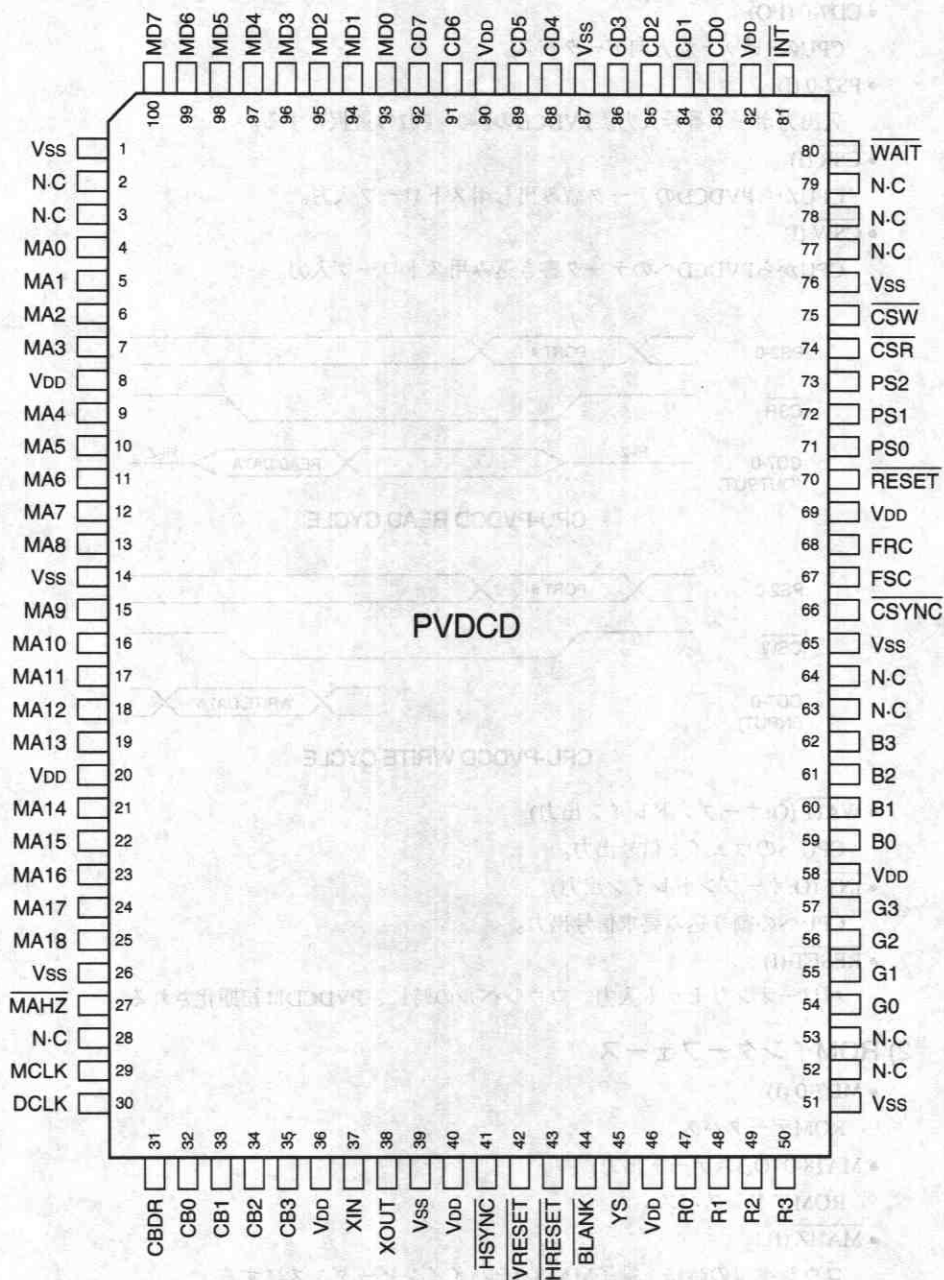
- パターングラフィックス面(スクロール画面)1面とスプライト面(動画面)64面で構成
- 表示画面の同期周波数や解像度をパラメータとして設定可能なため、液晶テレビ、液晶パネルを使用した表示機器システムに使用可能
- VRAMを内蔵しているため、外付けビデオメモリーは、パターンROMだけで構成可能(システムコストの低減と、プログラム量の削減)
- 外付けROMから内蔵VRAM、カラーパレット、レジスタへ直接データ転送が可能  
なため、VDPの初期セットアップが容易
- 画面分割スクロールが可能
- 4096色中同時16色表示のカラーパレット内蔵
- R・G・B各4bitデジタル出力
- 外部同期機能により、スーパーインポーズ、複数のVDP構成が可能
- パターンサイズは8×8ドットでドット単位の色指定が可能
- スプライトのサイズは、8×8ドットまたは16×16ドットでドット単位の色指定が可能
- スプライトの表示個数は、1画面に最大64個、1水平ラインに最大16個
- 100ピンプラスチックQFP、CMOS、5V単一電源

■ ブロック図



## 端子配置図

端子配置図

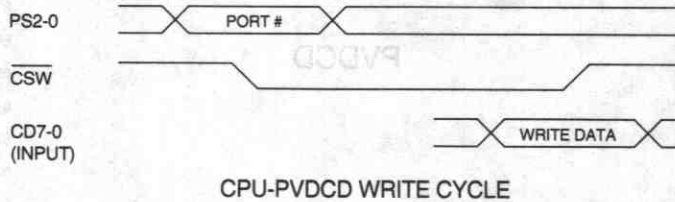
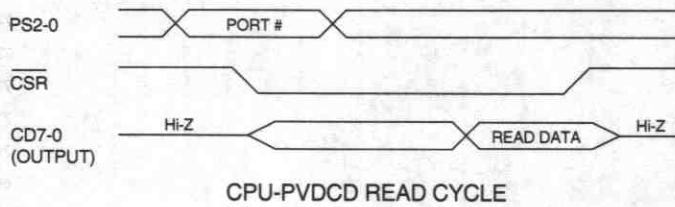


## ■ 端子機能

図面番号: 3-56

### 1) CPUインターフェース

- CD7-0 (I/O)  
CPUの8ビット双方向データバス。
- PS2-0 (I)  
入出力ポート番号入力。PVDCDのP#0~P#7の選択をする。
- $\overline{\text{CSR}}$  (I)  
CPUからPVDCDのデータ読み出し用ストロブ入力。
- CSW (I)  
CPUからPVDCDへのデータ書き込み用ストロブ入力。



- $\overline{\text{WAIT}}$  (O:オープンドレイン出力)  
CPUへのウェイト信号出力。
- $\overline{\text{INT}}$  (O:オープンドレイン出力)  
CPUへの割り込み要求信号出力。
- $\overline{\text{RESET}}$  (I)  
パワーオンリセット入力。ロウレベルの時に、PVDCDは初期化される。

### 2) ROMインターフェース

- MD7-0 (I)  
ROMデータバス。
- MA18-0 (O:3ステート出力)  
ROMアドレスバス。
- $\overline{\text{MAHZ}}$  (I)  
ロウレベルの時に、端子MA18-0をハイインピーダンスにする。

### 3) 表示モニターインターフェース

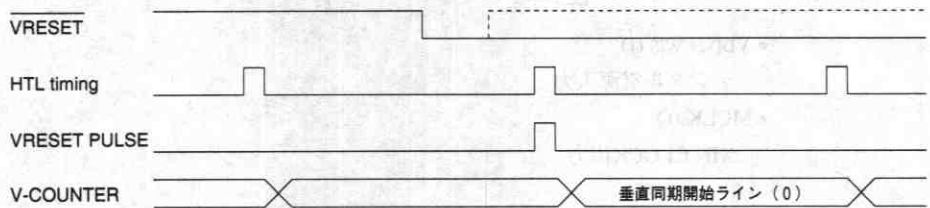
- $\overline{\text{CSYNC}}$  (O)  
複合同期信号または垂直同期信号。
- $\overline{\text{HSYNC}}$  (O)  
水平同期信号。



- R3-0、G3-0、B3-0 (O)  
R・G・B各4bitデジタル出力
- FSC (O)  
ビデオエンコーダ用のサブキャリアクロック出力。
- FRC (O)  
フレームクロック出力。2フレーム周期のクロックで、パネルの交流化などに使用する。

• **VRESET (I)**

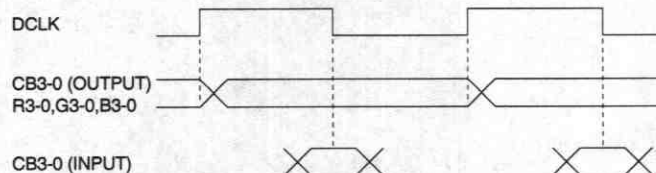
垂直タイミングリセット入力。この端子への入力信号をドットクロックでサンプリングし、ハイレベルからロウレベルへの立ち下がりを検出し、その後の最初のHTLタイミング(HSYNC開始タイミング)に、内部Vカウンタは垂直同期開始ラインにリセットされる。垂直表示期間中にリセット入力された時には、次の1フィールドの表示データは保証されない。



• **HRESET (I)**

水平タイミングリセット入力。この端子への入力信号を主クロックでサンプリングし、ハイレベルからロウレベルへの立ち下がりタイミングに、内部Hカウンタを水平同期開始位置にリセットする。この信号はPVDCDの2個使い(同一クロック入力)の同期用としては使用できるが、それ以外には使用できない。水平表示期間中にリセット入力された時には、次の1ラインの表示データは保証されない。

- YS (O)  
スーパーインポーズ・タイミング信号。PVDCDデータの表示タイミングにハイレベルとなる。
- **BLANK (O)**  
帰線消去期間。SYNC出力より3ドット早いタイミングに出力される。
- CB3-0 (I/O)  
カラーバス端子。PVDCDの表示カラーコード出力または、PVDCDへの表示カラーコード入力。SYNC出力より3ドット早いタイミングに出力される。
- DCLK (O)  
ドットクロック出力。端子CB3-0の入出力は、このクロックに同期している。



- CBDR (O)

CB3-0端子の入出力状態を示す。

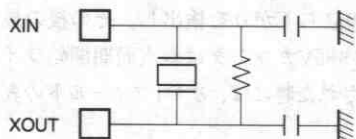
CBDRがロウレベル: CB3-0 は入力端子となる

ハイレベル: CB3-0 は出力端子となる

#### 4) その他

- XIN (I)、XOUT (O)

主クロック用の水晶振動子接続端子。外部クロックを入力する時は、XIN端子に入力する。

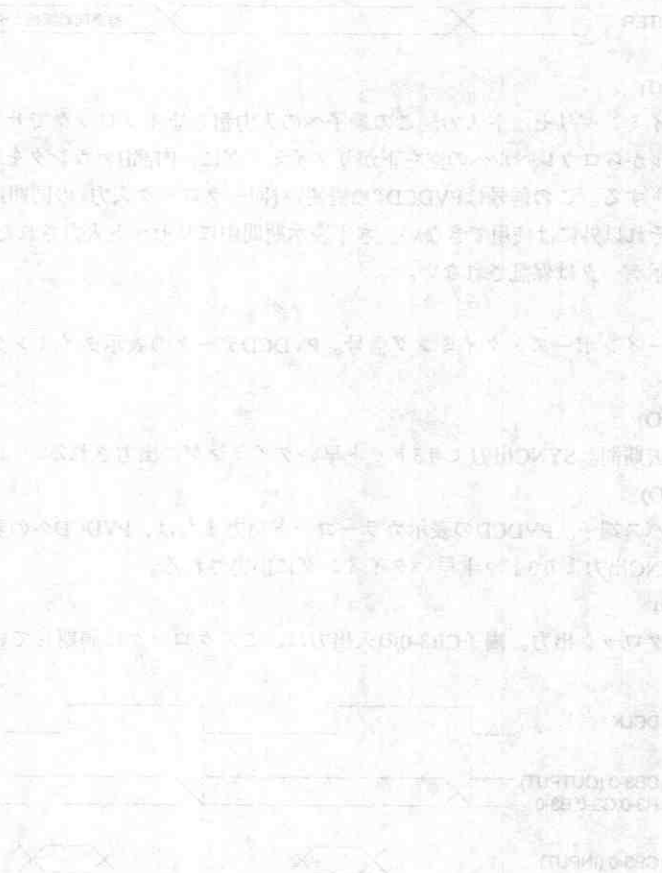


- VDD、Vss (I)

デジタル電源入力。

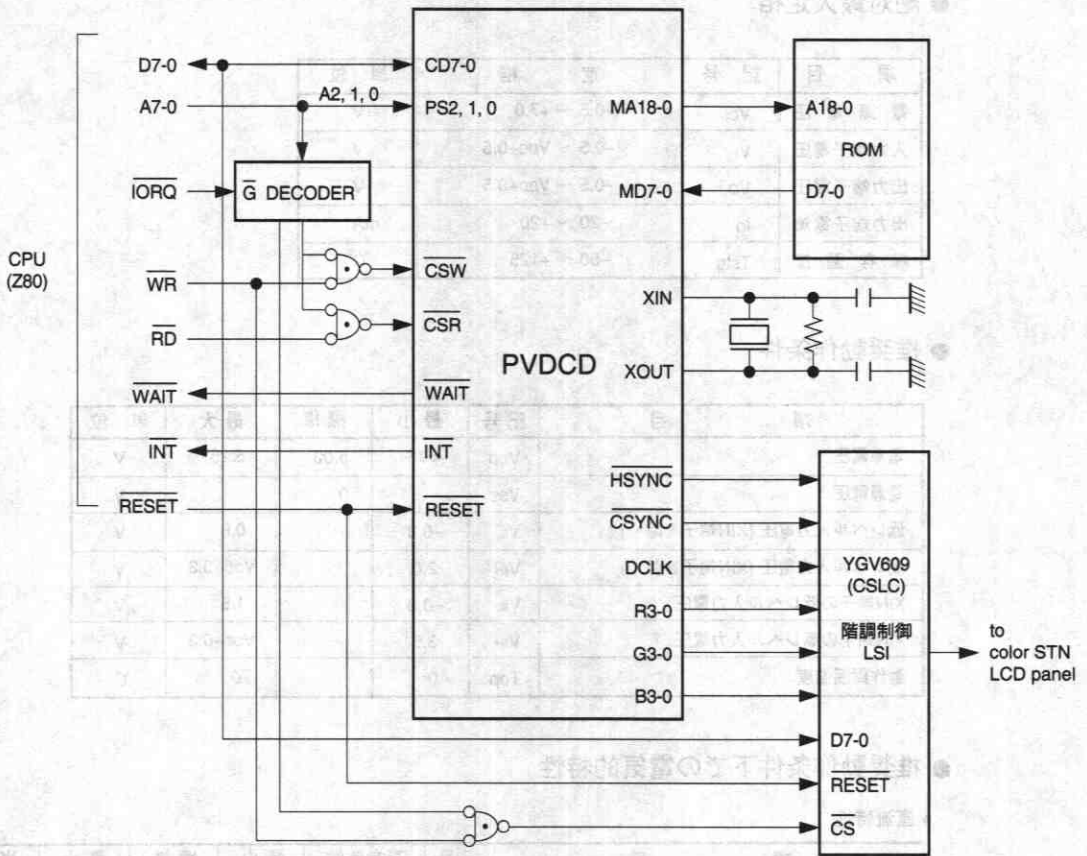
- MCLK (O)

XIN CLOCK出力



## ■ システム構成例

当社の従来製品



ピン	大抵	種類	レベル	接続	説明
V <sub>CC</sub>	10		5V	IC	電源
V <sub>DD</sub>	11		5V	IC	電源
V <sub>SS</sub>	12		0V	IC	電源
V <sub>DD</sub>	13		5V	IC	電源
A <sub>0</sub>	14		IC	IC	アドレス
A <sub>1</sub>	15		IC	IC	アドレス

ピン	大抵	種類	レベル	接続	説明
D <sub>0</sub>	16		IC	IC	データバス
D <sub>1</sub>	17		IC	IC	データバス
D <sub>2</sub>	18		IC	IC	データバス

## ■ 電気的特性

### ● 絶対最大定格

項目	記号	定格	単位
電源電圧	V <sub>DD</sub>	-0.5 ~ +7.0	V
入力端子電圧	V <sub>I</sub>	-0.5 ~ V <sub>DD</sub> +0.5	V
出力端子電圧	V <sub>O</sub>	-0.5 ~ V <sub>DD</sub> +0.5	V
出力端子電流	I <sub>O</sub>	-20 ~ +20	mA
保存温度	T <sub>stg</sub>	-50 ~ +125	°C

### ● 推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	V <sub>DD</sub>	4.75	5.00	5.25	V
電源電圧	V <sub>SS</sub>		0		V
低レベル入力電圧 (XIN端子を除く)	V <sub>IL</sub>	-0.3		0.8	V
高レベル入力電圧 (XIN端子を除く)	V <sub>IH</sub>	2.0		V <sub>DD</sub> +0.3	V
XIN端子の低レベル入力電圧	V <sub>IL</sub>	-0.3		1.5	V
XIN端子の高レベル入力電圧	V <sub>IH</sub>	3.5		V <sub>DD</sub> +0.3	V
動作周囲温度	T <sub>op</sub>	0		70	°C

### ● 推奨動作条件下での電気的特性

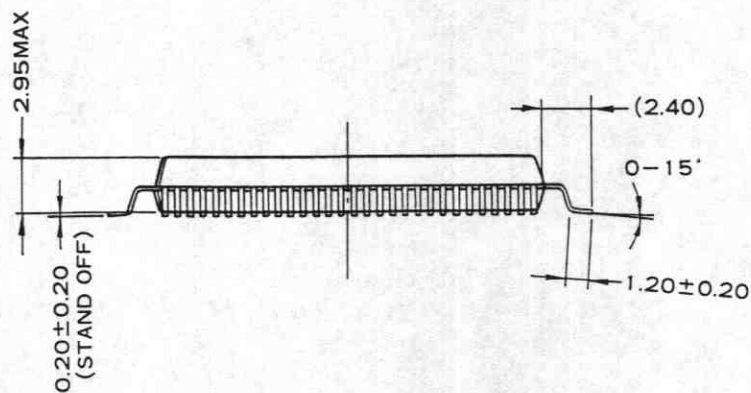
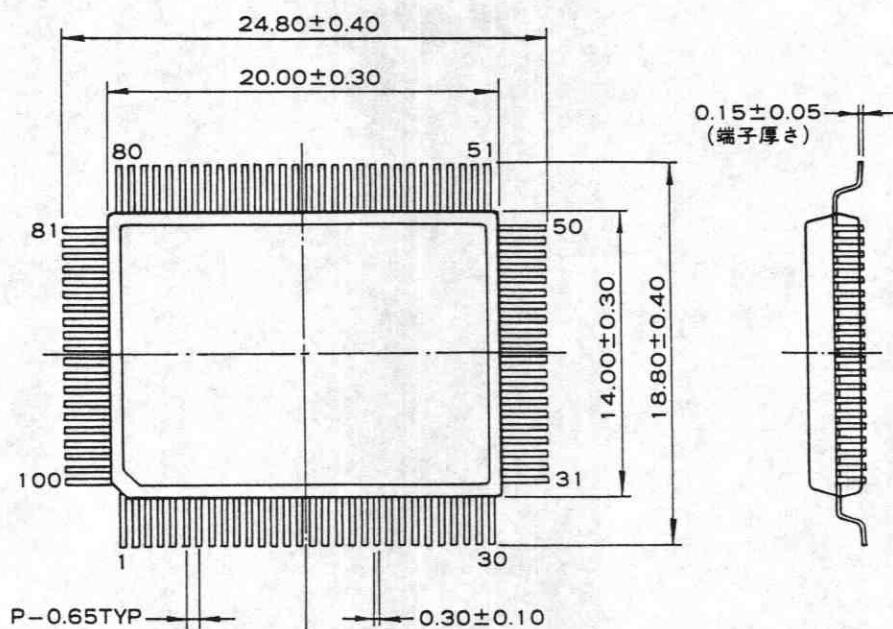
#### ● 直流特性

項目	記号	測定条件	最小	標準	最大	単位
低レベル出力電圧 (OPEN DRAIN端子は除く)	V <sub>OL</sub>	I <sub>OL</sub> = 1.6 mA			0.4	V
低レベル出力電圧 (OPEN DRAIN端子)	V <sub>OL</sub>	I <sub>OL</sub> = 3.2 mA			0.4	V
高レベル出力電圧 (OPEN DRAIN端子は除く)	V <sub>OH</sub>	I <sub>OH</sub> = -0.4 mA	4.0			V
入力リーク電流	I <sub>LI</sub>				10	μA
出力リーク電流	I <sub>LO</sub>				25	μA
消費電流	I <sub>DD</sub>			65		mA

#### ● 端子容量

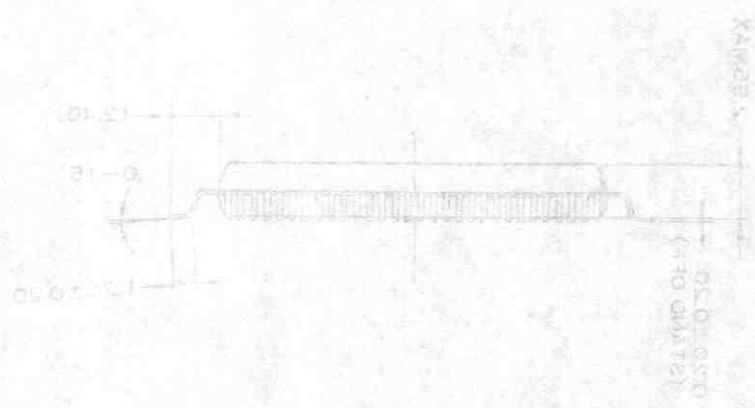
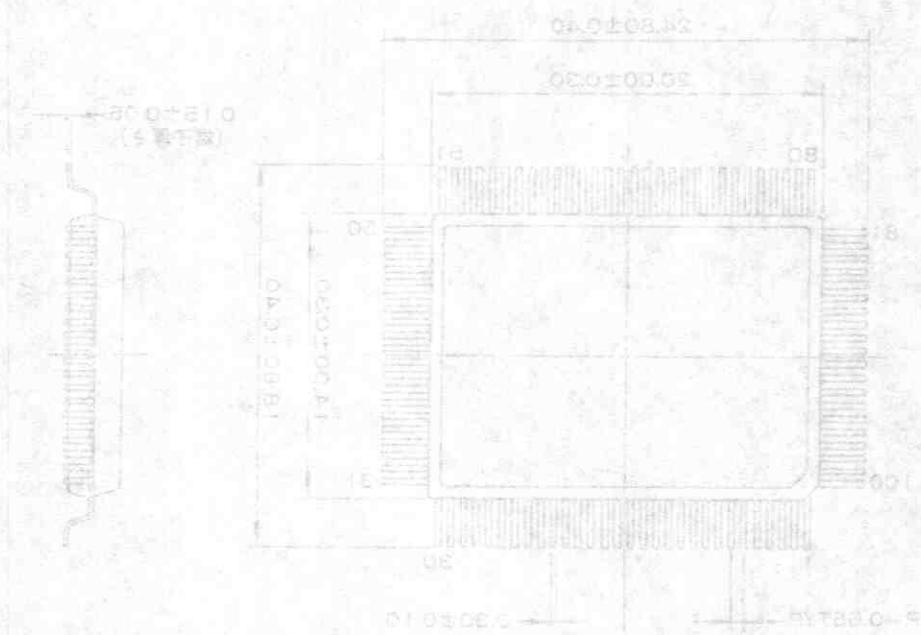
項目	記号	最小	標準	最大	単位
入力端子容量	C <sub>I</sub>			8	pF
出力端子容量	C <sub>O</sub>			10	
入出力端子容量	C <sub>IO</sub>			12	

## ■ パッケージ外形図



カッコ内の寸法値は参考値とする  
 モールド外形寸法はバリを含まない  
 単位 (UNIT): mm

図洋技キーサイン



この図は、製品の寸法を示すための図であり、製品の形状や寸法を正確に示すために作成されています。

暫定

# YGV608

## PVDC2 (Pattern mode Video Display Controller 2)

### ■ 概要

パターングラフィックス2面とスプライト64面構成のVDP (ビデオディスプレイプロセッサ) であり、各種表示機器の画面制御用として最適です。

また、VRAMを内蔵しており、更にパターンROMを直接接続できるため、制御プログラム量が削減でき、開発期間の短縮および安価なシステム構成が実現できます。

### ■ 特徴

#### パターングラフィックス面

- 最大4096×4096ドット (サイズは、512×2<sup>n</sup>単位で可変) 画面の同時2面構成可能
- パターンサイズは、8×8、16×16、32×32、64×64ドットから選択可能
- 64×32パターン (1ページ) のパターンネームテーブルRAMを2個内蔵
- 32ページ連結表示可能
- 32ページ分のパターンジェネレータ選択用RAMを内蔵し、ページ毎に64個のパターンジェネレータから選択可能
- パターン選択数はパターン毎に最大4096個
- パターン毎にカラーパレット選択可能
- パターン毎に上下左右反転表示可能
- 垂直スクロールデータRAM、水平スクロールデータRAM内蔵により、スムーズスクロールが容易に実現可能
- 最小1パターン単位の画面分割スクロールが可能
- 最大画面分割数は、水平に32分割、垂直に64分割
- 26万色中16色のカラーパレットを16個内蔵しており、26万色中256色表示が可能
- 外付けパターンジェネレータROMは、最大2Mバイトまで接続可能
- モザイク表示機能内蔵
- 拡大縮小回転表示機能内蔵

### スプライト面

- スプライト属性テーブルRAM内蔵
- 1画面に最大64個、1ラインに最大16個表示可能
- サイズは、8×8、16×16、32×32、64×64ドットからスプライト毎に選択可能
- パターン選択数は256個
- 同時表示色数は16色で、16個のカラーパレットの中からスプライト毎に選択可能
- スプライト毎に上下左右反転表示選択可能

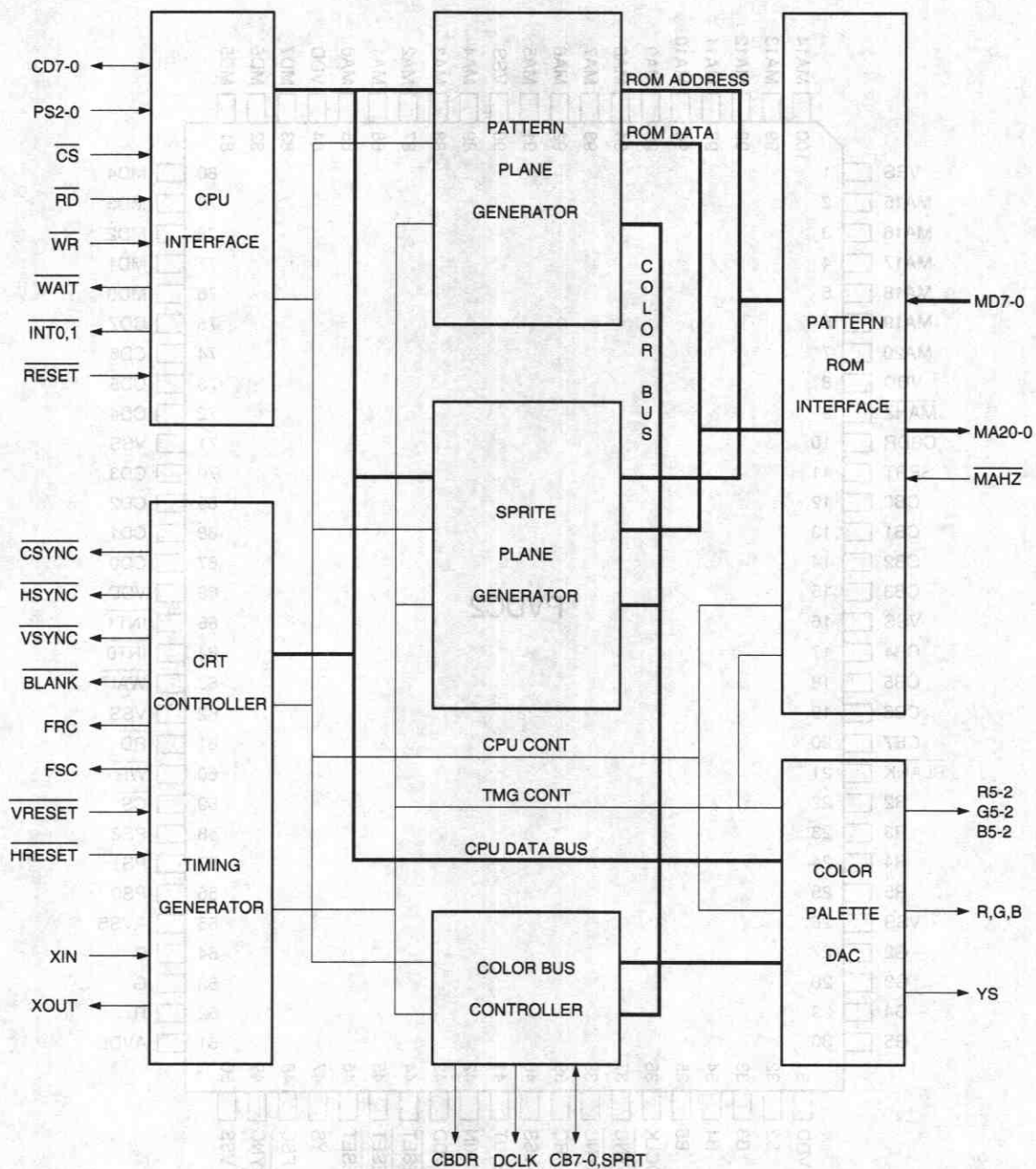
### その他

- モニター同期周波数、ドットクロック周波数(最大8MHz)、表示画面解像度などをパラメータとして設定可能
- 内蔵DACによるリニアRGB出力
- デジタルRGB出力端子付き
- 外付けROMから内部RAM、レジスタへの直接データ転送機能内蔵により、初期設定が容易に実現可能
- 外部同期機能
- 表示カラーコードの入出力端子により、複数VDP構成が容易
- 垂直帰線期間、指定表示位置割り込み機能
- 100ピンプラスチックQFP、CMOS、5V単一電源

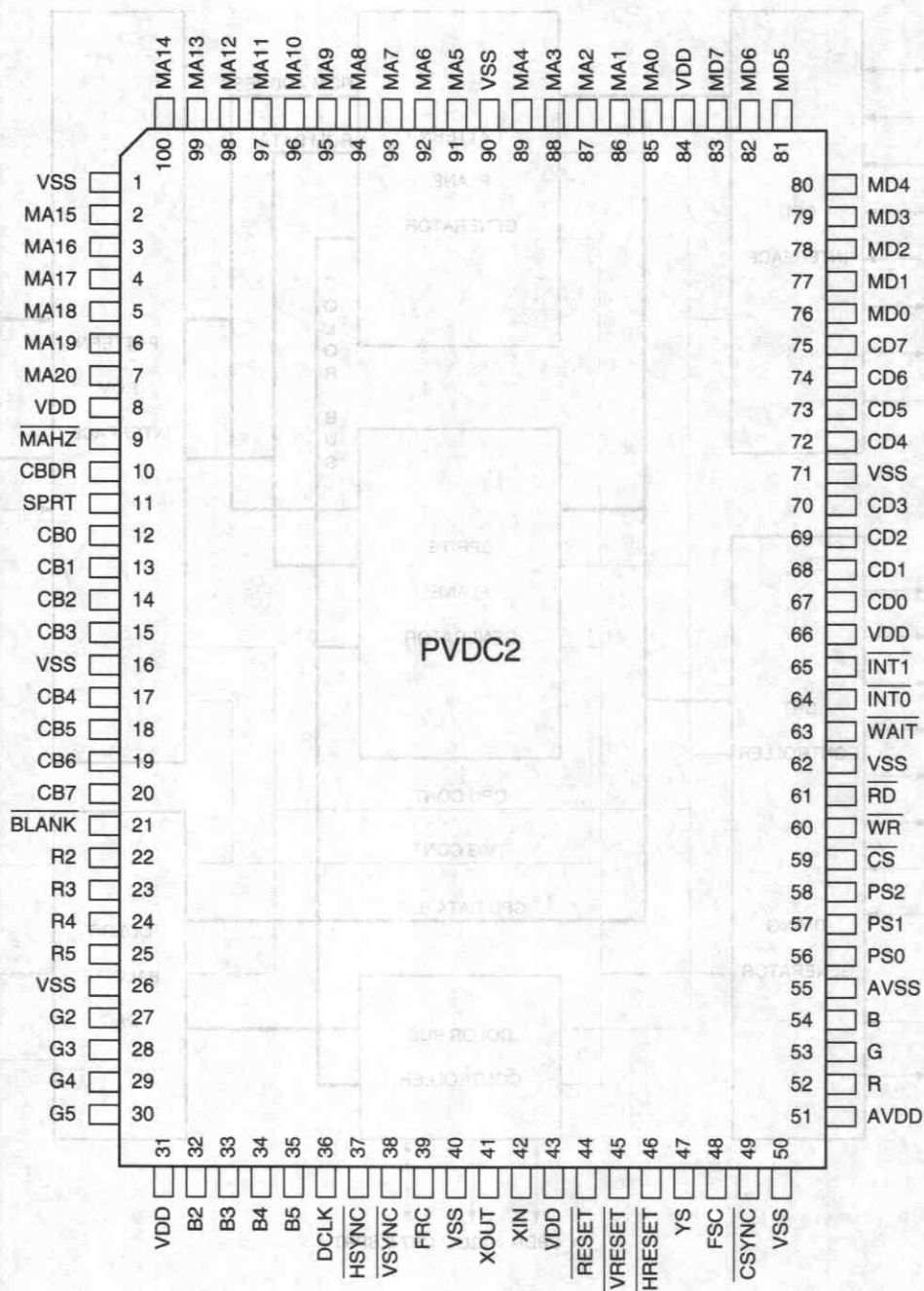


## ■ ブロック図

図 1 接続図



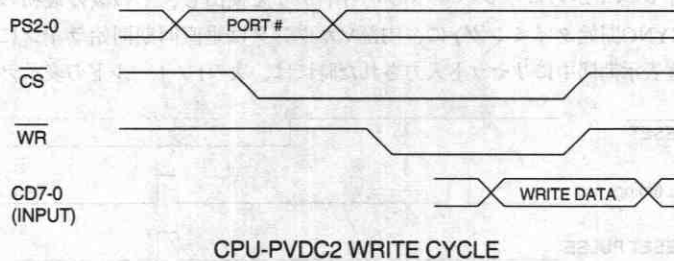
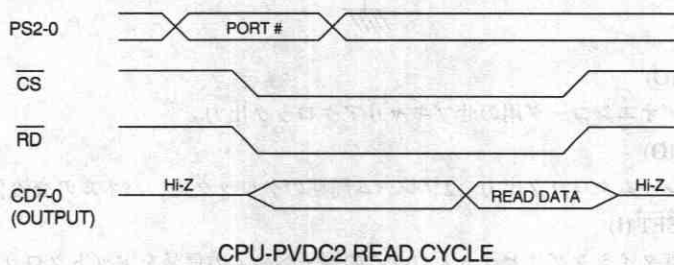
## ■ 端子配置图



## ■ 端子機能

### 1) CPUインターフェース

- CD7-0 (I/O)
  - 8ビット双方向データバス。
- PS2-0 (I)
  - 入出力ポート番号入力。PVDC2のP#0～P#7の選択をする。
- $\overline{CS}$  (I)
  - チップセレクト入力。
- $\overline{RD}$  (I)
  - CPUからPVDC2のデータ読み出し用ストロブ入力。
- $\overline{WR}$  (I)
  - CPUからPVDC2へのデータ書き込み用ストロブ入力。



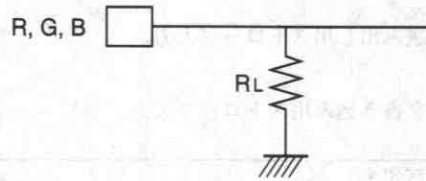
- $\overline{WAIT}$  (O)
  - CPUへのウェイト信号出力。
- $\overline{INT0}, \overline{INT1}$  (O:オープンドレイン出力)
  - CPUへの割り込み要求信号出力。 $\overline{INT0}$ は、垂直タイミング割り込み端子。 $\overline{INT1}$ は、表示位置割り込み端子。
- $\overline{RESET}$  (I)
  - パワーオンリセット入力。ロウレベルの時に初期化される。

### 2) ROMインターフェース

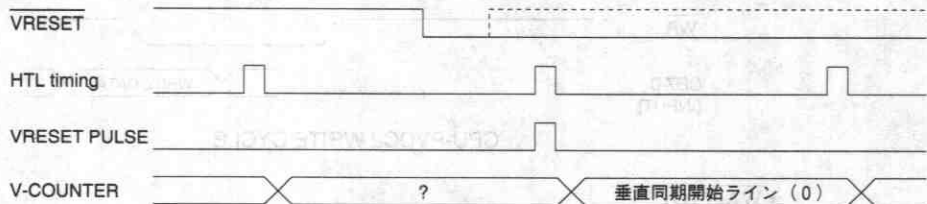
- MD7-0 (I)
  - ROMデータバス。
- MA20-0 (O:3ステート出力)
  - ROMアドレスバス。
- $\overline{MAHZ}$  (I)
  - ロウレベルの時に、端子MA20-0をハイインピーダンスにする。

## 3) 表示モニターインターフェース

- $\overline{\text{CSYNC}}$  (O)  
複合同期信号または垂直同期信号。
- $\overline{\text{VSYNC}}$  (O)  
垂直同期信号。
- $\overline{\text{HSYNC}}$  (O)  
水平同期信号。
- R、G、B (O:アナログ出力)  
リニアRGB出力。



- FSC (O)  
ビデオエンコーダ用のサブキャリアクロック出力。
- FRC (O)  
フレームクロック出力。2フレーム周期のクロックで、パネルの交流化などに使用する。
- $\overline{\text{VRESET}}$  (I)  
垂直タイミングリセット入力。この端子への入力信号をドットクロックでサンプリングし、ハイレベルからロウレベルへの立ち下がりを検出し、その後の最初のHTLタイミング(HSYNC開始タイミング)に、内部Vカウンタは垂直同期開始ラインにリセットされる。垂直表示期間中にリセット入力された時には、次の1フィールドの表示データは保証されない。



- $\overline{\text{HRESET}}$  (I)  
水平タイミングリセット入力。この端子への入力信号を主クロックでサンプリングし、ハイレベルからロウレベルへの立ち下がりタイミングに、内部Hカウンタを水平同期開始位置にリセットする。水平表示期間中にリセット入力された時には、次の1ラインの表示データは保証されない。この信号はPVDC2の2個使い(同一クロック入力)の同期用としては使用できるが、それ以外には使用できない。
- YS (O)  
スーパーインポーズ・タイミング信号。PVDC2データの表示タイミングにハイレベルとなる。
- BLANK (O)  
帰線消去期間。水平、垂直パラメータによって設定されたタイミングより3ドット早いタイミングに出力される。

- R5-2、G5-2、B5-2 (O)

デジタルRGB出力。リニアRGB出力と同じタイミングに出力される。

- CB7-0 (I/O)

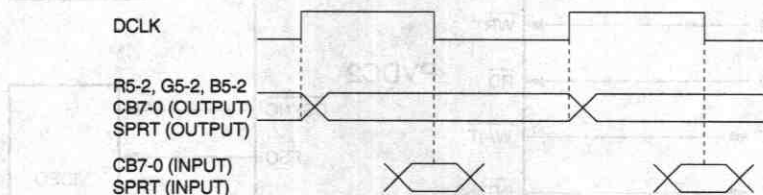
カラーバス端子。PVDC2の表示カラーコード出力または、PVDC2への表示カラーコード入力。水平、垂直パラメータによって設定されたタイミングより3ドット早いタイミングに出力される。

- SPRT (I/O)

スプライト面表示タイミング。CB7-0と同様のタイミングに出力される。

- DCLK (O)

ドットクロック出力。端子CB7-0の入出力は、このクロックに同期している。



- CBDR (O)

CB7-0端子の入出力状態を示す。

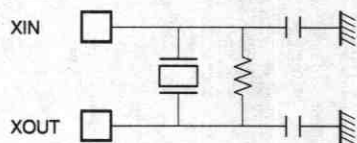
CBDRがロウレベル: CB7-0 は入力端子となる

ハイレベル: CB7-0 は出力端子となる

#### 4) その他

- XIN (I)、XOUT (O)

主クロック用の水晶振動子接続端子。外部クロックを入力する時は、XIN端子に入力する。



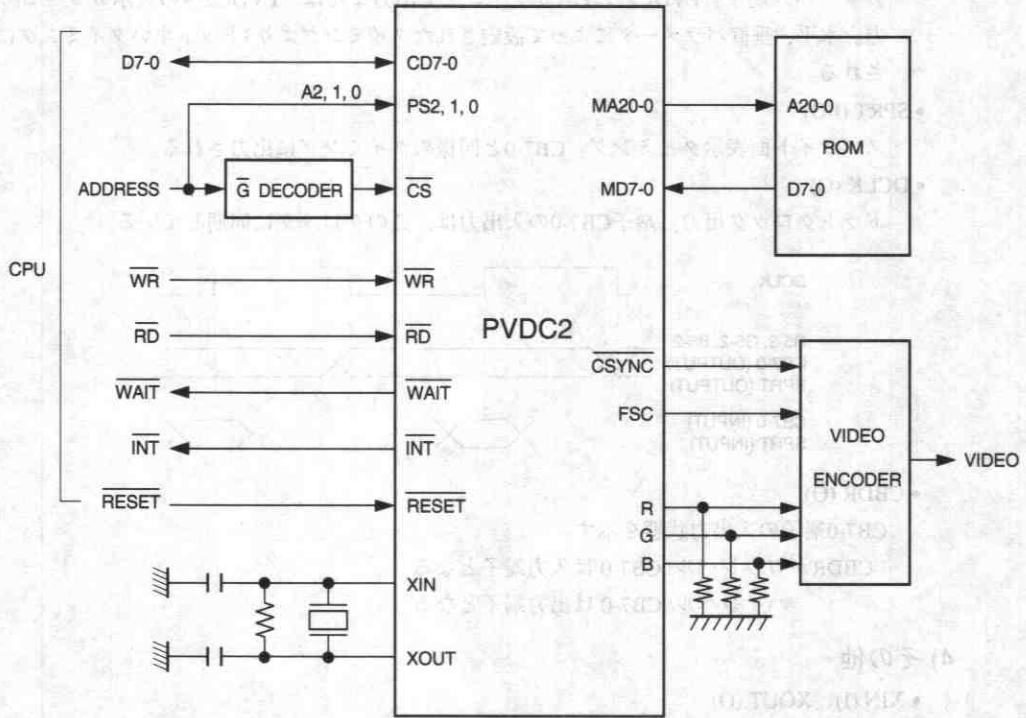
- AVDD、AVSS (I)

RGB用アナログ電源入力。

- VDD、VSS (I)

デジタル電源入力。

■ システム構成例



## ■ 電気的特性

### ● 絶対最大定格

項目	記号	定格	単位
電源電圧	V <sub>DD</sub>	-0.5 ~ +7.0	V
入力端子電圧	V <sub>I</sub>	-0.5 ~ V <sub>DD</sub> +0.5	V
出力端子電圧	V <sub>O</sub>	-0.5 ~ V <sub>DD</sub> +0.5	V
出力端子電流	I <sub>O</sub>	-20 ~ +20	mA
保存温度	T <sub>stg</sub>	-50 ~ +125	°C

### ● 推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	V <sub>DD</sub>	4.75	5.00	5.25	V
電源電圧	V <sub>SS</sub>		0		V
低レベル入力電圧 (XIN端子を除く)	V <sub>IL</sub>	-0.3		0.8	V
高レベル入力電圧 (XIN端子を除く)	V <sub>IH</sub>	2.0		V <sub>DD</sub> +0.3	V
XIN端子の低レベル入力電圧	V <sub>IL</sub>	-0.3		0.3V <sub>DD</sub>	V
XIN端子の高レベル入力電圧	V <sub>IH</sub>	0.7V <sub>DD</sub>		V <sub>DD</sub> +0.3	V
動作周囲温度	T <sub>op</sub>	0		70	°C

### ● 推奨動作条件下での電気的特性

#### ● 直流特性

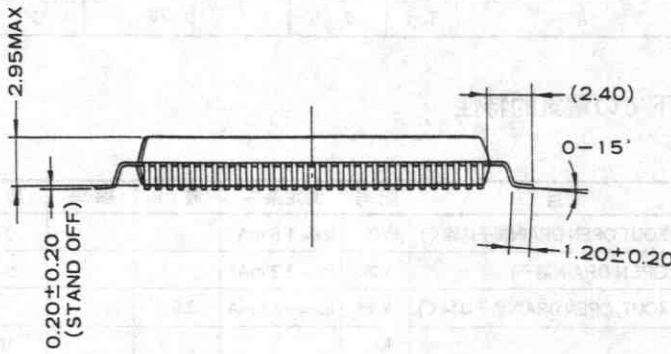
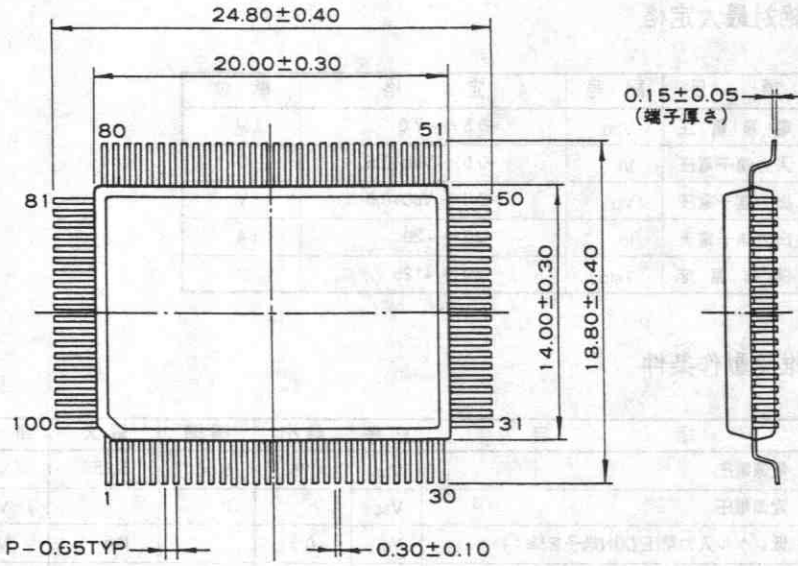
項目	記号	測定条件	最小	標準	最大	単位
低レベル出力電圧 (XOUT, OPEN DRAIN端子は除く)	V <sub>OL</sub>	I <sub>OL</sub> = 1.6 mA			0.4	V
低レベル出力電圧 (OPEN DRAIN端子)	V <sub>OL</sub>	I <sub>OL</sub> = 3.2 mA			0.4	V
高レベル出力電圧 (XOUT, OPEN DRAIN端子は除く)	V <sub>OH</sub>	I <sub>OH</sub> = -0.4 mA	3.5			V
入力リーク電流	I <sub>LI</sub>				10	μA
出力リーク電流	I <sub>LO</sub>				25	μA
消費電流	I <sub>DD</sub>					mA

#### ● 端子容量

項目	記号	最小	標準	最大	単位
入力端子容量	C <sub>I</sub>			8	pF
出力端子容量	C <sub>O</sub>			10	
入出力端子容量	C <sub>IO</sub>			12	

■ パッケージ外形図

封入体積表参照



カッコ内の寸法値は参考値とする  
 モールド外形寸法はバリを含まない  
 単位 (UNIT): mm

項目	大形	標準	小形	単位
封入体積				mm <sup>3</sup>
封入体積				mm <sup>3</sup>
封入体積				mm <sup>3</sup>



# YGV609

## CSLC (Color STN-LCD Controller)

### ■ 概要

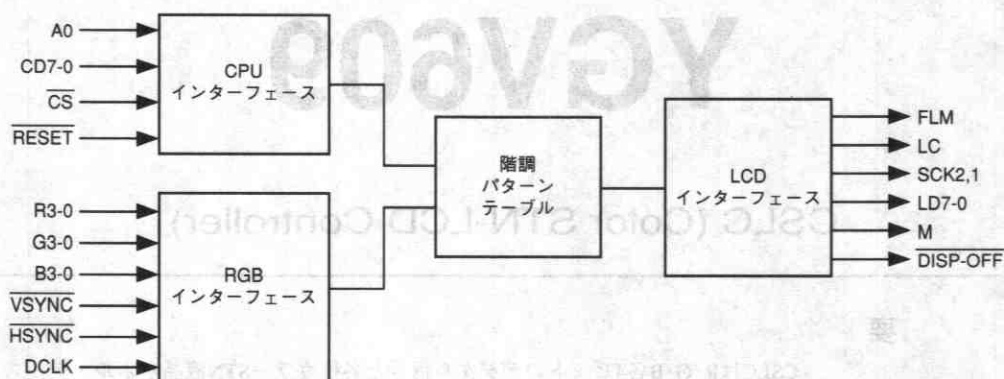
CSLCはR・G・B各4ビットのデジタル信号と各種カラーSTN液晶パネル・ディスプレイとのインターフェースを可能にするLSIです。

最大3,375色（R・G・B各最大15色）の同時表示が可能であり、YGV607（PVDCD）と共に用いることにより、高機能な表示画面制御を行うことができます。

### ■ 特徴

- R・G・B各4ビットのデジタル信号を受け、カラーSTN-LCD用のR・G・B各15色のデータに変換（最大3,375色表示可能）
- YGV607（PVDCD）とのペア使用が容易
- R・G・B各々に対し、15色の階調パターンテーブル内蔵
- 4/8ビットデータ送出のシングル/デュアルドライブタイプのパネル・ディスプレイとのインターフェース可能
- 表示画面に対し、水平511ドット垂直255ラインの表示位置補正が可能
- スタンバイモード機能を持ち、省電力化が可能
- CMOS、44pin QFP、5V単一電源

■ ブロック図

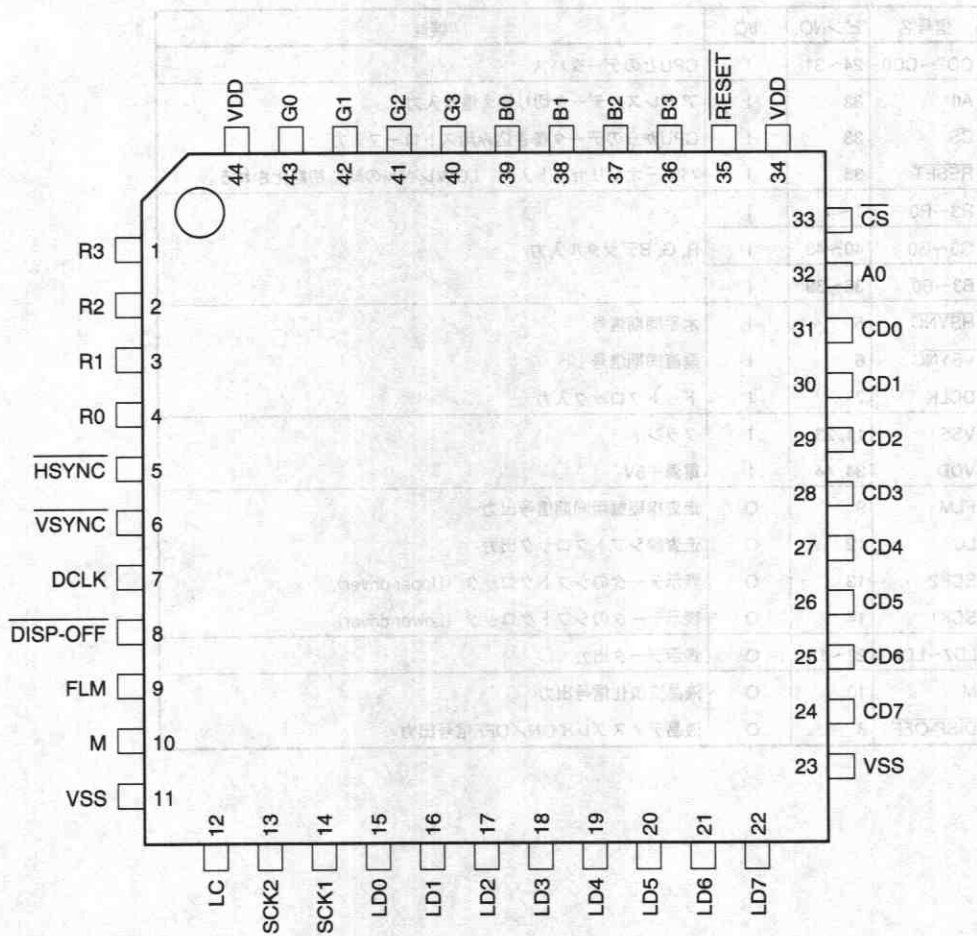


要 素 図

景 観 図

## ■ 端子配置図

端子配置図



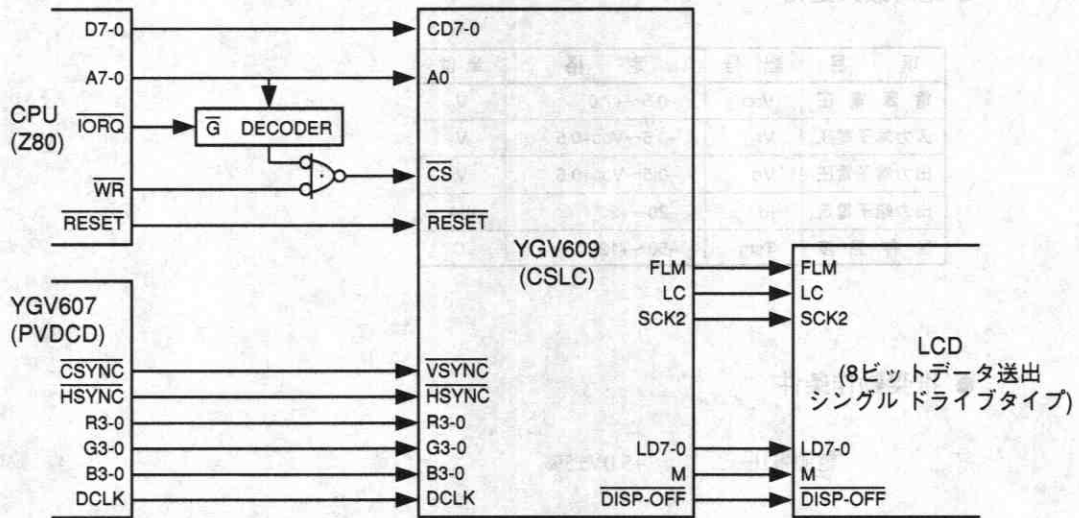
## ■ 端子機能

図面番号参照

信号名	ピンNO.	I/O	機能
CD7~CD0	24~31	I	CPUとのデータバス
A0	32	I	アドレス/データ切り換え信号入力
CS	33	I	CPUからのデータ書き込み用ストロブ入力
RESET	35	I	パワーオンリセット入力、LOWレベルの時に初期化される。
R3~R0	1~4	I	R, G, Bデジタル入力
G3~G0	40~43	I	
B3~B0	36~39	I	
HSYNC	5	I	水平同期信号
VSNC	6	I	垂直同期信号
DCLK	7	I	ドットクロック入力
VSS	11, 23	I	グランド
VDD	34, 44	I	電源+5V
FLM	9	O	走査線駆動用同期信号出力
LC	12	O	走査線シフトクロック出力
SCK2	13	O	表示データのシフトクロック (Upper driver)
SCK1	14	O	表示データのシフトクロック (Lower driver)
LD7~LD0	22~15	O	表示データ出力
M	10	O	液晶交流化信号出力
DISP-OFF	8	O	液晶ディスプレイON/OFF信号出力

## ■ システム構成例

資料(4)反時計



項目	仕様	接続	端子	電圧	用途	備考
V <sub>CC</sub>	5V	IC1	Pin 1	5V	電源	IC1: Z80
V <sub>DD</sub>	5V	IC2	Pin 1	5V	電源	IC2: YGV607
V <sub>DD</sub>	5V	IC3	Pin 1	5V	電源	IC3: YGV609
V <sub>DD</sub>	5V	IC4	Pin 1	5V	電源	IC4: LCD
V <sub>DD</sub>	5V	IC5	Pin 1	5V	電源	IC5: 74LS00
V <sub>DD</sub>	5V	IC6	Pin 1	5V	電源	IC6: 74LS04
V <sub>DD</sub>	5V	IC7	Pin 1	5V	電源	IC7: 74LS125
V <sub>DD</sub>	5V	IC8	Pin 1	5V	電源	IC8: 74LS125
A <sub>0</sub>	0L	IC1	Pin 15	0V	データバス	
A <sub>1</sub>	0H	IC1	Pin 16	0V	データバス	
A <sub>2</sub>	0L	IC1	Pin 17	0V	データバス	
A <sub>3</sub>	0H	IC1	Pin 18	0V	データバス	
A <sub>4</sub>	0L	IC1	Pin 19	0V	データバス	
A <sub>5</sub>	0H	IC1	Pin 20	0V	データバス	
A <sub>6</sub>	0L	IC1	Pin 21	0V	データバス	
A <sub>7</sub>	0H	IC1	Pin 22	0V	データバス	

項目	仕様	接続	端子	電圧	用途	備考
V <sub>DD</sub>	5V	IC1	Pin 1	5V	電源	IC1: Z80
V <sub>DD</sub>	5V	IC2	Pin 1	5V	電源	IC2: YGV607

■ 電気的特性

図 1 推奨動作条件

● 絶対最大定格

項目	記号	定格	単位
電源電圧	V <sub>DD</sub>	-0.5~+7.0	V
入力端子電圧	V <sub>I</sub>	-0.5~V <sub>DD</sub> +0.5	V
出力端子電圧	V <sub>O</sub>	-0.5~V <sub>DD</sub> +0.5	V
出力端子電流	I <sub>O</sub>	-20~+20	mA
保存温度	T <sub>stg</sub>	-50~+125	°C

● 推奨動作条件

電源電圧 +5.0V±5%  
動作周囲温度 0~70°C

● 推奨動作条件下での電気的特性

● 直流特性

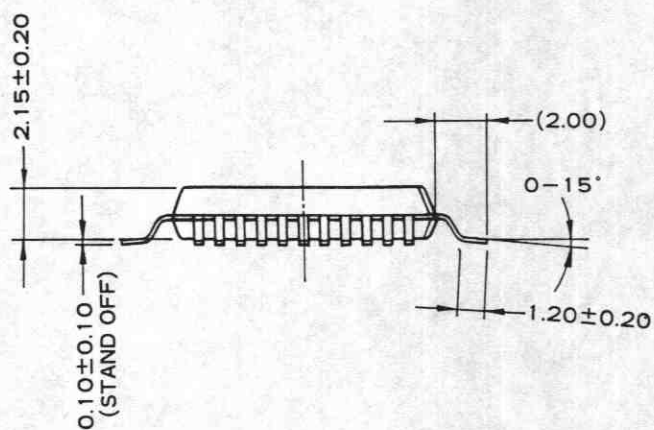
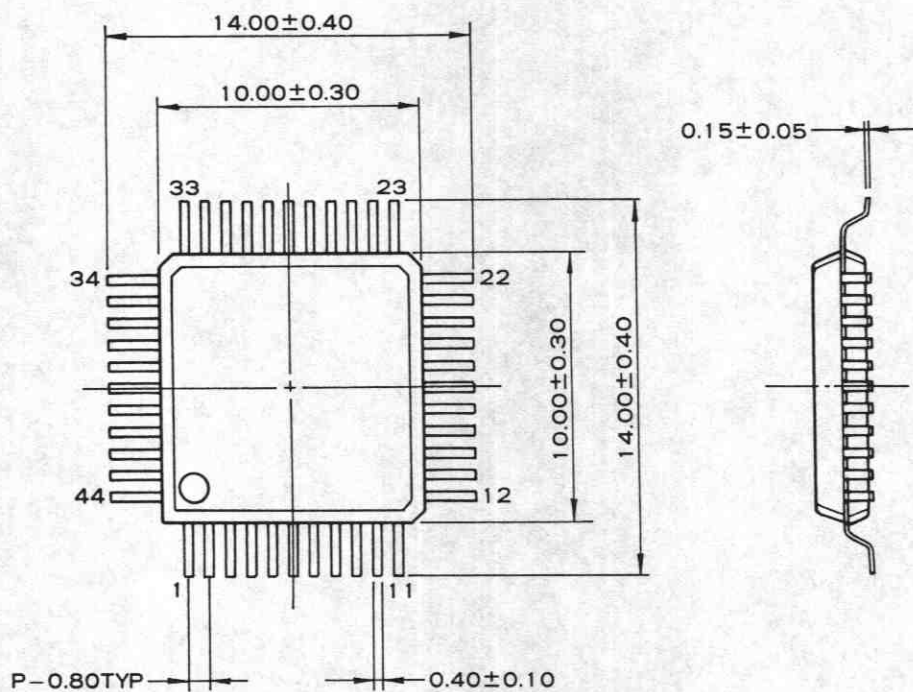
項目	記号	条件	最小	最大	単位
高レベル出力電圧 (TTL駆動時)	V <sub>OH</sub>	I <sub>OH</sub> =-0.4mA	2.7		V
低レベル出力電圧 (TTL駆動時)	V <sub>OL</sub>	I <sub>OL</sub> =0.8mA		0.4	V
高レベル出力電圧 (CMOS駆動時)	V <sub>OH</sub>	I <sub>OH</sub>   < 10μA	V <sub>DD</sub> -0.4		V
低レベル出力電圧 (CMOS駆動時)	V <sub>OL</sub>	I <sub>OL</sub>   < 10μA		0.4	V
RESET端子の高レベル入力電圧	V <sub>IH</sub>		0.8V <sub>DD</sub>		V
RESET端子の低レベル入力電圧	V <sub>IL</sub>			0.2V <sub>DD</sub>	V
高レベル入力電圧 (RESET端子を除く)	V <sub>IH</sub>		2.2		V
低レベル入力電圧 (RESET端子を除く)	V <sub>IL</sub>			0.8	V
入力リーク電流	I <sub>L</sub>		-10	10	μA
電源電流 (通常動作)	I <sub>DD</sub>			60	mA
電源電流 (スタンバイ1) 注)	I <sub>SB1</sub>			40	mA
電源電流 (スタンバイ2) 注)	I <sub>SB2</sub>			0.1	mA

注) スタンバイ1 (I<sub>SB1</sub>) 時の入力電圧は上記V<sub>IH</sub>、V<sub>IL</sub>  
スタンバイ2 (I<sub>SB2</sub>) 時の入力電圧はV<sub>IH</sub>=V<sub>DD</sub>-0.2V、V<sub>IL</sub>=0.2V

● 端子容量

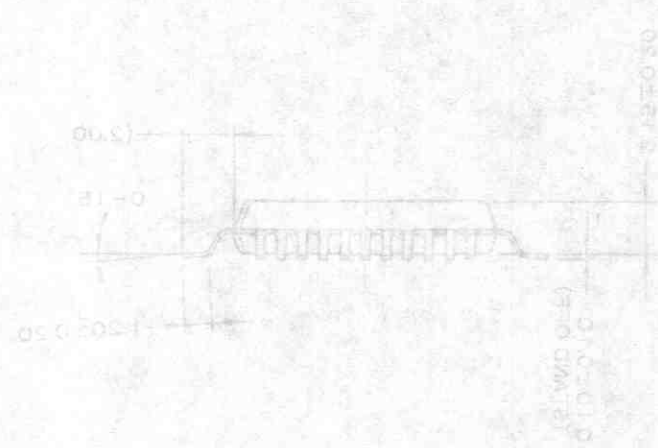
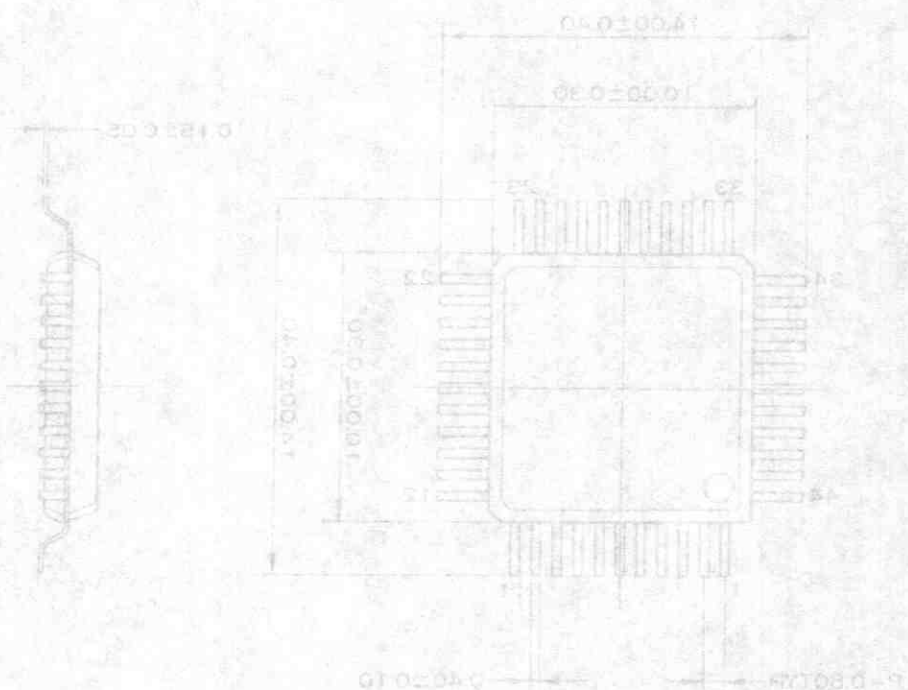
項目	記号	最小	標準	最大	単位
入力端子容量	C <sub>I</sub>			12	pF
出力端子容量	C <sub>O</sub>			12	

## ■ パッケージ外形図



UNIT : mm

■ ハット型圧入型 ■



mm 1/100



暫定

## YGV610

## CPDC (Color Panel Display Controller)

## ■ 概要

CPDCは各種STN液晶パネル・ディスプレイの表示画面コントローラーです。PCDC (V6366)の後継機種としてレジスタへの設定など多くの点で互換性があります。IBM-PCとのVRAMアドレスコンパチですから、従来の画面データをそのまま変更せずに表示可能です。

カラーテーブル、階調パターンテーブルを備え、カラーSTN液晶パネルに、最大512色(同時表示色数は最大16色)まで表示可能、モノクロLCDに最大8階調表示が可能など高機能の表示システムを容易に構成できます。

## ■ 特徴

## 表示機能

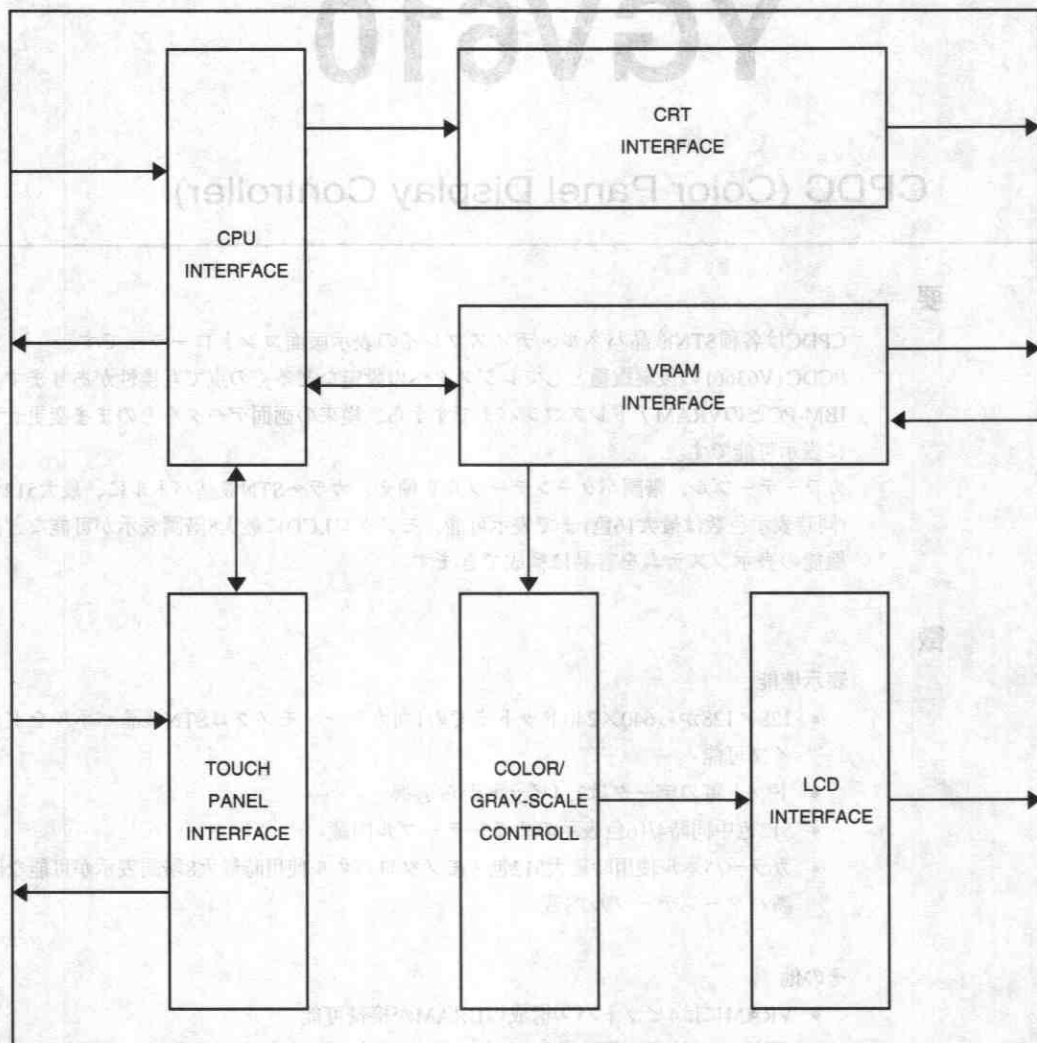
- 128×128から640×240ドットまでの1面カラー・モノクロSTN液晶パネルをドライブ可能
- ドット毎のデータは2,4ビットから選択
- 512色中同時4/16色表示のカラーテーブル内蔵
- カラーパネル使用时最大512色・モノクロパネル使用时最大8階調表示が可能な階調パターンテーブル内蔵

## その他

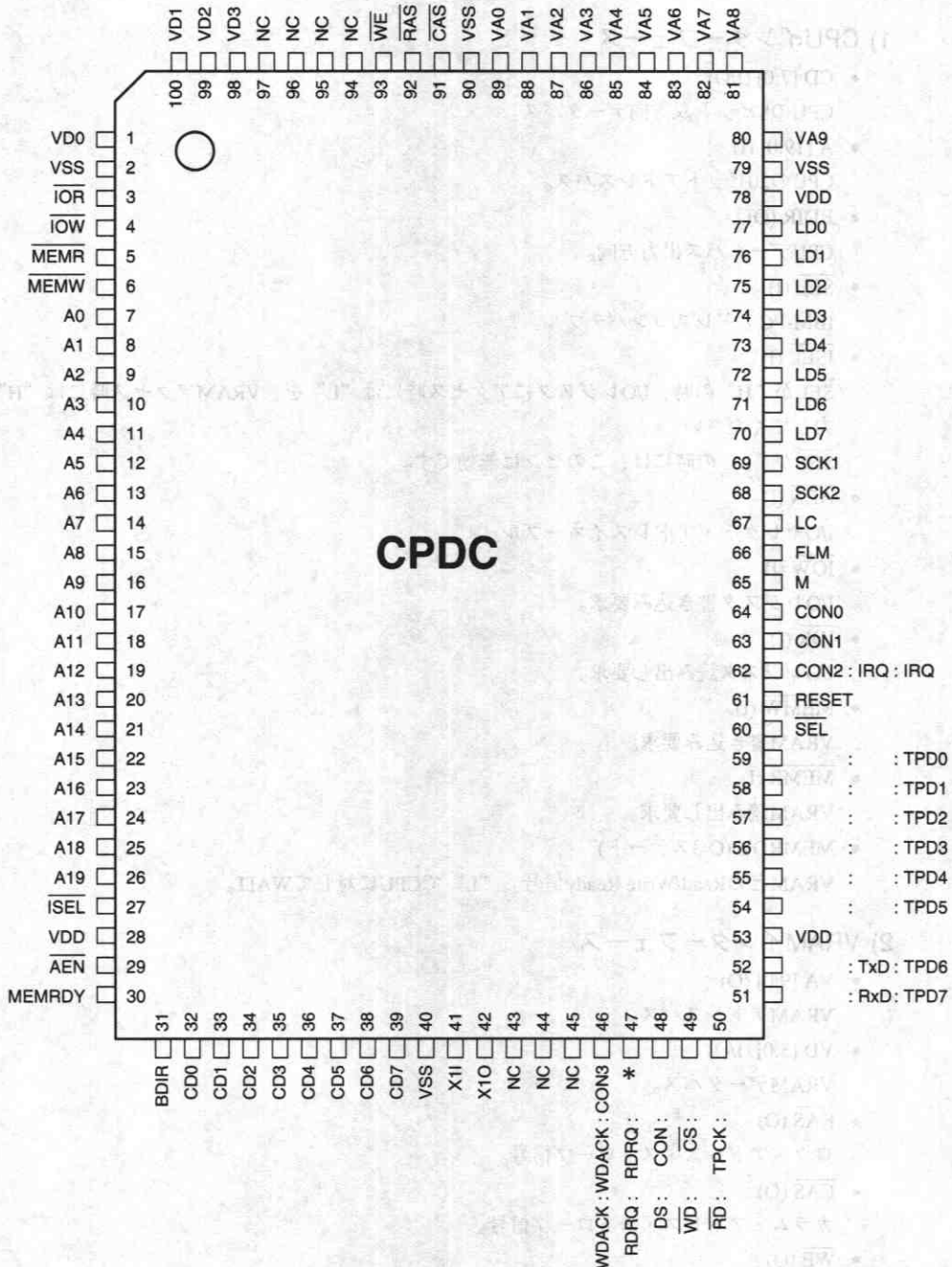
- VRAMには4ビットバス構成のDRAMが接続可能  
(高速ページモード対応の256 kbから4 Mbまでアクセス可能)
- IBM-PCのCGA、VGAとのVRAMアドレス互換
- 省電力のための、スタンバイ機能
- スタンバイモード時には“CASビフォアRAS”モードによる、リフレッシュ動作が可能
- 様々なLCDに接続可能  
(モノクロ1面パネル、カラー1面パネル(4ビット、8ビットデータ出力方式)に対応)
- タッチパネル・インターフェースのための回路内蔵
- 100ピンプラスチックQFP、CMOS、5V単一電源

## ■ ブロック図

表 3



## ■ 端子配置図



- 外: タッチパネルif パラレルポートモード
- 中: タッチパネルif シリアルポートモード
- 内: Non Connectモード

注) 48ピンから59ピンまでの端子名で空欄は機能しない入力ピンです。プルアップまたはプルダウンで用いてください。

47ピン\*はLを出力します。無接続で使用してください。

## ■ 端子機能

図面番号: YGV610

## 1) CPUインターフェース

- CD [7:0] (I/O)  
CPUの8ビット双方向データバス。
- A [19:0] (I)  
CPUの20ビットアドレスバス。
- BDIR (O)  
CPUデータバス出力方向。
- $\overline{\text{SEL}}$  (I)  
IBM-PCアドレスコンパチブル。
- $\overline{\text{ISEL}}$  (I)  
 $\overline{\text{SEL}}$ が“H”の時、I/Oレジスタにアクセス時には“L”を、VRAMアクセス時には“H”を入力してください。  
 $\overline{\text{SEL}}$ が“L”の時には、このピンは無効です。
- $\overline{\text{AEN}}$  (I)  
I/Oセレクト・アドレスイネーブル。
- $\overline{\text{IOW}}$  (I)  
I/Oレジスタ書き込み要求。
- $\overline{\text{IOR}}$  (I)  
I/Oレジスタ読み出し要求。
- $\overline{\text{MEMW}}$  (I)  
VRAM書き込み要求。
- $\overline{\text{MEMR}}$  (I)  
VRAM読み出し要求。
- MEMRDY (O:3ステート)  
VRAMとのRead/Write Ready信号。“L”でCPUに対してWAIT。

## 2) VRAMインターフェース

- VA [9:0] (O)  
VRAMアドレスバス。
- VD [3:0] (I/O)  
VRAMデータバス。
- $\overline{\text{RAS}}$  (O)  
ロウ・アドレス・ストロープ信号。
- $\overline{\text{CAS}}$  (O)  
カラム・アドレス・ストロープ信号。
- $\overline{\text{WE}}$  (O)  
VRAMライト・イネーブル信号。

### 3) LCDインターフェース

- LD [7:0] (O)  
LCDデータバス。
- FLM (O)  
走査線駆動用同期信号。
- LC (O)  
表示データラッチクロック。
- SCK1, 2 (O)  
表示データシフトクロック1, 2。
- M (O)  
交流化信号。

### 4) その他

- CON [1:0] (O)  
外部制御用レジスタ出力 [1:0]。
- X1 I (I)  
CLK発振用インバーター入力。  
外部クロックを入力するときは、このピンに入力してください。
- X1 O (O)  
CLK発振用インバーター出力。  
X1 IとX1 O間には帰還抵抗は含みません。

### 5) タッチパネルインターフェースに関するピン

以下のピンは、レジスタへの設定値によって機能が異なります。  
使用しない入力ピンはプルダウンまたはプルアップしてください。  
電源投入直後の初期状態ではNCモードが選択されています。

#### (1) NC (Non Connect) モード

タッチパネルインターフェースを使用しないモードです。(電源投入直後の初期値)

- CON [3:2] (O)  
NCモードで使用する際は外部制御用レジスタ出力機能が2本追加できます。

#### (2) シリアルポートモード

A/Dコンバータなどタッチパネル・モジュールの処理機能の付いた1チップマイコンとのクロック同期式シリアルインターフェース用回路

- CON (O)  
CONの内容が出力されます。
- $\overline{CS}$  (I)  
チップセレクト。“L”のとき転送が有効になります。
- TPCK (I)  
シリアルデータ転送クロック。
- TxD (O)  
シリアルデータ出力。TPCKの立ち下がりに同期して1チップマイコンに8ビットのデータを送出します。

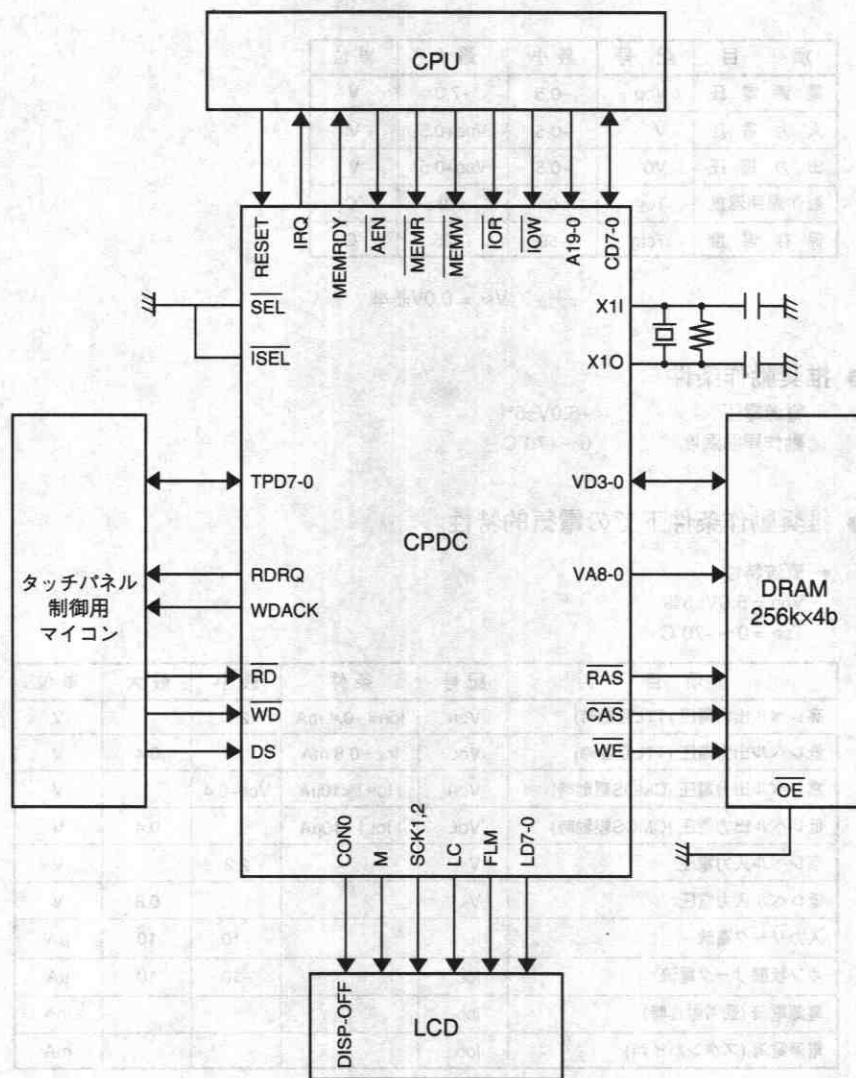
- RxD (I)  
シリアルデータ入力。TPCKの立ち上がりに同期して1チップマイコンから8ビットのデータを取り込みます。
- IRQ (O)  
CPUに対する割り込み信号。
- RDRQ (O)  
CPUから1チップマイコンへのデータ読み出し要求。
- WDACK (O)  
CPUから1チップマイコンへのデータ書き込み許可。

### (3) パラレルポートモード

A/Dコンバータなどタッチパネル・モジュールの処理機能の付いた1チップマイコンとの8ビットパラレルインターフェース用回路。

- TPD [7:0] (I/O)  
パラレルデータ入出力。
- $\overline{\text{RD}}$  (I)  
データ読み出し要求入力。
- $\overline{\text{WD}}$  (I)  
データ書き込みストロブ入力。
- DS (I)  
1チップマイコンが読み出す内容の選択を行います。“H”のときタッチパネル・データ・レジスタの内容を選択します。
- IRQ (O)  
CPUに対する割り込み信号。
- RDRQ (O)  
CPUから1チップマイコンへのデータ読み出し要求。
- WDACK (O)  
CPUから1チップマイコンへのデータ書き込み許可。

## ■ システム構成例



項目	大器	小器	標準	単位	数量
CPU	1			個	1
CPDC	1			個	1
タッチパネル	1			個	1
DRAM	1			個	1
LCD	1			個	1

## ■ 電気的特性

回路図参照

## ● 絶対最大定格

項目	記号	最小	最大	単位
電源電圧	V <sub>DD</sub>	-0.5	+7.0	V
入力電圧	V <sub>I</sub>	-0.5	V <sub>DD</sub> +0.5	V
出力電圧	V <sub>O</sub>	-0.5	V <sub>DD</sub> +0.5	V
動作周囲温度	T <sub>OP</sub>	0	+70	°C
保存温度	T <sub>stg</sub>	-50	+125	°C

V<sub>SS</sub> = 0.0V基準

## ● 推奨動作条件

電源電圧 +5.0V±5%

動作周囲温度 0~+70°C

## ● 推奨動作条件下での電気的特性

## ● 直流特性

V<sub>DD</sub> = 5.0V±5%T<sub>OP</sub> = 0~+70°C

項目	記号	条件	最小	最大	単位
高レベル出力電圧 (TTL駆動時)	V <sub>OH</sub>	I <sub>OH</sub> = -0.4 mA	2.7		V
低レベル出力電圧 (TTL駆動時)	V <sub>OL</sub>	I <sub>OL</sub> = 0.8 mA		0.4	V
高レベル出力電圧 (CMOS駆動時)	V <sub>OH</sub>	I <sub>OH</sub>   < 10μA	V <sub>DD</sub> -0.4		V
低レベル出力電圧 (CMOS駆動時)	V <sub>OL</sub>	I <sub>OL</sub>   < 10μA		0.4	V
高レベル入力電圧	V <sub>IH</sub>		2.2		V
低レベル入力電圧	V <sub>IL</sub>			0.8	V
入力リーク電流	I <sub>L</sub>		-10	10	μA
オフ状態リーク電流	I <sub>LZ</sub>		-10	10	μA
電源電流 (通常動作時)	I <sub>DD</sub>				mA
電源電流 (スタンバイ時)	I <sub>DD</sub>				mA

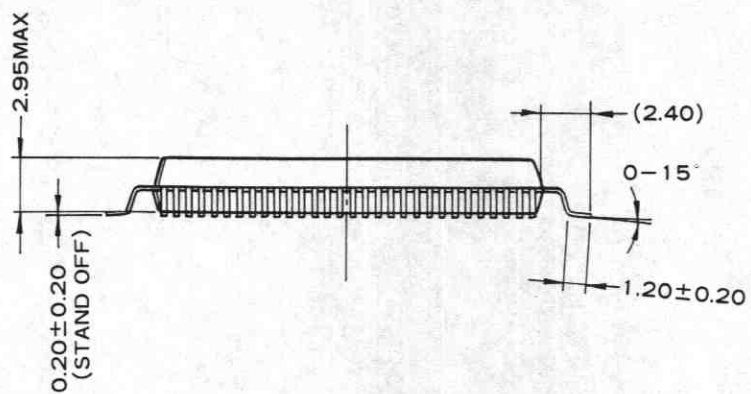
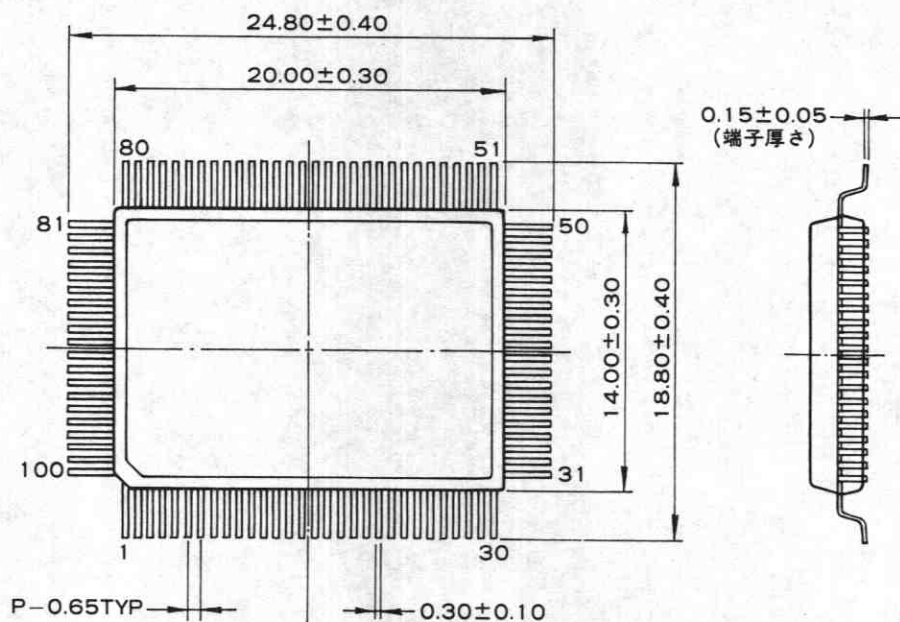
注) I<sub>LZ</sub>はCD [7:0]、VD [3:0]、TPD [7:0]が入力状態の時と、MEMRDYがハイインピーダンス状態のときを対象とします。

## ● 端子容量

項目	記号	条件	最小	最大	単位
入力端子容量	C <sub>I</sub>			8	pF
出力端子容量	C <sub>O</sub>	無負荷		10	pF
入出力端子容量	C <sub>IO</sub>	無負荷		12	pF

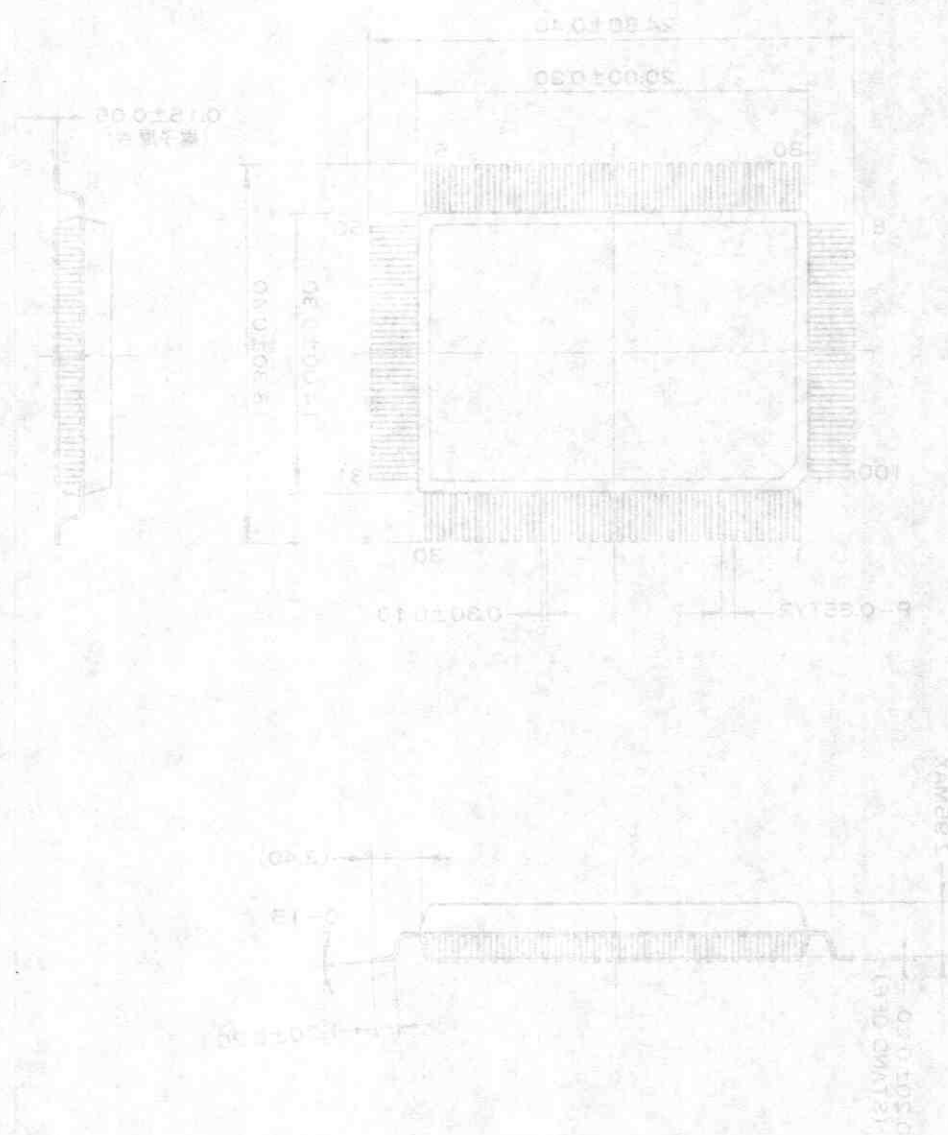


## ■ パッケージ外形図



カッコ内の寸法値は参考値とする  
 モールド外形寸法はバリを含まない  
 単位(UNIT):mm

図 10 穴径バネで固定



以下の図表は、前記の寸法に  
 応じて、穴径バネの寸法を  
 示す。

#### 4. 文字多重放送用LSI

12.1 用新式通多字义

# YM6030

## Data Regenerator for Teletext (DRT)

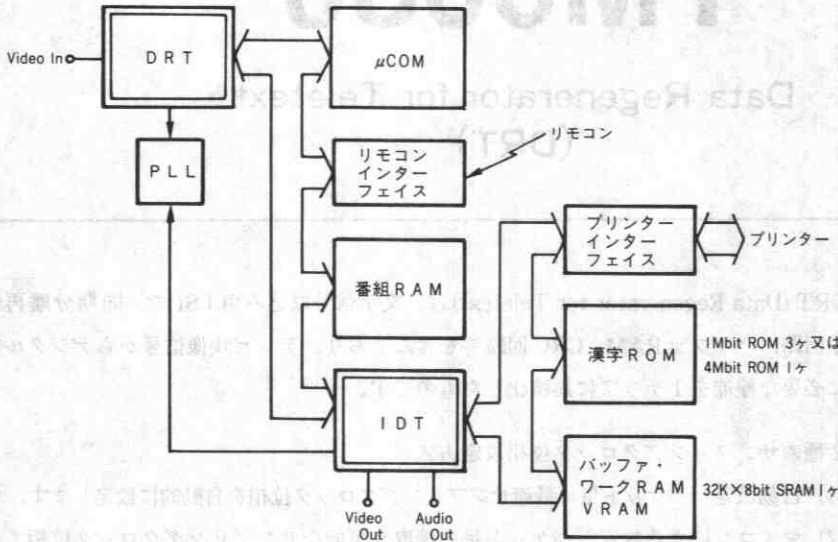
### ■概要

DRT (Data Regenerator for Teletext)は、文字信号取込み用 LSI で、同期分離再生回路、誤り訂正回路、バッファRAM、CRC回路等を含んでおり、テレビ映像信号からデジタル符号を取出すのに必要な機能を1チップに集積化したものです。

### ■特徴

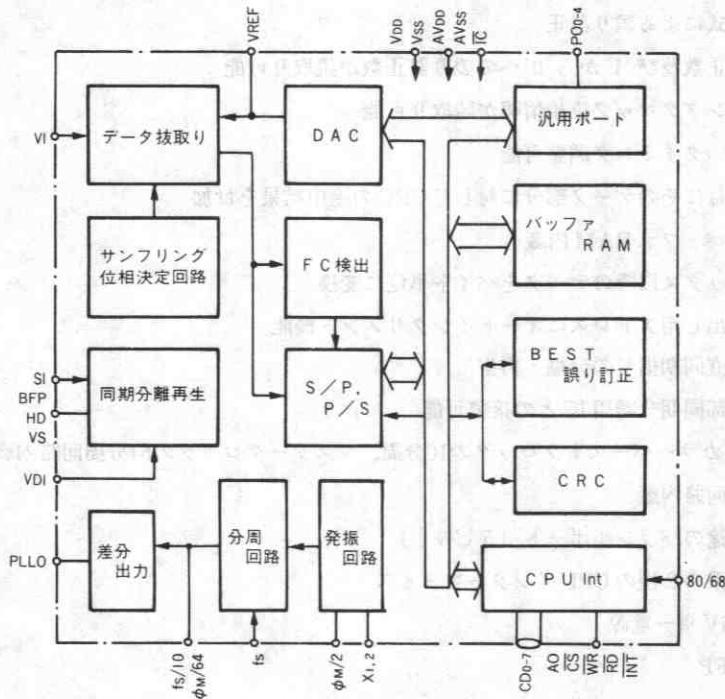
- 2種のサンプリングクロック位相設定方式
  - 1) 自動設定…パケット毎に最適サンプリングクロック位相を自動的に設定します。(補正も可能)
  - 2) マイコンによる設定…パケット毎に読取り可能なサンプリングクロック位相、エラー訂正数などをもとに、ユーザーが独自のアルゴリズムにより、最適サンプリングクロック位相を設定します。
- スライスレベル用の7ビットDAC内蔵
- フレーミングコード検出 (1ビット誤りまで検出可能)
- フレーミングコード検出情報、誤り訂正後のエラーフラグが読取り可能
- BEST方式による誤り訂正
- エラー訂正数及び'1'から'0'への誤り訂正数が読取り可能
- サンプリングクロック位相情報が読取り可能
- 水平同期のタイミング調整可能
- パケット毎にそのデータ部分に対してCRCの途中結果を付加
- 12H分のバッファRAM内蔵
- プレフィックス以降のデータをバイト単位に変換
- データ読出し用アドレスにオートインクリメント機能
- 水平、垂直同期信号の分離・再生
- 2種の外部同期分離用ICとの接続可能
- PLL用のカラーバーストクロックの10分周、マスタークロックの64分周回路内蔵
- 水晶発振回路内蔵
- 多目的用途の平行ポート (5ビット)
- 80系と68系の2種のCPUインターフェイス
- CMOS, 5V 単一電源
- 64ピンQFP

■文字放送デコーダの構成例

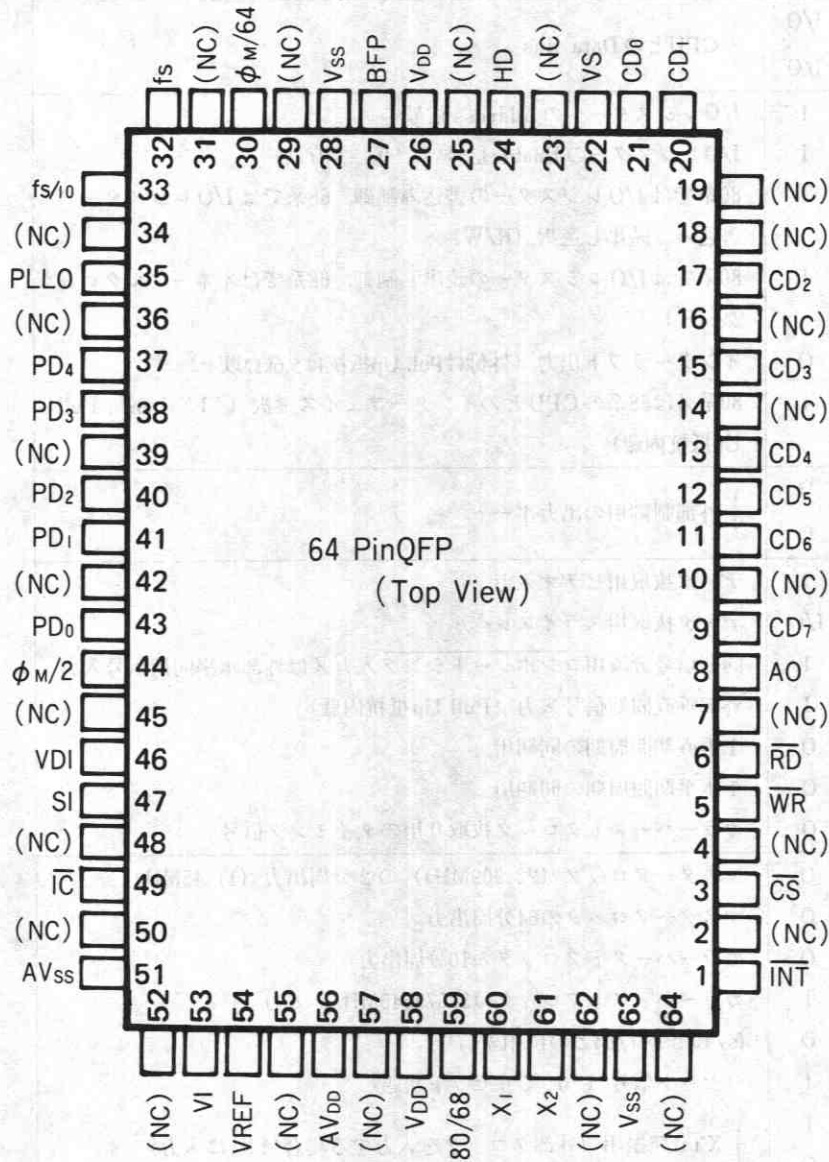


IDT (YM6404) はCPUを内蔵した画像、付加音処理用LSIで符号の解読(処理用のソフト内蔵)と信号の出力(表示コントローラー、音源も内蔵)のすべてを行ないます。

■ブロック図



## ■ 端子配置図



## ■ 端子機能

図 4-4 端子機能

信号名	I/O	機能
CD <sub>0</sub> } CD <sub>7</sub>	I/O I/O	) CPUとのData Bus
A <sub>0</sub>	I	
$\overline{CS}$	I	I/OレジスタのEnable信号 ('0'で有効)
$\overline{WR}$	I	80系ではI/Oレジスタの書込み制御, 68系ではI/Oレジスタの書込み, 読出し選択 (R/W)
$\overline{RD}$	I	80系ではI/Oレジスタの読出し制御, 68系ではイネーブクロック (E)
$\overline{INT}$	O	インターラフト出力 (外付けPull Up抵抗は5.6kΩ以上)
80/68	I	80系又は68系のCPUとのインターフェイス選択 ('1'で80系, Pull Up抵抗内蔵)
PO <sub>0</sub> } PO <sub>4</sub>	O O	) 外部制御用の出力ポート
VI	I	
VREF	I/O	データ抜取用スライスレベル
SI	I	同期信号分離用コンポジットシンク入力又は外部水平同期信号入力
VDI	I	外部垂直同期信号入力 (Pull Up抵抗内蔵)
VS	O	1垂直期間周期の同期用
HD	O	1水平期間周期の同期用
BFP	O	カラーバーストクロック抜取り用のタイミング信号
$\phi_M/2$	O	マスタークロック (22.909MHz) の2分周出力 (11.45MHz)
$\phi_M/64$	O	マスタークロックの64分周出力
fs/10	O	カラーバーストクロックの10分周出力
fs	I	カラーバーストクロック (3.579545MHz) 入力
PLLO	O	fs/10と $\phi_M/64$ との位相差信号
$\overline{IC}$	I	リセット信号 ('0'でリセット状態)
X1	I	) X'tal発振用 (外部クロックを入力する場合はX <sub>1</sub> に入力)
X2	O	
V <sub>DD</sub>	I	) Digital系電源
V <sub>SS</sub>	I	
AV <sub>DD</sub>	I	) Analog系電源
AV <sub>SS</sub>	I	



## ■ 機能概要

DRTは、データ抜取りに必要な情報（サンプリングクロック位相、エラー訂正数など）を外部CPUに知らせ、外部CPUはそれをもとに最適値（スライスレベル、サンプリングクロック位相など）をDRTに設定する適応制御方式をとっています。そして抜取り後、データは訂正されて、外部CPUへ送られます。

### (1) CPUインターフェイス

68系インターフェイス					機 能	80系インターフェイス				
80/68	$\overline{CS}$	$\overline{WR}$ (R/W)	$A_0$	$\overline{RD}$ ( $\overline{E}$ )		80/68	$\overline{CS}$	$\overline{WR}$	$\overline{RD}$	$A_0$
0	0	0	0	1	アドレス書込み	1	0	0	1	0
0	0	0	1	1	データ書込み	1	0	0	1	1
0	0	1	0	1	ステータス読出し	1	0	1	0	0
0	0	1	1	1	データ読出し	1	0	1	0	1
0	×	×	×	0	不 使 用	1	×	1	1	×
0	1	×	×	×	不 使 用	1	1	×	×	×

68系と80系の2種のCPUインターフェイスが用意されています。80/68端子を‘1’にすると80系のインターフェイスが使用できます(80/68端子を‘0’にすると68系インターフェイスになります)。

## (2)内部レジスタ—

登録商標

Address				Data							
3	2	1	0	7	6	5	4	3	2	1	0
0	0	0	0	0	SC	LN	Port				
				4	3	2	1	0			
1				PA			VL				
				2	1	0	3	2	1	0	
0	0	0	1	SL							
				6	5	4	3	2	1	0	
1				SEL		TA					
				1	0	4	3	2	1	0	
0	0	1	0	TEST			10H	11H	12H	13H	
				EN	2	1					0
0	0	1	1	14H	15H	16H	17H	18H	19H	20H	21H

アドレス書込みによって内部レジスタの指定を行ないます（この時データバスの上位4ビットは不使用(Don't Care)になります）。アドレス0Hと1Hのレジスタはデータ書込み時のデータバスのMSB D7の極性によって、2種類のレジスタのどちらへ書込むかが制御されます。

- SC : サンプルクロックの位相設定方式を選択します。
- LN : 水平同期信号分離再生回路の前方保護数を選択します。
- Port4-0 : 多目的用途のパラレルポート PO4-0 端子のレベルを設定します。
- PA2-0 : SC = '1' の場合は8種類のサンプルクロック位相から1つを選択します。  
SC = '0' の場合は自動設定されるサンプルクロック位相に対する補正值（オフセット量）を設定します。
- VL3-0 : SI端子より入力されるコンホジットシンクはDRT内の積分回路で積分され、垂直同期信号分離回路でスライスされますが、そのスライスレベルを設定します。
- SL6-0 : 文字多重信号をスライスするレベルを設定します。
- SEL1,0 : 外部同期分離用ICを使用する際のタイプ指定を行ないます。

- TA<sub>4-0</sub> : 水平同期信号のタイミング調整 (遅延時間の補正) をします。
- EN : インターラフト機能を制御します。
- TEST<sub>2-0</sub> : DRTのテスト用です。必ず '0' にして使用してください。
- 10H~21H : 誤りを訂正するラインの指定を行ないます。

### (3) 読出しフォーマット

アドレス書込み後の データ読出し回数	Data								Address				読出されるデータ のライン番号
	7	6	5	4	3	2	1	0	3	2	1	0	
0	FC	TM		ER	エラー 訂正数				0	1	0	0	10 273H
		1	0						0	1	0	1	11 274
1	PHA				1→0エラー 訂正数				0	1	1	0	12 275
	3	2	1	0					0	1	1	1	13 276
2	PFX								1	0	0	0	14 277
3	-		-		PFX				1	0	0	1	15 278
4	Data								1	0	1	0	16 279
25	Data								1	0	1	1	17 280
26	CRC								1	1	0	0	18 281
27	CRC								1	1	0	1	19 282
									1	1	1	0	20 283
									1	1	1	1	21 284

(- : '0' を出力)

データ読出し用アドレス発生器にはオートインクリメント機能がついていますので、アドレス書込みによって、読出されるデータのライン指定を行なった後 (アドレス書込み時のデータバス上位4ビットは不使用 (Don't Care) になります)、データの読出し回数によって出力される内容が上の表 (左側) のようになります。読出しの最初にエラー情報、フレフィックスがありますので、それ以降のデータ読出しを中止する場合に適した配列になっています。フレフィックス (PFX) 以降のデータは、外部CPUが処理し易い様に2ビットシフトされた形で出力されます。最後にData (22バイト分) に対するCRC結果が付加されます。

- FC : フレーミングコード (1ビット誤りまで検出可能) が検出されると '1' を出力します。
- TM<sub>1.0</sub> : 内部タイミングずれのモニター
- ER : エラー訂正が正しく行なわれると '0' が出力されます。
- エラー訂正数 : 誤り訂正回路で、訂正されたビット数を出力します。
- PHA<sub>3-0</sub> : クロックランインから算出された最適サンプリングクロック位相
- 1→0エラー訂正数 : エラー訂正数のうち '1' から '0' へと訂正されたビット数を出力します。
- PFX : フレフィックス
- 第4～25バイト : データは外部CPUが処理し易い様に2ビットシフトした形で出力されます。
- 第26,27バイト : 第4～第25バイトのデータに対しバケット毎のCRC結果を出力します。  
1バケットのみでCRCが完結する番組管理データなどでは、このCRC結果がAll '0' である事を確認すれば外部CPUでCRCの演算を行う必要がありませんし、複数バケットに及ぶデータに対してCRCが完結する場合にも、このバケット毎のCRC結果をもとに比較的簡単な操作で全体のCRC結果を得る事ができます (CRC結果は外部CPUで処理し易い様にMSBをデータのMSBビット7に出力する形式をとっています。)

#### (4) インターラプト出力

EN = '1' に設定されている時は誤り訂正期間が終了して、データ読出し可能期間になると  $\overline{\text{INT}}$  端子は '0' を出力します。そして、第0バイトのデータ読出しが終わるとインターラプトが解除されます。EN = '0' に設定しますと、インターラプト機能が無効となり、 $\overline{\text{INT}}$  端子は常にハイインピーダンス状態になります。

## ■ 電気的特性

## ● 絶対最大定格

項目	記号	最小	最大	単位
電源電圧	V <sub>DD</sub>	-0.3	+7.0	V
入力電圧	V <sub>I</sub>	-0.3	V <sub>DD</sub> +0.3	V
動作温度	T <sub>OP</sub>	0	+70	°C
保存温度	T <sub>stg</sub>	-50	+125	°C

(V<sub>SS</sub>, AV<sub>SS</sub>=0.0Vを基準にしています)

## ● 推奨動作条件

電源電圧 +5V ±5% (V<sub>SS</sub>, AV<sub>SS</sub>=0.0Vを基準にしています)

動作周囲温度 0 ~ 70°C

● 直流特性 (V<sub>DD</sub>=+5V ±5%, T<sub>OP</sub>=0~70°C)

項目	記号	条件	最小	最大	単位
高レベル出力電圧	V <sub>OH</sub>	I <sub>OH</sub> = -0.4mA	2.7		V
低レベル出力電圧	V <sub>OL</sub>	I <sub>OL</sub> = 0.8mA		0.4	V
高レベル入力電圧 (TTLレベル)	V <sub>IH</sub>	80/68, X1, $\overline{IC}$ 端子	2.2		V
低レベル入力電圧 (TTLレベル)	V <sub>IL</sub>			0.8	V
高レベル入力電圧 (CMOSレベル)	V <sub>IH</sub>		3.5		V
低レベル入力電圧 (CMOSレベル)	V <sub>IL</sub>			1.0	V
入力リーク電流	I <sub>LI</sub>		-10	10	μA
オフ状態リーク電流	I <sub>LZ</sub>		-10	10	μA
プルアップ抵抗	R <sub>u</sub>	80/68, VDI 端子	60	600	kΩ
電源電流	I <sub>DD</sub>			50	mA

注) I<sub>LZ</sub>はCD<sub>0-7</sub>端子が入力状態の時と、PLLO端子がハイインピーダンス状態の時を対象とします。

電源電流はV<sub>DD</sub>, AV<sub>DD</sub>端子の平均電流を加算したものです。

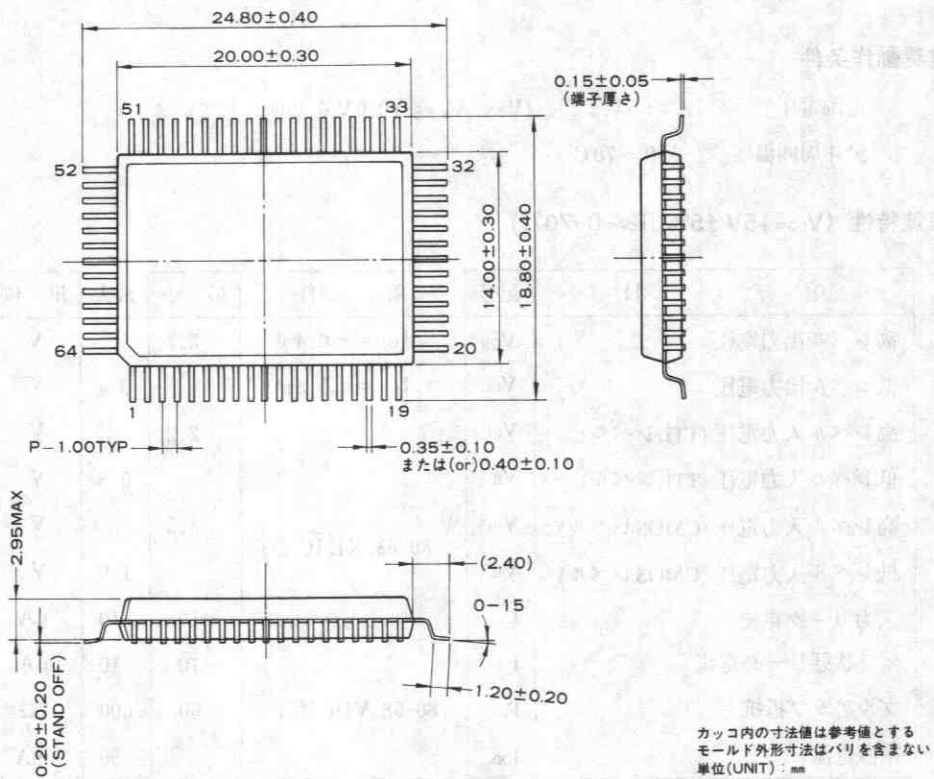
CMOS駆動時で |I<sub>OH</sub>| ≤ 10μAの時はV<sub>OH</sub> ≥ V<sub>DD</sub> - 0.4Vになります。

$\overline{INT}$ 端子の外付けPull-Up抵抗は5.6kΩ以上を使用して下さい。

### ●端子容量 (f=1MHz)

項目	記号	条件	最小	最大	単位
入力端子	C <sub>I</sub>			8	pF
出力端子	C <sub>O</sub>	無負荷		10	pF
入出力端子	C <sub>IO</sub>	無負荷		12	pF
出力負荷容量	C <sub>L</sub>			100	pF

### ■パッケージ外形図



# YM6404

## Intelligent Decoder for Teletext (IDT)

### ■概要

IDT (Intelligent Decoder for Teletext) は CPU を内蔵した画像・付加音処理用 LSI で、符号の解読 (復号用のソフトが内蔵されています) と信号の出力 (表示コントローラー、音源も内蔵) のすべてが行なわれ、システム構成が簡単です。復号用ソフトをファームウェア化していますが、番組メモリーの管理が外部 CPU にまかされていますので、番組選択方法などはユーザーが自由に決められます。

### ■特徴

#### (1)表示部

- ・インタレース (1V=262.5H)、ノンインタレース (1V=262H) 表示
- ・外部同期、スーパーインポーズ表示
- ・NTSC 準拠のコンポジットシンク出力
- ・縦、横のスムーズスクロール
- ・上下、左右の表示位置調整
- ・タイマー内蔵
- ・キーインモニター機能
- ・フラッシング、コンシール機能
- ・デジタル又はアナログ RGB 出力

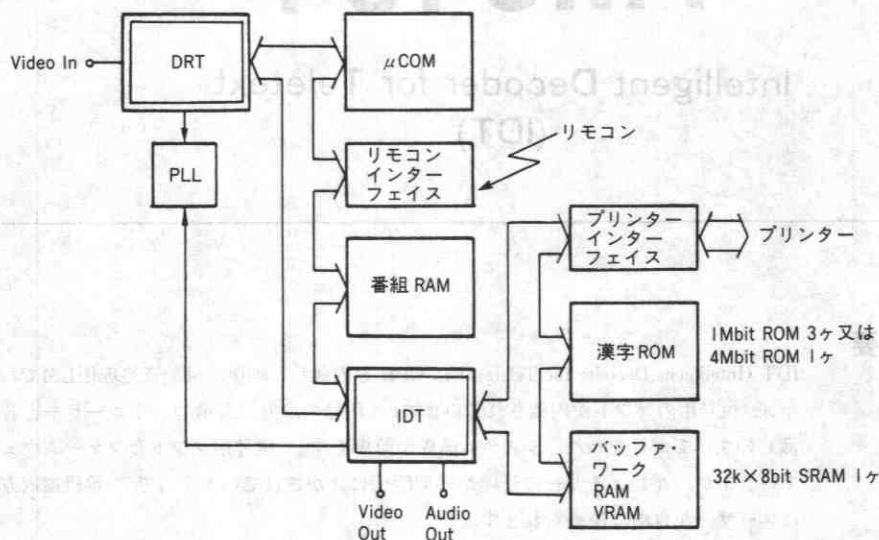
#### (2)音源部

- ・メロディ音は FM 方式により 9 音色 6 音同時発音可能
- ・リズム音は DPCM 方式により 5 音色 5 音同時発音可能
- ・音の強弱は 16 段階
- ・9 ビット DAC 内蔵

#### (3)その他

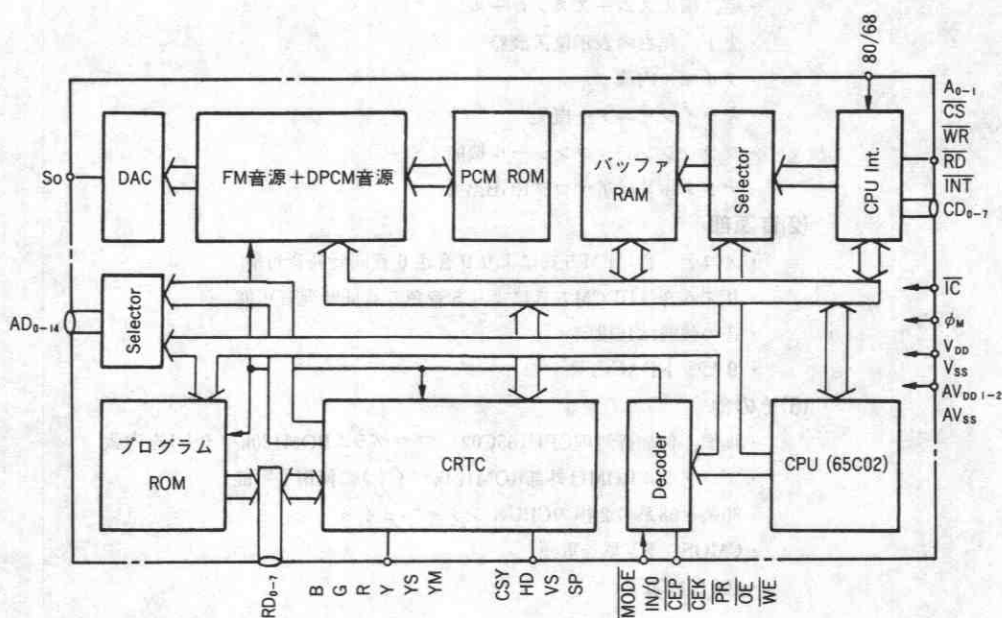
- ・画像、付加音処理 CPU (65C02)、プログラム ROM (20k バイト) を内蔵
- ・プログラム ROM は外部 ROM (24k バイト) の使用も可能
- ・80 系と 68 系の 2 種の CPU インターフェイス
- ・CMOS、5 V 単一電源
- ・100 ピン QFP

■ 文字放送デコーダーの構成例



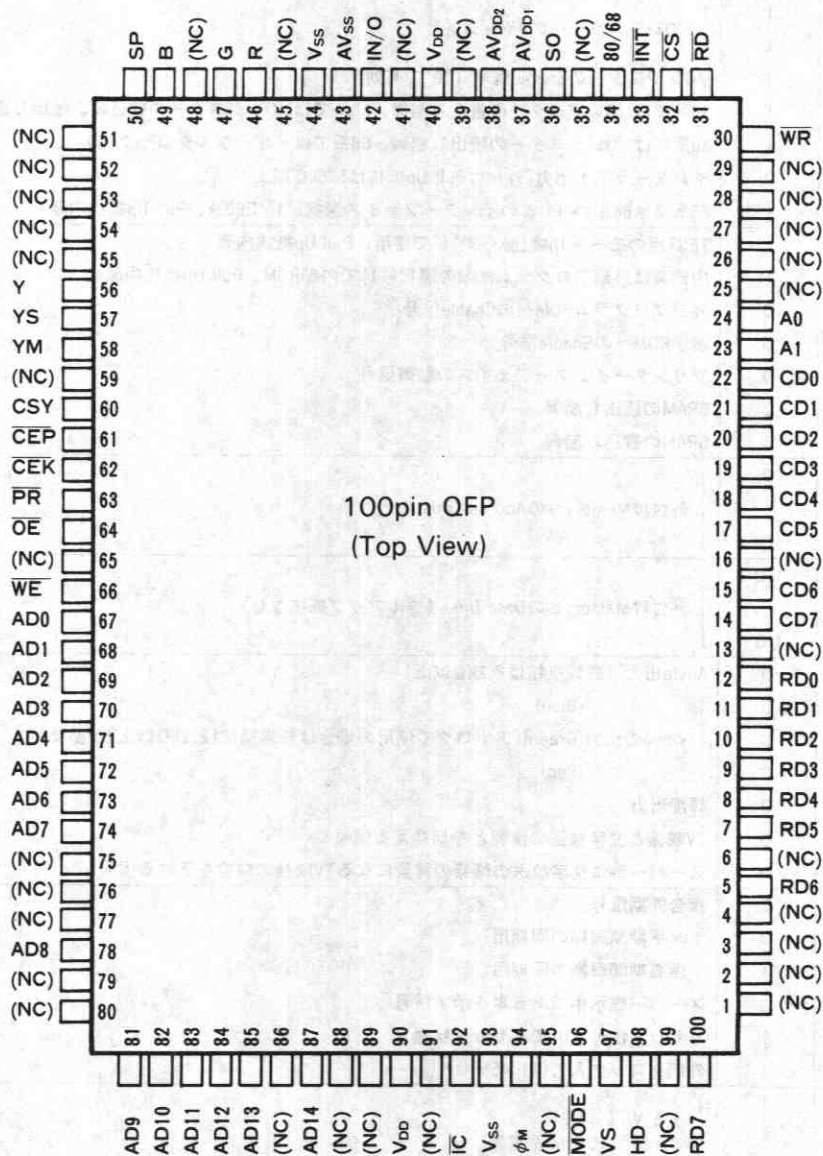
DRT(YM6030)は文字信号取込用LSIでデータ抜取、同期分離再生、BEST誤り訂正、バッファRAM(12H分)、CRC回路などを内蔵しています。

■ ブロック図





## 端子配置図



## ■ 端子機能

図 2 端子接続図

信号名	I/O	機能
CD <sub>0</sub>	I/O	} CPUとのData Bus
CD <sub>7</sub>	I/O	
A <sub>0</sub>	I	} I/OレジスタへのAddress信号
A <sub>1</sub>	I	
$\overline{\text{CS}}$	I	
WR	I	80系ではI/Oレジスタの書き込み制御、68系ではI/Oレジスタの書き込み、読出し選択(R/W)
RD	I	80系ではI/Oレジスタの読出し制御、68系ではイネーブルクロック(E)
INT	O	インターラプト出力(外付けPull Up抵抗は5.6kΩ以上)
80/68	I	80系又は68系のCPUとのインターフェイス選択(*I*で80系、Pull Up抵抗内蔵)
MODE	I	TEST用のモード切換(必ず*I*で使用、Pull Up抵抗内蔵)
IN/O	I	内部又は外部プログラムROMの選択(*I*で内部ROM、Pull Up抵抗内蔵)
$\overline{\text{CEP}}$	O	外部プログラムROMへのEnable信号
$\overline{\text{CEK}}$	O	漢字ROMへのEnable信号
$\overline{\text{PR}}$	O	プリンターインターフェイスの制御信号
$\overline{\text{OE}}$	O	SRAMの読出し制御
$\overline{\text{WE}}$	O	SRAMの書き込み制御
AD <sub>0</sub>	O	} 外付けMemoryへのAddress Bus
AD <sub>14</sub>	O	
RD <sub>0</sub>	I/O	} 外付けMemoryとのData Bus (プルアップ抵抗なし)
RD <sub>7</sub>	I/O	
SO	O	Audio出力 (終端抵抗は2.2kΩ以上)
B	O	(Blue)
G	O	} Videoの出力(Green)(アナログで使用の場合は終端抵抗(2.2kΩ以上)が必要)
R	O	
Y	O	輝度出力
YS	O	TV映像と文字放送の情報とを切換える信号
YM	O	スーパー時に文字放送の情報の背景になるTV映像の輝度を下げる信号
CSY	O	複合同期信号
HD	O	I 水平期間周期の同期用
VS	I	I 垂直期間周期の同期用
SP	O	スーパー表示中である事を示す信号
$\overline{\text{IC}}$	I	リセット信号(*0*でリセット状態)
$\phi_M$	I	外部クロック入力(11.45MHz)
V <sub>DD</sub>	I	} +5V
V <sub>DD</sub>	I	
V <sub>SS</sub>	I	} 0V
V <sub>SS</sub>	I	
AV <sub>DD1</sub>	I	+5V (付加音用)
AV <sub>DD2</sub>	I	+5V (画像用)
AV <sub>SS</sub>	I	0V
		} Analog系電源

## ■機能説明

IDTは内蔵バッファRAMを介して外部CPUと、データのやりとりを行ないます。外部CPUからパケットデータなどをバッファRAMへ書き込み、IDTは復号処理が終わるとインターラプトを外部CPUへかえす方式をとっています。そして必要に応じて内部動作モードがモニターできる様に、バッファRAMの一部をステータスとして利用しています。

### 1 CPUインターフェイス

68系と80系の2種のCPUインターフェイスが用意されています。

68系インターフェイス						機 能	80系インターフェイス					
80/68	CS	WR (R/W)	A <sub>1</sub>	A <sub>0</sub>	RD (E)		80/68	CS	WR	RD	A <sub>1</sub>	A <sub>0</sub>
0	0	0	0	0	1	アドレス書き込み	1	0	0	1	0	0
0	0	0	0	1	1	データ書き込み	1	0	0	1	0	1
0	0	1	0	0	1	ステータス読出し	1	0	1	0	0	0
0	0	1	0	1	1	データ読出し	1	0	1	0	0	1
0	0	0	1	0	1	インターラプトクリアー	1	0	0	1	1	0
0	0	0	1	1	1	インターラプトセット	1	0	0	1	1	1
0	X	X	X	X	0	不 使 用	1	X	1	1	X	X
0	1	X	X	X	X	不 使 用	1	1	X	X	X	X

### 2 バッファRAM

バッファRAMの容量は32バイトです。このRAMのアドレス指定をアドレス書き込みによって行ないます。このアドレスにはオートインクリメント機能がついており、データ書き込み又はデータ読出しを行なう毎にアドレスが1ずつ増加します (パケットデータを連続して書込む時などに便利です)。バッファRAMとのリード/ライトはデータ読出し/データ書き込みによって行なわれます。

### 3 インターラプト

IDTは内蔵のバッファRAMを外部CPUと内蔵CPUとで共有していますがインターラプトとOPコードと呼ばれる制御コマンドにより、データの流れをソフト的に固定して使用します。基本的には外部CPUは、OPコードとそれに付随するデータのバッファRAMへの書き込みを終了すると、インターラプトセット命令により内蔵CPUへ割込みをかけ、書き込みの終了を知らせます。内蔵CPUはバッファRAM内のデータをもとに処理が終了すると、外部CPUへ割込みをかけます。INT端子はオープンドレイン出力で割込み状態では"0"レベルを出力し、解除状態ではハイインピーダンス状態になります。

### 4 ステータス

- ビット0 : 外部CPUに対してインターラプトをかけると"1"になります。
- ビット1 : 外部CPUがデータを読出し可能な状態になると"0"になります。
- ビット2 : 外部CPUが書き込み可能な状態になると、"0"になります。
- ビット3~7 : 不使用 (常に"0"出力)

## 5 OPコード一覧表

名 称	OPコード (HEX)	データ長 (DEC)	データ 1	データ 2	データ3	データ4	データ 5~28
IDTソフトリセット	01	3	プリンター指定コード	初期設定情報			
画面クリアー	02	2	ラスター色				
更新フラグクリアー	03	1					
ポジション設定	04	3	アジャスト値1	アジャスト値2			
画面モード	05	2	画面コード				
一括のページ指定	06	2	ページ番号				
バケットデータ転送	08	26	バケット情報	SI/IN	IF、TF、CI		バケットデータ22バイト
バケット破棄	09	1					
キーインモニター表示	0A	23	FGC/BGC	ATT			JIS C 6226の2バイト漢字コード
キーインモニター消去	0B	1					
ハードコピーON	0D	1					
ハードコピーOFF	0E	1					
一時停止	0F	1					
再開	10	1					
右矢印 >	11	1					
左矢印 <	12	1					
メッセージ転送	13	n	FGC/BGC	ATT/文字サイズ	Xアドレス	Yアドレス	JIS C 6226の2バイト漢字コード
PRCI転送	15	26	バケット情報	SI/IN	IF、TF、CI		バケットデータ22バイト
デバイス指定クリアー	18	1					
RAMアドレス	00 <sub>H</sub>	01 <sub>H</sub>	02 <sub>H</sub>	03 <sub>H</sub>	04 <sub>H</sub>	05 <sub>H</sub>	06 <sub>H</sub> ~1D <sub>H</sub>

## 6 IDTステータス

RAMの最後の2バイトは、IDT内部状態をモニターするステータスとして使用します。

アドレス	ビット	名 称	セ ッ ト	ク リ ア ー
IE <sub>H</sub>	0	TVモード(*I*でTVモード)	OPコード05 <sub>H</sub> でTVを指定	OPコード05 <sub>H</sub> でTV以外を指定
	1	スーパーモード(*I*でスーパーモード)	OPコード05 <sub>H</sub> で強制スーパーを指定	OPコード05 <sub>H</sub> で文字画面モードを指定
	2	コンシール解除(*I*でコンシール解除状態)	OPコード11 <sub>H</sub> でコンシールを解除	ページデータヘッダ(PACI)デコード時
	3	キー表示(*I*でキーインモニター表示状態)	OPコード0A <sub>H</sub> でキーインモニター表示がされた時	OPコード0B <sub>H</sub> でキーインモニター消去された時
	4	ハードコピーON(*I*でハードコピー中)	OPコード0D <sub>H</sub> 及びデバイス設定プリンター時	OPコード0E <sub>H</sub> 及びコピー終了時
	5	一時停止(*I*で停止状態)	OPコード0F <sub>H</sub> により停止された時	OPコード10 <sub>H</sub> により再開された時
	6	未使用		
IF <sub>H</sub>	0	イニシャライズ(*I*でイニシャライズ終了)	ソフトイニシャライズ終了時	OPコード01 <sub>H</sub> でソフトリセット
	1	デコード中(*I*で表示処理中)	表示処理開始時	表示処理終了時
	2	コンシール有(*I*でコンシール有画面)	ページ内にコンシールデータがあった時	ページ内にコンシールデータがなかった時
	3	更新フラグ(*I*でページ又は番組更新)	ページ又は番組更新があった時	OPコード03 <sub>H</sub> により解除された時
	4	更新判別フラグ(*I*で番組更新)	番組更新時	ページ更新時
	5	デバイス指定CRT(*I*でCRT指定)	初期状態等でCRT指定の時	デバイス指定でCRT OFFの時
	6	デバイス指定プリンター(*I*でプリンター指定)	デバイス指定でプリンター指定の時	デバイス指定でプリンターOFFの時
7	未使用			

## ■電気的特性

### ●絶対最大定格

項目	記号	最小	最大	単位
電源電圧	V <sub>DD</sub>	-0.3	+7.0	V
入力電圧	V <sub>IN</sub>	-0.3	V <sub>DD</sub> +0.3	V
動作温度	T <sub>OP</sub>	0	+70	°C
保存温度	T <sub>stg</sub>	-50	+125	°C

### ●推奨動作条件

電源電圧 +5V±5% (V<sub>SS</sub>, AV<sub>SS</sub>=0.0Vを基準としています。)

動作周囲温度 0~70°C

### ●直流特性 (V<sub>DD</sub>=5V±5%, T<sub>OP</sub>=0~70°C)

項目	記号	条件	最小	最大	単位
高レベル出力電圧	V <sub>OH</sub>	I <sub>OH</sub> =-0.4mA	2.7		V
低レベル出力電圧	V <sub>OL</sub>	I <sub>OL</sub> =0.8mA		0.4	V
高レベル入力電圧 (TTLレベル)	V <sub>IH</sub>		2.2		V
低レベル入力電圧 (TTLレベル)	V <sub>IL</sub>			0.8	V
高レベル入力電圧 (CMOSレベル)	V <sub>IH</sub>	IC、MODE、80/68、IN/O端子を対象	3.5		V
低レベル入力電圧 (CMOSレベル)	V <sub>IL</sub>			1.0	V
入力リーク電流	I <sub>I</sub>		-10	10	μA
オフ状態リーク電流	I <sub>LZ</sub>		-10	10	μA
プルアップ抵抗	R <sub>U</sub>	MODE、80/68、IN/O端子	80	800	kΩ
電源電流	I <sub>DD</sub>	R <sub>L</sub> ≥2.2kΩ		50	mA

注) I<sub>LZ</sub>はCD<sub>0-7</sub>、RD<sub>0-7</sub>端子が入力状態の時を対象とします。

電源電流はV<sub>DD</sub>、AV<sub>DD1</sub>、AV<sub>DD2</sub>端子の平均電流を加算したものです。

R<sub>L</sub>はSO、R、G、B端子とGNDとの間の終端抵抗です (R<sub>L</sub>は2.2kΩ以上にしてください)。

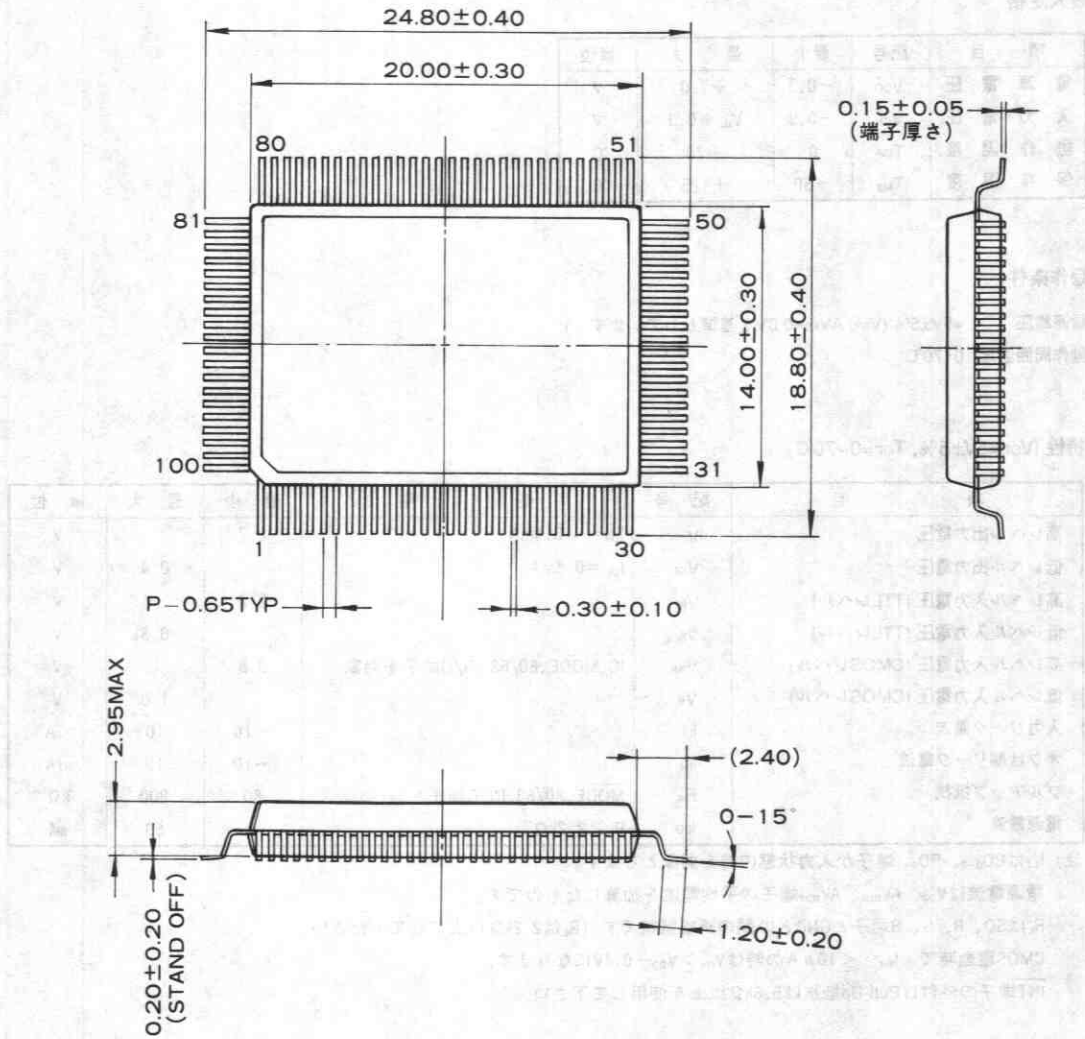
CMOS駆動時で |I<sub>OH</sub>| ≤ 10μAの時はV<sub>OH</sub> ≥ V<sub>DD</sub> - 0.4Vになります。

INT端子の外付けPull-Up抵抗は5.6kΩ以上を使用して下さい。

### ●端子容量 (f=1 MHz)

項目	記号	条件	最小	最大	単位
入力端子	C <sub>I</sub>			8	pF
出力端子	C <sub>O</sub>	無負荷		10	pF
入出力端子	C <sub>IO</sub>	無負荷		12	pF
出力負荷容量	C <sub>L</sub>			100	pF

■ パッケージ外形図



カッコ内の寸法値は参考値とする  
 モールド外形寸法はバリを含まない  
 単位 (UNIT): mm

## 5. ストローク方式漢字ROM

2. ストローマが先着ROM



# YKMR41A

## ストローク漢字ROM

### ■ 概 要

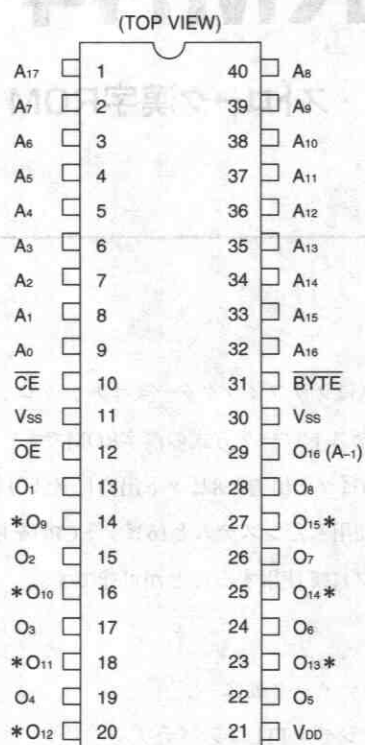
YKMR41Aはグラフィックターミナル、プロッター等に適したJIS第一水準、第二水準に準拠したストローク方式の漢字ROMです。

本LSIは16ビット出力と8ビット出力にメモリ構成が変更できますので、例えば8ビットCPUを使用したシステムと16ビットCPUを使ったシステムとに対して共通データを同一チップにて使用することが可能です。

### ■ 特 徴

- ・完全スタティック動作
- ・全入出力レベルTTLコンパチブル
- ・スリーステート出力
- ・アクセスタイムは最大200ns
- ・消費電力は動作時220mW、スタンバイ時0.275mW
- ・5V単一電源
- ・CMOSシリコンゲート
- ・40ピンプラスチックDIP

## ■ 端子配置図

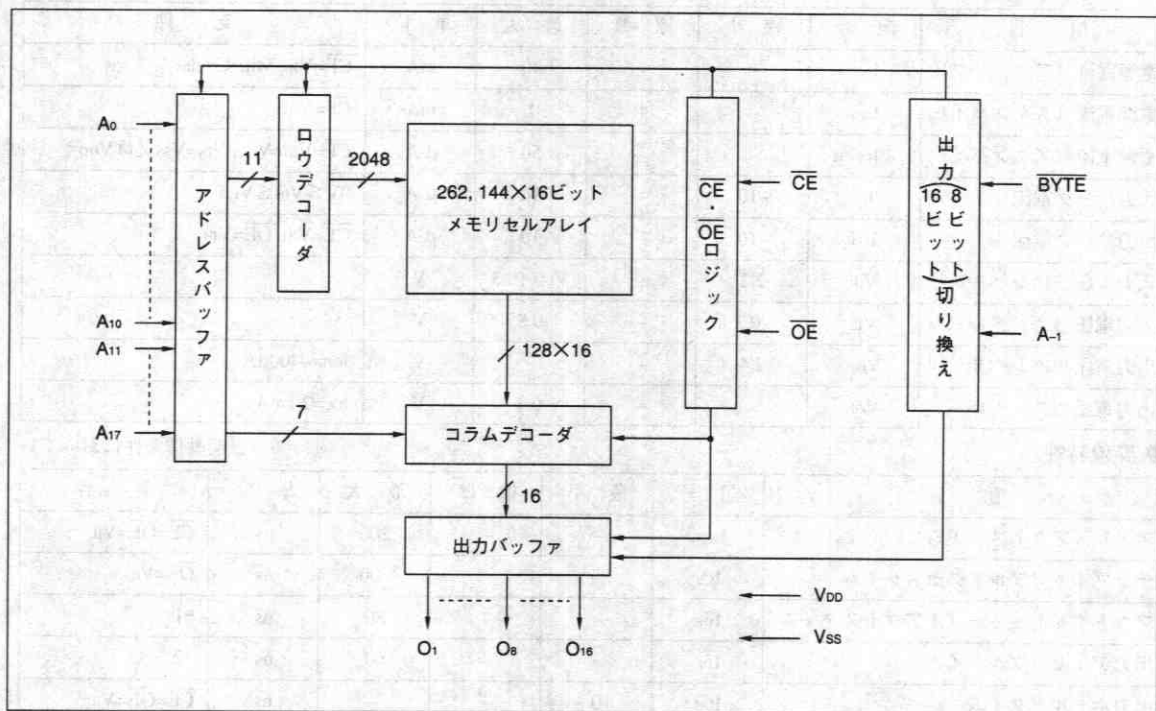


注：( ) 内は出力8ビットの場合で、  
\*のある端子は高インピーダンス  
になります。

## ■ 端子機能

信号名	機能	信号名	機能
A <sub>0</sub> ~A <sub>17</sub>	アドレス入力	V <sub>DD</sub>	電源 (+5V)
O <sub>1</sub> ~O <sub>16</sub>	データ出力	V <sub>SS</sub>	グランド
$\overline{\text{CE}}$	チップイネーブル	A-1	アドレス入力 (出力8ビットのとき)
$\overline{\text{BYTE}}$	出力16ビット、 8ビット切り換え	NC.	ノーコネクション
$\overline{\text{OE}}$	アウトプットイネーブル		

## ■ ブロック図



## ■ 機能表

CE	OE	モード	出力	消費電力
H	×	非選択	高インピーダンス	スタンバイ
L	H	非選択	高インピーダンス	アクティブ
L	L	選択	出力データ	アクティブ

H:ハイレベル L:ロウレベル ×:"H","L"に無関係

## ■ 出力モード切り換え

A-1	BYTE	O <sub>1</sub> ~O <sub>8</sub>	O <sub>9</sub> ~O <sub>15</sub>	O <sub>16</sub>
×	H	D <sub>1</sub> ~D <sub>8</sub>	D <sub>9</sub> ~D <sub>15</sub>	D <sub>16</sub>
L	L	D <sub>1</sub> ~D <sub>8</sub>	高インピーダンス	A-1
H	L	D <sub>9</sub> ~D <sub>16</sub>	高インピーダンス	A-1

注: O<sub>16</sub>は出力8ビットの場合、A-1入力になります。

## ■ 電気的特性

### ● 絶対最大定格

(電圧はGND基準)

項目	記号	最小	最大	単位
電源電圧	V <sub>DD</sub>	-0.3	+7.0	V
入力電圧	V <sub>I</sub>	-0.3	V <sub>DD</sub> +0.3	V
出力電圧	V <sub>O</sub>	-0.3	V <sub>DD</sub> +0.3	V
動作温度	T <sub>OP</sub>	0	+70	℃
保存温度	T <sub>stg</sub>	-50	+125	℃

最大定格以上のストレスはデバイスの信頼度に影響を与え、最悪の場合素子が破壊することがあります。

### ● 推奨動作条件

(電圧はGND基準)

項目	記号	最小	標準	最大	単位
電源電圧	V <sub>DD</sub>	4.75	5.0	5.25	V
電源電圧	V <sub>SS</sub>	-	0	-	V
動作温度	T <sub>OP</sub>	0	-	+70	℃

### ● 直流特性

(推奨動作条件において)

項目	記号	最小	標準	最大	単位	条件
電源電流 (アクティブ)	$I_{CC1}$	-	-	40	mA	$\overline{CE}=V_{IL}$ , Min. Cycle
電源電流 (スタンバイ)	$I_{CC2}$	-	-	1	mA	$\overline{CE}=V_{IH}$
電源電流 (スタンバイ)	$I_{CC3}$	-	-	50	$\mu A$	$\overline{CE}=V_{IH}=V_{CC}$ , $V_{IN}=V_{SS}$ 又は $V_{DD}$
入力リーク電流	$I_{LI}$	-10	-	10	$\mu A$	$0V \leq V_{IN} \leq V_{DD}$
出力リーク電流	$I_{LO}$	-10	-	10	$\mu A$	$\overline{CE}=V_{IH}$ , $\overline{OE}=V_{IH}$
入力電圧 "H" レベル	$V_{IH}$	2.2	-	$V_{DD}+0.3$	V	
入力電圧 "L" レベル	$V_{IL}$	-0.3	-	0.8	V	
出力電圧 "H" レベル	$V_{OH}$	2.4	-	-	V	$I_{OH}=-400\mu A$
出力電圧 "L" レベル	$V_{OL}$	-	-	0.4	V	$I_{OL}=2.1mA$

### ● 交流特性

(推奨動作条件において)

項目	記号	最小	標準	最大	単位	条件
アドレスアクセスタイム	$t_{ACC}$	-	-	200	ns	$\overline{CE}=\overline{OE}=V_{IL}$
チップイネーブルアクセスタイム	$t_{CE}$	-	-	200	ns	$\overline{OE}=V_{IL}$
アウトプットイネーブルアクセスタイム	$t_{OE}$	-	-	80	ns	*1
出力ディセーブルタイム	$t_{DF}$	-	-	60	ns	*2
出力ホールドタイム	$t_{OH}$	0	-	-	ns	$\overline{CE}=\overline{OE}=V_{IL}$

\*1:  $t_{ACC}$ に影響を与えない範囲での $\overline{OE}$ の遅れは最大 $t_{ACC}-t_{OE}$ になります。

\*2:  $t_{DF}$ は $\overline{CE}$ ,  $\overline{OE}$ の立上りの早い方から規定されます。

### ● 端子容量

(推奨動作条件において)

項目	記号	最小	標準	最大	単位	条件
入力端子容量	$C_{IN}$	-	-	10	pF	$T_{OP}=25^{\circ}C$ , $f=1MHz$ , $V_{IN}/OUT=0V$
出力端子容量	$C_{OUT}$	-	-	15	pF	

### ● 交流特性測定条件

入力パルス電圧 :  $V_{IL}=0.6V$ ,  $V_{IH}=2.4V$

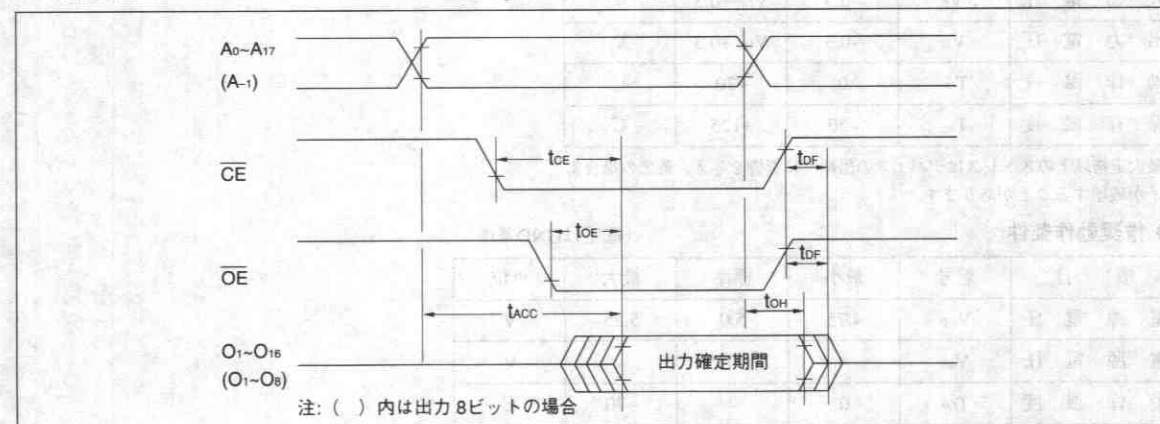
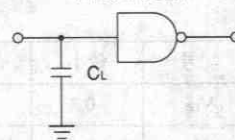
入力パルス立上り、立下り時間 :  $t=5ns$

タイミング測定基準電圧 : 入力  $V_{IL}=0.8V$ ,  $V_{IH}=2.2V$

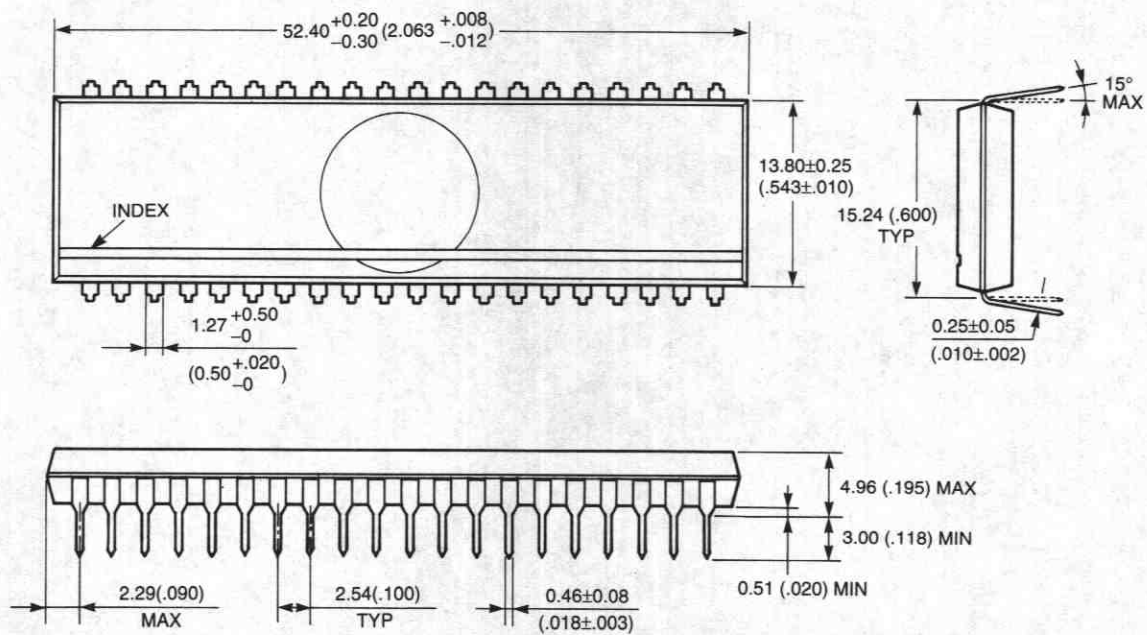
出力  $V_{OL}=0.8V$ ,  $V_{OH}=2.2V$

出力負荷 :  $1TTL+C_L (100pF)$

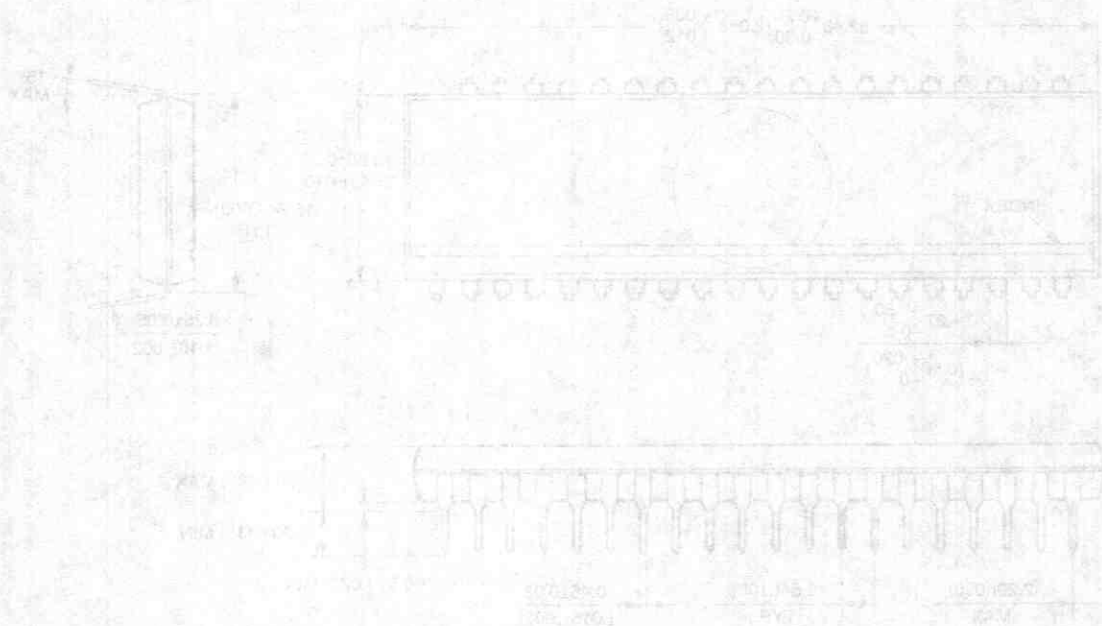
出力負荷回路



## ■パッケージ外形図



単位 : mm (inches)



## 6. 評価ボードのご案内

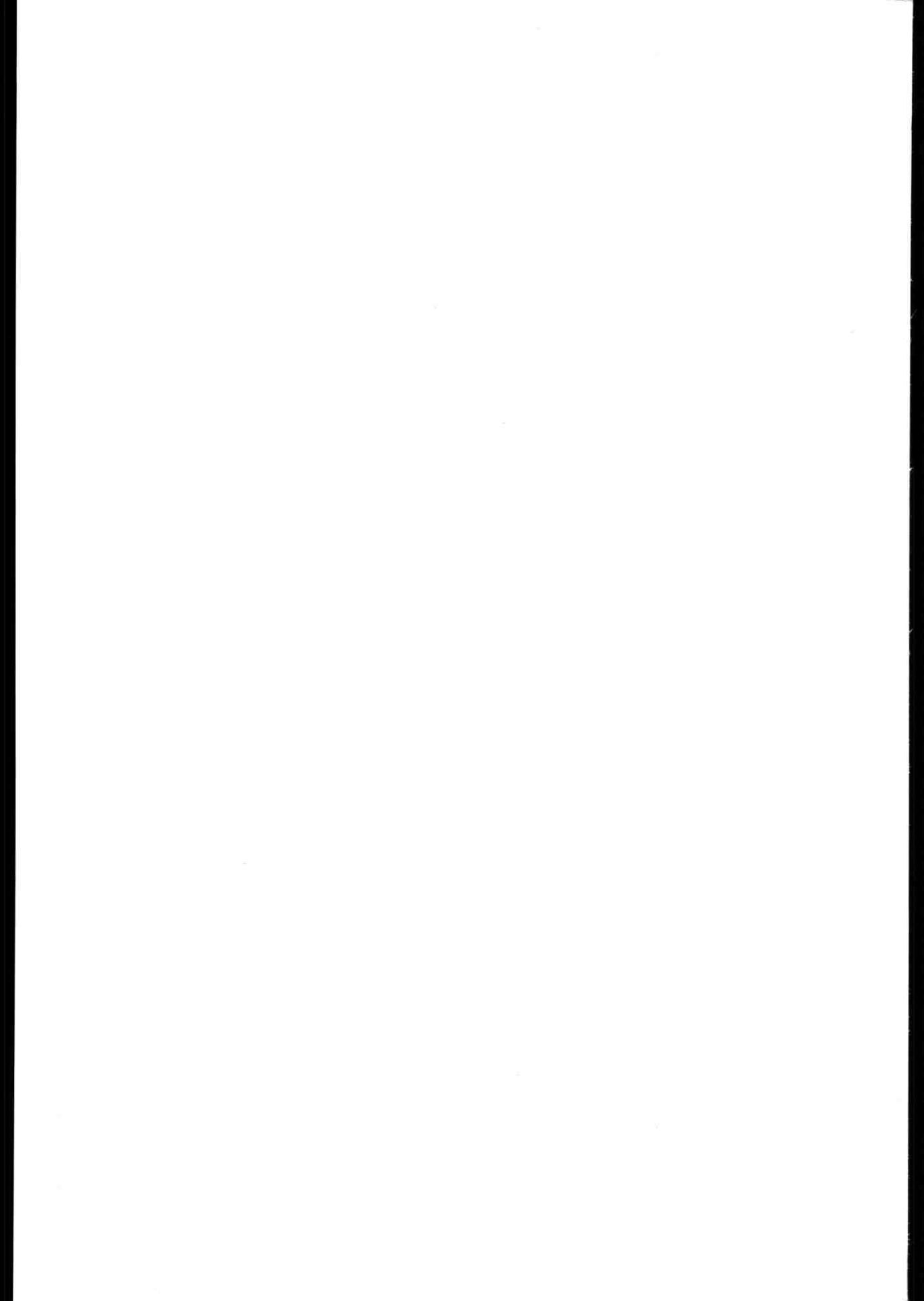
内案ごのり一未通稿 ①



弊社では、LSIを短期間で評価可能とする評価ボード、及び商品を短期間で開発可能とする開発ツールをご用意致しております。

品 名	品 番	付 属 品
V6366C評価ボード	DMB-PCDC2	<ul style="list-style-type: none"> <li>・ 取扱説明書</li> <li>・ プログラムディスク1枚</li> </ul>
V9990評価ボード	DMB-V9990/P, I	<ul style="list-style-type: none"> <li>・ 取扱説明書</li> <li>・ プログラムディスク</li> <li>・ インタフェースボード</li> <li>・ ケーブル</li> </ul>
YGV604評価ボード	DMB-VSG/P, I	<ul style="list-style-type: none"> <li>・ 取扱説明書</li> <li>・ プログラムディスク</li> <li>・ インタフェースボード</li> <li>・ ケーブル</li> </ul>
YGV605評価ボード	DMB-PVDC/P, I	<ul style="list-style-type: none"> <li>・ 取扱説明書</li> <li>・ プログラムディスク</li> <li>・ インタフェースボード</li> <li>・ ケーブル</li> </ul>
YGV606評価ボード	DMB-AVDP/P, I	<ul style="list-style-type: none"> <li>・ 取扱説明書</li> <li>・ プログラムディスク</li> <li>・ インタフェースボード</li> <li>・ ケーブル</li> </ul>
YGV607評価ボード	DMB-PVDCD	<ul style="list-style-type: none"> <li>・ 取扱説明書</li> <li>・ プログラムディスク</li> <li>・ インタフェースボード</li> <li>・ ケーブル</li> </ul>
YGV608評価ボード	DMB-PVDC2	<ul style="list-style-type: none"> <li>・ 取扱説明書</li> <li>・ プログラムディスク</li> <li>・ インタフェースボード</li> <li>・ ケーブル</li> </ul>
YGV610評価ボード	DMB-CPDC	準備中

Study	Sample Size	Prevalence (%)	Significance
Present Study	100	10.0	0.05
Study 1	150	12.0	0.10
Study 2	200	8.0	0.01
Study 3	300	15.0	0.05
Study 4	400	9.0	0.02
Study 5	500	11.0	0.03
Study 6	600	7.0	0.04
Study 7	700	13.0	0.06
Study 8	800	6.0	0.07
Study 9	900	14.0	0.08
Study 10	1000	5.0	0.09



— 代理店 —

## ヤマハ株式会社

半導体営業部

- 営業部 〒438-01 静岡県磐田郡豊岡村松之木島203  
TEL (0539)62-4918代  
FAX (0539)62-5054
- 東京事業所 〒108 東京都港区高輪2-17-11  
TEL (03)5488-5431代  
FAX (03)5488-5088
- 大阪営業所 〒542 大阪府大阪市中央区南船場3-12-9  
心斎橋ブラザビル東館4F  
TEL (06)252-7980代  
FAX (06)252-5615