



アナログ・デバイスズ

データブック 1990/1991

追補版

DATA
BOOK

索引

下記に各製品データシートの記載ページを示します。型名はアルファベットそして番号順です。

型名	ページ	型名	ページ	型名	ページ
AD202	5-39	AD549	4-49	AD664	11-59
AD203SN	5-47	AD557	11-15	AD667	11-79
AD204	5-39	AD558	11-19	●AD668	258
AD208	5-58	AD561	11-27	AD670	12-36
AD210	5-73	AD565A	11-31	●AD671	419
●AD230	170	AD566A	11-35	AD674A	12-48
●AD231	170	AD567	11-39	●AD674B	434
●AD232	170	AD568	11-43	●AD678	446
●AD233	170	AD569	11-47	●AD679	460
●AD234	170	AD570	12-15	●AD680	223
●AD235	170	AD571	12-17	AD684	14-31
●AD236	170	AD573	12-19	●AD688	231
●AD237	170	AD574A	12-22	AD689	9-40
●AD238	170	AD575	12-33	AD693	10-46
●AD239	170	AD581	9-5	●AD694	241
●AD240	170	AD582	14-23	●AD704	20
●AD241	170	AD584	9-7	AD705	4-70
AD365	15-4	AD585	14-25	●AD706	28
AD367	15-7	AD586	9-14	AD707	4-78
AD368	15-9	AD587	9-22	AD708	4-86
AD369	15-9	AD588	9-24	AD711	4-94
AD386	14-6	AD589	9-36	AD712	4-106
AD389	14-21	AD590	10-6	AD713	4-118
AD396	11-12	AD592	10-14	●AD734	157
AD515A	4-19	AD594	10-16	AD736	7-17
AD517	4-21	AD595	10-16	AD737	7-25
AD521	5-7	AD596	10-24	AD741シリーズ	4-130
AD524	5-9	AD597	10-24	●AD743	36
AD526	5-12	AD598	10-30	AD744	4-134
AD532	6-9	AD624	5-24	●AD745	48
AD533	6-11	AD625	5-27	AD746	4-146
AD534	6-13	AD630	8-2	●AD766	274
AD535	6-22	●AD633	149	AD767	11-87
AD536A	7-6	AD636	7-12	AD770	12-58
AD537	13-5	AD637	7-14	●AD779	473
AD538	6-24	AD639	8-11	●AD781	731
AD539	6-32	AD640	6-48	AD790	4-154
AD542	4-23	●AD645	12	●AD827	60
AD544	4-25	AD648	4-60	●AD829	68
AD546	4-27	AD650	13-7	AD834	6-40
AD547	4-39	AD652	13-19	AD840	4-161
AD548	4-41	AD654	13-35	AD841	4-169

●印の製品(昨年6月より現在までに発表された新製品)がこの追補版に掲載されています。
無印の製品は「和文データブック 1990/1991」に掲載されています。

型名	ページ	型名	ページ	型名	ページ
AD842	4-177	AD6940	21-3	AD7575	12-168
AD843	4-185	AD7224	11-137	AD7576	12-171
AD844	4-197	AD7225	11-145	AD7579	12-179
AD845	4-209	AD7226	11-157	AD7580	12-179
AD846	4-217	AD7228	11-169	AD7582	12-195
AD847	4-229	AD7237	11-177	●AD7586	547
AD848	4-237	●AD7242	329	AD7628	11-255
AD849	4-237	●AD7244	329	AD7669	12-132
AD890	8-23	AD7245	11-189	AD7672	12-199
AD891	8-31	AD7247	11-177	●AD7701	563
●AD891A	185	AD7248	11-189	●AD7703	579
●AD892E/T	193	AD7341	8-71	●AD7769	595
AD1139	11-95	AD7371	8-71	AD7820	12-229
AD1147	11-108	AD7501	16-6	AD7821	12-241
AD1148	11-108	AD7502	16-6	AD7824	12-254
AD1154	14-39	AD7503	16-6	AD7828	12-254
AD1170	12-70	AD7506	16-8	AD7837	11-259
AD1175K	12-82	AD7507	16-8	AD7840	11-271
AD1315	8-39	AD7510DI	16-10	AD7845	11-287
●AD1317	80	AD7511DI	16-10	AD7846	11-299
AD1321	8-47	AD7512DI	16-10	AD7847	11-259
AD1322	8-59	AD7523	11-205	●AD7848	341
AD1332	15-31	AD7524	11-207	●AD7868	611
AD1334	15-48	AD7525	11-209	●AD7869	627
●AD1341	775	AD7528	11-211	●AD7870	643
AD1362	15-64	AD7533	11-215	●AD7871	662
AD1376	12-85	AD7534	11-217	●AD7872	662
AD1377	12-93	AD7535	11-220	●AD7874	678
●AD1378	485	AD7536	11-223	●AD7875	643
AD1380	12-101	AD7537	11-226	●AD7876	643
●AD1382	493	AD7538	11-230	AD7878	12-282
●AD1674	509	AD7541A	11-234	●AD7880	694
●AD1851	282	AD7542	11-236	AD9002	12-299
AD1856	11-114	AD7543	11-238	AD9003	12-304
AD1860	11-125	AD7545A	11-240	AD9005	12-312
●AD1861	282	AD7547	11-243	AD9006	12-320
●AD1862	293	AD7548	11-247	AD9012	12-335
●AD1864	305	AD7549	11-251	●AD9014	709
●AD1868	317	AD7569	12-132	AD9016	12-320
●AD1876	523	AD7572	12-152	AD9020	12-343
AD5539	4-245	●AD7572A	535	AD9028	12-355
●AD6104	139	AD7574	12-164	AD9038	12-355

※ Precision Monolithics Division (HPMI) 製品に関しては、「和文Precision Monolithics Divisionデータブック」をご利用ください。

※※ DSP (デジタル・シグナル・プロセサ) 製品に関しては別冊として和文のDSPデータブックを用意しています。

型名	ページ	型名	ページ	型名	ページ
AD9048	12-367	ADG222	16-43	●SMP-04	751
●AD9058	721	ADG506A	16-49	●SMP-08	764
AD9060	12-375	ADG507A	16-49	●SSM2018	118
●AD9100	739	ADG508A	16-57	●SSM2142	130
AD9300	16-13	ADG509A	16-57	1B21	10-58
AD9500	8-87	ADG526A	16-65	1B22	10-62
AD9501	8-98	ADG527A	16-65	1B31	10-66
AD9502	12-387	ADG528A	16-73	1B32	10-74
AD9521	6-64	ADG529A	16-73	1B41	10-82
AD9610	4-249	AD OP-07	4-284	1B51	10-86
AD9611	4-252	AD OP-27	4-287	2B20	10-90
AD9617	4-255	AD OP-37	4-290	2B22	10-92
AD9618	4-263	●ADV101	357	2B23	10-94
●AD9620	92	ADV453	11-342	2B24	10-96
●AD9630	98	ADV471	11-353	2B30	10-98
AD9686	4-271	ADV476	11-365	2B31	10-98
AD9696	4-273	ADV478	11-353	2B34	10-100
AD9698	4-273	●ADV7120	369	2B35	10-102
AD9700	11-315	●ADV7121	381	2B50	10-104
AD9701	11-319	●ADV7122	381	2B52	10-106
AD9702	11-322	AD VFC32	13-43	2B53	10-106
AD9712	11-326	●AD2S34	795	2B54	10-108
AD9713	11-326	AD2S44	17-4	2B55	10-108
AD9901	8-110	●AD2S46	803	2B56	10-110
●AD9950	205	AD2S65	17-24	2B57	10-112
●AD75004	353	AD2S66	17-24	2B58	10-114
●AD75019	217	CAV-1220	12-396	2B59	10-116
AD96685	4-281	●DAC8840	393	2S54	17-12
AD96687	4-281	●DAC8841	404	2S56	17-12
AD ADC80	12-391	HTC-0300A	14-45	2S58	17-12
AD ADC84	12-393	HTS-0010	14-49	2S80	17-32
AD ADC85	12-393	HTS-0025	14-52	2S81	17-44
AD DAC08	11-334	LTS2020	20-1	2S82	17-48
AD DAC80	11-337	μMAC-4000	19-1	3Bシリーズ	10-118
AD DAC85	11-337	μMAC-5000	19-3	5Bシリーズ	10-126
AD DAC87	11-337	μMAC-6000	19-7	6Bシリーズ	10-136
ADG201A	16-21	●OP-297	104	281	5-81
ADG201HS	16-27	RTI-200シリーズ	18-5	284J	5-81
ADG202A	16-21	RTI-800シリーズ	18-7	286J	5-81
ADG211A	16-35	SDC/RDC1740	17-52	289	5-83
ADG212A	16-35	SDC/RDC1741	17-52	759N/P	6-66
ADG221	16-43	SDC/RDC1742	17-52	900シリーズ	21-1

■ 総 目 次

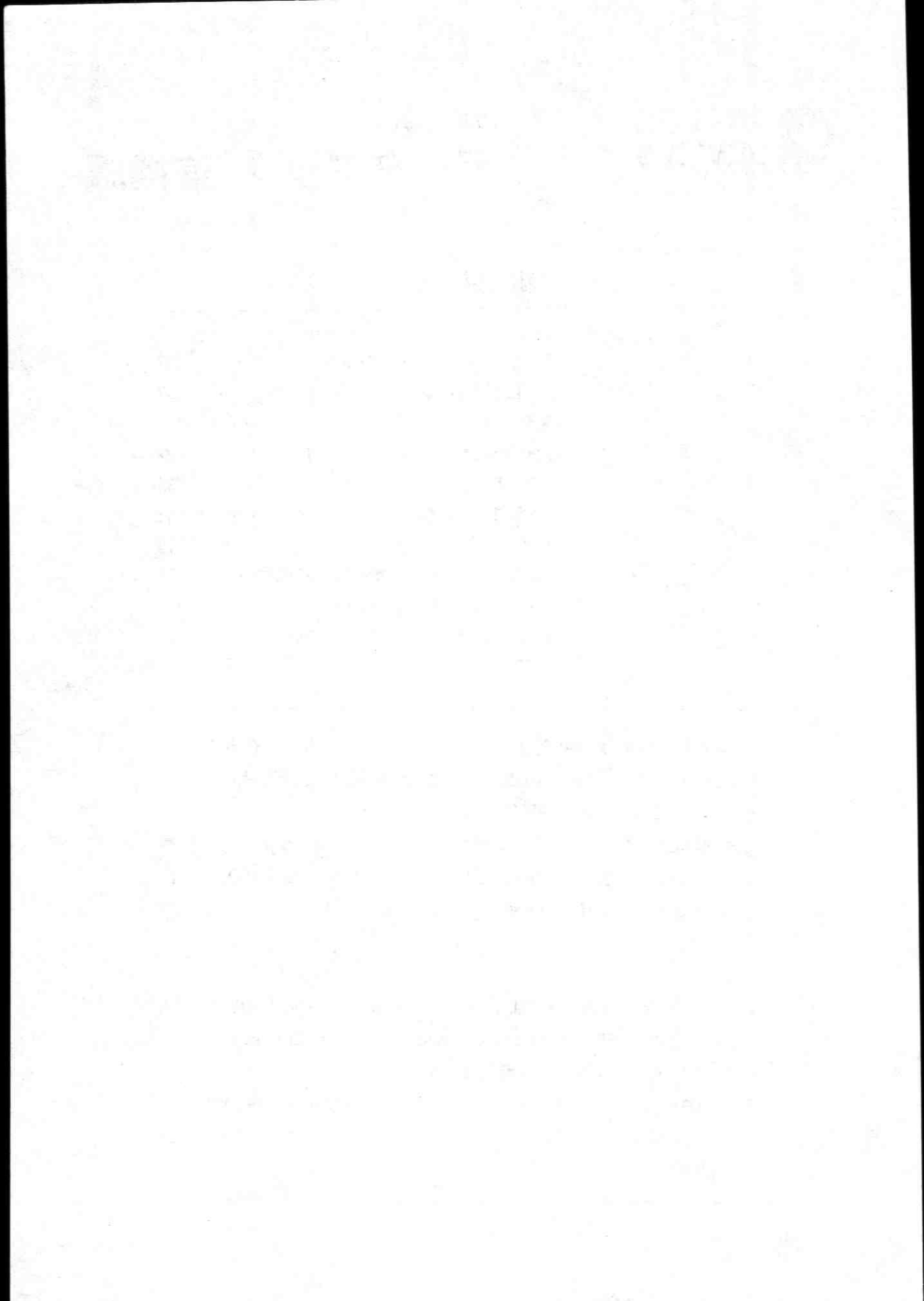
オペアンプ	3
アイソレーション・アンプ	137
アナログ乗除算器	147
特殊機能IC	169
IC基準電源(電圧リファレンス)	221
シグナル・コンディショナ	239
D/Aコンバータ	253
A/Dコンバータ	415
サンプル/トラック・ホールド・アンプ	729
データ収集サブシステム	773
シンクロ&レゾルバ・コンバータ	793

この追補版は「和文データブック1990/1991」を発行(昨年6月)して以後、現在までに発表された新製品のデータシートをまとめて編集したものです。

各製品ラインの冒頭に掲載のセレクション・ガイドを参照していただき、お手元の「和文データブック1990/1991」と併わせてご使用ください。

注意

1. Precision Monolithics Division (旧PMI) 製品に関しては、「和文Precision Monolithics Division データブック」をご利用ください。
 2. DSP (デジタル・シグナル・プロセサ) 製品に関しては別冊として和文のDSPデータブックを用意しています。
-



オペアンプ

目次

	ページ
セレクション・ガイド	4
AD645 低ノイズ, 高精度FETオペアンプ	12
AD704 pA入力電流クワッド・バイポーラ・オペアンプ	20
AD706 pA入力電流デュアル・バイポーラ・オペアンプ	28
AD743 超低ノイズBiFETオペアンプ	36
AD745 超低ノイズ, 高速BiFETオペアンプ	48
AD827 高速, 低消費電力デュアル・オペアンプ	60
AD829 高速, 低ノイズ・ビデオ・オペアンプ	68
AD1317 超高速ウィンドウ・コンパレータ(ラッチ付き)	80
AD9620 超低歪み, 600MHzバッファアンプ	92
AD9630 低歪み, 750MHzクローズ・ループ・バッファアンプ	98
OP-297 低バイアス電流, 高精度デュアル・オペアンプ	104
SSM2018 電圧制御アンプ/OVCE	118
SSM2142 平衡型ライン・ドライバ	130

セレクション・ガイド オペアンプ

低価格, 一般用

モデル	V_{OS} mV max	V_{OS} TC μ V/ $^{\circ}$ C max	I_B nA max	BW MHz typ ¹	SR V/ μ s typ	セッティング 時間 μ s typ	ノイズ μ Vp-p 0.1-10Hz typ	パッケージ オプション	温度 ³ 範囲	特長	掲載ページ ⁴
AD707	0.015-0.09	0.1-1	1-2.5	0.9	0.15	—	0.23	H, N, Q, R	C, I, M	高いDC精度	D4-78
AD705	0.025-0.09	0.6-2.0	0.1-0.15	0.8	0.15	—	0.5	H, N, Q, R	C, I, M	低 I_B , 高精度バイポーラ	D4-70
AD OP-07	0.025-0.15	0.6-2.5	3-12	0.6	0.17	—	0.35-0.38	H, N, Q, R	C, M	業界標準製品の改良タイプ	D4-284
OP-07	0.025-0.15	0.6-2.5	2-12	0.6	0.3	—	0.35	H, E, N, Q, R	C, I, M	業界標準	P5-69
AD711	0.025-2	3-20	0.025-0.05	4	20	1	2	H, N, Q, R	C, I, M	低価格, 優れたAC/DC特性	D4-94
OP-05	0.15-1.3	0.9-2	2-3	0.6	0.3	—	0.35	H, N, Q	C, M	計装用オペアンプ	P5-55
AD548	0.25-2	2-20	0.01-0.02	1	1.8	8	2	H, N, Q, R	C, I, M	ローパワー, 高性能	D4-41
AD542	0.5-2	5-20	0.025-0.05	1	3	—	2	H	C, M	高性能BiFET	D4-23
AD544	0.5-2	5-20	0.025-0.05	2	13	—	2	H	C, M	高性能BiFET	D4-25
OP-02	0.5-5	8-10	30-100	1.3	0.5	—	0.65	H, N, Q	C, M	741の改良版	P5-41
OP-01	0.7-5	8-20	30-100	2.5	18	—	—	H, N, Q	C, M	高速	P5-35
OP-04	0.75-5	8-20	50-100	1.3	0.5	—	0.65	H, Q	I, M	747の改良版	P5-49
AD741	3-6	20	200-500	1	0.5	—	—	H, N	C, I, M	高性能	D4-130

注1. ユニティ・ゲイン小信号帯域幅

2. E=セラミック・リードレス・チップ・キャリア, H=メタル・キャン, N=プラスチックDIP, Q=サーディップ, R=SOP

3. C=0~+70 $^{\circ}$ C, I=-40~+85 $^{\circ}$ C (-25~+85 $^{\circ}$ Cの場合もある), M=-55~+125 $^{\circ}$ C

4. Dはデータブック1990/1991本版, PはPrecision Monolithics Divisionデータブック, そして●印の製品は本データブック追補版に掲載されています。

太字で示すモデルは新規設計に最適な製品です。

高精度

モデル	V_{OS} μV max	V_{OS} TC $\mu V/^{\circ}C$ max	ノイズ μV_{p-p} 0.1-10Hz typ	GBW MHz typ	スルー レート $V/\mu s$ typ	I_B nA max	CMRR dB f=1kHz typ	パッケージ オプション	温度 ³ 範囲	特長	掲載ページ
OP-177	10-60	0.1-1.2	0.35	0.6	0.3	1.5-2.8	110	N, Q, R	I, M	高精度	P5-337
AD707	15-90	0.1-1.0	0.23	0.9	0.3	1.0-2.5	100	H, N, Q, R	C, I, M	高いDC精度	D4-78
OP-77	25-100	0.3-1.2	0.35	0.6	0.3	2-2.8	105	H, E, N, Q, R	C, I, M	OP-07の次世代版	P5-263
OP-27	25-100	0.6-1.8	0.08	8	2.8	40-80	125	H, E, N, Q, R	C, I, M	低ノイズ	P5-133
AD OP-27	25-100	0.6-1.8	0.08	8	2.8	40-80	123	H, N, Q	C, I, M	超低ノイズ	D4-287
OP-37	25-100	0.6-1.8	0.08	63	17	40-80	125	H, E, N, Q, R	C, I, M	高速, 低ノイズ	P5-155
AD OP-37	25-100	0.6-1.8	0.08	63 (GBP)	17	40-80	123	H, N, Q	C, I, M	高精度, 高速	D4-290
OP-50	25-100	0.3-1	0.12	25	3	5-10	85	Q	I, M	高出力電流	P5-217
AD705	25-90	0.6-1.2	0.5	0.8	0.15	0.1-0.15	110	H, Q, R	C, I, M	低 I_B , バイポーラ	D4-70
AD517	50-100	1.3-3	2	0.25	0.1	0.25-2	94	H	C, M	低価格	D4-21
OP-21	100-500	1-5	—	0.6	0.25	100-150	60	H, N, Q, R	I, M	ローパワー	P5-119
AD547	250-1000	1-5	2	1	3	0.025-0.05	60	H	C, M	低ドリフトBiFET	D4-39
OP-20	250-1000	1.5-7	—	0.1	0.05	25-40	30	H, N, Q, R	C, I, M	マイクロパワー	P5-115
OP-43	250-1500	5-10	—	2.4	6	0.005-0.02	100	H, N	C, I, M	低バイアス	P5-191
AD548	250-2000	2-20	2	1	1.8	0.03-0.015	83	H, N, Q, R	C, I, M	ローパワー-BiFET	D4-41
OP-41	250-2000	5-10	—	0.5	1.3	0.005-0.02	100	H, N, R	C, I, M	低バイアス	P5-165

低入力電流

モデル	I_B pA max	入カインピーダンス		CMRR dB f=1kHz typ	V_{OS} mV max	V_{OS} TC $\mu V/^{\circ}C$ max	BW MHz typ ¹	パッケージ オプション	温度 ³ 範囲	特長	掲載ページ ⁴
		差動 $\Omega \parallel pF$ typ	同相 $10^{15} \parallel 0.8$								
AD549	0.06-0.25	$10^{13} \parallel 1$	$10^{15} \parallel 0.8$	62	0.25-1	5-20	1	H	C, M	モノリシック, 低 I_B	D4-49
AD515A	0.075-0.3	$10^{13} \parallel 1.6$	$10^{15} \parallel 0.8$	62	1-3	15-50	1	H	C	低価格	D4-19
OP-80	0.25-1	—	—	90	1.5	—	0.3	H, N, R	I, M	低価格CMOS	P5-275
AD546	0.5-1	$10^{13} \parallel 1$	$10^{15} \parallel 0.8$	62	1-2	20	1	N	C	高精度エレクトロメータ	D4-27
AD545A	1-2	$10^{13} \parallel 1.6$	$10^{15} \parallel 0.8$	62	0.25-1	3-25	1	H	C	低価格	—
OP-41	5-20	—	—	98	0.25-2	5-10	0.5	H, N, R	C, I, M	高安定JFET	P5-165
OP-43	5-25	—	—	98	0.25	5-10	2.4	H, N	I, M	低バイアス	P5-191
AD547	25-50	$10^{12} \parallel 6$	$10^{12} \parallel 13$	60	0.25-1	1-5	1	H	C, M	低ドリフト	D4-39
AD711	25-50	$3 \times 10^{12} \parallel 5.5$	$3 \times 10^{12} \parallel 5.5$	62	0.25-2	3-20	4	H, N, Q, R	C, I, M	低価格, 優れたAC/DC特性	D4-94
OP-15	50-200	—	—	90	0.5-3	5-15	6	H, N, Q, R	C, I, M	高精度 BiFET	P5-103
OP-16	50-200	—	—	90	0.5-3	5-15	8	H, N, Q, R	C, I, M	高精度BiFET	P5-103
OP-17	50-200	—	—	90	0.5-3	5-15	30	H, N, Q, R	C, I, M	高速, 高精度BiFET	P5-103

注1. ユニティ・ゲイン小信号帯域幅

2. E=セラミック・リードレス・チップ・キャリア, H=メタル・キャン, N=プラスチックDIP, Q=サーディップ, R=SOP, Z=セラミック・リード付きチップ・キャリア

3. C=0~+70°C, I=-40~+85°C (-25~+85°Cの場合もある), M=-55~+125°C

4. Dはデータブック1990/1991年版, PはPrecision Monolithics Divisionデータブック, そして●印の製品は本データブック追補版に掲載されています。

太字で示すモデルは新規設計に最適な製品です。

低ノイズ

モデル	電圧 ノイズ		電圧 ノイズ		電流 ノイズ		I_B typ	V_{OS} mV typ	GBW MHz typ	SR V/ μ s typ	セトリング 時間		A_{CL} min V/V	パッケージ オプション	温度 ³⁾ 範囲	特長	掲載ページ
	en typ 10kHz nV/ \sqrt{Hz}	en typ 1kHz nV/ \sqrt{Hz}	en typ 1kHz pA/ \sqrt{Hz}	in±in- typ	ns-% typ	時間 typ											
AD9611	1.1	1.6	38/38	1000	0.5	280	1900	13-0.01	1	N	I, M	超高速セトリング	D4-252				
AD9610	0.7	1.6	32/32	5000	0.3	100	3500	1-0.1	1	N	I, M	広帯域	D4-249				
AD9617	1.3	2.0	32/32	12000	0.5	570	1400	10-0.1	±1	N, Q, R, Z	C, I, M	低歪み, 広帯域	D4-255				
AD9618	1.3	2.0	32/32	10000	0.5	8000	1800	9-0.1	+5, -1	N, Q, R, Z	C, I, M	低歪み, 広帯域	D4-263				
●AD829	—	2	1.5	3300	0.2	750	230	6.5-0.1	1	N, Q, R	C, I, M	ビデオアンプ	68				
AD844	—	2	12/10	200	0.05	900	2000	100-0.1	1	N, Q, R	I, M	電流フィードバック	D4-197				
AD846	—	2	6/20	100	0.025	450	450	110-0.01	1	N, Q	I, M	電流フィードバック	D4-217				
AD849	—	3	—	3300	0.3	725	300	80-0.1	25	N, Q, R	C, I, M	高速, ローパワー	D4-237				
OP-27	3.5	3.0	0.4	10	0.01	8	2.8	—	1	H, E, N, Q, R	C, I, M	高精度	P5-133				
AD OP-27	0.35	3	0.4/0.4	10	0.025	8	1.7	—	1	N, Q, H	I, M	低ノイズ, 高精度	D4-287				
OP-37	3.5	3	0.4	10	0.01	63	17	—	1	H, E, N, Q, R	C, I, M	高速	P5-155				
AD OP-37	0.08	3	0.4/0.4	10	0.025	63	17	—	5	N, Q, H	I, M	低ノイズ, 高精度	D4-290				
●AD743	2.9	3.2	0.007	0.15	0.1	4.5	2.8	—	1	N, Q, R	C, I, M	超低ノイズFET	36				
●AD745	2.9	3.2	0.007	0.15	0.25	20	12.5	5 μ s-0.01	1	N, Q, R	C, I, M	超低ノイズ, 高速	48				
SSM-2139	3.6	3.2	0.6	5	0.02	30	11	—	3	N	I	デュアル・オーディオ	P15-107				
SSM-2134	5.5	3.5	0.6	350	0.3	10	13	—	3	N	I	5534Aの改良版	P15-97				
AD5539	—	4	—	6000	2	1400	600	12-1	+5, -4	N, Q	C, M	NE5539の改良タイプ	D4-245				
AD840	—	4	—	3500	0.1	400	400	100-0.01	10	N, Q	C, M	広帯域, 高精度	D4-161				
OP-50	5.5	4.5	0.23	1	0.01	25	3	—	5	Q	I, M	高出力電流	P5-217				
AD848	—	5	—	3300	0.2	175	300	100-0.1	5	N, Q, R	C, I, M	高速, ローパワー	D4-237				
OP-61	16	3.4	1.7	130	0.1	200	45	300-0.01	10	E, N, Q, R	I, M	広帯域	P5-229				
●AD645	8	9	0.6/0.6	0.0007	0.1	2	2	—	1	H, N	C, I, M	FET入力, 低 I_B	12				

高速

モデル	SR V/ μ s typ	GBW MHz typ	セトリング 時間		V _{OS} mV typ	I _{OUT} mA min	電源 電流 mA typ	パッケージ オプション	温度 ² 範囲	特長	掲載ページ
			ns-%	A _{CL} min V/V							
AD9610	3500	100	18-0.1	1	0.3	50	21	H	I, M	広帯域, 高速セトリング	D4-249
AD844	2000	900	100-0.1	1	0.05	80	6.5	N, Q, R	C, I, M	電流フィードバック	D4-197
AD9618	1800	8000	10-0.1	-1	0.2	60	31	N, Q, R, Z	C, I, M	低歪み, 広帯域	D4-263
AD9617	1600	570	10-0.1	1	0.4	60	34	N, Q, R, Z	C, I, M	低歪み, 広帯域	D4-255
AD5539	600	1400	12-1	+5, -4	2	11	25	N, Q	C, M	SE/NE5539の改良 タイプ	D4-245
AD846	450	450	110-0.01	1	0.025	65typ	5	N, Q	I, M	電流フィードバック	D4-217
AD840	400	400	100-0.01	10	0.1	50	10.5	N, Q, E	C, M	高速セトリング	D4-161
AD842	375	80	100-0.01	2	0.5	50	13	H, N, Q, E	C, M	高速, 高電流出力	D4-177
AD849	300	725	80-0.1	25	0.3	32typ	5.1	N, Q, R	C, I, M	ローパワー・プリアンプ	D4-237
AD848	300	175	100-0.1	5	0.2	32typ	5.1	N, Q, R	C, I, M	高速, ローパワー	D4-237
AD847	300	50	120-0.1	1	0.5	32typ	5.1	N, Q, R	C, I, M	高速, ローパワー	D4-229
AD841	300	40	110-0.01	1	0.5	50	11	E, H, N, Q	C, M	高速, 高精度	D4-169
AD843	250	34	135-0.01	1	0.5	50	12	N, Q, H, E, R	C, I, M	FET入力	D4-185
●AD829	230	750	65-0.1	1	0.2	32typ	5	N, Q, R	C, I, M	低ノイズ・ビデオアンプ	68
OP-61	45	200	300-0.01	10	0.1-0.2	22	6.1	E, N, Q, R	I, M	超低ノイズ	P5-229
AD845	100	16	350-0.01	1	0.7	50typ	10	N, Q, R	C, I, M	FET入力	D4-209
OP-160	1300	90	75-0.1	1	2	35	6.5	N, Q, R	I, M	電流帰還型	P5-311
OP-64	170	80	100-0.1	5	0.4-1.2	50	6.2	H, E, N, Q, R	I, M	高出力電流	P5-247
AD744	75	13	500-0.01	+2, -1	0.3	25	3.5	H, N, Q, R	C, I, M	FET入力	D4-134
OP-17	60	30	600-0.1	1	0.2-0.5	5.5	4.6	H, N, Q, R	C, I, M	ローパワー	P5-103
OP-44	120	23	200-0.1	3	0.3-1.5	20	6.5	H, Q	I, M	高精度	P5-205
AD711	20	4	1000-0.01	1	0.3	25typ	2.5	H, N, Q, R	C, I, M	高精度BiFET	D4-94
OP-42	58	10	800-0.01	1	0.3-1.5	20	5.1	H, E, N, Q, R	I, M	高速セトリング	P5-177
SSM-2131	50	10	900-0.01	1	1.5	20	5.7	N, R	I, M	超低歪み	P15-83
OP-16	25	8	900-0.1	1	0.2-0.5	5.5	4.6	H, N, Q, R	C, I, M	ローパワー	P5-103
OP-15	13	6	1200-0.1	1	0.2-0.5	5.5	2.7	H, N, Q, R	C, I, M	ローパワー	P5-103
OP-01	18	2.5	700-0.1	1	0.3-2	6	1.6	H, N, Q	C, M	反転タイプ	P5-35

- 注1. E=セラミック・リードレス・チップ・キャリア, H=メタル・キャン, N=プラスチックDIP, Q=サーディップ, R=SOP, Z=セラミック・リード付きチップ・キャリア
 2. C=0~+70°C, I=-40~+85°C (-25~+85°Cの場合もある), M=-55~+125°C
 3. Dはデータブック1990/1991年版, PはPrecision Monolithics Divisionデータブック, そして●印の製品は本データブック追補版に掲載されています。
 4. ユニティ・ゲイン小信号帯域幅

太字で示すモデルは新規設計に最適な製品です。

デュアル・タイプ

モデル	V _{OS} mV max	V _{OS} TC μV/°C max	I _B nA max	BW MHz typ ⁴	セトリング スルー時間 レート (0.01%)		パッケージ オプション	温度 ² 範囲	特長	掲載ページ ³
					V/μs typ	μs typ				
AD708	0.03-0.1	0.3-1.0	1-2.5	0.9	0.3	—	H, N, C, I, M	AD707のデュアル・タイプ	D4-86	
●AD706	0.05-0.10	0.6-1.5	0.15-0.25	0.8	0.15	—	N, Q, R C, I, M	AD705のデュアル・タイプ	28	
●OP-297	0.05-0.2	0.6-2	0.1-0.2	0.5	0.15	—	N, Q, R I, M	ローパワー, 低バイアス	104	
OP-200	0.075-0.2	0.5-2	2-5	0.5	0.15	—	E, N, I, M	高精度	P5-349	
OP-270	0.075-0.25	1-3	20-60	5	2.4	—	Q, R E, N, I, M	低ノイズ	P5-435	
OP-227	0.08-0.18	1-1.8	40-80	8	2.8	—	Q I, M	低ノイズ	P5-387	
OP-207	0.1-0.2	1.3-1.8	3-7	0.6	0.2	—	Q C, M	高精度	P5-359	
OP-221	0.15-0.5	1.5-3	80-120	0.6	0.3	—	H, N, C, I, M	ローパワー, 単一電源	P5-379	
OP-220	0.15-0.75	1.5-3	20-30	0.2	0.05	—	H, N, C, I, M	マイクロパワー, 単一電源	P5-371	
OP-271	0.2-0.4	2-5	20-60	5	8.5	—	Q, R E, N, I, M	高速, 低ノイズ	P5-451	
OP-290	0.2-0.5	3-5	15-25	0.02	—	—	E, N, I, M	マイクロパワー	P5-461	
AD647	0.25-1	2.5-10	0.035-0.075	1	3	—	E, H C, M	AD547のデュアル・タイプ	—	
AD746	0.25-1	3-20	0.15	13	75	0.5	H, N, C, I, M	AD744のデュアル・タイプ	D4-146	
AD648	0.3-2	3-20	0.01-0.02	1	1.8	8	H, N, C, I, M	AD548のデュアル・タイプ	D4-60	
AD712	0.3-3	5-20	0.05-0.075	4	20	1	H, N, C, I, M	AD711のデュアル・タイプ	D4-106	
OP-10	0.5	2-4.5	3-7	0.6	0.17	—	Q C, M	高精度	P5-89	
SSM-2139	0.5	2.5	80	30	11	—	N I	オーディオ用	P15-107	
OP-249	0.5-0.7	5-6	0.05-0.075	4.7	22	0.9-0.01	H, E, N, I, M	低歪み	P5-397	
AD642	0.5-2	—	0.035-0.075	1	3	—	H C, M	AD542のデュアル・タイプ	—	
AD644	0.5-2	—	0.035-0.075	2	13	—	H C, M	AD544のデュアル・タイプ	—	
OP-14	0.75-5	8-20	50-100	1.3	0.5	—	H, N, I, M	汎用	P5-49	
OP-215	1-4	10	0.1-0.3	5.7	18	0.9-0.1	H, E, N, C, I, M	高速, 高精度	P5-365	
●AD827	2.0-4.0	15	7000	50	300	0.065-0.1	N, Q, R C, I, M	AD847のデュアル・タイプ	60	
OP-260	3.5-7	10	1000-15000	90	1000	0.25-0.1	H, E, N, I, M	高速, 電流帰還型	P5-415	

クワッド・タイプ

モデル	V _{OS} mV max	V _{OS} TC μ V/°C max	I _B pA max	BW MHz typ ¹	セドリング スルー 時間 レート (0.01%)		パッケージ オプション	温度 ³ 範囲	特長	掲載ページ ⁴
					V/ μ s typ	μ s typ				
●AD704	0.05-0.10	0.6-1.5	150-250	0.8	0.15	—	N, Q, R	C, I, M	AD705のクワッド・タイプ	20
OP-400	0.15-0.3	1.2-2.5	3-7	0.5	0.15	—	E, N, Q, R	C, I, M	高精度	P5-475
OP-470	0.4-1	2-4	25-60	6	2	—	E, N, Q, R	C, I, M	低ノイズ	P5-493
OP-490	0.5-1	5	15-25	0.02	—	—	E, N, Q, R	I, M	マイクロパワー, 単一電源	P5-521
AD713	0.5-1.5	20	75-150	4	20	1	N, Q	C, I, M	AD711のクワッド・タイプ	D4-118
OP-11	0.5-5	10-15	300-500	3	1	—	E, N, Q, R	C, I, M	741のクワッド・タイプ	P5-83
OP-471	0.8-1.8	4-7	25-60	6.5	8	—	E, N, Q, R	C, I, M	高速, 低ノイズ	P5-507
PM-148/248	2.5	—	75	0.8	0.4	—	Q	I, M	業界標準の改良版	P5-537
OP-421	2.5-6	10-15	50-150	1.9	0.5	—	N, Q, R	I, M	ローパワー, 単一電源	P5-487
OP-420	2.5-6	10-25	20-40	0.15	0.05	—	E, N, Q, R	I, M	マイクロパワー, 単一電源	P5-483

ローパワー/マイクロパワー

モデル	ISY max mA	V _{OS} max mV	I _B max nA	GBW typ MHz	スルー レート		パッケージ ² オプション	温度 ³ 範囲	特長	掲載ページ ⁴
					typ V/ μ s	typ μ s				
OP-22	0.0002-0.4	0.3-1	5-10	0.25	0.08	—	H, N, Q, R	I, M	プログラマブル	P5-123
OP-32	0.0005-2	0.3-1	5-10	4.5	1.5	—	N, Q	I, M	高速, プログラマブル	P5-143
OP-90	0.02	0.15-0.45	15-25	0.02	—	—	E, N, Q, R	I, M	単一電源動作	P5-287
OP-20	0.08	0.25-1	25-40	0.1	0.05	—	E, N, Q, R	I, M	単一電源動作	P5-115
OP-80	0.325	1.5	0.00025-0.001	0.3	0.4	—	H, N, R	I, M	CMOS, 低I _c	P5-275
OP-21	0.3-0.4	0.1-0.5	100-150	0.6	0.25	—	H, N, Q, R	I, M	単一電源動作	P5-119
OP-97	0.6	0.025-0.075	0.1-0.15	0.9	0.2	—	H, E, N, Q, R	I, M	低バイアス	P5-297
OP-41	1	0.25-2	0.005-0.02	0.5	1.3	—	H, N, R	I, M	低バイアス	P5-165
OP-43	1-1.2	0.25-1.5	0.005-0.025	2.4	6	—	H, N	I, M	高速, 低バイアス	P5-191

注1. ユニティ・ゲイン小信号帯域幅

2. D=セラミックDIP, E=セラミック・リードレス・チップ・キャリア, H=メタル・キャン, N=プラスチックDIP, P=プラスチック・リード付きチップ・キャリア, Q=サーディップ, R=SOP, Z=セラミック・リード付きチップ・キャリア

3. C=0~+70°C, I=-40~+85°C (-25~+85°Cの場合もある), M=-55~+125°C

4. Dはデータブック1990/1991年版, PはPrecision Monolithics Divisionデータブック, そして●印の製品は本データブック追補版に掲載されています。

太字で示すモデルは新規設計に最適な製品です。

ユニティ・ゲイン・バッファ

モデル	-3dB 帯域幅 MHz typ	スルー レート V/ μ s min	セトリング 時間 (0.02%) ns typ	立上り 時間 1Vステップ ns typ	I _{OUT} mA min	V _{OS} mV typ	I _{SS} mA max	パッケージ ² オプション	温度 ³ 範囲	特長	掲載ページ
●AD9630	750	1800	8	0.9	50	3	26	N, Q, R, Z	I, M	広帯域	98
●AD9620	600	2200	8	0.8	40	2	48	D	I, M	低高調波歪み	92

オーディオ・プリアンプ

モデル	en typ nV/ $\sqrt{\text{Hz}}$ 20kHz帯域	TDH typ G=1000 @1kHz %	スルー レート typ V/ μ s	帯域幅 typ G=100MHz	パッケージ ² オプション	温度 ³ 範囲	特長	掲載ページ
SSM-2015	1.3	0.007	8	0.7	N	C	低ノイズ	P15-23
SSM-2016	0.8	0.009	10	0.65	N	C	低ノイズ	P15-31
●SSM-2018	14(1kHz)	0.006	10	0.7	N, R	I	電圧制御アンプ/OVCE	118

コンパレータ

モデル	伝播遅延 ns max	ディスペーション ps	ロジック	V _{OS} mV max	パッケージ ² オプション	温度 ³ 範囲	特長	掲載ページ
AD96685	3.5	50	ECL	2	E, H, Q, P, R	I, M	超高速	D4-281
AD96687	3.5	50	ECL	2	E, R, Q, P	I, M	AD96685のデュアル・タイプ	D4-281
AD9696	7.0	100	TTL	2	H, N, Q, R, Z	C, M	シングル・タイプ	D4-273
AD9698	7.0	100	TTL	2	H, Q, R, Z	C, M	AD9696のデュアル・タイプ	D4-273
CMP-404	800 typ	—	TTL	1.0	Q	I, M	クワッド, ローパワー	P7-41
CMP-08	9.5	—	ECL	2.5	Q	I, M	高速, ECL出力	P7-33
AD790	45	—	TTL	0.25-1	N, Q, R	C, I, M	高速, 高精度, 単一電源	D4-154
CMP-05	55	—	TTL	0.6	H, N, Q, R	I, M	高速, 高精度	P7-25
CMP-01	180	—	TTL	0.8	H, N, Q	C, M	高速, 高精度	P7-5
CMP-02	270	—	TTL	0.8	H, N, Q	C, M	低入力電流	P7-11
CMP-04	300 typ	—	TTL	1.0	N, Q, R	I, M	クワッド, ローパワー	P7-17

特長

OPA-111/OPA-121オペアンプの上位コンパチブル

低ノイズ

- 2.5 μ V_{p-p} max (0.1~10Hz)
- 20nV/ $\sqrt{\text{Hz}}$ max (100Hz)
- 電流ノイズ: 11fA_{p-p} (0.1~10Hz)

高いDC精度

- オフセット電圧: 250 μ V max
- ドリフト: 5 μ V/ $^{\circ}$ C max
- 入力バイアス電流: 1.5pA max
- オープン・ループ・ゲイン: 114dB min

AC特性

- スルー・レート: 2V/ μ s
- ユニティ・ゲイン帯域幅: 2MHz

8ピン・プラスチック・ミニDIPまたはヘッダ・パッケージを用意
MIL-STD-883Bおよびブラッス・プロセス製品の販売可能

応用

低ノイズ・フォトダイオード・プリアンプ
CTスキヤナ

概要

AD645は低ノイズ、高精度、FET入力モノリシック・オペアンプです。バイポーラ入力オペアンプの低電圧ノイズとFET入力素子の非常に低いバイアス電流の両方の特長を備えています。10¹⁴ Ω の同相インピーダンスにより、入力バイアス電流は同相電圧の変動と基本的に無関係です。

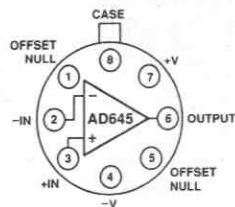
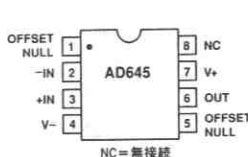
AD645は優れたDC特性と、保証および試験済みの最大入力電圧ノイズを兼ね備えています。最大1.5pAの入力バイアス電流と最大250 μ Vのオフセット電圧性能を特長としています。

AD645は、多くの高入力インピーダンス、低ノイズの応用に使用できます。5種類の性能別グレードが用意されています。AD645JとAD645Kは一般用温度範囲0~+70 $^{\circ}$ Cで仕様が規定されています。AD645AおよびAD645Bは工業用温度範囲-40~+85 $^{\circ}$ Cで仕様が規定されています。AD645Sは軍用温度範囲-55~+125 $^{\circ}$ Cで仕様が規定され、MIL-STD-883Bプロセス製品も用意されています。

AD645は8ピン・プラスチック・ミニDIP、8ピン・ヘッダ、またはチップの形で提供可能です。

ピン配置図

8ピン・プラスチック・ミニDIP (N) パッケージ TO-99 (H) パッケージ



注: ケースはピン8に接続されています。

製品ハイライト

1. AD645の低周波でのノイズ・レベルは保証され試験されているため、FET入力オペアンプが必要な多くの低ノイズ応用に最適です。
2. AD645の入力バイアス電流は1.5pAという低い値であるため、高インピーダンスの信号源の出力を増幅する用途に使用できます。

仕様

(特に指定のない限り、@ +25°C、±15V DC)

パラメータ	条件	AD645J/A			AD645K/B			AD645S			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
入力オフセット電圧 ¹											
初期オフセット	$T_{min} \sim T_{max}$		100	500		50	250		100	500	μV
オフセット			300	1000		100	400		500	1500	μV
対温度			3	12		2	5		4	10	$\mu V/^{\circ}C$
対電源 (PSRR)	$T_{min} \sim T_{max}$	90	110		94	110		90	110		dB
対電源				100		90	100		86	95	
入力バイアス電流 ²											
各入力	$V_{CM}=0V$		0.7/1.8	3/5		0.7/1.8	1.5/3		1.8	5	pA
各入力 @ T_{max}	$V_{CM}=0V$		16/115			16/115			1800		pA
各入力	$V_{CM}=+10V$		0.8/1.9			0.8/1.9			1.9		pA
オフセット電流	$V_{CM}=0V$		0.1	1.0		0.1	0.5		0.1	1.0	pA
オフセット電流 @ T_{max}	$V_{CM}=0V$		2/6			2/6			100		pA
周波数応答											
ユニティ・ゲイン帯域幅	$G=-1$ $V_O=20V_{p-p}$ $R_{LOAD}=2k\Omega$		2			2			2		MHz
小信号											
フルパワー応答		16	32		16	32		16	32		kHz
スルーレート	$V_{OUT}=20V_{p-p}$ $R_{LOAD}=2k\Omega$		1	2		1	2		1	2	V/ μs
ユニティ・ゲイン											
セトリング時間 ³											
0.1%	50%オーバドライブ $f=1kHz$ $R_{LOAD} \geq 2k\Omega$ $V_O=3V_{rms}$		6			6			6		μs
0.01%			8			8			8		μs
過負荷回復 ⁴			5			5			5		μs
全高調波歪み			0.0006			0.0006			0.0006		%
入力インピーダンス											
差動	$V_{DIFF} = \pm 1V$		$10^{12} \parallel 1$			$10^{12} \parallel 1$			$10^{12} \parallel 1$		$\Omega \parallel pF$
同相			$10^{14} \parallel 2.2$			$10^{14} \parallel 2.2$			$10^{14} \parallel 2.2$		$\Omega \parallel pF$
入力電圧範囲											
差動 ⁵			± 20			± 20			± 20		V
同相電圧			± 10 +11, -10.4			± 10 +11, -10.4			± 10 +11, -10.4		V
最大動作範囲			± 10			± 10			± 10		V
同相除去比	$V_{CM} = \pm 10V$ $T_{min} \sim T_{max}$	90	110		94	110		90	110		dB
			100		90	100		86	100		dB
入力電圧ノイズ											
0.1~10Hz			1.0	3.3		1.0	2.5		1.0	3.3	μV_{p-p}
$f=10Hz$			20	50		20	40		20	50	nV/\sqrt{Hz}
$f=100Hz$			10	30		10	20		10	30	nV/\sqrt{Hz}
$f=1kHz$			9	15		9	12		9	15	nV/\sqrt{Hz}
$f=10kHz$			8	10		8	10		8	10	nV/\sqrt{Hz}
入力電流ノイズ											
$f=0.1 \sim 10Hz$			11	20		11	15		11	20	fA_{p-p}
$f=0.1 \sim 20kHz$			0.6	1.1		0.6	0.8		0.6	1.1	fA/\sqrt{Hz}
オープン・ループ・ゲイン											
$V_O = \pm 10V$ $R_{LOAD} \geq 2k\Omega$ $T_{min} \sim T_{max}$		114	130		120	130		114	130		dB
					114			110			dB

パラメータ	条件	AD645J/A			AD645K/B			AD645S			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
出力特性											
電圧	$R_{LOAD} \geq 2k\Omega$ $T_{min} \sim T_{max}$ $V_{OUT} = \pm 10V$ 出力短絡	± 10	± 11		± 10	± 11		± 10	± 11		V
電流		± 10			± 10			± 10			V
		± 5	± 10		± 5	± 10		± 5	± 10		mA
電源											
定格性能			± 15			± 15			± 15		V
動作範囲		± 5		± 18	± 5		± 18	± 5		± 18	V
無負荷時電源電流			3.0	3.5		3.0	3.5		3.0	3.5	mA
トランジスタ数			62			62			62		

注

1. 入力オフセット電圧は $T_A = +25^\circ C$ で5分間の動作後の保証仕様値です。
2. バイアス電流仕様は個々の入力について $T_A = +25^\circ C$ で5分間の動作後の最大保証仕様値です。これより高い温度では $10^\circ C$ 上昇することに電流は2倍になります。
3. ゲイン $= -1$, $R_{LOAD} = 2k\Omega$
4. アンプ入力から50%の過負荷を除去してからアンプ出力が通常の動作に戻るために必要な時間として定義されます。
5. どの入力もグラウンドに対して $\pm 10V$ を越えない範囲での入力間の最大連続電圧です。

すべての最小値および最大値は保証されています。太字の仕様は最終電気試験で全数検査されています。その他の仕様はすべて保証されていますが、試験は必ずしも行なわれていません。仕様は予告なしに変更することがあります。

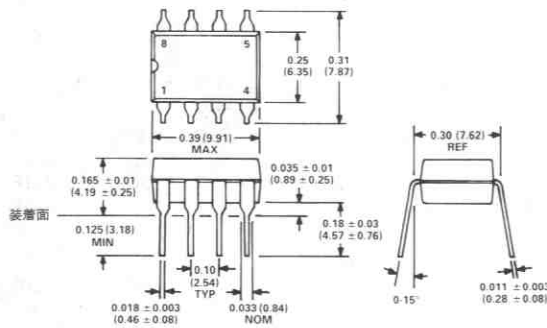
絶対最大定格¹

電源電圧	$\pm 18V$
内部消費電力 ² (@ $T_A = +25^\circ C$)	
8ピン・ヘッダ・パッケージ	500mW
8ピン・ミニDIPパッケージ	750mW
入力電圧	$\pm V_S$
出力短絡時間	無制限
差動入力電圧	$+V_S, -V_S$
保管温度範囲 (H)	$-65 \sim +150^\circ C$
保管温度範囲 (N)	$-65 \sim +125^\circ C$

外形サイズ

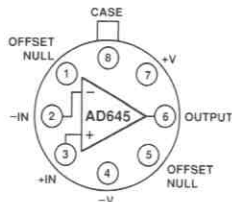
サイズはインチと (mm) で示します。

プラスチック・ミニDIP (N) パッケージ



ピン配置図

8ピン・プラスチック・ミニDIP (N) パッケージ TO-99 (H) パッケージ



注：ケースはピン8に接続されています。

動作温度範囲

AD645J/K	$0 \sim +70^\circ C$
AD645A/B	$-40 \sim +85^\circ C$
AD645S	$-55 \sim +125^\circ C$
リード温度範囲 (ハンダ付け60秒)	$300^\circ C$

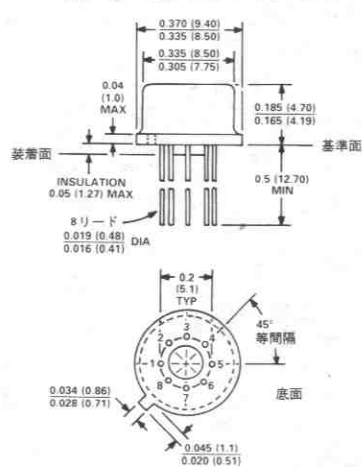
注

1. 絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスがある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

2. 熱特性

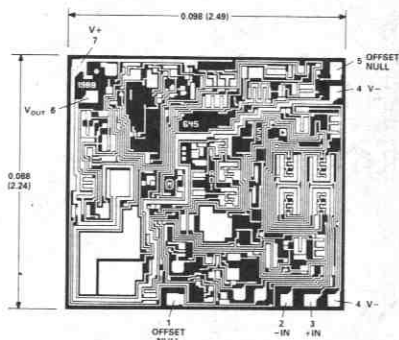
- 8ピン・プラスチック・ミニDIPパッケージ: $\theta_{JA} = 100^\circ C/W$
- 8ピン・ヘッダ・パッケージ: $\theta_{JA} = 200^\circ C/W$

TO-99ヘッダ (H) パッケージ



メタライゼーション写真

サイズはインチと (mm) で示します。



オーダ・ガイド

温度範囲	ミニDIP	ヘッダ
一般用 0 ~ +70°C	AD645JN AD645KN	
産業用 -40 ~ +85°C		AD645AH AD645BH
軍用 -55 ~ +125°C		AD645SH AD645SH/883B

"J" および "S" グレードのチップも用意されています。

代表的特性 (特に指定のない限り、@ +25°C、±15V)

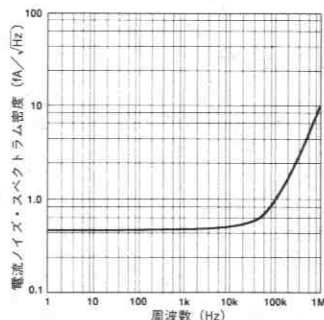


図1. 電流ノイズ・スペクトラム密度の周波数特性

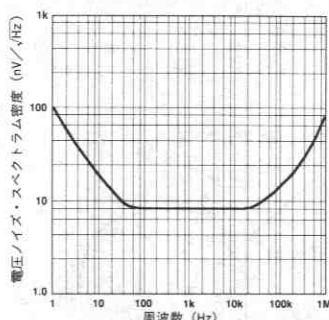


図2. 電圧ノイズ・スペクトラム密度の周波数特性

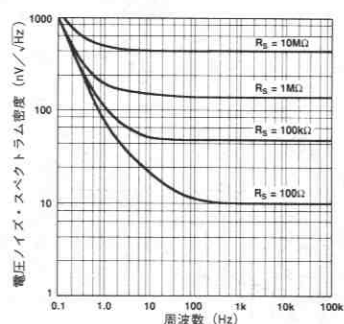


図3. 数種類の負荷抵抗における電圧ノイズ・スペクトラム密度の周波数特性

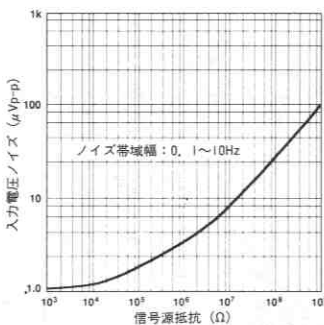


図4. 信号源抵抗と入力電圧ノイズの関係

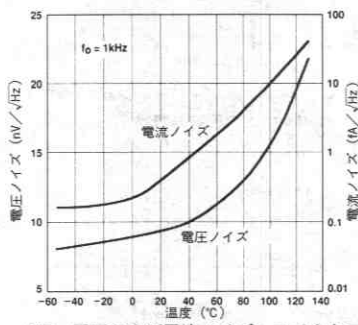


図5. 電圧および電流ノイズ・スペクトラム密度の温度特性

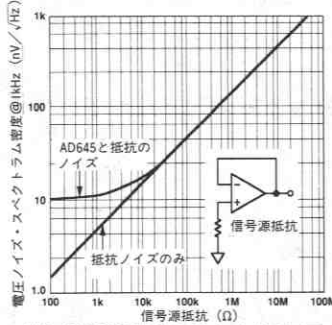


図6. 信号源抵抗と1kHzにおける電圧ノイズ・スペクトラム密度の関係

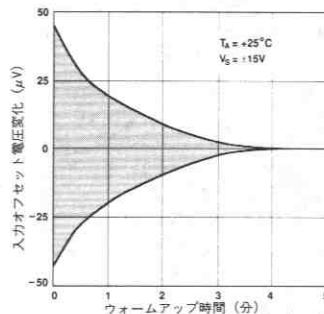


図7. ウォームアップ時間と入力オフセット電圧変化の関係

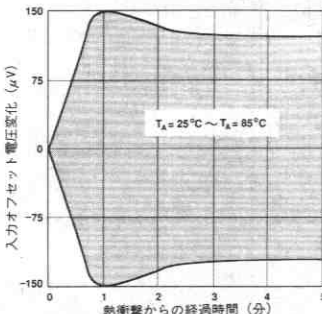


図8. 熱衝撃からの経過時間と入力オフセット電圧変化の関係

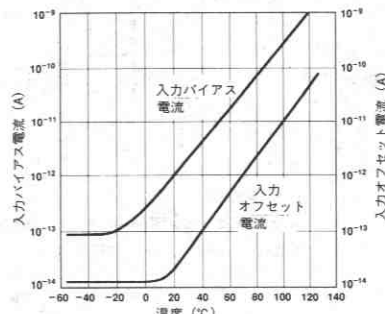


図9. 入力バイアスおよびオフセット電流の温度特性

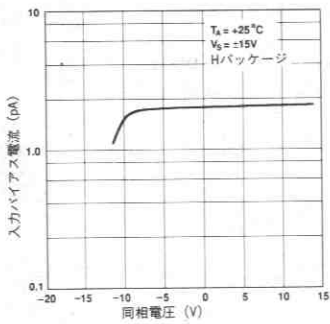


図10. 同相電圧と入力バイアス電流の関係

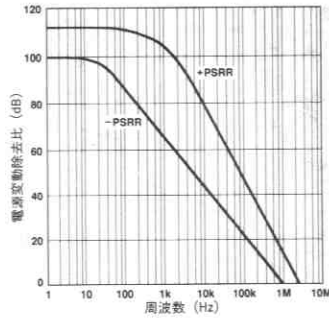


図11. 電源変動除去比の周波数特性

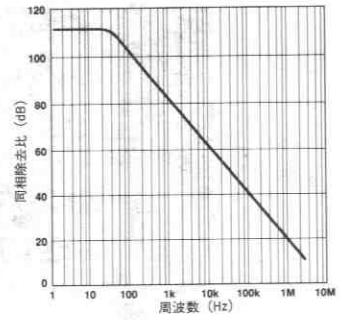


図12. 同相除去比の周波数特性

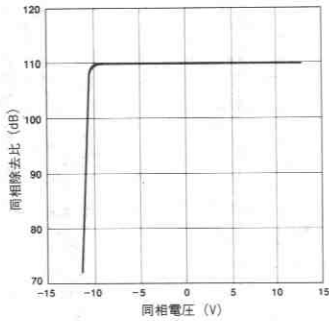


図13. 入力同相電圧と同相除去比の関係

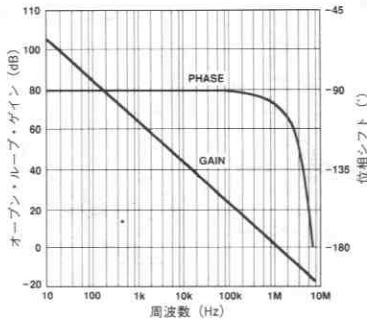


図14. オープン・ループ・ゲインおよび位相シフトの周波数特性

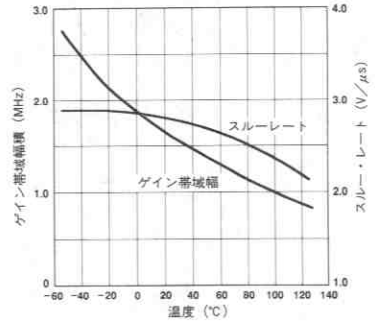


図15. ゲイン帯域幅とスルー・レートの温度特性

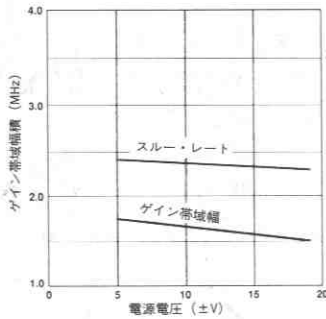


図16. 電源電圧とゲイン帯域幅およびスルー・レートの関係

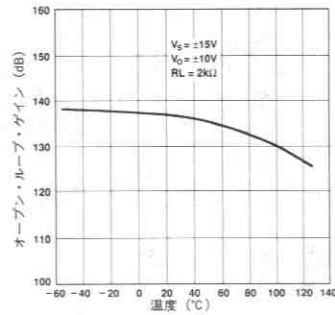


図17. オープン・ループ・ゲインの温度特性

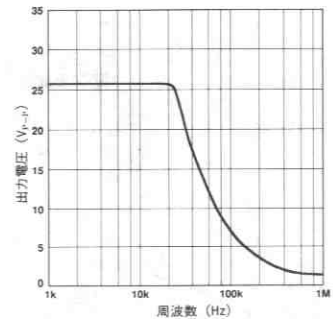


図18. 大信号周波数応答

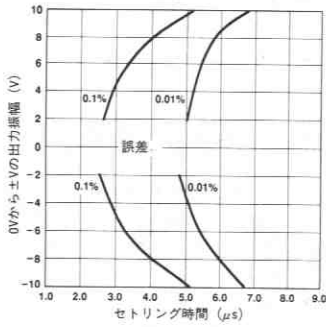


図19. セトリング時間と出力振幅および誤差の関係

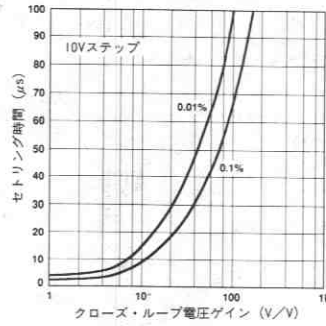


図20. クローズ・ループ電圧ゲインとセトリング時間の関係

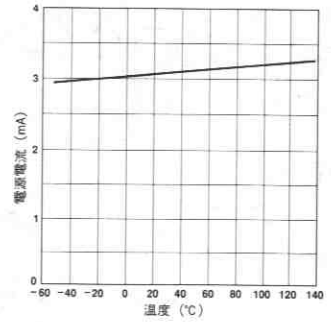


図21. 電源電流の温度特性

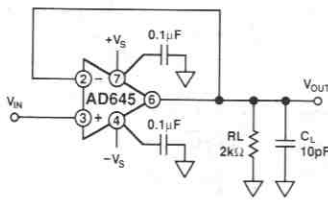


図22a. ユニティ・ゲイン・フォロア

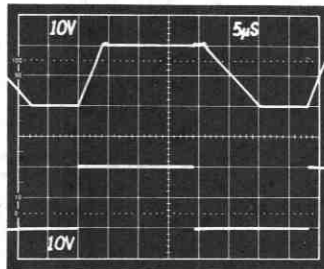


図22b. ユニティ・ゲイン・フォロアの
大信号パルス応答

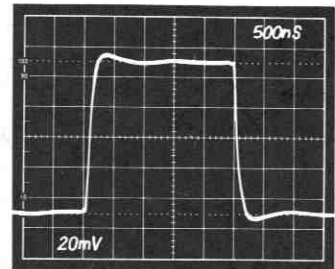


図22c. ユニティ・ゲイン・フォロアの
小信号パルス応答

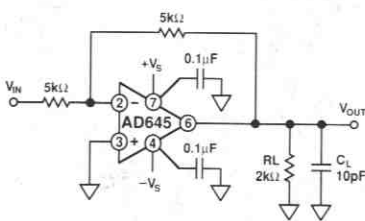


図23a. ユニティ・ゲイン反転アンプ

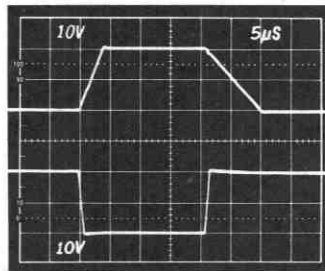


図23b. ユニティ・ゲイン反転アンプの
大信号パルス応答

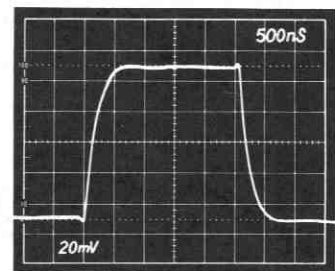


図23c. ユニティ・ゲイン反転アンプの
小信号パルス応答

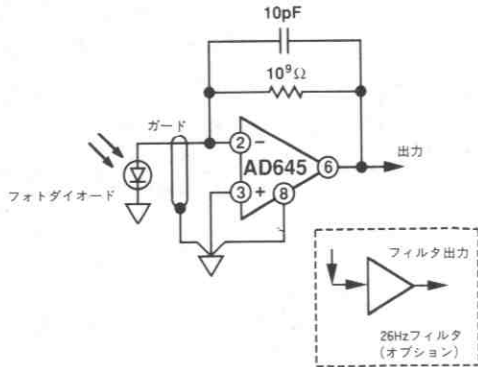


図24. AD645による高感度プリアンプ

プリアンプへの応用

AD645は低い入力電流とオフセット電圧、そして低電圧ノイズ特性を兼ね備えているため、高感度フォトダイオード用プリアンプへの応用に最適です。図24に示すような代表的なプリアンプ回路では、アンプ出力は以下のように表現されます。

$$V_{OUT} = I_D (R_f) = R_p (P) R_f$$

ここで、

- I_D = フォトダイオード信号電流 (A)
- R_p = フォトダイオード感度 (A/W)
- R_f = フィードバック抵抗の値 (Ω)
- P = フォトダイオードに照射する光量 (W)

フォトダイオードの等価回路とDC誤差源を図25に示します。アンプの入力電流 I_D はフィードバック抵抗の値に比例した出力電圧誤差に寄与します。オフセット電圧誤差 V_{OS} はフォトダイオードのシャント抵抗 R_d が有限であるため“ダーク”な電流誤差を生じます。出力電圧誤差 V_E は以下ようになります。

$$V_E = (1 + R_f/R_d) V_{OS} + R_f I_D$$

小さなフォトダイオードのためのシャント抵抗としては、 $10^9 \Omega$ オーダーの抵抗値が代表的です。抵抗 R_d はジャンクション抵抗であり、温度が 10°C 上昇することに通常半減します。AD645ではオフセット電圧とドリフトが低いため、これらの誤差の最小化に有効です。

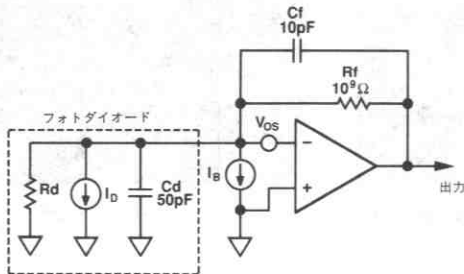


図25. DC誤差源を示すフォトダイオードの等価回路

ノイズ・レベルの最小化

ノイズ・レベルはプリアンプから得られる分解能を制限します。オペアンプのフィードバック抵抗によって分割されるトータル出力電圧ノイズにより、検出可能な最小の信号電流が決まります。フォトダイオードの感度によって分割される検出可能な最小の電流が、検出可能な最小光量となります。

代表的なプリアンプのノイズ源を図26に示します。総合ノイズ配分は以下のように定義できます。

$$V_{OUT} = \sqrt{(I_s^2 + I_f^2 + I_n^2) \left(\frac{R_f}{1 + s(C_f)R_f} \right)^2 + (e_n^2) \left(1 + \frac{R_f}{R_d} \left(\frac{1 + s(C_d)R_d}{1 + s(C_f)R_f} \right)^2 \right)^2}$$

図27の各信号源ごとのノイズ配分の分布密度の周波数特性のプロットでは、アンプの入力電圧のノイズ配分の帯域幅が信号帯域幅よりもかなり広いことがわかります。さらにサミング・ジャンクションでの容量により、この設定ではノイズ・ゲインの“ピーキング”が結果として出ています。大きなシャント容量を持った大きなフォトダイオードを使用する場合にはこの影響が大きくなります。コンデンサ C_f により信号帯域幅が決まり、またノイズ・ゲインのピークも制限されます。すべてのノイズ源の2乗の和を積分し、さらにこの和の平方根を取ることで、各信号源のノイズのrmsまたは自乗平均分布が得られます。これらの曲線から下の領域の面積を最小にすることによって、プリアンプの総合ノイズ特性を最適化することができます。

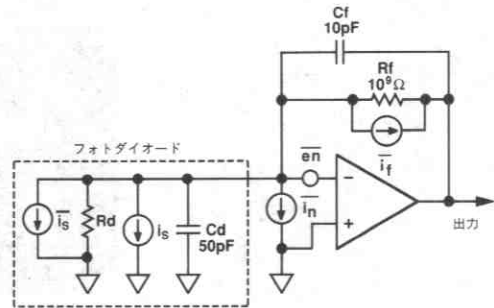


図26. 各種信号源のノイズ

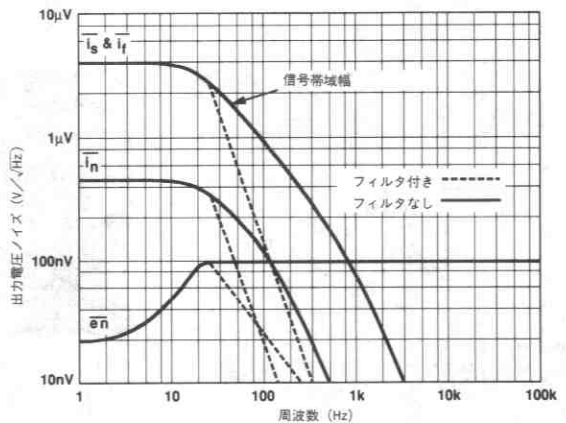


図27. 図26の回路の出力フィルタ付きおよびフィルタ無しの場合の電圧ノイズ・スペクトラム密度

信号出力に近い通過帯域を持つ出力フィルタを付けることにより、プリアンプの信号ノイズ比が大幅に改善されます。図26に示したフォトダイオードのプリアンプ回路（フィルタ回路なし）では50 μ Vrmsのトータル出力ノイズが得られます。26Hzの単極フィルタを使用するとトータル出力ノイズは23 μ Vrmsに下がり、信号帯域幅の損失なしに2倍の改善が得られます。

T回路の使用

図28に示すT回路により任意のフィードバック抵抗値で電流-電圧コンバータの有効トランスインピーダンスをブーストすることができます。残念なことに、アンプのノイズとオフセット電圧分布もT回路のゲインによって増幅されます。このような応用にはAD645のような低ノイズ、低オフセット電圧のアンプが必要です。

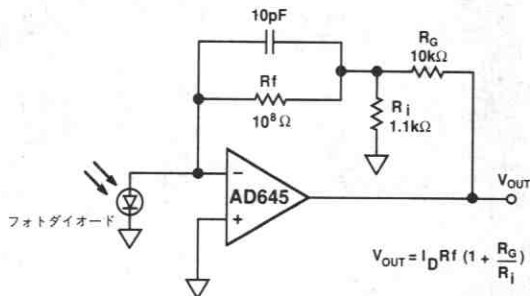


図28. T回路によりゲインを上げたフォトダイオード・プリアンプ

pHプローブ・バッファ・アンプ

通常のpHプローブでは、 $10^8 \sim 10^9 \Omega$ の信号源抵抗と外部回路との分離を行なうためのバッファ・アンプが必要です。図29にこのようなアンプを示します。AD645は低い入力電流によりバイアス電流と電極抵抗による電圧誤差を最小にすることができます。この回路の精度を保つためにはガードやシールド、高い絶縁抵抗のスタンドオフ端子その他一般的な漏れ電流を防ぐための方法を駆使することが必要です。

pHプローブの伝達関数の傾きは室温では1pH単位あたり50mVで、+3300ppm/ $^{\circ}$ Cの温度係数を持っています。図29のバッファ回路では1V/pHの出力電圧が得られます。温度補償抵抗RT (Q81, 1k Ω , 1%, +3500ppm/ $^{\circ}$ C, Tel Labs社製)により温度補償を行ないます。

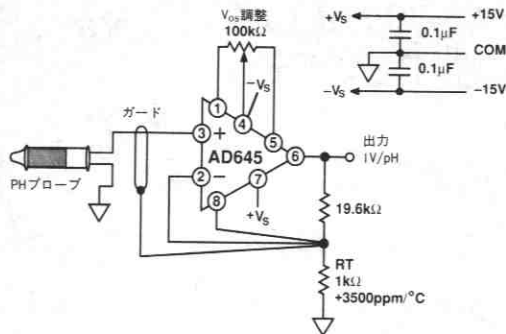


図29. pHプローブ・アンプ

回路基板について

AD645はプリント基板にホール・マウントできるよう設計されています。この環境でpAレベルの分解能を保つには多大な注意が必要です。プリント基板とオペアンプのパッケージの抵抗値は有限なため、アンプの入力ピンと他のピン（またはプリント基板の配線）との間の電位差によって信号線との間に寄生電流が流れます。特別な配慮を行わないと、これらの電流は容易にAD645の入力電流レベルである1.5pAを越える大きくなります。この漏れ電流を最小にするには2種類の方法があります。それはAD645の入力線をガードすること、そして適度な絶縁抵抗を保つことです。

入力ラインの電位付近でバイアスした金属の導体で入力ラインを完全に覆ってガードすることは2つの大きな利点を持っています。第1に、入力ラインとガードとの電位差が非常に小さいため、信号ラインからの寄生漏れ電流が減少します。第2は入力端子の浮遊容量が最小となり、信号帯域幅が増加することです。ヘッダまたはメタル・キャン・パッケージではAD645のケースはピン8に接続されており、フォロア動作時には入力電位に、反転動作時にはグラウンドに接続できるようになっています。AD645の正入力（ピン3）は負電源ピン（ピン4）の隣に配置されています。負入力（ピン2）は負電源電圧に近い電位でバイアスされたバランス調整ピン（ピン1）の隣です。ガードは基板の両面に必要なことに注意してください。さらに、入力の配線はそのエッジの両端と長さ全体に沿ってガードしなければなりません。

基板の表面やオペアンプのパッケージがハンダ・フラックスなどで汚れると絶縁抵抗が大幅に低下し、大気中の湿度による影響が上昇します。パッケージと基板は両方も清潔と乾燥を保たなければなりません。効果的なクリーニング手順を以下に示します。まず、高品質のイソプロピル・アルコールを表面に塗布し、次に蒸留水で洗い、最後に80 $^{\circ}$ Cで1時間加熱乾燥します。もしポリスチレンやポリプロピレン・コンデンサがプリント基板に使用されているときには、これらのプラスチック材料がおよそ+85 $^{\circ}$ Cで溶け始めるために、加熱乾燥は+70 $^{\circ}$ Cで行なうことが安全です。

特長

高いDC精度

- 75 μ V maxのオフセット電圧
- 1 μ V/ $^{\circ}$ C maxのオフセット・ドリフト
- 150pA maxの入力バイアス電流
- 0.2pA/ $^{\circ}$ C typの I_B ドリフト

低ノイズ

- 0.5 μ V p-p の電圧ノイズ (0.1Hz~10Hz)

低消費電力

- 600 μ A maxの電源電流 (アンプ1個あたり)
- チップおよびMIL-STD-883Bプロセス準拠製品を用意
- シングル・バージョン: AD705、デュアル・バージョン: AD706

応用

- 低周波アクティブ・フィルタ
- 高精度計装/プロセス制御
- ECG/EKG計装
- 重量計測

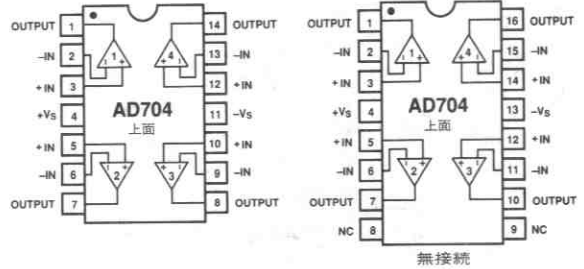
概要

AD704はクワッド、低消費電力のバイポーラ・オペアンプで、BiFETアンプの低入力バイアス電流とともに、全温度範囲において非常に低い I_B ドリフトを備えています。この製品は、(室温におけるFET入力アンプと同様な) pAレベルの入力バイアス電流を実現するためにスーパー β バイポーラ・トランジスタを用いています。(I_B が 10° Cの上昇毎に倍になり、 125° Cでは1000倍に増加するBiFETアンプとは異なり) 代表的な I_B の増加は 125° Cにおいてわずか5倍です。AD704はまた、高精度バイポーラ入力アンプがもつ μ Vレベルのオフセット電圧と、低ノイズ特性も実現しています。

AD704の入力バイアス電流はOP-07のおよそ1/20のみであるため、一般に使われているバランス抵抗は必要ありません。さらに、電流ノイズはOP-07のおよそ1/5なので、より高いソース・インピーダンスで使用することができます。各アンプあたりの電源電流はOP-

14ピン・プラスチックDIP(N)
14ピン・サーディップ(Q)パッケージ

16ピンSOIC(R)
パッケージ



AD704ピン配置

-07の1/6に過ぎず、高密度実装やバッテリー駆動応用のニーズに適しています。

AD704は12または14ビットのデータ・アキュジション・システムの低周波アクティブ・フィルタ、高精度計装、および高品質な積分器に最適です。AD704はユニティ・ゲインに内部補償されており、5つの性能別グレードが用意されています。AD704JおよびAD704Kは $0 \sim +70^{\circ}$ Cの一般用温度範囲品です。AD704AおよびAD704Bは、 $-40 \sim +85^{\circ}$ Cの産業用温度範囲品です。AD704Tは $-55 \sim +125^{\circ}$ Cの軍用温度範囲品で、MIL-STD-883B, Rev Cプロセス品も販売可能です。

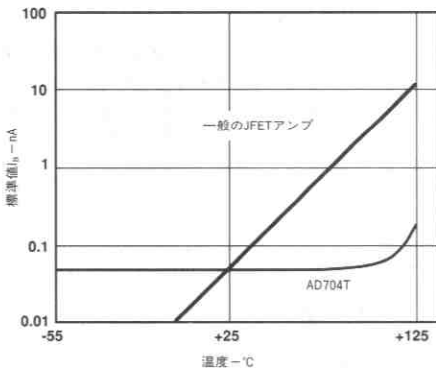


図1. 入力バイアス電流の温度に対する変化

仕様

(特に指定のない限り、@T_A = +25°C、V_{CM} = 0Vおよび±15V DC)

パラメータ	条件	AD704J/A			AD704K/B			AD704T			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
入力オフセット電圧											
初期オフセット			50	150		30	75		30	100	μV
オフセット	T _{min} ~ T _{max}		100	250		50	150		80	150	μV
対温度、平均TC			0.2	1.5		0.2	1.0			1.0	μV/°C
対電源 (PSRR)	V _S = ±2V ~ ±18V	100	132		112	132		112	132		dB
T _{min} ~ T _{max}	V _S = ±2.5V ~ ±18V	100	126		108	126		108	126		dB
長期安定性			0.3			0.3			0.3		μV/月
入力バイアス電流 ¹	V _{CM} = 0V		100	270		80	150		80	200	pA
	V _{CM} = ±13.5V			300			200			250	pA
対温度、平均TC			0.3			0.2			1.0		pA/°C
T _{min} ~ T _{max}	V _{CM} = 0V			300			200			600	pA
T _{min} ~ T _{max}	V _{CM} = ±13.5V			400			300			700	pA
入力オフセット電流	V _{CM} = 0V		80	250		30	100		50	150	pA
	V _{CM} = ±13.5V			300			150			200	pA
対温度、平均TC			0.6			0.4			0.4		pA/°C
T _{min} ~ T _{max}	V _{CM} = 0V		100	300		80	200		80	400	pA
T _{min} ~ T _{max}	V _{CM} = ±13.5V		100	400		80	300		100	500	pA
マッチング特性											
オフセット電圧	T _{min} ~ T _{max}			250			130			150	μV
				400			200			250	μV
入力バイアス電流 ²	T _{min} ~ T _{max}			500			300			400	pA
				600			400			600	pA
同相除去比 ³	T _{min} ~ T _{max}	94			110			104			dB
		94			104			104			dB
電源変動除去比 ⁴	T _{min} ~ T _{max}	94			110			110			dB
		94			106			106			dB
クロストーク ⁵	T _{min} ~ T _{max} f = 10Hz R _L = 2kΩ		150			150			150		dB
周波数応答											
ユニティ・ゲイン											
クロスオーバー周波数	G = -1		0.8			0.8			0.8		MHz
スルーレート、ユニティ・ゲイン			0.15			0.15			0.15		V/μs
スルーレート	T _{min} ~ T _{max}		0.1			0.1			0.1		V/μs
入力インピーダンス											
差動			40 2			40 2			40 2		MΩ pF
同相			300 2			300 2			300 2		GΩ pF
入力電圧範囲											
同相電圧	V _{CM} = ±13.5V		±13.5	±14		±13.5	±14		±13.5	±14	V
同相除去比	T _{min} ~ T _{max}		100	132		114	132		110	132	dB
			98	128		108	128		108	128	dB
入力電流ノイズ	0.1 ~ 10Hz		3			3			3		pA p-p
	f = 10Hz		50			50			50		fA/√Hz
入力電圧ノイズ	0.1 ~ 10Hz		0.5			0.5	2.0		0.5	2.0	μV p-p
	f = 10Hz		17			17			17		nV/√Hz
	f = 1kHz		15	22		15	22		15	22	nV/√Hz
オープン・ループ・ゲイン	V _O = ±12V										
	R _{L,LOAD} = 10kΩ		200	2000		400	2000		400	2000	V/mV
	T _{min} ~ T _{max}		150	1500		300	1500		300	1500	V/mV
	V _O = ±10V										
	R _{L,LOAD} = 2kΩ		200	1000		300	1000		200	1000	V/mV
	T _{min} ~ T _{max}		150	1000		200	1000		100	1000	V/mV
出力特性											
電圧振幅	R _{L,LOAD} = 10kΩ										
	T _{min} ~ T _{max}		±13	±14		±13	±14		±13	±14	V
電流	短絡			±15			±15			±15	mA
容量性負荷駆動能力	ゲイン = +1		10000			10000			10000		pF
電源											
定格性能				±15			±15			±15	V
動作範囲			±2.0			±2.0			±2.0		V
無負荷時電源電流	T _{min} ~ T _{max}		1.5	2.4		1.5	2.4		1.5	2.4	mA
			1.6	2.6		1.6	2.6		1.6	2.6	mA
トランジスタの個数			180			180			180		個

注

- バイアス電流の仕様は、各入力における最大値で保証されています。
- 入力バイアス電流のマッチングは、4つのアンプすべての対応する入力間の最大の差です。
- CMRRのマッチングは、dBで表現した任意の2つのアンプ間のΔV_{OS}/ΔV_{CM}の差です。
- PSRRのマッチングは、dBで表現した任意の2つのアンプについてのΔV_{OS}/ΔV_{SUPPLY}間の差です。
- テスト回路は図2を参照してください。

すべての最小値と最大値の仕様は保証されています。

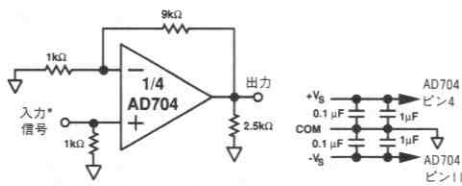
仕様は予告なしに変更することがあります。

絶対最大定格¹

電源電圧 ±18V
内部消費電力 (+25°C) ² 650mW
入力電圧 ±V _S
差動入力電圧 ³ ±0.7V
出力短絡時間 (シングル入力) 無制限
保管温度範囲 Q -65 ~ +150°C
保管温度範囲 N, R -65 ~ +125°C
動作温度範囲	
AD704J/K 0 ~ +70°C
AD704A/B -40 ~ +85°C
AD704T -55 ~ +125°C
リード温度 (ハンダ付け10秒間) +300°C

注

- 絶対最大定格を超えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスを長時間、絶対最大定格の状態にさらすとデバイスの信頼性に影響を与えます。
- フリー・エアでの仕様は以下のとおりです。
 14ピン・プラスチック・パッケージ: $\theta_{JA} = 150^\circ\text{C}/\text{W}$
 14ピン・サーティップ・パッケージ: $\theta_{JA} = 110^\circ\text{C}/\text{W}$
 16ピン・スモール・アウトライン・パッケージ: $\theta_{JA} = 100^\circ\text{C}/\text{W}$
- このデバイスの入力ピンはバック・バック・ダイオードによって保護されています。差動電圧が±0.7Vを超える場合、入力電流を25mA以下に制限するために外部に直列保護抵抗を追加してください。



4つのアンプはすべて図のように接続しています。

*信号入力 (アンプの出力はクリッピングやスルーの制限がなく最大振幅の状態) は逐一、1つのアンプに加えられます。その後、他の3つのアンプの出力はクロストークに関して測定されます。

図 2 a. クロストークの試験回路

メタライゼーション写真

サイズはインチと (mm) で示します。

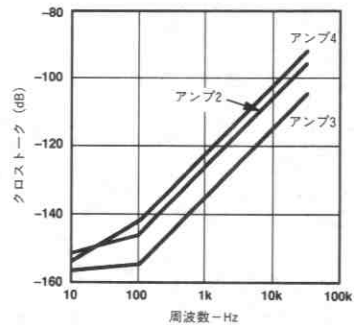
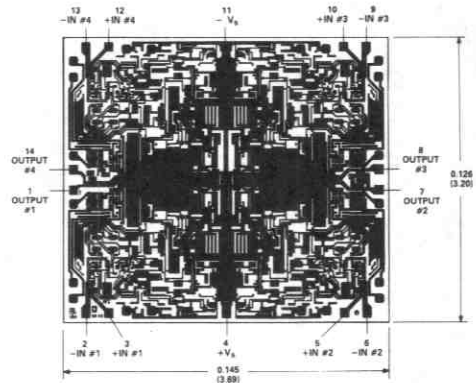


図 2 b. クロストークの周波数特性

代表的特性 (特に指定のない限り、@ +25°C、 $V_s = \pm 15V$)

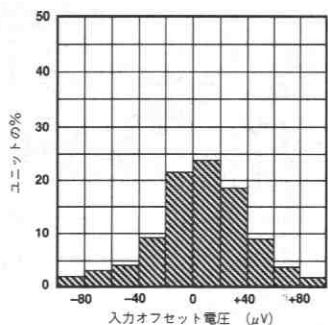


図3. 入力オフセット電圧の代表分布

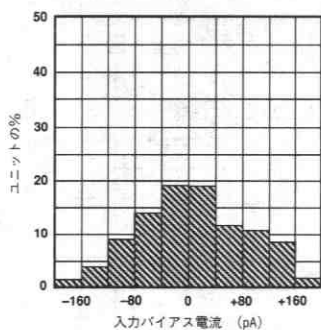


図4. 入力バイアス電流の代表分布

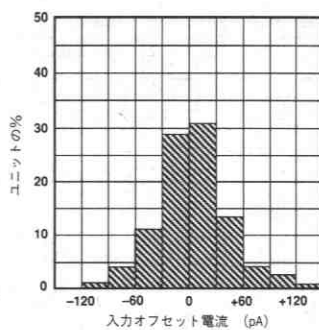


図5. 入力オフセット電流の代表分布

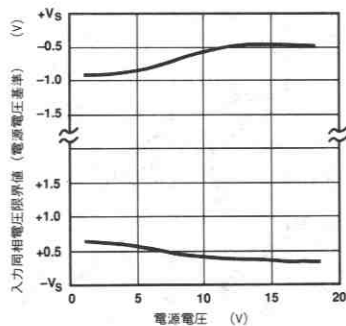


図6. 入力同相電圧範囲対電源電圧

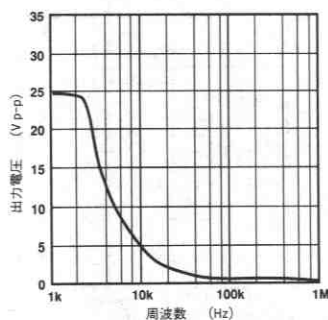


図7. 大信号周波数応答

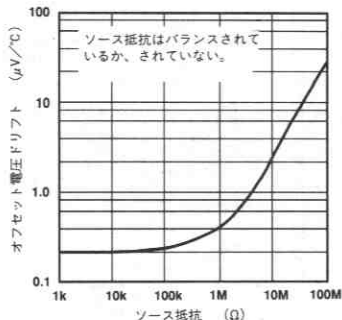


図8. オフセット電圧ドリフト対ソース抵抗

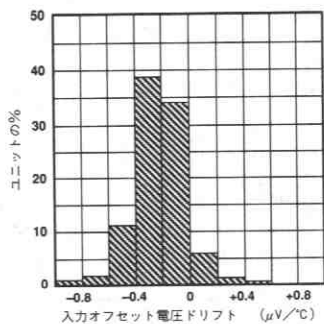


図9. オフセット電圧ドリフトの代表分布

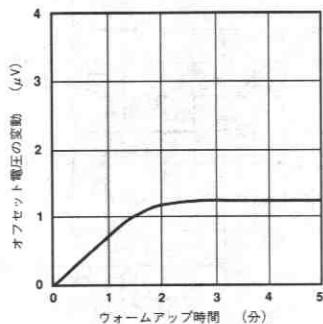


図10. 入力オフセット電圧の変動対ウォームアップ時間

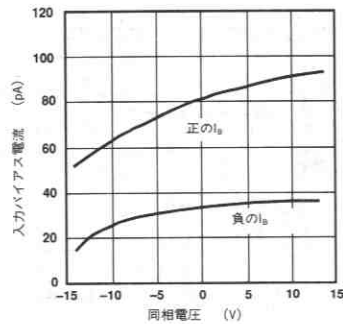


図11. 入力バイアス電流対同相電圧

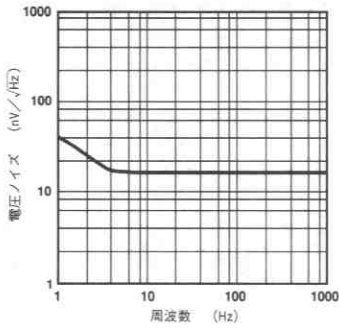


図12. 入力ノイズ電圧のスペクトル密度

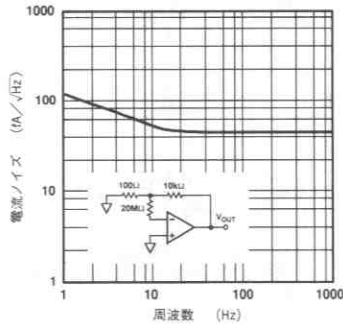


図13. 入力ノイズ電流のスペクトル密度

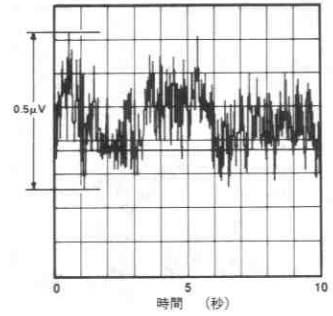


図14. 0.1~10Hzでのノイズ電圧

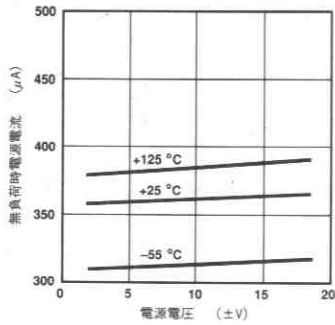


図15. 無負荷時電源電流対電源電圧 (アンプ1個あたり)

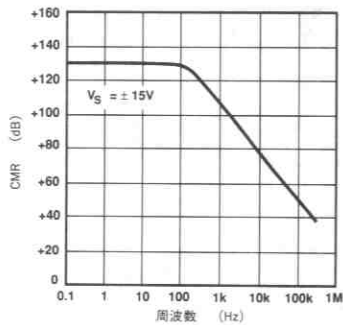


図16. 同相除去比の周波数特性

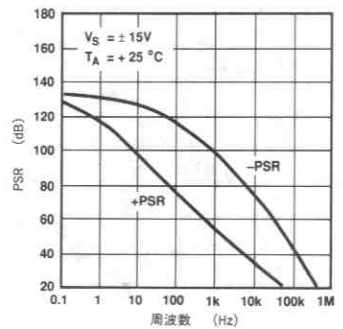


図17. 電源変動除去比の周波数特性

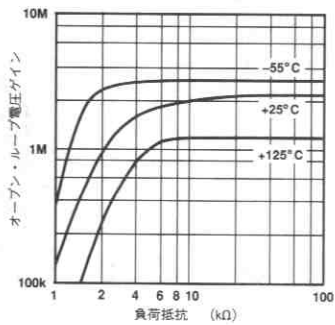


図18. オープン・ループ・ゲイン 対負荷抵抗対温度

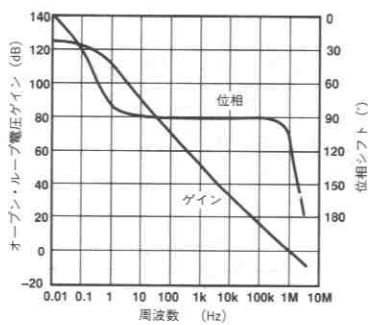


図19. オープン・ループ・ゲインおよび 位相シフトの周波数特性

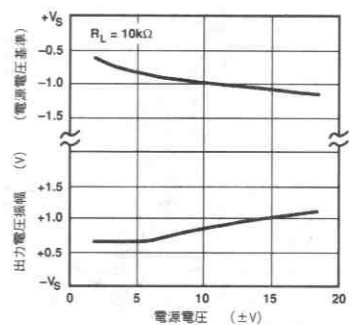


図20. 出力電圧振幅対電源電圧

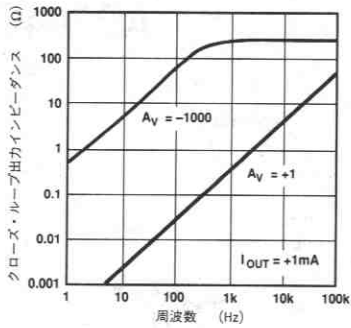


図21. クローズ・ループ出力インピーダンスの周波数特性

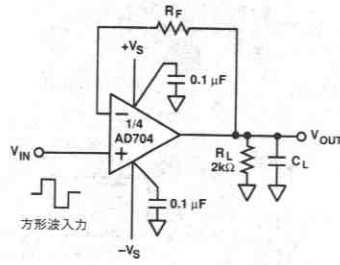


図22a. ユニティ・ゲイン・フォロウ (大信号応用向け。抵抗 R_F は入力保護ダイオードを流れる電流を制限します。)

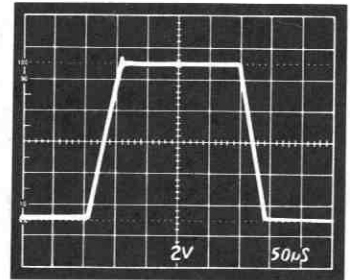


図22b. ユニティ・ゲイン・フォロウの大信号パルス応答
 $R_F = 10k\Omega$, $C_L = 1000pF$

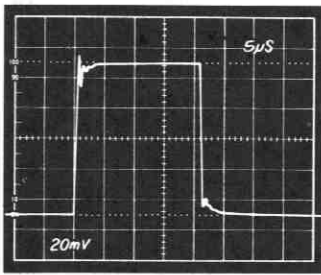


図22c. ユニティ・ゲイン・フォロウの小信号パルス応答
 $R_F = 0\Omega$, $C_L = 100pF$

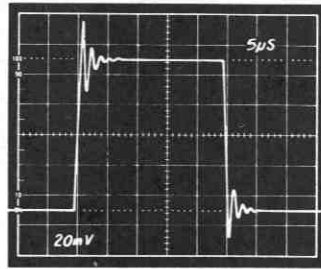


図22d. ユニティ・ゲイン・フォロウの小信号パルス応答
 $R_F = 0\Omega$, $C_L = 1000pF$

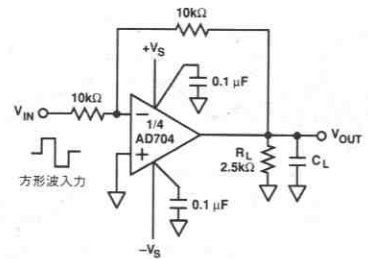


図23a. ユニティ・ゲイン・インバータの接続

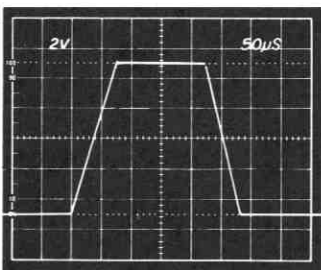


図23b. ユニティ・ゲイン・インバータの大信号パルス応答
 $C_L = 1000pF$

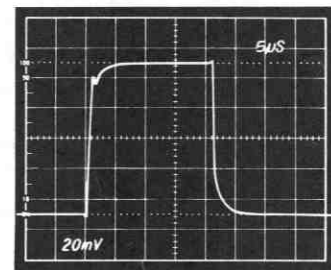


図23c. ユニティ・ゲイン・インバータの小信号パルス応答
 $C_L = 100pF$

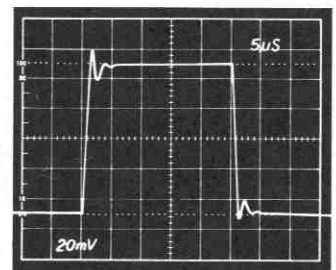


図23d. ユニティ・ゲイン・インバータの小信号パルス応答
 $C_L = 1000pF$

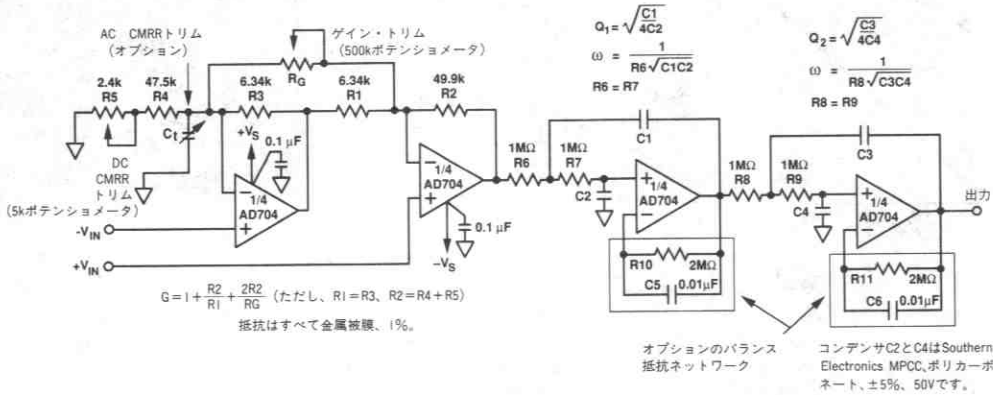


図24. ゲイン10の計装アンプ (ポスト・フィルター付き)

ポスト・フィルタ付きの計装用アンプ(図24)には、AD704から得られる有効な2つのアプリケーションが組み合わさっています。この回路は最小の部品点数で動作温度範囲においてローパワーと高いDC精度を実現しています。

この計装用アンプ回路には、BiFETレベルの入力バイアス電流、低い入力オフセット電圧ドリフトそして1.2mAという極めて低い消費電流などの数多くの特長があります。この回路はゲインG≥2で動作し、またそれ以下のゲインについても3個のオペアンプによる設計で見られるような出力アンプのオフセットやノイズの問題がありません。オプションのAC CMRR調整(図25)を施さない場合でさえ、良好な低周波CMRR特性が得られます。

表Iに、一般的な3種類の回路ゲインを得るための抵抗値を示します。他のゲインを得るためには、以下の式に従ってください。

$$R_2 = R_4 + R_5 = 49.9k\Omega$$

$$R_1 = R_3 = \frac{49.9k\Omega}{0.9G - 1}$$

$$R_c \text{の最大値} = \frac{99.8k}{0.06G}$$

$$C_1 \approx \frac{1}{2\pi(R_3)5 \times 10^5}$$

回路ゲイン (G)	R1およびR3	Rc (ポテンショメータの最大値)	帯域幅 (-3dB) Hz
10	6.34kΩ	166kΩ	50k
100	526Ω	16.6kΩ	5k
1000	56.2Ω	1.66kΩ	0.5k

表I. 各種ゲインを得るための抵抗値

1Hz、4極のアクティブ・フィルタは最小の部品点数およびコストで高いDC精度を実現します。低い電流ノイズ、 I_{OS} 、 I_B により、AD704のドリフト値 $1\mu V/^\circ C$ を劣化させることなく1MΩの抵抗を使用することが可能です。つまり、低容量のコンデンサを使うことが可能となり、コストとスペースの節減ができます。その上、AD704の I_{OS} 、 I_B はMIL温度範囲のほとんどにおいて低いので、ほとんど全ての応用で通常のパラシタ抵抗が不要です。高温度での性能を向上させる

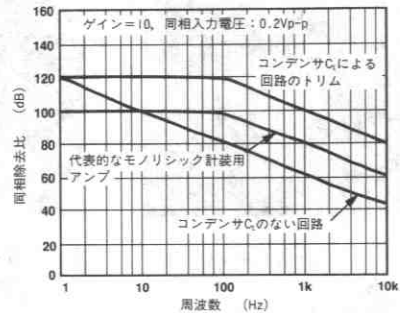


図25. 同相除去比対周波数対コンデンサC_cの容量

ために、図26に示すようにバランス抵抗(オプション)を追加することができます。表IIにローパス応答に対するコンデンサの推奨値を示します。

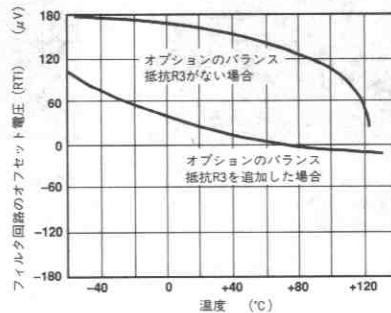


図26. 1HzフィルタのV_{OS}対温度

必要なローパス応答	セクション1 周波数 (Hz)	Q	セクション2 周波数 (Hz)	Q	C1 (μ F)	C2 (μ F)	C3 (μ F)	C4 (μ F)
ベッセル	1.43	0.522	1.60	0.806	0.116	0.107	0.160	0.0616
バターワース	1.00	0.541	1.00	1.31	0.172	0.147	0.416	0.0609
0.1dB チェビシェフ	0.648	0.619	0.948	2.18	0.304	0.198	0.733	0.0385
0.2dB チェビシェフ	0.603	0.646	0.941	2.44	0.341	0.204	0.823	0.0347
0.5dB チェビシェフ	0.540	0.705	0.932	2.94	0.416	0.209	1.00	0.0290
1.0dB チェビシェフ	0.492	0.785	0.925	3.56	0.508	0.206	1.23	0.0242

注

表記の値は1.0Hz信号の-3dB点についてです。他の周波数については、単純にC1-C4の容量をスケーリングしてください。たとえば、3Hzのベッセル応答を得るためには、C1=0.0387 μ F、C2=0.0357 μ F、C3=0.0533 μ F、C4=0.0205 μ Fとします。

表11. 1Hz、4極ローパス・フィルタの推奨値

AD704オーダ・ガイド

モデル	温度範囲	パッケージ・オプション*
AD704JN	0~+70°C	N-14
AD704JR	0~+70°C	R-16
AD704KN	0~+70°C	N-14
AD704AN	-40~+85°C	N-14
AD704AQ	-40~+85°C	Q-14
AD704AR	-40~+35°C	R-16
AD704BQ	-40~+85°C	Q-14
AD704TQ	-55~+125°C	Q-14

チップも販売可能です。

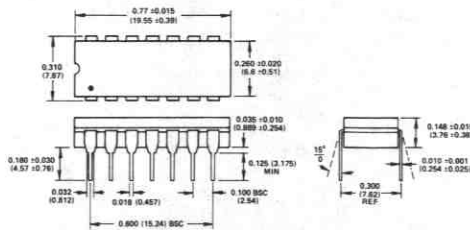
*N=プラスチックDIP; Q=サーディップ;

R=スモール・アウトライン (SOIC)。

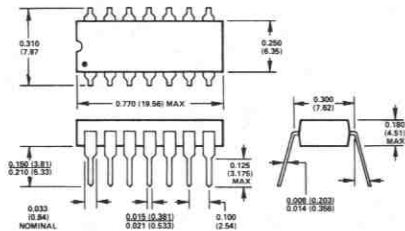
外形サイズ

単位はインチ (mm) で示します。

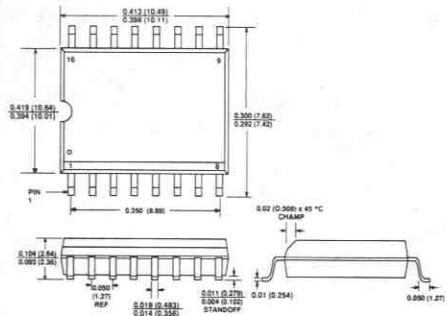
14ピン・サーディップ(Q)パッケージ



14ピン・プラスチック(N)パッケージ



16ピンSOIC(R)パッケージ



特長

高いDC精度

- 50 μ V maxのオフセット電圧
- 0.6 μ V/ $^{\circ}$ C maxのオフセット・ドリフト
- 110pA maxの入力バイアス電流

低ノイズ

- 0.5 μ V p-p の電圧ノイズ (0.1Hz~10Hz)

低消費電力

- 750 μ Aの電源電流
- 8ピン・プラスチック・ミニDIP、ハーメチック・サーディップ、表面実装 (SOIC) パッケージを用意
- MIL-STD-883Bプロセス準拠製品を用意
- シングル・バージョン: AD705、クワッド・バージョン: AD704

応用

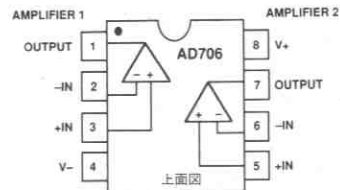
- 低周波アクティブ・フィルタ
- 高精度計装
- 高精度積分器

概要

AD706はデュアル、低消費電力のバイポーラ・オペアンプで、BiFETアンプの低入力バイアス電流とともに、全温度範囲において非常に低い I_B ドリフトを備えています。この製品は、(室温におけるFET入力アンプと同様な) pAレベルの入力バイアス電流を実現するためにスーパー β バイポーラ・トランジスタを用いていますが、(I_B が10 $^{\circ}$ Cの上昇毎に倍になり、125 $^{\circ}$ Cでは1000倍に増加するBiFETアンプとは異なり) 代表的な I_B の増加は125 $^{\circ}$ Cにおいてわずか5倍です。AD706はまた、高精度バイポーラ入力アンプがもつ μ Vレベルのオフセット電圧と、低ノイズ特性も実現しています。

AD706の入力バイアス電流はOP-07のわずか1/20のみであるため、一般に使われているバランス抵抗は必要ありません。さらに、電流ノイズはOP-07のわずか1/5なので、より高いソース・インピーダンスで使用することができます。各アンプあたりの電源電流はOP-07の1/6に過ぎず、高密度実装のニーズに適しています。

AD706は12または14ビットのデータ・アキュイジション・システムの低周波アクティブ・フィルタ、高精度計装、および高品質な積分器に最適です。AD706はユニティ・ゲインに内部補償されており、5つの性能別グレードが用意されています。AD706JおよびAD706Kは0~+70 $^{\circ}$ Cの一般用温度範囲品です。AD706AおよびAD706Bは、-40~+85 $^{\circ}$ Cの産業用温度範囲品です。AD706Tは-55~+125 $^{\circ}$ Cの軍用温度範囲品で、MIL-STD-883B, Rev Cプロセス品も販売可能です。



プラスチック・ミニDIP (N)
サーディップ (Q) および
プラスチックSOIC (R) パッケージ

AD706ピン配置

AD706には、プラスチック・ミニDIP、ハーメチック・サーディップおよび表面実装タイプ (SOIC) の3種類の8ピン・パッケージがあります。"J" グレードのチップも用意しています。

製品ハイライト

- AD706はデュアル低ドリフトのオペアンプで、バイポーラ・アンプの低い I_B ドリフトと同時にBiFETレベルの入力バイアス電流を備えています。この製品はLT1024などのデュアル・オペアンプを用いている回路やOP-200のアップ・グレードに用いることができます。
- AD706は低ドリフトと高DC精度の両特性を備えています。
- AD706は、通常はチョップアンプが必要でチョップアンプに固有のノイズを避けたい応用に用いることができます。

仕様

(特に指定のない限り、@T_A=+25°C、V_{CM}=0Vおよび±15V DC)

パラメータ	条件	AD706J/A			AD706K/B			AD706T			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
入力オフセット電圧											
初期オフセット			30	100		10	50		10	50	μV
オフセット	T _{min} ~T _{max}		40	150		25	100		25	100	μV
対温度、平均TC			0.2	1.5		0.2	0.6		0.2	0.6	μV/°C
対電源 (PSRR)	V _S =±2V~±18V	110	132		112	132		112	132		dB
T _{min} ~T _{max}	V _S =±2.5V~±18V	106	126		108	126		108	126		dB
長期安定性			0.3			0.3			0.3		μV/月
入力バイアス電流 ¹											
	V _{CM} =0V		50	200		30	110		30	120	pA
	V _{CM} =±13.5V			250			160			170	pA
対温度、平均TC			0.3			0.2			0.2		pA/°C
T _{min} ~T _{max}	V _{CM} =0V			300			200			400	pA
T _{min} ~T _{max}	V _{CM} =±13.5V			400			300			600	pA
入力オフセット電流											
	V _{CM} =0V		30	150		30	100		30	100	pA
	V _{CM} =±13.5V			250			200			200	pA
対温度、平均TC			0.6			0.4			0.4		pA/°C
T _{min} ~T _{max}	V _{CM} =0V		80	250		80	200		80	300	pA
T _{min} ~T _{max}	V _{CM} =±13.5V		80	350		80	300		80	450	pA
マッチング特性											
オフセット電圧				150		75			75		μV
	T _{min} ~T _{max}			250		150			200		μV
入力バイアス電流 ²				300		150			200		pA
	T _{min} ~T _{max}			500		250			400		pA
同相除去比		106			110			110			dB
	T _{min} ~T _{max}	106			108			108			dB
電源変動除去比		106			110			110			dB
	T _{min} ~T _{max}	104			106			106			dB
クロストーク (図19a)	R _L =2kΩ		150			150			150		dB
周波数応答											
ユニティ・ゲイン・ クロスオーバー周波数	G=-1		0.8			0.8			0.8		MHz
スルーレート	T _{min} ~T _{max}		0.15			0.15			0.15		V/μs
			0.15			0.15			0.15		V/μs
入力インピーダンス											
差動			40//2			40//2			40//2		MΩ//pF
同相			300//2			300//2			300//2		GΩ//pF
入力電圧範囲											
同相電圧	V _{CM} =±13.5V		±13.5±14			±13.5±14			±13.5±14		V
同相除去比	T _{min} ~T _{max}	110	132		114	132		114	132		dB
		108	128		108	128		108	128		dB
入力電流ノイズ											
	0.1~10Hz		3			3			3		pA p-p
	f=10Hz		50			50			50		fA/√Hz
入力電圧ノイズ											
	0.1~10Hz		0.5		0.5	1.0		0.5	1.0		μV p-p
	f=10Hz		17		17			17			nV/√Hz
	f=1kHz		15	22	15	22		15	22		nV/√Hz
オープン・ループ・ゲイン											
	V _O =±12V										V/mV
	R _{LOAD} =10kΩ	200	2000		400	2000		400	2000		V/mV
	T _{min} ~T _{max}	150	1500		300	1500		300	1500		V/mV
	V _O =±10V										V/mV
	R _{LOAD} =2kΩ	200	1000		300	1000		200	1000		V/mV
	T _{min} ~T _{max}	150	1000		200	1000		100	1000		V/mV
出力特性											
電圧振幅	R _{LOAD} =10kΩ		±13	±14		±13	±14		±13	±14	V
	T _{min} ~T _{max}		±13	±14		±13	±14		±13	±14	V
電流	短絡		±15			±15			±15		mA
容量性負荷駆動能力	ゲイン=+1		10000			10000			10000		pF
電源											
定格性能			±2.0	±15		±2.0	±15		±2.0	±15	V
動作範囲			0.75	1.2		0.75	1.2		0.75	1.2	mA
無負荷時電源電流、合計	T _{min} ~T _{max}		0.8	1.4		0.8	1.4		0.8	1.6	mA
トランジスタの個数			90			90			90		

注

- 1) バイアス電流の仕様は、各入力における最大値で保証されています。
- 2) 入力バイアス電流のマッチングは、対応する入力間（アンプ#1の-INの I_B - アンプ#2の-INの I_B ）の差です。
CMRRのマッチングは、dBで表現したアンプ#1の $\frac{\Delta V_{OS\#1}}{\Delta V_{CM}}$ とアンプ#2の $\frac{\Delta V_{OS\#2}}{\Delta V_{CM}}$ 間の差です。

絶対最大定格

電源電圧	±18V
内部消費電力（両アンプの合計） ²⁾	650mW
入力電圧	±V _S
差動入力電圧 ³⁾	±0.7V
出力短絡時間	無制限
保管温度範囲 Q	-65 ~ +150°C
保管温度範囲 N, R	-65 ~ +125°C
動作温度範囲	
AD706J/K	0 ~ +70°C
AD706A/B	-40 ~ +85°C

PSRRのマッチングは、dBで表現したアンプ#1の $\frac{\Delta V_{OS\#1}}{\Delta V_{SUPPLY}}$ とアンプ#2の $\frac{\Delta V_{OS\#2}}{\Delta V_{SUPPLY}}$ 間の差です。

すべての最小値と最大値の仕様は保証されています。

仕様は予告なしに変更することがあります。

AD706T	-55 ~ +125°C
リード温度（ハンダ付け10秒間）	+300°C

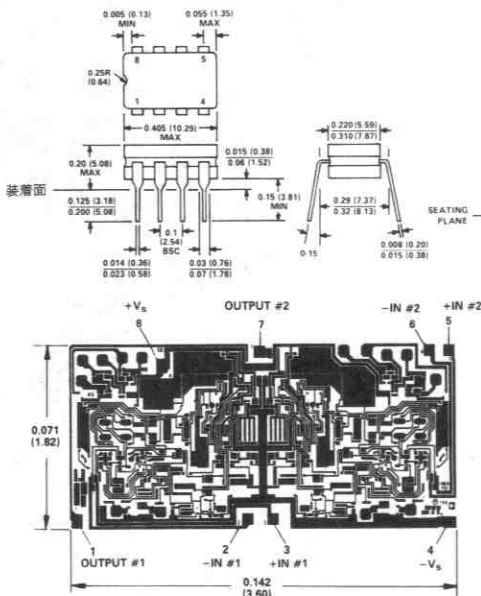
注

- 1) 絶対最大定格を超えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスを長時間、絶対最大定格の状態にさらすとデバイスの信頼性に影響を与えます。
- 2) フリー・エアでの仕様は以下のとおりです。
8ピン・プラスチック・パッケージ： $\theta_{JA}=100^\circ\text{C}/\text{W}$
8ピン・サーディップ・パッケージ： $\theta_{JA}=110^\circ\text{C}/\text{W}$
8ピン・スモール・アウトライン・パッケージ： $\theta_{JA}=155^\circ\text{C}/\text{W}$
- 3) このデバイスの入力ピンはバッファバック・ダイオードによって保護されています。差動電圧が±0.7Vを超える場合、入力電流を25mA以下に制限するために外部に直列保護抵抗を追加してください。

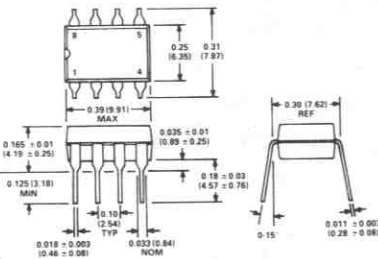
外形サイズ

サイズはインチと (mm) で示します。

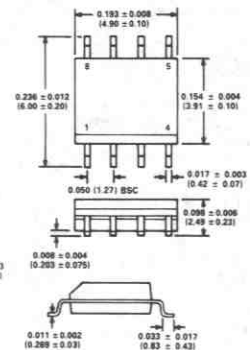
サーディップ (Q) パッケージ



プラスチック・ミニDIP (N) パッケージ



8ピンSOIC (R) パッケージ



メタライゼーション写真

サイズはインチと (mm) で示します。

オーダー・ガイド

温度範囲	8ピン・プラスチック・ミニDIP (N-8)	8ピン・サーディップ (Q-8)	8ピンSOIC (R-8)
0 ~ +70°C	AD706JN AD706KN		AD706JR
-40 ~ +85°C		AD706AQ AD706BQ	
-55 ~ +125°C		AD706TQ	

代表的特性 (特に指定のない限り、@+25°C、 $V_s = \pm 15V$)

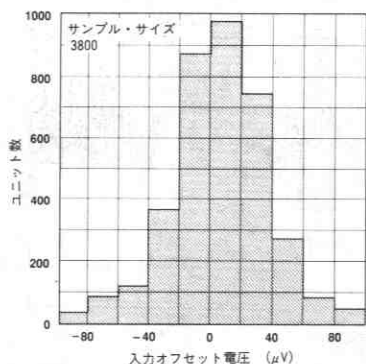


図1. 入力オフセット電圧の代表分布

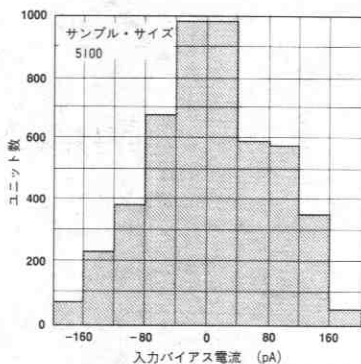


図2. 入力バイアス電流の代表分布

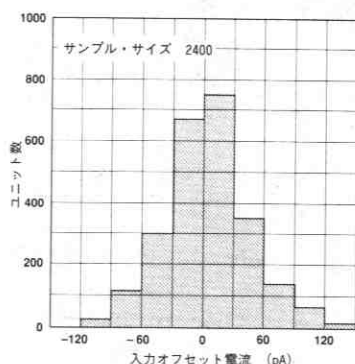


図3. 入力オフセット電流の代表分布

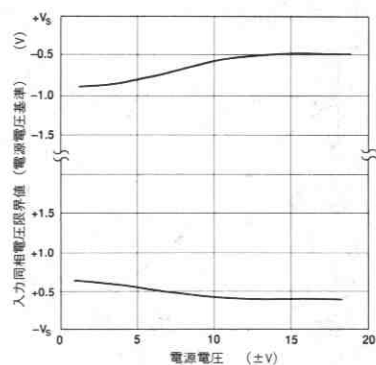


図4. 入力同相電圧範囲対電源電圧

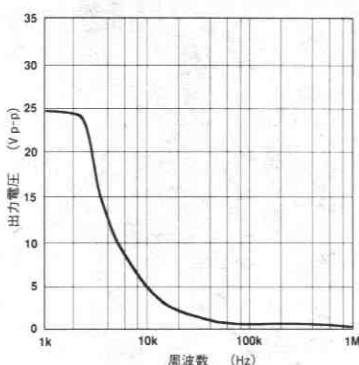


図5. 大信号周波数応答

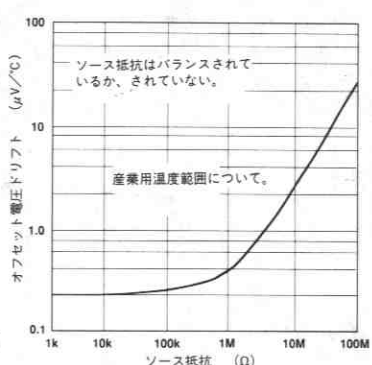


図6. オフセット電圧ドリフト対ソース抵抗

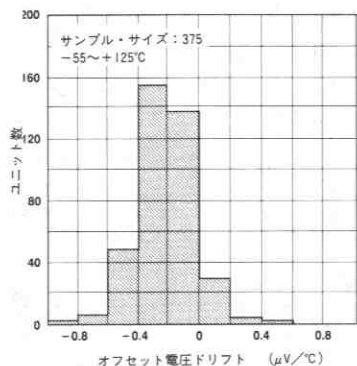


図7. オフセット電圧ドリフトの代表分布

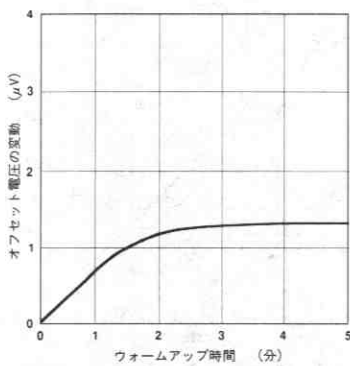


図8. 入力オフセット電圧の変動対ウォームアップ時間

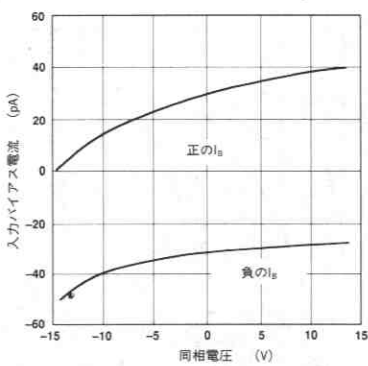


図9. 入力バイアス電流対同相電圧

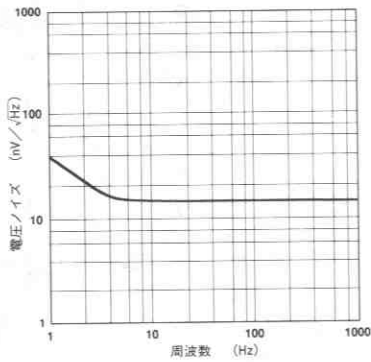


図10. 入力ノイズ電圧のスペクトル密度

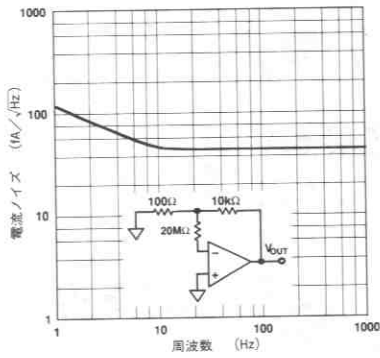


図11. 入力ノイズ電流のスペクトル密度

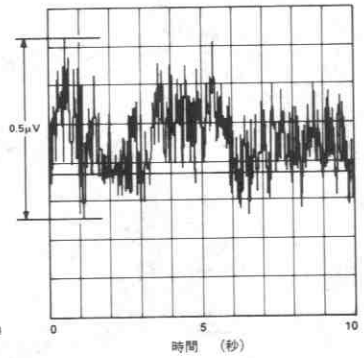


図12. 0.1~10Hzでのノイズ電圧

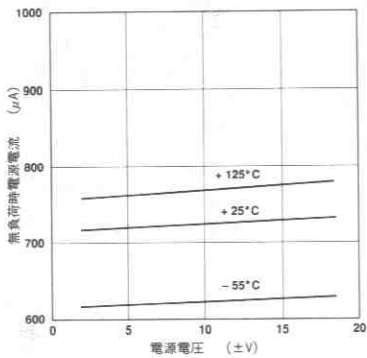


図13. 無負荷時電源電流対電源電圧

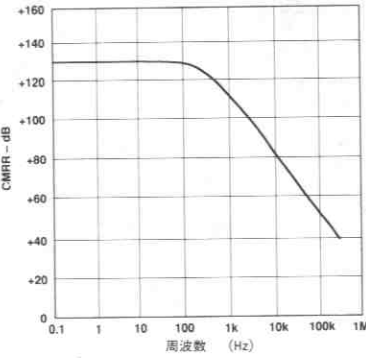


図14. 同相除去比の周波数特性

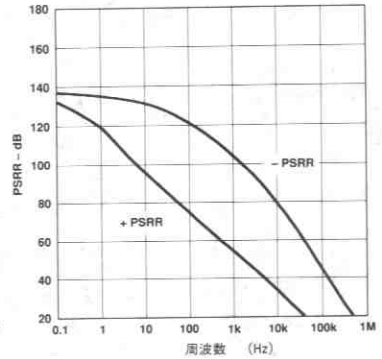


図15. 電源変動除去比の周波数特性

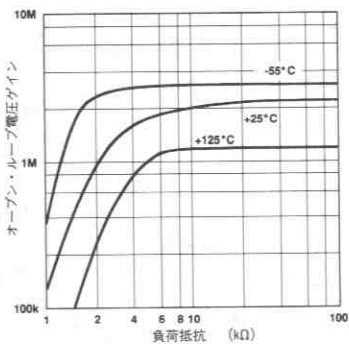


図16. オープン・ループ・ゲイン
対負荷抵抗対温度

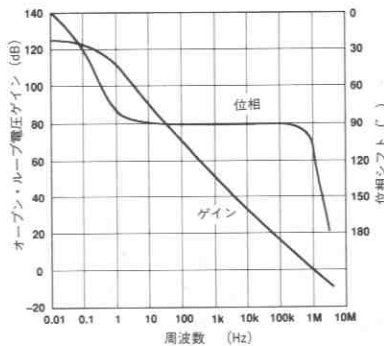


図17. オープン・ループ・ゲインおよび
位相シフトの周波数特性

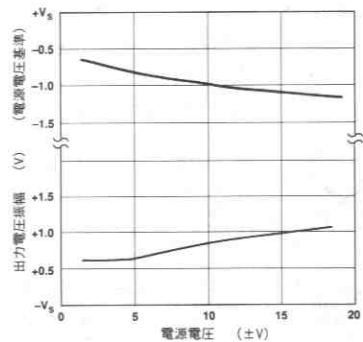


図18. 出力電圧振幅対電源電圧

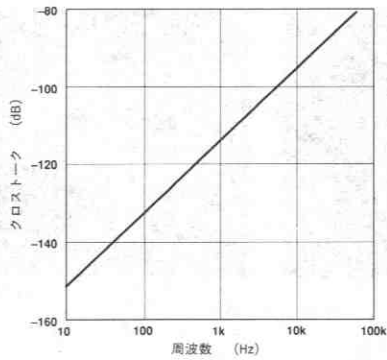


図19a. クロストークの周波数特性

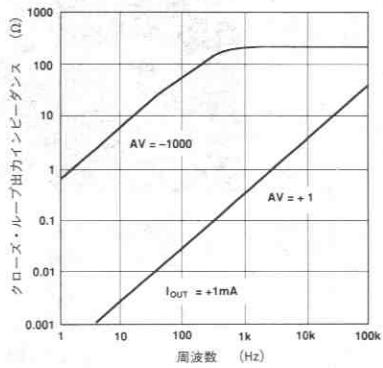


図20. クローズ・ループ出力インピーダンスの大きさの周波数特性

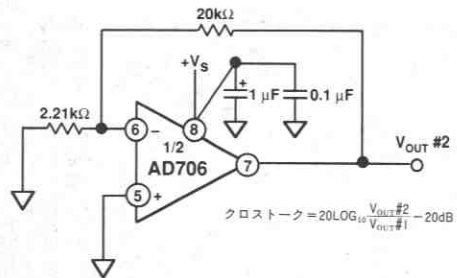
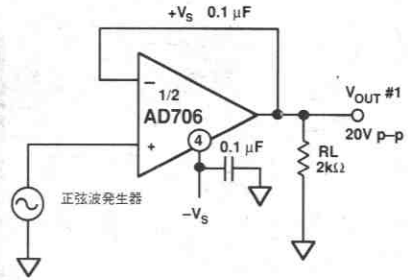


図19b. クロストークの試験回路

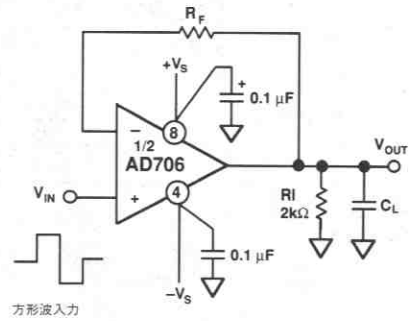


図21a. ユニティ・ゲイン・フォロワ (大信号応用向け。抵抗 R_F は入力保護ダイオードを流れる電流を制限します。)

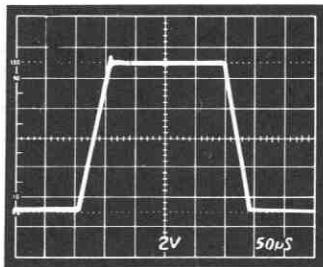


図21b. ユニティ・ゲイン・フォロワの大信号パルス応答

$R_F = 10k\Omega$, $C_L = 1000pF$

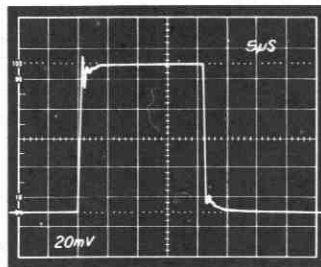


図21c. ユニティ・ゲイン・フォロワの小信号パルス応答

$R_F = 0\Omega$, $C_L = 100pF$

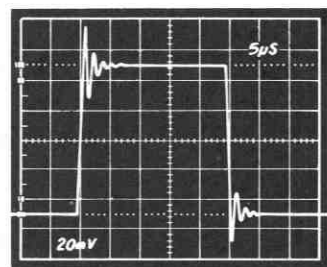


図21d. ユニティ・ゲイン・フォロワの小信号パルス応答

$R_F = 0\Omega$, $C_L = 1000pF$

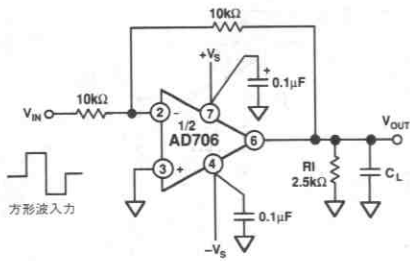


図22a. ユニティ・ゲイン・インバータの接続

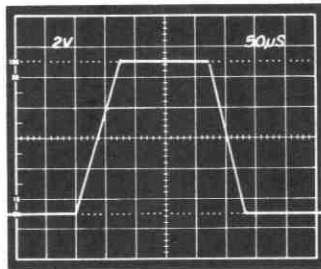


図22b. ユニティ・ゲイン・インバータの大信号パルス応答
CL = 1000pF

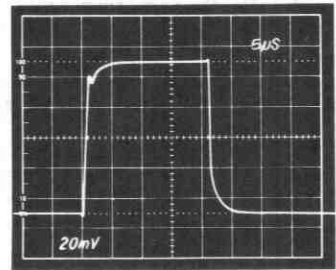
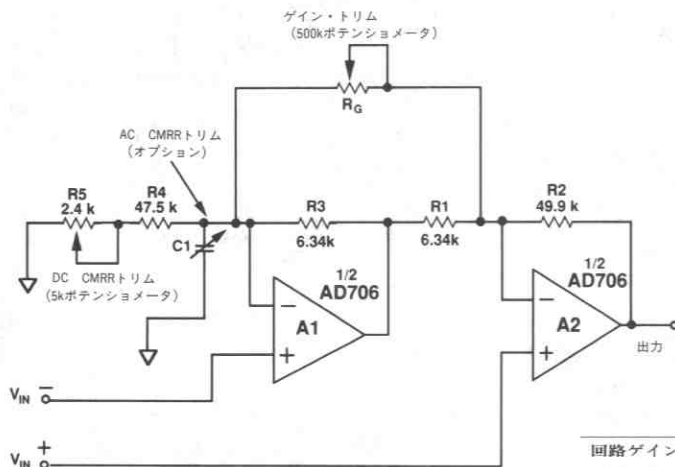


図22c. ユニティ・ゲイン・インバータの小信号パルス応答
CL = 100pF



$$G = 1 + \frac{R_2}{R_1} + \frac{2R_2}{R_G} \quad (\text{ただし、} R_1 = R_3, R_2 = R_4 + R_5)$$

抵抗はすべて金属被膜、1%。

図23. ゲイン10の計装アンプ

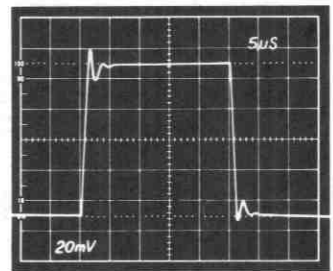


図22d. ユニティ・ゲイン・インバータの小信号パルス応答
CL = 1000pF

回路ゲイン (G)	R1およびR3	Rc(ポテンシオメータの最大値)	帯域幅(-3dB) Hz
10	6.34kΩ	166kΩ	50k
100	526Ω	16.6kΩ	5k
1000	56.2Ω	1.66kΩ	0.5k

表1. 各種ゲインを得るための抵抗値

図23に示す計装用アンプの回路は、BiFETレベルの入力バイアス電流および低入力オフセット電圧ドリフトなどを含む数多くの性能上の利点を備えています。この回路の、無負荷時電源電流はわずか1.0mAに過ぎません。表1に、一般的な3種類の回路ゲインを得るための抵抗値を示します。他のゲインを得るためには、以下の式に従ってください。

$$R_2 = R_4 + R_5 = 49.9k\Omega$$

$$R_1 = R_3 = \frac{49.9k\Omega}{0.9G - 1}$$

$$R_c \text{の最大値} = \frac{99.8k}{0.06G}$$

$$C_1 \approx \frac{1}{2\pi(R_3)5 \times 10^4}$$

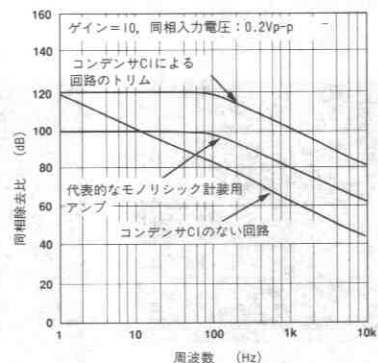
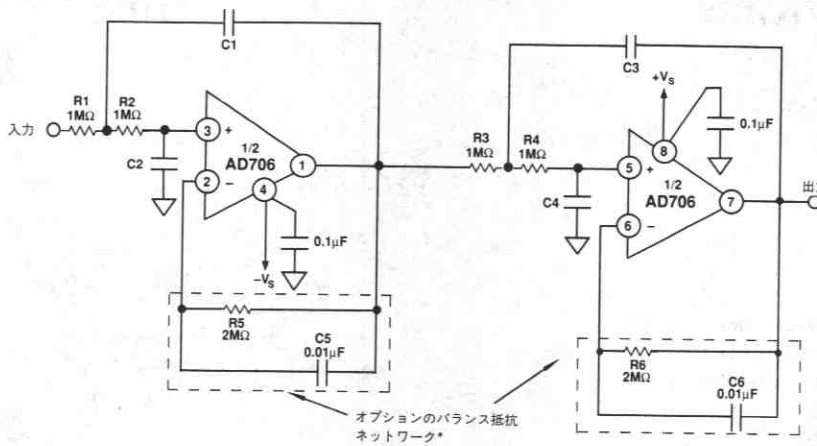


図24. 同相除去比対周波数対コンデンサC1の容量



* このネットワークを接続しない場合には、AD706のピン1と2、ピン6と7をそれぞれ相互に接続します。コンデンサC1とC2は、SOUTHERN ELECTRONICS MPCCのポリカーボネイト、±5%、50Vです。

図25. 1Hz, 4極アクティブ・フィルタ

1Hz, 4極アクティブ・フィルタ

AD706の重要な特性は、入力バイアス電流、入力オフセット電流およびそれらのドリフトが、ほとんどのオペアンプの定格温度範囲において低いことです。したがって、ほとんどの応用において通常のバランス抵抗は不要です。高温度における性能を向上させるために、図26に示すようにバランス抵抗を追加することができます。

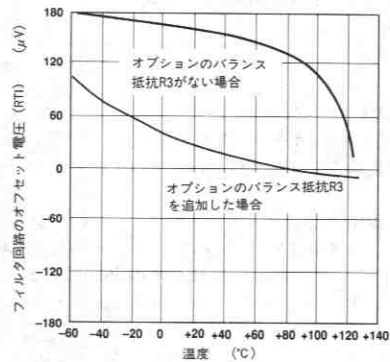


図26. 1HzフィルタのV_{os}対温度

必要なローパス応答	セクション1 周波数 (Hz)	Q	セクション2 周波数 (Hz)	Q	C1 (μF)	C2 (μF)	C3 (μF)	C4 (μF)
ベッセル	1.43	0.522	1.60	0.806	0.116	0.107	0.160	0.0616
バターワース	1.00	0.541	1.00	1.31	0.172	0.147	0.416	0.0609
0.1dB チェビシェフ	0.648	0.619	0.948	2.18	0.304	0.198	0.733	0.0385
0.2dB チェビシェフ	0.603	0.646	0.941	2.44	0.341	0.204	0.823	0.0347
0.5dB チェビシェフ	0.540	0.705	0.932	2.94	0.416	0.209	1.00	0.0290
1.0dB チェビシェフ	0.492	0.785	0.925	3.56	0.508	0.206	1.23	0.0242

注
表記の値は1.0Hz信号の-3dB点についてです。他の周波数については、単純にC1-C4の容量を変更してください。たとえば、3Hzのベッセル応答を得るためには、C1=0.0387μF、C2=0.0357μF、C3=0.0533μF、C4=0.0205μFとします。

表II. 1Hz, 4極 ローパス・フィルタの推奨値

特長

超低ノイズ性能

- 2.9nV/√Hz (10kHz)
- 0.38μVp-p (0.1~10Hz)
- 電流ノイズ: 6.9fA/√Hz (1kHz)

優れたDC性能

- 0.5mV maxのオフセット電圧
- 250pA maxの入力バイアス電流
- 1000V/mV minのオープン・ループ・ゲイン

AC性能

- 2.8V/μsのスルー・レート
- 4.5MHzのユニティ・ゲイン帯域幅
- THD=0.0003% (1kHz)

応用

- ソナー用プリアンプ
- 高ダイナミック・レンジ・フィルタ (>140dB)
- フォトダイオードおよびIR検出用アンプ
- 加速度計

概要

AD743は超低ノイズの高精度FET入力モノリシック・オペアンプです。この製品はバイポーラ入力オペアンプのもつ極めて低い電圧ノイズ性能と、FET入力デバイスのもつ極小の入力電流の両方を実現しています。

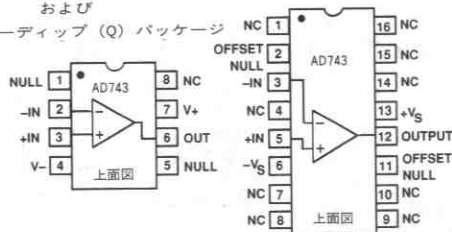
AD743は10kHzにおいて入力電圧ノイズ4.0nV/√Hz maxを保証しており、この値はFET入力モノリシック・オペアンプの0.1~10Hzノイズでの最大値1.0μVp-pに比べ非常に優れています。また、AD743は優れたDC性能も備えており、入力バイアス電流は250pA max、オフセット電圧は0.5mV maxです。

AD743は特にセラミック・マイクロフォンなどの容量性センサーのプリアンプとして設計されています。この製品には5つの性能別グレードがあります。AD743JとAD743Kの仕様温度範囲は一般用温度範囲0~+70°Cです。AD743AとAD743Bの仕様温度範囲は産業用温度範囲-40~+85°Cです。AD743Sは軍用温度範囲-55~+125°Cにおいて仕様が規定され、MIL-STD-883B, Rev Cプロセッサも用意しています。

AD743には、8ピン・プラスチック・ミニDIP、8ピン・サーディップ、16ピンSOICの各種パッケージが用意されており、チップの形で販売も可能です。

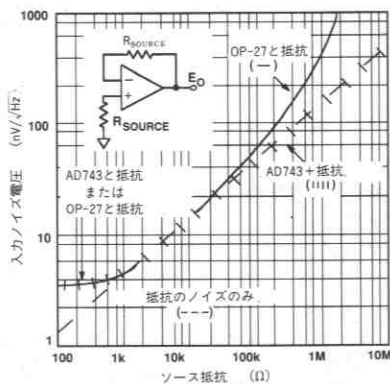
AD743ピン配置

- 8ピン・プラスチック・ミニDIP (N) および
- 8ピン・サーディップ (Q) パッケージ
- 16ピンSOIC (R) パッケージ



製品ハイライト

1. AD743は、低オフセット電圧、低入力オフセット電圧ドリフトおよび超低ノイズ性能を併せて実現しており、バイポーラ・アンプを用いている多くの応用回路の機能アップに用いることができます。
2. 低電圧および低電流ノイズ性能により、AD743は加速度計やマイクロフォンなどの電荷に敏感な応用に適しています。
3. AD743の低入力オフセット電圧と低ノイズ・レベル性能により、140dB以上のダイナミック・レンジを得ることができます。
4. 10kHzにおけるノイズ・レベルが2.9nV/√Hz typであることから、3つのAD743を用いた計装アンプを構成することができます。そのノイズ・レベルは10kHzにおいて4.2nV/√Hz以下で、入力バイアス電流も低く抑えることができます。



入力ノイズ電圧対ソース抵抗

仕様

(特に指定のない限り、@ +25°C、±15V DC)

モデル	条件	AD743J/A			AD743K/B			AD743S			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
入力オフセット電圧 ¹ 初期オフセット 初期オフセット 対温度 対電源 (PSRR) 対電源 (PSRR)	$T_{min} \sim T_{max}$		0.25	1.0/0.8		0.1	0.5/0.25		0.25	1.0	mV
	$T_{min} \sim T_{max}$			1.5			1.0/0.50			2.0	mV
	$T_{min} \sim T_{max}$		2			1			2		$\mu V/^\circ C$
	12V~18V ²	90	96		100	106		90	96		dB
	$T_{min} \sim T_{max}$	88			98	100		88			dB
入力バイアス電流 ³ 各入力 各入力 @ T_{max} 各入力 各入力、 $V_s = \pm 5V$	$V_{CM} = 0V$		150	400		150	250		150	400	pA
	$V_{CM} = 0V$			8.8/25.6			5.5/16			413	nA
	$V_{CM} = +10V$		250	600		250	400		300	600	pA
	$V_{CM} = 0V$		30	200		30	125		30	200	pA
入力オフセット電流 オフセット電流@ T_{max}	$V_{CM} = 0V$		40	150		30	75		40	150	pA
	$V_{CM} = 0V$			2.2/6.4			1.1/3.2			102	nA
周波数応答 ゲイン帯域幅、小信号 フルパワー応答 スルー・レート ユニティ・ゲイン セトリング時間(0.01%) 全高調波歪み ⁴ (図16)	$G = -1$		4.5			4.5			4.5		MHz
	$V_o = 20V_{p-p}$		25			25			25		kHz
	$G = -1$		2.8			2.8			2.8		$V/\mu s$
	$f = 1kHz$		6			6			6		μs
	$G = -1$		0.0003			0.0003			0.0003		%
入力インピーダンス 差動 同相			$1 \times 10^{11} \Omega$	20		$1 \times 10^{11} \Omega$	20		$1 \times 10^{11} \Omega$	20	Ω/pF
			$3 \times 10^{11} \Omega$	18		$3 \times 10^{11} \Omega$	18		$3 \times 10^{11} \Omega$	18	Ω/pF
入力電圧レンジ 差動 ⁵ 同相電圧 最大動作範囲 ⁶ 同相除去比	$V_{CM} = \pm 10V$		± 20			± 20			± 20		V
	$T_{min} \sim T_{max}$		$+13.3, -10.7$			$+13.3, -10.7$			$+13.3, -10.7$		V
		-10		+12	-10		+12	-10		+12	V
		80	95		90	102		80	95		dB
		78			88			78			dB
入力電圧ノイズ	0.1~10Hz		0.38			0.38	1.0		0.38		μV_{p-p}
	$f = 10Hz$		5.5			5.5	10.0		5.5		nV/\sqrt{Hz}
	$f = 100Hz$		3.6			3.6	6.0		3.6		nV/\sqrt{Hz}
	$f = 1kHz$		3.2	5.0		3.2	5.0		3.2	5.0	nV/\sqrt{Hz}
	$f = 10kHz$		2.9	4.0		2.9	4.0		2.9	4.0	nV/\sqrt{Hz}
入力電流ノイズ	$f = 1kHz$		6.9			6.9			6.9		fA/\sqrt{Hz}
オープン・ループ・ゲイン	$V_o = \pm 10V$		1000	4000		2000	4000		1000	4000	V/mV
	$R_{LOAD} \approx 2k\Omega$		800			1800			800		V/mV
	$T_{min} \sim T_{max}$			1200			1200			1200	V/mV
出力特性 電圧 電流	$R_{LOAD} \approx 600\Omega$		+13, -12			+13, -12			+13, -12		V
	$R_{LOAD} \approx 600\Omega$			+13.6, -12.6			+13.6, -12.6			+13.6, -12.6	V
	$T_{min} \sim T_{max}$		+12, -10			+12, -10			+12, -10		V
	$R_{LOAD} \approx 2k\Omega$		± 12	+13.8, -13.1		± 12	+13.8, -13.1		± 12	+13.8, -13.1	V
電源 定格性能 動作範囲電源 無負荷時電流	回路短絡	20	40		20	40		20	40		mA
			± 15			± 15			± 15		V
		± 4.8		± 18	± 4.8		± 18	± 4.8		± 18	V
		8.1	10.0		8.1	10.0		8.1	10.0		mA
トランジスタ数			50			50			50		

注

1. 入力オフセット電圧仕様は $T_A = +25^\circ C$ 、5分間の動作後で保証しています。
2. テスト条件： $+V_s = 15V$ 、 $-V_s = 12 \sim 18V$ 、および
 $+V_s = 12 \sim 18V$ 、 $-V_s = 15V$
3. バイアス電流仕様は $T_A = +25^\circ C$ で5分間の動作後に各入力に保証される最大値です。より高い温度においては、 $10^\circ C$ の上昇毎に電流は倍加します。
4. $G = -1$ 、 $R_L = 2k\Omega$ 、 $C_L = 10pF$ 。
5. コモンから $\pm 10V$ を越えない範囲での両入力間の電位差と定義されます。
6. 負の同相限界を越えた場合、AD743は出力位相反転を示しません。

仕様の最小値と最大値はすべて保証されています。

仕様は予告なしに変更することがあります。

絶対最大定格¹

電源電圧	±18V
内部消費電流 ²	
入力電圧	±V _S
出力回路短絡時間	無制限
差動入力電圧	+V _S および-V _S
保管温度範囲、Q	-65～+150°C
保管温度範囲、N、R	-65～+125°C
動作温度範囲	
AD743J/K	0～+70°C
AD743A/B	-40～+85°C
AD743S	-55～+125°C
リード温度範囲 (ハンダ付け60秒間)	300°C

注

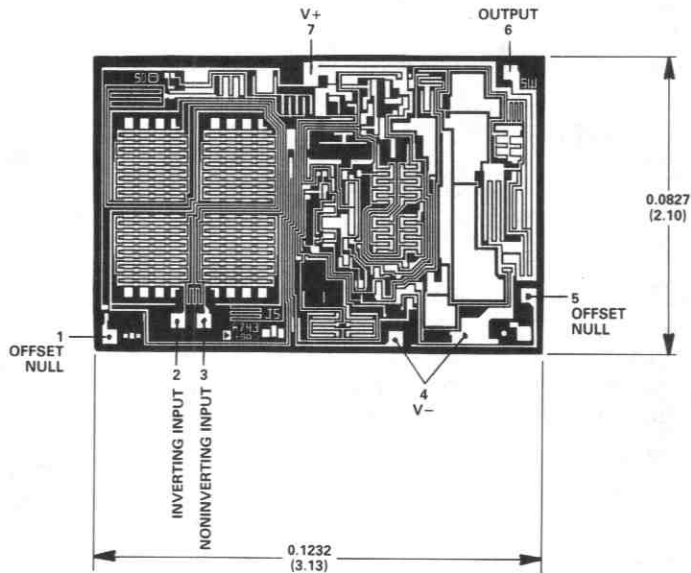
- 絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。
- 8ピン・プラスチック・パッケージ： $\theta_{JA}=100^{\circ}\text{C}/\text{W}$ 、 $\theta_{JC}=50^{\circ}\text{C}/\text{W}$
 8ピン・サーディップ・パッケージ： $\theta_{JA}=110^{\circ}\text{C}/\text{W}$ 、 $\theta_{JC}=30^{\circ}\text{C}/\text{W}$
 16ピン・プラスチックSOICパッケージ： $\theta_{JA}=90^{\circ}\text{C}/\text{W}$ 、 $\theta_{JC}=30^{\circ}\text{C}/\text{W}$

ESD感度

AD743ではMIL-STD-883Cの方式3015.6に準拠したESD分類が施されています。AD743はクラス1デバイスで、IMC55000自動ESDテスターを用いた試験で、NULLピン1およびピン5において1000Vは合格し、1500Vは失格しています。NULLピン以外のピンは2500V以上では失格しています。

メタライゼーション写真

サイズはインチと(mm)で示します。



代表的特性 (@+25°C, $V_S = \pm 15V$)

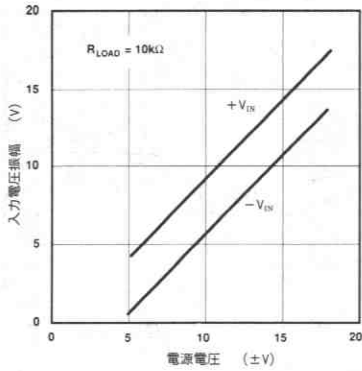


図 1. 入力電圧振幅対電源電圧

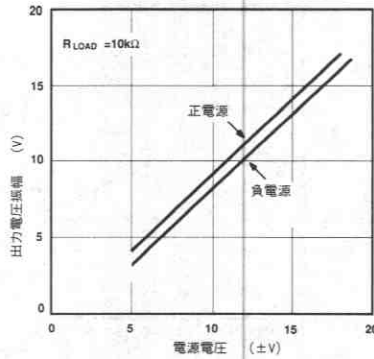


図 2. 出力電圧振幅対電源電圧

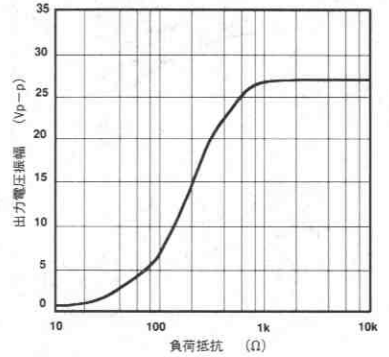


図 3. 出力電圧振幅対負荷抵抗

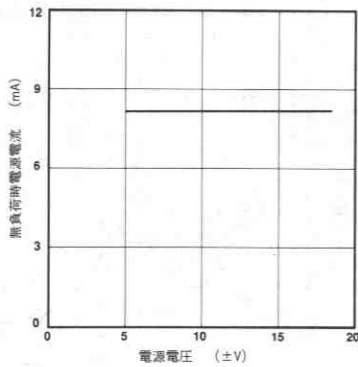


図 4. 無負荷時電源電流対電源電圧

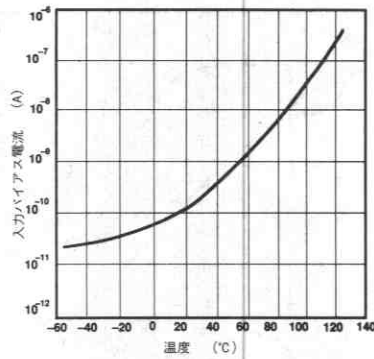


図 5. 入力バイアス電流対温度

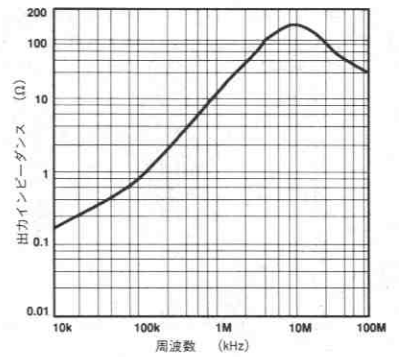


図 6. 出力インピーダンス対周波数
(クローズ・ループ・ゲイン = -1)

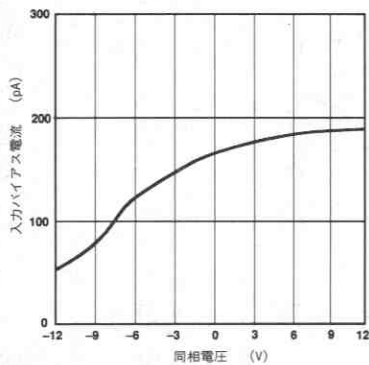


図 7. 入力バイアス電流対同相電圧

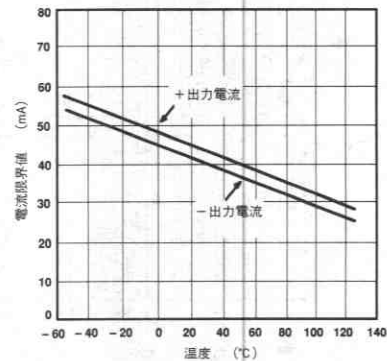


図 8. 回路短絡時電流制限値対温度

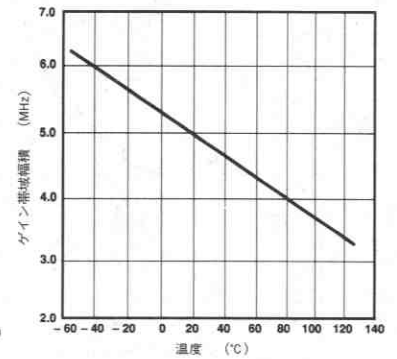


図 9. ゲイン帯域幅積対温度

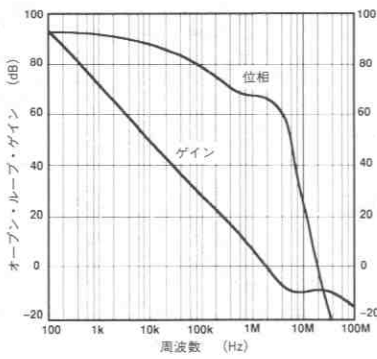


図10. オープン・ループ・ゲインおよび位相対周波数

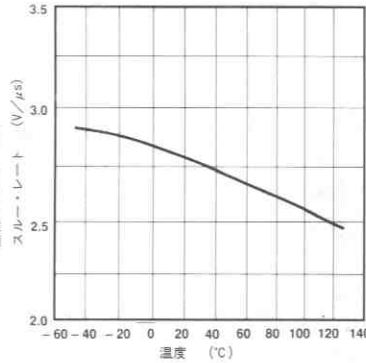


図11. スルー・レート対温度 (ゲイン=-1)

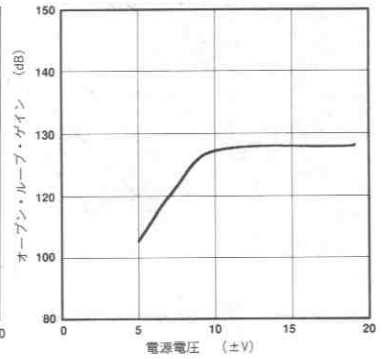


図12. オープン・ループ・ゲイン対電源電圧、 $R_{LOAD} = 2K$

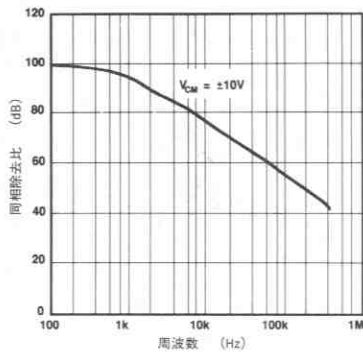


図13. 同相除去比対周波数

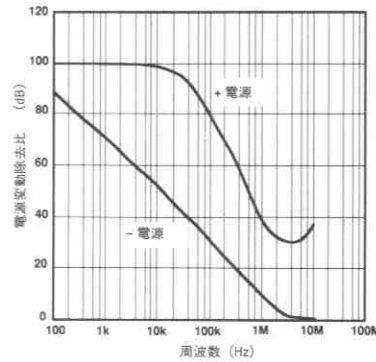


図14. 電源変動除去比対周波数

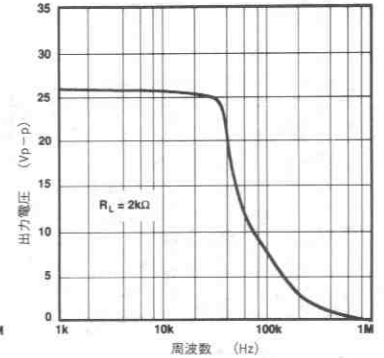


図15. 大信号周波数応答

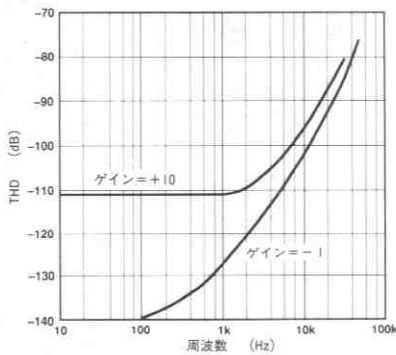


図16. 全高調波歪み対周波数

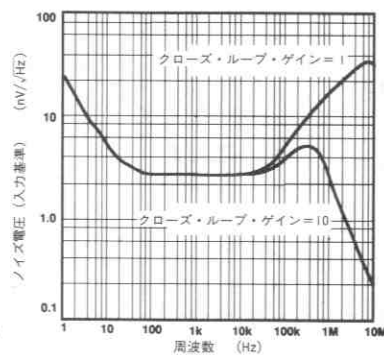


図17. 入力ノイズ電圧スペクトル密度

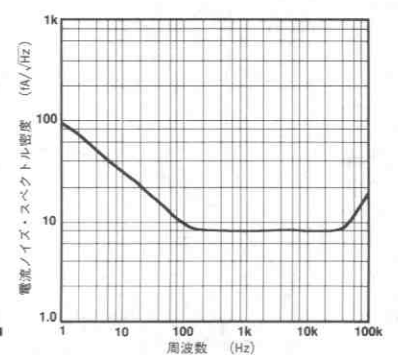


図18. 入力ノイズ電流スペクトル密度

代表特性

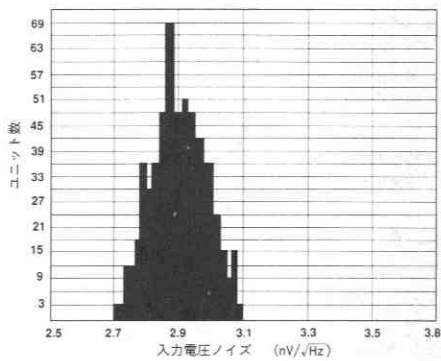


図19. 10kHzにおける代表ノイズ分布 (602ユニット)

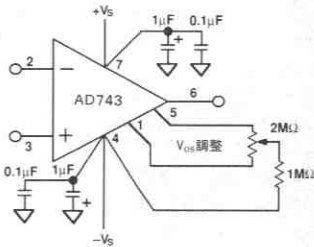


図20. オフセット・ゼロ調整回路

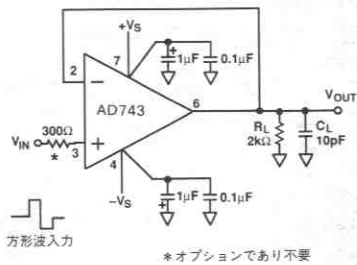


図21. ユニティ・ゲイン・フォロウ

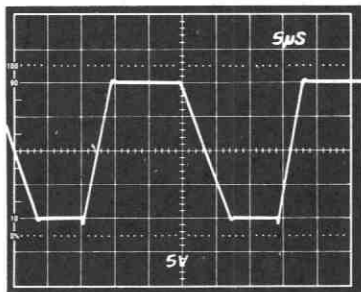


図22a. ユニティ・ゲイン・フォロウの大信号パルス応答

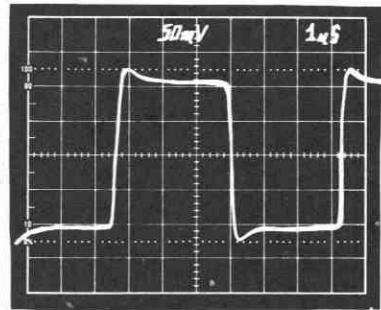


図22b. ユニティ・ゲイン・フォロウの小信号パルス応答

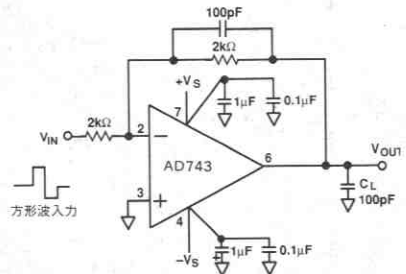


図23a. ユニティ・ゲイン・インバータ

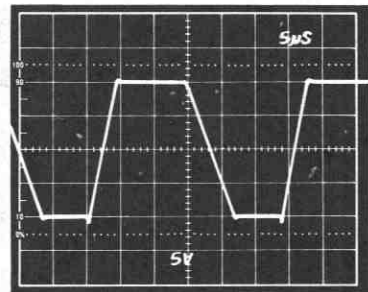


図23b. ユニティ・ゲイン・インバータの大信号パルス応答

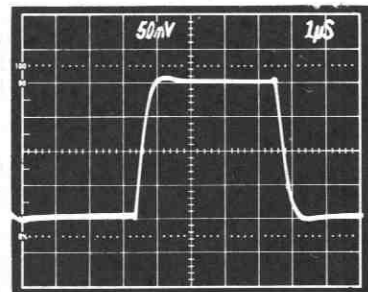


図23c. ユニティ・ゲイン・インバータの小信号パルス応答

オペアンプの性能：JFET対バイポーラ

AD743は、業界標準のバイポーラ・オペアンプのもつ低入力電圧ノイズ性能をその固有の入力電流誤差なしに実現したモノリシックJFETオペアンプです。このことは、OP-27とAD743オペアンプについて入力電圧ノイズと入力ソース抵抗を比較した図24に示されています。この図から明らかなように、高いソース・インピーダンスにおいてもAD743の低電流ノイズ性能によって、ノイズ全体が低く抑えられています。また、AD743ではノイズ低減が低いソース・インピーダンスまでもらげていることも重要です。AD743の低いDC電流誤差により、高いソース・インピーダンスにおいてオフセットやドリフトに起因する誤差を抑えることもできます（図25参照）。

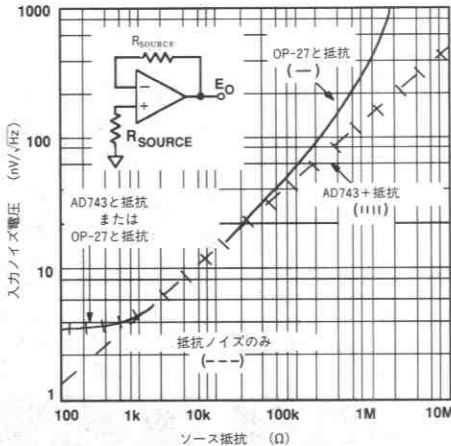


図24. 1kHzにおける全入力ノイズ・スペクトラル密度対ソース抵抗

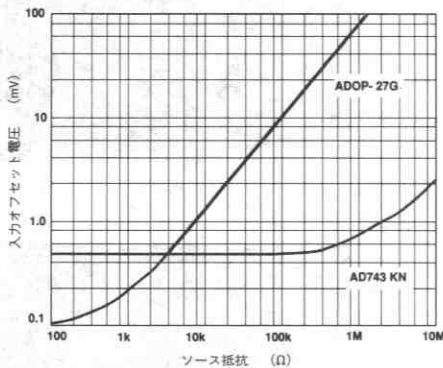


図25. 入力オフセット電圧対ソース抵抗

低ノイズ回路の設計

オペアンプの入力電圧ノイズ性能は一般的には、フラットバンドおよび低周波ノイズの2つの領域に分けられます。AD743はこの両方について優れた性能を備えています。10kHzにおける $2.9\text{nV}/\sqrt{\text{Hz}}$ の性能はJFET入力アンプとしては優れています。0.1~10Hzでのノイズは $0.38\mu\text{Vp-p typ}$ です。低周波ノイズ性能を最適化するためには、細心の注意を払って設計する必要があります。ランダムな気流は熱電対電圧に変動を及ぼし低周波ノイズの原因となるため、感度の高い回路ではエア・フローに対して十分なシールドを行う必要があります。チップの絶対温度を低く保つことによっても、2つの点で低周波ノイズを抑えることができます。その1つは低周波ノイズは周囲温度に大きく依存しており、+25°Cを越えると増大するためです。第2には、ICパッケージと外周の温度差が高い場合、先に述べたようなランダムな気流によってノイズが増大します。チップ温度は、低い供給電圧を用いることや適切なクリップ・オン・ヒートシンクを設けることで低く抑えることができます。

低周波電流ノイズはDCバイアス電流の大きさ($\bar{I}_n = \sqrt{2qI_b\Delta f}$)によって算出することが可能で、約100Hz以下では1/fのパワー・スペクトラル密度で増加します。AD743の標準的な電流ノイズ値は1kHzにおいて $6.9\text{fA}/\sqrt{\text{Hz}}$ です。 $\bar{I}_n = \sqrt{4kT/R\Delta f}$ の式を用いて電流で表現した抵抗のジョンソン・ノイズを算出すると、AD743の電流ノイズは $3.45 \times 10^6 \Omega$ ソース抵抗と等価であることが分かります。

高い周波数ではFETの電流ノイズは周波数に比例して増加します。このノイズは周波数に応じて小さくなるゲート入力インピーダンスの「リアル」部分によるものです。このノイズ成分は、アンプ自体の入力容量に与えられる電圧ノイズが、ほぼ同様な大きさをもつ電流ノイズとして現われるため、通常は重要ではありません。

通常のFET入力アンプでは、内部バイアス回路の電流ノイズがゲート・ソース間容量を通して外部で結合し、入力電流ノイズとして現われます。このノイズは全体的には入力に補間されるため、ソース・インピーダンスのマッチングをとることによって影響をなくすることができます。300pF以下のソース容量を扱う場合は常に、入力抵抗と入力容量の両方のバランスをとるようにしてください。

低ノイズ・チャージ・アンプ

先に述べたようにAD743は低電圧および低電流ノイズ性能を備えています。この両方の組み合わせにより、AD743は容量加速度計やハイドロフォンなどの極めて高い電荷感度が必要とされる応用に適しています。高いソース容量を扱う場合、システム・ノイズの測定として総合的な入力電荷の不確か性を考慮することは有効です。

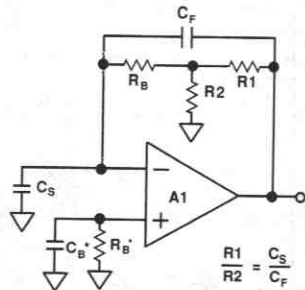
電荷(Q)は、電圧と電流の関連性について以下の単純な関係式で示すことができます。

$$Q = CV \quad \text{および} \quad I = \frac{dQ}{dt}$$

このように、電圧、電流および電荷ノイズは直接的な関係をもっています。コンデンサのオープン回路の電圧変動(ΔV)は、電荷変動($\Delta Q/C$)と保持している電荷と容量の変動($Q/\Delta C$)の組み合わせと等価です。

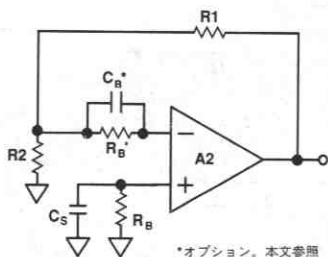
図26と27に電荷出力トランスジェンサの出力をバッファ、増幅するための2つの方法を示します。どちらの場合も、アンプはAD743のように極めて高い入力インピーダンスをもつ必要があります。図26にチャージ・アンプ回路を示します。この回路では、アンプA1の

入力における電荷の保存の原理に従って増幅が行われます。A1ではコンデンサ C_S の電荷が C_F に転送されることが必要であり、出力電圧 $\Delta Q/C_F$ を発生します。アンプの入力電圧ノイズは、回路のノイズ・ゲイン $(1+(C_S/C_F))$ によって増幅される出力に現われます。



*オプション。本文参照

図26. チャージ・アンプ回路



*オプション。本文参照

図27. ゲインをもつ高インピーダンス・フォロウ・モデル

図27に示す回路はゲインをもつ高インピーダンス・フォロウです。この回路では、ノイズ・ゲイン $(1+(R1/R2))$ はトランスデューサから出力へのゲインと同じです。2つの回路にある抵抗 R_B はDCバイアス電流リターンとして必要です。

これらの回路には、3つの重要なノイズ源があります。アンプA1とA2はいずれも電圧および電流ノイズを与え、抵抗 R_B は次式にしたがって電流ノイズを与えます。

$$\hat{N} = \sqrt{4k\frac{T}{R_n} \Delta f}$$

ここで、

k = ボルツマン定数 $=1.381 \times 10^{-23}$ ジュール/ケルビン

T = 絶対温度、ケルビン ($0^\circ\text{C} = +273.2\text{K}$)

Δf = 帯域幅、Hz (理想「ブリック・ウォール」フィルタと仮定)

これは、アンプ自体の電流ノイズの自乗和の平方根です。

図28は、これら2つの回路が同様の周波数応答と同じノイズ性能をもつことを示しています($C_S/C_F = R1/R2$ の場合)。最初の回路の

特長の一つは、「T」ネットワークによって R_n の実効抵抗値を増し、同じファクターで低周波カットオフ・ポイントを改善している点です。

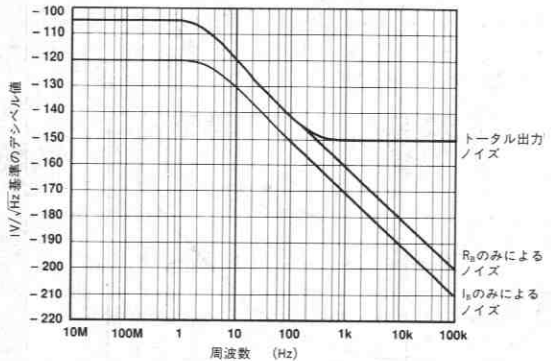


図28. 図26、27の回路の出力ノイズ。ゲイン=10、 $C_S = 3000\text{pF}$ 、 $R_n = 22\text{M}\Omega$

しかしながら、この例では低周波数において R_n のノイズ配分の大きな変動は見られません。図29に示すグラフは、回路全体のノイズに対する抵抗の寄与を最小限にするための R_n の選択基準を示しています。 R_n の等価電流ノイズ $(\sqrt{4kT}/R)$ が I_B のノイズ $(\sqrt{2qI_B})$ と等しい場合、 R_n を大きくしてもノイズに対する効果は変わりなくなる点があります。

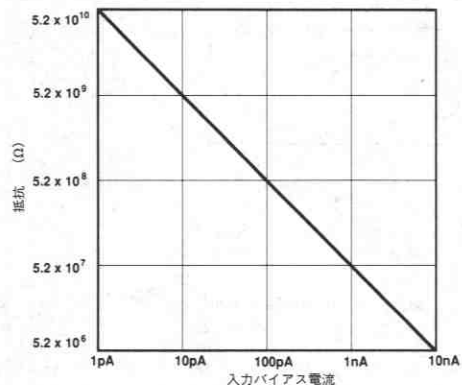


図29. 等価ノイズ $\sqrt{4kT}/R$ がバイアス電流ノイズ $\sqrt{2qI_B}$ に等しい場合の抵抗対入力バイアス電流

温度に対するDC性能を最大にするためには、アンプの各入力におけるソース抵抗のバランスをとる必要があります。これは図26、27でのオプション抵抗 R_B によって示されています。先に述べたように最良のノイズ性能を実現する際には、 C_n と示されているソース容量のバランスにも注意を払う必要があります。図26における C_n の値は図27の C_S と等しい値です。 C_n の値が 300pF を越える場合、ノイズに対する影響は薄れるため、コンデンサ C_n を $0.01\mu\text{F}$ 以上の単なるバイパスとすることができます。

チップ・パッケージ・タイプと消費電力の入カバイアス電流への影響

すべてのJFET入力アンプと同様に、AD743の入カバイアス電流はデバイスの接合温度の直接の関数となり、 I_B は 10°C の上昇毎にほぼ倍加します。図30に、AD743のバイアス電流と接合温度の関係を示します。このグラフから、接合温度を下げることによって I_B が大幅に改善することが分かります。

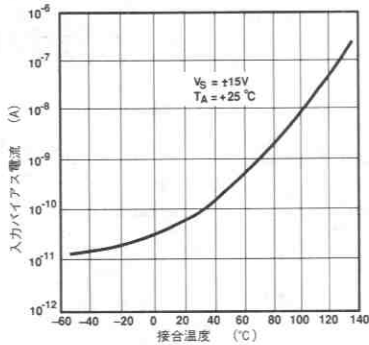
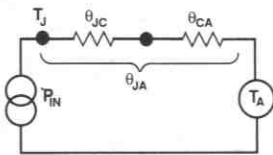


図30. 入カバイアス電流对接合温度

ICのDC熱特性は図31に示す簡単なモデルによって近似することができます。この図では、電流が消費電力、電圧が温度、抵抗が熱抵抗 ($\theta, ^\circ\text{C}/\text{W}$) を表しています。



ここで、
 P_{IN} = デバイスの消費電力
 T_A = 周囲温度
 T_J = 接合温度
 θ_{JC} = 熱抵抗 (接合部-ケース間)
 θ_{JA} = 熱抵抗 (ケース-周囲間)

図31. デバイスの熱モデル

このモデルから、 $T_J = T_A + \theta_{JA} P_{IN}$ です。したがって、特定の応用では I_B は図30と仕様表にある θ_{JA} および消費電力の値によって決めることができます。 θ_{JA} は、Aavid社の#5801などのクリップオン式ヒート・シンクによって変更することができます。また、AD743をチップの形で用いる際も θ_{JA} の値は変化します。図32に、3種類の θ_{JA} についてのバイアス電流と電源電圧の関係を示します。このグラフから θ_{JA} の算出後にバイアス電流を予測することができます。再度述べますが、バイアス電流は 10°C の上昇毎に倍加します。AD743をチップの形で用いる場合(図33)、ダイをマウントする方法によって θ_{JC} が影響を受けるため、 θ_{JC} と θ_{CA} のいずれについても配慮する必要があります。

標準的には θ_{JC} は $3 \sim 5^\circ\text{C}/\text{W}$ の範囲であり、通常のパッケージではこのような小さな消費電力は無視することができます。しかしながら、大きなハイブリッド・サブストレートで用いる場合、 θ_{JC} は θ_{JA} のトータルよりも大きな影響を及ぼします。

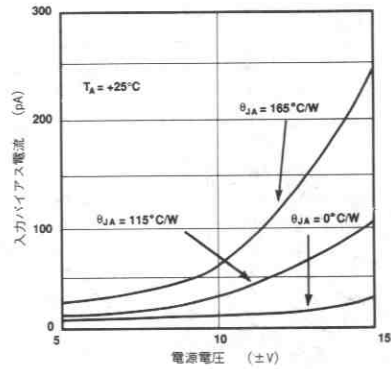


図32. 各種 θ_{JA} 値についての入カバイアス電流対電源電圧

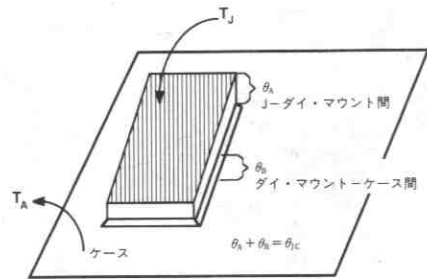
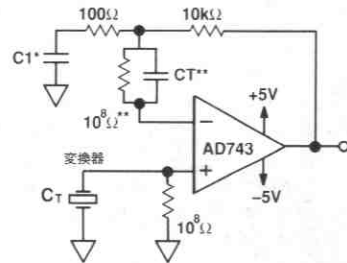


図33. 各種パッケージ熱抵抗の詳細

低 I_B を実現するための低電源電圧動作

低い電源電圧で動作させることにより、2つの点で I_B を低減することができます。第1に全消費電力を抑えることであり、もう一つは基本的なゲート-接合間の漏れ電流を低減することです(図32)。図34はゲイン40dBの圧電変換器で、ACカップリング・コンデンサ無しで $-40 \sim +85^\circ\text{C}$ の温度範囲で動作します。オプションのカップリング・コンデンサを用いた場合、この回路は $-55 \sim +125^\circ\text{C}$ の軍用温度範囲で動作します。



* オプションのDCブロック抵抗
 ** オプション。本文参照。

図34. 圧電変換器

入力インピーダンス補償付きのサレン・キー・フィルタ

図35の単純なハイ・パス・フィルタには、しばしば見逃される重要な誤差源があります。アンプ“A”に5pFの入力容量があるだけで、歪みと同様に1%の通過帯域増幅誤差が加わります。この誤差は入力接合容量のC/V特性に比例します。Zと示されているネットワークを追加することでソース・インピーダンスのバランスがとれ、これらの誤差を除去することができます。

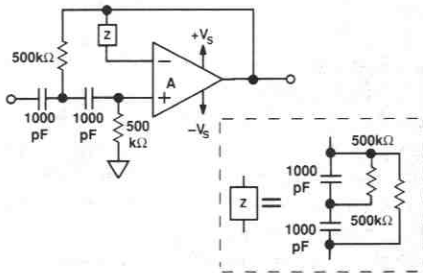


図35. 入力インピーダンス補償付きサレン・キー・フィルタ

2つの高性能加速度計アンプ

最もよく使われている電荷出力型トランスデューサとしては、ハイドロフォンと加速度計があります。高精度加速度計は一般的に電荷出力 (pC/g) について校正されています。図36aおよび36bは、AD743を広範囲の圧電加速度計で用いるための低ノイズ・チャージ・アンプの構成を示しています。これらの回路の入力感度はコンデンサC1の値で決定され、次の式に等しくなります。

$$\Delta V_{OUT} = \frac{\Delta Q_{OUT}}{C1}$$

コンデンサC1とトランスデューサの内部容量 (C_T) の比により、この回路のノイズ・ゲイン (1+C_T/C1) が決まります。アンプの電圧ノイズはこの値で増幅され、出力に現われます。この回路の低周波帯域幅は抵抗R1の値に依存します。Tネットワークを用いている場合、その実効値は、R1(1+R2/R3)となります。

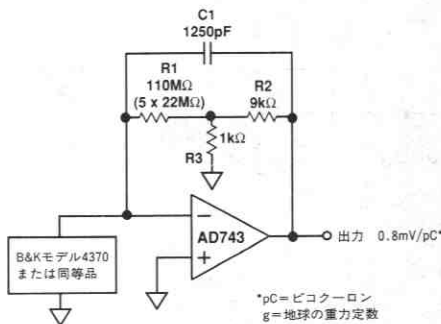


図36a. 基本的な加速度計回路

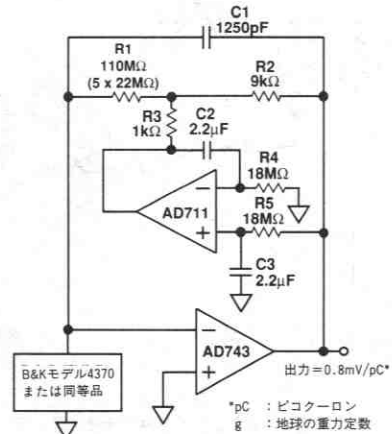


図36b. DCサーボ・アンプを使った加速度計回路

DCサーボ・ループ (図36b) を10mV以下のDC出力を保证するために使用することができます。100nA程度の大きなバイアス電流を扱う際に大きな補償抵抗を用いる必要がありません。低周波での性能を最適化するには、サーボ・ループの時定数 (R4C2=R5C3) は、

$$\text{時定数} \geq 10 R1 \left(1 + \frac{R2}{R3}\right) C1$$

低ノイズ・ハイドロフォン・アンプ

ハイドロフォンは一般的に電圧出力モードで校正されます。図37aと37bに示す回路は一般的なハイドロフォン出力の増幅に用いることができます。図37aは標準的なDC結合回路です。オプションの抵抗およびコンデンサは、抵抗R1を流れるバイアス電流によって生じるDCオフセットを打消します。図37bはオリジナル回路を変更したもので、以下の式に等しいRC時定数によって決まる低周波カットオフを有しています。

$$\text{時定数} = \frac{1}{2\pi \times C_c \times 100\Omega}$$

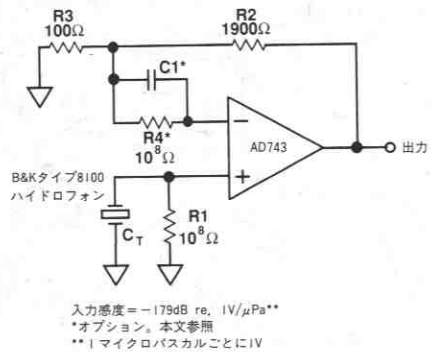


図37a. 基本的なハイドロフォン・アンプ

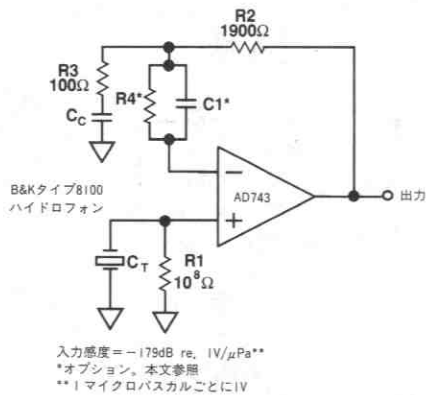


図37b. AC結合、低ノイズ・ハイドロフォン・アンプ

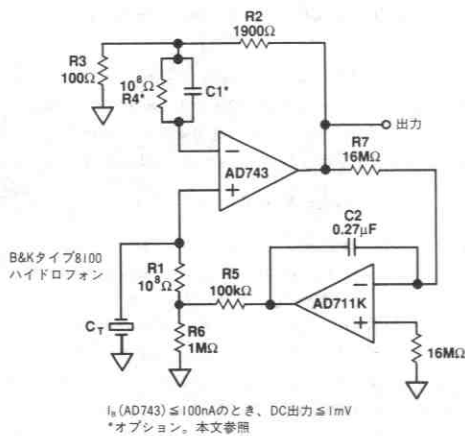


図37c. DCサーボ・ループをもったハイドロフォン・アンプ

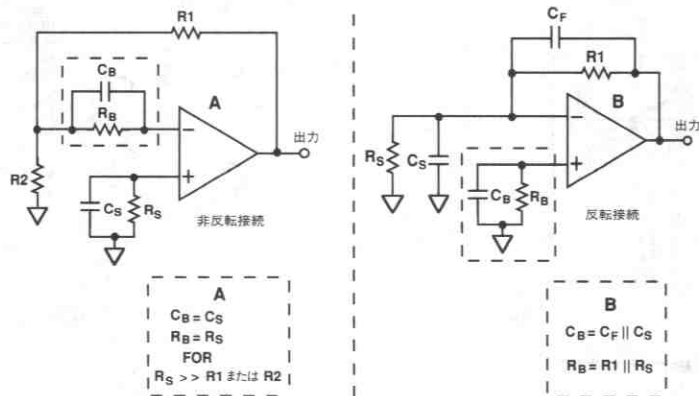


図39. ソース・インピーダンスのバランスに必要な外付け部品

ここで、DCゲインは1、低周波カットオフ ($1/2\pi C_C (100\Omega)$) 以上のゲインは図37aに示す回路と同様です。図37cの回路はDC出力を0Vに保つため、および100nAまでの I_B についてフルダイナミック・レンジを維持するためにサーボ・ループを用いています。R7およびC2の時定数は、低周波での応答をスムーズにするため、R1および C_T よりも大きくする必要があります。

図に示すトランスデューサのソース容量は7500pFです。容量の小さな (300pF以下) トランスデューサを用いる際には、並列RCネットワーク ($R_4=R_1$, $C_1=C_T$) をAD743の反転入力に直列に追加します。

ソース・インピーダンスのバランス

先に述べたようにAD743の入力においてソース・インピーダンス (抵抗性および反応性) のバランスをとることは重要です。抵抗性成分のバランスによってあらゆるバイアス電流誤差の影響が軽減されるため、温度に対するDC性能が最適化されます。入力容量のバランスは、アンプの入力容量に起因するAC応答誤差が最小となり、図38に示すノイズ性能が改善されます。図39は、非反転 (A) および反転 (B) 構成における必要な外付け部品を示しています。

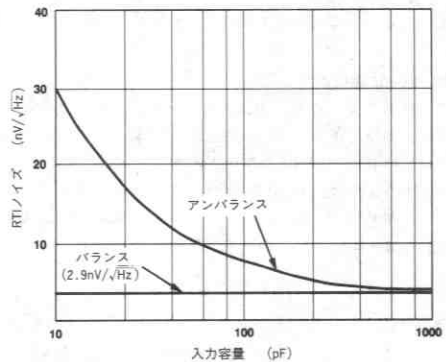


図38. RTI電圧ノイズ対入力容量

オーダ・ガイド

モデル	温度範囲	パッケージ オプション*
AD743JN	0~+70°C	N-8
AD743KN	0~+70°C	N-8
AD743AN	-40~+85°C	N-8
AD743JR	0~+70°C	R-16
AD743KR	0~+70°C	R-16
AD743AR**	-40~+85°C	R-16
AD743AQ	-40~+85°C	Q-8
AD743BQ	-40~+85°C	Q-8
AD743SQ	-55~+125°C	Q-8
AD743SQ/883B	-55~+125°C	Q-8
AD743Jチップ	0~+70°C	
AD743Sチップ	-55~+125°C	

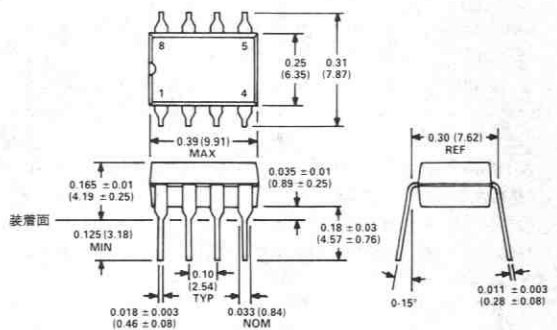
*N=プラスチックDIP
R=スモール・アウトラインIC
Q=サーディップ

**お問い合わせ下さい

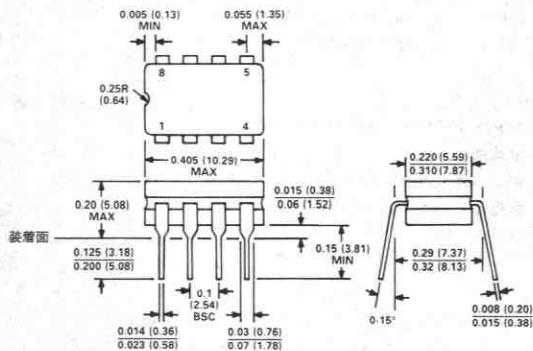
外形サイズ

サイズはインチと(mm)で示します。

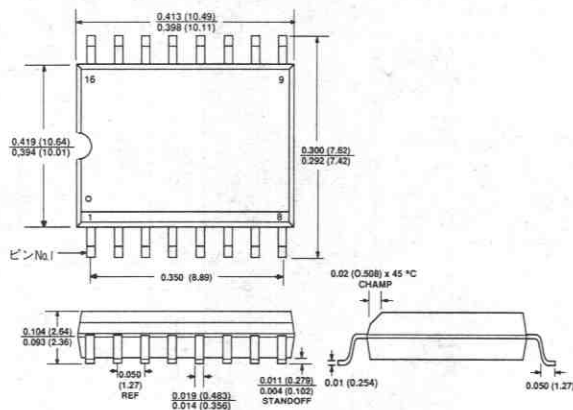
ミニDIP (N) パッケージ



サーディップ (Q) パッケージ



16ピンSOIC (R) パッケージ



特長

超低ノイズ性能

- 2.9nV/√Hz (10kHz)
- 0.38μVp-p (0.1~10Hz)
- 電流ノイズ: 6.9fA/√Hz (1kHz)

優れたAC性能

- 12.5V/μsのスルー・レート
- 20MHzのゲイン帯域幅積
- THD=0.0002% (1kHz)
- +5 (または-4) 以上のゲインに対して内部補償

優れたDC性能

- 0.5mV maxのオフセット電圧
- 250pA maxの入カバイアス電流
- 2000V/mV minのオープン・ループ・ゲイン

応用

- フォトダイオードおよびIR検出用アンプ
- 加速度計
- 低ノイズ・プリアンプ
- 高性能オーディオ
ソナー

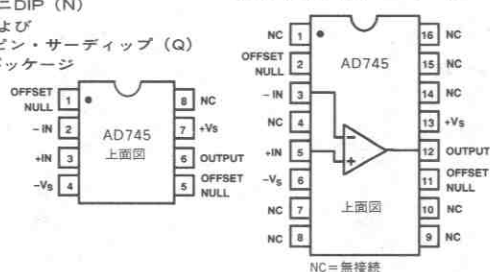
概要

AD745は超低ノイズ、高速のFET入力オペアンプです。このデバイスには、一般にバイポーラ入力オペアンプによる極めて低い電圧ノイズおよび高速性能とFET入力オペアンプによる低入力電流性能を兼ね備えています。AD745の20MHz帯域幅と12.5V/μsスルー・レートは、低ノイズと高いDC精度が要求される高速应用到に理想的です。さらに、AD745は出力位相の反転を生じません。

8ピン・プラスチック・ミニDIP (N)

および
8ピン・サーディップ (Q) パッケージ

16ピンSOIC (R) パッケージ



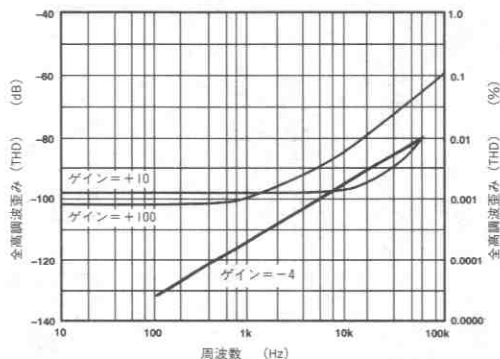
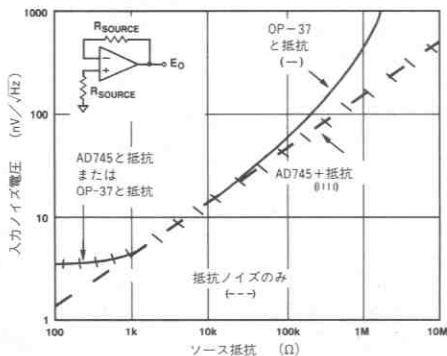
AD745ピン配置

AD745の保証され、テストされた最大入力電圧ノイズは10kHzにおいて4nV/√Hzで、この値はFET入力モノリシック・オペアンプの0.1~10Hz帯域幅での最大値10μVp-pノイズより優れています。また、AD745は250pAの最大入力バイアス電流、0.5mV maxのオフセット電圧など、優れたDC性能も備えています。

AD745の内部補償はより高いゲインのために最適化されており、より高い帯域幅と高速スルー・レートを提供します。これにより、AD745は高い増幅度と高ゲインにおける広い帯域幅を実現するアンプが必要な低レベル信号のプリアンプとして有効に使用することができます。

AD745には5つの性能別グレードがあります。AD745JおよびAD745Kは、一般用温度範囲0~+70°Cで仕様が規定されています。AD745AおよびAD745Bは、産業用温度範囲-40~+85°Cで仕様が規定されています。AD745Sは軍用温度範囲-55~+125°Cで仕様が規定されており、MIL-STD-883B, Rev C準拠製品も用意しています。

パッケージは8ピン・プラスチック・ミニDIP、8ピン・サーディップ、16ピンSOICを用意しており、チップの形で供給可能です。



仕様

(特に指定のない限り、@ +25°C、±15V DC)

モデル	条件	AD745J/A			AD745K/B			AD745S			単位	
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
入力オフセット電圧 ¹⁾ 初期オフセット 初期オフセット 対温度 対電源 (PSRR) 対電源 (PSRR)	T min~T max		0.25	1.0/0.8		0.1	0.5/0.25		0.25	1.0	mV	
	T min~T max		2	1.5		2	1.0/0.50		2	2.0	mV	
	12V~18V ²⁾	90	96		100	106		90	96		μV/°C	
	T min~T max	88			98	105		88			dB	
												dB
入力バイアス電流 ³⁾ 各入力 各入力 @T max 各入力 各入力、V _S = ±5V	V _{CM} = 0V		150	400		150	250		150	400	pA	
	V _{CM} = +10V			8.8/25.6			5.5/16			413	nA	
	V _{CM} = 0V		250	600		250	400		300	600	pA	
	V _{CM} = 0V		30	200		30	125		30	200	pA	
			40	150		30	75		40	150	pA	
オフセット電流@T max	V _{CM} = 0V			2.2/6.4			1.1/3.2			102	nA	
周波数応答 ゲイン帯域幅、小信号 フルパワー応答 スルー・レート 0.01%のセトリング時間 全高調波歪み ⁴⁾	G = -4		20			20			20		MHz	
	V _O = 20V p-p		120			120			120		kHz	
	G = -4		12.5			12.5			12.5		V/μs	
			5			5			5		μs	
	f = 1kHz G = -4		0.0002			0.0002			0.0002		%	
入力インピーダンス 差動 同相			1×10 ¹⁰ 20			1×10 ¹⁰ 20			1×10 ¹⁰ 20		Ω pF	
			3×10 ¹¹ 18			3×10 ¹¹ 18			3×10 ¹¹ 18		Ω pF	
入力電圧レンジ 差動 ⁵⁾ 同相電圧 最大動作範囲 ⁶⁾ 同相除去比	V _{CM} = ±10V		±20			±20			±20		V	
	T min~T max		+13.3, -10.7			+13.3, -10.7			+13.3, -10.7		V	
		-10		+12	-10		+12	-10		+12	V	
		80	95		90	102		80	95		dB	
		78			88			78			dB	
入力電圧ノイズ	0.1~10Hz		0.38			0.38	1.0		0.38		μVp-p	
	f=10Hz		5.5			5.5	10.0		5.5		nV/√Hz	
	f=100Hz		3.6			3.6	6.0		3.6		nV/√Hz	
	f=1kHz		3.2	5.0		3.2	5.0		3.2	5.0	nV/√Hz	
	f=10kHz		2.9	4.0		2.9	4.0		2.9	4.0	nV/√Hz	
入力電流ノイズ	f=1kHz		6.9			6.9			6.9		fA/√Hz	
オープン・ループ・ゲイン	V _O = ±10V		1000	4000		2000	4000		1000	4000	V/mV	
	R _{LOAD} ≥ 2kΩ		800			1800			800		V/mV	
	T min~T max R _{LOAD} = 600Ω			1200			1200			1200	V/mV	
出力特性 電圧	R _{LOAD} ≥ 600Ω		+13, -12			+13, -12			+13, -12		V	
	R _{LOAD} ≥ 600Ω			+13.6, -12.6			+13.6, -12.6			+13.6, -12.6	V	
	T min~T max		+12, -10			+12, -10			+12, -10		V	
	R _{LOAD} ≥ 2kΩ		±12	+13.8, -13.1		±12	+13.8, -13.1		±12	+13.8, -13.1	V	
	回路短絡	20	40		20	40		20	40		mA	
電源 定格性能 動作範囲 無負荷時電源電流			±15			±15			±15		V	
		±4.8		±18		±4.8		±18		±18	V	
		8		10.0		8		10.0		8	10.0	mA
トランジスタ数			50			50			50		個	

注

- 1) 入力オフセット電圧仕様は、T_A = +25°Cで5分間の動作後に保証されます。
- 2) テスト条件：+V_S = 15V、-V_S = 12~18Vおよび
+V_S = 12~18V、-V_S = 15V
- 3) バイアス電流仕様はT_A = +25°Cで5分間の動作後に各入力に保証される最大値です。より高温では、10°Cの上昇毎に電流は倍加します。
- 4) ゲイン=-4、R_L = 2kΩ、C_L = 10pF。
- 5) 各入力ともにコモンから±10Vを越えない範囲での各入力間の電位差と定義されます。
- 6) 負の同相限界を越えた場合でも、AD745は出力位相の反転を起こしません。

minおよびmaxの値はすべて保証されています。
仕様は予告なしに変更することがあります。

絶対最大定格¹

電源電圧	±18V
内部消費電力 ²	
プラスチック・パッケージ	1.3W
サーディップ・パッケージ	1.1W
SOICパッケージ	1.2W
入力電圧	±V _S
出力回路短絡時間	無制限
差動入力電圧	+V _S および-V _S
保管温度範囲、Q	-65～+150°C
保管温度範囲、N、R	-65～+125°C
動作温度範囲	
AD745J/K	0～+70°C
AD745A/B	-40～+85°C
AD745S	-55～+125°C
リード温度範囲 (ハンダ付け60秒間)	300°C

注

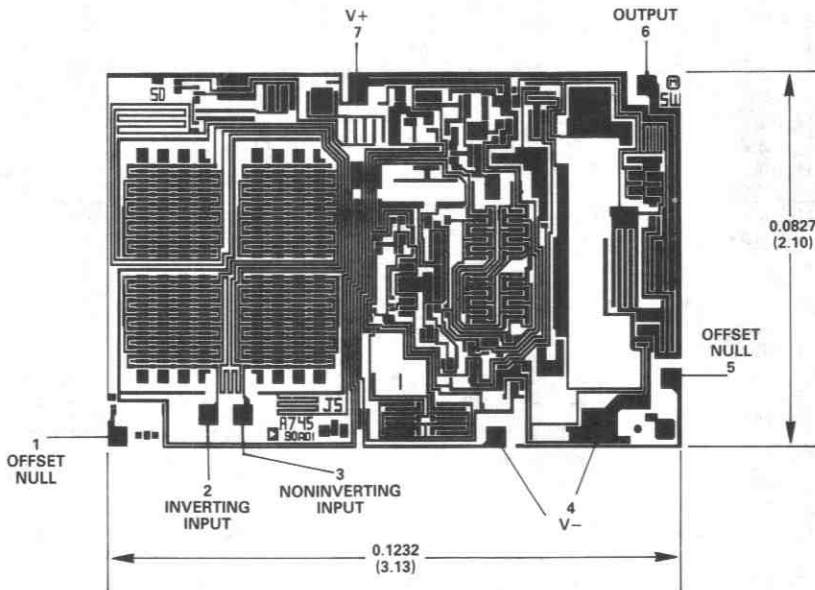
- 絶対最大定格を超えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。
- 8ピン・プラスチック・パッケージ： $\theta_{JA}=100^{\circ}\text{C}/\text{W}$ 、 $\theta_{JC}=50^{\circ}\text{C}/\text{W}$
 8ピン・サーディップ・パッケージ： $\theta_{JA}=110^{\circ}\text{C}/\text{W}$ 、 $\theta_{JC}=30^{\circ}\text{C}/\text{W}$
 16ピン・プラスチックSOICパッケージ： $\theta_{JA}=90^{\circ}\text{C}/\text{W}$ 、 $\theta_{JC}=30^{\circ}\text{C}/\text{W}$

ESD感度

AD745には、MIL-STD-883Cの方式3015.6に従ったESDのクラス分けが実施されています。AD745はクラス1デバイスであり、IMCS5000自動ESDテスターを用いた試験において、2本のNULLピンは1000Vまでの電圧に合格し、他のピンはすべて2500V以上の電圧に合格しています。

メタライゼーション写真

サイズはインチと(mm)で示します。



代表的特性 (特に指定のない限り、@ +25°C、 $V_S = \pm 15V$)

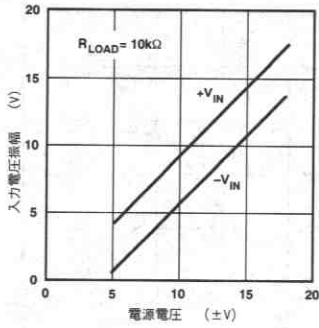


図1. 入力電圧振幅対電源電圧

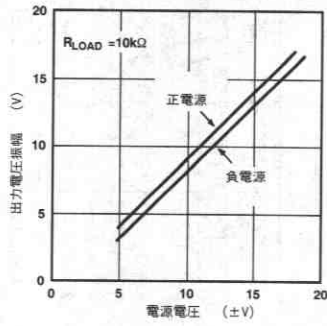


図2. 出力電圧振幅対電源電圧

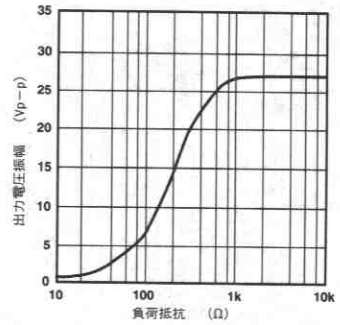


図3. 出力電圧振幅対負荷抵抗

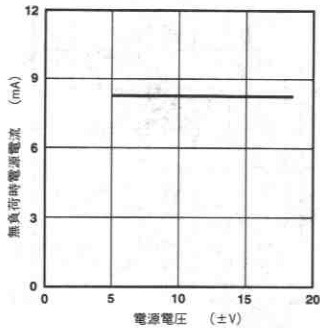


図4. 無負荷時電源電流対電源電圧

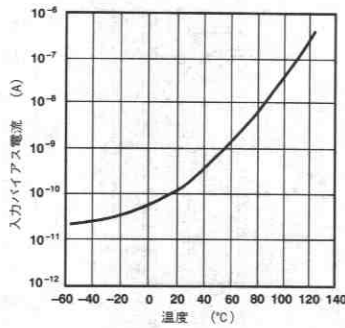


図5. 入力バイアス電流対温度

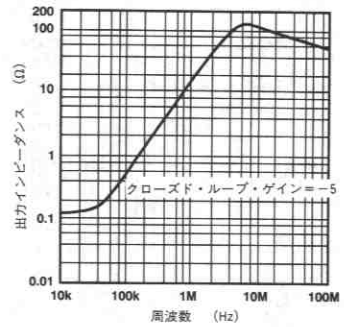


図6. 出カインピーダンス対周波数

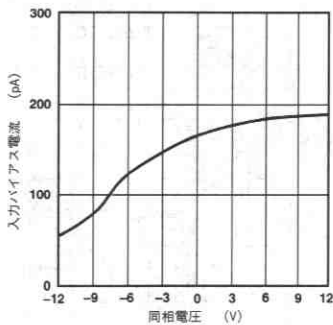


図7. 入力バイアス電流対同相電圧

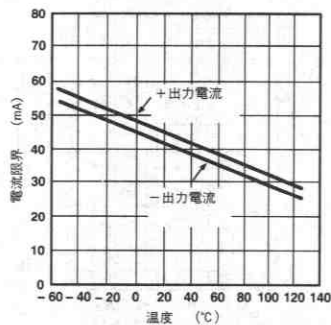


図8. 回路短絡時電流制限対温度

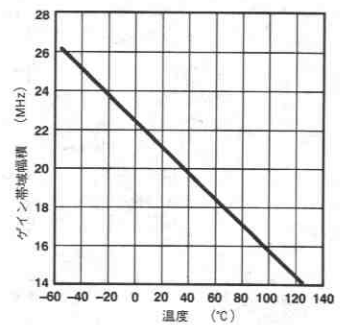


図9. ゲイン帯域幅積対温度

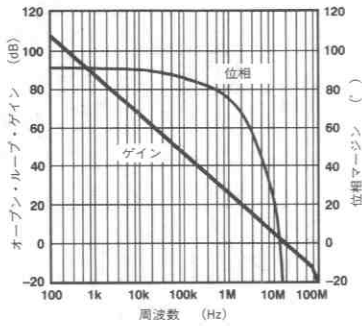


図10. オープン・ループ・ゲインおよび位相対周波数

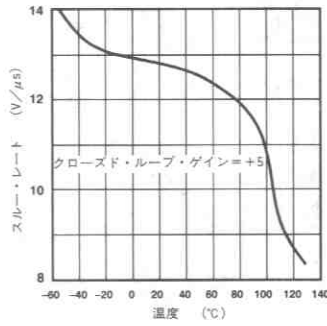


図11. スルー・レート対温度

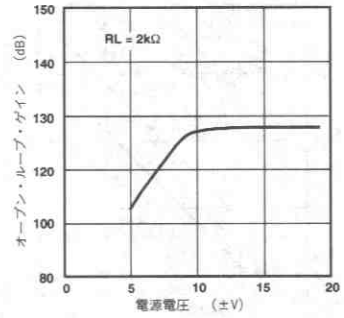


図12. オープン・ループ・ゲイン対電源電圧

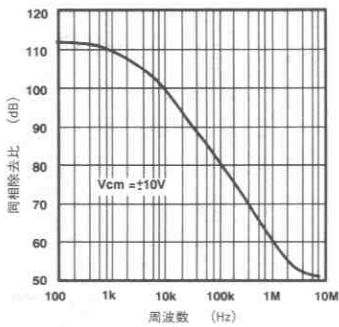


図13. 同相除去比対周波数

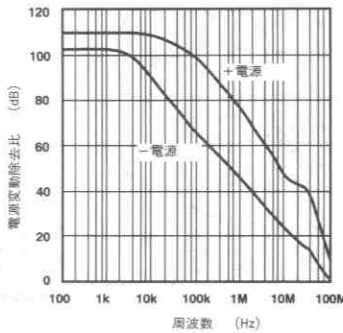


図14. 電源変動除去比対周波数

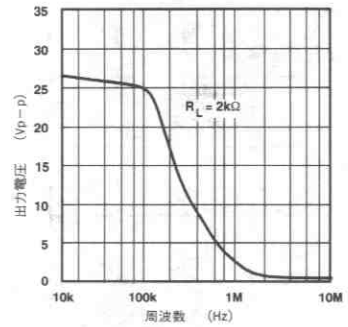


図15. 大信号周波数応答

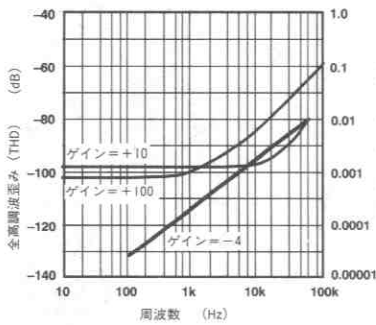


図16. 全高調波歪み対周波数

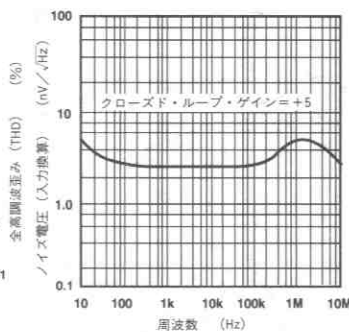


図17. 入力ノイズ電圧スペクトラル密度

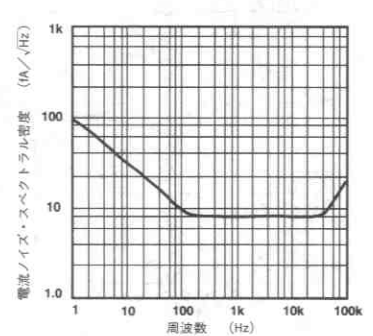


図18. 入力ノイズ電流スペクトラル密度

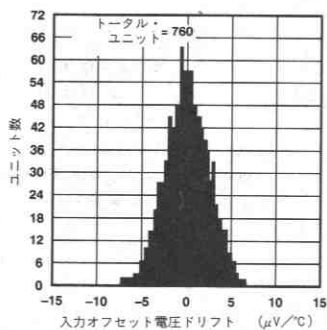


図19. オフセット電圧ドリフト分布、
 $T_A = +25 \sim +125^\circ\text{C}$

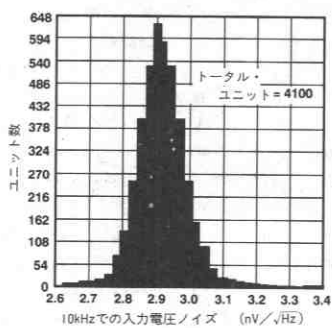


図20. 10kHzでの入力ノイズ電圧の代表分布

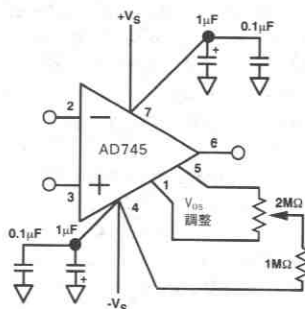


図21. オフセット・ゼロ調整回路 (8ピン・パッケージ)

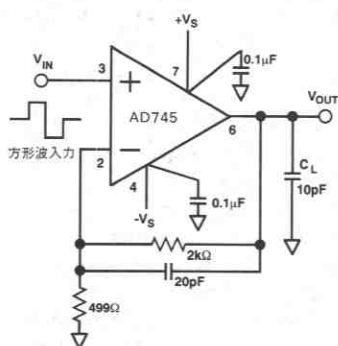


図22a. ゲイン5フォロワ (8ピン・パッケージ)

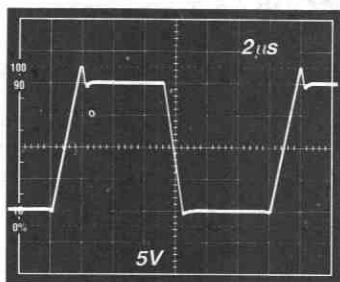


図22b. ゲイン5フォロワの大信号パルス応答

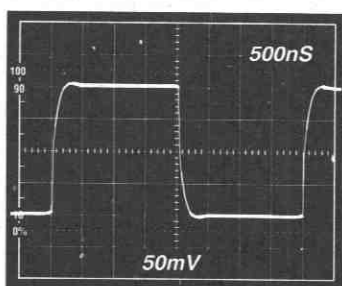


図22c. ゲイン5フォロワの小信号パルス応答

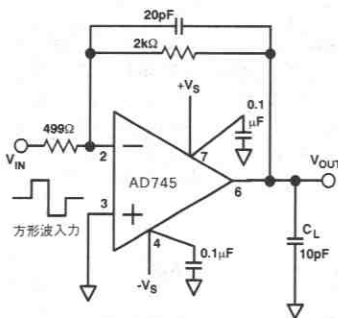


図23a. ゲイン4インバータ (8ピン・パッケージ)

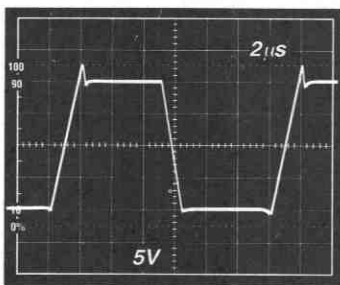


図23b. ゲイン4インバータの大信号パルス応答

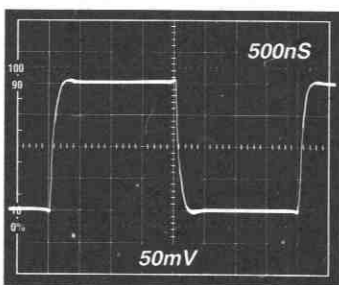


図23c. ゲイン4インバータの小信号パルス応答

オペアンプの性能：JFET対バイポーラ

AD745は、業界標準のバイポーラ・オペアンプのもつ低入力電圧ノイズ性能を実現し、入力電流誤差を抑えています。このことは、OP-37とAD745オペアンプについて入力電圧ノイズと入力ソース抵抗を比較した図24に示されています。この図から明らかなように、高いソース・インピーダンスにおいてもAD745の低電流ノイズ性能によって、ノイズ全体が低く抑えられています。また、AD745のノイズ低減能力が低いソース・インピーダンス全体にまで及んでいることも重要です。AD745の低DC電流誤差により、高ソース・インピーダンスにおいてもオフセットとドリフトに起因する誤差を抑えることができます（図25参照）。

AD745の内部補償はより高いゲインのために最適化されており、より高い帯域幅と高速スルー・レートを提供します。これにより、AD745は高い増幅度と高ゲインにおける広い帯域幅を実現するアンプが必要な低レベル信号のプリアンプとして有効に使用することができます。

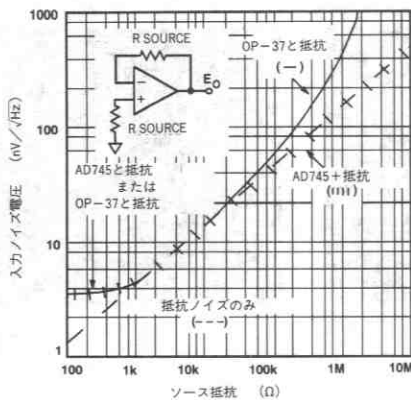


図24. 1kHzにおける全入力ノイズ・スペクトラル密度対ソース抵抗

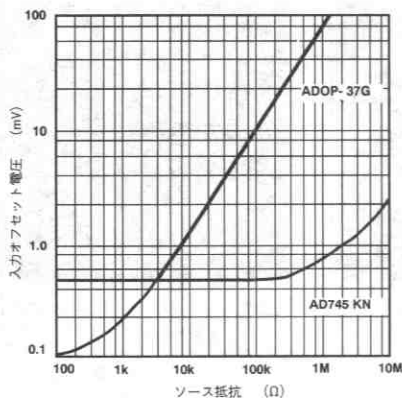


図25. 入力オフセット電圧対ソース抵抗

低ノイズ回路の設計

オペアンプの入力電圧ノイズ性能は一般的に、フラットバンドと低周波ノイズの2つの領域に分けることができます。AD745はこの両方それぞれについて優れた性能を備えています。10kHzにおける2.9nV/√Hzの性能は、JFET入力アンプとして優れています。0.1~10Hzのノイズは0.38μVp-p typです。低周波ノイズ性能を最適化するためには、設計において細心の注意を払う必要があります。ランダムなエアは熱電対電圧に変動を及ぼし低周波ノイズの原因となるため、感度の高い回路ではエアに対して十分なシールドを行う必要があります。チップ温度を低く保つことによっても、2つの理由で低周波ノイズを抑えることができます。その一つは低周波ノイズは周囲温度に強く依存しており、+25℃を越えると増大するためです。第二には、ICパッケージと外周の温度差が高い場合、先に述べたようなランダムなエアによって発生するノイズが増大します。チップ温度は、低い電源電圧を用いることや適切なクリップ・オンのヒートシンクを取付けることによって低く抑えることができます。

低周波電流ノイズはDCバイアス電流の大きさ ($\bar{I}_n = \sqrt{2qI_n \Delta f}$) によって算出することが可能で、約100Hz以下では1/fパワーのスペクトラル密度で増加します。AD745の標準的な電流ノイズ値は1kHzにおいて6.9fA/√Hzです。 $\bar{I}_n = \sqrt{4kT/R\Delta f}$ 式を用いて電流で表現した抵抗のジョンソン・ノイズを算出すると、AD745の電流ノイズは $3.45 \times 10^8 \Omega$ ソース抵抗と等価であることが分かります。

高周波数におけるFETの電流ノイズは周波数に比例して増加します。このノイズは周波数に応じて小さくなるゲート入力インピーダンスの「リアル」な部分によるものです。このノイズ成分は、その入力容量に印加されるアンプの電圧ノイズが、明らかにほぼ同様な大きさの電流ノイズであるため、通常は重要ではありません。

通常のFETアンプでは、内部バイアス回路の電流ノイズがゲート・ソース間容量を介して外部でカップリングし、入力電流ノイズとして現れます。このノイズは全体的には入力に関連するため、ソース・インピーダンスのマッチングをとることによって影響をなくすることができます。300pF以下のソース容量を扱う場合は常に、入力抵抗と入力容量の両方のバランスをとるようにしてください。

低ノイズ・チャージ・アンプ

先に述べたようにAD745は低電圧および低電流ノイズ性能をもっています。この組み合わせにより、AD745は容量性加速度計やハイドロフォンなどの極めて高い電荷感度が必要とされる応用に適しています。高ソース容量を扱う場合、全入力電荷の不確か性をシステム・ノイズの測定値と考えることができます。

電荷(Q)は、電圧と電流との間に以下のような単純な関係をもっています。

$$Q = CV \quad \text{および} \quad I = \frac{dQ}{dt}$$

このように、電圧、電流および電荷ノイズは直接的な関係をもっています。コンデンサ上でのオープン回路の電圧変動 (ΔV) は、電荷変動 ($\Delta Q/C$) と、保持している電荷と容量の変動 ($Q/\Delta C$) の組み合わせと等価です。

図26および27は、電荷出力トランスデューサの出力をバッファ、増幅するための2つの方法を示しています。どちらの場合も、アンプはAD745のように極めて高い入力インピーダンスをもつ必要があります。図26はチャージ・アンプ回路を示します。この回路では、アンプA1の入力における電荷保存の原理に従って増幅が行われます。この場合、コンデンサ C_s の電荷は C_f に転送される必要があり、出力電圧 $\Delta Q/C_f$ を発生します。アンプの入力電圧ノイズは、回路のノイズ・ゲイン $(1+(C_s/C_f))$ によって増幅された出力に現れます。

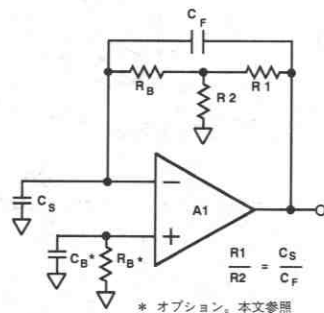


図26. チャージ・アンプ回路

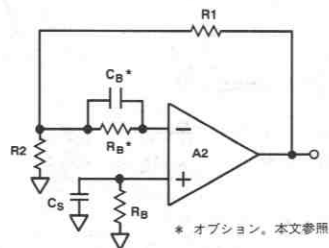


図27. ゲインをもつ高インピーダンス・フォロワ

図27に示す回路はゲインをもつ高インピーダンス・フォロワです。この回路では、ノイズ・ゲイン $(1+(R1/R2))$ はトランスデューサから出力へのゲインと同じです。2つの回路にある抵抗 R_B はDCバイアス電流リターンのために必要です。

これらの回路には、3つの重要なノイズ源があります。アンプA1およびA2はいずれも電圧および電流ノイズに影響を与え、抵抗 R_B は次式にしたがって電流ノイズを与えます。

$$\bar{N} = \sqrt{4k \frac{T}{R_B} \Delta f}$$

ここで、

k = ボルツマン定数 $=1.381 \times 10^{-23}$ ジュール/ケルビン

T = 絶対温度、ケルビン ($0^\circ\text{C} = +273.2\text{K}$)

Δf = 帯域幅、Hz (理想「ブリック・ウォール」フィルタと仮定)

これは、アンプ自体の電流ノイズの自乗和の平方根です。

図28は、これら2つの回路が同等の周波数応答と同じノイズ性能をもつことを示しています ($C_s/C_f = R1/R2$ の場合)。最初の回路の特長の一つは、Tネットワークによって R_B の実効抵抗値を増し、同じファクタによって低周波カットオフ・ポイントを改善している点です。

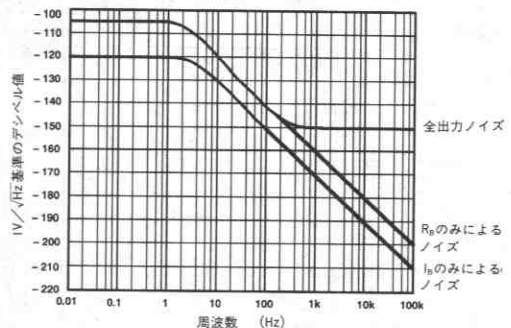


図28. 図26、27の回路の出力ノイズ。ゲイン=10、 $C_s=3000\text{pF}$ 、 $R_B=22\text{M}\Omega$

しかしながら、この例では低周波において顕著な R_B によって生じるノイズは変動しません。図29に示すグラフは、回路全体のノイズに対する抵抗の影響を十分に小さくするための R_B の選択基準を示しています。 R_B の等価電流ノイズ $(\sqrt{4kT}/R)$ が I_B のノイズ $(\sqrt{2qI_B})$ と等しい場合、 R_B を大きくすると I_B は小さくなります。

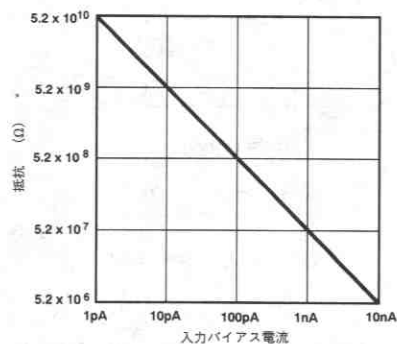


図29. 等価ノイズ $\sqrt{4kT}/R$ がバイアス電流ノイズ $\sqrt{2qI_B}$ に等しい場合の抵抗対入力バイアス電流

温度に対するDC性能を最大にするためには、アンプの各入力におけるソース抵抗をバランスする必要があります。これは図26、27でのオプション抵抗 R_B によって示されています。先に述べたように最高のノイズ性能を実現するには、 C_B と示すソース容量のバランスにも注意を払う必要があります。図26における C_B の値は図27の C_s と等しい値です。 C_B の値が300pFを越える場合、ノイズに対する影響は薄れるため、コンデンサ C_B を0.01 μF 以上の単なるマイラー・バイパス・コンデンサとすることができます。

チップ・パッケージ・タイプと消費電力の入カバイアス電流への影響

すべてのJFET入力アンプと同様に、AD745の入カバイアス電流はデバイスの接合温度の直接の関数となり、 I_B は10°Cの上昇毎にはほぼ倍加します。図30に、AD745のバイアス電流と接合温度の関係を示します。このグラフから、接合温度を下げることによって I_B は大幅に改善することが分かります。

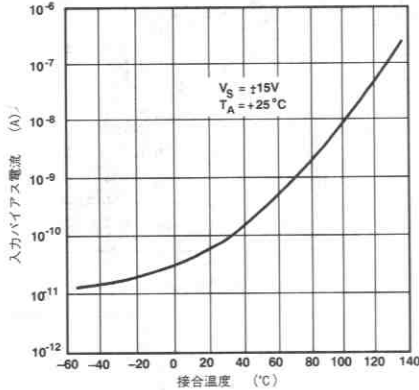
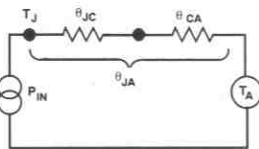


図30. 入力バイアス電流対接合温度

ICのDC熱特性は図31に示す単純なモデルによって近似することができます。この図では、電流が消費電力、電圧が温度、抵抗が熱抵抗 (θ , °C/W) を表しています。



- ここで、
 P_{IN} = デバイスの消費電力
 T_A = 周囲温度
 T_J = 接合温度
 θ_{JC} = 熱抵抗 (接合部-ケース間)
 θ_{CA} = 熱抵抗 (ケース-周囲間)

図31. デバイスの熱モデル

このモデルから、 $T_J = T_A + \theta_{JA} P_{IN}$ であることが分かります。したがって、特定の応用において I_B は、図30と仕様表にある θ_{JA} および消費電力の値によって決めることができます。 θ_{JA} は、Aavid社#5801などのクリップオン式ヒート・シンクによって変更することができます。また、AD745をチップ形態で用いる際も θ_{JA} の値は可変します。図32に、3種類の θ_{JA} についてのバイアス電流と電源電圧の関係を示します。このグラフから θ_{JA} の算出後にバイアス電流を予測することができます。再度述べますが、バイアス電流は10°Cの上昇毎に倍加します。AD745をチップ形態で用いる場合 (図33)、ダイ・マウントの方式によって θ_{JC} が影響を受けるため、 θ_{JC} と θ_{CA} のいずれについても配慮する必要があります。

標準的には θ_{JC} は3~5°C/Wで、通常のパッケージではこのような小さな消費電力は無視することができます。しかしながら、大きな

ハイブリッド・サブストレートで用いる場合、 θ_{JC} は θ_{JA} のトータルよりも大きな影響を及ぼします。

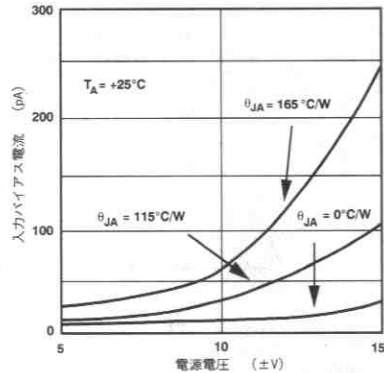


図32. 種々の θ_{JA} 値についての入力バイアス電流対電源電圧

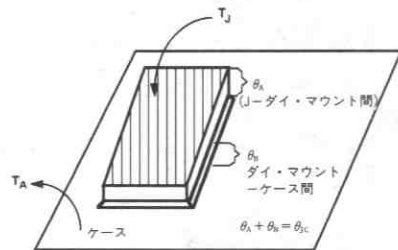
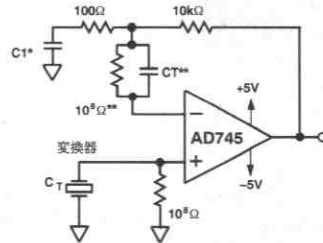


図33. 各種パッケージの熱抵抗の詳細

低 I_B のための低電源電圧動作

低い電源電圧で動作させることにより、2つの点で I_B を低減することができます。それは第一に全消費電力を抑えることであり、もう一つは基本的なゲート-接合間の漏れを低減することです (図32)。図34はゲイン40dBの圧電変換器用アンプであり、ACカップリング・コンデンサなしで-40~+85°Cの温度範囲で動作します。オプションのカップリング・コンデンサ C_1 を用いた場合、この回路は-55~+125°Cの軍用温度範囲で動作します。



- * オプションのDCブロック・コンデンサ
 ** オプション。本文参照。

図34. 圧電変換器回路

2つの高性能加速度計アンプ

最もよく使われている電荷出力型トランスデューサとして、ハイドロフォンと加速度計があります。高精度加速度計は一般的に電荷出力 (pC/g) * に対して校正されています。図35aおよび35bは、AD745を広範囲の圧電加速度計で用いるための低ノイズ・チャージ・アンプの構成を示しています。これらの回路の入力感度はコンデンサC1の値で決定され、次の式に等しくなります。

$$\Delta V_{OUT} = \frac{\Delta Q_{OUT}}{C_1}$$

コンデンサC1とトランスデューサの内部容量 (C_T) の比により、この回路のノイズ・ゲイン (1+C_T/C1) が決まります。アンプの電圧ノイズはこの値で増幅された出力に現れます。この回路の低周波帯域幅は抵抗R1の値に依存します。Tネットワークを用いる場合その実効値は、R1(1+R2/R3) となります。

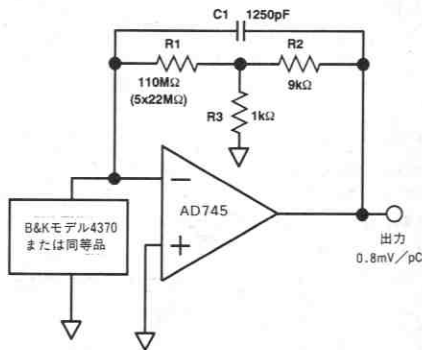


図35a. 基本的な加速度計回路

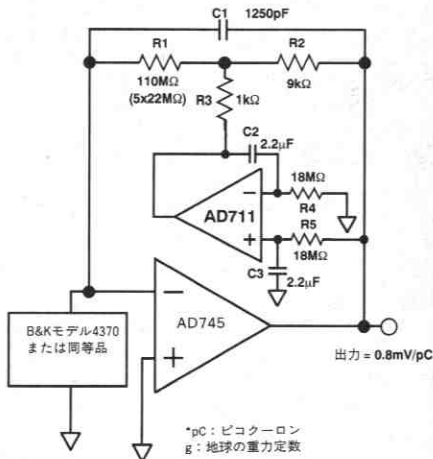


図35b. DCサーボ・アンプを使用した加速度計回路

10mV以下のDC出力を保证するためには、100nAの高いバイアス電流を扱う際の大きな補償抵抗を用いることなく、DCサーボ・ループ (図35b) を用いることができます。低周波での性能を最適化する

ためにはサーボ・ループの時間定数 (R4C2=R5C3) は以下となります。

$$\text{時間定数} \geq 10 R_1 \left(1 + \frac{R_2}{R_3}\right) C_1$$

低ノイズ・ハイドロフォン・アンプ

ハイドロフォンは一般的に電圧出力モードで校正されます。図36aに示す回路は一般的なハイドロフォン出力の増幅に用いることができます。オプションのACカップリング・コンデンサC_cを用いた場合、この回路は以下の式に等しいRC時間定数によって決まる低周波カットオフをもちます。

$$\text{時間定数} = \frac{1}{2\pi \times C_c \times 100\Omega}$$

ここで、DCゲインは1、低周波カットオフ (1/(2πC_c(100Ω))) 以上でのゲインは (1+R2/R3) に等しい値です。図36bの回路では、DC出力を0Vに保ち、I_bの全ダイナミック・レンジを100nAまでに維持するためにDCサーボ・ループを用いています。スムーズな低周波応答を得るため、R7およびC1の時間定数はR1およびC_T以上としてください。

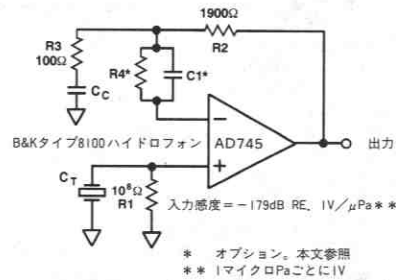


図36a. 低ノイズ・ハイドロフォン・アンプ

図に示すトランスデューサのソース容量は7500pFです。容量の小さな (300pF以下) トランスデューサを用いる際には、並列RCネットワーク (R4=R1, C1=C_T) を、AD745の反転入力に直列に追加して最小ノイズとすることができます。

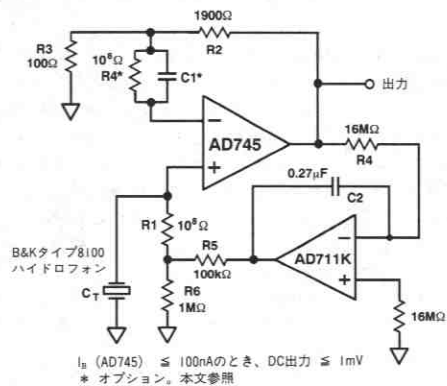


図36b. DCサーボ・ループをもつハイドロフォン・アンプ

I-Vコンバータの設計上の注意

(フォトダイオードの場合のように) 大きなソース容量が存在し、帯域幅を最適化する必要があるI-Vコンバータの設計には、いくつかの単純な経験則が存在します。図37の回路で説明します。高周波ノイズ・ゲイン $(1+C_S/C_L)$ は通常5以上で、AD745の高スルー・レートと帯域幅はこの应用到に理想的です。

ここでは、(入力電流ノイズ感度を増加させる) 大きな R_F が求められ、アンプを高ノイズ・ゲインで動作させる必要があるため、AD745の低い電流および電圧ノイズの両特性が有効です。

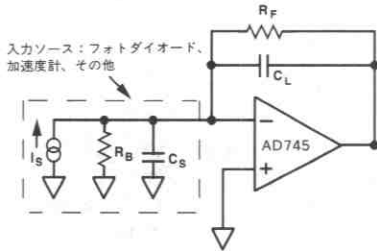


図37. I-Vコンバータのモデル

この回路では、 $R_F C_S$ 時定数はフラットな応答が得られる実用帯域幅を制限します。

$$f_B \approx \sqrt{\frac{f_c}{2\pi R_F C_S}}$$

ここで、

f_B = 信号帯域幅

f_c = アンプのゲイン帯域幅積

$C_L \approx 1 / (2\pi R_F C_S)$ では、総合応答はコーナ周波数 f_B をもち、最適な平滑性を備えた2ポール・システムをもつように調整することができます。コンデンサ C_L は、回路応答のダンピングを調整します。帯域幅と感度は、 R_F の選択によって互いに直接的なトレード・オフとなることに注意してください。例えば、 $C_S = 300\text{pF}$ 、 $R_F = 100\text{k}\Omega$ のフォトダイオードの最大帯域幅は、コンデンサ $C_L \approx 4.5\text{pF}$ のとき360kHzとなります。そして100kHzの帯域幅のみが必要な場合には、 R_F の最大値は360k Ω となるのに対し、コンデンサ C_L の最大値は約4.5pFのままです。

いずれの場合もAD745は実効的な抵抗変換によってインピーダンスの変換を行ない、I/V変換ゲインはより大きくなります。この応用ではAD829などの広帯域、低ノイズ・アンプが適しています。

この原理は、AD745を高性能オーディオ应用到に使用する際にも適用できます。図38に、高性能DAC (図ではAD1862) を用いたI-Vコンバータの設計において、AD745の低電圧ノイズ (2.9nV/ $\sqrt{\text{Hz}}$)、高スルー・レートおよび帯域幅を活かした回路を示します。図示されている部品の値を用いた場合、この回路は728kHzにおいて12dB/オクターブのロールオフをもち、通過バンドのリップルは0.001dB以下、位相のばらつきは20kHzにおいて2°以下です。

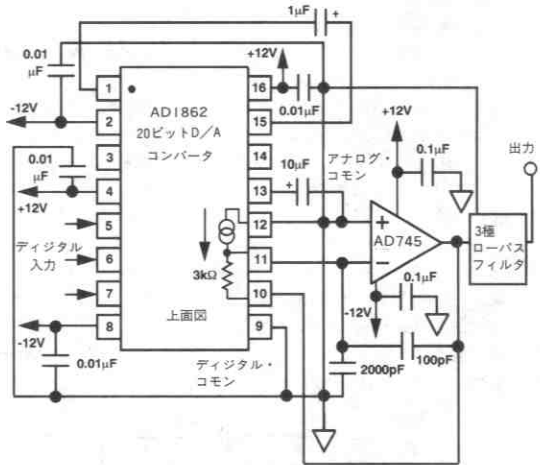


図38. 高性能オーディオDAC回路

この回路の重要な特長は、クロック・フィードスルーなどの高周波エネルギーが高品質コンデンサを通して共通にシャントされ、アンプの出力段に達しないことです。これによってアンプの入力における誤差信号は大幅に除去され、同時に混変調歪みも抑えられます。

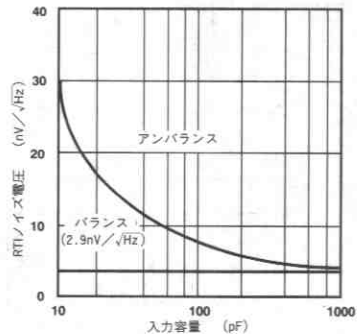


図39. RTIノイズ電圧対入力容量

ソース・インピーダンスのバランス

先に述べたようにAD745の入力に見られるソース・インピーダンス (抵抗性および反応性)のバランスをとることが重要です。抵抗性成分のバランスによってあらゆるバイアス電流誤差の影響が軽減されるため、動作温度範囲においてDC性能が最適化されます。入力容量のバランスは、アンプの入力容量に起因するAC応答誤差が最小となり、図39に示すようにノイズ性能が改善されます。図40は、非反転 (A) および反転 (B) 構成における必要な外付け部品を示しています。

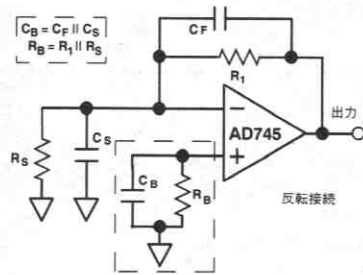
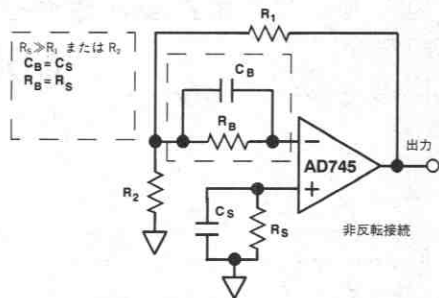


図40. ソース・インピーダンスのバランスのために必要な外付け部品

オーダ・ガイド

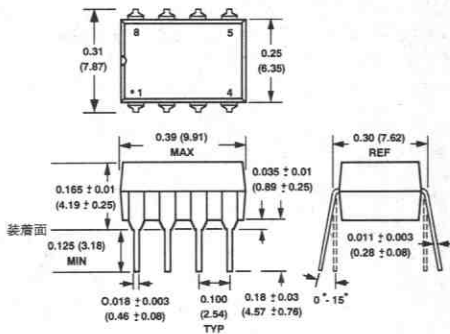
モデル	温度範囲	パッケージ・オプション*
AD745JN	0 ~ +70°C	N-8
AD745KN	0 ~ +70°C	N-8
AD745AN	-40 ~ +85°C	N-8
AD745JR	0 ~ +70°C	R-16
AD745AR	-40 ~ +85°C	R-16
AD745AQ	-40 ~ +85°C	Q-8
AD745BQ	-40 ~ +85°C	Q-8
AD745SQ	-55 ~ +125°C	Q-8
AD745SQ/883B	-55 ~ +125°C	Q-8
AD745J チップ	0 ~ +70°C	
AD745S チップ	-55 ~ +125°C	

- * N = プラスチックDIP
- R = スモール・アウトラインIC
- Q = サードリップ

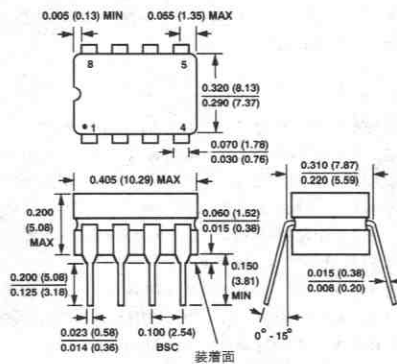
外形サイズ

サイズはインチと (mm) で示します。

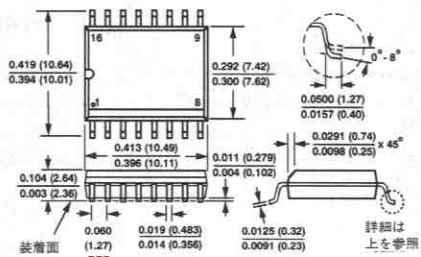
8ピン・プラスチック・ミニDIP (N) パッケージ



8ピン・サードリップ (Q) パッケージ



16ピンSOIC (R) パッケージ



特長
高速

- 50MHzユニティ・ゲイン安定動作
- スルー・レート : 300V/ μ s
- セトリング時間 : 120ns
- 無制限の容量性負荷を駆動可能

優れたビデオ特性

- 微分ゲイン : 0.04% @4.4MHz
- 微分位相 : 0.19' @4.4MHz

優れたDC特性

- 入力オフセット電圧 : 2mV max
- 入力オフセット電圧ドリフト : 15 μ V/ $^{\circ}$ C

低消費電力

- 2つのアンプについて10mAのトータル電源電流
- $\pm 5V \sim \pm 15V$ 電源電圧

概要

AD827は弊社の業界標準オペアンプAD847のデュアル・タイプです。AD847と同様に高速であり、低消費電力特性を低価格で実現しています。AD827は300V/ μ sのスルーレートと50MHzのユニティ・ゲイン帯域幅を $\pm 5V$ 電源動作時にわずか100mWの消費電力で実現します。 $\pm 5 \sim \pm 15V$ 電源動作に対して性能が規定されています。

AD827は500 Ω 負荷に対し3500V/Vのオープン・ループ・ゲインを備えています。また入力電圧ノイズは15nV/ \sqrt{Hz} 、入力オフセット電圧も2mV maxと低い値です。同相除去比は80dB minです。入力周波数1MHzまでの電源変動除去比は20dB以上に保たれているため、スイッチング電源からのフィードスルーは最小に抑えられています。

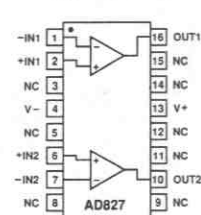
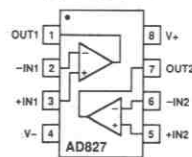
AD827はビデオ応用にも理想的で、643mVp-pの出力時に0.04%以下の微分ゲインと0.19'以下の微分位相で75 Ω の逆終端同軸ケーブルを駆動できます。

また、AD827の高速セトリング時間 (0.1%に対して120ns) により、その仕様が重要となるマルチチャネルでの高速データ変換システムにも有効です。このような応用では、AD827は8ビットから10ビットのA/Dコンバータの入力バッファや高速D/Aコンバータの出力アンプとして使用されます。

ピン配置

8ピン・プラスチック (N) およびサーディップ (Q) パッケージ
16ピン・スモール・アウトライン (R) パッケージ

(Q) パッケージ



NC = 無接続

アプリケーション・ハイライト

1. $\pm 5 \sim \pm 15V$ の電源動作に対して性能が完全に規定されています。
2. 4.4MHzのカラー・サブキャリア周波数における0.04%の微分ゲインおよび0.19'の微分位相特性に加え低価格のため、多くのビデオ応用に理想的です。
3. AD827は30mAの電流出力で50 Ω 及び75 Ω の逆終端負荷を駆動しているとき無制限の容量性負荷を駆動できます。
4. AD827は50MHzのユニティ・ゲイン帯域幅により、複数段のアクティブ・フィルタに使用できます。
5. パッケージは8ピン・プラスチック・ミニDIP、サーディップ、16ピンSOPを用意しています。チップおよびMIL-STD-883Bプロセス製品も販売可能です。

仕様 (特に指定のない限り、 $T_A = +25^\circ\text{C}$)

パラメータ	条件	V_s	AD827J			AD827A/S			単位
			Min	Typ	Max	Min	Typ	Max	
DC特性									
入力オフセット電圧 ¹	$T_{min} \sim T_{max}$	$\pm 5\text{V}$		0.5	2		0.3	2	mV
		$\pm 15\text{V}$			3.5			4	mV
オフセット電圧ドリフト	$T_{min} \sim T_{max}$	$\pm 5 \sim \pm 15\text{V}$						4	mV
		$\pm 15\text{V}$			6			6	mV
入力バイアス電流	$T_{min} \sim T_{max}$	$\pm 5 \sim \pm 15\text{V}$		15		15		7	$\mu\text{V}/\text{C}$
		$\pm 15\text{V}$		3.3	7	3.3	7	7	μA
入力オフセット電流	$T_{min} \sim T_{max}$	$\pm 5 \sim \pm 15\text{V}$		50	300	50	300	300	nA
		$\pm 15\text{V}$			400		400	400	nA
オフセット電流ドリフト	$T_{min} \sim T_{max}$	$\pm 5 \sim \pm 15\text{V}$		0.5		0.5			nA/C
		$\pm 15\text{V}$		78	95	80	95	95	dB
同相除去比	$T_{min} \sim T_{max}$	$V_{CM} = \pm 2.5\text{V}$		78	95	80	95	95	dB
		$V_{CM} = \pm 15\text{V}$		78	95	80	95	95	dB
電源変動除去比	$T_{min} \sim T_{max}$	$\pm 5 \sim \pm 15\text{V}$		75		75		75	dB
		$\pm 15\text{V}$		75	86	75	86	86	dB
オープン・ループ・ゲイン	$T_{min} \sim T_{max}$	$\pm 5\text{V}$		72		72		72	dB
		$V_O = \pm 2.5\text{V}$							
		$R_{LOAD} = 500\Omega$	2	3.5		2	3.5		V/mV
		$T_{min} \sim T_{max}$	1			1			V/mV
		$R_{LOAD} = 150\Omega$		1.6			1.6		V/mV
		$V_{OUT} = \pm 10\text{V}$							
		$R_{LOAD} = 1\text{k}\Omega$	3	5.5		3	5.5		V/mV
		$T_{min} \sim T_{max}$	1.5			1.5			V/mV
マッチング特性									
入力オフセット電圧		$\pm 5\text{V}$		0.4			0.2		mV
クロストーク	$f = 5\text{MHz}$	$\pm 5\text{V}$		85			85		dB
ゲイナミック特性									
ユニティ・ゲイン帯域幅		$\pm 5\text{V}$		35			35		MHz
		$\pm 15\text{V}$		50			50		MHz
フルパワー帯域幅 ²	$V_O = 5\text{Vp-p}$	$\pm 5\text{V}$		12.7			12.7		MHz
	$R_{LOAD} = 500\Omega$	$\pm 5\text{V}$							
	$V_O = 20\text{Vp-p}$	$\pm 15\text{V}$		4.7			4.7		MHz
	$R_{LOAD} = 1\text{k}\Omega$	$\pm 5\text{V}$		200			200		V/ μs
スルー・レート ³	$R_{LOAD} = 500\Omega$	$\pm 15\text{V}$		300			300		V/ μs
	$R_{LOAD} = 1\text{k}\Omega$	$\pm 15\text{V}$							
セトリング時間 (0.1%)	$AV = -1$	$\pm 5\text{V}$		65			65		ns
	$-2.5 \sim +2.5\text{V}$	$\pm 15\text{V}$		120			120		ns
	$-5 \sim +5\text{V}$	$\pm 15\text{V}$							
位相マージン	$C_{LOAD} = 10\text{pF}$	$\pm 15\text{V}$		50			50		°
	$R_{LOAD} = 1\text{k}\Omega$	$\pm 15\text{V}$							
微分ゲイン誤差	$f = 4.4\text{MHz}$	$\pm 15\text{V}$		0.04			0.04		%
微分位相誤差	$f = 4.4\text{MHz}$	$\pm 15\text{V}$		0.19			0.19		°
入力電圧ノイズ	$f = 10\text{kHz}$	$\pm 15\text{V}$		15			15		nV/ $\sqrt{\text{Hz}}$
入力電流ノイズ	$f = 10\text{kHz}$	$\pm 15\text{V}$		1.5			1.5		pA/ $\sqrt{\text{Hz}}$
同相入力		$\pm 5\text{V}$		+4.3			+4.3		V
電圧範囲		$\pm 15\text{V}$		-3.4			-3.4		V
				+14.3			+14.3		V
				-13.4			-13.4		V
出力電圧振幅	$R_{LOAD} = 500\Omega$	$\pm 5\text{V}$	3.0	3.6		3.0	3.6		$\pm\text{V}$
	$R_{LOAD} = 150\Omega$	$\pm 5\text{V}$	2.5	3.0		2.5	3.0		$\pm\text{V}$
	$R_{LOAD} = 1\text{k}\Omega$	$\pm 15\text{V}$	12	13.3		12	13.3		$\pm\text{V}$
	$R_{LOAD} = 500\Omega$	$\pm 15\text{V}$	10	12.2		10	12.2		$\pm\text{V}$
短絡電流制限		$\pm 5 \sim \pm 15\text{V}$		32			32		mA
入力特性									
入力抵抗				300			300		k Ω
入力容量				1.5			1.5		pF

パラメータ	条件	V _s	AD827J			AD827A/S			単位
			Min	Typ	Max	Min	Typ	Max	
出力抵抗	オープン・ループ			15			15		Ω
電源 動作範囲 無負荷時電源電流	T _{min} ~ T _{max}	±5V	±4.5		±18	±4.5		±18	V
		±15V	10		13	10		13	mA
					16			16.5/17.5	mA
	T _{min} ~ T _{max}		10.5		13.5	10.5		13.5	mA
					16.5			17/18	mA
トランジスタ数				92			92		

- 注
- AD827のオフセット電圧は電源を投入し、完全にウォームアップした後の保証規格値です。その他の仕様はすべて高速テスト装置を使用し電源を投入してから約1秒後に測定されています。
 - フルパワー帯域幅=スルーレート/2πV_{PEAK}です。
 - ゲイン=+1、立上りエッジ。

最小値および最大値はすべて保証されています。
仕様は予告なしに変更することがあります。

絶対最大定格¹

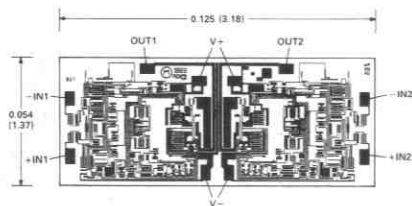
電源電圧	±18V
内部消費電力 ²	
プラスチック (N) パッケージ	
(10mW/°Cでのディレーティング)	1.5W
サーディップ (Q) パッケージ	
(8.7mW/°Cでのディレーティング)	1.3W
スモール・アウトライン (R) パッケージ	
(10mW/°Cでのディレーティング)	1.5W
入力同相電圧	±V _s
差動入力電圧	±6V
出力短絡時間 ³	無制限
保管温度範囲 N, R	-65 ~ +125°C
保管温度範囲 Q	-65 ~ +150°C
動作温度範囲	
AD827J	0 ~ +70°C
AD827A	-40 ~ +85°C
AD827S	-55 ~ +125°C
リード温度範囲 (ハンダ付け、60秒)	300°C

- 絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。
- 最大内部消費電力は周囲温度+25°CにおいてT_Jが+175°Cを越えない範囲で設定されています。熱特性は以下のとおりです。
ミニDIP: θ_{JA}=100°C/W, θ_{JC}=33°C/W
サーディップ: θ_{JA}=110°C/W, θ_{JC}=30°C/W
16ピンSOパッケージ: θ_{JA}=100°C/W
- 無制限の短絡継続時間は、電源の絶対最大定格を越えない範囲内での仕様です。

メタライゼーション写真

サイズはインチと(mm)で示します。

サブストレートはV+に接続されています。

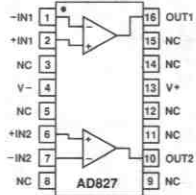
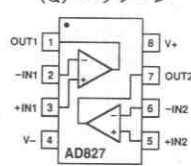


オーダ・ガイド

モデル	温度範囲	パッケージ
AD827JN	0 ~ +70°C	8ピン・プラスチックDIP
AD827JR	0 ~ +70°C	16ピン・プラスチックSOP
AD827AQ	-40°C ~ +85°C	8ピン・サーディップ
AD827SQ	-55°C ~ +125°C	8ピン・サーディップ
AD827SQ/883B	-55°C ~ +125°C	8ピン・サーディップ

ピン配置

8ピン・プラスチック (N) およびサーディップ (Q) パッケージ

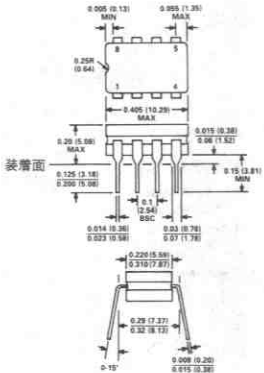
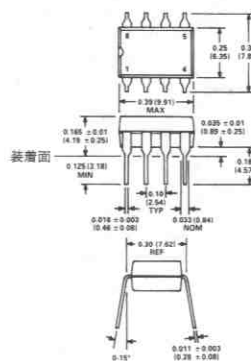


NC=無接続

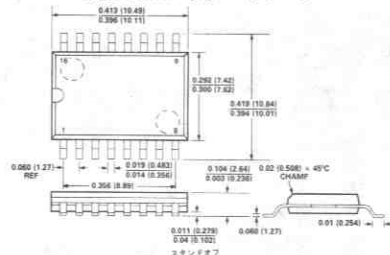
外形サイズ

サイズはインチと(mm)で示します。

8ピン・ミニDIP (N) パッケージ



16ピンSOIC (R) パッケージ



代表特性 (特に指定のない限り、+25°C & ±15V)

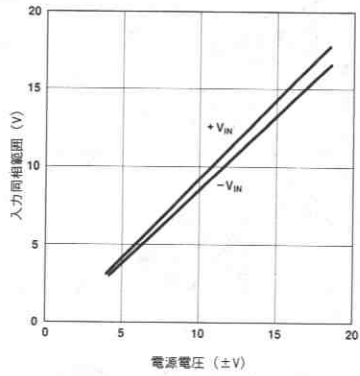


図1. 電源電圧と入力同相範囲の関係

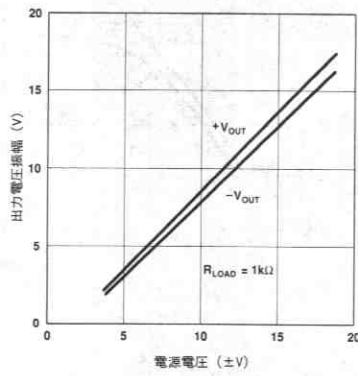


図2. 電源電圧と出力電圧振幅の関係

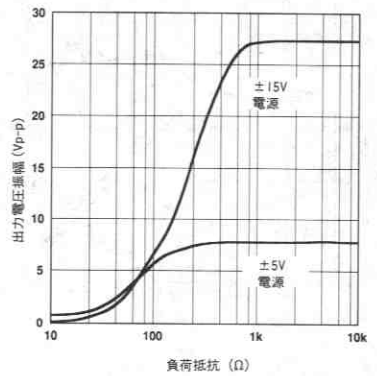


図3. 負荷抵抗と出力電圧振幅の関係

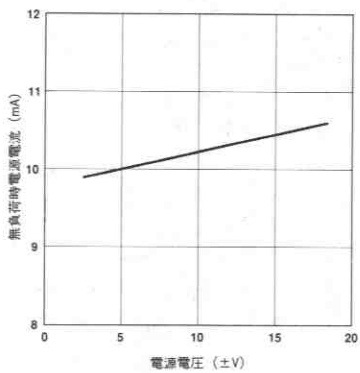


図4. 電源電圧と無負荷時電源電流の関係

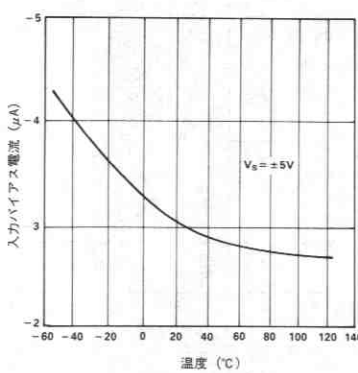


図5. 入力バイアス電流の温度特性

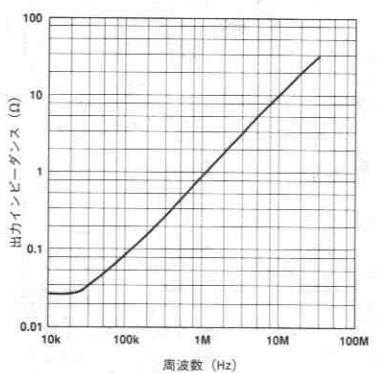


図6. クローズ・ループ出力インピーダンスの周波数特性、ゲイン=+1

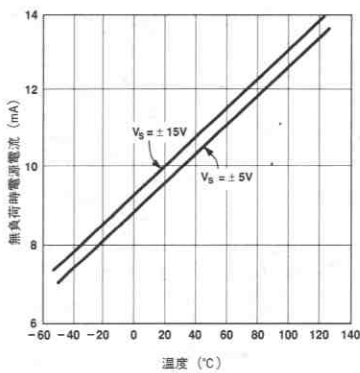


図7. 無負荷時電源電流の温度特性

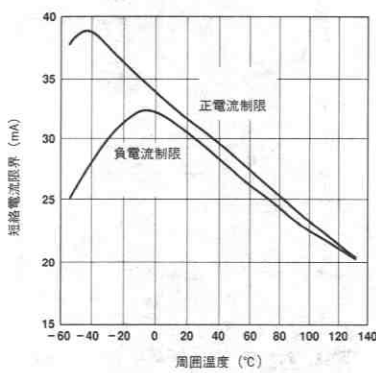


図8. 短絡電流限界の温度特性

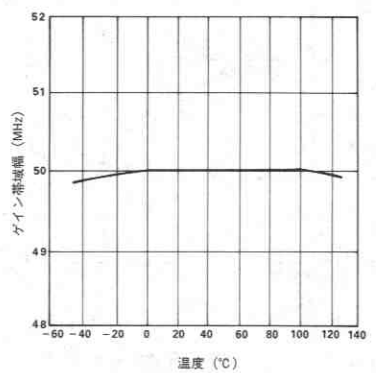


図9. ゲイン帯域幅の温度特性

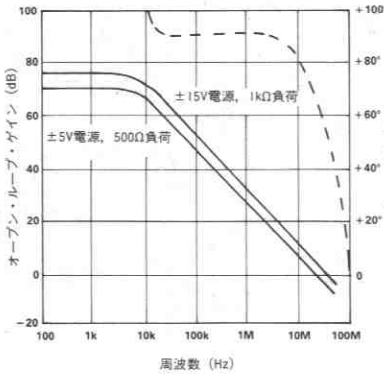


図10. オープン・ループ・ゲインおよび位相マージンの周波数特性

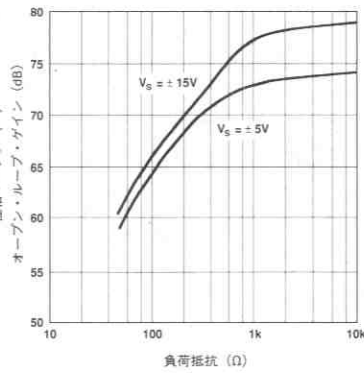


図11. 負荷抵抗とオープン・ループ・ゲインの関係

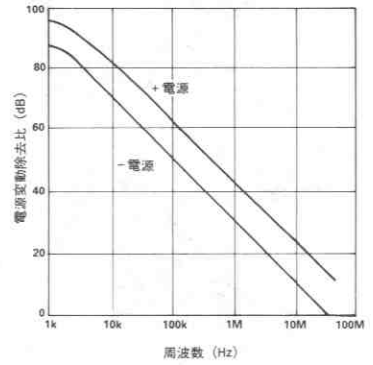


図12. 電源変動除去比の周波数特性

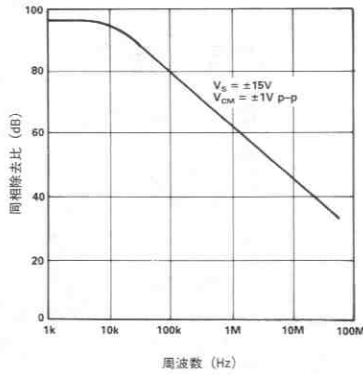


図13. 同相除去比の周波数特性

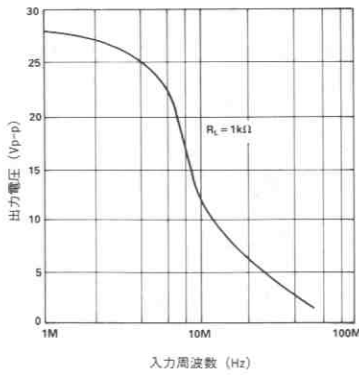


図14. 大信号周波数応答

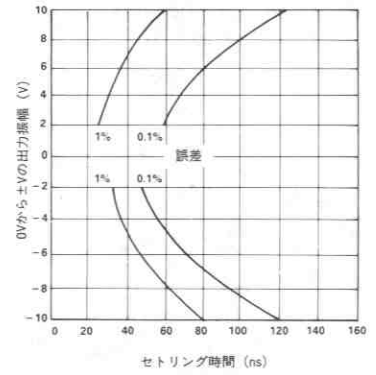


図15. セットリング時間と出力振幅および誤差の関係

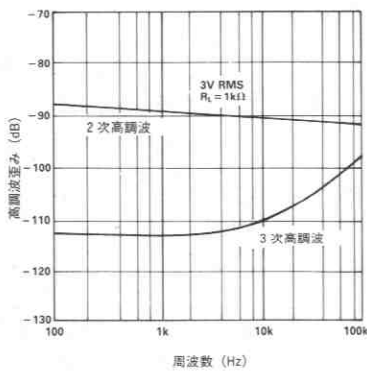


図16. 高調波歪みの周波数特性

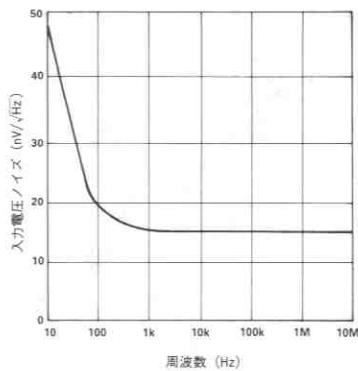


図17. 入力電圧ノイズのスペクトラム密度

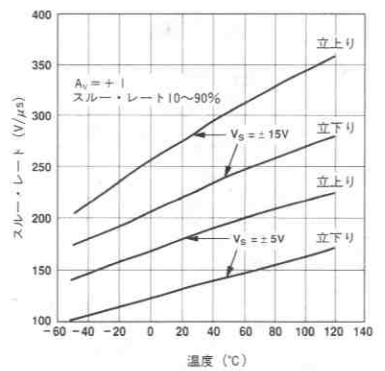


図18. スルー・レートの温度特性

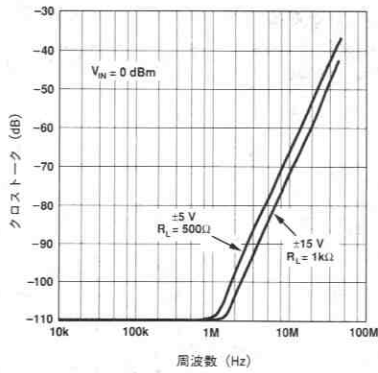
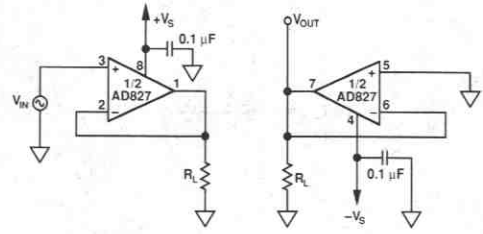


図19. クロストークの周波数特性



±V_S = 5Vの時R_L = 500Ω, ±V_S = 15Vの時R_L = 1kΩ
 グラウンド・プレーンを使用すること
 表示したピン番号はミニDIPパッケージ

図20. クロストーク測定回路

入力保護に関する注意

AD827の入力同相電圧が正電源電圧を（過渡的に）越える回路の場合には、入力抵抗（図21aの抵抗R_{IN}）を使用することをお奨めします。この抵抗はベースに流込む最大電流を制限することにより入力トランジスタを保護します。

高性能の回路では各入力のインピーダンスをマッチングさせ、バイアス電流の誤差を減少させるために2番目の抵抗（図21aと22aのR_B）を使用することをお奨めします。この抵抗はオフセット電圧によって生じる誤差の大きさを数倍以上減少させます。

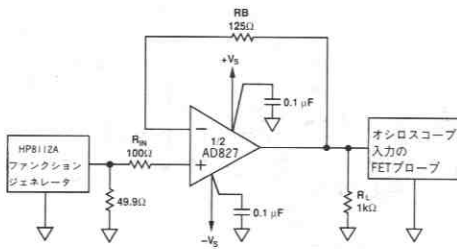


図21a. フォロア接続

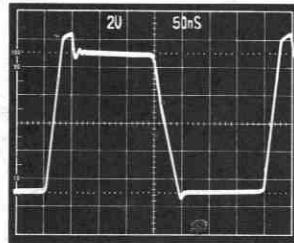


図21b. フォロアの大量信号パルス応答

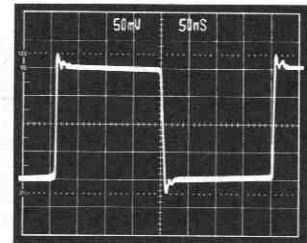


図21c. フォロアの少量信号パルス応答

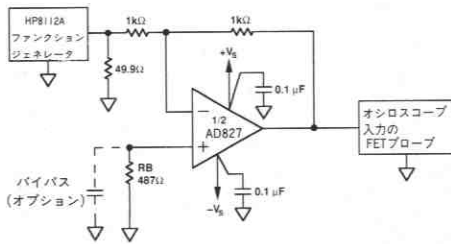


図22a. 反転接続

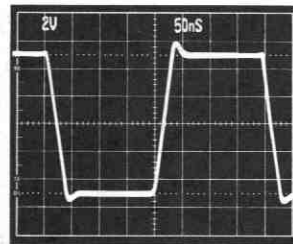


図22b. 反転アンプの大量信号パルス応答

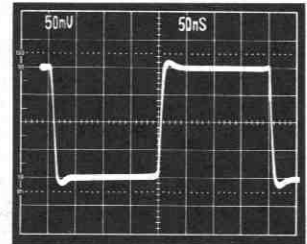


図22c. 反転アンプの少量信号パルス応答

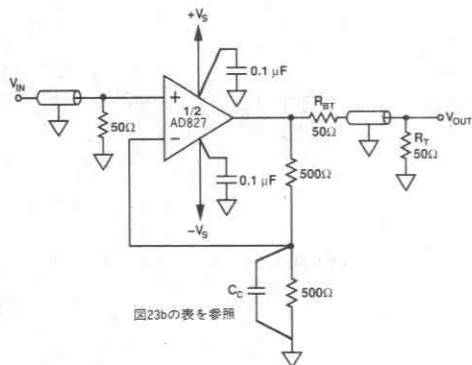


図23. ビデオ・ライン・ドライバ

ビデオ・ライン・ドライバ

AD827は低価格で高速のライン・ドライバとして終端／非終端ケーブルで良好に動作します。AD827のフォロア接続で二重に終端されたケーブルを駆動する回路を図23に示します。

終端抵抗 R_T は、ケーブルの特性インピーダンスと等しい値の場合、ケーブルの遠端からの反射を最小にします。 $\pm 5V$ 電源動作時のスルー・レートの代表値は $200V/\mu s$ で、これは終端ケーブルにおいて $\pm 1V$ 振幅で $30MHz$ の信号を駆動できることを意味しています。

V_{IN}^*	電源電圧	C_C	-3dB帯域幅	オーバシユート
0dB または $\pm 500mV$ ステップ	± 15	20pF	23MHz	4%
0dB または $\pm 500mV$ ステップ	± 15	15pF	21MHz	0%
0dB または $\pm 500mV$ ステップ	± 15	0pF	13MHz	0%
0dB または $\pm 500mV$ ステップ	± 5	20pF	18MHz	2%
0dB または $\pm 500mV$ ステップ	± 5	15pF	16MHz	0%
0dB または $\pm 500mV$ ステップ	± 5	0pF	11MHz	0%

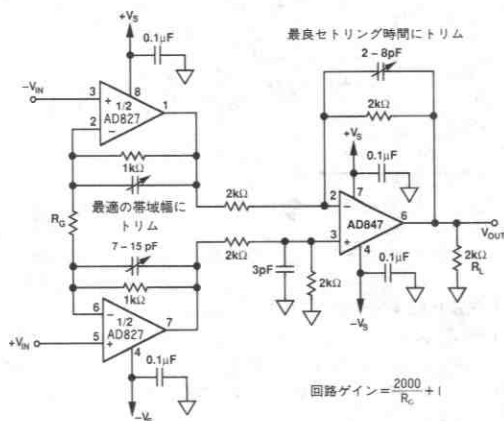
注
* -3dB帯域幅の値は0dBmの信号入力時の値です。オーバシユートの値は1Vステップ入力時の%値です。

表1. ビデオ・ライン・ドライバ性能表

R_T とケーブルの特性インピーダンスのミスマッチングによって生じた反射信号を吸収するため、バック終端抵抗（ケーブルの特性インピーダンスと等しい値の抵抗 R_{BT} ）をAD827の出力とケーブル入力の間に挿入することもできます。この抵抗により、 R_T に対して $\pm 1V$ 振幅を得るためには、オペアンプは $\pm 2V$ 出力を供給する必要がありますが、より平坦な周波数応答を得ることができます。

3個のオペアンプによる高速計装用アンプ回路

図24に示す計装用アンプ回路では広範囲のゲインが得られます。表IIに、この回路の性能の詳細を示します。



注：ミニDIPでのピン番号を示しています。

図24. 3個のオペアンプによる広帯域計装用アンプ

ゲイン	R_C	小信号帯域幅@1Vp-p出力
1	オープン	16.1MHz
2	2kΩ	14.7MHz
10	226Ω	4.9MHz
100	20Ω	660kHz

表II. 3個のオペアンプによる計装用アンプの性能表

2 チップ構成の指数応答電圧制御アンプ (VCA)

自動ゲイン制御システムのビルディング・ブロックとして、電圧制御アンプがしばしば用いられます。図25にAD827とデュアル電圧出力乗算器AD539による2チップ構成のVCAを示します。この回路では2個の乗算器を直列に接続しています。これらの乗算器は帯域幅が広がりゲインが減少するときには、並列に使用することもできます。この回路のゲインは0~3Vdcの電圧 V_x により制御されます。実測ではこの回路は±5V電源時に100Ω負荷に対して容易に2Vp-p出力を供給することができます。総合帯域幅は0.5dBのピーク特性で約7MHzです。

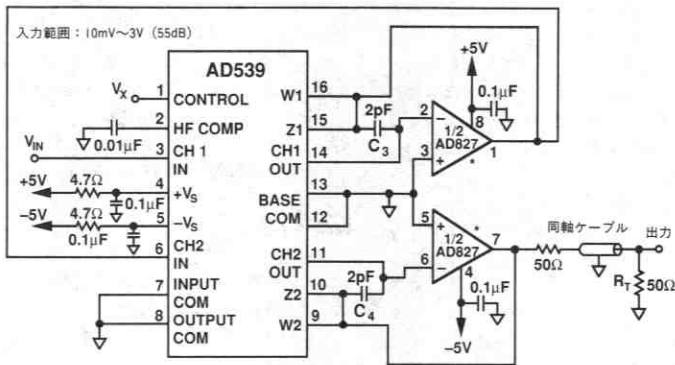
AD827の各オペアンプは1/Vコンバータとして使用され、AD539の2個の乗算器のうちの1つの電圧出力を電圧出力に変換します。AD539の2個の乗算器はそれぞれ2個の6kΩの帰還抵抗を内蔵しています。1つはCH1出力とZ1の間に、もう1つはCH1出力とW1の間に接続されています。同様にCH2乗算器では片方のフィードバック抵抗はCH2出力とZ2の間に、また他方はCH2出力とW2との間に接続されています。図25ではZ1とW1、Z2とW2は互いに接続され、それぞれオペアンプの3kΩのフィードバック抵抗として機能します。AD539のW1とCH1、W2とCH2のピンに接続された2pFのコンデンサはフィードバック抵抗と並列に入っており、VCAの周波数応答のピークを減少させます。C3とC4の値を増加するとピークがさらに減少しますが、その代わりに帯域幅が狭くなります。AD539の1.25mAのフルスケール出力と3kΩのフィードバック抵抗によってそれぞれ

3.25V_{p-p}フルスケールの出力電圧が得られます。

この応用では、AD827の電流制限(30mA typ)により、出力は100Ω負荷に対して約3V_{p-p}に制限されます。50Ωの逆終端負荷を駆動した場合、この値は半分となり、50Ω負荷に対し最大1.5V_{p-p}の信号が供給できるため、ビデオ信号レベルを満足します。この回路のダイナミック・レンジは約55dBで、この値は主として低入力レベル時のフィードスルーと高レベル時の最大出力電圧によって制限されています。

グラウンドとバイパスについての注意

AD827を使用して実際の高周波回路を設計する場合には、いくつかの特別な注意が必要です。可能な限り低い抵抗値と低インダクタンスの経路を実現するため、接続に短い配線を用いること、そして広いグラウンド・プレーンを使用することが必要です。回路間の容量結合の影響を最小にすることも忘れてください。さらにICソケットの使用は避けてください。オペアンプのサミング・ジャンクションにおいて浮遊容量との間で形成される時定数が回路の特性を制限しないようフィードバック抵抗の値は十分に低い値にする必要があります。大まかには5kΩ以下の値のフィードバック抵抗を使用します。もしそれより大きな値の抵抗が必要な場合には、使用するフィードバック抵抗と並列に小容量(10pF以下)のフィードバック・コンデンサを接続します。オペアンプの電源端子には0.1μFのバイパス・コンデンサを使用することを推奨します。



* ミニDIPパッケージのピン配置です。

$$\text{終端抵抗 } R_T \text{ での } V_{OUT} = \frac{V_x \cdot V_{IN}}{8V_s}$$

$$\text{AD827の出力ピンでの } V_{OUT} = \frac{V_x \cdot V_{IN}}{4V_s^2}$$

図25. 広レンジ電圧制御アンプ回路

特長

高速

- 帯域幅：120MHz (ゲイン=−1)
- スルー・レート：230V/μs
- セトリング時間：90ns (0.1%)

ビデオ応用に最適

- 微分ゲイン：0.02%
- 微分位相：0.04°

低ノイズ

- 入力電圧ノイズ：2nV/√Hz
- 入力電流ノイズ：1.5pA/√Hz

優れたDC精度

- 入力オフセット電圧：1mV max (動作温度範囲)
- 入力オフセット・ドリフト：0.3μV/°C

フレキシブルな動作

- 定格電源範囲：±5V〜±15V
- 150Ω負荷に対する出力振幅：±3V
- ゲイン1〜20のための外部補償
- 電源電流：5mA

製品概要

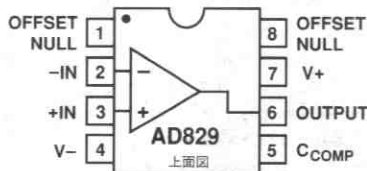
AD829は低ノイズ(2nV/√Hz)、高速オペアンプで、50MHz以上の帯域幅を維持しながら±1〜±20のゲインをユーザが設定できるようにカスタム補償が可能です。3.58MHzおよび4.43MHzにおいて0.04°の微分位相と0.02%の微分ゲイン特性により、反転終端された50Ωまたは75Ωケーブルの駆動を行うことで、AD829は業務用ビデオ応用に最適です。AD829は、電源からわずか5mAの電流を必要とするだけで、補償なしでの230V/μsのスルーレートと750MHzのゲイン帯域幅積を実現しています。

AD829が備えている外部補償ピンは非常に多機能です。例えば、与えられた負荷や電源電圧に対する帯域幅の最適化のための補償を行うことができます。ゲイン2のライン・ドライバとしては、−3dB帯域幅を1dBのピーキングを消費するのみで95MHzまで増加させることができます。さらに、AD829の出力を外部補償ピンにおいてクランプすることもできます。

AD829は優れたDC性能を備えています。AD829は500Ωの負荷に対して30V/mVという最小のオープン・ループ・ゲインをもち、2nV/√Hzの入力電圧ノイズ、最大1mVの低入力オフセット電圧を備えています。同相除去比および電源変動除去比はいずれも120dBです。

AD829は高速なセトリング時間(0.1%に対して90ns)が重要なマルチチャンネル、高速データ変換の応用にも便利です。このような応用では、AD829を8〜10ビットA/Dコンバータの入力バッファとして、また高速D/Aコンバータの出力I/Vコンバータとして用いることができます。

AD829ピン配置
8ピン・プラスチック・ミニDIP (N)、
サーディップ (Q)、SOIC (R) パッケージ



AD829はトランスインピーダンス・アンプが備えているのと同様な多くの利点を備えており、しかも従来型の電圧フィードバック・アンプとして動作します。50MHz以上の帯域幅が、外部補償容量を変更することでゲイン・レンジに対して維持できます。AD829およびトランスインピーダンス・アンプはいずれもユニティ・ゲイン安定性を備え、同様の電圧ノイズ性能(2nV/√Hz)を備えています。しかしながら、AD829の電流ノイズ(1.5pA/√Hz)は、トランスインピーダンス・アンプのノイズと比較して10%減少しています。さらに、AD829の入力は対称です。

製品ハイライト

1. AD829は、ゲイン1〜20について2nV/√Hzの入力電圧ノイズ、1.5pA/√Hzの電流ノイズ、50MHzの帯域幅の性能を備えており、プリアンプとして理想的です。
2. 3.58MHz NTSC、4.43MHz PALおよびSECAMカラーサブキャリア周波数において、0.04°の微分位相誤差と0.02%の微分ゲイン誤差性能を備えており、反転終端された50Ωおよび75Ωケーブルを(終端において)±1Vに駆動する際に卓越したビデオ性能を提供します。
3. AD829は大容量性負荷を駆動することができます。
4. ±5V〜±15V電源動作について性能仕様が完全に規定されています。
5. パッケージはプラスチック、サーディップおよびSOパッケージを用意しています。チップおよびMIL-STD-883Bプロセス製品も販売可能です。

仕様

(特に指定のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 15\text{V dc}$)

パラメータ	条件	V_S	AD829J			AD829A/S			単位
			Min	Typ	Max	Min	Typ	Max	
入力オフセット電圧	$T_{min} \sim T_{max}$	$\pm 5\text{V}, \pm 15\text{V}$	0.2	1		0.1	0.5	mV	
オフセット電圧ドリフト		$\pm 5\text{V}, \pm 15\text{V}$	0.3			0.3	0.5	$\mu\text{V}/^\circ\text{C}$	
入力バイアス電流	$T_{min} \sim T_{max}$	$\pm 5\text{V}, \pm 15\text{V}$	3.3	7		3.3	7	μA	
		$\pm 5\text{V}, \pm 15\text{V}$			8.2		9.5	μA	
入力オフセット電流	$T_{min} \sim T_{max}$	$\pm 5\text{V}, \pm 15\text{V}$	50	500		50	500	nA	
オフセット電流ドリフト		$\pm 5\text{V}, \pm 15\text{V}$	0.5		500		500	nA/ $^\circ\text{C}$	
オープン・ループ・ゲイン	$V_O = \pm 2.5\text{V}$ $R_{LOAD} = 500\Omega$ $T_{min} \sim T_{max}$	$\pm 5\text{V}$	30	65		30	65	V/mV	
		$\pm 15\text{V}$	20	40		20	40	V/mV	
	$V_O = \pm 10\text{V}$ $R_{LOAD} = 1\text{k}\Omega$ $T_{min} \sim T_{max}$	$\pm 5\text{V}$	50	100		50	100	V/mV	
		$\pm 15\text{V}$	20	85		20	85	V/mV	
	$R_{LOAD} = 500\Omega$	$\pm 5\text{V}$						V/mV	
		$\pm 15\text{V}$						V/mV	
ダイナミック特性									
ゲイン帯域幅積		$\pm 5\text{V}$		600		600	MHz		
		$\pm 15\text{V}$		750		750	MHz		
フルパワー帯域幅 ^{1,2}	$V_O = 2V_{p-p}$ $R_{LOAD} = 500\Omega$ $V_O = 20V_{p-p}$	$\pm 5\text{V}$		25		25	MHz		
スルーレート ²	$R_{LOAD} = 1\text{k}\Omega$ $R_{LOAD} = 500\Omega$	$\pm 15\text{V}$		3.6		3.6	MHz		
		$\pm 5\text{V}$		150		150	V/ μs		
セトリング時間(0.1%)	$A_V = -19$ $-2.5\text{V} \sim +2.5\text{V}$	$\pm 15\text{V}$		230		230	V/ μs		
		$\pm 5\text{V}$		65		65	ns		
位相マージン ²	10V ステップ $C_{LOAD} = 10\text{pF}$ $R_{LOAD} = 1\text{k}\Omega$	$\pm 15\text{V}$		90		90	ns		
		$\pm 5\text{V}$		60		60	°		
微分ゲイン誤差 ³	$R_{LOAD} = 100\Omega$ $C_{COMP} = 30\text{pF}$	$\pm 15\text{V}$		0.02		0.02	%		
微分位相誤差 ³	$R_{LOAD} = 100\Omega$ $C_{COMP} = 30\text{pF}$	$\pm 15\text{V}$		0.04		0.04	°		
同相除去比	$V_{CM} = \pm 2.5\text{V}$ $V_{CM} = \pm 12\text{V}$ $T_{min} \sim T_{max}$	$\pm 5\text{V}$	100	120		100	120	dB	
		$\pm 15\text{V}$	100	120		100	120	dB	
			96			96		dB	
電源変動除去比	$V_S = \pm 4.5\text{V} \sim \pm 18\text{V}$ $T_{min} \sim T_{max}$		98	120		98	120	dB	
			94			94		dB	
入力電圧ノイズ	$f = 1\text{kHz}$	$\pm 15\text{V}$		2		2	nV/ $\sqrt{\text{Hz}}$		
入力電流ノイズ	$f = 1\text{kHz}$	$\pm 15\text{V}$		1.5		1.5	pA/ $\sqrt{\text{Hz}}$		
入力同相電圧レンジ		$\pm 5\text{V}$		+4.3 -3.8		+4.3 -3.8	V		
		$\pm 15\text{V}$		+14.3 -13.8		+14.3 -13.8	V		

パラメータ	条件	V _s	AD829J			AD829A/S			単位		
			Min	Typ	Max	Min	Typ	Max			
出力電圧振幅	R _{LOAD} =500Ω	±5V	3.0	3.6		3.0	3.6		±V		
	R _{LOAD} =150Ω	±5V	2.5	3.0		2.5	3.0		±V		
	R _{LOAD} =50Ω	±5V		1.4			1.4		±V		
	R _{LOAD} =1kΩ	±15V	12	13.3		12	13.3		±V		
	R _{LOAD} =500Ω	±15V	10	12.2		10	12.2		±V		
短絡時電流		±5V, ±15V		32			32		mA		
入力特性	入力抵抗 (差動)			13			13		kΩ		
	入力容量 (差動)			5			5		pF		
	入力容量 (同相)			1.5			1.5		pF		
クローズ・ループ出力抵抗	A _v = +1, f = 1kHz			2			2		MΩ		
電源	動作範囲		±4.5		±18		±4.5		±18	V	
	無負荷時電源電流	±5V		5		6.5		5		6.5	mA
		T _{min} ~ T _{max}				8.0				8.2/8.7	mA
		±15V		5.3		6.8		5.3		6.8	mA
T _{min} ~ T _{max}				8.3				8.5/9.0	mA		
トランジスタ数				46			46		個		

注

- フルパワー帯域幅 = スルーレート / 2π V_{PEAK}
- ゲイン = +20, C_{COMP} = 0pF においてテスト。
- 3.58MHz (NTSC), 4.43MHz (PALおよびSECAM)。

- 差動入力容量は、1.5pFのパッケージ容量に3.5pFの入力差動ペア容量を加えた値です。

仕様は予告なしに変更することがあります。

絶対最大定格¹

電源電圧	±18V
内部消費電力 ²	
プラスチック (N)	1.3W
スモール・アウトライン (R)	0.9W
サーディップ (Q)	1.3W
入力電圧	±V _s
差動入力電圧 ³	±6V
出力回路短絡期間	無制限
保管温度範囲 Q	-65 ~ +150°C
N, R	-65 ~ +125°C
動作温度範囲	
AD829J	0 ~ +70°C
AD829A	-40 ~ +85°C
AD829S	-55 ~ +125°C
リード温度範囲 (ハンダ付け、60秒間)	+300°C

注

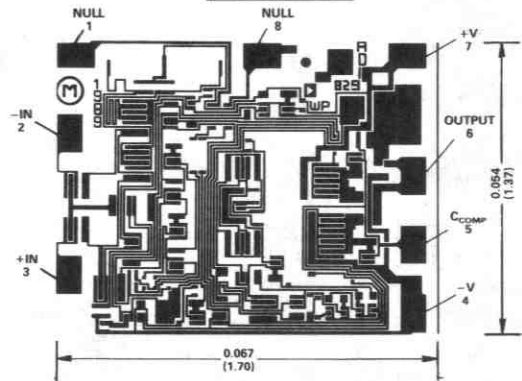
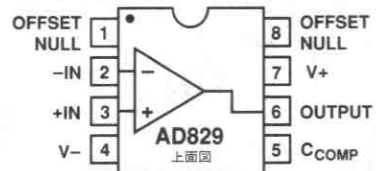
- 絶対最大定格を超えるストレスは、デバイスに永久破壊をもたらすことがあります。この定格は、デバイスの単なるストレスの度合いであり、基本的な動作あるいは動作の項に示す他の条件において、この定格は考慮されていません。デバイスを、ある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。
- 最大内部消費電力は仕様化されており、周囲温度+25°CにおいてT_jが+175°Cを超えることはありません。

熱特性

- 8ピン・プラスチック・パッケージ: θ_{JA} = 100°C/W (8.7mW/°Cでディレーティング)。
 - 8ピン・サーディップ・パッケージ: θ_{JA} = 110°C/W (8.7mW/°Cでディレーティング)。
 - 8ピン・スモール・アウトライン・パッケージ: θ_{JA} = 155°C/W (6mW/°Cでディレーティング)。
- 差動電圧が6Vを超える場合、入力電流を制限するために外部シリーズ保護抵抗を追加してください。

AD829ピン配置

8ピン・プラスチック・ミニDIP (N)、
サーディップ (Q)、SOIC (R) パッケージ



メタライゼーション写真

サイズはインチ (mm) で示します。

オーダ・ガイド

モデル	温度範囲	パッケージ	パッケージオプション
AD829JN	0 ~ +70°C	8ピン・プラスチック・ミニDIP	N-8
AD829JR	0 ~ +70°C	8ピン・プラスチックSOIC	R-8
AD829AQ	-40 ~ +85°C	8ピン・サーディップ	Q-8
AD829SQ	-55 ~ +125°C	8ピン・サーディップ	Q-8
AD829SQ/883B	-55 ~ +125°C	8ピン・サーディップ	Q-8

代表的な性能特性

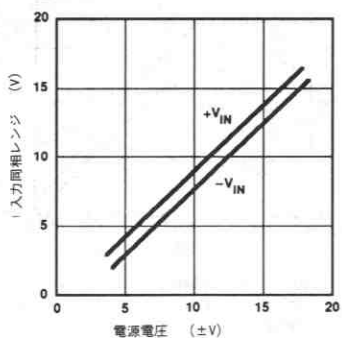


図1. 入力同相レンジ対電源電圧

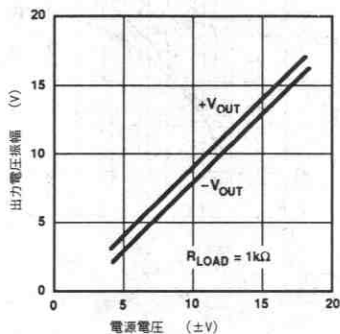


図2. 出力電圧振幅対電源電圧

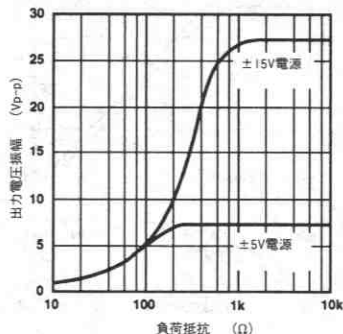


図3. 出力電圧振幅対抵抗性負荷

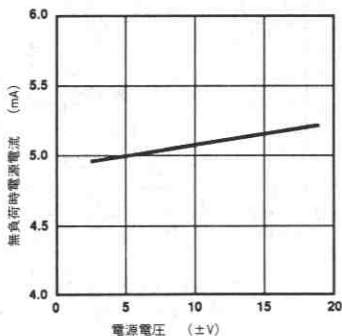


図4. 無負荷時電源電流対電源電圧

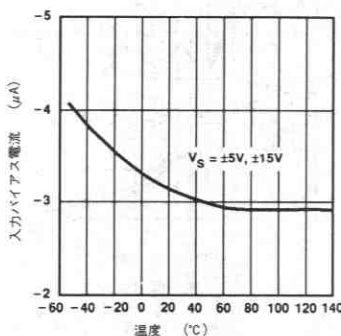


図5. 入力バイアス電流対温度

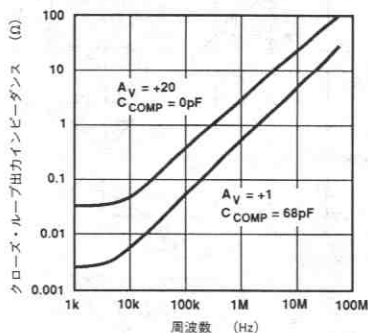


図6. クローズ・ループ出力インピーダンス対周波数

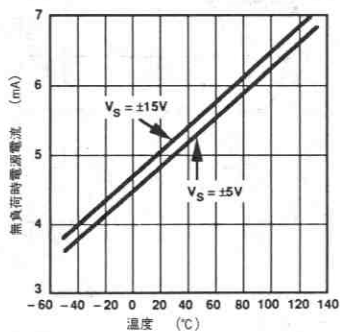


図7. 無負荷時電源電流対温度

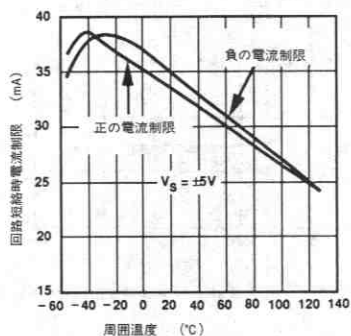


図8. 回路短絡時電流制限対温度

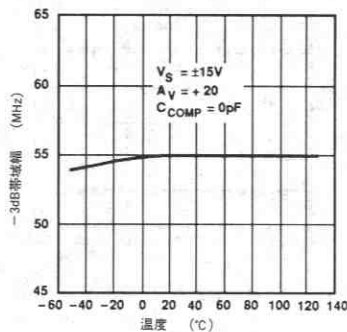


図9. -3dB帯域幅対温度

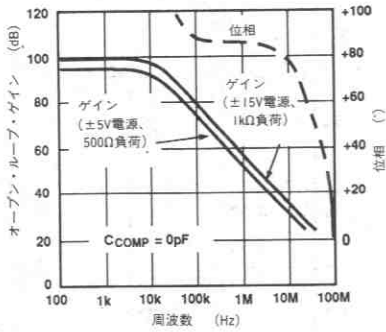


図10. オープン・ループ・ゲインおよび位相マージン対周波数

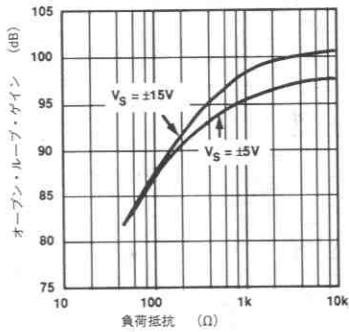


図11. オープン・ループ・ゲイン対抵抗性負荷

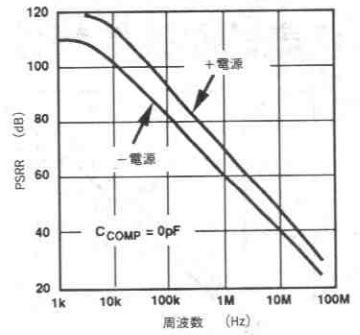


図12. 電源変動除去比 (PSRR) 対周波数

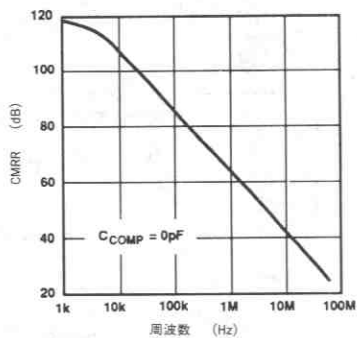


図13. 同相除去比対周波数

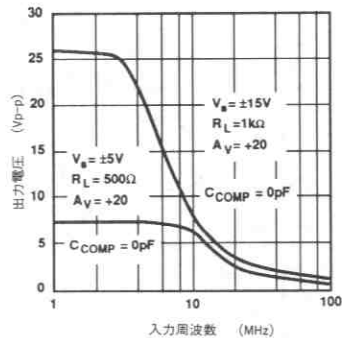


図14. 大信号周波数応答

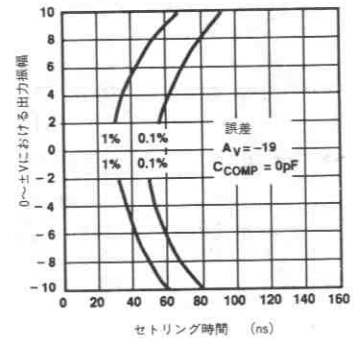


図15. 出力振幅および誤差対セトリング時間

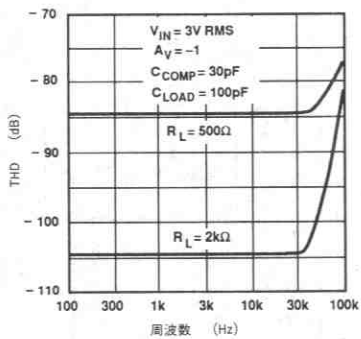


図16. 全高調波歪み (THD) 対周波数

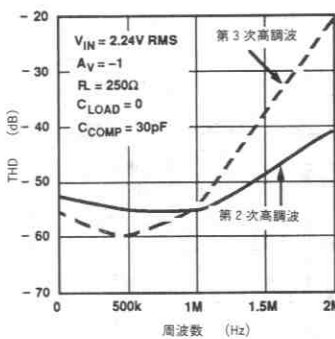


図17. 第2次および第3次高調波歪み対周波数

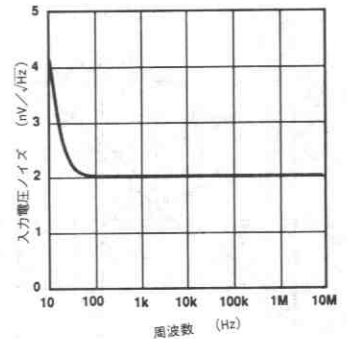


図18. 入力電圧ノイズ成分密度

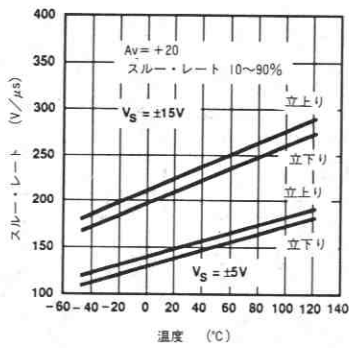


図19. スルー・レート対温度

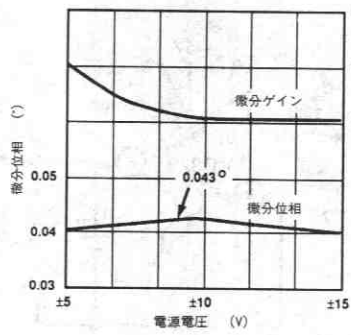


図20. 微分ゲインおよび位相対電源

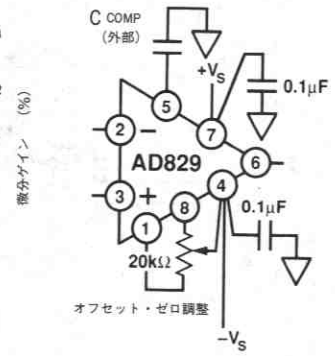


図21. オフセット・ゼロ調整および外部シャント補償の接続

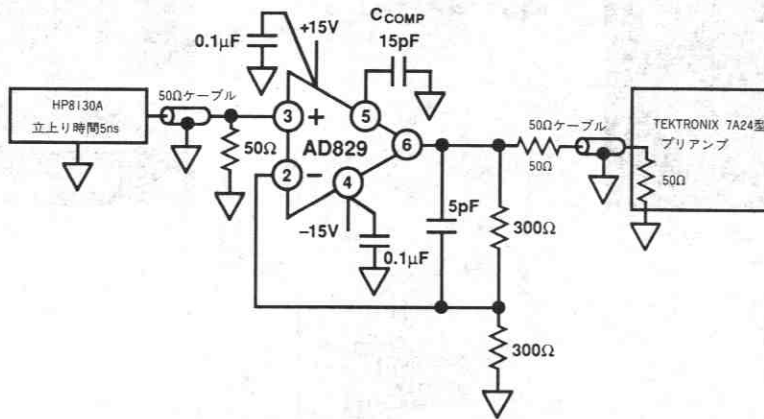


図22a. フォロワ接続。ゲイン = +2

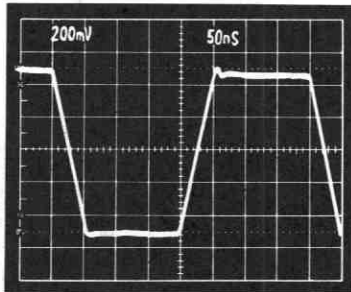


図22b. ゲイン2のフォロワにおける大信号パルス応答

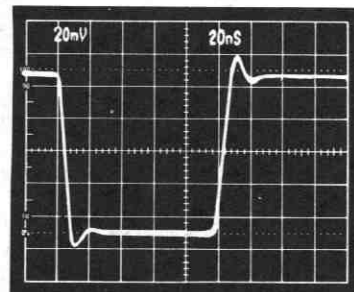


図22c. ゲイン2のフォロワにおける小信号パルス応答

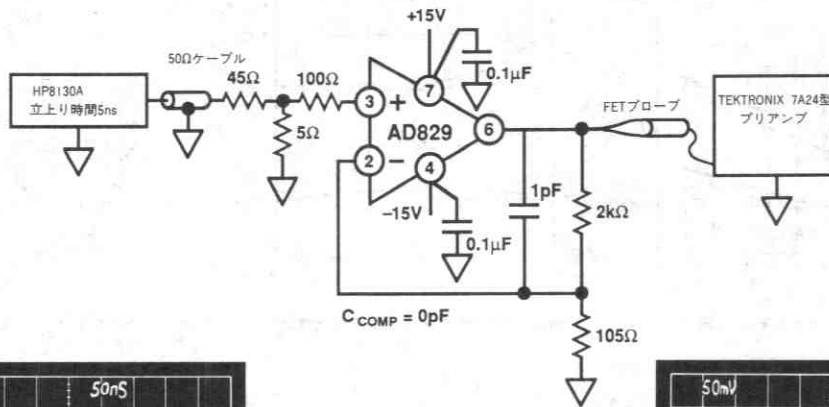


図23a. フォロワ接続。ゲイン=+20

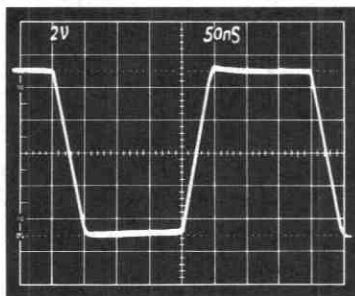


図23b. ゲイン20のフォロワにおける大信号パルス応答

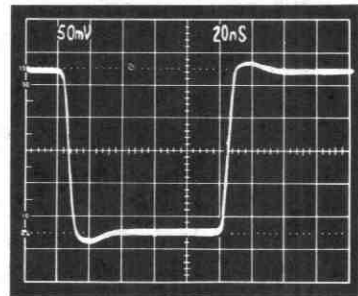


図23c. ゲイン20のフォロワにおける小信号パルス応答

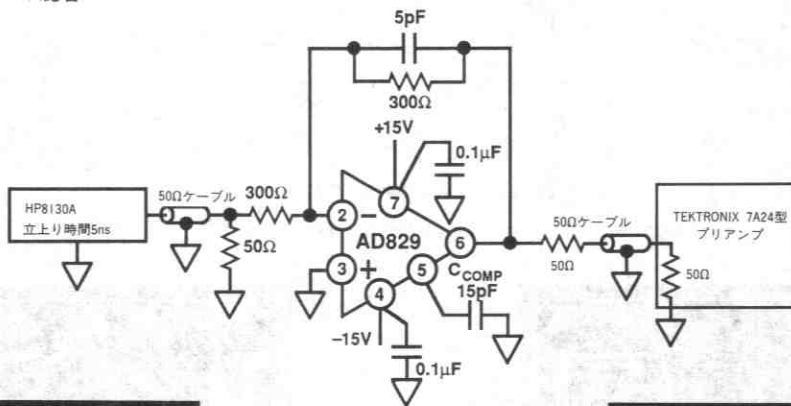


図24a. ユニティ・ゲイン・インバータ接続

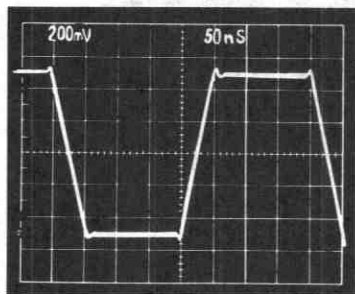


図24b. ユニティ・ゲイン・インバータにおける大信号パルス応答

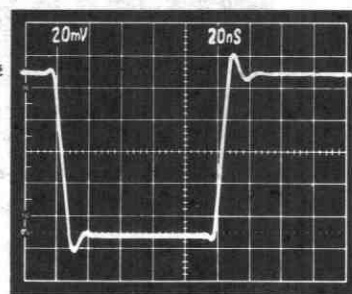


図24c. ユニティ・ゲイン・インバータにおける小信号パルス応答

動作原理

AD829は、弊社独自の製造プロセスであるコンプリメンタリ・バイポーラ(CB)プロセスによって製造されており、PNPおよびNPNトランジスタは同じ600MHzの f_T を備えています。図25に示すように、AD829の入力段はNPN差動ペアによって構成されており、ペア内のトランジスタは600 μ Aのコレクタ電流で動作します。これによって入力デバイスは高いトランスコンダクタンスをもち、その結果AD829は1kHzにおいて2nV/ $\sqrt{\text{Hz}}$ の低ノイズ性能を実現しています。

入力段は、PNPトランジスタの高速ペアから構成される組合わされたカスケードを駆動します。そして、このPNPトランジスタ・ペアが差動入力を実行する電流ミラーを駆動します。また高速PNPは、高電流ゲイン40,000を供給する電流増幅出力段においても用いられています。負荷が大きい場合であっても、CBプロセスによるNPNおよびPNPの高い f_T により、50MHz以上のクローズ・ループ帯域幅において60°の位相マージンを保ちつつ、2段のエミッタ・フォロワのカスケード接続が可能です。

2段のコンプリメンタリ・エミッタ・フォロワは、高インピーダンスの補償ノード(C_{COMP} ピン)を出力から効果的にバッファするので、AD829は低負荷インピーダンスに対しても高いDCオープン・ループ・ゲインを維持します(150 Ω 負荷に対して92dB、1k Ω 負荷に対して100dB)。レーザ・トリムおよびPTATバイアスによって低オフセット電圧と低オフセット電圧ドリフトが保証され、多くの応用でACカップリングが不要です。

フレキシビリティを得るために、AD829では内部周波数補償ノードにアクセスすることができます。これによって、特定の応用のために周波数応答特性をカスタム化することが可能になっています。

ユニティ・ゲイン安定性のため、68pFの補償容量(ピン5をグラウンドに接続すること)が必要であり、これによって66MHzの小信号帯域幅と16V/ μ sのスルー・レートが実現されます。スルー・レートとゲイン帯域幅積は補償容量に反比例します。表1および図28に、最速補償容量とその結果得られる必要なノイズ・ゲインについてのスルー・レートを示します。ゲイン1~20については、小信号帯域幅を相対的に一定に保つために C_{COMP} を選択することができます。安定性を維持できる最小ゲインについても、外部補償容量に依存します。

出力段のRCネットワーク(図25)によって、アンプがクローズ・ループ・ゲイン10以上に対して補償されているときの、容量性負荷の影響は完全に除去されます。低周波数および低容量性負荷において、補償ノードから出力へのゲインは、ほとんどユニティに等しくなります。この場合、Cはブートストラップされ、デバイスの補償容量に寄与しません。容量性負荷が増加すると、出力段の出力インピーダンスについてのポールが形成されます。その結果ゲインが制限され、Cは完全にはブートストラップされません。したがって、Cの一部が補償容量となり、ユニティ・ゲイン帯域幅は狭くなります。負荷容量がさらに増大すると、帯域幅は狭くなり続け、アンプは安定性を保ちます。

AD829の外部補償

AD829は、20以上のノイズ・ゲインについて外部補償なしでも安定性を保ちます。より低いゲインにおいて、アンプのクローズ・ループ安定性を実現する2つの周波数補償のための手法があります。その手法とは、シャントおよび電流フィードバック補償です。

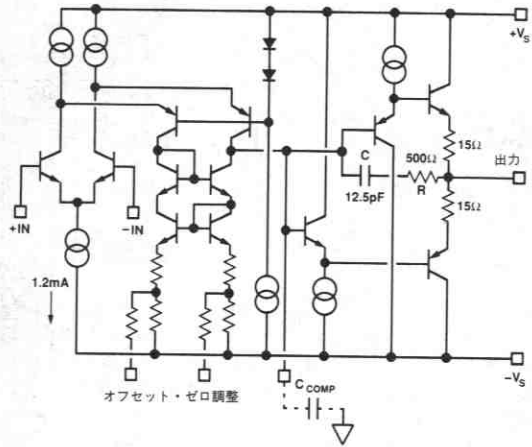


図25. AD829の概略回路

シャント補償

図26、27は第一の手法であるシャント補償を示しています。この手法では、外部補償コンデンサ C_{COMP} を補償ピンとグラウンドの間に接続します。この外部コンデンサは、補償ノードにおいて約3pFの内部コンデンサと並列に接続されます。さらに、アンプの反転入力における容量を補償する小さな容量 C_{LEAD} が抵抗 R_2 と並列に接続されます。

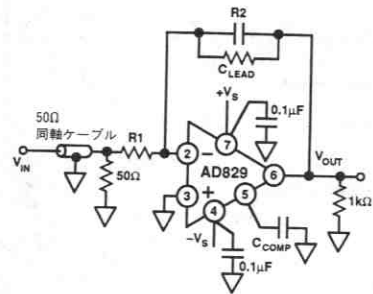


図26. 外部シャント補償を用いた反転アンプ接続

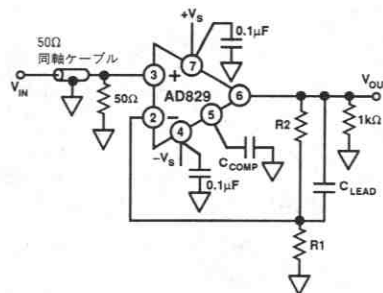


図27. 外部シャント補償を用いた非反転アンプ接続

フォロウ・ゲイン	反転ゲイン	R1 Ω	R2 Ω	C _L pF	C _{COMP} pF	スルー・レート V/μs	-3dB小信号 帯域幅 MHz
1		オープン	100	0	68	16	66
2	-1	1k	1k	5	25	38	71
5	-4	511	2.0k	1	7	90	76
10	-9	226	2.05k	0	3	130	65
20	-19	105	2k	0	0	230	55
25	-24	105	2.49k	0	0	230	39
100	-101	20	2k	0	0	230	7.5

表1. シャント補償のための部品選択表

表1に、スルー・レートと帯域幅に対応するC_{COMP}とC_{LEAD}の推奨値を示します。表内に示されているコンデンサの値は、1dB以下のピーキングと10%以下のオーバershootをもつ小信号周波数応答を与える値です。この表は±15Vの電源電圧に対応しています。図28はこの表をグラフ化したもので、シャント補償を用いた際の低クローズ・ループ・ゲインについてのスルー・レートとゲインのトレードオフを示しています。

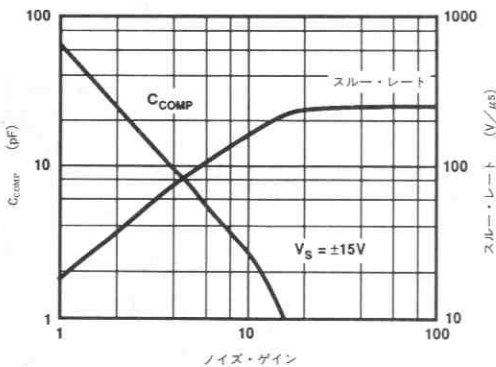


図28. C_{COMP}およびスルー・レート対ノイズ・ゲイン

電流フィードバック補償

シングル・ポールで、内部補償されている理想的なバイポーラ・アンプは、以下の式で定義される帯域幅を備えています。

$$f_T = \frac{1}{2\pi r_e C_{COMP}} = \frac{1}{2\pi \frac{kT}{q} C_{COMP}}$$

ここで、

f_T: アンプのユニティ・ゲイン帯域幅

I: 入力トランジスタのコレクタ電流

C_{COMP}: 補償容量

r_e: 入力トランジスタのトランスコンダクタンスの逆数

kT/q: 27°Cにおいて約26mV

f_Tとスルー・レートはいずれも同じ変数の関数であることから、アンプのダイナミック動作は制限されます。

$$\text{スルー・レート} = \frac{2I}{C_{COMP}}$$

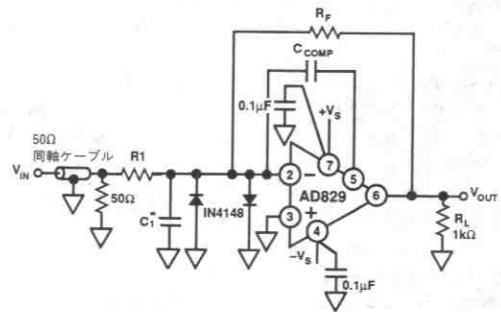
であることから、

$$\frac{\text{スルー・レート}}{f_T} = 4\pi \frac{kT}{q}$$

この式は、帯域幅1MHzにつきスルー・レートが0.314V/μsにすぎないことを示しています。スルー・レートを大きくする唯一の方法はIを大きくすることですが、プロセスによる制限によりそれは困難です。残念なことに帯域幅10MHzのアンプは、かろうじて50kHzのフルパワー帯域幅を与えるのに十分な3.1V/μsしかスルーできません。

AD829は、アンプのフルパワー帯域幅とスルー・レートの双方を拡大できる新しい形式の補償に特に向いています。反転入力ピンから補償ピンへの電圧ゲインは大きいために、これらのピンの間に容量が挿入された場合、アンプの帯域幅はフィードバック抵抗と挿入された容量の関数となります。そして、アンプのスルー・レートは内部バイアス(2I)とこの補償容量の関数となります。

クローズ・ループ帯域幅はR_FとC_{COMP}の関数であることから(図29)、図31に示すようにアンプのクローズ・ループ・ゲインには依存しません。安定性を保つため、R_FおよびC_{COMP}の時定数は帯域幅が65MHz以下となるようにします。例えば、C_{COMP}=15pF、R_F=1kΩのとき、AD829の小信号帯域幅は10MHzとなり、図30からスルー・レートは60V/μs以上となります。図31から判るように、ゲイン-1~-4におけるクローズ・ループ帯域幅は一定であり、これは電流フィードバック・アンプの特質です。



C _{COMP} の値	*C _L の推奨値
< 7pF	0pF
≥ 7pF	15pF

この接続では、C_{COMP}は15pF以下である必要があります。

図29. 電流フィードバック補償を用いた反転アンプ接続

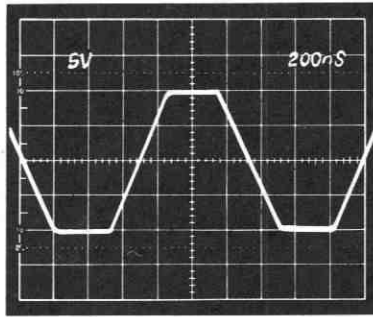


図30. 電流フィードバック補償を用いた反転アンプの大信号パルス応答。

($C_{COMP} = 15\text{pF}$, $C_1 = 15\text{pF}$, $R_F = 1\text{k}\Omega$, $R_1 = 1\text{k}\Omega$)

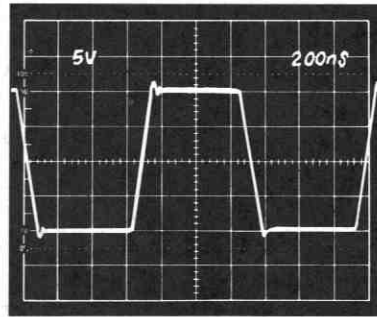


図32. 電流フィードバック補償を用いた反転アンプの大信号パルス応答。

($C_{COMP} = 1\text{pF}$, $R_F = 3\text{k}\Omega$, $R_1 = 3\text{k}\Omega$)

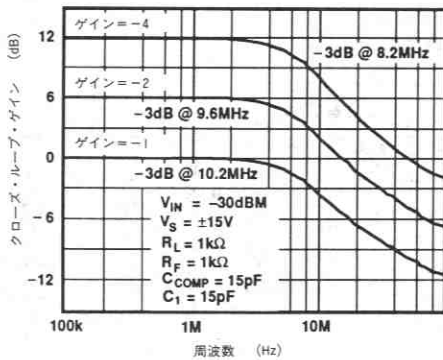


図31. 図29の回路におけるクローズ・ループ・ゲイン対周波数

図32は、53MHzの小信号帯域幅、 $180\text{V}/\mu\text{s}$ のスルー・レートに設定されたユニティ・ゲイン・インバータのパルス応答を示しています(抵抗 $R_F = 3\text{k}\Omega$ 、コンデンサ $C_{COMP} = 1\text{pF}$)。図33は、ユニティ・ゲイン・インバータの優れたパルス応答を示しており、各パラメータ値は $R_F = 1\text{k}\Omega$ 、 $C_{COMP} = 4\text{pF}$ です。

図34、35は、異なるクローズ・ループ・ゲイン、異なる電源電圧におけるAD829のクローズ・ループ周波数応答を示しています。

電流フィードバック補償を用いた非反転アンプ構成が必要な場合、図36の回路が適しています。この回路は、図27に示すシャント補償による非反転アンプに比べてスルー・レートが倍ですが、ゲインの平滑性は損なわれます。それでもなおこの回路は、バック終端されたケーブルに対し $\pm 1\text{dB}$ の平滑性で95MHzの帯域幅をもち、4.43MHzにおいて0.01%の微分ゲイン誤差、0.015°の微分位相誤差をもっています。

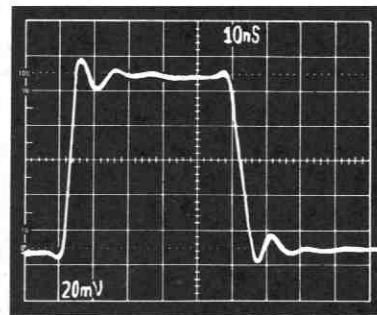


図33. 電流フィードバック補償を用いた反転アンプの小信号パルス応答。

($C_{COMP} = 4\text{pF}$, $R_F = 1\text{k}\Omega$, $R_1 = 1\text{k}\Omega$)

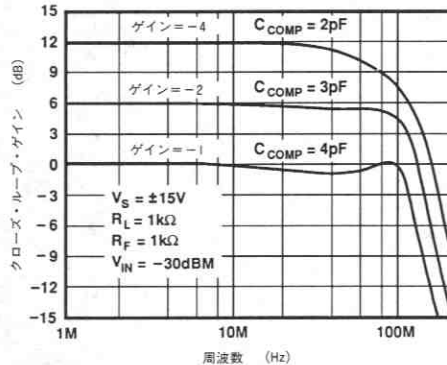


図34. 電流フィードバック補償を用いた反転アンプのクローズ・ループ周波数応答

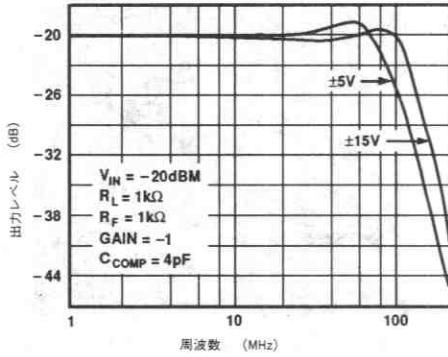


図35. 電流フィードバック補償を用いた反転アンプのクローズ・ループ周波数応答対電源電圧

誤差の少ないビデオ・ライン・ドライバ

図37に示すバッファは、バック終端された75Ωビデオ・ラインを標準ビデオ・レベル (1V p-p) に0.1dBのゲイン平滑性で30MHzまで駆動し、4.43MHzのPALカラー副搬送波において0.04°の微分位相誤差、0.02%の微分ゲイン誤差を実現する回路です。この性能レベルは、高品位ビデオ・ディスプレイやテスト機器の要求に合致し、しかもわずか5mAの無負荷時電源電流で実現されます。

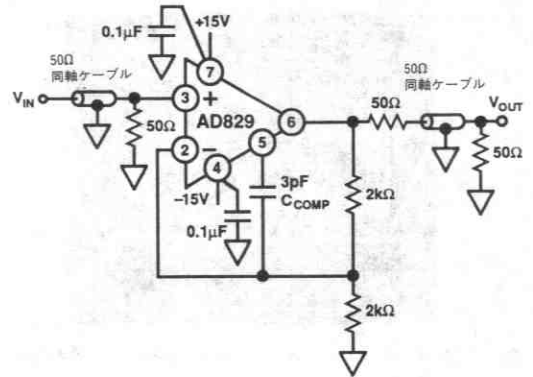


図36. 電流フィードバック補償を用いた非反転アンプ接続

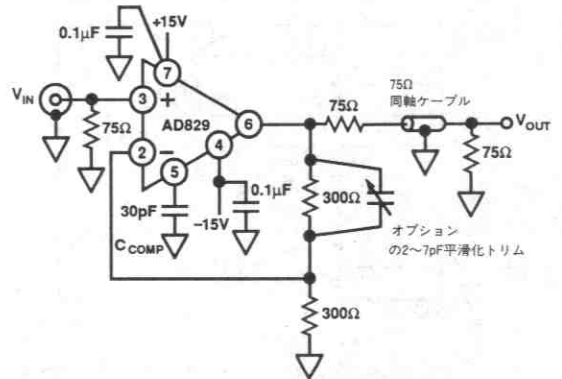
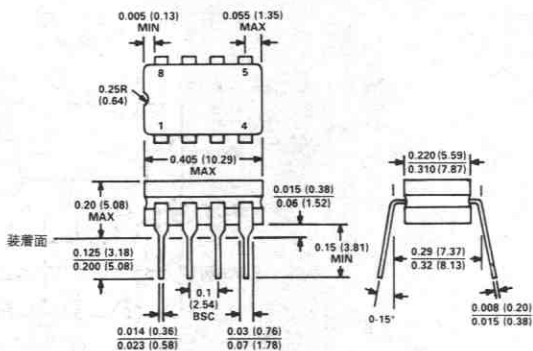


図37. 周波数平滑化調整を備えたビデオ・ライン・ドライバ

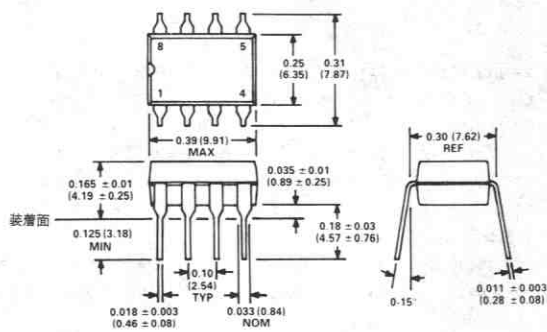
外形サイズ

サイズはインチと (mm) で示します。

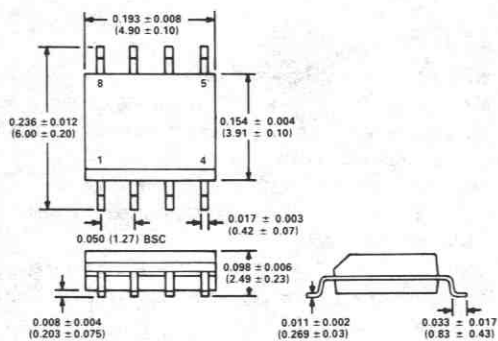
サーディップ (Q) パッケージ



プラスチック・ミニDIP (N) パッケージ



8ピンSOIC (R) パッケージ



特長

- フル・ウインドウ・コンパレータ
- 2.0pF maxの入力容量
- 9V maxの差動入力電圧
- 2.5nsの伝播遅延時間
- 低ディスペーション
- 低い入力バイアス電流
- 独立したラッチ機能
- 入力インヒビット・モード
- 80dBの同相除去比

応用

- 高速ピン・エレクトロニクス・レシーバ
- 高速トリガ
- スレッシュホールド・ディテクタ
- ピーク・ディテクタ

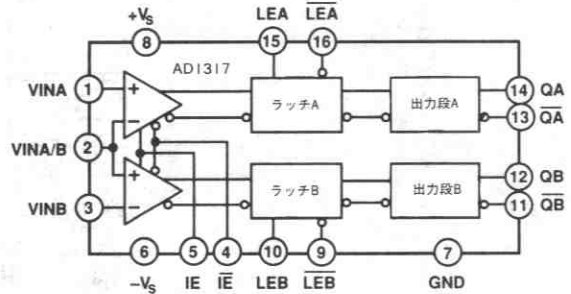
概要

AD1317はラッチ付きの超高速ウインドウ・コンパレータです。高速モノリシック・プロセスを使用し、入力電圧範囲に影響を与えることなく高いDC精度を実現しています。AD1317の伝播遅延時間は最大2.8nsが保証されています。

同相入力のオン・チップ接続により、ボンディング・パッドとパッケージ・ピンによる入力容量への影響が抑えられ、結果的に最大入力容量2pFを得ています。

入力オーバードライブ・レベルとスルーレートに対する伝播遅延時間のディスペーションまたは変動の標準値は5Vの入力信号で350ps、1Vで200psとなります。

AD1317は同相範囲9Vの高精度差動入力段を使用しています。このコンプリメンタリ・デジタル出力は、ECLコンパチブルです。



AD1317機能ブロック図

この出力段は-2Vに終端された50Ωラインを駆動する能力があります。AD1317にはラッチ機能も設けられ、サンプル・ホールド・モードでの動作とヒステリシスの生成に使用することが可能です。

コンパレータ入力はインヒビット・モード機能により高インピーダンス状態に切替えることができ、回路からコンパレータを電氣的に切離すことができます。インヒビット・モード時の標準バイアス電流は50pAです。

AD1317は小型16リード、ハーメチック・シールド・ガルウイングの表面実装パッケージで、一般用温度範囲0~+70°Cで動作します。

仕様

(特に指定のない限り、+25°C、フリー・エア。出力は-2Vに50Ω終端。+V_S=+10V、-V_S=-5.2V)

パラメータ	記号	AD1317KZ			単位	備考
		Min	Typ	Max		
DC入力特性						
オフセット電圧	V _{OS}	-10		10	mV	CMV=0V
オフセット・ドリフト	dV _{OS} /dT		20		μV/°C	
VINA/Bバイアス電流						-2V~+7V
アクティブ	I _{bca}		10	33	μA	
インヒビット	I _{bci}		50		pA	
VINA, VINBバイアス電流						-2V~+7V
アクティブ	I _{bsa}		5	16.5	μA	
インヒビット	I _{bsi}		50		pA	
VINA/B抵抗	R _{inc}		4		MΩ	
VINA, VINB抵抗	R _{inc}		8		MΩ	
容量 VINA/B, VINA, VINB	C _{IN}		1.5	2.0	pF	
電圧範囲	V _{CM}	-2		7	V	注5参照
差動電圧	V _{DIFF}			9	V	
同相除去比	CMRR	70	-80		dB	-2V~+7V
ラッチ・イネーブル入力						
同相モード範囲		-2.0		5.0	V	
差動電圧		0.4		4	V	
ロジック "1" 電流	I _{IH}			10	μA	
ロジック "0" 電流	I _{IL}	-200			μA	
容量				4	pF	
入力イネーブル電流						
同相モード範囲		-2.0		5.0	V	
差動電圧		0.4		4	V	
ロジック "1" 電流	I _{IH}			20	μA	
ロジック "0" 電流	I _{IL}	-200			μA	
容量				4	pF	
デジタル出力						
ロジック "1" 電圧	V _{OH}	-0.98			V	
ロジック "0" 電圧	V _{OL}			-1.50	V	
スイッチング特性						
伝播遅延時間						図3参照
入力-出力	t _{PDH} , t _{PDF}		1.8	2.8	ns	注1参照
ラッチ・イネーブル-出力	t _{LO}		2.0	2.5	ns	注1参照
アクティブ-インヒビット	t _{ID}		2.5		ns	注2参照
インヒビット-アクティブ	t _{IE}		15		ns	注3参照
伝播遅延時間温度係数			5		ps/°C	
デイスパージョン						注4参照
5V信号						図1参照
全エッジ			450	600	ps	
立上りエッジ			350		ps	
立下りエッジ			350		ps	
1V信号						図2参照
全エッジ			250	400	ps	
立上りエッジ			200		ps	
立下りエッジ			200		ps	
ラッチ・タイミング						
入力パルス幅	t _{PW}	2.5	1.0		ns	図3参照
セットアップ時間	t _S	1.5	0.4		ns	
ホールド時間	t _H	0			ns	
電源						
-V _S ~+V _S 範囲			15.2	15.6	V	注5参照
正電源	+V _S	8.0	10.0	11.0	V	
負電源	-V _S	-7.2	-5.2	-4.2	V	
正電源電流	I ₊		50	70	mA	
負電源電流	I ₋	-100	-70		mA	
PSRR		65	75		dB	+V _S と-V _S の±2.5%で測定

注

- 伝播遅延時間は0V~5V入力の50%ポイントの入力スレッショルドのクロスポイントから出力QとQ̄が交差するまでの時間として測定されています。
- 伝播遅延時間はIEとEの入力クロス・ポイントから入力バイアス電流がその定格値の10%に下降するまでの時間として測定されています。
- 伝播遅延時間はIEとEの入力クロス・ポイントから入力バイアス電流がその定格値の90%に上昇するまでの時間として測定されています。
- デイスパージョンは5V振幅では入力スルーレート0.5V/ns、2.5V/ns、および1V振幅では0.5V/ns、1V/nsの条件で測定されています。
- コンパレータ入力電圧範囲は電源電圧定格値-5.2Vと+10Vにおいて-2V~+7Vに対して規定されていますが、V_Hと+V_SおよびV_Lと-V_Sの間に3Vの余裕を保っている限りは-4.2Vと+11Vの電源電圧で-1V~+8Vのような異なる入力範囲に変更できます。

仕様は予告なしに変更することがあります。

絶対最大定格¹

電源電圧

+V _S ~GND	+12V
-V _S ~GND	-9V
+V _S ~-V _S 電位差	+16V

入力

VINA/B, VINA, VINB	+V _S -13.5V, -V _S +13.7V
LEA, LEA, LEB, LEB	+V _S -14V, -V _S +12V
IE, IE	+V _S -14V, -V _S +10.3V

出力

QA, QA, QB, QB	GND-0.5V, GND+3.5V
----------------	-------	--------------------

動作温度範囲 0~+70°C

保管温度範囲

ハンダ付け後 -65~+125°C

リード温度 (ハンダ付け20秒)² +300°C

注

- 絶対最大定格を超えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。
- リードの平面性 (±0.002インチ) とハンダ付け性を確保するため素子による取扱いは避け、デバイスは24°C±5°C、相対湿度65%以下の環境で保管して下さい。

AD1317のピン説明

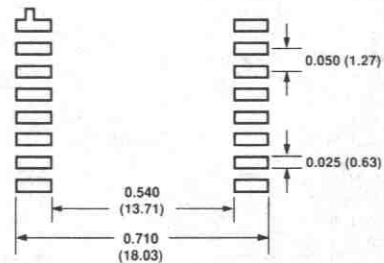
ピン番号	説明
1	VINA 非反転コンパレータA入力
2	VINA/B ウィンドウ・コンパレータ・COMMON入力
3	VINB 反転コンパレータB入力
4	IE 入力イネーブル
5	IE 入力イネーブル
6	-V _S 負電源, -5, 2V
7	GND グラウンド
8	+V _S 正電源, +10V
9	LEB ラッチ・イネーブルB
10	LEB ラッチ・イネーブルB
11	QB コンパレータB出力
12	QB コンパレータB出力
13	QA コンパレータA出力
14	QA コンパレータA出力
15	LEA ラッチ・イネーブルA
16	LEA ラッチ・イネーブルA

外形サイズ

サイズはインチと (mm) で示します。



推奨ランディング・パッド位置



AD1317の仕様用語の説明

V_{OS}	入力オフセット電圧。QAと \overline{QA} またはQBと \overline{QB} 出力間の電圧をゼロにするため、VINAとVINA/BまたはVINBとVINA/B間のどちらかに加える必要のある電圧です。
dV_{OS}/dT	オフセット・ドリフト。動作温度範囲内での温度変化に対する入力オフセット電圧の変化の割合です。
Ibca	入力バイアス電流 (VINA/B、アクティブ状態)。入力イネーブル状態のウィンドウ・コンパレータのコモン入力のバイアス電流です。
Ibci	入力バイアス電流 (VINA/B、インヒビット状態)。入力インヒビット状態のウィンドウ・コンパレータのコモン入力のバイアス電流です。
Ibsa	入力バイアス電流 (VINAまたはVINB、アクティブ状態)。入力アクティブ状態の各シングル入力のバイアス電流です。
Ibsi	入力バイアス電流 (VINAまたはVINB、インヒビット状態)。入力インヒビット状態の各シングル入力のバイアス電流です。
Rinc	入力抵抗 (VINA/B)。ウィンドウ・コンパレータのコモン入力の入力抵抗です。
Rins	入力抵抗 (VINAまたはVINB)。ウィンドウ・コンパレータの各シングル入力の入力抵抗です。
C_{IN}	入力容量 (VINA/B)。ウィンドウ・コンパレータのコモン入力の入力容量です。
V_{CM}	入力同相電圧範囲。オフセットと伝播遅延時間仕様の適用される入力端子の電圧範囲です。
V_{DIFF}	入力差動電圧範囲。任意の入力端子間の電位差の最大値です。
CMRR	同相除去比。同相入力電圧範囲と、この範囲での入力オフセット電圧のピーク・ピーク変動との比です。
I_{IH}	ロジック "1" 入力電流。ロジック入流に流れ込む (+で示します) または流れ出す (-で示します) ロジックHI電流です。
I_{IL}	ロジック "0" 入力電流。ロジック入流に流れ込む (+で示します) または流れ出す (-で示します) ロジックLOW電流です。
V_{OH}	ロジック "1" 出力電圧。規定負荷のロジックHI出力電圧です。
V_{OL}	ロジック "0" 出力電圧。規定負荷のロジックLOW出力電圧です。
I_{OH}	ロジック "1" 出力電流。ロジックHIの出力ソース電流です。

I_{OL}	ロジック "0" 出力電流。ロジックLOWの出力ソース電流です。
I_{+}	正の電源電流。+ V_S 電源からの必要電流です。
I_{-}	負の電源電流。- V_S 電源からの必要電流です。
PSRR	電源変動除去比。電源電圧の変動と入力オフセット電圧のピーク・ピーク変動との比です。

AD1317のタイミング特性項目 (図3参照)

t_{PDR}	入力-出力立上りエッジ遅延。VINA/BがLOWからHIへの遷移でVINAまたはVINBどちらかに交差した時点から、それぞれQAと \overline{QA} またはQBと \overline{QB} が交差するまでの伝播遅延時間です。
t_{PDF}	入力-出力立下りエッジ遅延。VINA/BがHIからLOWへの遷移でVINAまたはVINBのどちらかに交差した時点から、それぞれQAと \overline{QA} またはQBと \overline{QB} が交差するまでの伝播遅延時間です。
t_S	最小ラッチ・セットアップ時間。入力信号を取込み、出力に保持するために、LEが \overline{LE} に関してHIになる以前に入力信号の変化が存在する必要がある最小時間です。
t_{H}	最小ラッチ・ホールド時間。入力信号を取り込み、出力に保持するために、LEが \overline{LE} に関してHIになった後、入力信号を変化させず保持しておく必要がある最小時間です。
t_{FW}	最小ラッチ・イネーブル・パルス幅。入力信号を取込み、入力変化を保持するために、LEを \overline{LE} に関してHIにしておく必要がある最小時間です。
t_{LO}	ラッチ・イネーブル-出力遅延。LEが \overline{LE} に関してHIになってからQAと \overline{QA} またはQBと \overline{QB} が交差するまでの時間です。
t_{ID}	入力段ディセーブル時間。IEが \overline{IE} に関してHIになってから入力バイアス電流が定格値の10%に下降するまでの時間です。
t_{IE}	入力段イネーブル時間。IEが \overline{IE} に関してHIになってから入力バイアス電流が定格値の90%に上昇するまでの時間です。

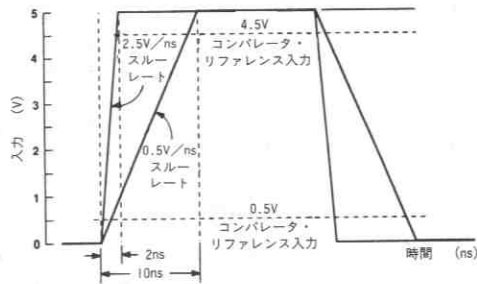


図 1. ディスパージョン試験入力条件、5V信号

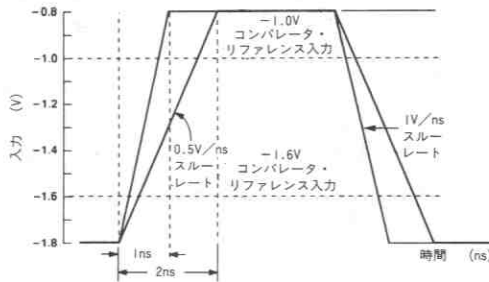


図 2. ディスパージョン試験入力条件、-1V信号

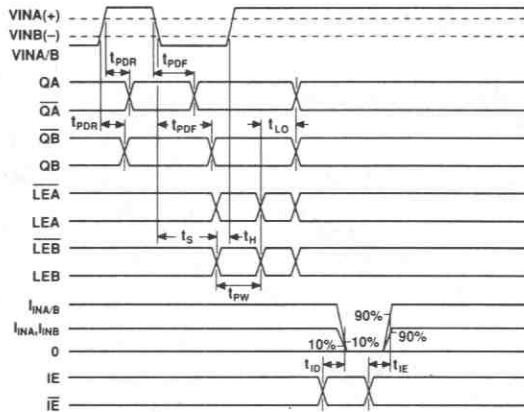


図 3. タイミング図

代表的特性

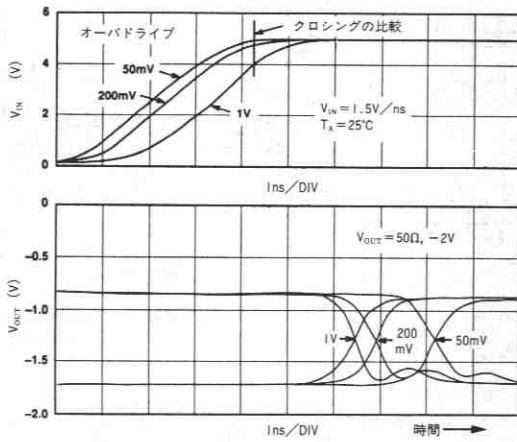


図4. オーバードライブ変化応答特性、立上りエッジ

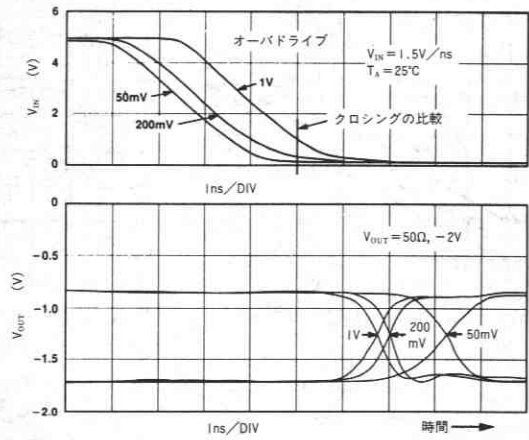


図5. オーバードライブ変化応答特性、立下りエッジ

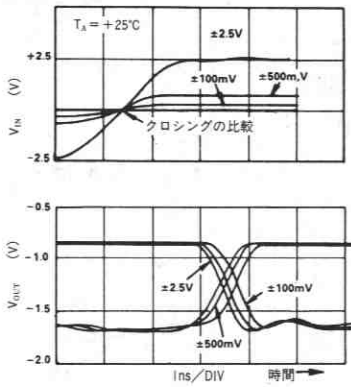


図6. 信号レベル応答特性、立上りエッジ

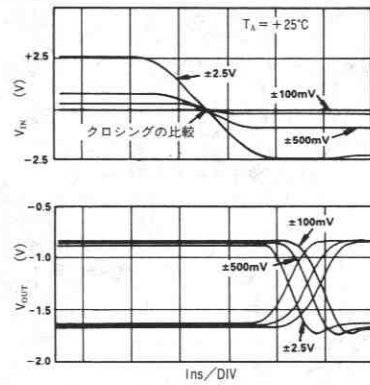


図7. 信号レベル応答特性、立下りエッジ

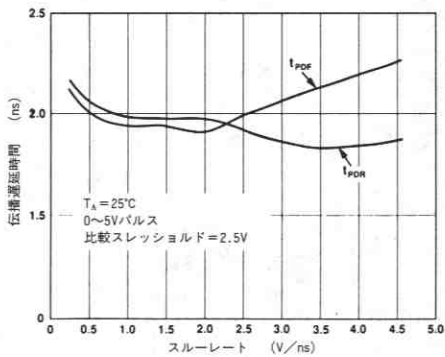


図8. 伝播遅延時間対スルーレート

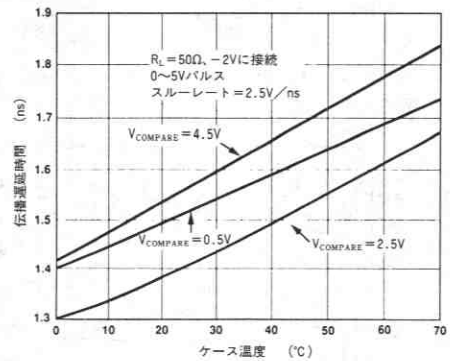


図9. 伝播遅延時間対温度、立上りエッジ

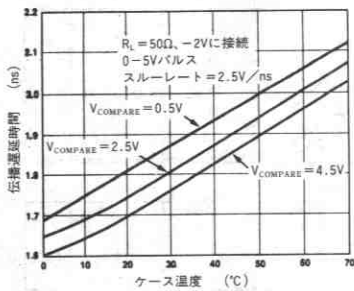


図10. 伝播遅延時間対温度、立下りエッジ

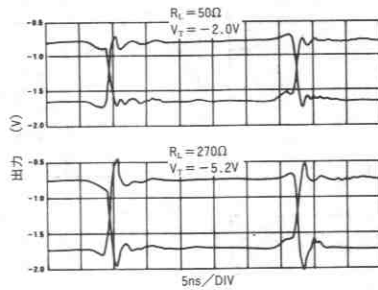


図11. 出力波形対負荷

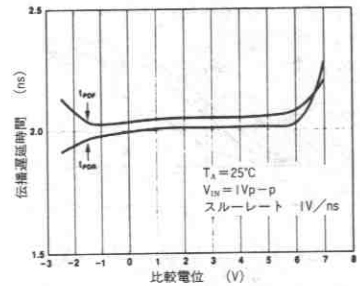


図12. 伝播遅延時間対同相電圧

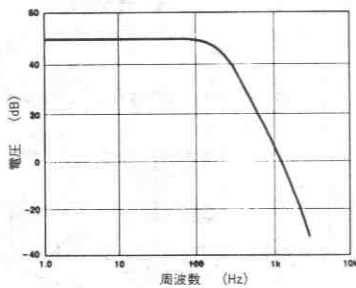


図13. 電圧ゲインの周波数特性

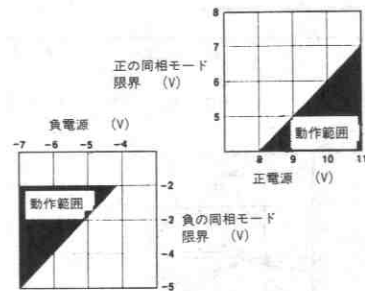


図14. 同相モード範囲対電源

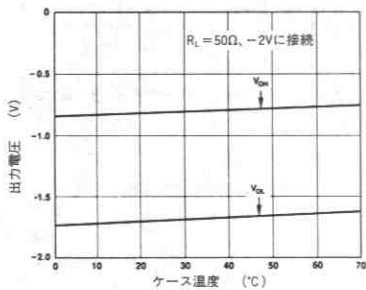


図15. 出力レベル対温度

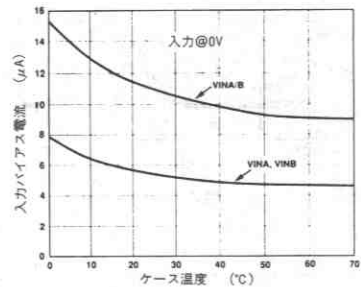


図16. 入力バイアス電流対温度

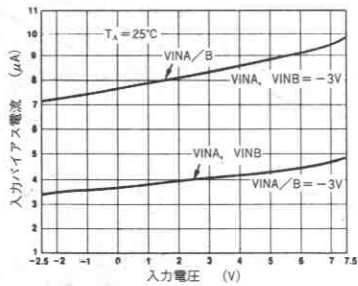


図17. 入力バイアス電流対入力電圧

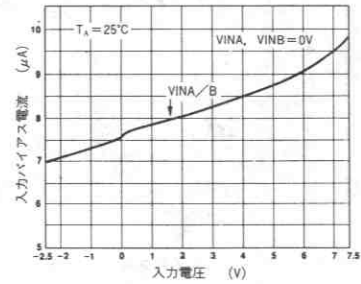


図18. 入力バイアス電流対入力電圧

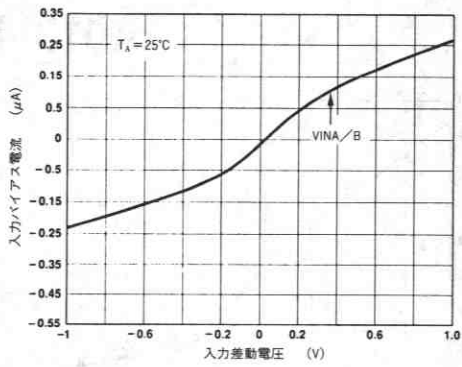


図19. バイアス電流の変化対入力差動電圧 ($V_{INA}/B - V_{INB}$, V_{INB})

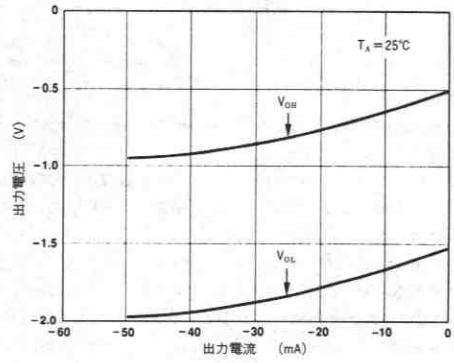


図20. 出力電圧対ソース電流

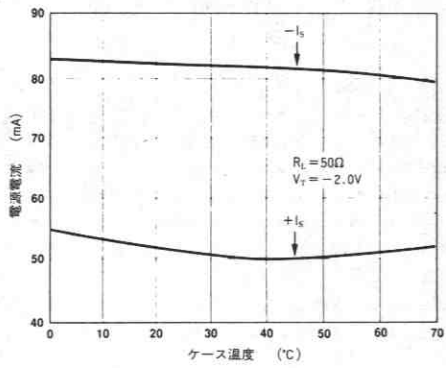


図21. 電源電流対温度

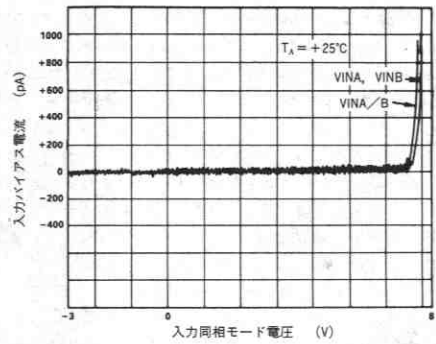


図22. インヒット入力バイアス電流対同相モード電圧

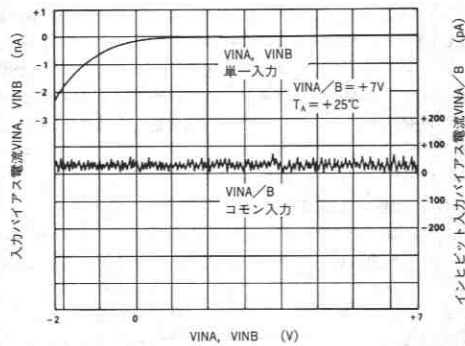


図23. インヒット入力バイアス電流対入力電圧 ($V_{INA}/B = +7V$)

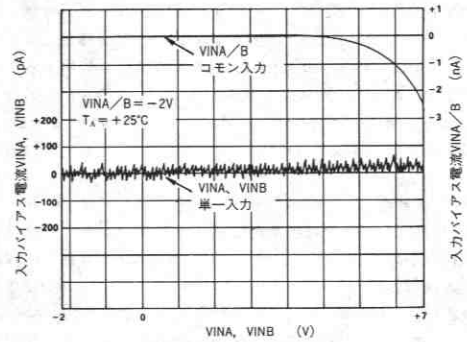


図24. インヒット入力バイアス電流対入力電圧 ($V_{INA}/B = -2V$)

機能説明

AD1317は汎用の計装および自動試験装置の応用のために設計された超高速ウィンドウ・コンパレータです。ウィンドウ動作のための内部接続により、重要なコモン入力 (VINA/B) での容量は別個の入力ピンを使用することにより得られる値より十分に低く抑えられています。

他の重要な特長は、フロントエンド回路をディスイープし、入力バイアス電流を50pA (typ) まで減少することです。このことにより、AD1317の入力を回路から物理的に切離すことなく高感度のDC電流試験を行なうことができます。コンパレータ出力は絶対的なロジック・レベルを保つために、通常は入力をインピットする以前にラッチされます。

バイポーラ・プロセス技術を用いた高速コンパレータは通常1μAから20μAの範囲の入力バイアス電流特性を持ち、AD1317もその例外ではありません。このことは入力デバイスが通常低い電流ゲインであるにもかかわらず、可能な限り大きな帯域幅を得るために高電流で動作しなければならないことに起因します。細心の設計によりAD1317の差動および同相モードの入力変化に対するバイアス電流の変化は最小となっています。これは高い入力等価抵抗に相当し、差動入力がないとき入力バイアス電流が最小となります。この条件でのAD1317のコモン入力の代表的な入力抵抗は4MΩオーダとなっています。

これら多くのATE応用では、スタンダード・ロジック電圧を687型コンパレータで処理できるレベルに減少させるために入力バッファ/バッファを必要としていました。これらのデバイスは、コンパレータが正しく機能するスループートを制限していません。AD1317では、9Vの差動および同相モード入力範囲と2.5V/nsのスループート性能により、ほとんどの応用でこれらのバッファ回路を必要としません。

それぞれのコンパレータに個別のコンプリメンタリ・ラッチ入力を用意されています。これらは差動またはシングルエンドのECLからHCMOSロジックに至る信号源で駆動できます。コンパレータのトランスベアレント・モードを使用する場合には、ラッチ入力は最大電位差4Vの同相モード範囲内の任意のポイントに接続できます。小さな差動電圧をラッチ入力に加えることで、対称なヒステリシス特性が保証されています (ヒステリシスの項を参照下さい)。

AD1317の出力はECLコンパチブルの電圧振幅をもつ標準エミッタ・フォロアです。推奨の出力終端条件は-2Vに接続した50Ωです。-V_sに接続したより大きな抵抗値の終端抵抗も使用することができますが、エッジの忠実度が減少します。標準的な出力の立上りおよび立下り時間 (20%~80%) は50Ω、10pFの負荷に対し1nsです。最大出力ソース電流は40mAです。

熱に対する考慮

AD1317のパッケージは標準的なθ_{jc} (ジャンクション-ケース間の熱抵抗) が17.5°C/W、16リード (ボトム・ブレース) ガルウイング表面実装パッケージです。このパッケージでのAD1317の熱抵抗θ_{ca} (ケース-周囲間) とエアフローとの関係を図25に示します。エアフローに対する熱抵抗の改善は400lfm⁽¹⁾から上で平坦になります。

注

1. lfmはリニア・フィート/分です。
2. 対流冷却システムでは推奨の最小エアフローは400lfmです。

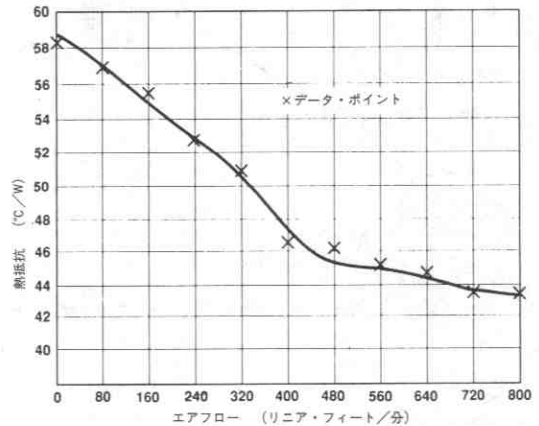


図25. ケース-周囲間熱抵抗対エアフロー

ディスパージョン

伝播遅延時間のディスパージョンは入力信号条件の変化によって起こされるデバイスの伝播遅延時間の変化です。ディスパージョンはコンパレータの入力段の設計が高ゲインと広い帯域幅という相反する条件をいかにバランスしているかの尺度となります。高ゲインは小さなオーバドライブにより有効なロジック出力を伝播遅延時間の増加なしに実現するために必要であり、広い帯域幅はコンパレータが高いスループート入力を取扱うために必要です。AD1317のディスパージョン特性を決定するために使用される入力信号の基準はCMOSおよびECL信号レベルの振幅、オーバドライブ、スループートです。

ヒステリシス

コンパレータにヒステリシス特性を実現するための技術は、図27に示すような正帰還を使用することです。この方法における大きな問題は出力ロジック・レベルによってヒステリシス量が変化するということ、ヒステリシスがゼロを中心として対称でないということです。

AD1317ではこの方式は使用していません。その代わりに図28に示すようにLEとLEの間に差動電圧をかけることでヒステリシスを発生しています。この方法により発生するヒステリシス特性は出力振幅と無関係で、ゼロを中心に対称となります。入力電圧によるヒステリシスの変化を図29に示します。使用可能なヒステリシス範囲は約20mVです。

レイアウトに関する配慮

AD1317は他のあらゆる高速デバイスと同様に、最適の特性を得るためには注意深いレイアウト設計とバイパスを必要とします。出力と高インピーダンスの入力のカップリングにより、通常は発振を起こします。あらゆる駆動インピーダンスは可能な限り低く、リード長を最短にしなければなりません。低インピーダンスのリターン経路を得るためにグラウンド・プレーンを使用すべきです。受入れ試験や他の試験のためのソケットは慎重に選び、リード・インダクタンスを最小とし、実際の使用でソケットを使用することは推奨できません。

出力線の長さは1インチ以下にするべきです。それより長い場合に

はリンギングや反射を防ぐために伝送ライン技術が必要となります。出力線はその特性インピーダンスで-2Vに終端しなければなりません。-V_Sに接続したテブナン等価終端も可能です。

電源バイパスには高品質のRFコンデンサを使用します。これらのコンデンサはAD1317の電源ピンに可能な限り近づけて配置し、最小のリード長でグラウンド・プレーンに接続しなければなりません。+V_Sと-V_Sはデバイスの電源ピンから0.25インチ以内で470pFのコンデンサでバイパスします。さらに電源はそれぞれ0.1μFのセラミック・コンデンサおよび10μFのタンタル・コンデンサでバイパスしなければなりません。低いインピーダンスの電源分配技術によりこれらの部品の位置選択が楽になります。DCの比較の応用ではパッケージにできる限り近づけて、V_{INA}とV_{INB}入りに470pFのコンデンサを接続すると、回路特性と耐ノイズ性能が向上します。

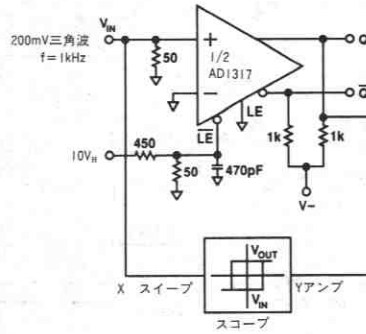


図28. AD1317コンパレータのヒステリシス試験回路

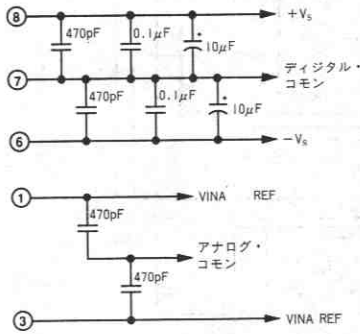


図26. AD1317の基本的なデカップリング

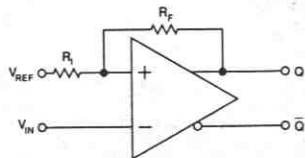


図27. コンパレータの代表的ヒステリシス特性

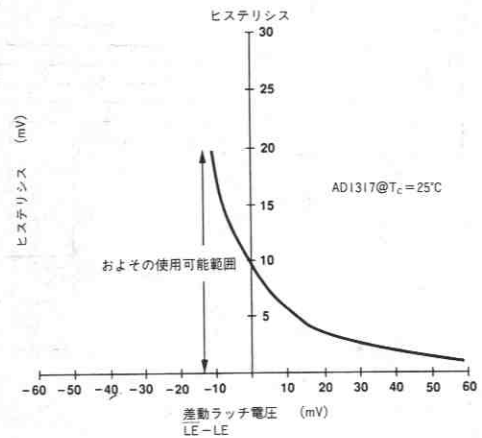


図29. AD1317の標準的なヒステリシス曲線

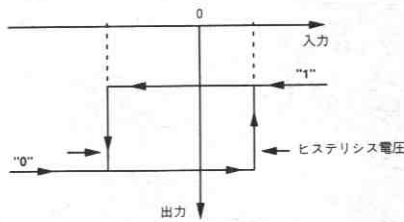


図27. コンパレータの代表的ヒステリシス特性

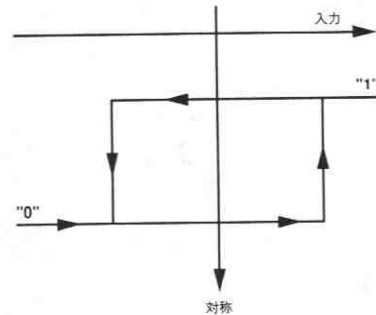


図30. AD1317のヒステリシス特性

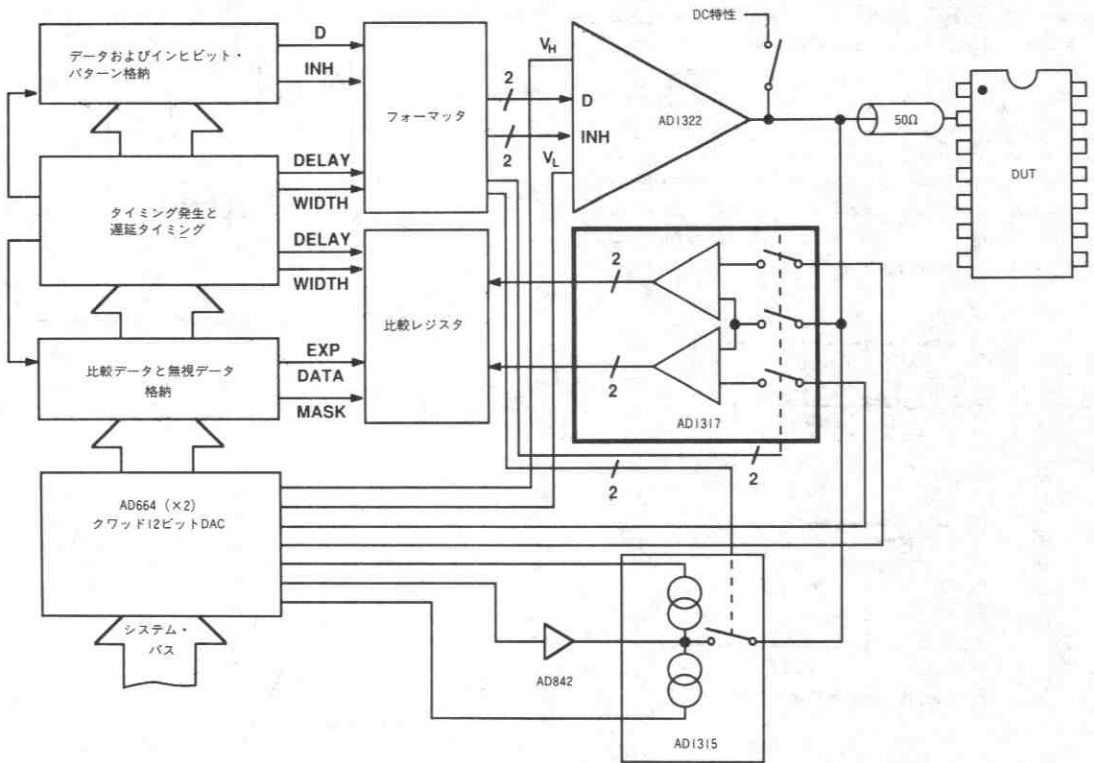


図31. 高速デジタル・テスターのブロック図

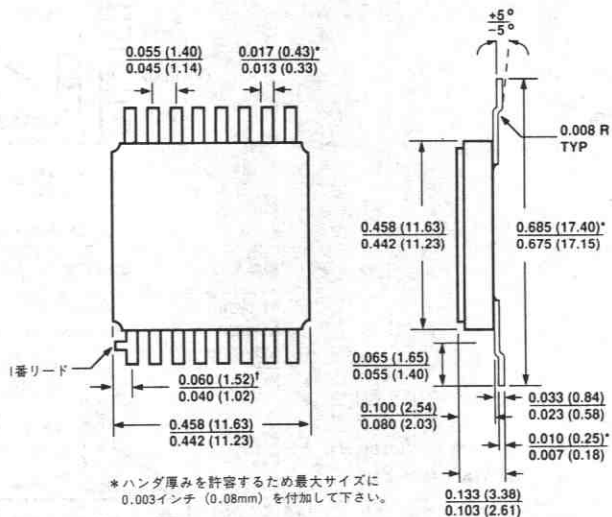
オーダ・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション*
AD1317KZ	0°C ~ +70°C	16リード・ガルウイング	Z-16A

注
*Z=セラミック・リード付きチップ・キャリア

外形サイズ

サイズはインチと (mm) で示します。



AD9620

特長

優れたゲイン精度：0.994V/V

広帯域：600MHz

スルーレート：2200V/ μ s

超低歪み

-73dBc @20MHz

-91dBc @2.3MHz

高速セトリング時間：8ns (0.02%)

低ノイズ：2.0nV/ $\sqrt{\text{Hz}}$

応用

IF/通信

インピーダンス変換

フラッシュ型ADCの駆動

ライン・ドライバ

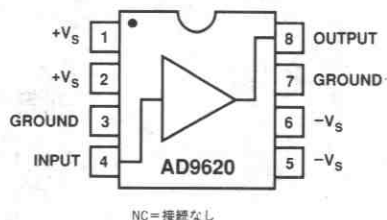
概要

AD9620は高いゲイン精度、広帯域、低歪みの新世代の標準品となるモノリシック、ユニティ電圧ゲインのバッファ・アンプです。AD9620は、広い信号帯域幅と高いドライブ能力を備え、周波数に対する歪み特性は非常に低いため、フラッシュ型ADCの駆動に最適です。また、AD9620のドライブ能力は、ユニティ電圧ゲインで大きな電流駆動能力が必要なケーブル・ドライバ応用にも適しています。

AD9620では、画期的な電圧フィードバック方式に加え、特殊なパッケージング技法の採用により、標準パッケージで見られるリアクティブの影響を最小限に抑え、ダイナミック特性を向上させています。その結果、高調波歪みは20MHzで-73dBc、2.3MHzで-91dBcと非常に低くなっています。また、AD9620は、小信号パルス応答、DC直線性においても、同一シリーズ・モデルのAD9630を含むあらゆるアンプよりも高い特性を備えています。これらの特性により、AD9620は高速、高分解能ADCのドライバとしてもっとも優れたデバイスです。

パッケージはサイド・ブレイズのセラミックDIPです。Aグレードは-40~+85°C、Sグレードは-55~+125°Cで動作が保証されています。ダイは+25°CでDC試験が施されています。

AD9620ピン配置

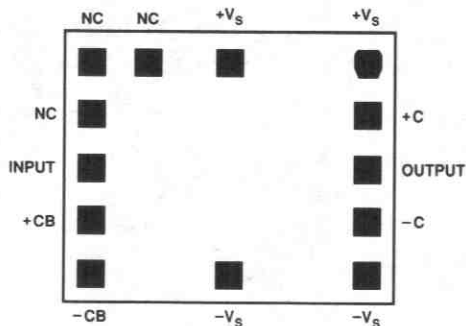


オーダ・ガイド

部品番号	温度範囲	パッケージ	パッケージオプション
AD9620AD	-40~+85°C	8ピンDIP	D-8
AD9620SD	-55~+125°C	8ピンDIP	D-8
AD9620チップ	+25°C	ダイ	

AD9620ダイ・レイアウト

ダイの大きさ：60×50×15mil



仕様

絶対最大定格¹

電源電圧 (±Vs)	±7V	保管温度範囲	-65 ~ +150°C
入力電圧範囲	±Vs	AD9620AD	-65 ~ +150°C
連続出力電流 ²	70mA	AD9620SD	-65 ~ +150°C
動作温度範囲		ジャンクション温度 ³	+175°C
AD9620AD	-40 ~ +85°C	リード・ハンダ付け温度 (10秒) ⁴	+300°C
AD9620SD	-55 ~ +125°C		

DC電気的特性

(特に指定のない限り、±Vs = ±5V、R_{IN} = 50Ω、R_{LOAD} = 100Ω)

パラメータ	条件	温度	テスト レベル	AD9620AD			AD9620SD			単位
				Min	Typ	Max	Min	Typ	Max	
DC仕様										
出力オフセット電圧		+25°C	I	-8	±2	+8	-8	±2	+8	mV
オフセット電圧TC		全温度範囲	IV	-25	±5	+25	-25	±5	+25	μV/°C
入力バイアス電流		+25°C	I	-35	±6	+35	-35	±6	+35	μA
バイアス電流TC		全温度範囲	IV	-150	±50	+150	-150	±50	+150	nA/°C
入力抵抗		+25°C ~ Tmax	VI	400	800		400	800		kΩ
入力抵抗		Tmin	VI	190			190			kΩ
入力容量		+25°C	V		1.0			1.0		pF
ゲイン	V _{OUT} = 2Vp-p	全温度範囲	VI	0.989	0.994		0.989	0.994		V/V
出力電圧範囲		全温度範囲	VI	+2.8		-2.8	+2.8		-2.8	V
出力電流 (50Ω負荷)		全温度範囲	VI	40			40			mA
出力インピーダンス	DC	+25°C	V		0.4			0.4		Ω
電源変動除去比	ΔVs = ±5%	全温度範囲	VI	52	60		52	60		dB
DC直線性	フルスケール ±2V	+25°C	VI		0.005			0.005		%
周波数特性										
帯域幅 (-3dB)										
小信号	V _{OUT} ≤ 0.7Vp-p	Tmin ~ +25°C	II	320	600		320	600		MHz
小信号	V _{OUT} ≤ 0.7Vp-p	Tmax	II	260			260			MHz
大信号	V _{OUT} = 4Vp-p	Tmin ~ +25°C	IV	60	80		60	80		MHz
大信号	V _{OUT} = 4Vp-p	Tmax	IV	45			45			MHz
ピーク振幅	≤ 150MHz	Tmin ~ +25°C	II		0.8	1.5		0.8	1.5	dB
ピーク振幅	≤ 150MHz	Tmax	II		1.5	2.2		1.5	2.2	dB
ローloff振幅	≤ 150MHz	全温度範囲	II		0	0.3		0	0.3	dB
群遅延	DC ~ 150MHz	+25°C	V		0.75			0.75		ns
位相非直線性	DC ~ 150MHz	+25°C	V		1.4			1.4		ns
2次高調波歪み	2Vp-p : 2.3MHz	+25°C ~ Tmax	IV		-91	-84		-91	-84	dBc
	2Vp-p : 2.3MHz	Tmin	IV		-81	-73		-81	-73	dBc
	2Vp-p : 20MHz	全温度範囲	IV		-73	-67		-73	-67	dBc
	2Vp-p : 60MHz	+25°C	I		-69	-60		-69	-60	dBc
	2Vp-p : 60MHz	Tmin, Tmax	V		-62			-62		dBc
3次高調波歪み	2Vp-p : 2.3MHz	全温度範囲	IV		-94	-86		-94	-86	dBc
	2Vp-p : 20MHz	全温度範囲	IV		-81	-72		-81	-72	dBc
	2Vp-p : 60MHz	+25°C	I		-60	-52		-60	-52	dBc
スペクトル入力ノイズ電圧	10MHz	+25°C	V		2.0			2.0		nV/√Hz
出力ノイズ電圧積分値	0.1 ~ 200MHz	+25°C	V		28			28		μV
時間領域特性										
スルーレート	V _{OUT} = 4Vステップ	+25°C	IV	1500	2200		1500	2200		V/μs
立上り/立下り時間	V _{OUT} = 1Vステップ	Tmin ~ +25°C	IV		0.8	1.2		0.8	1.2	ns
	V _{OUT} = 1Vステップ	Tmax	IV		1.1	1.5		1.1	1.5	ns
	V _{OUT} = 4Vステップ	Tmin ~ +25°C	IV		1.7	2.5		1.7	2.5	ns
	V _{OUT} = 4Vステップ	Tmax	IV		2.3	3.4		2.3	3.4	ns
オーバershoot	V _{OUT} = 2Vステップ	全温度範囲	IV		3	12		3	12	%
セトリグ時間										
0.1%	V _{OUT} = 2Vステップ	全温度範囲	IV		6	8		6	8	ns
0.02%	V _{OUT} = 2Vステップ	全温度範囲	IV		8	16		8	16	ns
微分ゲイン (DG)	4.4MHz	+25°C	V		0.02			0.02		%
微分位相 (DP)	4.4MHz	+25°C	V		0.02			0.02		°

AD9620

パラメータ	条件	温度	テストレベル	AD9620AD			AD9620SD			単位
				Min	Typ	Max	Min	Typ	Max	
電源										
無負荷時電源電流										
+I _S	+V _S = +5V	全温度範囲	VI	40	48		40	48		mA
-I _S	-V _S = -5V	全温度範囲	VI	40	48		40	48		mA

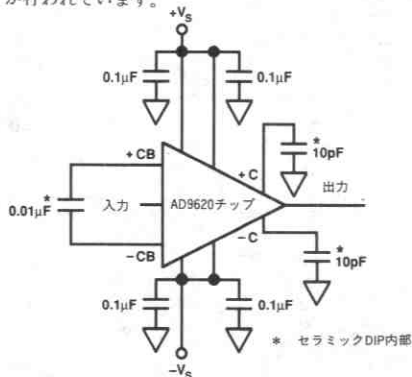
注

- 絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすと、デバイスの信頼性に影響を与えます。
- 出力はグラウンドの短絡に対し保護されていますが、電源に対しては保護されていません。グラウンドへの長時間の短絡はデバイスの信頼性に影響を与えます。
- サイドブレス（基板にハンダ付けされる部分）の熱抵抗の代表値は次のとおりです。 $\theta_{JA} = 110^\circ\text{C/W}$ 、 $\theta_{JC} = 20^\circ\text{C/W}$ 。
- AD9620の外部コンデンサはSn62%、Pb36%、Ag2%のハンダで接合されています。コンデンサ接合部が装着中に融けないように、基板装着温度には注意する必要があります。

仕様は予告なしに変更することがあります。

テスト・レベルの説明

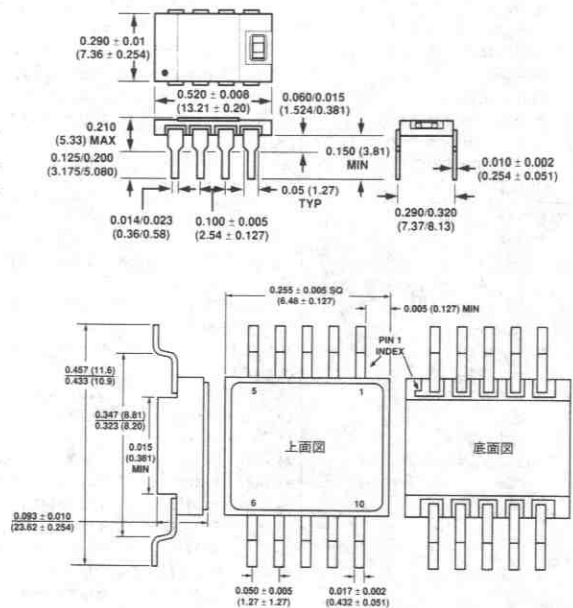
- I- 全数生産テストが行われています。
- II- +25°Cにおいて全数生産テスト、そして規定温度においてサンプリング・テストが行われています。
- III- サンプリング・テストのみ行われています。
- IV- パラメータは設計および特性試験で保証されています。
- V- 代表値のみです。
- VI- 全製品について、+25°Cにおいて全数生産テストが行われています。拡張温度範囲のデバイスについては、上下限温度において全数生産テストが行われています。一般用/産業用デバイスについては、上下限温度においてサンプリング・テストが行われています。



AD9620ボンディング図

外形サイズ

サイズはインチと (mm) で示します。
AD、SDグレード共通



注
AD9620のパッケージの詳細についてはお問い合わせください。

動作原理

AD9620は画期的な電圧フィードバック方式を採用した広帯域のユニティ・ゲイン・バッファ・アンプです。大きなループ・ゲインと高いスループレートにより、従来の設計方式によるものと比べ、DC直線性と帯域幅が大幅に改善されています。

オープン・ループ方式の他の製品と比べると、これらの持つ限界を超えて帯域幅は広がっています。オープン・ループ方式では、負荷インピーダンスが低い状態で駆動するとDC直線性が犠牲になることが多く、その結果、周波数歪み特性も劣化していましたが、AD9620ではそのようなことはありません。AD9620の設計は、50Ω以上の負荷に対し、相対的に一定の低歪みを実現しています。

AD9620は、信号源と負荷の間でのアイソレーションや電流ブラストを必要とする高性能アナログ信号処理应用到に適しています。AD9620の高い入力抵抗、低い入力容量、DC精度、優れたダイナミック特性は他の追随を許さず、新しい業界標準と言うべきレベルに達しています。

AD9620では、3pFを越える容量性負荷を直接かけると周波数のピーキングが現れます。これを防ぐためには、バッファ出力に小さな直列抵抗 (R_S) を接続する必要があります。図1は容量性負荷に対する最適のR_S値を示したものです。

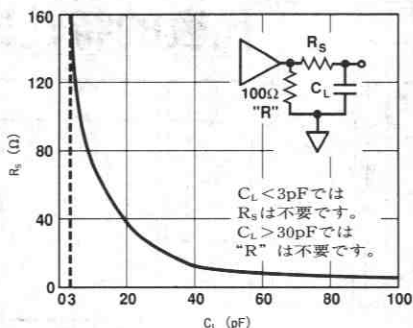


図1. C_L に対する最適な R_s 値

図1の最適直列抵抗をかけたときには、図2に示すような最適な周波数応答が得られます。

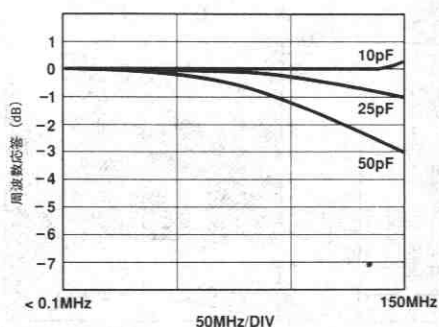


図2. 最適 R_s 値における C_L と周波数応答の関係

50pF未満の容量性負荷なら、約 12Ω の R_s でパルス応答の低下を最小限に抑えながら駆動できます。

出力段はグラウンドへの短絡に対し保護されていますが、平均負荷電流が70mAを越えるとデバイスの信頼性が低下する場合があります。また、出力ドライバは瞬間的なシンクまたはソース電流が約130mAに達するとシャットダウンします。これにより、容量性負荷が高く、スルーレートも高い状態で出力のクリッピングが起こらないようにしています。

レイアウトについての注意事項

AD9620AD/SDは、デカップリング・コンデンサを組み込んだ特殊なパッケージをしていますが、これを使った回路のレイアウトには十分な注意が必要です。レイアウトがよくなると、期待通りのダイナミック特性が得られない場合があります。

最良の特性は、AD9620の電源・ピン、グラウンド・ピンをすべて接続したときに得られます。接続していないピンがあるときには、AD9620の特殊パッケージによる効果が得られません。

基板の上には銅のグラウンド・プレーンを置くことをお勧めします。このグラウンド・プレーンは電源デカップリング・コンデンサや負荷、信号源抵抗などのために適切な端子部を持たせた上で、基板表面のなるべく広い面積をカバーするものにしてください。

$0.1\mu\text{F}$ の表面実装型電源デカップリング・コンデンサを使えば、セトリング時間とAC特性を最適なものにすることができます。電源デカップリング・コンデンサは、AD9620側の対応する端子から50mil (1.3mm) 以内に配置し、反対側はグラウンド・プレーンに直接ハンダ付けします。

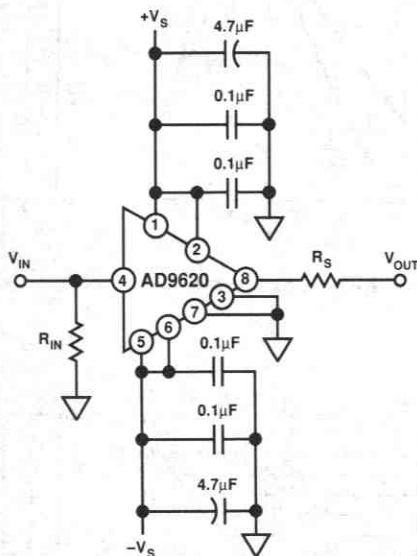


図3. AD9620応用回路 (セラミックDIP)

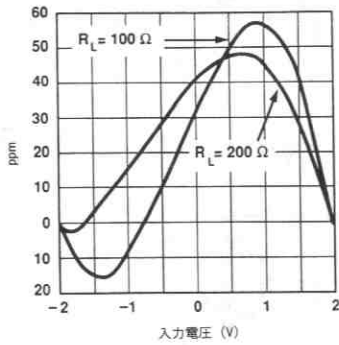
表面実装型コンデンサが使用できない場合には、リード長30mil (0.8mm) 以下のラジアル・リードのセラミック・コンデンサの使用をお奨めします。低い周波数帯域の電源デカップリングも必要で、 $4.7\mu\text{F}$ のタンタル・コンデンサを電源ピンから0.5インチ (13mm) 以内に接続します。これらのコンデンサの直列インダクタンスと $0.1\mu\text{F}$ コンデンサとの相互影響によってAD9620の出力に高周波の発振が現われることがあります。この現象は、タンタル・コンデンサとセラミック・コンデンサの間にフェライト・ビーズを入れることにより避けることができます。

AD9620への接続はできる限り短くするようにしてください。信号源回路か駆動回路をAD9620よりも1インチ (25.4mm) 以上離すときには、基板上の信号経路のインピーダンスをAD9620の入出力抵抗に合わせなければなりません。これには基本的なマイクロストリップ技術を使います。また、入力終端抵抗 (R_{IN}) と R_s もAD9620にできる限り近い位置で接続します。

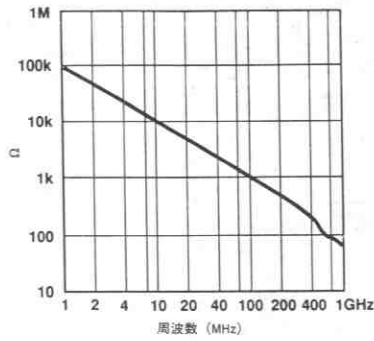
AD9620は、多くの応用で見られる出力終端抵抗を使わず、終端されたケーブルを直接駆動することができます。終端抵抗 (R_s と R_{IN}) は通常の炭素抵抗か高周波型のどちらかを使用します。特性インピーダンスのマッチングのため、誤差1%以下の精密高周波抵抗の使用をお奨めします。

AD9620は隙間をできる限り小さくして基板に直接ハンダ付けします。ゼロ・インサージョン・ソケットは、ピンのインダクタンスの影響が大きいためお奨めできません。この種のソケットを使用すると、ピーキングや発振を発生させます。テストやプロトタイプでソケットが必要な場合には、AMP社6-330808シリーズなどのピン・ソケットをお奨めします。

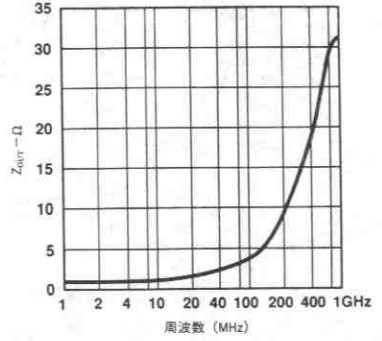
代表的特性図



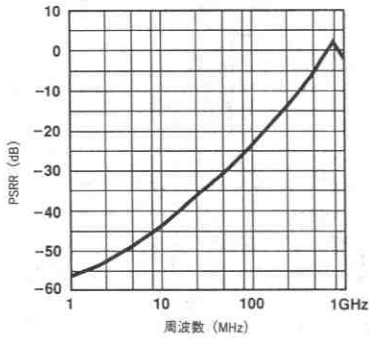
エンド・ポイントDC直線性誤差



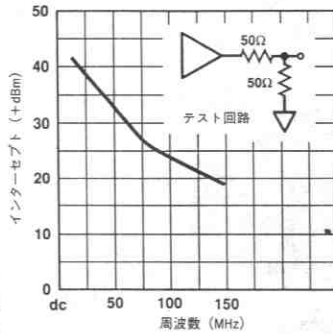
入力インピーダンス



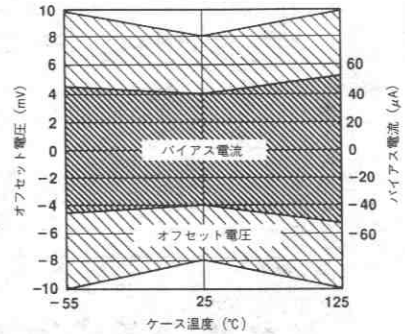
出力インピーダンス



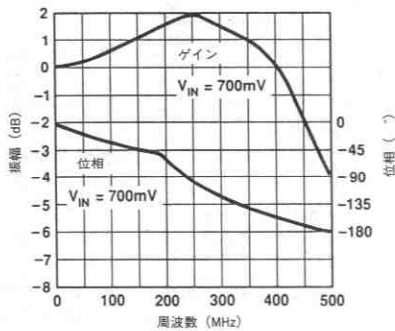
PSRRの周波数特性



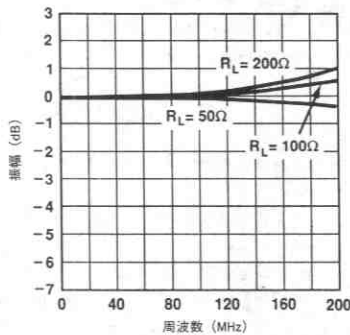
2トーン相互変調歪み



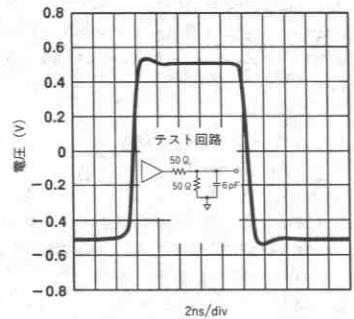
オフセット電圧とバイアス電流の温度特性 (ワーストケース)



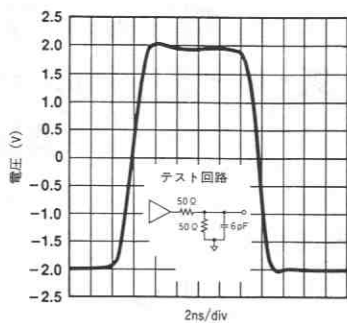
フォワード・ゲインと位相



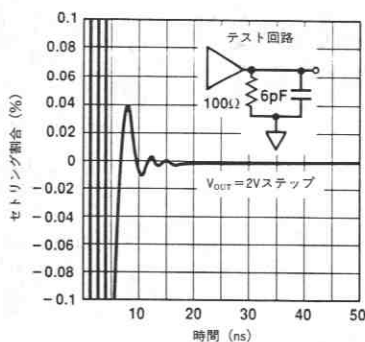
周波数応答とRLoadの関係



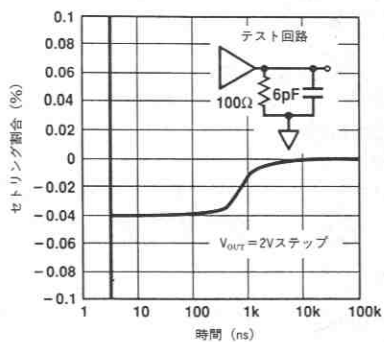
小信号パルス応答



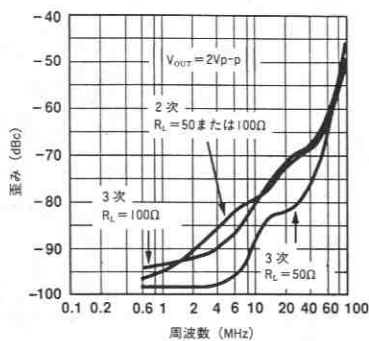
大信号パルス応答



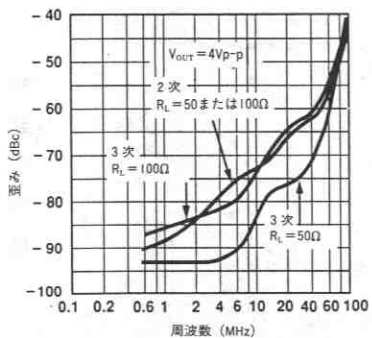
短時間セトリング時間



長時間セトリング時間



高調波歪みの周波数特性



高調波歪みの周波数特性

低歪み、750MHz クローズ・ループ・バッファ・アンプ AD9630

特 長

優れたゲイン精度：0.99V/V

広帯域：750MHz

スルーレート：1200V/ μ s

低歪み

-66dBc @20MHz

-80dBc @4.3MHz

セトリング時間

5 ns (0.1%)

8 ns (0.02%)

低ノイズ：2.4nV/ $\sqrt{\text{Hz}}$

CLC-110の性能改良製品

応 用

IF/通信

インピーダンス変換

フラッシュADCの駆動

ライン・ドライバ

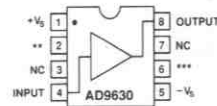
概要

AD9630は画期的なクローズ・ループ設計技術を使用し抜群のゲイン精度と広帯域、そして低歪みを実現したモノリシックのバッファ・アンプです。1200V/ μ sという高いスルーレートにより広帯域とパルスの応用にフレキシブルに適合します。アナログ入力波形の第2次高調波歪みは4.3MHzと20MHzにおいてそれぞれ-80dBcと-66dBcです。AD9630は、その優れたDC特性とダイナミック特性により、新しい業界標準品となり得るものです。

AD9630バッファは広い信号帯域幅、周波数に対する低い歪み特性、そして高いドライブ能力を持つため、フラッシュADCの駆動に理想的です。AD9630の信号再生の忠実度は、ほとんどのフラッシュADCの精度を上まわってカバーしています。またユニティ電圧ゲインで大きな電流駆動能力が必要なケーブル・ドライバの応用にも、AD9630の特性は適しています。

AD9630は、プラスチックDIP (N)、セラミックDIP (Q)、SOIC (R)、セラミックSOIC (Z) の、4種類の8ピン・パッケージの形で供給可能です。セラミック・パッケージは両方ともにMIL-STD-883プロセス品が供給できます。詳細については弊社にお問い合わせください。Aグレードは-40~+85°C、Sグレードは-55~+125°Cで動作が保証されています。ダイは25°CでDC試験が行なわれています。

AD9630ピン配置



** オプションの+V_s *** オプションの-V_s NC=接続なし

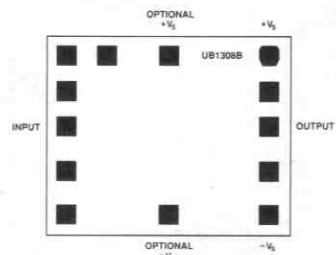
注：最高のセトリング特性を得るため、オプションの電源ピンをご使用ください。0.02%に対するセトリング時間と小信号S21仕様を除き、すべての仕様は単一の±V_s接続の使用に基づいています。オプションの電源ピンがパッケージ内部で非接続となっているバージョンに関してはお問い合わせください。

オーダ・ガイド

部品番号	温度範囲	パッケージ
AD9630AN	-40~+85°C	8ピン・プラスチック
AD9630AR	-40~+85°C	8ピンSOIC
AD9630AQ	-40~+85°C	8ピン・サーディップ
AD9630SZ*	-55~+125°C	8ピン・セラミック SOIC
AD9630SQ*	-55~+125°C	8ピン・サーディップ
AD9630チップ	+25°C	ダイ

注
* MIL-STD-883仕様製品についてはお問い合わせください。

AD9630のダイ・レイアウト



ダイの大きさ：60×50×15mil

仕様

絶対最大定格¹

電源電圧 ($\pm V_S$)	$\pm 7V$
連続出力電流 ²	70mA
仕様適用温度範囲	
AD9630AN/AR/AQ	$-40 \sim +85^\circ C$
AD9630SZ/SQ	$-55 \sim +125^\circ C$
リード・ハンダ付け温度 (10秒)	$+300^\circ C$

保管温度

AD9630AN/AR	$-65 \sim +150^\circ C$
AD9630SZ/SQ/AQ	$-65 \sim +150^\circ C$
ジャンクション温度 ³	
AD9630AN/AR	$+150^\circ C$
AD9630SZ/SQ/AQ	$+175^\circ C$

電気的特性

(特に指定のない限り、 $\pm V_S = \pm 5V$ 、 $R_{IN} = 50\Omega$ 、 $R_{LOAD} = 100\Omega$)

パラメータ	条件	温度	テストレベル	専用サブグループ ^a	AD9630A/N/R/Q			AD9630S/Q/Z			単位
					Min	Typ	Max	Min	Typ	Max	
DC仕様											
出力オフセット電圧		$+25^\circ C$	I	1	-8	± 3	+8	-8	± 3	+8	mV
オフセット電圧TC		全温度範囲	IV		-25	± 8	+25	-25	± 8	+25	$\mu V/^\circ C$
入力バイアス電流		$+25^\circ C$	I	1	-25	± 2	+25	-25	± 2	+25	μA
バイアス電流TC		全温度範囲	IV		-100	± 20	+100	-100	± 20	+100	nA/ $^\circ C$
入力抵抗		$+25 \sim T_{max}$	II	1, 2	300	450		300	450		k Ω
入力抵抗		T_{min}	VI	3	150	250		150	250		k Ω
入力容量		$+25^\circ C$	V			1.0			1.0		pF
ゲイン	$V_{OUT} = 2V_{P-P}$	$+25 \sim T_{max}$	II	1, 2	0.983	0.990		0.983	0.990		V/V
ゲイン	$V_{OUT} = 2V_{P-P}$	T_{min}	VI	3	0.980	0.985		0.980	0.985		V/V
出力電圧範囲		全温度範囲	VI	1, 2, 3	$+3.2$	± 3.6	-3.2	$+3.2$	± 3.6	-3.2	V
出力電流 (50 Ω 負荷)		$+25 \sim T_{max}$	II	1, 2	50			50			mA
出力電流 (50 Ω 負荷)		T_{min}	VI	3	40			40			mA
出力インピーダンス		$+25^\circ C$	V			0.6			0.6		Ω
PSRR	DC $\Delta V_S = \pm 5\%$	全温度範囲	VI	4, 5, 6	44	55		44	55		dB
DC非直線性	フルスケール $\pm 2\%$	$+25^\circ C$	V			0.03			0.03		%
周波数特性											
帯域幅 (-3dB)											
小信号	$V_O \leq 0.7V_{P-P}$	$T_{min} \sim 25$	II	4, 6	400	750		400	750		MHz
小信号	$V_O \leq 0.7V_{P-P}$	T_{max}	II	5	330	550		330	550		MHz
大信号	$V_O = 5V_{P-P}$	$T_{min} \sim 25$	IV		80	120		80	120		MHz
大信号	$V_O = 5V_{P-P}$	T_{max}	IV		70	105		70	105		MHz
出力ピーク	$\leq 200MHz$	全温度範囲	II	4, 5, 6		0.4	1.2		0.4	1.2	dB
出力ロールオフ	$\leq 200MHz$	全温度範囲	II	4, 5, 6		0	0.3		0	0.3	dB
群遅延	DC $\sim 150MHz$	$+25^\circ C$	V			0.7			0.7		ns
位相偏移の直線性	DC $\sim 150MHz$	$+25^\circ C$	V			0.7			0.7		°
第2次高調波歪み	$2V_{P-P} : 4.3MHz$	全温度範囲	IV			-80	-74		-80	-74	dBc
	$2V_{P-P} : 20MHz$	全温度範囲	IV			-66	-59		-66	-59	dBc
	$2V_{P-P} : 60MHz$	全温度範囲	II	4, 5, 6		-52	-43		-52	-43	dBc
第3次高調波歪み	$2V_{P-P} : 4.3MHz$	全温度範囲	IV			-86	-79		-86	-79	dBc
	$2V_{P-P} : 20MHz$	全温度範囲	IV			-75	-68		-75	-68	dBc
	$2V_{P-P} : 60MHz$	全温度範囲	II	4, 6		-50	-43		-50	-43	dBc
	$2V_{P-P} : 60MHz$	$T_{min} \sim +25^\circ C$	II	5		-46	-40		-46	-40	dBc
	$2V_{P-P} : 60MHz$	T_{max}	II			-46	-40		-46	-40	dBc
スペクトル入力ノイズ電圧	10MHz	$+25^\circ C$	V			2.4			2.4		nV/ \sqrt{Hz}
出力ノイズ積分値	100kHz $\sim 200MHz$	$+25^\circ C$	V			32			32		μV
時間領域特性											
スルーレート	$V_{OUT} = 5V$ ステップ	$+25^\circ C$	IV		800	1200		800	1200		V/ μs
立ち上がり/立ち下り時間	$V_{OUT} = 1V$ ステップ	$T_{min} \sim +25$	IV			0.9	1.3		0.9	1.3	ns
	$V_{OUT} = 1V$ ステップ	T_{max}	IV			1.1	1.6		1.1	1.6	ns
	$V_{OUT} = 5V$ ステップ	$T_{min} \sim +25$	IV			3.9	5.4		3.9	5.4	ns
	$V_{OUT} = 5V$ ステップ	T_{max}	IV			4.5	6.1		4.5	6.1	ns
オーバーシュート	$V_{OUT} = 2V$ ステップ	全温度範囲	IV			2	12		2	12	%
セトリック時間											
0.1%	$V_{OUT} = 2V$ ステップ	$T_{min} \sim +25$	IV			5	8		5	8	ns
0.1%	$V_{OUT} = 2V$ ステップ	T_{max}	IV			7	12		7	12	ns
0.02%	$V_{OUT} = 2V$ ステップ	$T_{min} \sim +25$	IV			8	13		8	13	ns
0.02%	$V_{OUT} = 2V$ ステップ	T_{max}	IV			12	18		12	18	ns
微分ゲイン	4.4MHz	$+25^\circ C$	V			0.015			0.015		%
微分位相	4.4MHz	$+25^\circ C$	V			0.025			0.025		°
電源電流											
$V_{CC} (+I_S)$	$V_{CC} = +5V$	全温度範囲	II	1, 2, 3		19	26		19	26	mA
$V_{EE} (-I_S)$	$V_{EE} = -5V$	全温度範囲	II	1, 2, 3		19	26		19	26	mA

注

- 1) 絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。
- 2) 出力はグラウンドへの短絡に対し保護されていますが、電源に対しては保護されていません。グラウンドへの短絡が長引くとデバイスの信頼性に影響を与えます。
- 3) 熱抵抗の代表値は以下のとおりです。
 ミニDIP (N) : $\theta_{JA}=110^{\circ}\text{C/W}$, $\theta_{JC}=30^{\circ}\text{C/W}$
 サードチップ (Q) : $\theta_{JA}=110^{\circ}\text{C/W}$, $\theta_{JC}=20^{\circ}\text{C/W}$
 SOIC (R) : $\theta_{JA}=150^{\circ}\text{C/W}$, $\theta_{JC}=50^{\circ}\text{C/W}$
 セラミック・ガルウイング (Z) : $\theta_{JA}=100^{\circ}\text{C/W}$, $\theta_{JC}=20^{\circ}\text{C/W}$
- 4) 軍用サブグループは軍用のスクリーニングを受けたデバイスにのみ適用されます。

テスト・レベルの説明

- I 100%製造試験が行なわれています。
- II +25°Cにおいて100%の製造試験、および規定温度においてサンプリング試験が行なわれています。ANおよびARグレードのAC試験はサンプリング試験のみです。
- III サンプリング試験のみ行なわれています。
- IV パラメータは設計および特性試験で保証されています。
- V 代表値のみです。
- VI Sバージョンは上下限温度で100%の製造試験が行なわれています。拡張温度範囲デバイスについては、上下限温度で100%の製造試験が行なわれています。他のグレードに関しては、上下限温度でサンプリング試験が行なわれています。

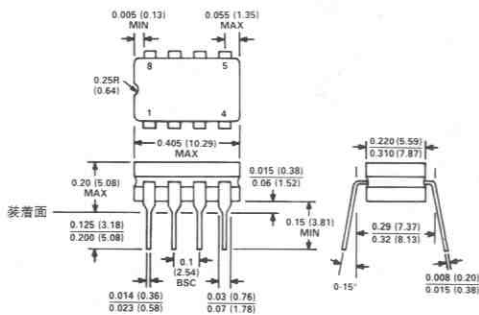
軍用サブグループの説明

- サブグループ 1 +25°Cにおけるスタティック試験
 (高信頼バージョンに関しては、サブグループ 1 に対し 5% PDA が計算されます)
- サブグループ 2 最大定格動作温度におけるスタティック試験
- サブグループ 3 最小定格動作温度におけるスタティック試験
- サブグループ 4 +25°Cにおけるダイナミック特性試験
- サブグループ 5 最大定格動作温度におけるダイナミック特性試験
- サブグループ 6 最小定格動作温度におけるダイナミック特性試験
- サブグループ 7 +25°Cにおける機能試験
- サブグループ 8 最小および最大定格動作温度における機能試験
- サブグループ 9 +25°Cにおけるスイッチング試験
- サブグループ 10 最大定格動作温度におけるスイッチング試験
- サブグループ 11 最小定格動作温度におけるスイッチング試験
- サブグループ 12 定期的なサンプリング試験

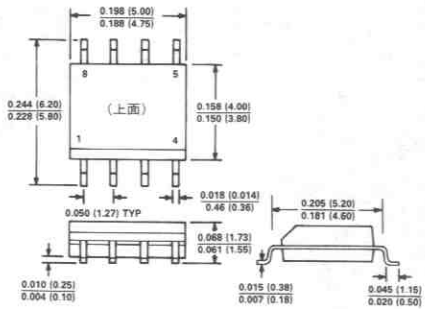
外形サイズ

サイズはインチと (mm) で示します。

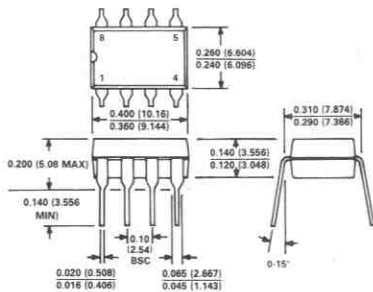
サードチップ (Q) パッケージ



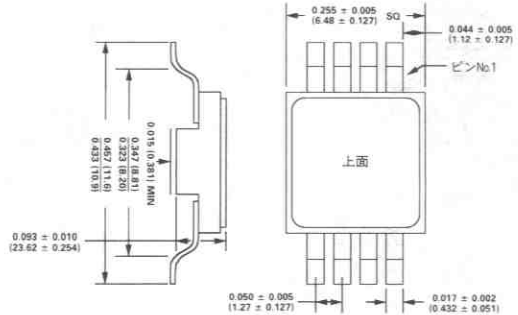
SOIC (R) パッケージ

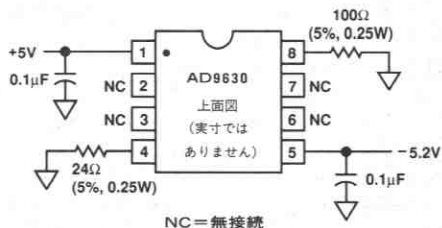


プラスチックDIP (N) パッケージ



セラミック・ガルウイング (Z) パッケージ





AD9630のバーンイン回路

動作原理

AD9630は新しい電圧帰還方式を使用した広帯域、クローズ・ループのユニティ・ゲイン・バッファです。この方式は広い帯域幅と高スルーレート、そして他の追従を許さないDC直線性を実現します。従来のほとんどの広帯域バッファはオープン・ループ方式を使用して広い帯域幅を実現していたため、低い負荷インピーダンスを駆動する場合にはDC直線性と周波数歪み特性を犠牲にしていました。AD9630の設計で採用された高ループ補正係数により、帯域幅を狭めることなしにDC直線性と歪み特性が大幅に改善されています。このことと高いスルーレートにより、広い周波数範囲で特に低い歪み特性が得られます。

AD9630は高速で高分解能のA/Dコンバータの駆動に最適です。AD9630の出力段は直列抵抗なしあるいは最少の抵抗で高速ADCをドライブできるように設計されています。出力ドライバに組み込まれた電流ブースタも低い歪み特性の実現に役立っています。

AD9630の出力の浮遊容量や負荷容量（7pF以上の場合）により、周波数のピーキングが現われます。バッファ出力と容量性負荷との間に接続された小さな直列抵抗（ R_s ）により、この影響を打ち消すことができます。図1に最も平坦な周波数特性を得るための R_s の最適値を C_L との関数として示します。図2に最適の R_s を使用した場合の各種の容量性負荷に対する周波数特性を示します。

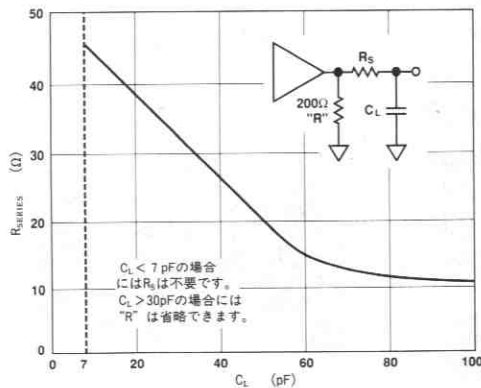


図1. C_L に対する推奨 R_s

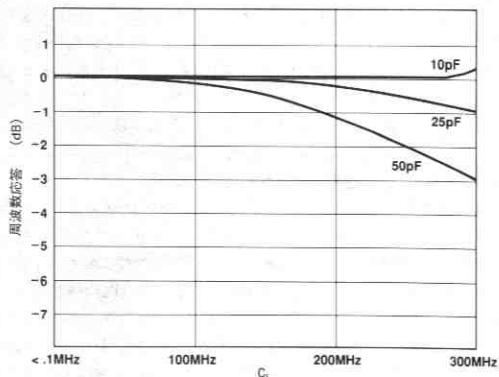


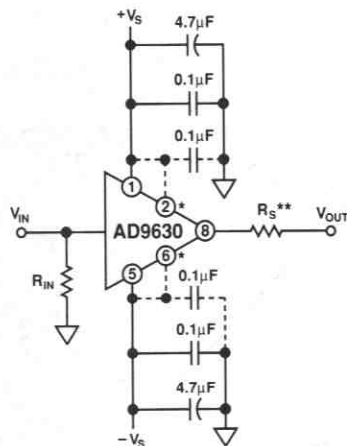
図2. 推奨値 R_s における C_L と周波数応答の関係

パルス・モードの応用では、約12Ωの R_s で50pFまでの容量性負荷をセトリング時間の低下を最小にしながら駆動できます。

出力段はグラウンドへの短絡に対し保護されています。出力ドライバは瞬間的なシンクまたはソース電流がおおよそ130mAに達するとシャットダウンします。この電流により大きな容量性負荷を高いスルーレートで駆動しているとき出力のクリッピングが起こらないことが保証されますが、70mA以上の平均負荷電流は素子の信頼性を劣化させます。

レイアウトについて

AD9630は高い周波数での動作を行なうため、最適のダイナミック特性を実現するには基板配置に関する配慮が必要です。基板の上面に銅のグラウンド・プレーンを置くことをお奨めします。このグラウンド・プレーンは電源デカップリング・コンデンサや負荷、信号源終端抵抗などのため適切な端子部を持ちながら基板を出来る限り覆うことが必要です（図3参照）。



*ピン配置を参照。 **図1を参照。

図3. AD9630の応用回路

表面実装型の0.1 μ Fのセラミック・チップ・コンデンサによる電源デカップリング・コンデンサを素子のピンから50mil以内に配置し、もう片方をグラウンド・プレーンに直接ハンダ付けすることにより最速のセトリング時間とAC特性を得ることができます。高精度で(<0.02%)最良のセトリング時間を得るためには、オプションの電源ピンを先に述べたようにデカップリングします。オプションの電源ピンを使用しない場合には無接続のままにしておきます。

表面実装型のコンデンサが使用できない場合には30mil以下のリード長のラジアル・リードのセラミック・コンデンサの使用をお奨めします。低い周波数帯域の電源デカップリングも必要で、4.7 μ Fのタンタル・コンデンサを電源ピンから0.5インチ以内に接続します。これらのコンデンサの直列インダクタンスと0.1 μ Fのコンデンサとの相互の影響のため素子の出力に高周波の発振が現われることがあります。この現象を避けるため、(もし可能ならば)電源の配線を密に撚り合わせます。タンタル・コンデンサとセラミック・コンデンサとの間にフェライト・ビーズを入れることによっても同様の効果を期待できます。

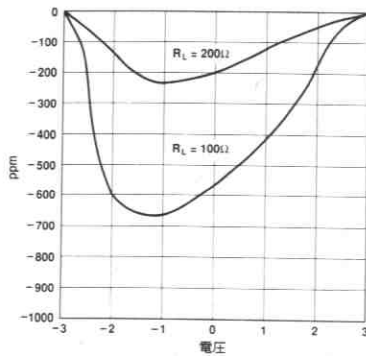
使用しないピン(オプションの電源ピンを除く)はグラウンドへ

接続し、ピン間の容量結合を減少させ、外部からの高周波信号の回り込みを防ぎます。信号源と駆動回路が「広間隔」(AD9630から1インチ以上の距離)動作を必要とするときには、基板上の信号経路のインピーダンスをバッファの入出力抵抗に整合させなければなりません。これには基本的なマイクロストリップ技術を用います。 R_{IN} と R_S はAD9630にできる限り近い位置で接続します。

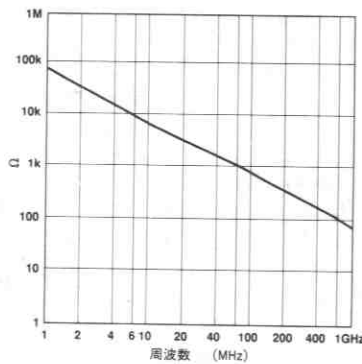
AD9630は出力終端抵抗(R_S)なしに最小のオーバシュートとリング特性で、終端されたケーブルを直接駆動することができます。終端抵抗(R_S と R_{IN})は通常の炭素抵抗または高周波型のどちらかを 사용합니다。特性インピーダンスの整合のため、1%かそれ以上の誤差の精密高周波抵抗を推奨します。

AD9630はできるだけ小さな間隙を残して基板に直接ハンダ付けします。ピンのインダクタンスの影響が大きいため、ゼロ・インサーション・ソケットを使用してはいけません。この型のソケットを使用するとピーキングが発生し、発振を引き起こす可能性があります。評価ボードAD9630/PCBの供給に関しては弊社にお問い合わせください。

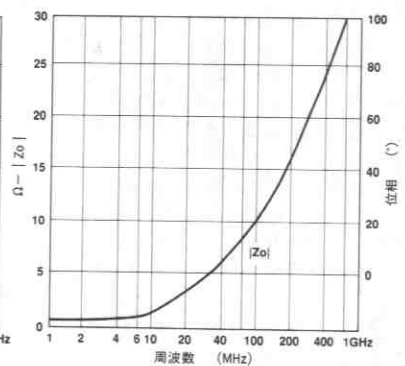
代表的特性図



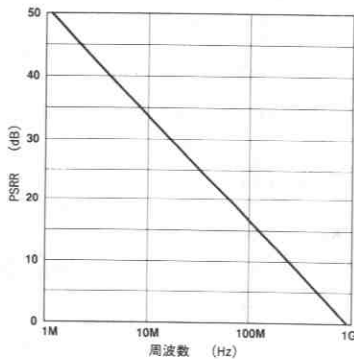
エンド・ポイントDC直線性誤差



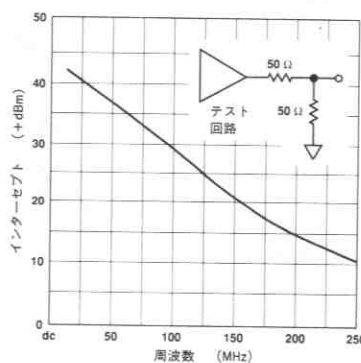
入力インピーダンス



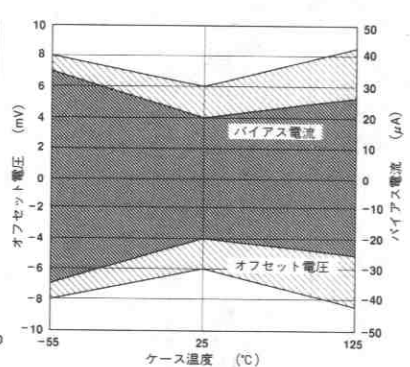
出力インピーダンス



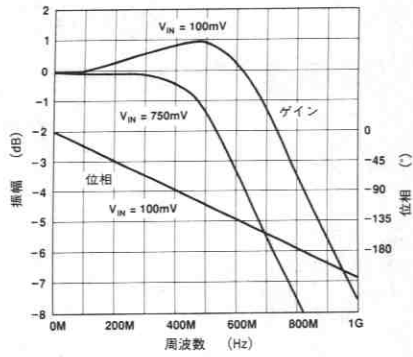
PSRRの周波数特性



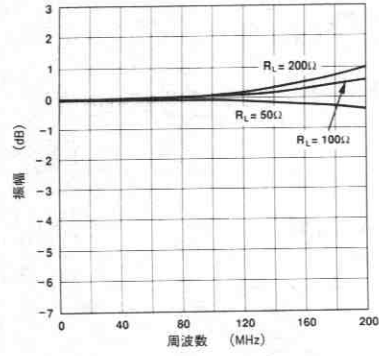
2 トーン相互変調歪み



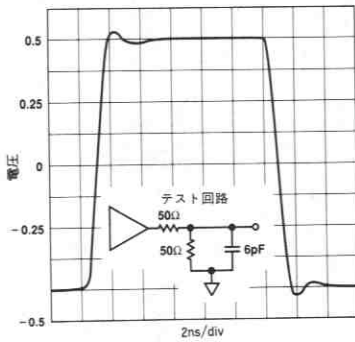
オフセット電圧とバイアス電流の温度特性



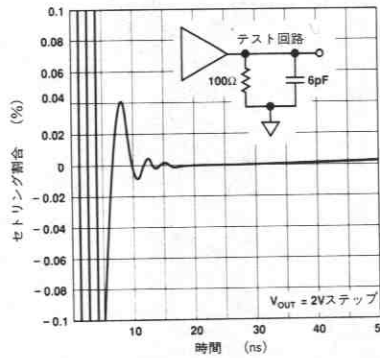
フォワード・ゲインと位相



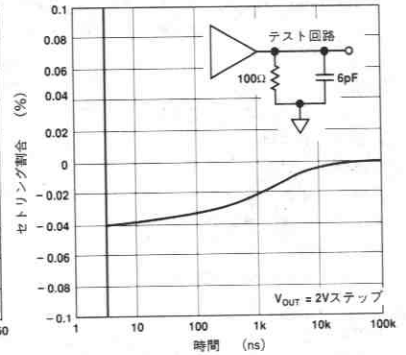
周波数応答と R_{LOAD} の関係



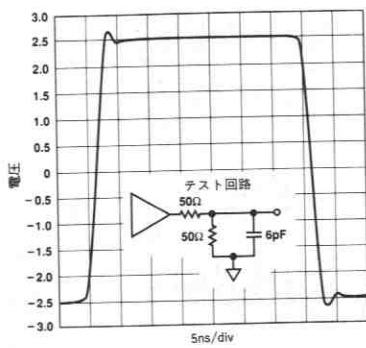
小信号パルス応答



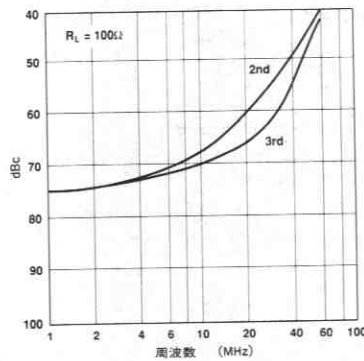
短期セットリング時間



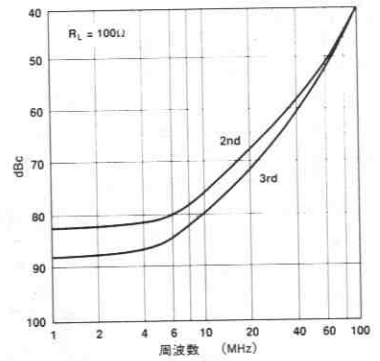
長期セットリング時間



大信号パルス応答



高調波歪み、 $V_{OUT} = 4Vp-p$



高調波歪み、 $V_{OUT} = 2Vp-p$

特長

業界標準SO-8パッケージで高精度動作

低オフセット電圧：50 μ V max

低オフセット電圧ドリフト：0.6 μ V/ $^{\circ}$ C max

超低バイアス電流：

100pA max (+25 $^{\circ}$ C)

450pA max (-55 \sim +125 $^{\circ}$ C)

超高オープン・ループ・ゲイン：2000V/mV min

低い電源電流（アンプ1個あたり）：625 μ A max

± 2 V \sim ± 20 V 電源動作

高い同相除去比：120dB min

LT1013、AD706、AD708、OP-221、LM158、MC1458/MC1558と
ピン・コンパチブルで性能グレードアップ

応用

ストレインゲージおよびブリッジ・アンプ

高安定性熱電対アンプ

計装用アンプ

光電流モニタ

高ゲイン直線性アンプ

長期積分器/フィルタ

サンプル・ホールド・アンプ

ピーク・ディテクタ

対数アンプ

バッテリー駆動システム

概要

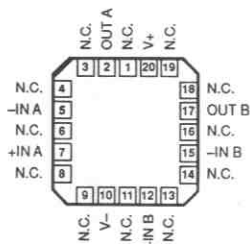
OP-297は高精度性能を省スペース対応の業界標準8ピンSOパッケージで実現した最初のデュアル・オペアンプです。この製品は高精度と低消費電力性能を備え、極めて低い入力バイアス電流性能を備えており、広範囲の応用に使用することができます。

OP-297は50 μ V以下の超低オフセット電圧と0.6 μ V/ $^{\circ}$ C以下の低ドリフト性能を備えています。2000V/mVを越すオープン・ループ・ゲインによって、あらゆる応用での高い直線性が保証されています。同相信号による誤差は、OP-297のもつ120dB以上の同相除去比によって除去できます。OP-297の電源変動除去比は120dB以上で、バッテリー駆動システムで見られるオフセット電圧変動を最小限に抑えることができます。OP-297の電源電流は、アンプ1個あたり625 μ A以下で、 ± 2 Vという低い電源電圧での動作が可能です。

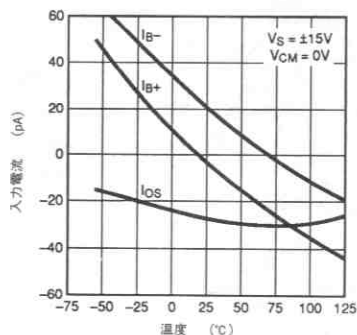
ピン配置



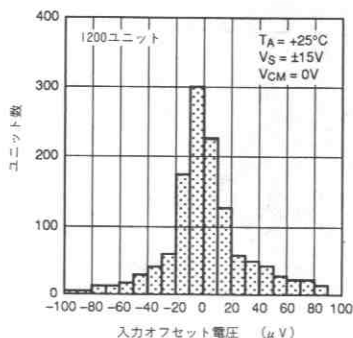
プラスチック・ミニDIP
(Pサフィックス)
8ピン・サーディップ
(Zサフィックス)
8ピンSOP
(Sサフィックス)



LCC
(RCサフィックス)



バイアス電流の温度特性



超低オフセット

OP-297はスーパーβ入力段とバイアス電流キャンセル機構を採用しており、全温度範囲でpAオーダーのバイアス電流を維持します。これは、+25°Cでのバイアス電流がpAオーダーであるものの、10°Cの上昇毎に倍増し+85°C以上ではnAオーダーとなってしまうFET入力オペアンプとは対照的です。OP-297の入力バイアス電流は25°Cで100pA以下で、全軍用温度範囲では450pA以下です。

高精度、低消費電力、低バイアス電流の組み合わせにより、OP-297は計装用アンプ、対数アンプ、フォトダイオード・ブリアンプ、長期積分器などのさまざまな応用に最適です。シングル構成のデバイスについてはOP-97、クワッド構成についてはOP-497のデータシートを参照してください。

オーダ・ガイド²⁾

T _A = +25°C	パッケージ			動作温度範囲
	サーディップ 8ピン	プラスチック 8ピン	LCC 20接点	
V _{OS} max (μV)	OP297AZ/883 ¹⁾	—	OP297ARC/883 ¹⁾	MIL
50	OP297AZ	—	—	MIL
50	OP297EZ	—	—	MIL
100	OP297FZ	OP297FP	—	XIND
200	—	OP297GP	—	XIND
200	—	OP297GS ³⁾	—	XIND

1. MIL-STD-883プロセス準拠製品の販売が可能です。オーダの際、部品番号の後に“/883”を付記してください。
2. サーディップ、プラスチックDIPの拡張温度範囲製品についてはバーニンイン処理が可能です。
3. SOパッケージの販売とバーニンインに関してはお問合わせください。

絶対最大定格¹⁾

電源電圧	±20V
入力電圧 ²⁾	±20V
差動入力電圧 ²⁾	40V
出力短絡時間	無制限
保管温度範囲	
Z、RCパッケージ	-65~+175°C
P、Sパッケージ	-65~+150°C
動作温度範囲	
OP-297A (Z、RC)	-55~+125°C
OP-297E、F (Z)	-40~+85°C
OP-297F、G (P、S)	-40~+85°C
接合温度範囲	
Z、RCパッケージ	-65~+175°C
P、Sパッケージ	-65~+150°C
リード温度 (ハンダ付け、60秒間)	300°C

パッケージ・タイプ	θ _{JA} ³⁾	θ _{JC}	単位
8ピン・サーディップ (Z)	134	12	°C/W
8ピン・プラスチックDIP (P)	96	37	°C/W
20接点LCC (RC)	88	33	°C/W
8ピンSO (S)	150	41	°C/W

注

1. 特に指定のない限り、絶対最大定格はパッケージ部品とDICEの両方に適用されます。
2. ±20V以下の電源電圧では、絶対最大入力電圧は電源電圧と等しくなります。
3. θ_{JA}は最悪の実装条件について仕様で規定されています。すなわち、サーディップ、プラスチックDIPおよびLCCパッケージについてはソケットに装着した状態、SOパッケージについてはプリント回路基板にハンダ付けた状態で仕様で規定されています。

電気的特性

(特に指定のない限り、V_S = ±15V、T_A = +25°C)

パラメータ	記号	条件	OP-297A/E			OP-297F			OP-297G			単位
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
入力オフセット電圧	V _{OS}		25	50		50	100		80	200		μV
入力電圧長期安定性			0.1			0.1			0.1			μV/月
入力オフセット電流	I _{OS}	V _{CM} = 0V	20	100		35	150		50	200		pA
入力バイアス電流	I _B	V _{CM} = 0V	20	±100		35	±150		50	±200		pA
入力ノイズ電圧	e _{np-p}	0.1Hz~10Hz	0.5			0.5			0.5			μVp-p
入力ノイズ電圧密度	e _n	f _o = 10Hz f _o = 1000Hz	20 17			20 17			20 17			nV/√Hz
入力ノイズ電流密度	i _n	f _o = 10Hz	20			20			20			fA/√Hz
入力抵抗 (差動モード)	R _{IN}		30			30			30			MΩ
(同相モード)	R _{INCM}		500			500			500			GΩ
大信号電圧ゲイン	AV _o	V _o = ±10V R _L = 2kΩ	2000	4000		1500	3200		1200	3200		V/mV
入力電圧範囲	IVR	(注1)	±13	±14		±13	±14		±13	±14		V
同相除去比	CMR	V _{CM} = ±13V	120	140		114	135		114	135		dB
電源変動除去比	PSR	V _S = ±2~±20V	120	130		114	125		114	125		dB
出力電圧振幅	V _o	R _L = 10kΩ R _L = 2kΩ	±13 ±13	±14 ±13.7		±13 ±13	±14 ±13.7		±13 ±13	±14 ±13.7		V
電源電流 (アンプ1個あたり)	I _{SV}	無負荷時	525	625		525	625		525	625		μA

パラメータ	記号	条件	OP-297A/E			OP-297F			OP-297G			単位
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
電源電圧	V_s	動作範囲	±2		±20	±2		±20	±2		±20	V
スルー・レート	SR		0.05	0.15		0.05	0.15		0.05	0.15		V/ μ s
ゲイン帯域幅積	GBWP	$A_v = +1$	500			500			500			kHz
チャンネル・セパレーション	CS	$V_o = 20V_{P-P}$ $f_o = 10\text{Hz}$	150			150			150			dB
入力容量	C_{IN}		3			3			3			pF

注)

1. CMRテストにより保証。

電気的特性

(特に指定のない限り、OP-297Aについて、 $V_s = \pm 15V$ 、 $-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$)

パラメータ	記号	条件	OP-297A			単位
			Min	Typ	Max	
入力オフセット電圧	V_{OS}		45	100		μ V
平均入力オフセット電圧ドリフト	TCV_{OS}		0.2	0.6		μ V/ $^\circ\text{C}$
入力オフセット電流	I_{OS}	$V_{CM} = 0V$	60	450		pA
入力バイアス電流	I_B	$V_{CM} = 0V$	60	±450		pA
大信号電圧ゲイン	A_{VO}	$V_o = \pm 10V$ $R_L = 2k\Omega$	1200	2700		V/mV
入力電圧範囲	IVR	(注1)	±13	±13.5		V
同相除去比	CMR	$V_{CM} = \pm 13V$	114	130		dB
電源変動除去比	PSR	$V_s = \pm 2.5 \sim \pm 20V$	114	125		dB
出力電圧振幅	V_o	$R_L = 10k\Omega$	±13	±13.4		V
電源電流(アンプ1個あたり)	I_{SY}	無負荷時	575	750		μ A
電源電圧	V_s	動作範囲	±2.5		±20	V

注)

1. CMRテストにより保証。

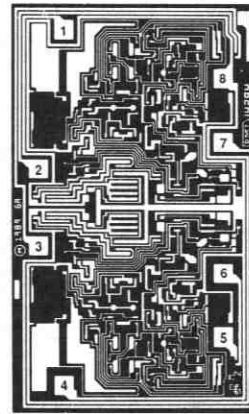
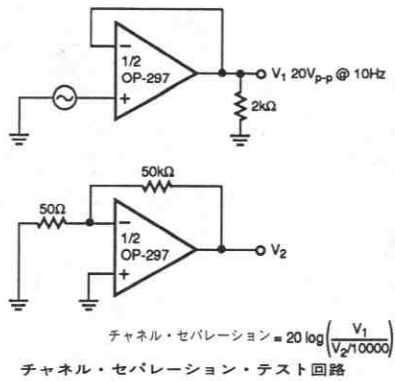
電気的特性

(特に指定のない限り、OP-297E/F/Gについて、 $V_s = \pm 15V$ 、 $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$)

パラメータ	記号	条件	OP-297E			OP-297F			OP-297G			単位
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
入力オフセット電圧	V_{OS}		35	100		80	300		110	400		μ V
平均入力オフセット電圧ドリフト	TCV_{OS}		0.2	0.6		0.5	2.0		0.6	2.0		μ V/ $^\circ\text{C}$
入力オフセット電流	I_{OS}	$V_{CM} = 0V$	50	450		80	750		80	750		pA
入力バイアス電流	I_B	$V_{CM} = 0V$	50	±450		80	±750		80	±750		pA
大信号電圧ゲイン	A_{VO}	$V_o = \pm 10V$ $R_L = 2k\Omega$	1200	3200		1000	2500		800	2500		V/mV
入力電圧範囲	IVR	(注1)	±13	±13.5		±13	±13.5		±13	±13.5		V
同相除去比	CMR	$V_{CM} = \pm 13V$	114	130		108	130		108	130		dB
電源変動除去比	PSR	$V_s = \pm 2.5 \sim \pm 20V$	114	0.15		108	0.15		108	0.3		dB
出力電圧振幅	V_o	$R_L = 10k\Omega$	±13	±13.4		±13	±13.4		±13	±13.4		V
電源電流(アンプ1個あたり)	I_{SY}	無負荷時	550	750		550	750		550	750		μ A
電源電圧	V_s	動作範囲	±2.5		±20	±2.5		±20	±2.5		±20	V

注)

1. CMRテストにより保証。



1. OUT A
2. -IN A
3. +IN A
4. V-
5. +IN B
6. -IN B
7. OUT B
8. V+

ダイ・サイズ : 0.071 × 0.114 インチ、8,094 平方mil
(1.80 × 2.90mm、5.22 平方mm)

ダイス仕様

ウエハ・テスト・リミット (特に指定のない限り、 $V_S = \pm 15V$ 、 $T_A = +25^\circ C$)

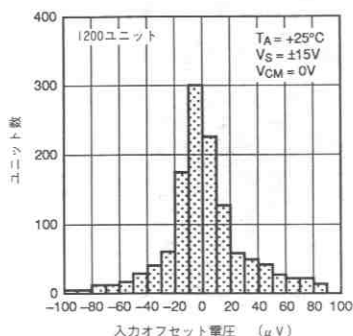
パラメータ	記号	条件	OP-297GBC リミット値	単位
入力オフセット電圧	V_{OS}		200	μV max
入力オフセット電流	I_{OS}	$V_{CM} = 0V$	200	pA max
入力バイアス電流	I_B	$V_{CM} = 0V$	± 200	pA max
大信号電圧ゲイン	A_{VO}	$V_O = \pm 10V$ 、 $R_L = 2k\Omega$	1200	V/mV min
入力電圧範囲	IVR	(注1)	± 13	V min
同相除去比	CMR	$V_{CM} = \pm 13V$	114	dB min
電源変動除去比	PSR	$V_S = \pm 2 \sim \pm 18V$	114	dB min
出力電圧振幅	V_O	$R_L = 10k\Omega$ $R_L = 2k\Omega$	± 13 ± 13	V min
電源電流 (アンプ1個あたり)	I_{SV}	無負荷時	625	μA max

注)

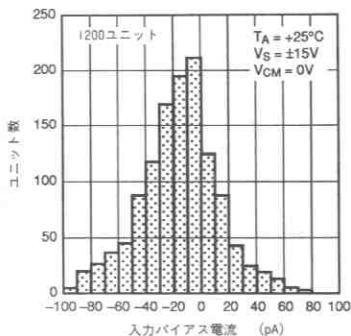
1. CMRテストによって保証。

電気的テストはウエハ・プローブで上記のリミット値に対して行われます。パッケージング後の歩留りは、アセンブリの方法と通常の歩留り損失によって変動するため、標準製品のダイスでは保証されません。

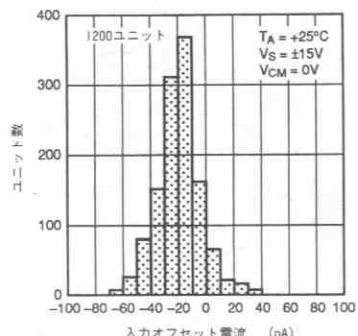
代表的特性



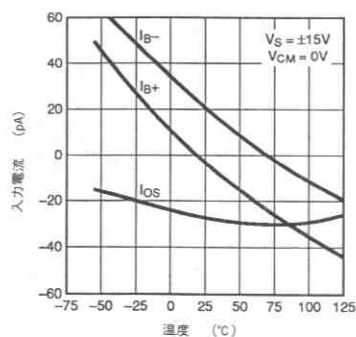
入力オフセット電圧の代表分布



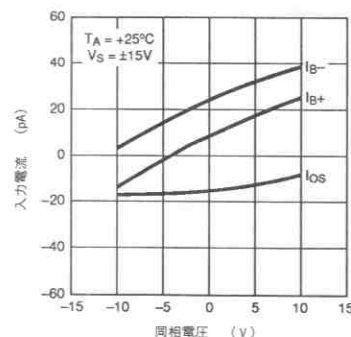
入力バイアス電流の代表分布



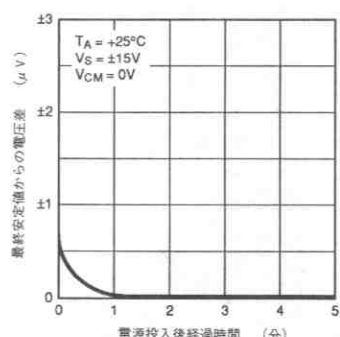
入力オフセット電流の代表分布



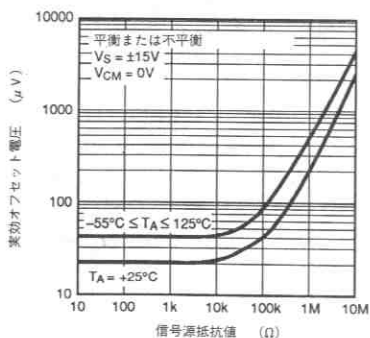
入力バイアス、オフセット電流対温度



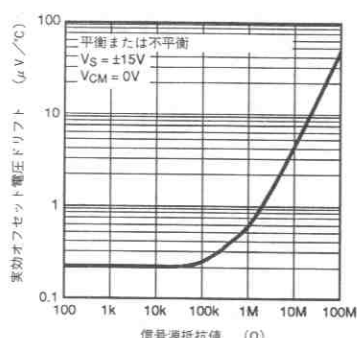
入力バイアス、オフセット電流対同相電圧



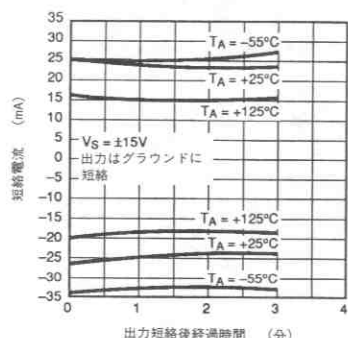
入力オフセット電圧のウォームアップ・ドリフト



実効オフセット電圧対信号源抵抗

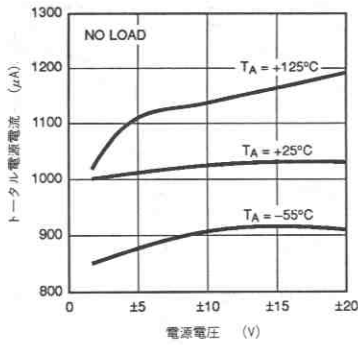


実効TCV₀₅対信号源抵抗

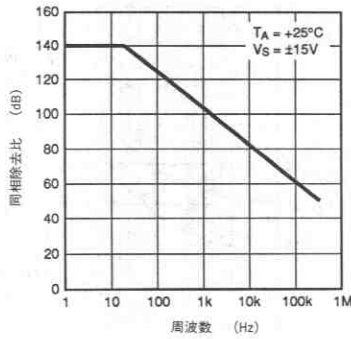


短絡時電流対時間および温度

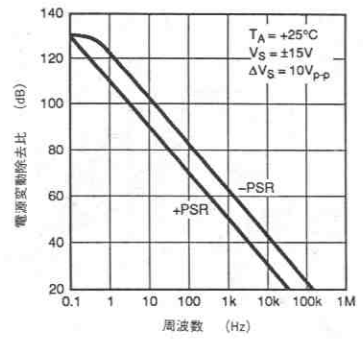
代表的特性



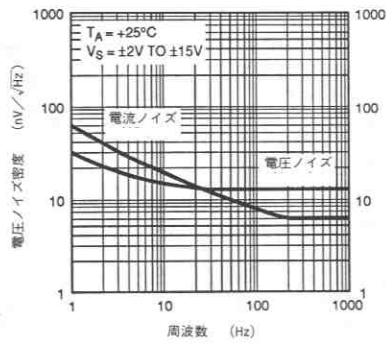
トータル電源電流対電源電圧



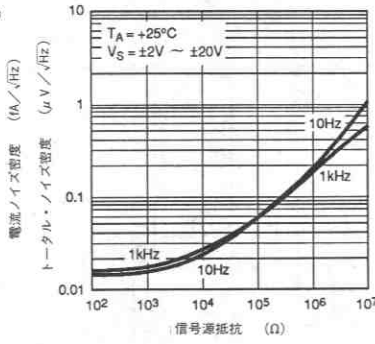
同相除去比対周波数



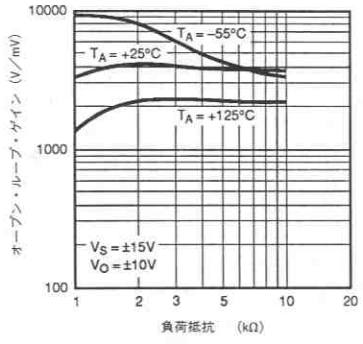
電源変動除去比対周波数



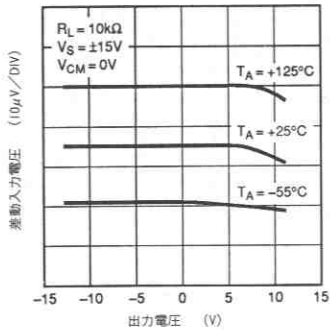
ノイズ密度対周波数



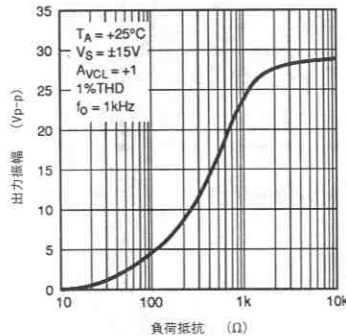
トータルノイズ密度対信号源抵抗



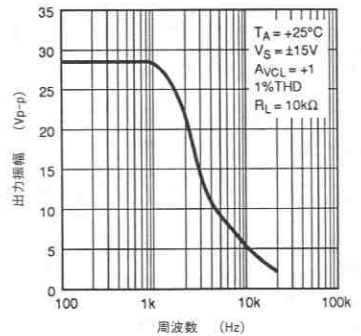
オープン・ループ・ゲイン対負荷抵抗



オープン・ループ・ゲイン直線性

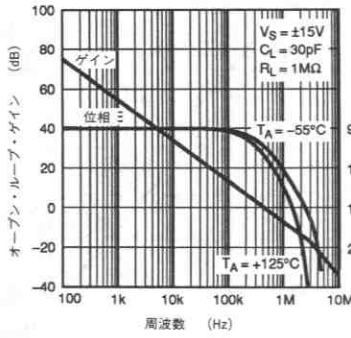


最大出力振幅対負荷抵抗

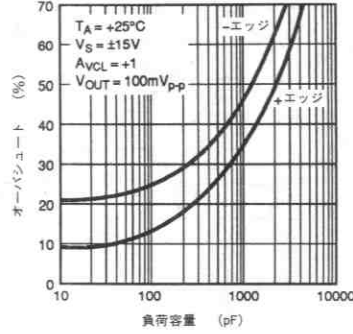


最大出力振幅対周波数

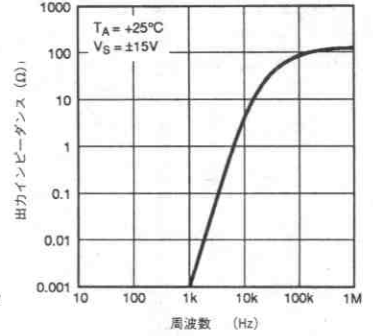
代表的特性



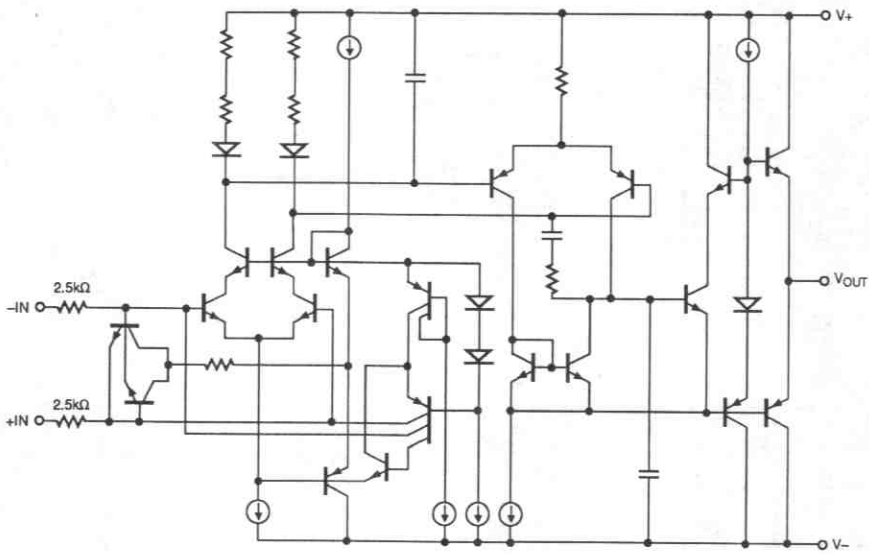
オープン・ループ・ゲイン、位相対周波数



小信号オーバーシュート対負荷容量



オープン・ループ出力インピーダンス対周波数



OP-297等価回路図 (1個のアンプのみを図示しています)

使用上の説明

OP-297は軍用温度範囲の全域において、非常に低いバイアス電流で動作するため、広い温度範囲での動作が要求されるサンプル・ホールド・アンプ、ピーク・ディテクタおよび対数アンプでの使用に最適です。OP-297では、入力抵抗のバランスは必ずしも必要ではありません。バランスがとれていない場合であっても、高い信号源抵抗によるオフセット電圧とTCV_{OS}の劣化はわずかです。

OP-297の入力ピンは、「バック・バック」ダイオードと電流制限抵抗によって大きな差動電圧から保護されています。入力における同相電圧は制限されておらず、使用する電源電圧のフルレンジまで変化させることができます。

OP-297は電源ラインにほとんどヘッドルームを必要とせず、±2Vの低い電源電圧の動作が規定されています。標準的に、同相電圧範囲はどちらかのラインの1V以内まで拡張することができます。標準的な出力スイングは10kΩの負荷に対してラインの1V以内です。

AC特性

OP-297のAC特性は動作温度範囲のすべてにおいて十分に安定しています。図1に、ユニティ・ゲインでの小信号過渡応答特性を示します。出力における容量性負荷に対する許容度は非常に高いため、OP-297は1000pFの負荷に対してさえ優れた応答特性を示します(図2)。

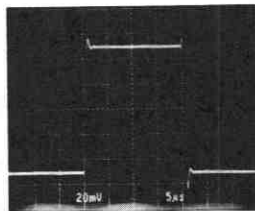


図1. 小信号過渡応答 ($C_{LOAD}=100\text{pF}$, $A_{VCL}=+1$)

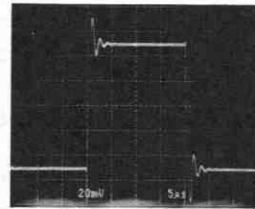


図2. 小信号過渡応答 ($C_{LOAD}=1000\text{pF}$, $A_{VCL}=+1$)

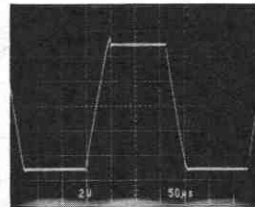


図3. 大信号過渡応答 ($A_{VCL}=+1$)

ガードとシールド

OP-297の極めて高い入力インピーダンスを維持するために、回路基板のレイアウトと製作に注意を払う必要があります。基板の表面はできる限りきれいにし、湿気を取除きます。そして湿気から守るためのコーティングを行ってください。きれいなプリント回路基板であっても、隣接する信号トレース間には100pAの漏れ電流が流れることもあるため、入力の周囲にガード・リングを用いる必要があります。図4に示すように、ガード・トレースにはガードを行う入力に近い電圧を与えます。これによって、漏れ電流は最小となります。非反転の応用では、ガード・リングは反転入力において同相電圧に接続します。反転の応用では、両入力グラウンド・レベルであるため、ガード・トレースもまたグラウンドに接続します。ガード・トレースは、回路基板の両面に設けてください。

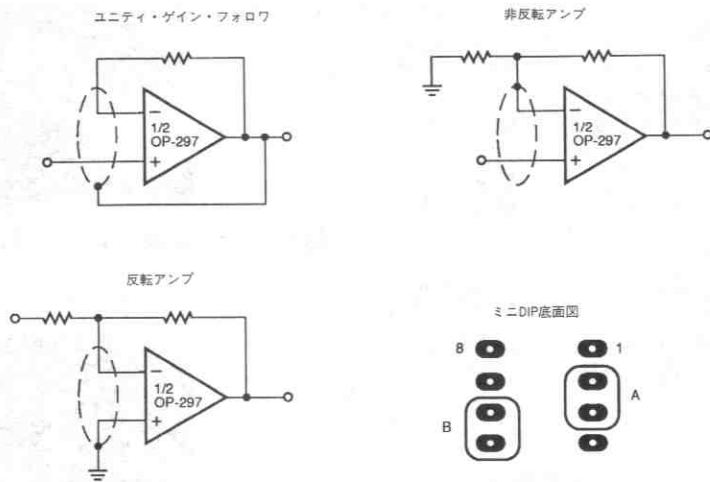


図4. ガード・リングのレイアウトと接続

オープン・ループ・ゲイン直線性

OP-297は、極めて高い $2000\text{V}/\text{mV}$ minのゲインと、一定したゲイン直線性を兼備しています。これによって、OP-297の精度が向上し、高いクローズ・ループ・ゲインでの応用に対して非常に高い精度が得られます。図5に、軍用温度範囲でのOP-297の標準的なオープン・ループ・ゲイン直線性を示します。

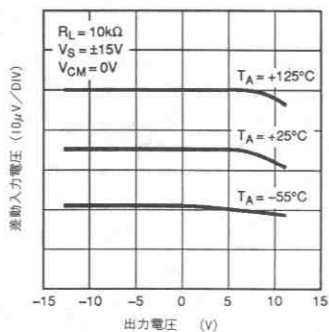


図5. OP-297のオープン・ループ直線性

応用

高精度絶対値アンプ

図6に示す回路は、 $30\text{M}\Omega$ の入力インピーダンスを備えた高精度絶対値アンプです。OP-297の高いゲインと低い TCV_{os} により、 μV オーダーの入力信号に対する正確な動作が保証されます。この回路では、入力は常にオペアンプの同相電圧信号として現われます。OP-297の CMR は 120dB 以上で、誤差は 2ppm 以下となります。

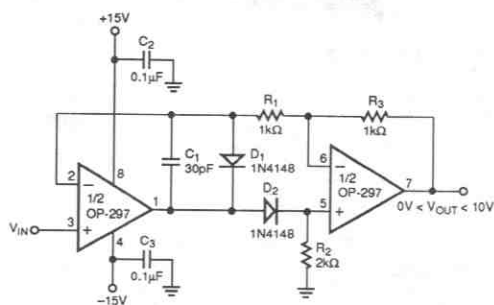


図6. 高精度絶対値アンプ

高精度電流ポンプ

図7に示す高精度電流ポンプの最大出力電流は±10mAです。±15V電源での電圧コンプライアンスは±10Vです。電流トランスミッタの出力インピーダンスは3MΩ以上で、直線性は16ビット以上です。

高精度ポジティブ・ピーク・ディテクタ

図8のC_Hには、誘電体吸収および漏れ電流を最小にするために、ポリスチレン、テフロンまたはポリエチレンのコンデンサを用います。C_HとOP-297のバイアス電流の大きさによってドレーブ・レートが決まります。

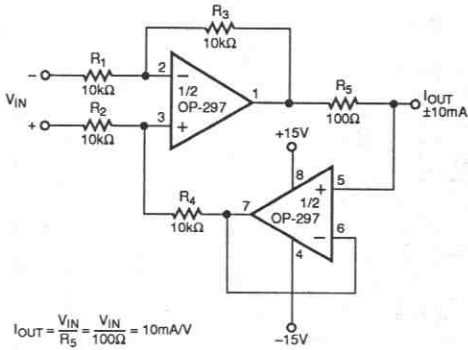


図7. 高精度電流ポンプ

簡単なブリッジ調整アンプ

図9に、OP-297を用いた簡単なブリッジ調整アンプを示します。伝達関数は次式のようにになります。

$$V_{OUT} = V_{REF} \left(\frac{\Delta R}{R + \Delta R} \right) \frac{R_F}{R}$$

REF-43は、正確で安定したリファレンス電圧をブリッジに供給します。この回路の最高の精度を得るために、R_Fには許容誤差が0.1%またはそれよりも良好で、温度係数の低いものを用います。

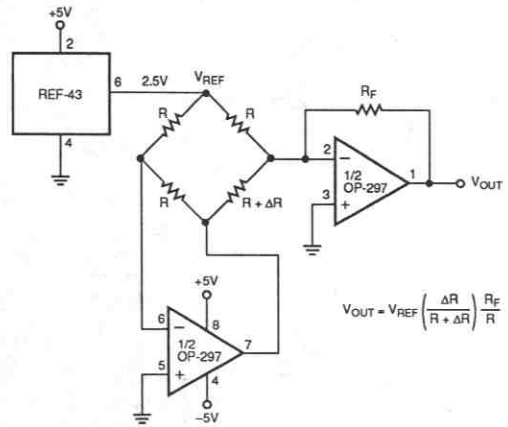


図9. OP-297を用いた簡単なブリッジ調整アンプ

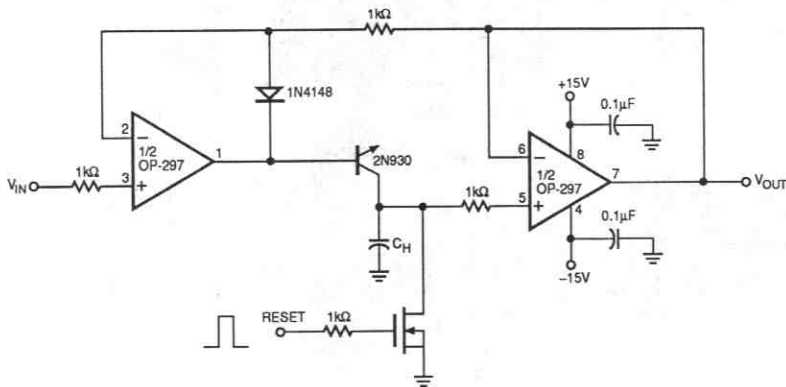


図8. 高精度ポジティブ・ピーク・ディテクタ

非線形アンプ

OP-297の入力バイアス電流が低いことから、図10、11に示すような2乗回路、平方根回路などの非線形回路での対数アンプに理想的です。例として図10の2乗回路を取り上げます。まず、トランジスタQ1、Q2、Q3およびQ4の両端での電圧ループ方程式を示します。

$$V_{T1}\ln\left(\frac{I_{IN}}{I_{S1}}\right) + V_{T2}\ln\left(\frac{I_{IN}}{I_{S2}}\right) = V_{T3}\ln\left(\frac{I_0}{I_{S3}}\right) + V_{T4}\ln\left(\frac{I_{REF}}{I_{S4}}\right)$$

トランジスタはすべてMAT-04で、正確にマッチングし、同一温度で動作しています。したがって、 I_S および V_T はキャンセルされ、次式を得ます。

$$2\ln I_{IN} = \ln I_0 + \ln I_{REF} = \ln(I_0 \times I_{REF})$$

式の両側の指数をとることにより、

$$I_0 = \frac{(I_{IN})^2}{I_{REF}}$$

オペアンプA₂は、 $V_{OUT} = R_2 \times I_0$ にしたがって動作する電流-電圧コンバータとなります。 (V_{IN}/R_1) を I_{IN} と置き換え、上の式の I_0 に与えることにより、

$$V_{OUT} = \left(\frac{R_2}{I_{REF}}\right) \left(\frac{V_{IN}}{R_1}\right)^2$$

が得られます。

同様の解析を図11の平方根回路に適用することにより、以下の伝達関数が得られます。

$$V_{OUT} = R_3 \sqrt{\frac{V_{IN}(I_{REF})}{R_1}}$$

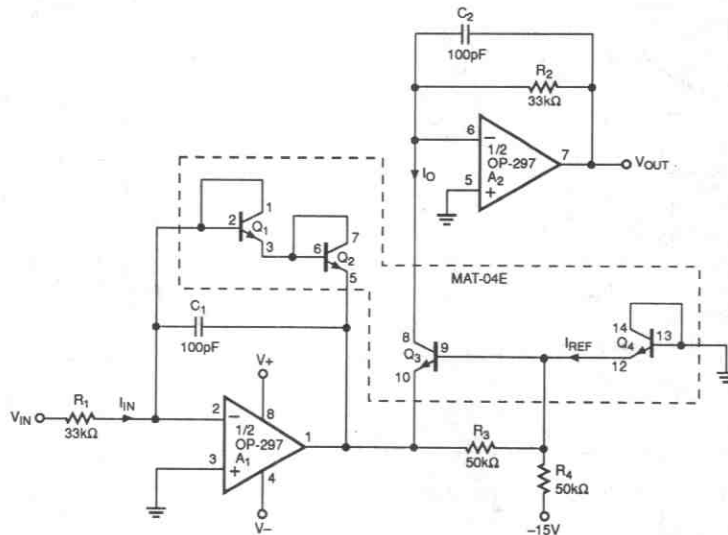


図10. 2乗回路

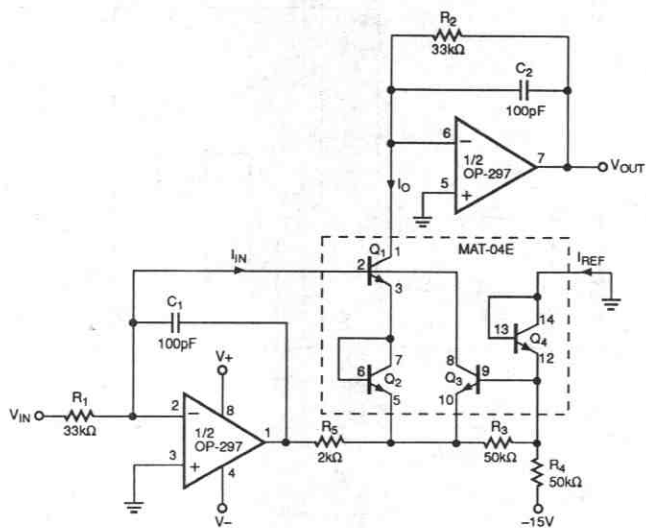


図11. 平方根回路

これらの回路では、 I_{REF} は負の電源の関数となります。精度を得るためには負の電源は十分に安定化しておく必要があります。非常に高い精度が要求される応用では、 I_{REF} の設定に電圧リファレンスを用います。2乗回路に関して配慮すべき重要な点は、十分に大きな入力電圧によって、出力オペアンプの動作範囲を越える出力が生成される可能性があることです。そのために、抵抗 R_4 の変更によって I_{REF} のスケールリングを変更したり、あるいは出力電圧を使用可能な範囲とするために R_1 および R_2 を変更することができます。

平方根回路の未調整時の精度は、100mVから10Vの入力電圧範囲について0.1%よりも良好です。同様の入力電圧範囲での自乗回路の精度は0.5%よりも良好です。

OP-297 SPICEマクロモデル

図12および13は、OP-297のSPICEマクロモデルのためのノードおよびネット・リストです。このモデルは、実際のデバイスよりも単純化されており、重要なDCパラメータである V_{OS} 、 I_{OS} 、 I_B 、 A_{VO} 、 CMR 、 V_o および I_{SY} などのシミュレートに用います。スルー・レート、ゲイン、位相応答および CMR の周波数変動などのACパラメータについてもこのモデルでシミュレートします。

このモデルはOP-297の標準的なパラメータを用いています。モデル内のポールとゼロは、OP-297の実際のオープン・ループおよびクローズ・ループ・ゲイン、位相応答から決定されています。これによって、このモデルは実際のデバイスのAC特性を正確に表現します。このモデルでは、周囲温度を25°Cに想定しています。

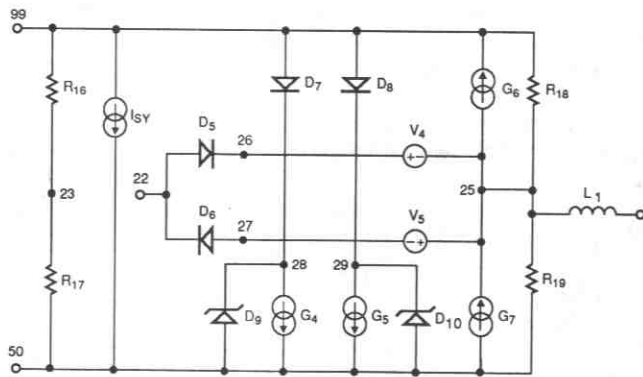
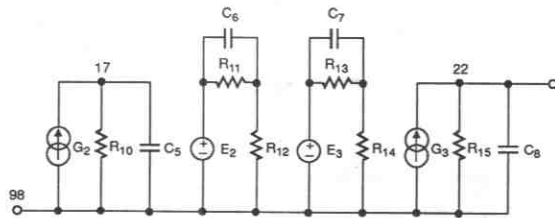
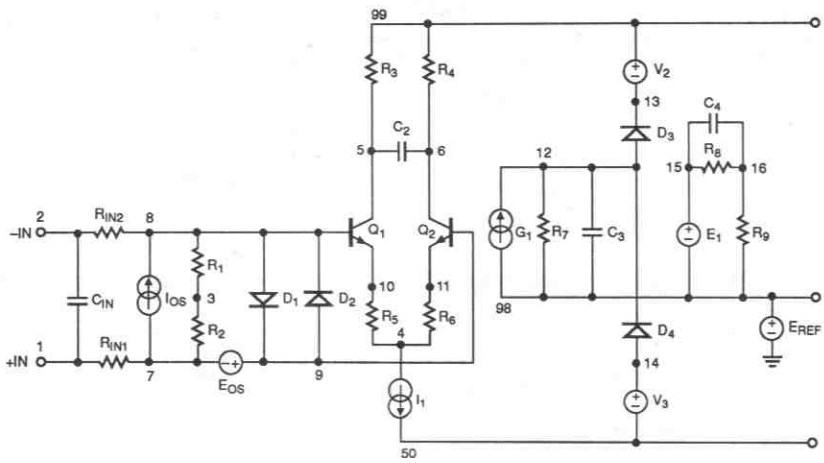
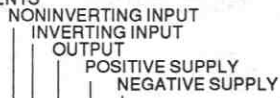


図12. OP-297マクロモデル

* OP-297 SPICE MACRO-MODEL © PMI 1990

* NODE ASSIGNMENTS



* SUBCKT OP-297 1 2 30 99 50

* INPUT STAGE & POLE AT 6 MHZ

```
RIN1 1 7 2500
RIN2 2 8 2500
R1 8 3 5E11
R2 7 3 5E11
R3 5 99 612
R4 6 99 612
CIN 7 8 3E-12
C2 5 6 21.67E-12
I1 4 50 0.1E-3
IOS 7 8 20E-12
EOS 9 7 POLY(1) 19 23 25E-6 1
Q1 5 8 10 QX
Q2 6 9 11 QX
R5 10 4 96
R6 11 4 96
D1 8 9 DX
D2 9 8 DX
```

EREF 98 0 23 0 1

* GAIN STAGE & DOMINANT POLE AT 0.13 HZ

```
R7 12 98 2.45E9
C3 12 98 500E-12
G1 98 12 5 6 1.634E-3
V2 99 13 1.5
V3 14 50 1.5
D3 12 13 DX
D4 14 12 DX
```

* NEGATIVE ZERO AT -1.8 MHZ

```
R8 15 16 1E6
C4 15 16 -88.4E-15
R9 16 98 1
E1 15 98 12 23 1E6
```

* POLE AT 1.8 MHZ

```
R10 17 98 1E6
C5 17 98 88.4E-15
G2 98 17 16 23 1E-6
```

* COMMON-MODE GAIN NETWORK WITH ZERO AT 50 HZ

```
R11 18 19 1E6
C6 18 19 3.183E-9
R12 19 98 1
E2 18 98 3 23 100E-3
```

* POLE AT 6 MHZ

```
R15 22 98 1E6
C8 22 98 26.53E-15
G3 98 22 17 23 1E-6
```

* OUTPUT STAGE

```
R16 23 99 160K
R17 23 50 160K
ISY 99 50 331E-6
R18 25 99 200
R19 25 50 200
L1 25 30 1E-7
G4 28 50 22 25 5E-3
G5 29 50 25 22 5E-3
G6 25 99 99 22 5E-3
G7 50 25 22 50 5E-3
V4 26 25 1.8
V5 25 27 1.3
D5 22 26 DX
D6 27 22 DX
D7 99 28 DX
D8 99 29 DX
D9 50 28 DY
D10 50 29 DY
```

* MODELS USED

```
* MODEL QX NPN (BF=2.5E6)
* MODEL DX D (IS=1E-15)
* MODEL DY D (IS=1E-15 BV=50)
* ENDS OP-297
```

図13. OP-297 SPICE ネットリスト

特長

広いダイナミック・レンジ

118dB typ (クラスAB)

108dB typ (クラスA)

広いゲイン・レンジ

140dB typ

ゲイン、減衰、周波数に対して優れたTHDおよびIMD性能

低い制御フィードスルー

1mV typ (クラスAB)

バッファ付き制御ポートおよび電流/電圧出力

低または高インピーダンス入力可能

少ない外付け部品数

低コスト

応用

電圧制御アンプ

ミキシング・コンソール用自動フェーダ・システム

コンプレッサ/リミッタ

ノイズ・ゲート

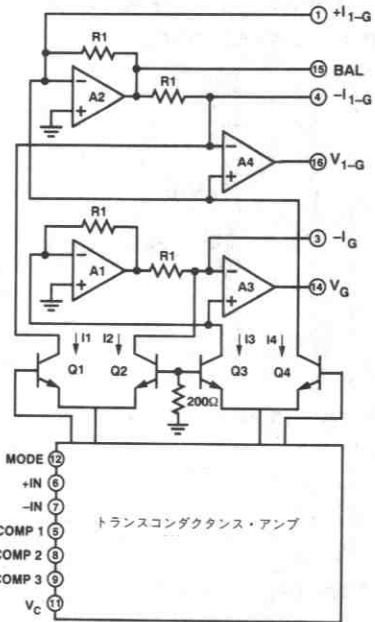
ノイズ・リダクション・システム

電話回線インタフェース

自動または遠隔ボリューム・コントローラ

電圧制御イコライザ

電圧制御パナー



SSM-2018機能図

概要

SSM-2018電圧制御アンプは先進のオーディオ・ゲイン・ブロックで、電圧制御アンプ、パナー、イコライザ、プリアンプの機能において、優れた性能を備えています。極めてフレキシブルなアーキテクチャにより、電流および電圧の両モードにおいて、差動およびシングル・エンド信号の入出力構成をとることができます。また、SSM-2018の制御ポート入力と電圧出力はバッファを備えており、最適性能を保証しつつ他のVCA製品と比べて外付け部品数を格段に少なくすることができます。内部ゲイン・コアは外部抵抗の選択により、クラスA、クラスAB、およびその中間の動作にプログラムすることができます。SSM-2018は優れたノイズ性能を備え、クラスABではクラスAに対して無視できる程度の歪みの増加があるものの、非常に低い雑音と歪み性能を同時に実現しています。

SSM-2018独自の電圧制御エレメント (OVCE) アーキテクチャにより、簡単なフィードバック回路を用いることによって、多様な電圧制御機能が容易に実現可能です。SSM-2018はSSM-2014の上位デバイスであり、性能を完全に実現するのに必要な外付け部品数が非常に少なく済みます。

DAC-7224とSMP-08などの電圧出力DACとマルチプレクサ付きサンプル・ホールド回路の組合わせ、または、DAC-8800などのマルチDACと組合わせることにより、オーディオ機能の高品質デジタル制御を非常に少ない部品数と低コストで実現することができます。

SSM-2018仕様

(特に指定のない限り、フィードバック抵抗18kΩにて、 $V_s = \pm 15V$ 、 $-40^\circ C \leq T_A \leq +85^\circ C$ 。標準値は $T_A = +25^\circ C$ での動作時。)

パラメータ	記号	条件	Min	Typ	Max	単位
入力アンプ						
バイアス電流	I_B	$V_{CM} = 0V$	0.25	1		μA
入力オフセット電圧	V_{IOS}	$V_{CM} = 0V$	1	20		mV
入力オフセット電流	I_{IOS}	$V_{CM} = 0V$	10	100		nA
入力インピーダンス	Z_{IN}		4			MΩ
等価入力ノイズ	e_n	$f = 1kHz$	14			nV/\sqrt{Hz}
同相レンジ	CMR		+13, -13			V
ゲイン帯域幅	GBW	VCA構成 (図18参照)	12			MHz
		VCP構成 (図22参照)	0.7			MHz
		VCA構成 (図18参照)	10			$V/\mu s$
スルーレート	SR		11		15	mA
電源電流	I_{SV}	無負荷				
出力アンプ						
オフセット電圧	V_{OOS}	$V_{IN} = 0V$	-1.0		20	mV
最小負荷抵抗	R_L	全出力シングにて	9			kΩ
出力電圧振幅		$I_{OUT} = 1.5mA$	+10 -10	+13.0 -14.0		V
制御ポート						
バイアス電流	I_B		0.36		1	μA
入力インピーダンス	Z_{IN}		1			MΩ
ゲイン定数	$G/(1-G)$	出力比	-28			mV/dB
ゲイン定数	$G/(1-G)_{TC}$		-2700			ppm/°C
温度係数						
制御フィードスルー (未調整)						
クラスA		60Hzの正弦波を制御ポートに入力し、-30dBから+20dBのゲインを得る	-10			mV
クラスAB ¹			-1			mV
最大減衰		$f = 1kHz, V_C = +4V$	100			dB

オーディオ仕様²

パラメータ	条件	Min	Typ	Max	単位
雑音					
クラスA	$R_B = 30k\Omega, BW = 20Hz \sim 20kHz,$ $0dBV = 1V, A_V = 0dB$		-88	-85	dBV
クラスAB	$R_B = 150k\Omega, BW = 20Hz \sim 20kHz,$ $0dBV = 1V, A_V = 0dB$		-97	-95	dBV
THD-A @ $A_V = 0dB$	$R_B = 30k\Omega, V_{IN} = +10dBV @ 1kHz$		0.006	0.015	%
THD-A @ $A_V = \pm 20dB$	$R_B = 30k\Omega, V_{IN} = +10dBV @ 1kHz$		0.009	0.025	%
THD-AB @ $A_V = 0dB$	$R_B = 150k\Omega, V_{IN} = +10dBV @ 1kHz, w/Sym$ トリム		0.006	0.02	%
THD-AB @ $A_V = \pm 20dB$	$R_B = 150k\Omega, V_{IN} = +10dBV @ 1kHz, w/Sym$ トリム		0.013	0.04	%

注

1. 対称調整のみ

2. 特性アークをもとに保証された仕様

仕様は予告なしに変更することがあります

絶対最大定格*

電源電圧	±18V
入力電圧	電源電圧
接合温度	+150°C
動作温度レンジ	-40 ~ +85°C
保管温度	-65 ~ +150°C
リード温度 (ハンダ付、60秒)	+300°C

★絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

SSM-2018のピン配置

16ピン・プラスチックDIP (Pサフィックス)
16ピンSOIC (Sサフィックス)



代表現能特性

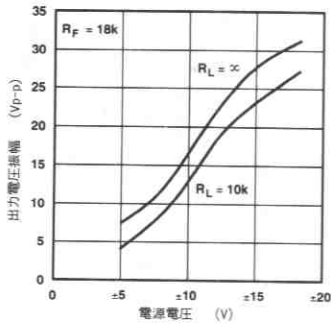


図1. 最大出力振幅対電源電圧

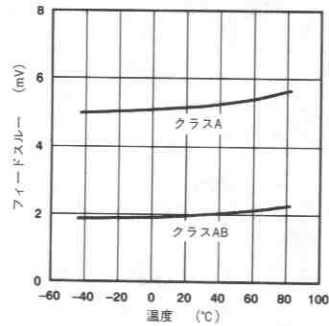


図3. 調整済みフィードスルー対温度

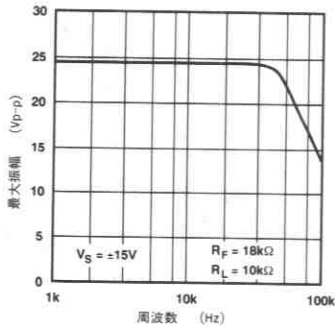


図2. 最大出力振幅対周波数

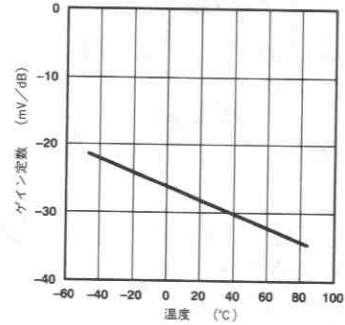


図4. ゲイン定数対温度

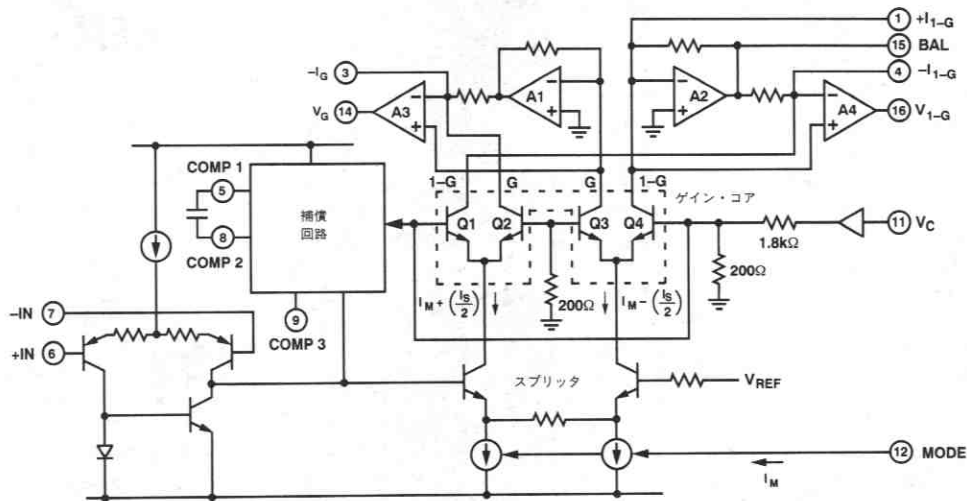


図5. SSM-2018機能ブロック図

電圧制御演算エレメントの動作説明

電圧制御演算エレメント (OVCE) は、新しいアナログ機能構成ブロックです。このエレメントはオペアンプの機能と電圧制御アンプの機能をワンチップに集積したものです。特殊な回路形態を用いているため、2つの機能を別々の回路で実現するよりも、高い性能の実現が可能な場合があります。OVCEは外部フィードバック接続を行なうことにより、多くの応用に簡単にVCAの代替機能を果たすことが可能です。しかも、従来のVCAでは実現が難しかった数多くの回路機能を実現することができます。

図5に示すように、OVCEは次に述べる3つの基本部分から構成されています。

1. 補償回路付き差動入力ペア。
2. ゲイン・コアのバイアス電流を生成するプログラム可能な電流スプリッタ。
3. 4つのトランジスタ・ゲイン・コア (本質的にはデュアル2象限乗算器) と出力バッファ。

差動入力ペアの構成は従来のオペアンプと同様で、差動入力電圧に対応するシングルエンドの出力電流を生成します。可変ゲイン・アンプは、広いレンジの選択ゲインで最適な補償を維持する際に独特な問題に直面します。OVCEでは入力段の後のアダプティブ回路により、VCAゲインの電流値に応じて外部補償容量を有効に分割します。電圧制御型ポテンショメータ構成では、ゲインの変動に対してフィードバックが一定であり、補償容量は固定でよいので、アダプティブ回路は用いられません。

差動入力ペアが発生した電流は、ゲイン・コア・トランジスタを駆動するために、同等および逆の信号成分をもつ電流に分けられます。これらの電流の同相成分 (I_M) は、OVCEの動作クラスを決定します。この電流は、ユーザーが選択するバイアス抵抗によって決まる、ピン12に注入される電流に対応します。小信号条件下では、 I_M とゲイン・コア・トランジスタで発生するノイズの間でのトレードオフがあります。

ゲイン・コアは2つの非常によくマッチングのとれた差動ペアから構成されており、ノイズと歪みが最小になるように設計された高ゲインのトランジスタを用いています。図6を見ると、差動ペア (電流源によってフォワード・バイアスされています) は、印加電圧 V_B に従って、テール電流 I を2つの電流 I_{C1} と I_{C2} に分割しています。これらのデバイスの β が高いことから、エミッタ電流は、 $I_C = I_S \times \exp(aV_{BE})$ と表現されるコレクタ電流に等しいと仮定できます。ここで I_S は逆飽和電流です。したがって、 $I_{C1} + I_{C2} = I$ および $V_B = V_{BE1} - V_{BE2}$ より、電流の比は以下のように表現できます。

$$G = \frac{I_{C2}}{I_{C1}} = \frac{\exp(aV_B)}{1 + \exp(aV_B)}$$

および、

$$1 - G = \frac{I_{C1}}{I} = \frac{1}{1 + \exp(aV_B)}$$

これらの関係はゲイン・コアの両ペアで成立し、与えられた制御電圧の関数に正確に一致した差動コレクタ電流が得られます。SSM-2018はゲイン乗算および剰余乗算出力の両方を供給可能な非常にフレキシブルなゲイン・ブロックです。

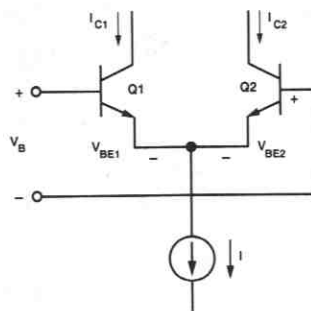


図6. OVCEゲイン・コア差動ペア

ゲイン・コア・トランジスタ・ペアの差動出力は、図5のバッファA1～A4で構成される差動電流・シングル・エンド電圧変換器に与えられます。アンプA1およびA2は高精度電流ミラーとして機能し、A3およびA4は電流・電圧変換器として機能します。さらに、A2への接続により、出力波形の正負の半サイクルが完全に対称になるように、電流ミラー・ゲインのバランスをとることができます。A3およびA4の非反転入力、A1およびA2の反転入力と、それぞれ接続されており、したがって、電流ミラー回路で発生する誤差はキャンセルされることに注意してください。そのため、外部出力デバイスを駆動する必要がある応用では、最良のOVCEの応答とダイナミック・レンジを得るため、外部アンプを電圧フィードバック・ループの外側に電圧フォロワとして接続することをお奨めします。

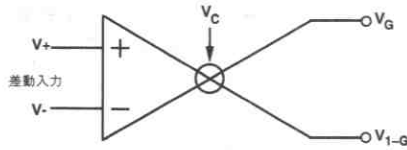


図7. OVCEのシンボル

OVCEの使い方

図7にOVCEのシンボルを示します。OVCEには、2つの出力、 V_G と V_{1-G} があります。2つの出力の入力に対する応答の比率は、ピン11に供給される制御ポート電圧 V_C によって決定されます。

$$V_G = (V(+)-V(-)) \times G \times A$$

および、

$$V_{1-G} = (V(+)-V(-)) \times (1-G) \times A$$

ここで、Aは回路のオープン・ループ・ゲインであり、

$$G = \frac{\exp(a \times V_C)}{1 + \exp(a \times V_C)}$$

したがって出力比は以下のようになります。

$$\frac{V_G}{V_{1-G}} = \exp(a \times V_C)$$

制御定数aは室温で約-4です。

OVCEの入力電圧を等しいと仮定すると、高いオープン・ループ・ゲインを用いて、負のフィードバック回路を簡単にしたオペアンプと同様に、応用回路は容易に理解できます。図8に示したOVCEによる基本的なフォロワ/VCA接続について考えてみます。この例では、入力信号 V_{IN} は非反転入力を駆動し、 V_{1-G} 出力は反転入力に接続されています。クローズ・ループ動作では、簡単のために入力ほぼ等しく、したがって、 V_{1-G} 出力は全制御入力に従う、とします。ここで、上の式から、

$$V_G = V_{1-G} \times \exp(a \times V_C)$$

従って、

$$V_C = V_{IN} \times \exp(a \times V_C)$$

となります。

したがって、このOVCE回路は V_{1-G} 出力に電圧フォロワ機能をも、また V_G 出力に指数VCA機能を実現しています。 V_{1-G} 出力と反転入力との直接フィードバック接続は、オペアンプ回路で一般的に用いられているように、汎用的なフィードバック回路と置換えることができます。

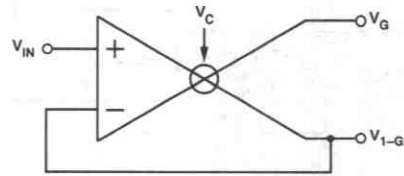
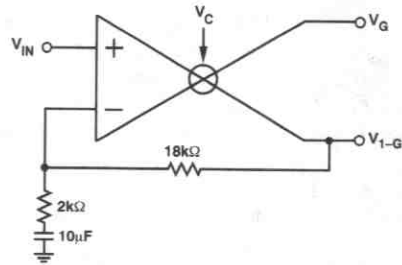
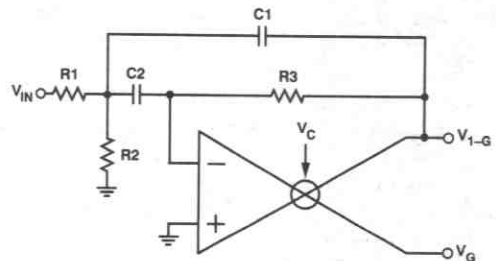


図8. OVCEフォロワ/VCA接続

入力から V_{1-G} 出力間には制御電圧入力とは関係なく種々の伝達関数可以实现できます。同時に、前に述べたように、 V_C 出力の信号は、伝達関数を制御電圧の指数で乗じたものに等しくなります。図9に2つの例を示します。この回路は、単一のデバイスによってオペアンプと指数VCAの両方の機能を実現しており、さまざまな応用で高いフレキシビリティを実現します。



a. 電圧制御プリアンプ



b. 電圧制御反転バンドパス・フィルタ

図9. OVCE回路構成

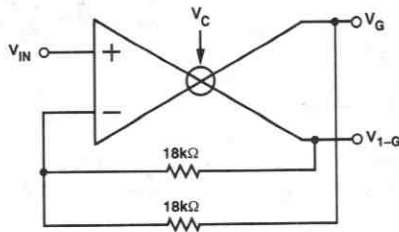


図10. 基本VCP接続

図10に両出力から帰還を行なうOVCE回路を示します。ここで、反転入力へのフィードバック信号は、2つの出力の和の1/2であり、両入力がほぼ等しいという仮定に従ってVINに等しくなければなりません。2つの出力は、

$$V_G = 2G \times V_{IN}$$

$$V_{1-G} = 2(1-G) \times V_{IN}$$

で与えられます。

以上により、VCがGレンジをスイープした時、Gレンジが0~1までのバニング機能を実現できることがわかります。例えば、VC=0のとき、VG=V1-G=VINとなります。この回路は、電圧制御型ポテンショメータ (VCP) と呼ばれています。VCPは減衰器としてのみ動作するVCAの準指数ゲイン特性をもっていることに注意してください。SSM-2018によって反転、非反転動作のいずれにおいても非常に多くのVCA、VCP構成を実現できます。以下に応用回路とその性能について説明します。

入力段

差動入力はオペアンプの場合と同様です。高速な過渡による入力段のオーバドライブを防ぐため、クランプ・ダイオードを用いることができます。

ゲイン・コアの動作クラスの設定

動作モードは、抵抗RBによってゲイン・コア・バイアス電流をプログラミングすることで決定されます。正電源はピン12に電流を与えるために用いられますが、その値は、適正動作では、90~500μAの範囲内であればなりません。したがって、抵抗RBの値はクラスA動作では30kΩ、クラスAB動作では150kΩとなります。ただし、入力がグラウンドより約0.7V高いことを前提としています。この電流入力を除くと、出力信号は半波整流となります。従来はクラスAB動作は低雑音が必要な応用、一方クラスA動作は歪み性能がより重要な応用を選択することをお奨めしていました。しかし、以下に示す歪みのグラフからわかるように、SSM-2018では、クラスABも、クラスAに匹敵する性能をもっています。できる限り良好な歪み性能が必要な場合を除き、多くの応用ではゲイン・コアはクラスAB動作としてください。SSM-2018では制御フィードスルーはクラスABで動作した方が非常に低くなる、ということに注意してください。あるいはまた、中間のクラスで動作させることにより、クラスABの低雑音とクラスAの優れた歪み性能の両方を実現できます。

制御部

制御ポートの感度は入力 (ピン11) において-28mV/dBです。一般的に、制御電圧ソース・レンジのスケーリングには抵抗分圧器が用いられます。この入力には250nAのバイアス電流を流すことができるため、ゲイン誤差を最低にするためには分圧器とグラウンドの間のインピーダンスを10kΩ以下に保ってください。制御ピンで発生

する浮遊信号のカブリングとグラウンド誤差を極力抑えるように注意してください。これらはデバイスの性能に直接影響を与えます。応用例に示したように、1μFのコンデンサをピン5とピン8の間にできるだけ近くに接続することをお奨めします。雑音がひどい環境では、コンデンサの値を10μFとしてください。

ゲイン・コア・トランジスタは温度の影響を受けるため、制御ポートは-2700ppm/°Cの温度係数をもっています。これは制御電圧分圧チェーン内に+2700ppm/°Cの温度抵抗器 (RCD Components, Inc., Manchester, NH)を1つ接続することによって補償可能です。

補償

VCA構成では、SSM-2018はシステム全体のゲインにかかわらず、デバイスの内部クロード・ループ・ゲインを最大にするために独自のアダプティブ補償回路を用いています。応用回路に示したように、補償コンデンサはピン5とピン8の間に接続し、ピン9は無接続とします。VCP構成では、システムのフィードバックはゲインに対して一定であり、ピン9とグラウンドを接続することによってアダプティブ回路は動作禁止とします。適切なゲインを必要とする回路では、信号帯域幅を広くするために補償コンデンサの値を小さくして下さい。

出力部

SSM-2018には、2つの電圧出力と3つの電流出力がありますが、これらは±15V電源電圧で動作したとき、最小で750μAを出力することができます。必要な電圧を得るために電流を変換するための内部または外部オペアンプ用フィードバック抵抗は、±15V電源電圧時で17kΩ以上としてください。機能ブロック図に示すように、通常動作では電流出力は実際上のグラウンドです。アンプA1およびA2は、グラウンドに対する+I1-Gの電位を維持する電流ミラーの役割を果たします。A3およびA4はグラウンド電位における出力-I1-Gおよび-I1-Gを保つ電流-電圧変換器です。この時、電流出力は10mA以上のシンク、最小で1.65mAのソース能力をもちます。

SSM-2018の調整

波形を対称に補正し、オフセットを調整するための推奨回路を図11に示します。どちらの調整も、オフセットと制御フィードスルーに影響します。対称調整は、同時に歪み性能を制御するものであり、クラスABでの動作では不可欠です。しかし、クラスAで動作する応用では必要ありません。オフセット調整は、より改善された制御フィードスルーが必要な状況では重要です。

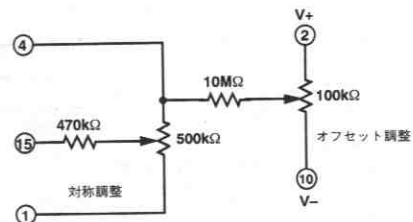


図11. 対称およびオフセット調整回路

調整手順

対称調整

対称調整を行なう場合は、オフセット調整より先に行なって下さい。

1. 制御電圧をユニティ・ゲインにセットし、入力に+10dBVで1kHzの正弦波を入力します。
2. 出力信号の歪みが最小になるように、対称調整ポテンショメータを調整します。

オフセット調整

オフセット調整は、制御フィードスルー誤差を補正するものです。

1. 入力信号をグラウンドに接続し、制御ポートに60Hzの正弦波を入力してください。正弦波は高いピークが応用で使われる最も高いゲインに対応し、低いピークは30dB減衰に対応している必要があります。例えば、最大ゲインが+20dB、最大減衰が30dBの応用では、ピン11に入力される正弦波の振幅は-560mV ~ +840mVである必要があります。
2. 出力に現われる制御フィードスルーが0となるように、オフセット調整ポテンショメータを調整してください。

入力にDCブロック・コンデンサを組込めば、SSM-2018の性能に

影響を与える前段からのオフセットを防ぐことができます。パニングやイコライザ回路のような多くの応用では、オフセット調整は不要です。これらの回路の制御設定は一般的にセットアップ時に確立され、変わることはほとんどありません。可聴制御フィードスルーは、制御信号パスに10~20msの時定数を挿入することで、抑えることができます。

応用

以下にSSM-2018の4つの基本応用回路を紹介し、性能の実測値をグラフで示します。OVCEの基本回路を理解すれば、この回路を必要に応じて容易に変更することができ、電圧制御プリアンプ、コンプレッサ/リミッタ、その他の機能の付加機能を簡単に実現できます。データは内部に80kHzノイズ・フィルタを備えたオーディオ・プレジジョン・システム・ワンによって得ています。

基本OVCE

図7で紹介した差動入力付きOVCE基本回路を図12に示します。この回路には、オフセットおよび対称調整推奨回路が含まれています。出力アンプのためのフィードバックには、高周波カットオフおよびノイズ制限のために、5pF minのコンデンサが挿入されていること、また1:4制御電圧分圧器にはノイズによる制御誤差を防ぐために、1μFのコンデンサが挿入されていることに注意してください。この回路の実測性能を図13から図17に示します。

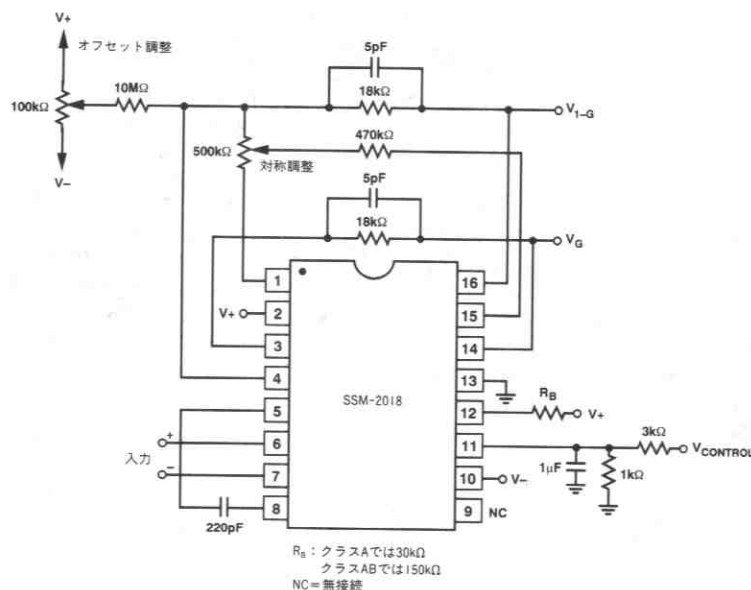


図12. OVCE応用回路

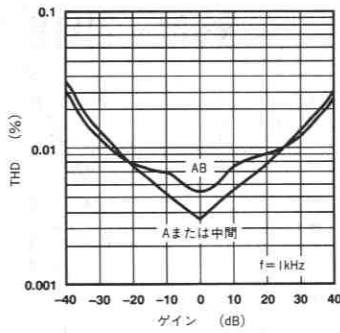


図13. OVCEのTHD対ゲイン

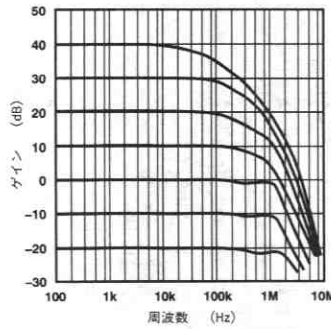


図14. OVCEの帯域幅対ゲイン

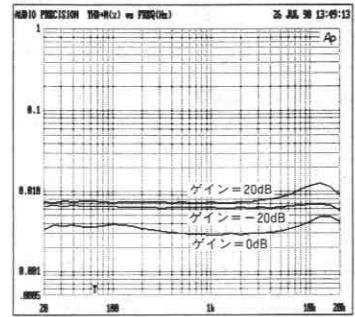


図15. クラスA動作におけるOVCEのTHD +N対周波数

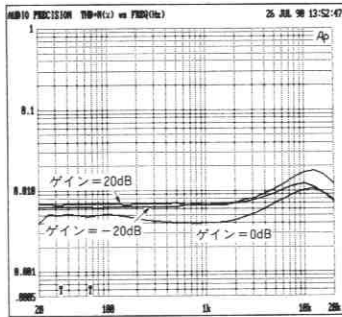


図16. クラスAB動作におけるOVCEのTHD+N対周波数

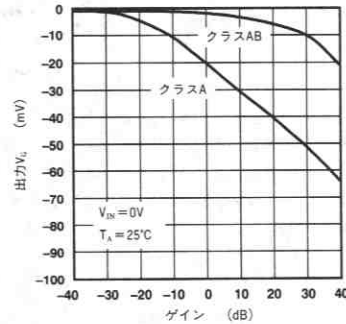


図17. OVCEの出力対ゲイン

簡単なVCA構成のためのOVCEの使い方

この回路は、差動電流フィードバックを用いたSSM-2018のフレキシビリティを示しており、差動またはシングルエンド入力の全機能を備えた電圧制御アンプを最小の部品数で実現しています。アンプA4の動作を禁止することで、OVCE入力に対する電流フィードバックを可能にし、周波数応答およびスルーレートを向上させています。図18を見て下さい。+I_{1-c}出力から反転入力にそして-I_{1-c}出力から非反転入力にフィードバック接続することにより、差動グラウンド入力としています。シングル・エンド動作においては、使わない入力を無接続とすることで、反転または非反転ゲインを得ることができます。アンプA3からの出力はピン14に現われます。必要に応じて出力信号の帯域制限を行うために、バッファA3の両端(ピン3とピン14の)に適切なコンデンサを接続してください。この回路により得られる標準的性能を図19から図21に示します。

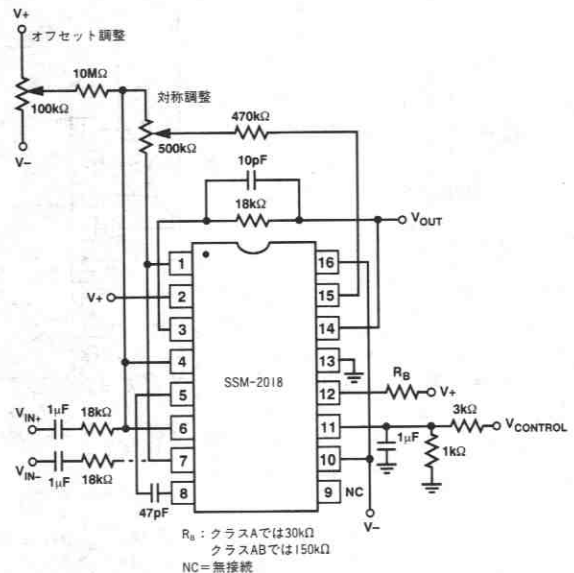


図18. 簡単なVCA応用回路

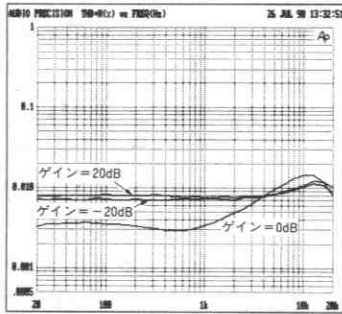


図19. クラスA動作におけるVCAのTHD+N対周波数

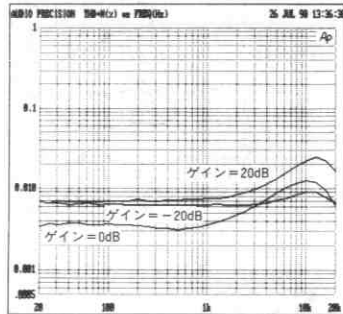


図20. クラスAB動作におけるVCAのTHD+N対周波数

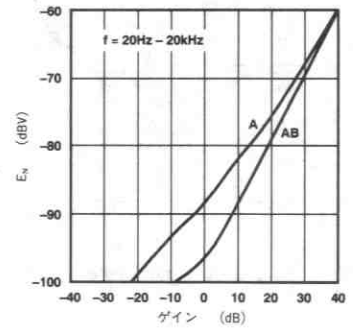


図21. VCA/OVCEのノイズ対ゲイン

電圧制御パナー

SSM-2018のレシオメトリック出力によって、図22に示すようなポテンショメータを少ない外付け部品数で実現することができます。まず、図10を見て下さい。2つの出力の和を非反転入力にフィードバックすることによって、基本バニング機能を実現しています。この回路の特性を図23から図29に示します。

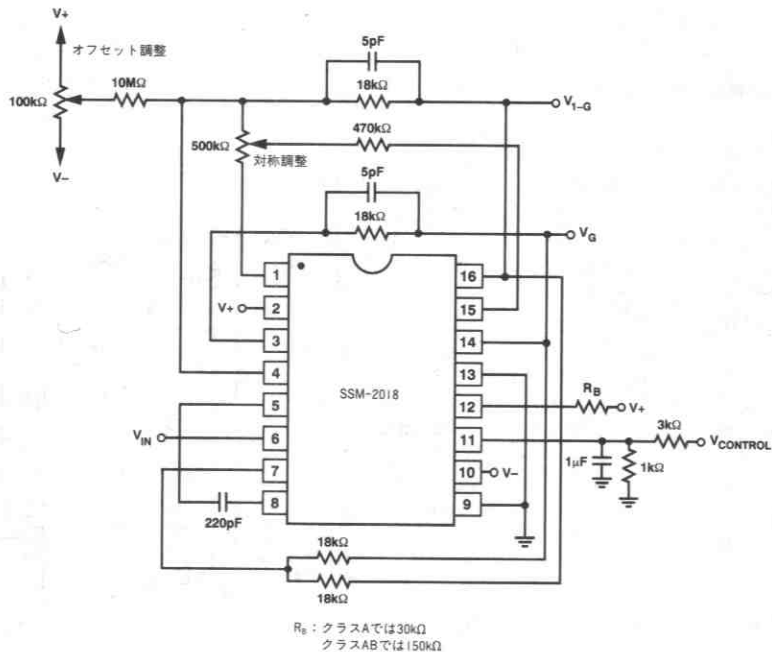


図22. VCP応用回路

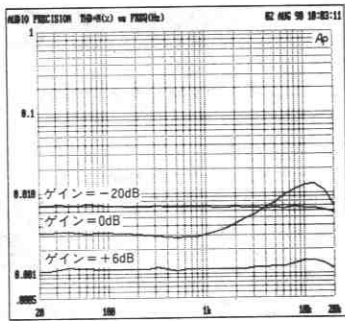


図23. クラスA動作におけるVCPのTHD+N対周波数

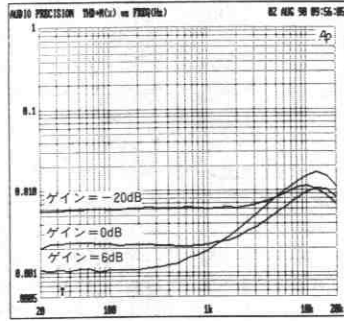


図24. クラスAB動作におけるVCPのTHD+N対周波数

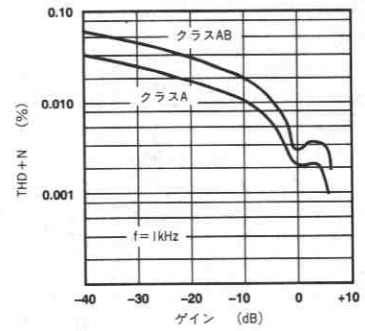


図25. VCPのTHD+N対ゲイン

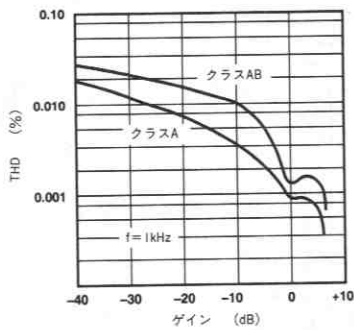


図26. VCPのTHD対ゲイン

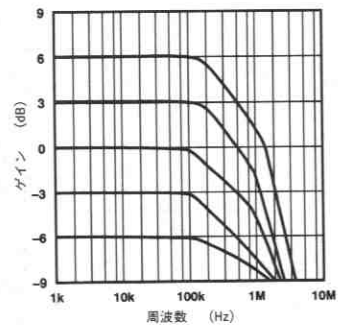


図27. クラスA動作におけるVCPの帯域幅対ゲイン

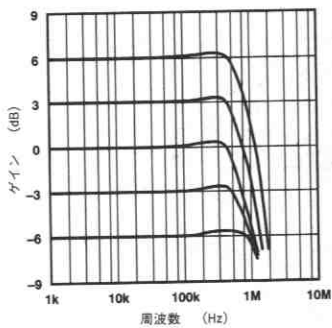


図28. クラスAB動作におけるVCPの帯域幅対ゲイン

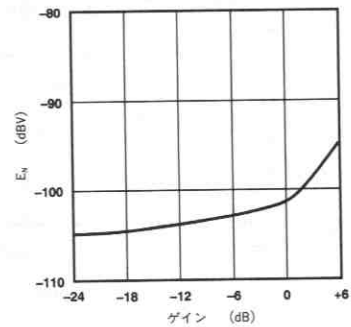


図29. クラスAB動作におけるVCPのノイズ対ゲイン

SSM-2018を用いた高品質電圧制御イコライザ

図30にSSM-2018を用いたVCEQ回路を示します。この回路は簡単なRCハイパス・フィルタ回路を用い、低ノイズ、低歪みの基本相互高周波イコライザを実現しています。図31から図34にこの回路のノイズ、ゲイン特性を示します。フィルタ回路の変更によって必要なゲイン特性を得ることができます。ローパスやバンドパスなどの他の非反転フィルタを用いた場合、それらのフィルタ伝達関数を有する電圧制御イコライザを実現することができます。イコライズ機能を電圧で制御できることは非常に魅力的です。

SSM-2018によるSSM-2014ソケットのグレードアップ

SSM-2018はSSM-2014とコンパチブルなデバイスであり、オリジナル回路をマイナーチェンジし、性能を向上させたものです。SSM-2014では、最適性能を保证するためには外部補償回路が必要で、ピン1、3、4にRC回路を、ピン9にコンデンサを接続する必要がありました。しかしSSM-2018を用いればこれらの回路は不要となります。SSM-2018の性能を十分に引き出すためには取り去った方が良いでしょう。SSM-2018の評価には、SSM-2014評価用ボードを用いることはできません。SSM-2018評価用ボードについてはお問合わせください。

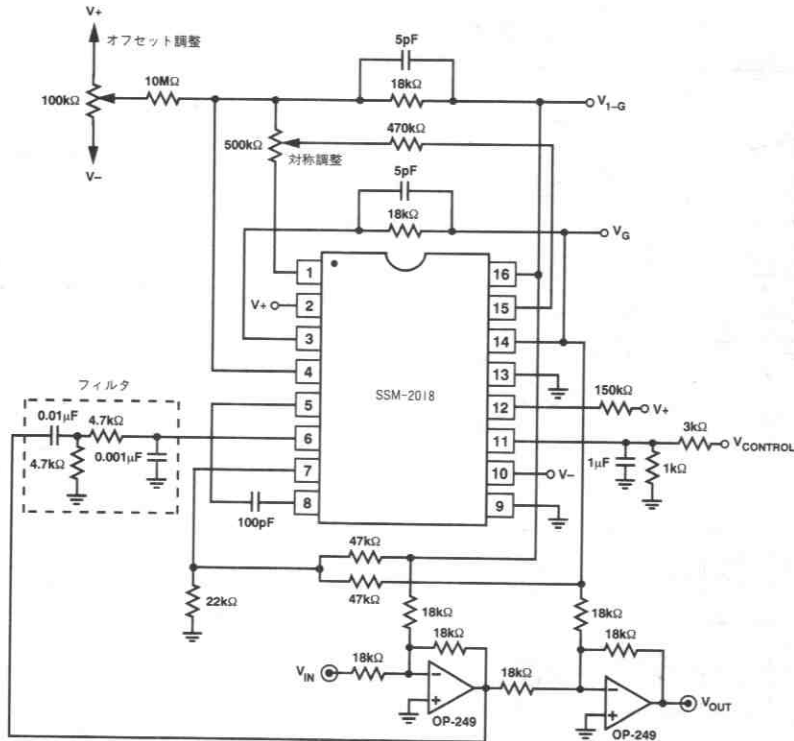


図30. 電圧制御イコライザ応用回路

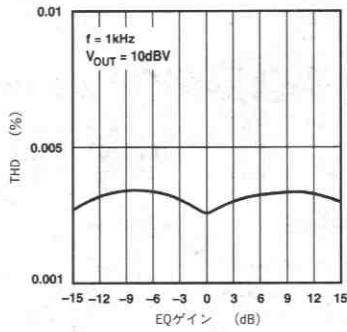


図31. イコライザのTHD+N対ゲイン

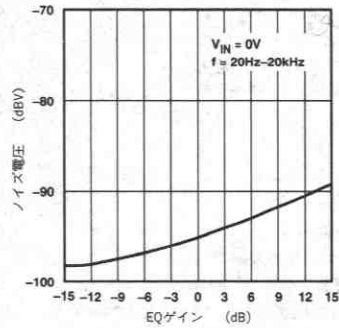


図32. イコライザのノイズ対ゲイン

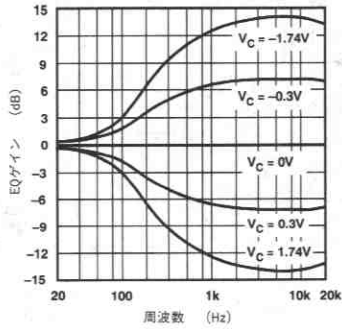


図33. イコライザの周波数応答対ゲイン

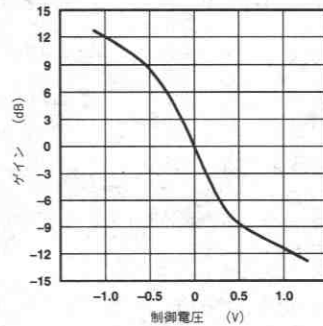


図34. イコライザのゲイン対制御電圧

オーダ・ガイド

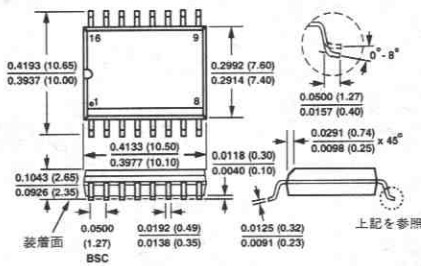
モデル	動作 温度範囲	パッケージ
SSM-2018P	XIND*	16-ピン・プラスチック
SSM-2018S	XIND	16-ピンSOIC

★XIND = -40°C ~ +85°C

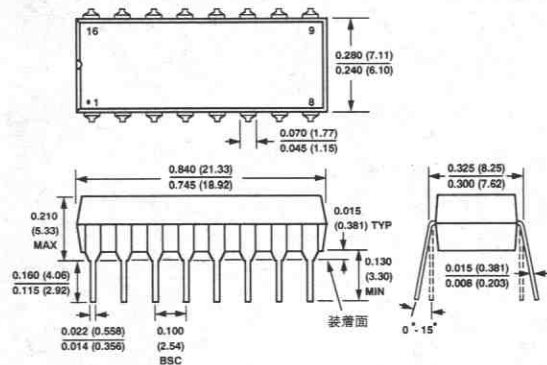
外形サイズ

サイズはインチと (mm) で示します。

16-ピンSOIC



16-ピン・プラスチック



特長

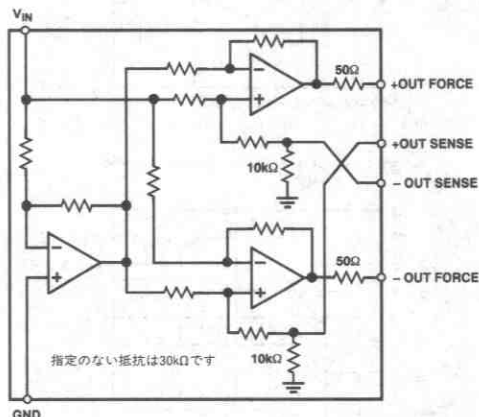
- トランスと同様な平衡出力
- 600Ω負荷に対して10V RMSの駆動能力
- 大容量性負荷および長いケーブル駆動時の安定動作
- 低歪み動作：600Ω負荷に対する10V RMS駆動時：0.006% typ
(20Hz~20kHz)
- 高速スルー・レート：15V/μs typ
- 低いゲイン誤差（差動またはシングルエンド）：0.7% typ
- 出力回路短絡保護
- 省スペースを実現する8ピン・ミニDIPパッケージ
- 低価格

応用

- オーディオ・ミキサ・コンソール
- 分配アンプ
- グラフィックスおよびパラメトリクス・イコライザ
- ダイナミック・レンジ・プロセッサ
- デジタル・エフェクト・プロセッサ
- テレコミュニケーション・システム
- 産業用計装機器
- ハイファイ機器

概要

SSM-2142は高出力駆動能力をもった差動出力バッファ・アンプで、シングルエンドの入力信号を平衡出力信号ペアに変換します。SSM-2142は低ノイズの熱的にマッチングのとれた薄膜抵抗と高速スルー・レートのアンプを採用しており、電源ラインのハム・ノイズ、RF干渉、電圧降下および長いオーディオ・ケーブルで一般的に起こる外部発生ノイズを抑え、オーディオ・システムにおける音質の維持をサポートします。内蔵抵抗のレーザ・トリミングによって同相ノイズとオフセット誤差の優れた除去性能を実現し、高いゲイン精度を保証します。SSM-2142の出力段は細心の注意を払って設計されており、非常に長いケーブルや600Ω程度に低い負荷に対しても低歪み性能を実現し、広範囲の動作条件において安定です。



SSM-2142機能ブロック図

クロスカプリングおよび電氣的にバランスのとれた構成により、SSM-2142は完全に平衡なトランスによる動作と同様の性能をもち、ラインを駆動します。しかし、SSM-2142はトランスに比べてより歪みが小さく、スペースもかなり節減でき、同等の同相除去性能をより少ない部品数で実現します。

SSM-2142とSSM-2141差動レシーバの組合せで、長いケーブルによるオーディオ信号の送受信を高い信頼性で実現することが可能です。SSM-2141の入力同相除去比は60Hzにおいて100dBです。この標準的なシステム性能仕様は本データシートに掲載しています。

仕様

(特に指定のない限り、 $V_S = \pm 18V$ 、 $-40^\circ C \leq T_A \leq +85^\circ C$ 、差動モード動作。標準特性値は $T_A = +25^\circ C$ での動作に適用されます。)

パラメータ	記号	条件	Min	Typ	Max	単位
入力インピーダンス	Z_{IN}			10		$k\Omega$
入力電流	I_{IN}	$V_{IN} = \pm 7.071V$		± 750	± 900	μA
ゲイン (差動)			5.8	5.98		dB
ゲイン (シングルエンド)		シングルエンド・モード	5.7	5.94		dB
ゲイン誤差 (差動)		$R_L = 600\Omega$		0.7	2	%
電源変動除去比 (スタティック)	PSRR	$V_S = \pm 13V \sim \pm 18V$	60	80		dB
出力同相除去比	OCMR	試験回路参照 ($f=1kHz$)	-38	-45		dB
出力信号平衡比	SBR	試験回路参照 ($f=1kHz$)	-35	-40		dB
全高調波歪み+ノイズ	THD+N	20Hz~20kHz、 $V_O = 10V$ rms、 $R_L = 600\Omega$		0.006		%
S/N比	SNR	$V_{IN} = 0V$ 、 $0dB = 10V$ rms		-109		dB
スルー・レート	SR			15		$V/\mu s$
出力同相電圧オフセット ¹	V_{OOS}	$R_L = 600\Omega$	-250	25	250	mV
差動出力電圧オフセット	V_{OOD}	$R_L = 600\Omega$	-50	15	50	mV
差動出力電圧振幅		$V_{IN} = \pm 7.071V$	± 13.8	± 14.0		V
出力インピーダンス	Z_O		45	50	55	Ω
電源電流	I_{SY}	無負荷時、 $V_{IN} = 0V$		5.5	7.0	mA
出力電流、回路短絡時	I_{SC}		60	70		mA

注

1 出力同相電圧オフセットは、センス・ラインにDCブロック・コンデンサを接続することによって除去できます。「使用上の注意」を参照してください。

仕様は予告なしに変更することがあります。

絶対最大定格*

電源電圧	$\pm 18V$
保管温度範囲	$-60 \sim +150^\circ C$
リード温度 (ハンダ付け、60秒間)	$+300^\circ C$
接合温度	$+150^\circ C$
動作温度範囲	$-40 \sim +85^\circ C$
出力回路短絡期間 (両出力)	無制限

* 「絶対最大定格」に示す値を越えるストレスは、デバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件において、この定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

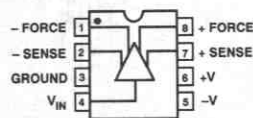
ピン配置

8ピン・プラスチックDIP

(Pサフィックス)

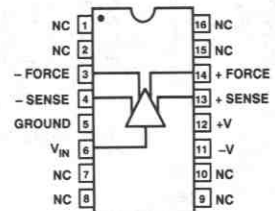
8ピン・サーディップ

(Zサフィックス)



16ピンSOIC

(Sサフィックス)



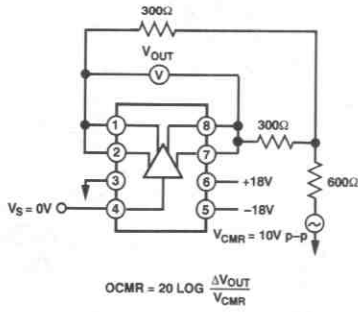


図1. 出力CMR試験回路

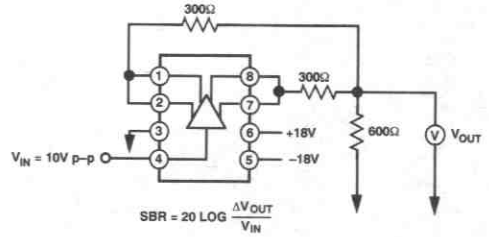


図2. 信号平衡比 (BBC方式) 試験回路

標準性能特性

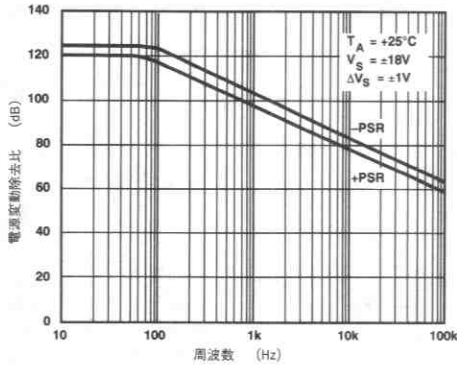


図3. 電源変動除去比対周波数

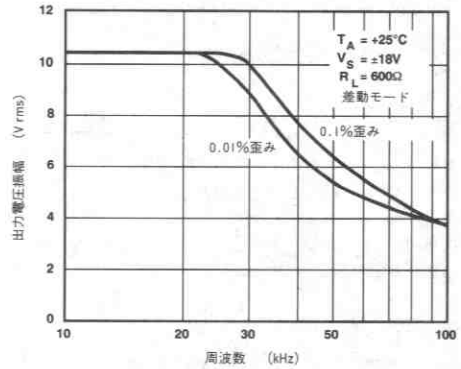


図4. 最大出力電圧振幅対周波数

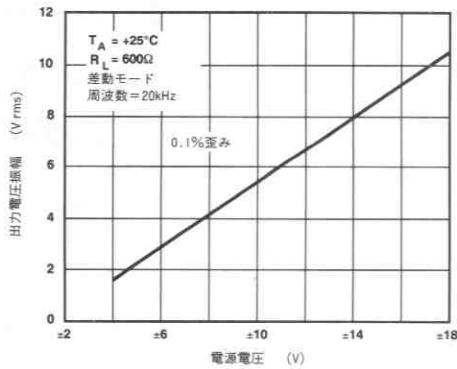


図5. 出力電圧振幅対電源電圧

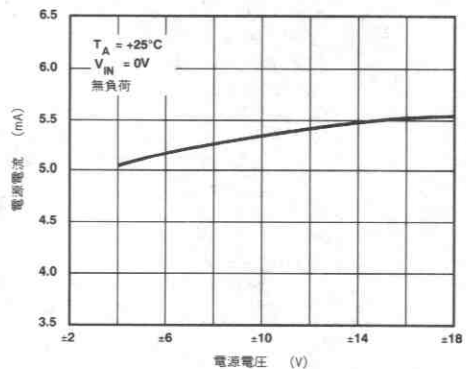
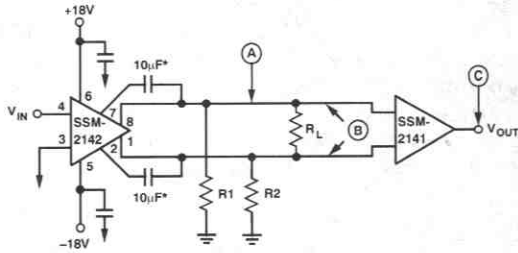


図6. 電源電流対電源電圧

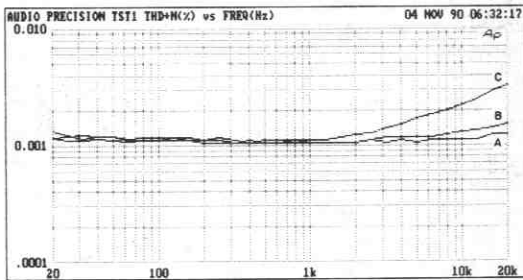
THD性能

以下のデータは、オーディオ・プレジジョン・システム・ワンの内部80kHzノイズ・フィルタを用いたTHD試験回路から得ており、SSM-2142/SSM-2141チップ・セットによる平衡ベア・システムの標準的な性能を示しています。差動およびシングルエンド・モードの両方について、さまざまな応用をシミュレートする出力負荷条件下での動作を示しています。ACノイズ除去性能を最適化する目的で、DCケーブル・オフセットを除去する外部直列フィードバック・コンデンサを用いた場合も、システム性能は悪影響を受けません。システムに対する100kHz方形波入力を使った大信号過渡応答も図示しており、負荷条件下におけるSSM-2142の安定性を示しています。



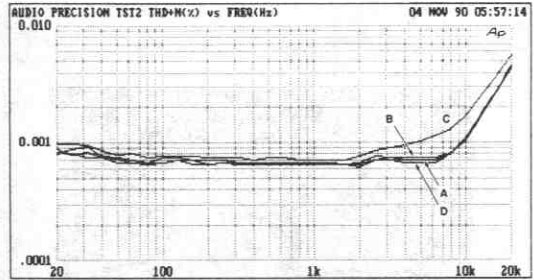
*THD曲線においてのみ使用。
すべてのケーブル測定はBELDEN8451ケーブルを用いています。

図7. THD試験回路



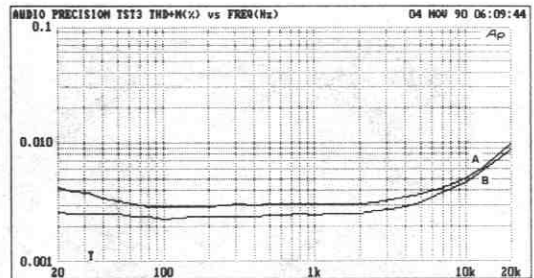
$V_O = 10\text{ V rms}$, ケーブルなし
A: $R_1 = R_2 = R_L = \infty$
B: $R_1 = R_2 = 600\ \Omega$, $R_L = \infty$
C: $R_1 = R_2 = \infty$, $R_L = 600\ \Omega$

図8. B点でのTHD+N対周波数 (差動モード)



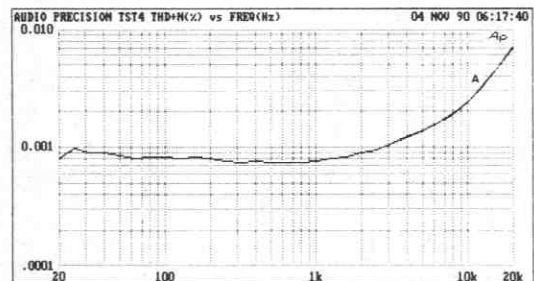
$V_O = 10\text{ V rms}$, 500フィートのケーブルを接続
A: $R_1 = R_2 = R_L = \infty$
B: $R_1 = R_2 = 600\ \Omega$, $R_L = \infty$
C: $R_1 = R_2 = \infty$, $R_L = 600\ \Omega$
D: $R_1 = R_2 = R_L = \infty$, 直列フィードバック・コンデンサ付き

図9. B点でのTHD+N対周波数 (差動モード)



$V_O = 10\text{ V rms}$, $R_2 = 0\ \Omega$, $R_L = \infty$
A: $R_1 = 600\ \Omega$, 250フィートのケーブルを接続
B: $R_1 = \infty$, ケーブルなし

図10. A点でのTHD+N対周波数 (シングルエンド)



$V_O = 10\text{ V rms}$, ケーブルなし
A: $R_1 = R_2 = \infty$, $R_L = 600\ \Omega$

図11. C点でのTHD+N対周波数 (SSM-2141出力)

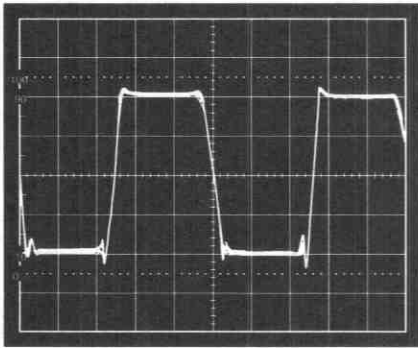


図12. B点における100kHz方形波(差動モード)。 $V_0 = 10V$ rms, $R1 = R2 = \infty$, $R_L = 800\Omega$

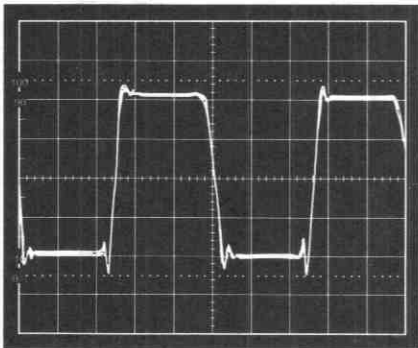


図13. B点における100kHz方形波(差動モード)。 $V_0 = 10V$ rms, $R1 = R2 = \infty$, $R_L = 800\Omega$ 、直列フィードバック・コンデンサ付き

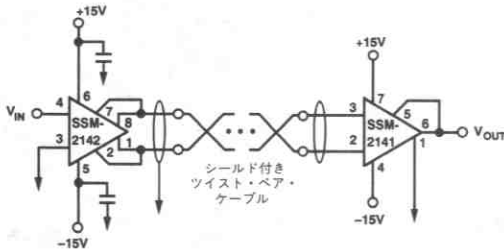


図14. SSM-2142とSSM-2141を用いた代表的応用

使用上の注意

SSM-2142は、平衡ライン駆動システムにおいて優れた同相除去比、高い出力駆動能力、低信号歪みおよびノイズ性能を実現します。差動出力段は、2つのクロスアップリングされたユニティ・ゲイン・バッファ・アンプとオンチップ50Ω直列ダンピング抵抗から構成され

ています。出力バッファ・ペアのインピーダンスは製造工程でのレーザー・トリミングによって高精度にバランスがとれています。これによって、優れた同相ノイズ除去性能を得るために必要な高いゲイン精度と、ケーブル・ペアに共通するオフセット誤差電圧と差動入力信号間の優れたセパレーションを実現しています。試験回路に示すように、最適なシステム性能を得るためには、受信側にSSM-2141などの適度にバランスがとれ、高い入力インピーダンスをもつ差動アンプを用いてください。全体的なシステム・ゲインをユニティに保つため、SSM-2142のゲインは6dB、SSM-2141レシーバの出力ゲインは1/2に設定されています。

ケーブルに大きなDCオフセットがある場合や差動オフセット誤差源を除去することによって最適な除去性能を保証する場合、SSM-2142のセンス出力にDCブロック・コンデンサを接続できます。試験回路に示すように、これらの部品のインピーダンスは10μF NPなど（あるいは、オフセットの極性が既知の場合にはタンタル）を用いてできる限り低くし、低周波誤差を最小に抑えます。

システム・グラウンド

グラウンド電流や電源の変動その他の要因によって、信号ケーブルの終端での回路グラウンド電位は必ずしも等しくはありません。平衡ペア・ラインを用いる第1の目的は、一般的に「縦誤差」と呼ばれるこの電位差の影響を除去することにあります。縦誤差電圧を除去する能力を示す尺度が出力同相除去比です。SSM-2142の最適なOCMRおよびノイズ除去性能を得るためには、以下の注意に従ってください。

1. 差動出力の質はデバイスへの入力電圧の精度に直接的に依存します。システム性能を維持するため、信号源のインピーダンスに対して発生する入力電圧誤差は除去する必要があります。SSM-2142の入力はオペアンプまたは低ソース・インピーダンス、低ノイズのバッファによって直接駆動してください。
2. グラウンド入力はシングルエンド入力のソース・コモンにできるだけ近付けてください。ソース回路に現われるグラウンド・オフセット誤差もまたシステム性能を劣化させます。
3. SSM-2142は、各電源ピンにできるだけ近くで0.1μFバイパス・コンデンサによって十分にテカプリングしてください。
4. SSM-2142の出力と直列に受動回路は接続しないでください。ライン・ペアにおける反応の差は、大きな不平衡の原因となり、デバイスのゲイン誤差に影響します。非常に長いケーブルで信号を駆動する場合であっても、SSM-2142によるシステムの安定性を維持するためのスナッパ・ネットワークや直列負荷抵抗は不要です。
5. 信号ペア・ケーブルの配線においては、物理的なバランスを保つように心がけてください。ケーブルの経路や長さの違いによる容量差が生じると、ペアが拾うノイズに差異が生じ、システムのOCMRが劣化します。すべての応用において、シールド付きツイストペア・ケーブルが最適です。シールドは信号の導体としないてください。シールドは一方の端で出力コモン近くのグラウンドに接続し、ノイズのカップリングと縦誤差が増加する原因となる、シールドを流れるグラウンド・ループ電流を除去してください。

ケーブル・ペア

SSM-2142は600Ωの負荷に対して10V rmsの信号を駆動する能力をもち、平衡またはシングルエンド構成のいずれでも0.16μFまでのケーブル容量に対して安定です。標準のBelden8451または同等品などの低インピーダンス・シールド付きオーディオ・ケーブルが、特に長距離伝送の必要な応用に適しています。「オーディオ・ファイル」と呼ばれるケーブルの場合、標準的な産業用グレードの製品に対して、単位長あたりの容量が4倍であることに注意してください。負荷と距離の一方あるいは両方が非常に大きい場合、並列に第2のケーブルを追加することによって、ラインの全抵抗を1/2にするか全容量性負荷を倍にするかのトレードオフが可能です。

シングルエンド動作

SSM-2142は既存の平衡ペア・インタフェース・システムとコンパチブルに設計されています。トランスを用いた回路と同様に、出力ペアは同じ大きさですが、逆方向の電流が発生します。この電流は必要に応じてグラウンド基準とすることが可能で、1本の伝送線と送信できます。シングルエンド動作では、出力ペアのうち未使用の側を固定の帰還路に接地し、入力コモンに近い電圧オフセット誤差の発生を避けます。このようなシステムでの信号の質は伝送線の両終端におけるグラウンドの質に依存します。シングルエンド動作であってもデバイスのゲインは6dBで、SSM-2142の信号歪みや出力駆動能力は大幅には劣化しません。ただし、平衡ペア・システムに固有のノイズ除去能力は失われることに注意してください。

電源投入の順序

インタフェース・システムで時として起こる問題に、不規則な電源投入があります。不規則な電源投入を行うと、回路中のバイアス部がラッチアップ状態に陥ることがあります。集積回路は、オーバシュートとして示される電源ラインにおける立上り時間の短いスパイクにより、容易に異常状態となり、損傷を受けます。電源投入下における部品やボードの交換によっても、このような望ましくないシーケンスが起こり得ます。改善されたボード・レベルでのデバイス保護の方法として以下の事項が可能です。

- ・バイパス・コンデンサの追加
- ・両電源とグラウンド間に高電流逆バイアス・ステアリング・ダイオードを接続
- ・種々の過渡サージ抑制デバイスの接続
- ・安全なグラウンド接続

同様に、SSM-2142の出力デバイスをオンにするために十分な振幅の電圧をもち、デバイスに損傷を与える可能性のある「生きている」システムに出力を接続する前に、デバイスに電源を投入してください。そして、仕様に示す絶対最大定格は常に守ってください。

オーダ・ガイド

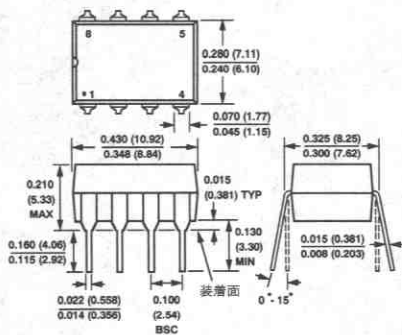
モデル	動作温度範囲	パッケージ・オプション
SSM2142P	-40°C ~ +85°C	プラスチックDIP
SSM2142Z	-40°C ~ +85°C	サーディップ
SSM2142S*	-40°C ~ +85°C	SOIC

* SOICパッケージについてはお問い合わせください。

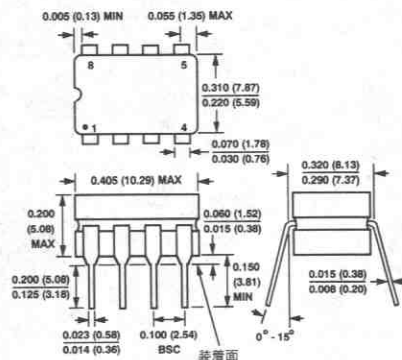
外形サイズ

サイズはインチと (mm) で示します。

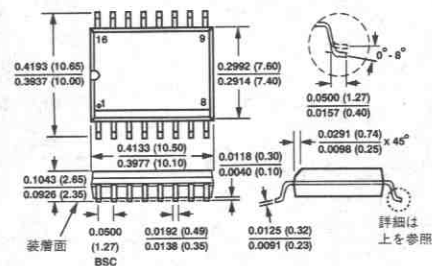
8ピン・プラスチックDIP

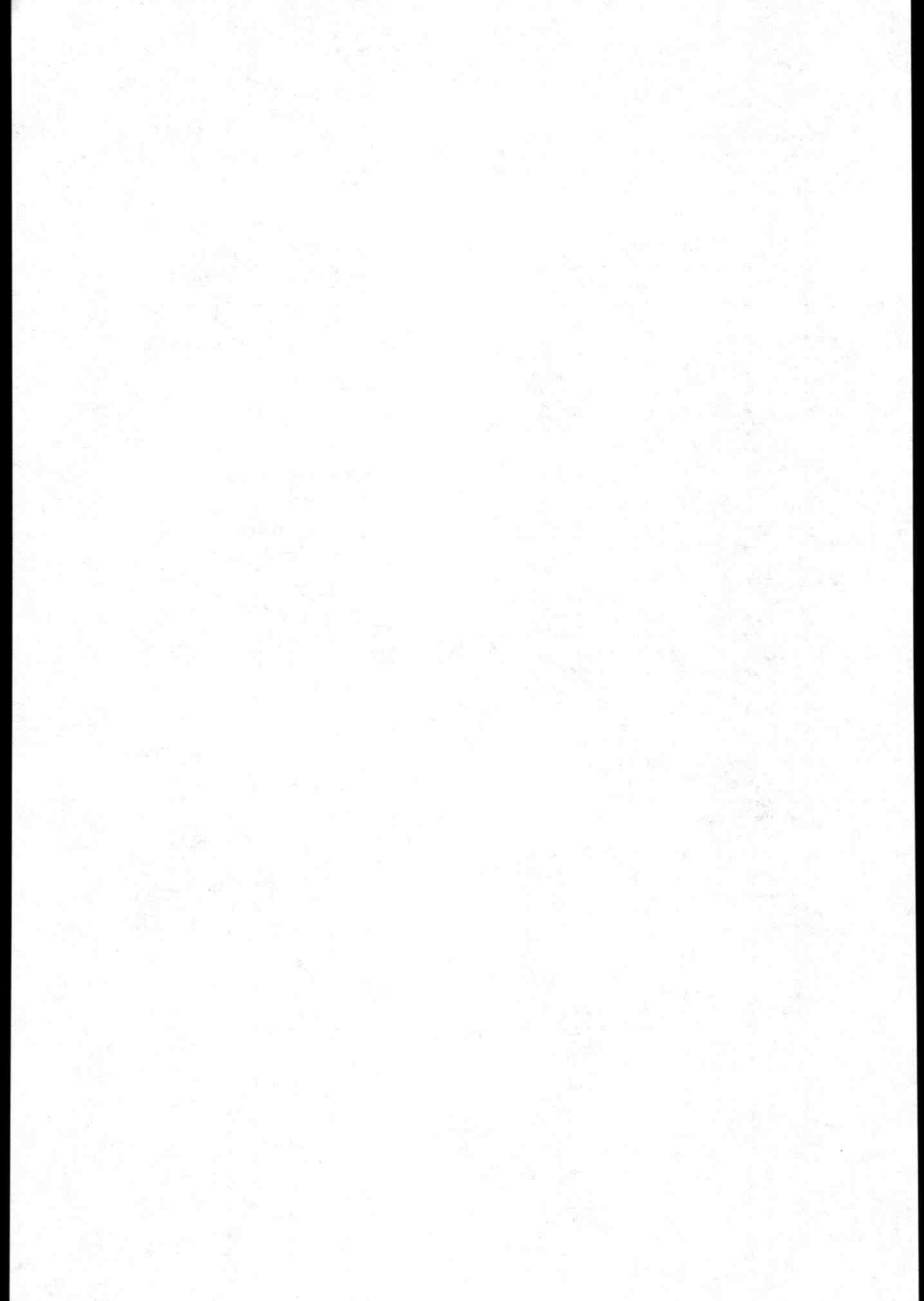


8ピン・サーディップ



16ピン・スモール・アウトライン (SOIC)





アイソレーション・アンプ

目次

	ページ
セレクション・ガイド	138
AD6104 発振器内蔵型高速・高精度アイソレーション・アンプ	139

セレクション・ガイド アイソレーション・アンプ

モデル	絶縁 電圧 Vpk	ゲイン レンジ V/V	ゲイン 非直線性 % max	周波数 応答 kHz	パッケージ ¹ オプション	温度 ² 範囲	特長	掲載ページ
284J	2500	1-10	0.05	1	モジュール	C	医療用, シングル・チャンネル用	D5-81
286J	2500	1-100	0.05-0.2	1	モジュール	C	医療用, マルチチャンネル用	D5-81
289	2500	1-100	0.012-0.05	20	モジュール	C	高精度, 同期型	D5-83
290A	1500	1-100	0.1-0.25	2.5	モジュール	I	シングル・チャンネル用, 汎用	—
292A	1500	1-100	0.1-0.25	2.5	モジュール	I	マルチチャンネル用, 汎用	—
●AD6104	1500	—	0.012-0.03	40	ハイブリッド	C	高速, 高精度, 3ポート絶縁	139
AD202	1000-2000	1-100	0.025-0.05	2	N, Y	I	小型, 低価格, シングル・チャンネル用	D5-39
AD203	2000	1-100	0.025	10	N	M	広い温度範囲, 広帯域	D5-47
AD204	1000-2000	1-100	0.025-0.05	5	N, Y	I	小型, 低価格, マルチチャンネル用	D5-39
AD208	1000-2000	1-1000	0.015-0.03	0.4-4	Y	I	小型, 高精度, mV入力対応	D5-58
AD210	3500	1-100	0.012-0.025	20	N	I	3ポート絶縁, 広帯域	D5-73
AD295	2500	1-1000	0.012-0.05	4.5	N	I	低ドリフト, 3ポート絶縁	—
281					モジュール	C	286J, 292A用発振器	D5-81
AD246					N, Y	C	AD204, AD208用発振器	—

注1. パッケージ: N=プラスチックDIP, Y=シングル・インライン

2. 温度範囲: C=0~+70°C, I=-40~+85°C (旧製品では-25~+85°Cの場合もある), M=-55~+125°C

3. Dはデータブック1990/1991年版、そしてモデル名に●のある製品は本データブック追補版に掲載されています

太字で示すモデルは新規設計に最適な製品です。

国産製品

AD6104

特長

- 低非直線性: $\pm 0.012\%$
- 高速性: 40kHz F.P. 応答
11V/ μ s スリュー・レート
位相遅れ $\approx 15^\circ$ (40kHz時)
- CMV: AC1500Vrms, 1分間保証
- 低ノイズ: 2.0 μ Vp-p (0.01~100Hz)
0.5 μ Vrms (10Hz~1kHz)
- 低ドリフト: ± 50 ppm/ $^\circ$ C ゲイン・ドリフト
 ± 20 μ V/ $^\circ$ C オフセット・ドリフト (G=1)
- フローティング電源: ± 15 V, 5mA 入力側に可能
- 完全3ポート・アイソレーション

応用

- データ収集装置
- シャント電流検出
- モータ・コントロール
- プロセス制御用入出力信号絶縁
- 耐高電圧計装アンプ
- スwitching・パワー・コントロール
- 4-20mA アイソレーション入出力

概要

AD6104は理想的なアイソレーション・アンプに、より一歩近づいたもので、従来にはない高速性と高直線性を兼ね備えています。

特に、独自に開発された変復調用ICにより、12ビット・クラスの直線性と40kHz以上の高速フルパワー応答(± 10 V出力)を同時に達成しています。さらに、トランス方式の特徴である充分な安定性、低ノイズ特性によって、一般産業用標準アイソレーション・アンプとして、広く使用することができます。

耐圧特性は一般的なAC1500V1分間が保証され、ほとんどのデータ収集装置の要求に適合できるように設計されています。

AD6104には専用の発振回路が内蔵されていますが、特異なトランスの配置により、非常にコンパクトなサイズとなっています。また、小形ながら発振器内蔵型3ポート・アイソレーションの使いやすさを十分に活用できるように、各種の有用な端子が備えられています。

その一つとして ± 15 Vのフローティング電源端子が入力及び出力段にあります。従って、余分なDC/DC電源を使わずにフローティング・シグナル・コンディショニング、入出力段バッファ、サーミスタなどのセンサ、ブリッジ等への励起電源に、また4-20mA制御信号出力などに使用できます。

AD6104を用いてデータ収集装置を構成する場合に、変復調時のキャリア・クロック・ノイズの精度への影響を最小限に抑えるためにキャリア・クロックに同調したデータ処理を行うことが考えられます。この場合に、入出力いずれからでもキャリア・クロックが出力されているので、それを同期用信号としてデータ処理回路へ供給することが可能です。本来この方法で処理されたデータにはキャリア・クロック・ノイズの影響は除かれ、安定したデータ収集が可能ですが、非常に大きいゲイン、外部へのクロック・ノイズの影響などを最小限にするためにシールド・ケースをAD6104に被せる場合、GUARDピン18との併用が効果的です。

AD6104のフロント・エンドはオペアンプのHi入力、Lo入力、出力の各端子が外部に出されており、ユーザ・プログラム形式で各種の応用に使用できます。例えばインバーティング、ノンインバーティング、I/V変換、入力フィルターなどに組込むことができます。

このことはまた、任意のオフセット、ゲイン調整方法が採用できることにもなります。

AD6104のパッケージはデュアル・イン・タイプで、単一または少数チャンネル・アイソレーションに適しています。

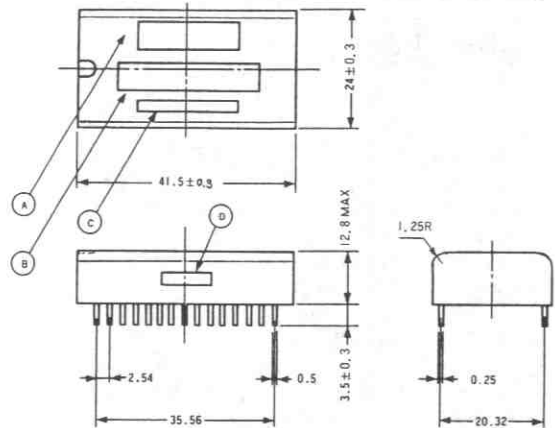
AD6104は高い信頼性を発揮できるように、85 $^\circ$ C/1,000時間、85 $^\circ$ C/85%、-25~+85 $^\circ$ Cのヒート・サイクル、振動試験などの信頼性テストを実施し、確認を行っています。

計算上のMTBFは+25 $^\circ$ C、地上設置条件で230万時間です。

仕様 (特に指定のない限り, +25°C, $V_s = +15V$, 50kHzクロック時)

外形サイズおよびピン配置

型名	AD 6104
ゲイン特性 入力段オープン・ループ・ゲイン ゲイン誤差(入力ゲイン=1) ゲイン温度ドリフト ゲイン非直線性(10Vp-p output 1) (20Vp-p output 1)	200,000V/V 0, -10% 100ppm $\pm 0.012\%$ max $\pm 0.03\%$
耐電圧特性 差動入力電圧範囲 最大同相電圧(入出力間) 60Hz, 1分間耐圧 連続, DC対AC 最大漏洩電流(入力から出力) @115V, AC60Hzにおいて	$\pm 10V$ min 1500Vrms max $\pm 1500Vp-p$ 3 μ Arms
同相信号除去比(入出力間) 正弦波 60Hz $R_s \leq 1k\Omega$ Hi In および Com $R_s \leq 1k\Omega$ Hi Inのみ $R_s \leq 1k\Omega$ Comのみ 矩形波 2kHz $R_s \leq 1k\Omega$ Comのみ	100dB } 入力段アンプは 120dB } G=1の非反転 95dB } 構成時 80dB }
入力抵抗 入力インピーダンス 過電圧入力時 (Hi, Lo Inと入力フローティング電源間)	$10^{12}\Omega$ 10 Ω
入力バイアス電流 初期値@25°C 温度特性 オフセット電流	$\pm 200pA$ 10°Cで2倍 $\pm 100pA$
入力換算ノイズ 電圧ノイズ 0.01~100Hz 10Hz~1kHz 電流ノイズ 0.01Hz~100Hz	2 μ Vp-p 0.5 μ Vrms 3pA rms
オフセット電圧 @25°C初期値 対温度特性 対電源電圧変動特性	$\pm (10 \pm 20/G)mV$ $\pm (10 \pm 10/G)\mu V/^\circ C$ $\pm 0.5mV/V$
周波数応答 (Output 1) 小信号特性(-3dB), G=1 大信号特性(20Vp-p), G=1 スリュー・レート	40kHz 40kHz 11V/ μ s
出力特性 出力電圧範囲 出力インピーダンス output 1 output 2 出力リップル(output 1)	$\pm 10V$ 1k Ω 20 Ω 200mV
内部発振器 自動発振周波数 SYNC IN インピーダンス SYNC OUT 駆動能力 同期可能周波数範囲	40kHz $\pm 10\%$ 40k Ω 8 \times (他のSYNC IN) 35~120kHz
フローティング電源特性 出力電圧 出力電流	$\pm 15V, 0, -15\%$ 10mA(入出力側各々に)
電源電圧 特性保証電圧 消費電流 動作電源電圧	+15V $\pm 5\%$ 30mA +7V~+17V
使用温度範囲 特性保証温度範囲 動作温度範囲 保存温度範囲	0~+70°C -25~+85°C -30~+100°C



- 注. 1) ① ANALOG DEVICES
2) ② AD 6104
3) ③ MADE IN JAPAN
4) ④ ×××× (製造ロット番号)

図1 AD6104外形サイズ(単位:mm)

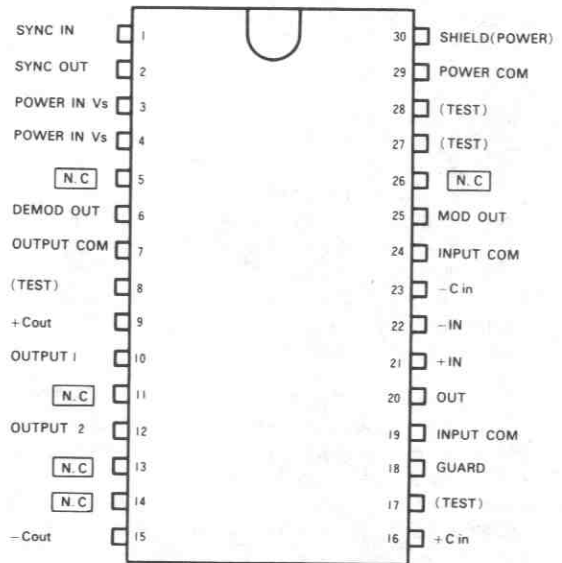


図2. ピン配置図

注1. Min/Max値以外の値は90%以上の確率で保証します。
注2. Min/Max保証値を他項目で必要とする場合, 特殊プロセス品としての対応を行います。
注3. 仕様は改良のため予告なく変更することがあります。

機能説明

図3にAD6104の機能ブロック図を示します。

AD6104にはその基本となる変調・復調部、入出力部それぞれにフローティング電源、入力部には入力段オペアンプ、出力部には変復調時に生じるキャリア・ノイズ除去用フィルタが配置されています。これらが電源供給を兼ねたキャリア発生用発振器と小形トランスにより絶縁され、3ポート・アイソレーション・アンプを構成しています。

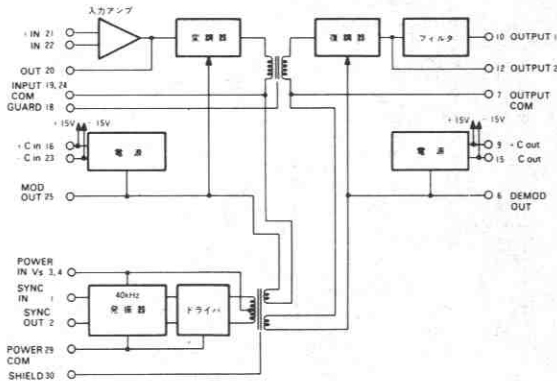
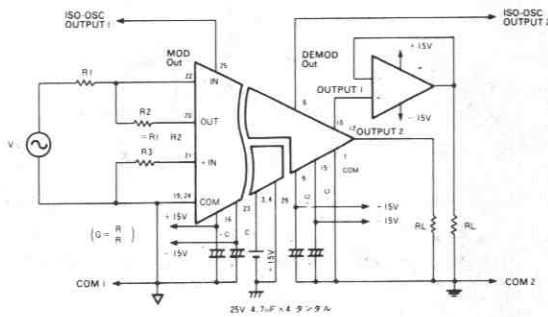
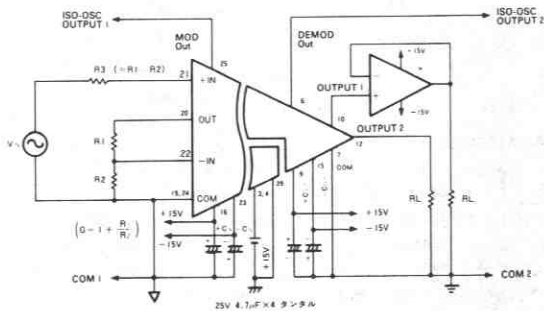


図3. AD6104 ブロック図

(a) 反転入力



(b) 非反転入力



※外付アンプ(出力インピーダンスが問題になる場合に追加する。AD544相当)

図4. 回路使用例

変調・復調用には特別に開発された同一のICを用い、大信号(±10V)を取扱いながら高速性(>50kHz F.P)を実現しています。

入力段のオペアンプはHi, Lo (+/-)の入力端子および出力が外部に出されており、内部抵抗等は内蔵していません。これにより、外部に構成する回路で任意の機能を持たせ得ること、外付部品との温度特性のマッチングを考慮せずより特性の良い回路を作成できることとなります。

出力段のフィルタ(OUTPUT 1出力)は高速性を維持するために特別に設計されたものです。このフィルタにより、F.P(大信号振幅±10V)特性を小信号特性(-3dB)と同等に引き上げると同時に、高速時での位相遅れを最小限(15°)に抑え、汎用オペアンプ並みの特性にしています。

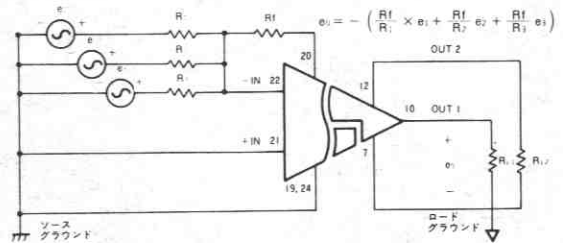
フィルタを必要としない応用のために、出力インピーダンスの低い出力(OUTPUT 2)が用意されています。

AD6104の使用例

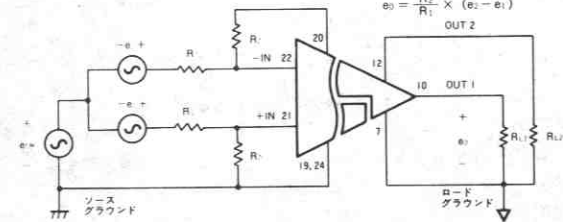
AD6104の入力段のオペアンプのHi, Lo入力および出力端子が使えることから、オペアンプを用いた各種回路が構成できます。図4に一般的な反転と非反転回路例を示します。図5にその他の回路略例を示します。

その他、フィルタ、簡単なシグナル・コンディショナ系の回路が同様な考え方で構成できます。

(a) 加算入力



(b) 差動入力



(c) 電流入力

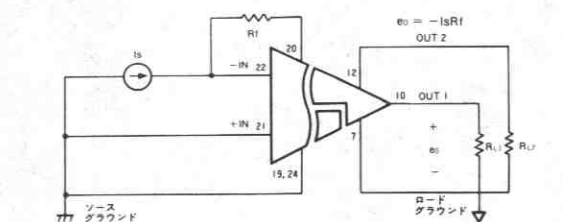


図5. その他の使用例

アイソレーション・アンプとして入力差動電圧耐量は考慮の対象となりますが、図4の反転回路でのR1および非反転回路でのR3を決めるとき、

$$\frac{V_{IN\ peak}}{R_1} \text{ あるいは } \frac{V_{IN\ peak}}{R_3} \leq 20\text{mA}$$

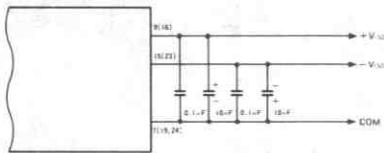
とすればAD6104の入力段電源電圧(±15V)以上の入力電圧から、入力段オペアンプの破壊を防げます。

反転回路の有力な応用としては、差動入力電圧が非常に大きい場合、例えばACライン電圧の直接計測が安全にできることにあります。この時にも万一の場合を考慮し、上記の条件を満たすようにR1を選定する必要があります。

図6にAD6104からフローティング電源を取り出す方法を示します。

図6(a)は入力または出力側に電源からアイソレーションされた+/-電源を取り出す場合、図6(b)は入力または出力側に片電源で2倍の容量または2倍の電圧を出す例です。

(a) 電源を取り出す方法A



最大電圧 = 15.5 ± 0.5V
 ドロップ電圧 0.05V/mA → 出力電流
 (例) 出力 ±V_{out}
 30mA ±14.0V リップル 40mVp-p

(b) 電源を取り出す方法B

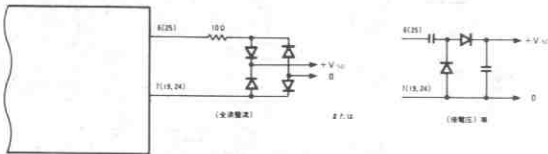
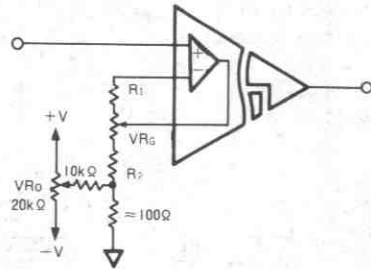


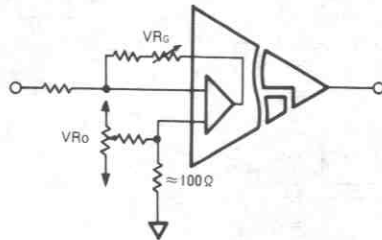
図6. 電源を取り出す方法

図7にAD6104のゲインおよびオフセット調整の推奨回路を示します。オペアンプによる一般的な方法が全て流用できますが、ここにはその代表例を示しています。

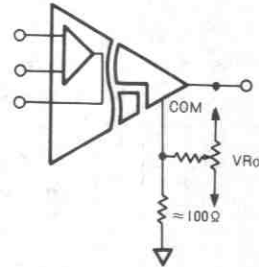
(a) 非反転入力時



(b) 反転入力時



(c) 出力段オフセット



注：オフセット調をより安定なものにするため、可変抵抗器の両端電圧を定電圧にすることは効果的です。

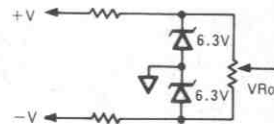


図7. ゲインおよびオフセット調整法

AD6104の諸特性

AD6104は前述の仕様のように従来にない特長を数多くそなえています。その具体例を示します。

図8の周波数特性はクロック周波数に入力信号周波数が接近するとゲインが極端にゼロに近づく様子を表わしています。これはAD6104の最も特徴的なものです。このゲイン・ゼロになる前の周波数でAD6104の入出力波形を見たものが図9です。

図10(a), (b)に入力換算ノイズ特性を示します。トランス方式による変復調の特徴がそのまま良好なノイズ特性に現われています。

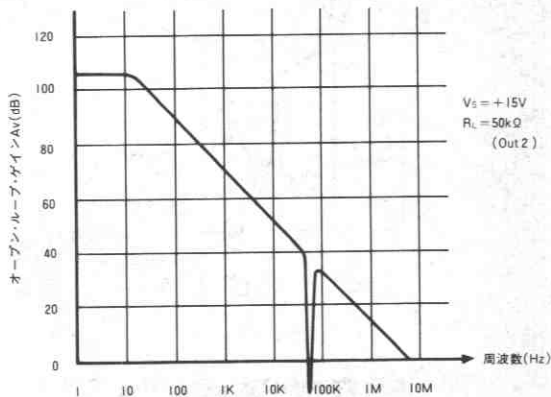
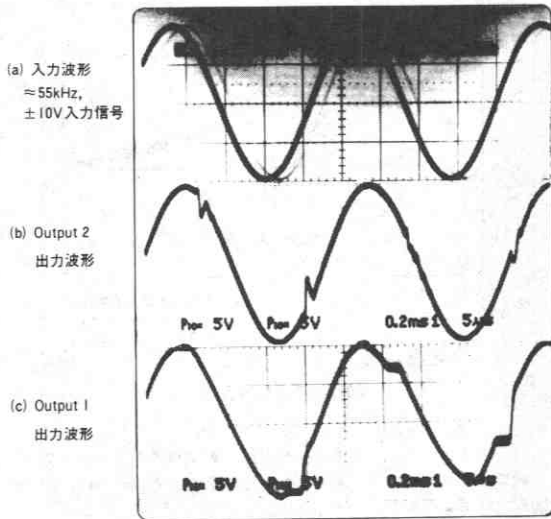


図8. Av-f特性(クロック周波数 \approx 40kHz)



(d) 出力スペクトル
 \approx 9.2kHz, \pm 10V入力信号時

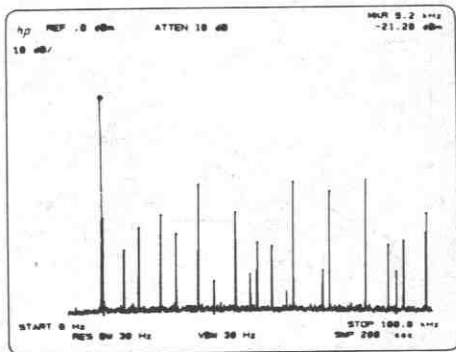
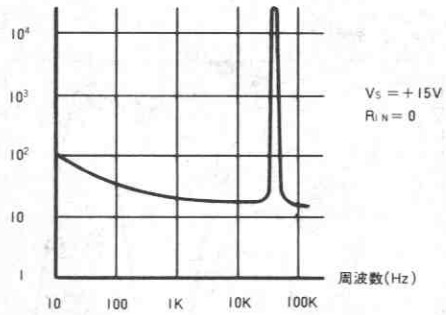


図9. 入出力波形

(a) 10~100kHz



(b) 0.01~100Hz p-pノイズ(1 μ V/V)
 $V_s = +15V$

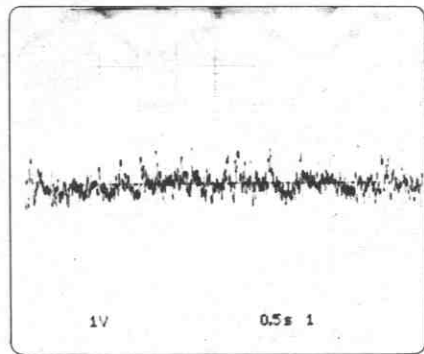


図10. 入力換算ノイズ特性

アイソレーション・アンプの重要な特性に同相信号除去比(CMRR)があります。図11にAD6104のCom側不平衡入力時のCMRR特性を従来の正弦波に対するものと、一般に多用されているスイッチング・パワー波形に対するものを例に示します。

最悪の使用条件である信号側不平衡入力時(Com側に1k Ω -図11)でも、CMRR特性は非常に良い(120dB)ため、実用上の回路ではその誤差はほとんど問題になりません。

以上の従来にない特性を発揮しながら、非直線性が $\pm 0.015\%$ (c) 測定回路 (図12) を示しています。

(a) AC 50Hz, 400V
1k Ω (Com In) 不平衡入力

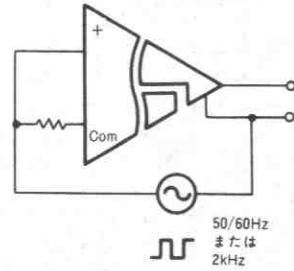
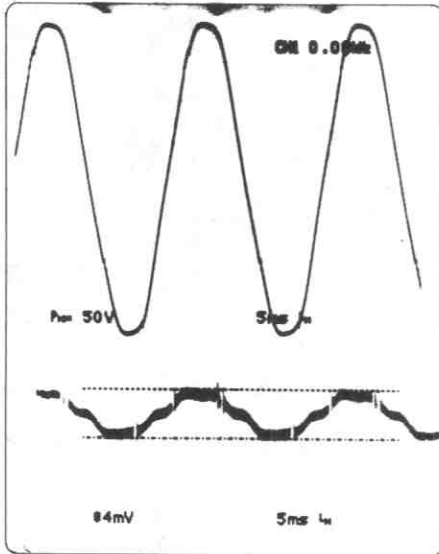
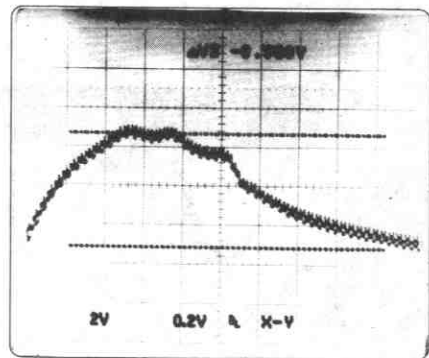


図11. CMRR特性

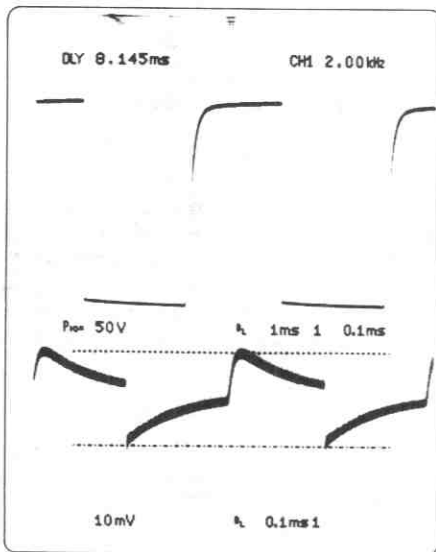


$V_s = +15V$
 $G = 1$
 $\pm 10V$
 $< \pm 0.015\%$

注. 非直線性測定器自体の
ゲインが100倍のため、
実際の ΔV_2 は0.0058V

図12. 非直線性特性

(b) 260Vp-p 2kHz パルス
1k Ω (Com In) 不平衡入力



つぎにフローティング電源の負荷特性を図13のグラフから見る
ことができます。フローティング電源を効果的にするために、この特
性表が活用できます。

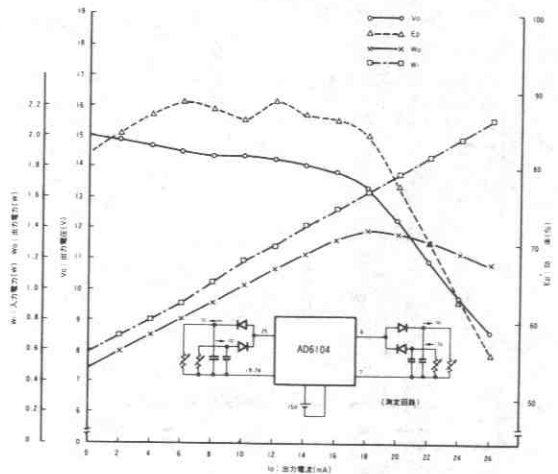


図13. 電源負荷特性

〈応用例〉

AD6104の多チャンネル化

図14に2個以上のAD6104を同時に使用する例を示します。複数のAD6104が接近して配置される場合、あるいはシステム・クロック信号がアイソレータの近くにあるような応用例では、それぞれモジュール毎の違った周波数により出力誤差の原因となるビート周波数が生じることがあります。これらの誤差を排除するために、隣接したAD6104の最初のモジュールのSYNC OUT (ピン2) から次のモジュールのSYNC IN (ピン8) 端子に接続することによって、複数個のユニットを同期をとりながら動作させることができます。モジュール群の最初のモジュールのSYNC IN 端子を外部の発振器に接続し同期をとることもできます。ノイズ・ピッキングを最小限にするために、シンクロ用配線はアナログ信号路から離すようにして下さい。

外部の同期用発振器を用いる場合、その周波数がAD6104のゲイン及び出力オフセットに対しわずかですが影響を与えます。従って、外部には所定の性能を満足する安定な発振器を用いて下さい。

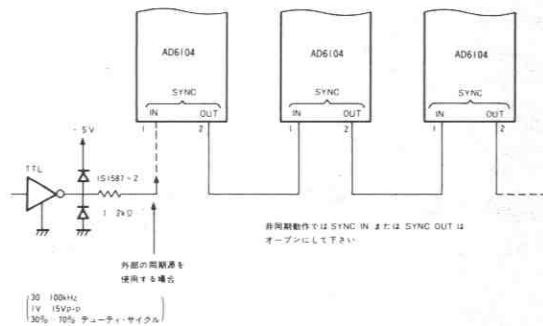


図14. 多チャンネルAD6104の同期例

3相整流器制御

3相整流波形の高精度測定はその出力波形の複雑さから従来ではアイソレーション・アンプを介しては難しいものでした。AD6104の高速度性を活用した例を図15に示します。

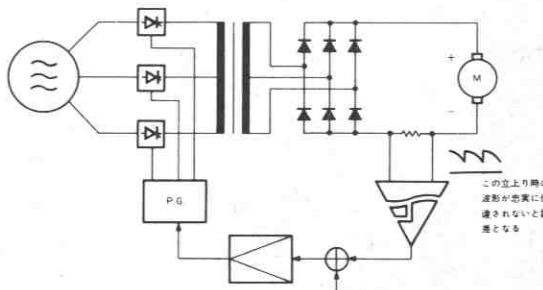
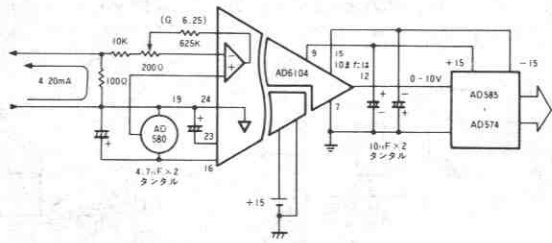


図15. 3相整流器制御

4-20mA 入出力アイソレーション

効果的な4-20mA 入出力アイソレーション例を図16に示します。

(a) アイソレーション付き4-20mA入力回路



(b) アイソレーション付き4-20mA出力DAC

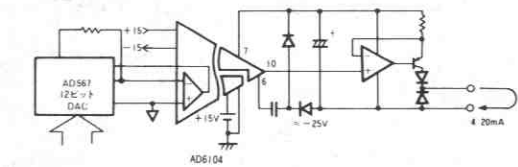


図16. 4-20mA入出力アイソレーション例

CMRR改善方法

AD6104の入力Com側の入力インピーダンスが高い場合、CMRRが100dB以下となり、この影響が無視できない応用には、図17のように入力側Comにバッファアンプを設けて、Com側不平衡時のCMRRの低下を極力抑えることができます。この場合、CMRR ≈ 120dBが可能になります。

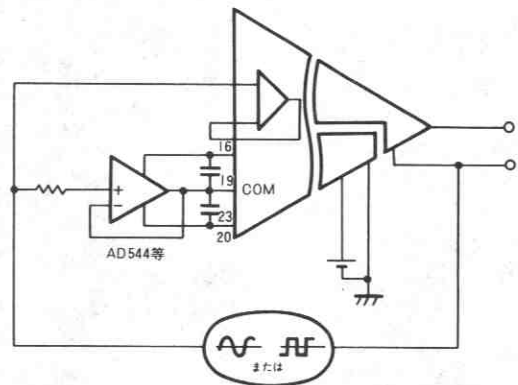


図17. CMRR改善方法

高性能AC電力測定モジュール

図18に高性能AC電力測定回路例を示します。特に近年盛んになってきているSW回路による主回路の制御下での電力測定は、高性能なものアイソレーション付きでは得難いのが実際でした。

ここにAD6104の高速性を活かした単相への例を示します。3相の場合には、AD6104による方法は、さらに有効となります。

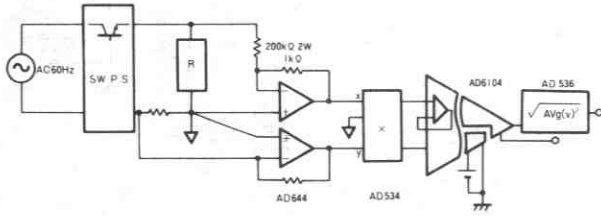


図18. 高速・高精度AC電力測定

アナログ乗除算器

目次

	ページ
セレクション・ガイド	148
AD633 低価格アナログ乗算器	149
AD734 10MHz, 4象限乗除算器	157

セレクション・ガイド

アナログ乗除算器

モデル	BW MHz typ ¹	トータル		パッケージ オプション	温度 ³ 範囲	特長	掲載ページ
		誤差 %FS max	精度対温度 %/°C typ				
AD834	500	2	—	N, Q, R	C, I, M	高速 4 象限乗除算	D6-40
AD539	60	1.5-2.5	1-2% (T _{min} -T _{max})	D, N	C, M	高速2CH, 2 象限乗除算	D6-32
●AD734	10	0.25-0.04	0.003	N, Q	I, M	AD534の高精度バージョン	157
●AD633	1	2	—	N, R	C	低価格, 4 象限乗除算	149
AD534	1	0.25-1.0	0.0008-0.022	D, E, H	C, M	高精度 4 象限乗除算	D6-13
AD532	1	1-2	0.01-0.04	D, E, H	C, M	4 象限乗除算	D6-9
AD533	0.75	0.5-0.8	0.01-0.04	D, H	C, M	低価格	D6-11
AD538	0.4	0.5-1.0	—	D	I, M	同時乗除算/指数演算	D6-24
AD535	0.02	0.5-5.0	0.01-0.05	D, H	C	除算器	D6-22

注1. ユニティ・ゲイン小信号帯域幅

2. パッケージ: D=セラミックDIP, E=セラミック・リードレス・チップ・キャリア, H=メタル・キャン, N=プラスチックDIP, Q=サーディップ, R=SOIC

3. 温度範囲: C=0~+70°C, I=-40~+85°C (旧製品では-25~+85°Cの場合もある), M=-55~+125°C

4. Dはデータブック1990/1991年版, PはPrecision Monolithics Divisionデータブック, そしてモデル名に●印のある製品は本データブック追補版に掲載されています。

太字で示すモデルは新規設計に最適な製品です。

特長

4象限乗算

低価格8ピン・パッケージ

全機能内蔵：外付け部品不要

レーザ・トリミングによる高精度と高安定性

フルスケール2%以内の総合誤差

差動、高インピーダンスのXおよびY入力

高インピーダンスのユニティ・ゲイン・サミング入力

レーザ・トリミングされた10Vスケール・リファレンス

応用

乗算、除算、2乗演算

変調／復調、位相検波

電圧制御アンプ／減衰器／フィルタ

概要

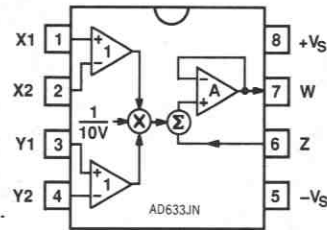
AD633は全機能を内蔵した4象限アナログ乗算器です。高インピーダンスの差動X、Y入力および高インピーダンスのサミング入力(Z)を備えています。低インピーダンス出力電圧は公称値10Vフルスケールで、埋込みツェナから供給されます。AD633はこれらの機能を低価格の8ピン・プラスチックDIPおよびSOICパッケージで実現する最初の製品です。

AD633はフルスケールの2%の総合精度を保証するためにレーザ・トリミングされています。Y入力の非直線性は標準値で0.1%以下であり、出力換算ノイズの標準値は、10Hz～10kHzの帯域において100μV rms以下です。1MHzの帯域幅、20V/μsのスルーレート、そして容量性負荷の駆動能力により、AD633は簡単さとコストが重要な幅広い応用で有効です。

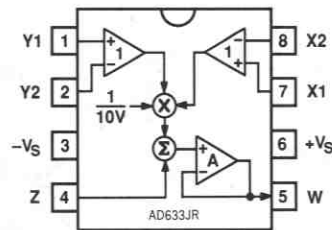
AD633の多機能性が、その簡単さによって損なわれることはありません。Z入力によって出力バッファ・アンプにアクセスすることができるため、2つ以上の乗算器出力の加算、乗算器ゲインの増加、出力電圧の電流への変換、そして各種の応用の構成が可能になります。

AD633のパッケージは8ピン・プラスチック・ミニDIPパッケージ(N)および8ピンSOIC(R)です。0～+70℃の一般用温度範囲で仕様が規定されています。

8ピン・プラスチックDIP (N) パッケージ



8ピン・プラスチックSOIC (R) パッケージ



$$W = \frac{(X_1 - X_2)(Y_1 - Y_2)}{10V} + Z$$

AD633接続図

製品ハイライト

1. AD633は全機能を内蔵した4象限乗算器で、低価格の8ピン・プラスチック・パッケージです。この製品はコスト効率が極めて高く、使用も容易です。
2. AD633の使用に際しては、外付け部品やコストのかかるユーザ校正が不要です。
3. モノリシック構造とレーザ・トリミングによる校正により、AD633は高安定で、高い信頼性を保証しています。
4. 高インピーダンス (10MΩ) な入力抵抗により、信号源負荷は無視することができます。
5. 電源電圧は±8～±18Vの範囲をとることができます。内部スケールリング電圧は安定なツェナ・ダイオードで生成し、乗算器の精度は基本的に電源の影響を受けにくくなっています。

仕様

($T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $R_L \geq 2\text{k}\Omega$)

モデル		AD633J			
伝達関数		$W = \frac{(X_1 - X_2)(Y_1 - Y_2)}{10\text{V}} + Z$			
パラメータ	条件	Min	Typ	Max	単位
乗算器特性					
総合誤差	$-10\text{V} \leq X, Y \leq +10\text{V}$		± 1	± 2	%フルスケール
$T_{\min} - T_{\max}$			± 3		%フルスケール
スケール電圧誤差	SF=10.00V nom		± 0.25		%フルスケール
電源変動除去比	$V_S = \pm 14 \sim \pm 16\text{V}$		± 0.01		%フルスケール
非直線性, X	$X = \pm 10\text{V}, Y = +10\text{V}$		+0.4	± 1	%フルスケール
非直線性, Y	$Y = \pm 10\text{V}, X = +10\text{V}$		± 0.1	± 0.4	%フルスケール
Xフィードスルー	$Y = 0, X = \pm 10\text{V}$		± 0.3	± 1	%フルスケール
Yフィードスルー	$X = 0, Y = \pm 10\text{V}$		± 0.1	± 0.4	%フルスケール
出力オフセット電圧			± 5	± 50	mV
ダイナミック特性					
小信号帯域幅	$V_O = 0.1\text{V rms}$		1		MHz
スルーレート	$V_O = 20\text{Vp-p}$		20		V/ μs
セトリング時間 (1%)	$\Delta V_O = 20\text{V}$		2		μs
出力ノイズ					
スペクトラル密度			0.8		$\mu\text{V}/\sqrt{\text{Hz}}$
広帯域ノイズ	$f = 10\text{Hz} \sim 5\text{MHz}$		1		mV rms
	$f = 10\text{Hz} \sim 10\text{kHz}$		90		$\mu\text{V rms}$
出力					
出力電圧スイング		± 11			V
短絡時電流	$R_L = 0\Omega$		30	40	mA
入力アンプ					
信号電圧範囲	差動 同相	± 10 ± 10			V V
オフセット電圧 X, Y			± 5	± 30	mV
CMRR X, Y	$V_{CM} = \pm 10\text{V}, f = 50\text{Hz}$	60	80		dB
バイアス電流 X, Y, Z			0.8	2.0	μA
差動抵抗			10		M Ω
電源					
電源電圧			± 15		V
定格性能					
動作範囲		± 8		± 18	V
電源電流	無負荷時		4	6	mA

注

大字で示す仕様はすべての製品について電氣的試験を実施しています。この試験の結果は出荷される製品の品質レベルの算出に用いています。すべての最小および最大仕様は保証されていますが、全製品について試験されているのは大字で示す仕様についてのみです。

仕様は予告なしに変更することがあります。

絶対最大定格¹

電源電圧	$\pm 18\text{V}$
内部電力消費 ²	500mW
入力電圧 ³	$\pm 18\text{V}$
出力短絡期間	無制限
保管温度範囲	$-65 \sim +150^\circ\text{C}$
動作温度範囲	$0 \sim +70^\circ\text{C}$
リード温度範囲 (ハンダ付け60秒間)	$+300^\circ\text{C}$

注

- 絶対最大定格を超えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスがある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。
- 8ピン・プラスチック・パッケージ: $\theta_{JA} = 165^\circ\text{C}/\text{W}$ 、8ピンSOパッケージ: $\theta_{JA} = 155^\circ\text{C}/\text{W}$ 。
- 電源電圧が $\pm 18\text{V}$ 以下の場合、絶対最大入力電圧は電源電圧と等しくなります。

機能の説明

AD633は、トランスリニア・コア、埋込みツエナ・リファレンス、アクセス可能な加算ノードをもったユニティ・ゲイン接続の出力アンプから構成される低価格の乗算器です。図1に機能ブロック図を示します。差動入力XとYは電圧-電流コンバータによって差動電流に変換されます。乗算コアは、これらの電流の積を発生します。埋込みツエナ・リファレンスは10Vの総合スケール・ファクタを供給します。そして、 $(X \cdot Y) / 10 + Z$ の和が出力アンプに与えられます。アンプの加算ノードZにより、2つ以上の乗算器出力の加算、出力電圧の電流への変換、そして各種のアナログ演算機能の構成が可能です。

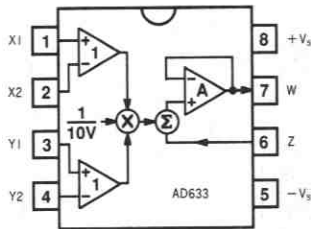


図1. AD633の機能ブロック図 (AD633JNのピン配置)

ブロック図から総合伝達関数は以下のようになります。

$$W = \frac{(X_1 - X_2)(Y_1 - Y_2)}{10V} + Z \quad (1)$$

誤差源

乗算器の誤差は、入力および出力オフセット、スケール・ファクタ誤差、乗算コアの非直線性から構成されます。入力および出力オフセットは、図2に示すオプションのトリムによって除去することができます。この方法によって、総合誤差はスケール・ファクタ誤差(ゲイン誤差)と、取除くことのできない乗算コア内の非直線性成分まで抑えることができます。XおよびY非直線性の標準値は、それぞれフルスケールの0.4%、0.1%です。スケール・ファクタ誤差の標準値はフルスケールの0.25%です。高インピーダンスのZ入力、特に遠隔の場合、常に駆動されるシステムのグラウンド・ポイント基準としてください。同様に、AD633の完全精度を得るためには、差動のXおよびY入力はそれぞれのグラウンド基準としてください。

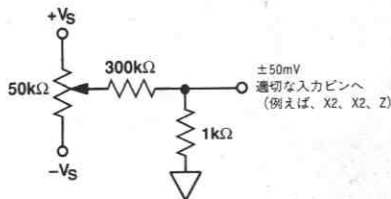


図2. オフセット・トリム回路 (オプション)

応用

AD633は変調/復調器、自動ゲイン制御、電力測定、電圧制御アンプ、周波数通信器などの応用に適しています。これらの応用の接続は、AD633JN (8ピンDIP) のピン配置に基づいて説明します。AD633JR (8ピンSOIC) のピン配置とは異なるため注意してください。

乗算器接続

図3に乗算の基本的な接続を示します。一般の場合、XおよびY入力の負側のノードはグラウンドに接続しますが、これらは完全な差動であり、多くの場合グラウンドに接続される入力(必要な出力極性を維持しながら、特定の極性をもつ信号とインタフェースするために)反転されるか、あるいは両方も駆動されます。

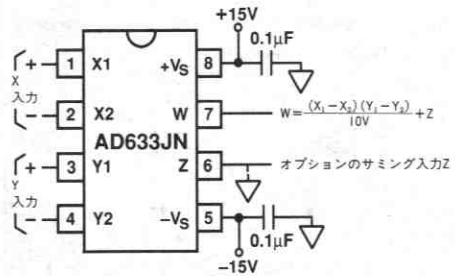


図3. 基本的な乗算器接続

2乗および周波数の通信

図4に示すように、入力信号Eの2乗演算を行なうには、出力に $E^2 / 10V$ を得るためにXとY入力を並列に接続します。入力は両極性が可能ですが、出力は正極性となります。しかしながら、出力極性はXまたはY入力を交換することによって反転することができます。出力に信号をさらに追加する際には、Z入力を用います。

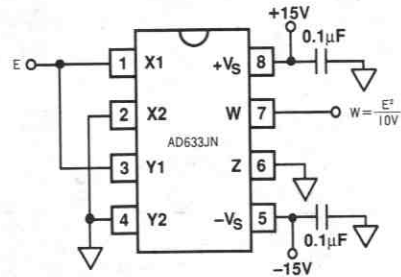


図4. 2乗接続

入力が正弦波 $E \sin \omega t$ の場合、この2乗回路は次式のように周波数通信器として動作します。

$$\frac{(E \sin \omega t)^2}{10V} = \frac{E^2}{20V} (1 - \cos 2\omega t) \quad (2)$$

式2は、出力におけるDC成分が入力振幅Eによって大きく変化する

ことを示しています。このことは、図5に示す接続を用いることによって避けることができます。この回路はRCネットワークを用いることによって、積がDC成分を含まない2つの信号を生成します。この回路は、以下の公式に基づいています。

$$\cos\theta\sin\theta = \frac{1}{2}(\sin 2\theta) \quad (3)$$

$\omega_0 = 1/CR$ においては、X入力は入力信号を45°進め(√2だけ減衰され)、Y入力はX入力を45°遅らせませす(同様に√2だけ減衰されます)。XおよびY入力の位相は90°ずれているため、この回路の応答は以下ようになります。

$$\begin{aligned} W &= \frac{1}{(10V)} \frac{E}{\sqrt{2}} (\sin \omega_0 t + 45^\circ) \frac{E}{\sqrt{2}} (\sin \omega_0 t - 45^\circ) \\ &= \frac{E^2}{(40V)} (\sin 2\omega_0 t) \end{aligned} \quad (4)$$

ここにはDC成分はありません。抵抗R1とR2は入力振幅が10Vであるため、出力振幅を10Vに復元するために接続されています。

出力振幅は周波数の弱い関数に過ぎず、 $\omega = 0.9\omega_0$ および $\omega = 1.1\omega_0$ で0.5%よりもかなり小さくなります。

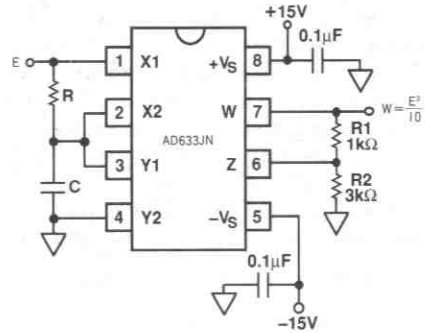


図5. バランスのない周波数通倍器

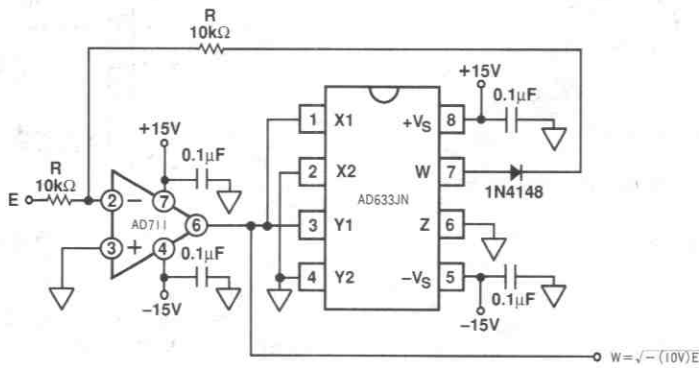


図6. 平方根接続

反転関数の生成

除算や平方根などのような乗算の反転機能は、オペアンプの帰還ループ内に乗算器をおくことによって表現できます。図6に、以下のような伝達関数をもつ平方根器を示します。

$$W = \sqrt{-(10V)E} \quad (5)$$

動作条件は、 $E < 0$ です。

図7に、帰還ループ内に乗算器を用いた除算器を示します。この除算器の伝達関数を次式に示します。

$$W = -(10V) \frac{E}{E_x} \quad (6)$$

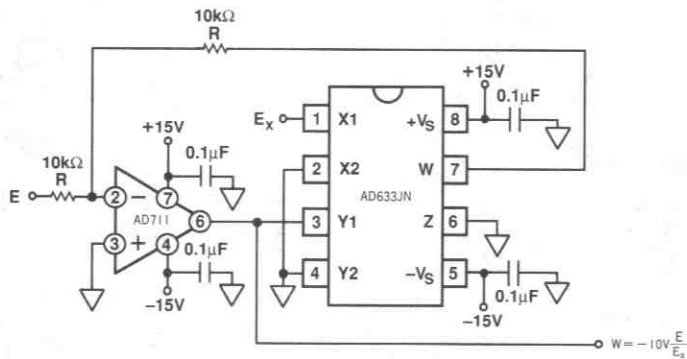


図7. 除算器の接続

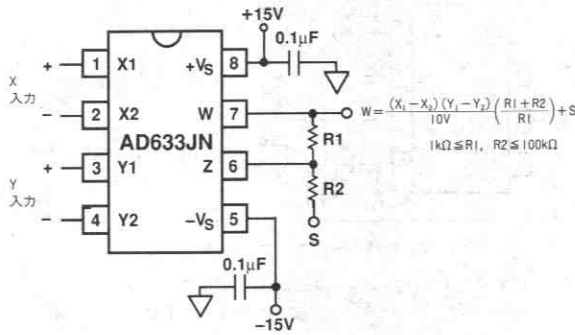


図8. 可変スケール・ファクタ接続

可変スケール・ファクタ

場合によっては、10V以外のスケーリング電圧を用いたい場合があります。図8に示す接続では、システムのゲインは $(R1+R2)/R1$ によって増加します。実際の応用では、この比は100に制限されます。加算入力Sは、出力にさらに信号を追加する場合に用い、追加しない場合にはグラウンドに接続します。

電流出力

AD633の電圧出力は図9に示すように、抵抗RをAD633のWピンとZピンの間に接続することによって電流出力に変換することができます。

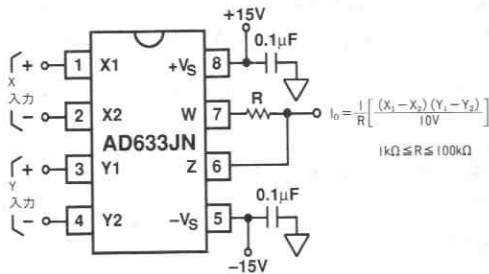


図9. 電流出力接続

この構成は、後述の電圧制御積分器および発振器に基づいています。この回路の伝達関数は以下のとおりです。

$$I_0 = \frac{1}{R} \frac{(X_1 - X_2)(Y_1 - Y_2)}{10V} \quad (7)$$

リニア振幅変調器

AD633は外付け部品の不要なリニア振幅変調器として用いることができます。図10にこの回路を示します。AD633に入力されるキャリアと変調信号は乗ぜられ、ダブル・サイドバンド信号が生成されます。キャリア信号はAD633のZ入力に正帰還されて、ダブル・サイドバンド信号と加算され、キャリア出力を含んだダブル・サイドバンド信号が生成されます。

電圧制御ローパスおよびハイパス・フィルタ

図11に1つの乗算器を用いた電圧制御ローパス・フィルタを示します。出力Aでの電圧は E_s をフィルタした出力です。ブレイク周波数は制御入力 E_c によって変調されます。ブレイク周波数 f_2 は次式で与えられます。

$$f_2 = \frac{E_c}{(20V)\pi RC} \quad (8)$$

そして、このフィルタのロールオフはオクターブあたり6dBです。この出力は高インピーダンス・ポイントであるため、バッファが必要です。

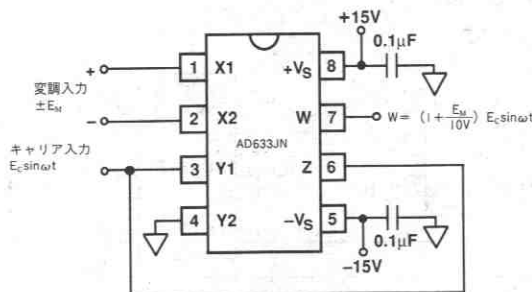


図10. リニア振幅変調器

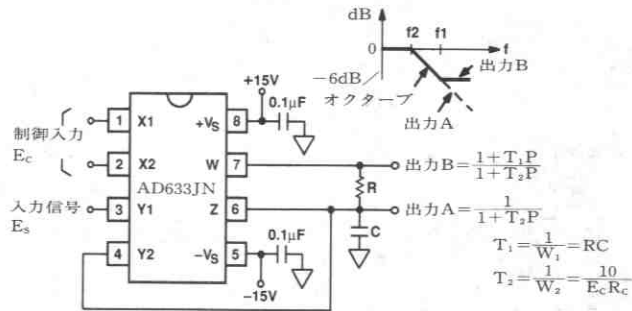


図11. 電圧制御ローパス・フィルタ

AD633の直接の出力である出力Bでの電圧は、周波数fまで同じ応答をもちます。RCフィルタの自然ブレイク・ポイントは、

$$f_1 = \frac{1}{2\pi RC} \quad (9)$$

であり、この点においてレベルは一定の減衰量 $f_1/f_2 = E_c/10$ まで落ちます。

例えば、 $R=8k\Omega$ 、 $C=0.002\mu F$ のとき、出力Aは100mV~10Vの E_c について、100Hz~10kHzの周波数においてポールをもちます。出力Bは10kHzにおいても0となります（そして、乗算器の低インピーダンス出力であるため負荷をかけることができます）。この回路は、図12に示すように抵抗とコンデンサを入替えることにより、ハイパス・フィルタとすることができます。

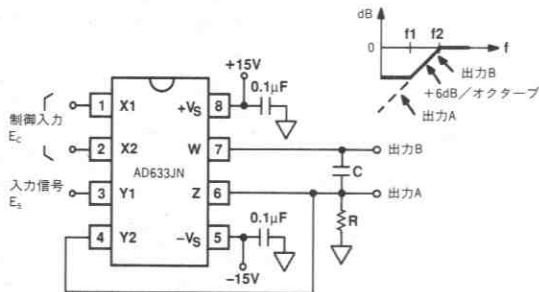


図12. 電圧制御ハイパス・フィルタ

電圧制御クワドラチャ発振器

図13に、2つの乗算器を用いた2次差動帰還ループ内に制御可能な時定数をもつ積分器を示します。R2およびR5によって、制御された電流出力動作が与えられます。この電流はコンデンサC1とC2内で積分され、高インピーダンスな結果の電圧が、次段のAD633のX入力に与えられます。Y入力に接続される周波数制御入力 E_c は、100Hz/Vの校正値に基づいて積分器のゲインを変化させます。精度はY入力のオフセットによって制限されます。この回路の実際のチューニング範囲は100:1です。C2(C1およびC3に比例)、R3およびR4は、発振の開始と持続のための再生増速を提供します。D1~D4 (1N914) のダイオード・ブリッジおよびツェナ・ダイオードD5は、温度安定性と再生ダンピングによる±8.5Vでの振幅安定性を効率的に与えます。2つ目の積分器からの出力 ($10V \sin\omega t$) の歪みは最小です。

AGCアンプ

図14は、出力波形の振幅を測定するためにrms-dcコンバータを用いたAGC回路です。AD633とAD712デュアル・オペアンプの1つであるA1により電圧制御アンプを構成しています。rms-dcコンバータAD736は、出力信号のrms値を測定します。rms出力は積分器/コンパレータのA2を駆動し、A2の出力が電圧制御アンプのゲインを制御します。ダイオード1N4148は、A2の出力が負になることを防ぎます。50kΩの可変抵抗R8によって回路の出力レベルを設定します。ループをまわるフィードバックによってA2の反転および非反転入力の電圧が等しくなり、AGCが実現されます。

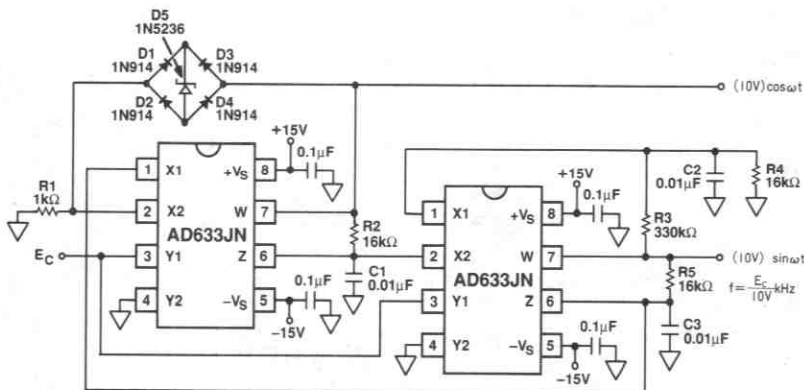


図13. 電圧制御クワドラチャ発振器

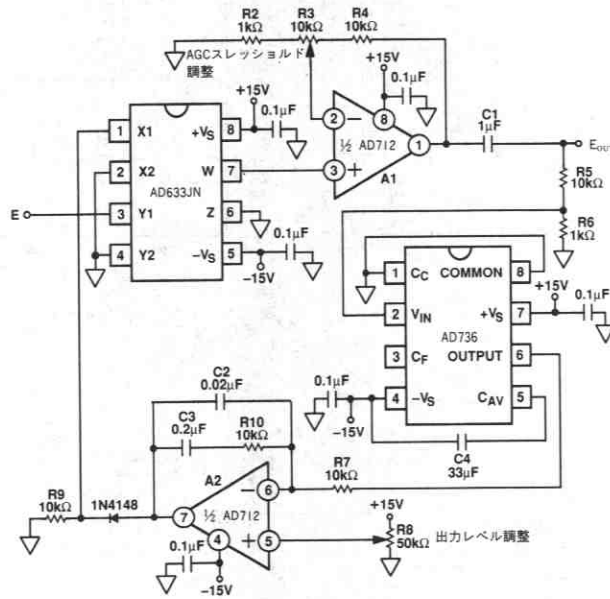


図14. 自動ゲイン制御回路の接続

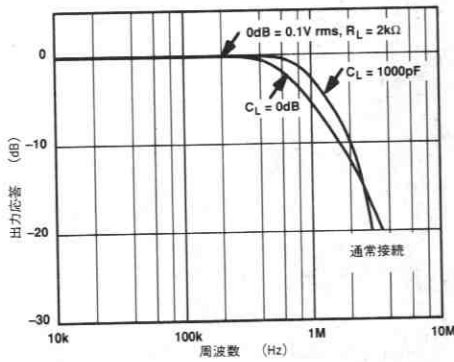


図15. 周波数応答

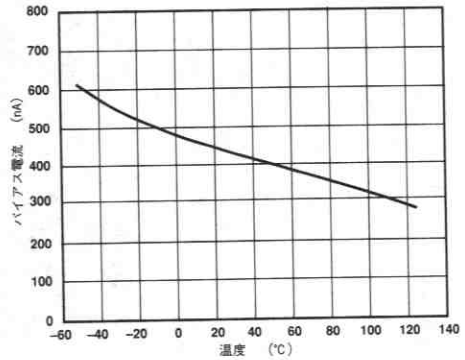


図16. 入力バイアス電流対温度 (X, YまたはZ入力)

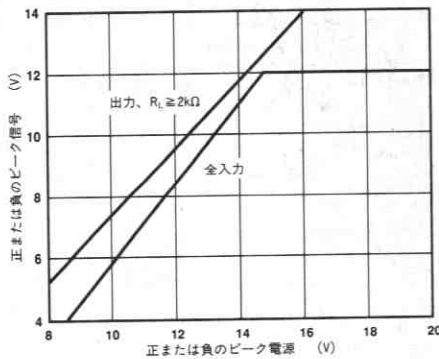


図17. 入力および出力信号範囲対電源電圧

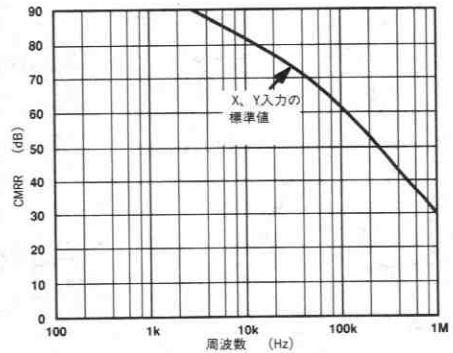


図18. CMRRの周波数特性

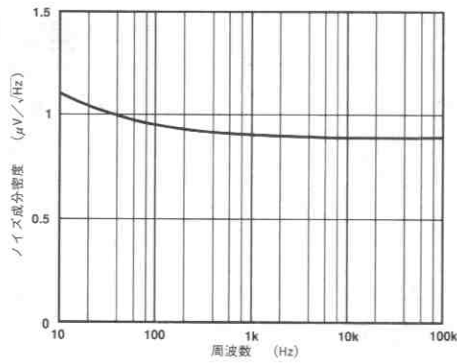


図19. ノイズ・スペクトラル密度の周波数特性

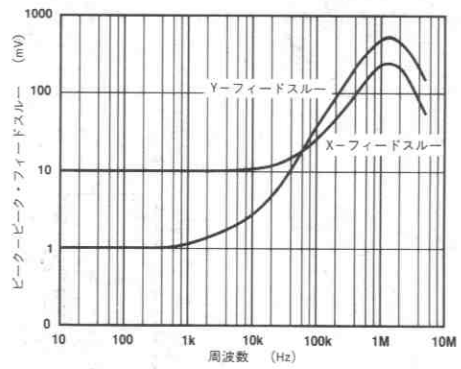


図20. ACフィードスルーの周波数特性

オーダ・ガイド

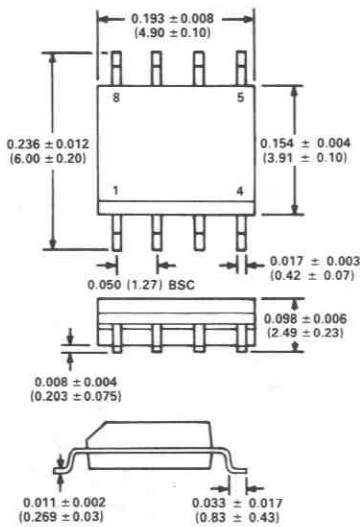
モデル	パッケージ	パッケージ・オプション*
AD633JN	8ピン・プラスチックDIP	N-8
AD633JR	8ピン・プラスチックSOIC	R-8

*N=プラスチックDIP、R=スモール・アウトラインIC (SOIC)。

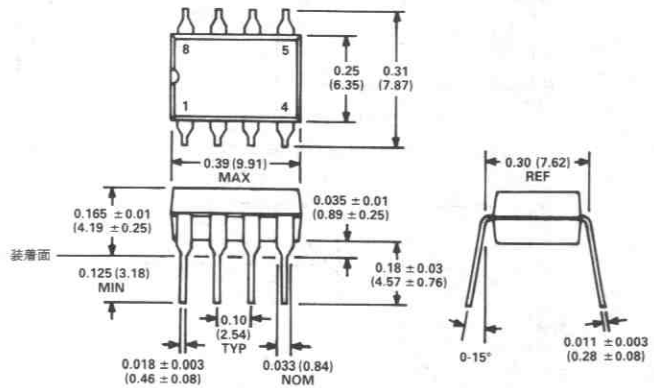
外形サイズ

サイズはインチと (mm) で示します。

8ピン・プラスチックSOIC (R) パッケージ



8ピン・プラスチックDIP (N) パッケージ



特長

高精度

誤差: 0.1% typ

高速

フルパワー帯域幅: 10MHz

スルー・レート: 450V/μs

フルパワーでのセトリング時間: 200ns (0.1%)

低歪み

任意の入力で-80dBc

第3次混変調歪み: -75dBc typ (10MHz)

低ノイズ

S/N比: 94dB (10Hz~20kHz)

S/N比: 70dB (10Hz~10MHz)

直接除算モード

ゲイン=100で帯域幅2MHz

応用

AD534の上位コンパチブルIC

乗算、除算、2乗、平方根

変調器、復調器

広帯域ゲイン制御、RMS-DC変換

電圧制御アンプ、発振器、フィルタ

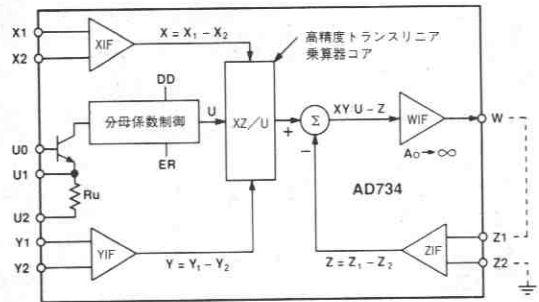
40MHz入力帯域幅の復調器

概要

AD734は業界標準のAD534とピン・コンパチブルの高精度、高速4象限アナログ乗算器で、 $W=XY/U$ の伝達関数を備えています。AD734は、低インピーダンス電圧出力と10MHzのフルパワー (20Vp-p) 帯域幅を備えています。総合スタティック誤差(スケールング、オフセット、非直線性の組合せ)はフルスケールの0.1%です。歪みの標準値は-80dBc以下であり、保証されています。低容量のX、Y、Z入力は完全に差動です。ほとんどの応用で関数を定義するための外付部品は不要です。

内部スケールング(分母係数)電圧Uは10Vで、埋込みのツェナ電圧リファレンスから供給されます。新しい機能により外部分母電圧を代用するオプションが実現し、AD734で1000:1の分母範囲で2象限の除算を行なうことができ、信号帯域幅は20dBまでのゲインで10MHz、40dBのゲインで2MHz、60dBのゲインで200kHzを維持し、ゲイン帯域幅積は200MHzとなります。

AD734の優れた性能は、高速コンプリメンタリ・バイポーラ・プロセスと、これまでのDC方式によらないAC信号に基づくレーザ・トリミングによる先例のない新しい回路技術の組合せにより実現されています。AD734の広帯域 (>40MHz) 入力段と乗算器部での200MHzのゲイン帯域幅積により、必要な出力周波数が10MHz以下の場合、40MHzという高い入力周波数をもつ低歪みの復調器として使用することができます。



AD734機能ブロック図

AD734AQとAD734BQは-40~+85°Cの産業温度範囲で仕様が規定され、14ピン・セラミックDIPパッケージです。-55°C~+125°Cの軍用温度範囲のAD734SQ/883BはMIL-STD-883Bプロセス準拠品で、14ピン・セラミックDIPパッケージです。

製品ハイライト

AD734は弊社の20年以上にわたるアナログ乗算器の設計と製造技術をベースに、以下のような機能を実現しました。

1. AD534の20倍以上のスルーレート (20V/μsに対し450V/μs) とフルパワー (20Vp-p) 帯域幅 (10MHz) をもった新しい出力アンプの設計を採用しています。
2. 従来の設計で見られたスプリアス非直線性をすべて新しい回路とトリミング技術の使用により完全に除去し、フルパワーにおいても非常に低歪みです。
3. 分母係数の直接制御によって、小さな分母値で高い乗算精度および除算モードのAD534の200倍 (typ) のゲイン帯域幅積が得られます。
4. 新規の入力段設計と広帯域出力アンプの使用により、非常にクリーンな過渡応答が実現し、また高い周波数でも低歪み特性を確実にします。
5. デバイスの配置と動作条件に関する配慮により、優れたノイズ特性が得られ、20kHz帯域幅で88dBのダイナミック・レンジを実現しています。

仕様

($T_A = +25^\circ\text{C}$, $+V_S = VP = +15\text{V}$, $-V_S = VN = -15\text{V}$, $R_L \geq 2\text{k}\Omega$)

伝達関数

$$W = A_o \left\{ \frac{(X_1 - X_2)}{(U_1 - U_2)} \frac{(Y_1 - Y_2)}{(Z_1 - Z_2)} - (Z_1 - Z_2) \right\}$$

パラメータ	条件	A			B			S			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
乗算器性能											
伝達関数											
トータル・スタティック誤差 ¹	$-10\text{V} \leq X, Y \leq 10\text{V}$										
T min~T max											
封温度											
封各電源	$\pm V_S = 14\text{V} \sim 16\text{V}$										
ピーク非直線性	$-10\text{V} \leq X \leq +10\text{V}, Y = +10\text{V}$ $-10\text{V} \leq Y \leq +10\text{V}, X = +10\text{V}$										
THD ²	$X = 7\text{Vrms}, Y = +10\text{V}, f \leq 5\text{kHz}$ T min~T max $Y = 7\text{Vrms}, X = +10\text{V}, f \leq 5\text{kHz}$ T min~T max										
フィードスルー	$X = 7\text{Vrms}, Y = 0, f \leq 5\text{kHz}$ $Y = 7\text{Vrms}, X = 0, f \leq 5\text{kHz}$ X=Y=0										
ノイズ(RTO)	スペクトラル密度										
総合出力ノイズ	100Hz~1MHz 10Hz~20kHz T min~T max										
除算器特性(Y=10V)											
伝達関数											
ゲイン誤差	$Y = 10\text{V}, U = 100\text{mV} \sim 10\text{V}$										
X入力クリッピング・レベル	$Y \leq 10\text{V}$										
U入力スケール誤差 ³	T min~T max										
(1%に対する出力)	$U = 1\text{V} \sim 10\text{V}$ ステップ, X=1V										
入力インタフェース(X, Y, Z)											
3dB帯域幅											
動作範囲											
X入力オフセット電圧	差動または同相										
Y入力オフセット電圧	T min~T max										
Z入力オフセット電圧	T min~T max										
Z入力PSRR(各電源)	T min~T max $f \leq 1\text{kHz}$										
CMRR	T min~T max $f = 5\text{kHz}$										
入力バイアス電流(X, Y, Z入力)	T min~T max										
入力抵抗	差動										
入力容量	差動										
分母係数インタフェース(U0, U1, U2)											
動作範囲											
分母範囲											
インタフェース抵抗	U1~U2間										
出力アンプ(W)											
出力電圧振幅	T min~T max										
オープン・ループ電圧ゲイン	X=Y=0, Z入力										
ダイナミック応答	XまたはY入力, $CL \leq 20\text{pF}$, $W \leq 7\text{Vrms}$										
3dB帯域幅											
スルー・レート											
セトリック時間	+20Vまたは-20V出力ステップ										
1%											
0.1%											
出力短絡電流	T min~T max										
電源, ±V _S											
動作電源範囲											
無負荷時電源電流	T min~T max										

注

- この値はフルスケールの%で示されています(例: 0.01%=1mV)
- dBcは7Vrmsのフルスケール入力(船送波)レベルとの相対デシベル値です。
- 試験回路は図10を参照。

最小値および最大値はすべて保証されています。太字の仕様は最終電気試験で全数試験されています。

仕様は予告なしに変更することがあります。

AD734

絶対最大定格¹ (特に指定のない限り、 $T_A = +25^\circ\text{C}$)

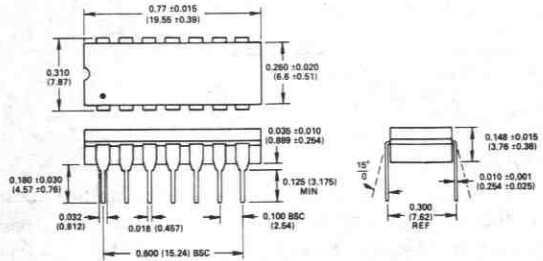
電源電圧	±18V
内部消費電力 ²		
$T_j \text{ max} = 175^\circ\text{C}$	500mW
X、Y、Z入力電圧	VN~VP
出力回路短絡時間	無制限
保管温度範囲		
Q	$-65^\circ\text{C} \sim +150^\circ\text{C}$
動作温度範囲		
AD734A、B	$-40^\circ\text{C} \sim +85^\circ\text{C}$
AD734S	$-55^\circ\text{C} \sim +125^\circ\text{C}$
リード温度 (ハンダ付け60秒)	+300°C
トランジスタ数	81

- 注
- 絶対最大定格を超えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスがある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。
 - 14ピン・セラミックDIP: $\theta_{JA} = 110^\circ\text{C}/\text{W}$

外形サイズ

サイズはインチと (mm) で示します。

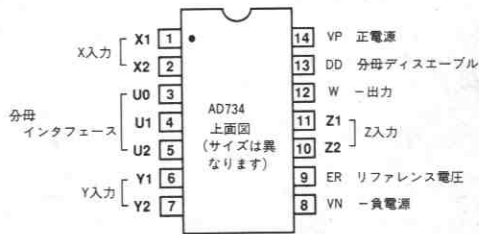
14ピン・セラミック (Q) パッケージ (上面図)



オーダー・ガイド

温度範囲	14ピン・セラミックDIP (Q-14)
産業用 $-40 \sim +85^\circ\text{C}$	AD734AQ AD734BQ
軍用 $-55 \sim +125^\circ\text{C}$	AD734SQ/883B

ピン配置 14ピンDIP (Qパッケージ)



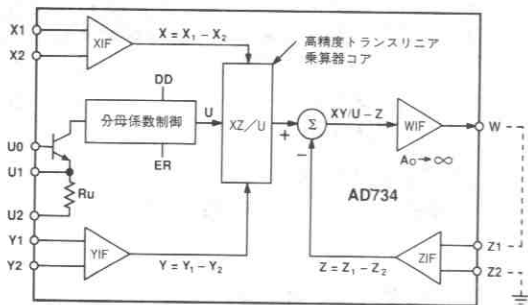


図1. AD734のブロック図

機能の説明

図1にAD734のブロック図を示します。動作は業界標準のAD534と同様であり、多くの応用でピン・コンパチブルです。おもな機能的な違いは分母電圧Uの直接制御が付け加えられたことで、これに関しては次ページで詳細に説明します。内部信号は実際には電流の形ですが、AD734の機能はブロック図に示すようにすべて電圧を使用することで解釈できます。ピンはX1、Z2のように表示し、これらのピンの電圧はX1、Z2のように表現されています。

AD734の差動X、Y、Z入力は低オフセット、低バイアス電流、低歪みの広帯域インタフェースにより扱われます。AD734は $X = X_1 - X_2$ 、 $Y = Y_1 - Y_2$ 、 $Z = Z_1 - Z_2$ という差動信号に対応し、これらの入力の同相電圧を除去します。X、Y、Zインタフェースは±10Vの公称フルスケール電圧を与えますが、入力段の特殊設計により差動入力の線形範囲は±17Vとすることができます。従来の設計とは異なり、これらの入力の応答は±15Vより上では急にクリップしませんが、半分の勾配まで低下します。

バイポーラ入力信号X、Yは新規設計のトランスリニア・コアで乗算され、積 XY/U を発生します。分母電圧Uは埋込みツェナ電圧により供給され、内部で正確で温度的に安定な10Vに設定されています。分母電圧Uの未校正の被除数は電圧リファレンス・ピン (ER) と負電源ピン (VN) との間に現れ、この電圧は温度補償されたリファレンス電圧が必要な応用に使用できます。内部分母Uは分母ディスプレイ・ピン13 (DD) を正電源ピン (VP) に接続することでディスプレイすることができます。分母係数はこの設定後に10mV~10V以上までの範囲の外部からの固定または可変の電圧に置き換えることができます。

XY/U と追加信号Zとの差を高ゲイン出力オペアンプによりゼロ調整することで、最終出力Wを生成します。実際の伝達関数は接続によっていくつかの異なる形式をとることができます。AD734はAD534で使用できるすべての関数およびUインタフェースにより得られる直接除算モードを使用した新しい関数を実行可能です。

個々の入力ペア (X1とX2、Y1とY2、Z1とZ2) は50kΩの差動入力抵抗をもっています。この抵抗は実際の抵抗 (小信号の近似値ではない) で形成されており、±20%の許容誤差をもちます。同相入力抵抗は数MΩで、その寄生容量は約2pFです。

これらの入力のバイアス電流はレーザ・トリミングによりゼロ調整されており、ペアの片方の入力をAC結合し、他方をグラウンドに接続した場合の代表的な残留オフセット電圧が5mV以下で、これに対応するバイアス電流は100nAにすぎません。この低いバイアス電流特性により、ペア入力における信号源抵抗のミスマッチングからオフセット誤差を発生することはありません。これらの電流は全温度範囲と全電源範囲で低く保たれます。

X、Y、Z入力の同相モード範囲は、電源レールまで完全には拡張されていません。その代わりに、これまでの乗算器とは異なり、AD734では1つの入力ペアのどちらか片方の端子を正または負電源のどちらかに接続して動作させることができます。同相モード抵抗は数MΩです。

1kΩの負荷抵抗に対して±10Vのフルスケール出力が得られます (規定の標準負荷抵抗条件は2kΩです)。出力アンプは少なくとも100pFの容量性負荷に対して安定で、この容量によるピーキングの結果わずかに帯域幅が広がります。AD734の450V/μsのスルー・レートの出力アンプにより10MHzの帯域幅が20Vp-pの全出力まで保たれます。信号レベルを減少させれば±8Vまでの低電源電圧動作が可能です。

可能な伝達関数

AD734のオープン・ループ伝達関数は以下ようになります。

$$W = A_o \left\{ \frac{(X_1 - X_2)(Y_1 - Y_2)}{U} - (Z_1 - Z_2) \right\} \quad (1)$$

ここで A_o は出力オペアンプのオープン・ループ・ゲインで、72dB typです。負帰還経路を設けた場合には、その回路では {} 内の量が基本的にゼロとなるため、以下の式が成り立ちます。

$$(X_1 - X_2)(Y_1 - Y_2) = U(Z_1 - Z_2) \quad (2)$$

この式はAD734で最も一般的な伝達関数であり、XYの積とUZの積の平衡を表わします。上式で出力Wの項がないことは、どの入力がおペアンプ出力に接続されるかが規定されていない事実に対応しているに過ぎません。

AD734のほとんどの伝達関数 (AD534と異なり、除算も含まれます) は、Z1をWに接続することで実現されます。上式でZ1を代入すると以下の式となります。

$$W = \frac{(X_1 - X_2)(Y_1 - Y_2)}{U} + Z_2 \quad (3)$$

残りの入力Z2は、他の信号を出力に加算することに使用できます。積信号のない場合、WはZ2の電圧に全帯域幅10MHzで追従します。加算の必要がない場合、Z2は負荷回路のグラウンドに接続することができます。使用可能な極性は以下の簡略式で示されます。

$$(\pm W) = \frac{(\pm X)}{(\pm U)} + \pm Z \quad (4)$$

推奨の直接除算器モードでは、Y入力は固定電圧 (通常10V) に設定され、U電圧は10mV~10Vの範囲で直接可変させます。比 X/U の値は1.25を越えることはできません。たとえば、U=1VのときXのピーク入力は±1.25Vとなります。これより上のレベルではX入力の正負のピークでクリップが発生します。他の方法としては、負帰還経路がY2入力を通じて作られている場合には、AD734を通常 (AD534のような) 除算器接続 (図8) を使用して動作させることができます。(2)式のY2の代わりにWを置換えると以下のようになります。

$$W = U \frac{(Z_2 - Z_1)}{(X_1 - X_2)} + Y_1 \quad (5)$$

この場合には変数Xは分母係数となり、X入力についての上述の制限 ($X/U \leq 1.25$) は適用されないことに注意して下さい。しかし帰還極性を正しく保つためにはXは正極性でなければなりません。加算のためにY1を使用することができ、その必要がない場合には、

負荷グラウンドに接続します。この場合、以下の簡略式のようになります。

$$(\pm W) = (+U) - \frac{(\pm Z)}{(+X)} + (\pm Y) \quad (6)$$

場合によっては任意の2つの入力に帰還を接続することができます。これは平方根の接続(図9)の場合であり、WはX₁とY₂の両方に接続されます。(2)式でX₁=WおよびY₂=Wとし、再加算入力の可能性を予想し、X₂=SおよびY₁=Sとすると、以下のような簡略式になります。

$$(\pm W) = \sqrt{(+U)(+Z)} + (\pm S) \quad (7)$$

この式は、UとZの両方が変数をとることができるため、より一般的には相乗平均関数としても見ることができます。動作は1象限に制限されます。帰還はUインタフェースにもとることができます。これらのモードの詳細については本データ・シートの対応する項を参照して下さい。

分母係数の直接制御

AD734では、新しい機能として内部分母電圧Uを+10mV~+10Vまでの範囲の値と置換えることができるようになりました。このことにより以下のような目的に使用できます。(1) 乗算スケールを簡単に変化させることができ、したがって精度を改善し、小さな入力信号動作時のノイズ・レベルを減少させることができます。(2) 1000:1のゲイン範囲と200MHzの漸近的なゲイン帯域幅をもつ正確な2象限除算器を実現できます。(3) AGCやrmsなどの他の特別な機能を実現します。

図2に分母係数制御に関係する内部回路を示します。分母は実際にはU=10Vの時356μA typの値をもつ電流I_uに比例し、主なリファレンスは埋込みツェナ回路により生成され、レーザ・トリミングにより非常に低い温度係数をもつ電圧を基準にしています。この電圧は通常8V±10%です。

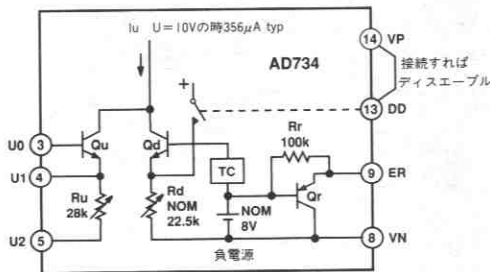


図2. 分母係数制御回路

温度補正(TCブロック)を行なった後、リファレンス電圧はトランジスタQ_dとトリミングされた抵抗R_dに加えられ、必要なリファレンス電流を生成します。トランジスタQ_uと抵抗R_uは内部分母係数の設定には使用されず、これらの関係する制御ピンU₀、U₁、U₂は通常はグラウンドに接続されます。リファレンス電圧もピン9(ER)に接続された100kΩの抵抗R_rにより供給することができます。Q_rの使用法を以下にさらに述べます。

制御ピンDD(分母ディスエーブル)がVPに接続されている場合には、I_uの内部電流源は遮断され、Q_uのコレクタ電流が分母電流を与えなければなりません。抵抗R_uはレーザ・トリミングされているため、乗算器の分母はこの抵抗にかかる電圧(ピンU₁とU₂の間にかかる電圧)と正確に等しくなります。この調整は内部の正確な比を設定するだけであることに注意して下さい。R_uの絶対値(公称28kΩ)は±20%の許容誤差をもっています。またQ_uのα(0.995 typ)はスケール誤差源とみなされますが、実際の回路では他のトランジスタのαにより打消されます。

簡単な図(図3)では外部供給の制御電圧V₀はU₀とU₂に直接加えられ、R_uにかかる結果電圧はV_{BE}だけ減少します。例えばV₀=2Vの場合には、Uの実際の値は約1.3Vとなります。この誤差は自動ゲイン制御(AGC)のようないくつかのクローズド・ループの応用では重要ではありませんが、分母値が厳密に定義されなければならない応用では明らかに受け入れられません。Uの値が正確な固定値で設定される必要がある場合には、オンチップのリファレンスを使用します。図4に示すように、トランジスタQ_rはQ_uのV_{BE}を打消すために用いられ、外付抵抗R₂でバイアスされています。必要なUの値を設定するために、固定抵抗と可変抵抗がR₁に用いられています。

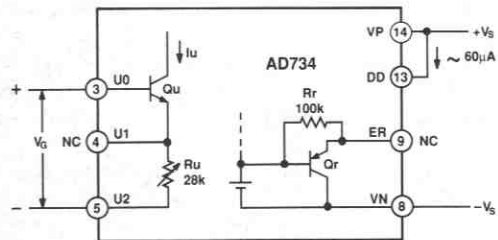


図3. 低精度の分母係数制御回路

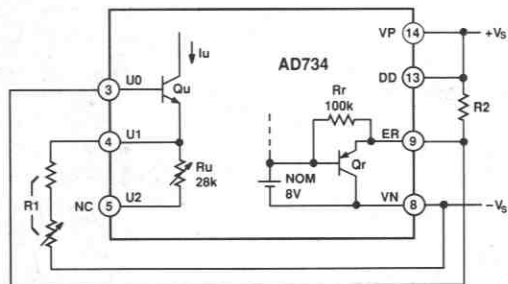


図4. 固定分母係数のための接続

表 I に標準以外の分母値を設定するための使用可能な外付部品の値を示します。

分母係数	R1 (固定)	R1 (可変)	R2
5V	34.8kΩ	20kΩ	120kΩ
3V	64.9kΩ	20kΩ	220kΩ
2V	86.6kΩ	50kΩ	300kΩ
1V	174kΩ	100kΩ	620kΩ

表 I. 標準以外の分母値を設定するための使用可能な外付部品の値

ピン3 (U0) をグラウンドに接続し、ピン4 (U1) からの電流 I_u をキャンセルすることで分母についても電流制御を行なうことができます。定格のスケーリング関係は $U = 28 \times I_u$ で、 u は電圧で、 I_u は mA で表わされます。この関係の直線性は非常に良好ですが、スケーリングの許容誤差は $\pm 20\%$ であることに注意して下さい。ピン3~5の同相範囲は実際には VP 以下の 4V~36V の電圧となり、他の電圧を使用する場合には、U0 をグラウンドに接続しなければならないという制限が不要になります。

出力 ER もバッファし、再スケーリングして、汎用リファレンス電圧として使用することができます。この電圧は負電源ピン8 (VN) に関して生成されますが、信号インタフェースの1つを駆動する場合には容認できます。除算器の応用のために10Vの固定の分子を生成する例を図12に示します。この例では Z_2 を VN に接続していますが、 Y_1 はこの値より10V高い値となっています。したがって、このインタフェースにおける同相モード電圧はVNよりも5V高い値となり、内部バイアス条件を満足しています。(仕様表を参照)。

乗算器としての動作

この項で使用される接続方式は、AD734がピン・コンパチブルであるAD534と基本的に同様です。このなかで唯一注意すべき点はAD534のピン3, 5, 9, 13は内部接続されておらず、ピン4は少し異なる用途に使用されていることです。多くの場合、AD734はAD534と直接互換可能であり、スタティック精度、歪み、フィードスルー、速度を向上できます。AD534の応用で小さな分母電圧を実現するためにピン4を使用している場合には、AD734を使用すればこの機能をはるかに高い精度で実現できます。(分母係数の直接制御の項を参照)。

AD734では $\pm 8V$ までの低い電源電圧動作が可能です。電源電流は電源電圧とは基本的に独立しています。高速回路に共通ですが、使用条件で安定に動作させるためには注意深い電源デカップリングが重要です。高い周波数での負荷電流がこれらのデカップリング・コンデンサを通じて還流するため、このコンデンサは常に負荷グラウンドに接続しなければなりません。負荷グラウンドの表示のために特別なマーク (三角の中にLが表示されている) を使用していることに注意してください。

標準の乗算器接続

図5に乗算器の基本的な接続を示します。XとY入力の負ノードはグラウンドに接続されていますが、これらは完全差動です。多くの応用ではこれらのグラウンド入力は必要な出力極性を実現しながら特別な極性信号とのインタフェースを実現するために、反転される場合や両入力が駆動される場合があります。

AD734のX、Y、Zインタフェースの入力抵抗は $50k\Omega \pm 20\%$ で、ハイパス (HP) コーナー周波数を適度に制御可能なACカップリングを実現できます。0.1μFのコンデンサによりHPコーナー周波数は32 Hzとなります。この周波数をより確実に制御することの必要な場合

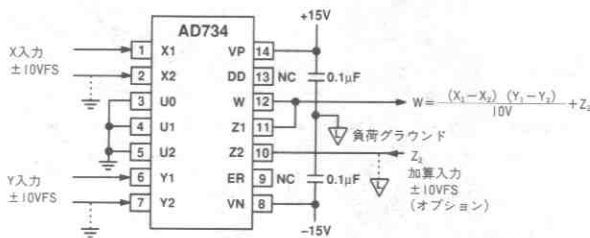


図5. 基本的な乗算器回路

や、HPコーナーが約100kHzを越える場合には、入力ノード・ペア間に外部抵抗を接続します。

任意のペアの2つの入力のうち少なくとも1つにはDC経路 (通常はグラウンド) を設けなければなりません。AD734の完全精度を実現するうえで、グラウンド・リターンに注意深い選択を行なうことが重要です。Z2ピンは通常は負荷グラウンドに接続しますが、場合によっては接続点が高い場合もあります。またZ2ピンは $\pm 10V$ の定格 FS入力と10MHzの帯域幅をもつオプションの加算入力 (3) 式と (4) 式を参照) としても使用できます。

高い絶対精度が重要な場合には、信号源の有限の抵抗値によるスケーリング誤差が問題になります。たとえば、たった一つの入力における50Ωの信号源抵抗で-0.1%のゲイン誤差が、生じます。X、Yの両方の入力が50Ωの信号源で駆動される場合には、積に含まれるスケーリング誤差は-0.2%となります。信号源抵抗が判明している場合には、適当な抵抗 (上の例ではそれぞれ50Ωまたは100Ωの抵抗) を出力W (ピン12) と帰還入力Z1 (ピン11) の間に接続することでゲイン誤差を完全に補正できます。X1およびX2入力の総合信号源抵抗が R_x 、Y1およびY2入力の総合信号源抵抗が R_y で、 R_x と R_y の値が両方とも1kΩ以下の場合には、 $R_x + R_y$ の値をピンZ1に直列に接続すれば必要なゲインの回復を行なうことができます。

この応用ではピン9 (ER) および13 (DD) は無接続のままです。U入力 (ピン3, 4, 5) はグラウンドに接続されていますが、必要に応じてグラウンドに接続する代わりにVNに接続することもできます。ピン2 (X2) が高振幅で高い周波数の信号で駆動されるような応用では、ピン3をグラウンドに落とさないと、分母制御回路への容量性カップリングのため高周波数の歪みを発生します。しかしこれまで述べたような注意を払えば、AD734はAD534のソケットに接続して無改造で動作し、これらの3個のピンは無接続のままにすることができます。

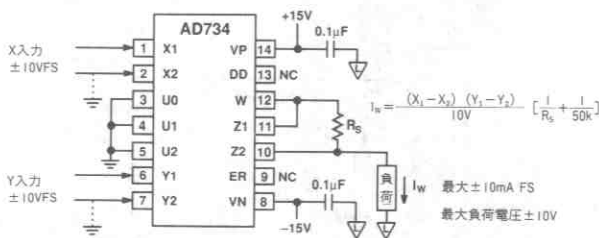


図6. 電流出力への変換

電流出力

出力電圧を電流に変換したい場合があります。たとえば乗算の後に積分を行なうような相関関係の応用では、出力形式が電流の場合にはグラウンドとの間に接続されたコンデンサによりこの機能を実現することができます。図6にこの回路を示します。オペアンプによってZ1とZ2の間の電圧、つまりR_sの両端の電圧をXY/Uに変換します。Zインタフェースの入力抵抗はR_sによりシャントされており、計算に入れておく必要があります。

FS電流の最小値は±10V/50kΩつまり±200μAで、許容誤差は約±20%です。無調整で1%の変換誤差を保証するためには、R_sの値は2.5kΩ以下でなければなりません。最大フルスケール出力電流は約±10mA（したがってR_s=1kΩ）に制限しなければなりません。この制限はどの端子接続モードにも適用されます。

2乗と周波数の2倍倍

入力信号Eの2乗はX、Y入力を並列に接続することで簡単に実現します。位相を選択することで任意のE²/Uまたは-E²/U出力を得ます。入力はどちらかの極性をもちますが、基本的な出力極性は常に正または負の極性となります。乗算動作ではZ2入力は出力への他の信号の加算に使用できます。

(8)式に示すように入力が正弦波の場合、2乗動作により周波数が2倍されます。

$$(E \sin \omega t)^2 = E^2 (1 - \cos 2\omega t) / 2 \quad (8)$$

(8)式から入力電圧Eの振幅により出力のDC成分が大きく変化することが示されます。このDC成分は図7に示すようにDC成分を含まない積をもつ2個の信号を発生するためにRC回路を用いて避けることができます。出力は以下のようにになります。

$$W = 4 \left\{ \frac{E}{\sqrt{2}} \sin \left(\omega t + \frac{\pi}{4} \right) \right\} \left\{ \frac{E}{\sqrt{2}} \sin \left(\omega t - \frac{\pi}{4} \right) \right\} \left(\frac{1}{10V} \right) \quad (9)$$

ここで $\omega = 1/CR1$ で、

$$W = E^2 (\cos 2\omega t) / (10V) \quad (10)$$

となり、DC成分を含まません。E=10Vのとき出力を±10Vとするためには、WとZ1の間に約4:1の帰還分圧器を使用します。この方法は伝達関数でより高い総合ゲインを実現しなければならない場合にすべて使用できます。

実際にはR3とR4には3個のインタフェースすべてのもつ50kΩの入力抵抗の影響に対する補償が含まれています。R2にも同様の理由が含まれます。これらの抵抗値はその影響に関する慎重な計算なしに変更すべきではありません。ここに示す値ではC=1nFのとき中心周波数f₀は100kHzとなります。f=0.9f₀およびf=1.1f₀で出力振幅は0.5%と極めて低くなります。(10)式に示すようにサイン出力と共にコサイン出力を発生する簡単な方法はクロス接続ですが、この場合の符号が重要であることはありません。

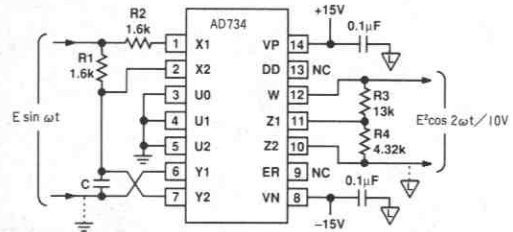


図7. 周波数2倍倍回路

除算器動作

AD734ではアナログ除算を行なう2種類の方法があります。1つは帰還ループ内で乗算器を使用する方法です。この方法はAD534のような固定スケーリング電圧をもつ乗算器に推奨される標準的なモードであり、この項で説明します。2番目の方法はAD734のみに適用され、外部からスケーリング（分母）電圧を直接変化させる方法であり、次の項で説明します。

帰還除算器接続

図8に標準的な（AD534）除算器モードを示します。出力Wからの帰還信号をY2（反転）入りに接続することにより、X入力が正極性の場合には負帰還経路となります。Y1は通常は負荷回路に関連したグラウンドに接続しますが、出力に他の信号を加算するために使用することもできます。必要ならば、WをY1とY2に接続し、オプションの加算入力として使用して、Y入力接続の極性を逆にすることができます。この場合にはX入力接続の極性を逆にするか、あるいはX入力電圧を負にしなければなりません。

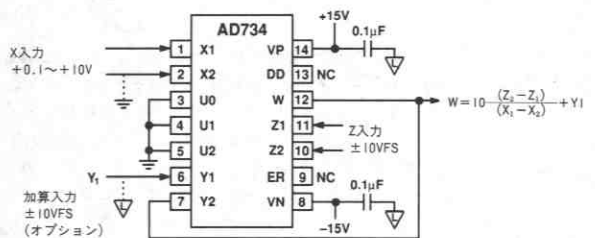


図8. 標準（AD534）の除算器接続

分子入力は差動で、正負両方の極性が可能であり、Z1とZ2入力ピンに加えます。除算器はすべて帰還に基づいているので、帯域幅は分母の値に直接比例し、X=10Vの時10MHz、X=100mVのとき100kHzになります。帯域幅の減少と出力ノイズの増加（分母電圧に逆比例します）のため、分母電圧が100mV以下の動作は妨げられません。分母係数の直接制御（図10）を用いた場合には、この制限はありません。

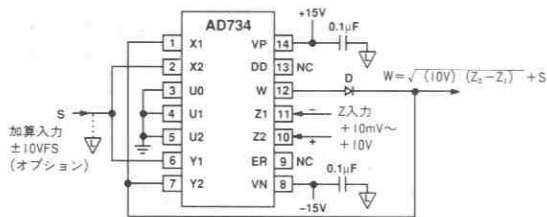


図9. 平方根接続

平方根演算の接続

AD734は図9の回路を用いて入力平方根に比例した出力を生成することができます。帰還はXとYの両入力にかけられており、それらの入力との間は常に逆極性のため、常に負帰還となっています。Z入力は常に図に示す極性をもつ必要がありますが、差動ポートに入力されているため、もし必要ならばZ1とZ2を逆に接続してどちらかの入力極性を得ることができます。ダイオードDは任意の小信号タイプ(1N4148が適当)が使用でき、このダイオードにより入力が誤った極性が増えらるることによるラッチ・アップの発生を防ぎます。出力は常に負極性となります。

ダイオードの出力側の負荷はX1とY2の入力抵抗25kΩおよびユーザの接続する負荷によって供給されることに注意して下さい。高速応用では出力にさらに大きな負荷(最小1kΩ)を接続すると応答時間が短くなる利点があります。これまでの応用と同様に、Sとして示される追加信号は出力に加算されます。このオプションを使用しない場合には、このノードは負荷グラウンドに接続しなければなりません。

直接分母係数制御による除算

AD734は分母電圧を直接変化させることによりアナログ除算器として使用できます。さらにより高い精度と帯域幅を与えることで、すべての入力を使用することができるためこのモードでもより高いフレキシビリティが得られます。図10に(11)式の伝達関数をもつ標準的な3入力乗算器/除算器回路を示します。

$$W = \frac{(X_1 - X_2)(Y_1 - Y_2)}{(U_1 - U_2)} + Z_2 \quad (11)$$

ここでX、Y、Z信号は正負両極性ですが、差電圧 $U = U_1 - U_2$ は +10mV ~ +10V の範囲で正極性でなければなりません。負分母電圧を使用しなければならないときはオペアンプの非反転入力をグラウンドに接続します。これまでに説明したように、X入力は1.25V以下の大きさでなければなりません。

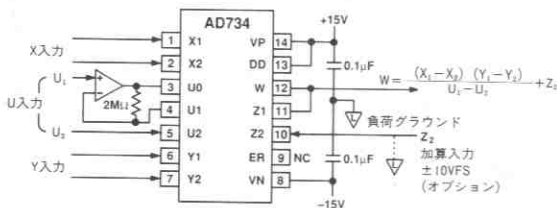


図10. 直接分母係数制御を使用した3変数乗算器/除算器

この接続方式は、X入力信号に対応する出力をY入力(分圧の場合には、Y入力をU入力より小さくします)およびU入力(増幅の場合には、U入力をY入力より小さくして使用します)の両方により制御可能な可変ゲイン要素とみなすこともできます。図11にAC特性を示します。Yは10V一定に保っています。U=10Vではゲインはユニティ・ゲインとなり、回路の帯域幅は最大の10MHzとなります。U=1Vではゲインは20dBとなり、帯域幅は基本的には変化しません。U=100mVではゲインは40dBとなり、帯域幅は2MHzとなります。U=10mVとなると、ゲインは60dB、帯域幅は250kHzとなり、これらの値は250MHzのゲイン帯域幅に対応しています。

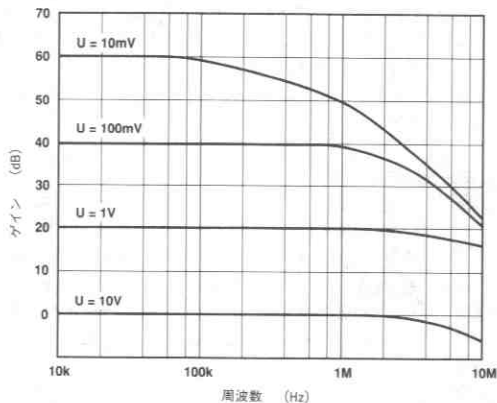


図11. 3変数の乗除算器の特性

分母電圧が小さい場合のゲイン精度の向上のために2MΩの抵抗が内蔵されています。高ゲインではX入力オフセット電圧は大きな出力オフセット電圧を発生することがあります。この問題を解決するために、WからX2へのローパス帰還経路を使用することができます。詳細は図13を参照して下さい。

固定スケールリングの2象限除算器の実現のために10Vの分子電圧が必要な場合には、図12に示す回路を使用することができます。ピン9 (ER) とピン8 (VN) の間に発生するリファレンス電圧出力は2番目のオペアンプにより増幅され、バッファされてY1/Y2入力間に10Vを重畳します。この応用例ではY2を負電源に接続していることに注意して下さい。同相電圧はまだ十分に高く内部条件に合致するため、このことは受け入れることができます。この回路の伝達関数は以下ようになります。

$$W = 10V \left(\frac{X_1 - X_2}{U_1 - U_2} \right) + Z_2 \quad (12)$$

この回路のAC特性は図11のようになります。

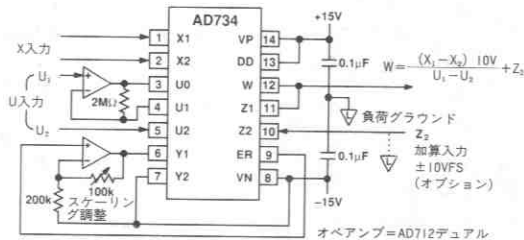


図12. 10V固定スケールリングの2象限除算器

高精度AGCループ

AD734は、その可変分母係数と高いゲイン帯域幅積により、高精度の自動ゲイン制御 (AGC) 応用に最適です。図13にその回路を示します。100Hz~10MHzの任意の周波数で10mV~10Vのピーク振幅をもつ入力信号 E_{IN} をX入力に、また正の固定電圧 E_C をY入力に加えます。オペアンプA2とコンデンサC2により、その反転入力に電流サンプリング・ノードをもつ積分器を構成しています (デュアル・オペアンプAD712が最適です)。入力加わらない場合には、D2とR2に流れる電流により、この積分器の出力を負に傾斜させ、クランプ・ダイオードD3により、入力の加わった際にループが安定で校正された出力レベルになるまでの時間を短くします。分母入力 (U0とU2) への入力がない場合には、AD734のゲインは非常に高く (約70dB) となり、小信号入力の場合でも相当な出力が得られます。

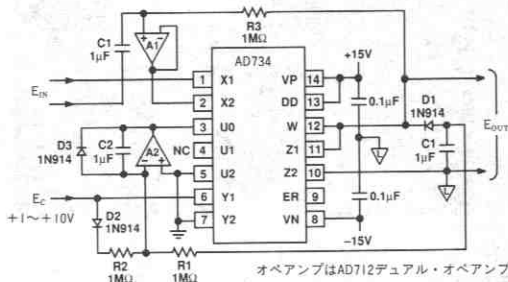


図13. 高精度AGCループ

ダイオードD1とC1によって構成されるピーク・ディテクタは、出力を整流し、積分器を正に傾斜させます。R1の電流がR2の電流に平衡すると、積分器出力は分母出力を一定値に保ちます。このことは E_{IN} の振幅を必要レベルに増幅し、+1Vから+10Vまでの E_C の出力振幅 E_{IN} を得るために十分なゲインが得られる場合に起こります。AD734のX入力での有限のオフセット電圧は、高ゲイン出力の場合には問題になることがあります。R3、C3、バッファA1により構成されるオフセット・ループによりX入力の出力オフセット (1~2mV) は低減されます。ローパスのコーナー周波数の0.16Hzはゲイン倍されたハイパス・コーナー周波数に変化します (たとえばゲイン=1000のときには160Hzとなります)。

低い周波数での動作が必要ない応用では、アンプA1は取り去ることができ、AD734のX1とX2間の50kΩの入力抵抗により、時定数を減少させ、入力オフセットを増大させます。C1として無極性の20μFタンタル・コンデンサを使用することで同様のユニティ・ゲインのハイパス・コーナー周波数を実現できます。この場合にはオフセット・ゲインは20となりますが、まだ十分に容認できる値です。

図14に E_C を+10Vに設定し、入力として100Hz、100kHz、1MHzの正弦波を与えたときの出力に含まれる誤差を示します。300Hz~300kHzの範囲の任意の周波数における出力誤差は100kHzの特性と同様です。低い信号周波数と低い入力振幅における制御ループのダイナミック特性により、ゲイン誤差と歪み特性が決定されます。高い周波数ではAD734の200MHzのゲイン帯域幅積によって、得られるゲインが制限されます。

+1Vから+10Vを越えない範囲では、出力振幅は E_C に追従します。

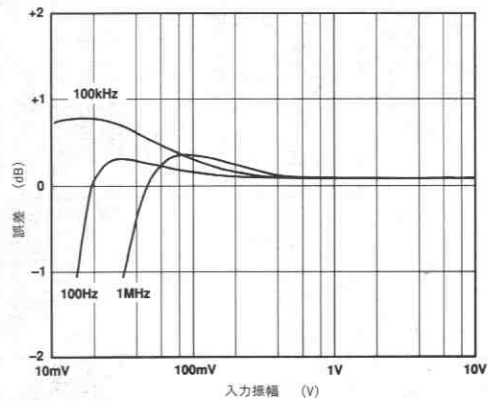


図14. AGCアンプの出力誤差対入力電圧

Uインタフェースを使用した広帯域RMS-DCコンバータ

AD734はRMS-DC変換を内蔵するような応用にも適合し、この場合には以下の伝達関数を直接除算モードで実現します。

$$V_{RMS} = \frac{\text{avg} [V_{IN}^2]}{V_{RMS}} \quad (13)$$

図15に回路を示します。

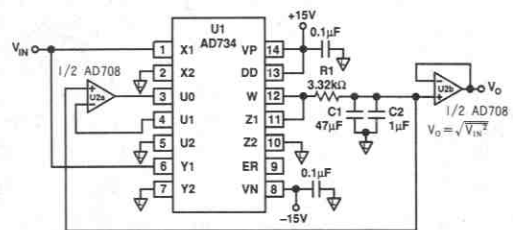


図15. 2チップ構成の広帯域RMS-DCコンバータ

この応用ではAD734とAD708デュアル・オペアンプにより、帯域幅10MHzの2チップRMS-DCコンバータを構成しています。図16はこの回路の方形波、正弦波、三角波での特性を示します。この回路はクレスト・ファクタ1で10Vp-pまでの信号を、またクレスト・ファクタ10で1Vp-pまでの信号を処理します。

この回路の応答は10V入力のとき10MHzまで、1V入力のとき5MHzまで、100mVのとき約1MHzまで平坦です。100mV以下のレベルでの入力レベルの精密な測定のために、DC誤差に影響を与えるAD734の出力オフセット電圧 (Zインタフェース) は調整しなければなりません。

図15の回路ではAD734は入力信号を2乗し、その出力 (V_{IN}^2) はR1とC1により構成され、1Hzのコーナー周波数をもつローパス・フィルタにより平均化されます。形成される帰還ループのため、この値は両方とも出力値 (V_{RMS}) と (13) 式に分母電圧です。U2aとU2bはAD708高精度DCデュアル・オペアンプであり、ユニティ・ゲイン・バッファとして使用され、両方の出力電圧を供給し、Uインタフェースを駆動します。

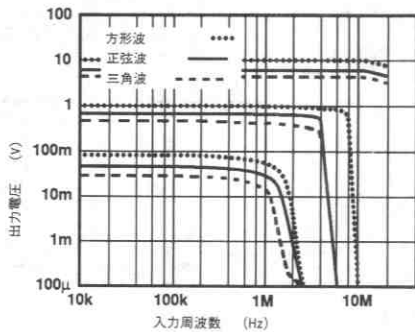


図16. RMS-DCコンバータの特性

低歪みミキサ

AD734は低ノイズと歪み特性によりミキサ、変調器、復調器に特に適しています。AD734の-3dB帯域幅の標準値は10MHzで、この値は出力アンプにより決まっていますが、XインタフェースとYインタフェースと乗算器コアの帯域幅の標準値は40MHzを越えます。したがって、必要な出力信号が10MHz以下の場合、復調器の応用の場合にみられるように、AD734はX、Yの両入力に40MHzまでの高い入力信号を加えることができます。ミキサ性能の試験の1つは、2トーン第3次混変調積を得るために、2つの近接した等しい振幅の正弦波信号をリニアに組み合わせ、さらに3番目の信号をミキシングすることです。

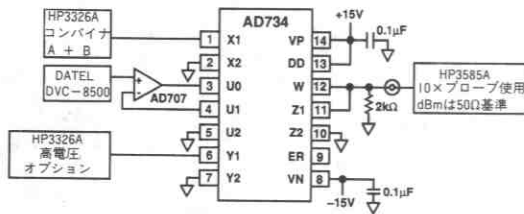


図17. AD734のミキサ試験回路

図17にAD734のこの特性の試験回路を示します。この試験では10.05MHzと9.95MHzの2個の信号が加算され、AD734のXインタフェースに与えられます。2番目の9MHz信号はAD734のYインタフェースに加えます。Uインタフェースの電圧は2Vに設定し、AD734の全ダイナミック範囲を使用しています。WとZ1ピンを接続し、Y2とX2ピンをグラウンドに接続し、U=2Vに設定することで、総合的な伝達関数は以下ようになります。

$$W = \frac{X_1 Y_1}{2V} \quad (14)$$

X1=2Vp-pでY1=10Vp-pのとき、Wは20Vp-pまでの大きさとなります。この2Vp-pの信号レベルは、X1またはY1とグラウンドとの間に接続した50Ω入力終端抵抗への+10dBmに相当します。2つのX1入力が周波数 f_1 および f_2 でY1入力の周波数が f_0 の場合には、2トーン第3次混変調積は周波数 $2f_1 - f_2 \pm f_0$ および $2f_2 - f_1 \pm f_0$ に現われます。図18に $f_1=9.95\text{MHz}$ 、 $f_2=10.05\text{MHz}$ 、 $f_0=9.00\text{MHz}$ で f_1 および f_2 が6dBm、 f_0 が+24dBmの信号レベルの時のAD734の周波数成分を、図19に f_1 および f_2 が0dBm、 f_0 が+24dBmの信号レベルの時の

AD734の周波数成分を示します。これらはAD734のXおよびY入力オフセット電圧の外部調整なしの特性です。

2トーン第3次混変調積は $2 \times 9.95\text{MHz} - 10.05\text{MHz} \pm 9.00\text{MHz}$ および $2 \times 10.05\text{MHz} - 9.95\text{MHz} \pm 9.00\text{MHz}$ に現われる可能性があります。このなかで0.85MHzと1.15MHzの第3次混変調積がAD734の10MHzの帯域幅内に現われます。必要な出力信号は0.950MHzおよび1.050MHzです。図18に必要な出力成分と第3次混変調積の差は約78dBで、この値から第3次インターセプト・ポイントが+46dBmであることが計算できます。

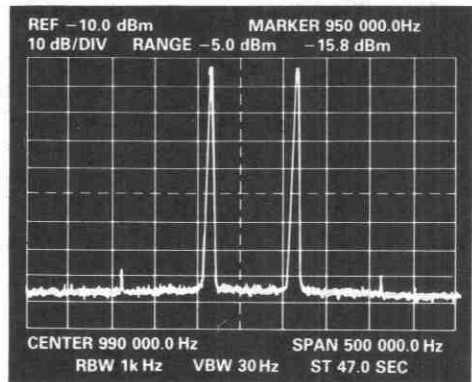


図18. AD734の第3次混変調特性。 $f_1=9.95\text{MHz}$ 、 $f_2=10.05\text{MHz}$ 、 $f_0=9.00\text{MHz}$ 、 f_1 および f_2 が6dBm、 f_0 は+24dBmの信号レベル。表示されたすべての信号レベルはミキサ出力の測定に用いられた10×プローブにより20dB減衰されています。

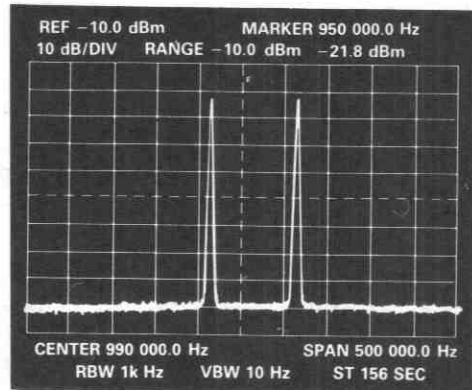


図19. AD734の第3次混変調特性。 $f_1=9.95\text{MHz}$ 、 $f_2=10.05\text{MHz}$ 、 $f_0=9.00\text{MHz}$ 、 f_1 および f_2 が0dBm、 f_0 は+24dBmの信号レベル。表示されたすべての信号レベルはミキサ出力の測定に用いられた10×プローブにより20dB減衰されています。

代表特性 AD734

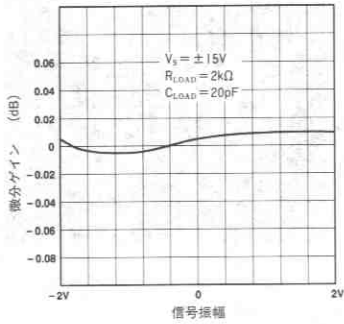


図20. 3.58MHz, $R_L = 2k\Omega$ における微分ゲイン

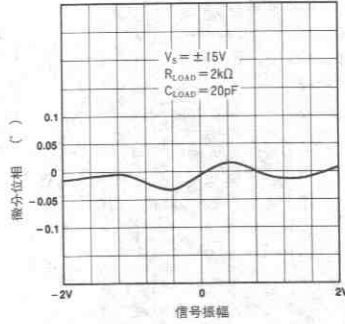


図21. 3.58MHz, $R_L = 2k\Omega$ における微分位相

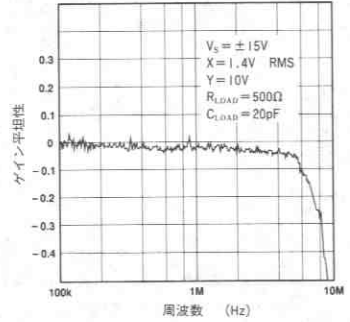


図22. 300kHz~10MHz, $R_L = 500\Omega$ におけるゲイン平坦性

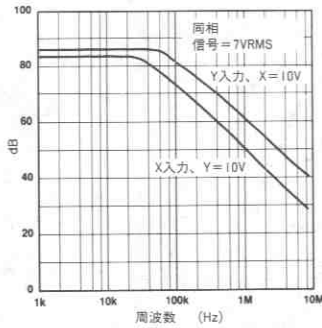


図23. CMRRの周波数特性

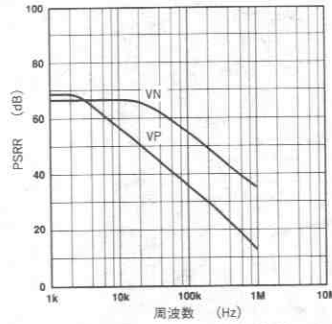


図24. PSRRの周波数特性

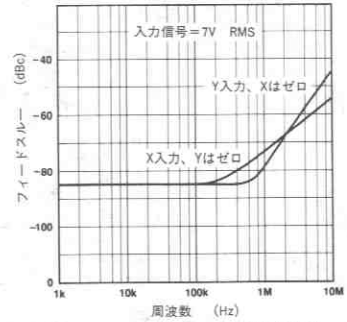


図25. フィードスルーの周波数特性

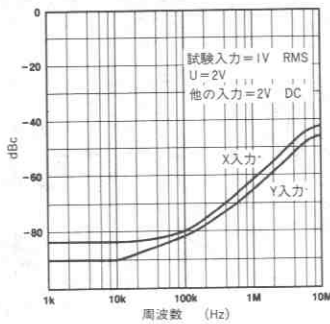


図26. THDの周波数特性、 $U = 2V$

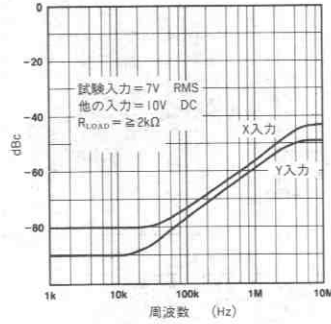


図27. THDの周波数特性、 $U = 10V$

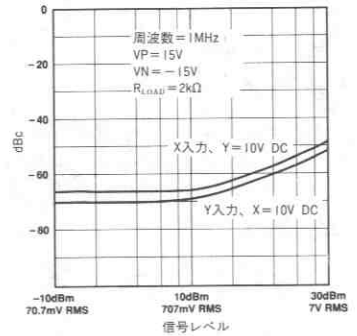


図28. THD対信号レベル、 $f = 1MHz$

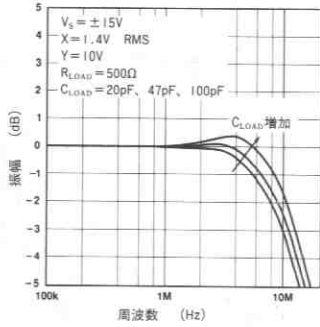


図29. ゲイン対周波数対 C_{LOAD}

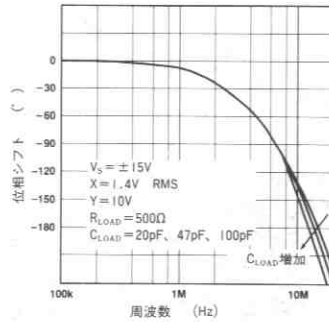


図30. 位相対周波数対 C_{LOAD}

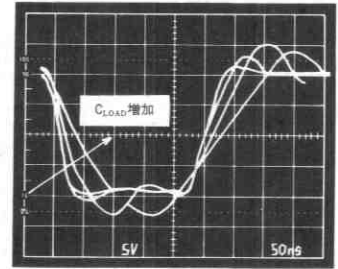


図31. パルス応答対 C_{LOAD}
($C_{LOAD} = 0pF, 47pF, 100pF, 200pF$)

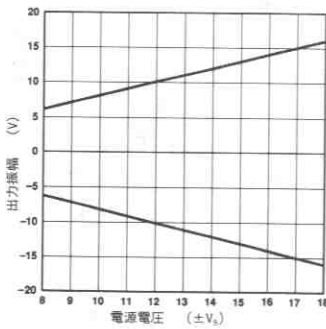


図32. 出力振幅対電源電圧

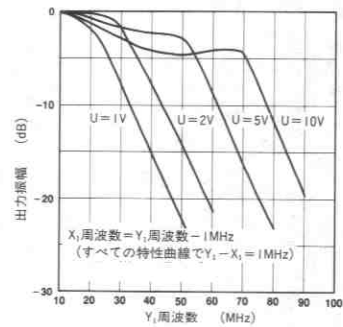


図33. 復調器として使用したときの出力振幅対
入力周波数特性

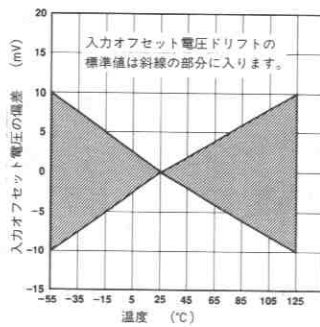


図34. V_{OS} ドリフト、X入力

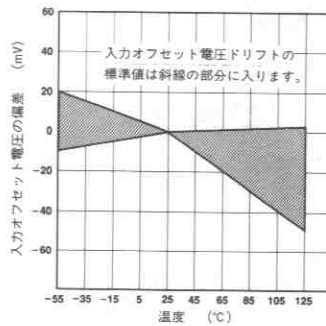


図35. V_{OS} ドリフト、Z入力

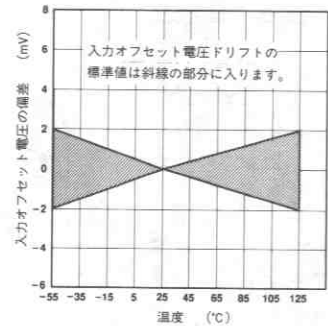


図36. V_{OS} ドリフト、Y入力

特殊機能IC

目次

	ページ
AD230-AD241 +5V単一電源動作, CMOS RS-232ドライバ/レシーバ	170
AD891A 50Mb/s固定ディスク・データ・チャンネル・クォリファイア	185
AD892E/T 30Mb/sピーク検出器	193
AD9950 32ビット, 300MSPS DDS用位相アキュムレータ	205
AD75019 16×16クロスポイント・スイッチアレイ	217

特 長

- +5V単一電源動作
- すべてのRS-232-CおよびV.28規格に適合
- 複数のドライバ/レシーバを内蔵
- DC-DCコンバータを内蔵
- +5V電源で±9Vの出力振幅
- ローパワーCMOS: 5mA動作
- 1 μ A以下のシャットダウン電流
- トライステートのTTL/CMOSレシーバ出力
- ±30Vのレシーバ入力レベル
- MAX230-241とピン・コンパチブル

応 用

- コンピュータ
- 周辺機器
- モデム
- プリンタ
- 計測装置

概 要

AD230ファミリは5V単一電源のRS-232ライン・ドライバ/レシーバで、ほとんどの通信用途に適合するさまざまな構成が可能です。特に±12V電源が使用できない応用に最適です。AD230、AD235、AD236、AD241は消費電力を5 μ Wまで減少させるローパワー・シャットダウン・モードを備えており、バッテリー電源駆動装置への応用に最適です。AD233とAD235では外付部品が不要なので、プリント基板スペースの節約に有効です。

AD231とAD239を除くAD230ファミリ・デバイスはすべて、+5V単一電源動作を可能にするため2個のチャージ・ポンプ電圧コンバータを内蔵しています。これらのコンバータは+5V電源入力をRS-232出力レベルに必要な±10Vへ変換します。AD231とAD239は+5Vおよび+12Vの電源で動作するように設計されています。内蔵の+12Vから-12Vへのチャージ・ポンプ電圧コンバータが-12Vを生成します。

あらゆる応用においてパッケージ点数を最少にするため、さまざまな種類のドライバ/レシーバの組み合わせが可能です(下表を参照)。

選択表

モデル	電源電圧	RS-232 ドライバ数	RS-232 レシーバ数	外付け コンデンサ	ローパワー シャットダ ウン(SD)	TTLトラ イステート (EN)	ピン数
AD230	+5V	5	0	4	○	×	20
AD231	+5V&+7.5V~ 13.2V	2	2	2	×	×	14
AD232	+5V	2	2	4	×	×	16
AD233	+5V	2	2	—	×	×	20
AD234	+5V	4	0	4	×	×	16
AD235	+5V	5	5	—	○	○	24
AD236	+5V	4	3	4	○	○	24
AD237	+5V	5	3	4	×	×	24
AD238	+5V	4	4	4	×	×	24
AD239	+5V&+12V	3	5	2	×	○	24
AD241	+5V	4	5	4	○	○	28

仕様

(特に指定のない限り、 $V_{CC} = +5V \pm 10\%$ (AD231、AD232、AD234、AD236、AD238、AD239、AD241) ; $V_{CC} = +5V \pm 5\%$ (AD233、AD235) ; $V_{+} = 7.5V \sim 13.2V$ (AD231) および $V_{+} = 12V \pm 10\%$ (AD239) ; すべての仕様は $T_{min} \sim T_{max}$ の値)

パラメータ	Min	Typ	Max	単位	テスト条件/備考
出力電圧振幅	± 5	± 9		V	全部のトランスミッタ出力はグラウンドに対して $3k\Omega$ 負荷
V_{CC} 電源電流		4	10	mA	無負荷、 $T_A = 25^\circ C$
		0.4	1	mA	AD231、AD239
V_{+} 電源電流		5	10	mA	無負荷、 $V_{+} = 12V$ (AD231とAD239のみ)
シャットダウン電源電流		1	10	μA	$T_A = +25^\circ C$
入力ロジック・スレッシュホールドLO、 V_{INL}			0.8	V	T_{IN} 、EN、SD
入力ロジック・スレッシュホールドHI、 V_{INH}	2.0			V	T_{IN} 、EN、SD
ロジック・プルアップ電流		15	200	μA	$T_{IN} = 0V$
RS-232					
入力電圧範囲	-30		+30	V	
入力スレッシュホールドLO	0.8	1.2		V	$V_{CC} = 5V$ 、 $T_A = +25^\circ C$
入力スレッシュホールドHI		1.7	2.4	V	$V_{CC} = 5V$ 、 $T_A = +25^\circ C$
入力ヒステリシス	0.2	0.5	1.0	V	$V_{CC} = 5V$
入力抵抗	3	5	7	k Ω	$V_{CC} = 5V$ 、 $T_A = +25^\circ C$
TTL/CMOS					
出力電圧LO、 V_{OL}			0.4	V	$I_{OUT} = 3.2mA$
出力電圧HI、 V_{OH}	3.5			V	$I_{OUT} = -1.0mA$
出力漏れ電流		0.05	± 10	μA	$EN = V_{CC}$ 、 $0V \leq R_{OUT} \leq V_{CC}$
出力イネーブル時間 (T_{EN})		400		ns	AD235、AD236、AD239、AD241 (図25、 $R_L = 1k\Omega$ 、 $C_L = 150pF$)
出力ディセーブル時間 (T_{DIS})		250		ns	AD235、AD236、AD239、AD241 (図25、 $R_L = 1k\Omega$ 、 $C_L = 150pF$)
伝播遅延時間		0.5		μs	RS-232からTTLへの変換
即時スルーレート ¹			30	V/ μs	$C_L = 10pF$ 、 $R_L = 3-7k\Omega$ 、 $T_A = +25^\circ C$
遷移領域スルーレート		3		V/ μs	$R_L = 3k\Omega$ 、 $C_L = 2500pF$ 、 $+3V \sim -3V$ または $-3V \sim +3V$ で測定
出力抵抗	300			Ω	$V_{CC} = V_{+} = V_{-} = 0V$ 、 $V_{OUT} = \pm 2V$
RS-232出力短絡電流		± 10		mA	

注 1) コンプライアンスを確保するためサンプリング・テストが行なわれています。

仕様は予告なしに変更することがあります。

絶対最大定格*

(特に指定のない限り、 $T_A = 25^\circ C$)

V_{CC}	-0.3 ~ +6V	プラスチックDIP	375mW
V_{+}	($V_{CC} - 0.3V$) ~ +13V	(+70°C以上では7mW/°Cのディレーティング)	
V_{-}	+0.3 ~ -13V	SOIC	375mW
入力電圧		(+70°C以上では7mW/°Cのディレーティング)	
T_{IN}	-0.3 ~ ($V_{CC} + 0.3V$)	動作温度範囲	
R_{IN}	$\pm 30V$	一般用 (Jバージョン)	0°C ~ +70°C
出力電圧		産業用 (Aバージョン)	-40°C ~ +85°C
T_{OUT}	($V_{+} + 0.3V$) ~ ($V_{-} - 0.3V$)	拡張温度用 (Sバージョン)	-55°C ~ +125°C
R_{OUT}	-0.3 ~ ($V_{CC} + 0.3V$)	保管温度範囲	-65°C ~ +150°C
短絡時間		リード温度 (ハンダ付け、10秒)	+300°C
T_{OUT}	連続		
消費電力		*この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは仕様の動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目について絶対最大定格の状態に長時間さらすと、デバイスの信頼性に影響を与えます。	
サーティップ	675mW		
(+70°C以上では9.5mW/°Cのディレーティング)			

注意:

この素子はESD (Electro-Static-Discharge) センシティブ・デバイスです。デジタル制御入力はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させることが必要です。



AD230-AD241

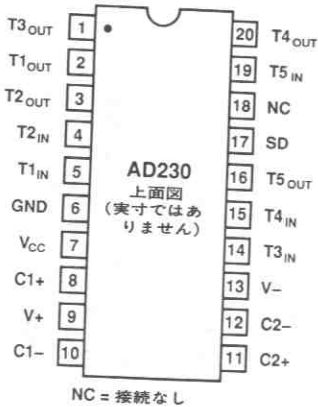
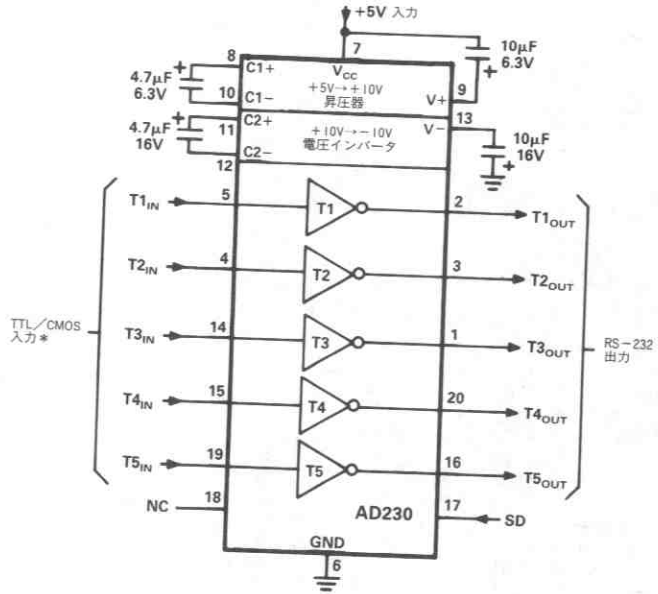


図1. AD230 DIP/SOICピン配置



*各TTL/CMOS入力には400kΩのプルアップ抵抗が内蔵されています。

図2. AD230の標準動作回路

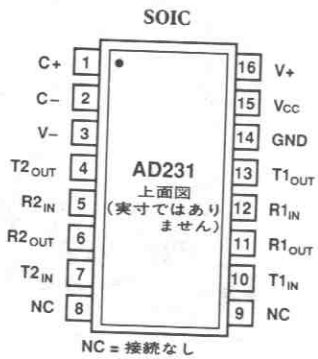
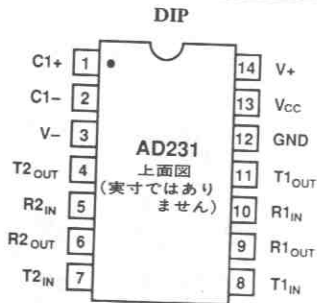
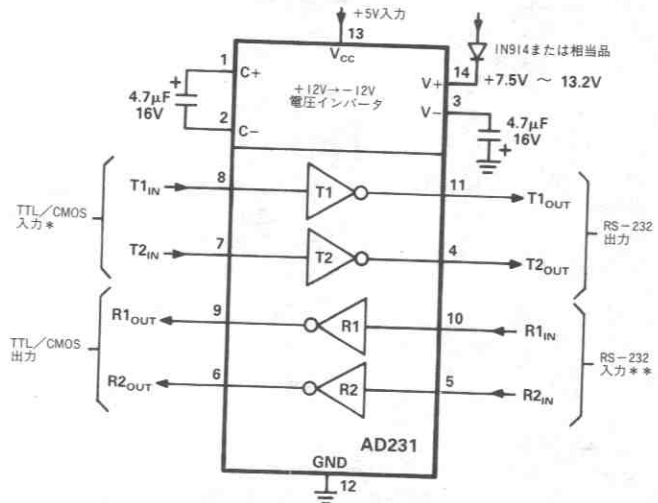


図3. AD231 DIP/SOICピン配置



*各TTL/CMOS入力には400kΩのプルアップ抵抗が内蔵されています。
*各RS-232入力には5kΩのプルダウン抵抗が内蔵されています。

図4. AD231の標準動作回路

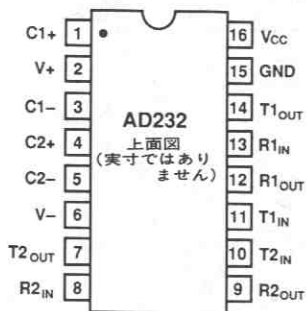
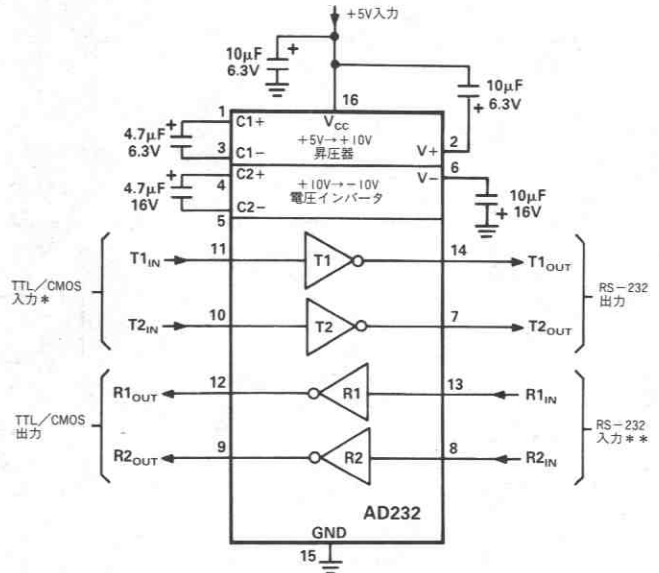


図5. AD232 DIP/SOICピン配置



* 各TTL/CMOS入力には400kΩのプルアップ抵抗が内蔵されています。
 ** 各RS-232入力には5kΩのプルダウン抵抗が内蔵されています。

図6. AD232の標準動作回路

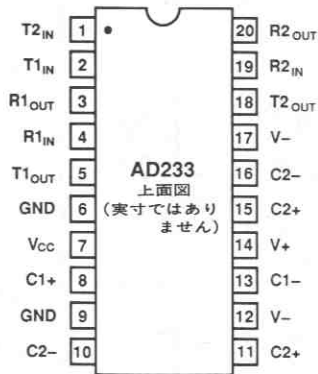
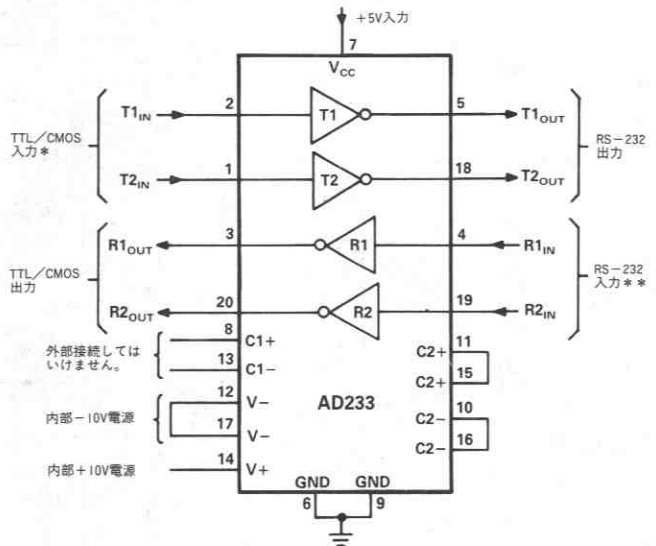


図7. AD233 DIPピン配置



* 各TTL/CMOS入力には400kΩのプルアップ抵抗が内蔵されています。
 ** 各RS-232入力には5kΩのプルダウン抵抗が内蔵されています。

図8. AD233の標準動作回路

AD230-AD241

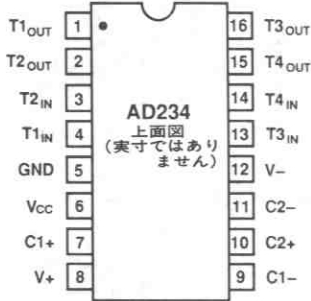
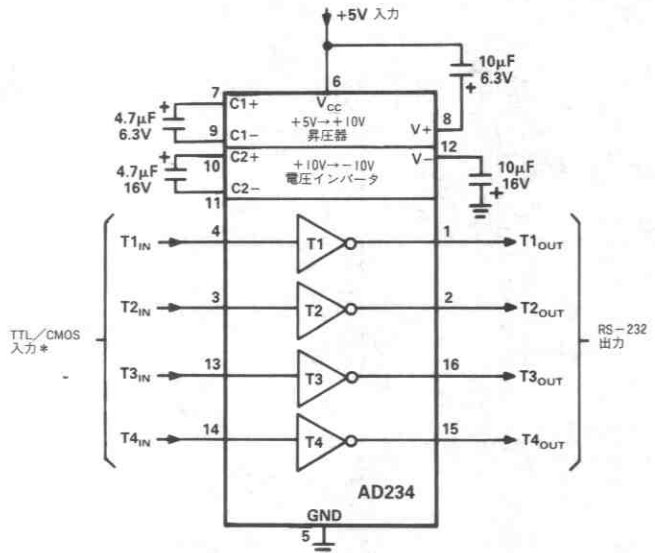


図9. AD234 DIP/SOICピン配置



*各TTL/CMOS入力には400kΩのプルアップ抵抗が内蔵されています。

図10. AD234の標準動作回路

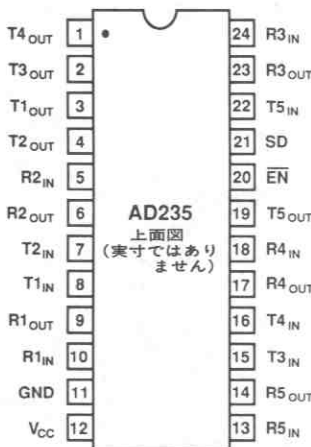
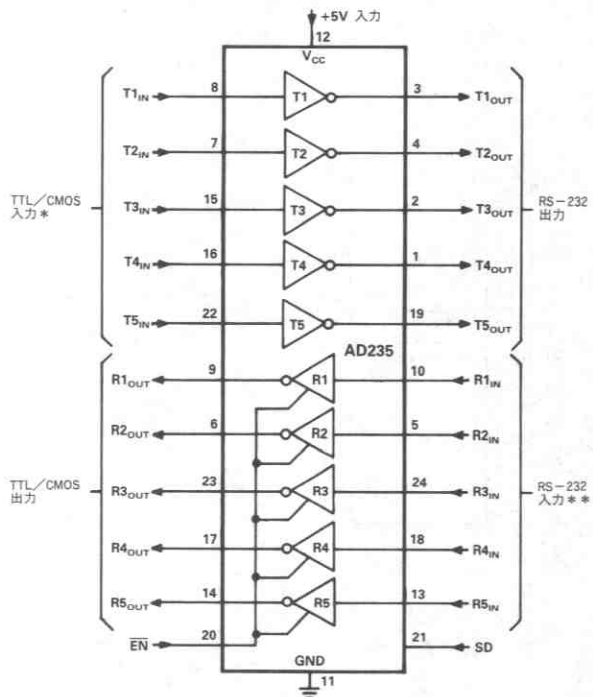


図11. AD235 DIPピン配置



*各TTL/CMOS入力には400kΩのプルアップ抵抗が内蔵されています。
**各RS-232入力には5kΩのプルダウン抵抗が内蔵されています。

図12. AD235の標準動作回路

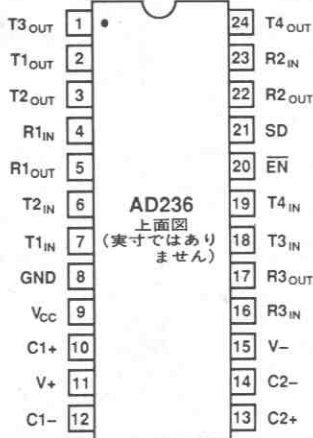
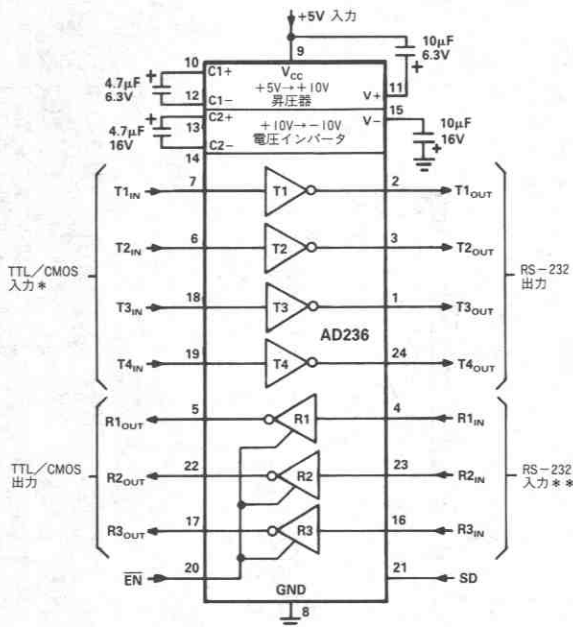


図13. AD236 DIP/ SOICピン配置



* 各TTL/CMOS入力には400kΩのプルアップ抵抗が内蔵されています。
 ** 各RS-232入力には5kΩのプルダウン抵抗が内蔵されています。

図14. AD236の標準動作回路

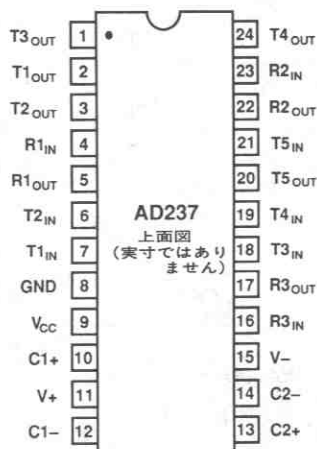
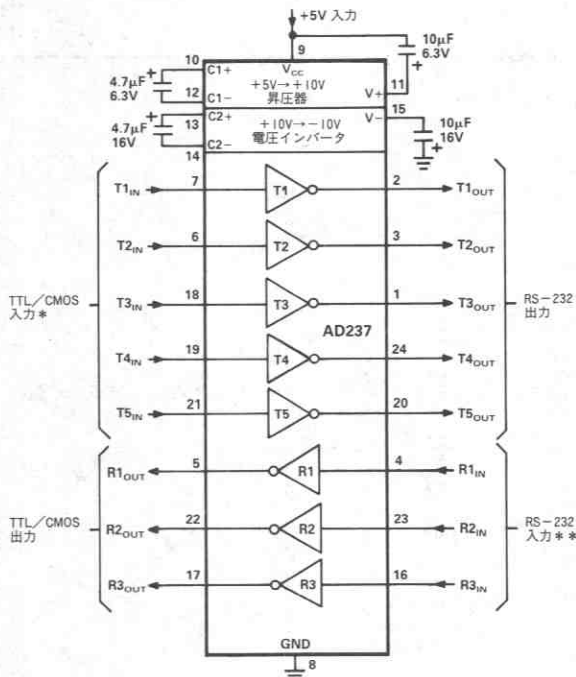


図15. AD237 DIP/ SOICピン配置



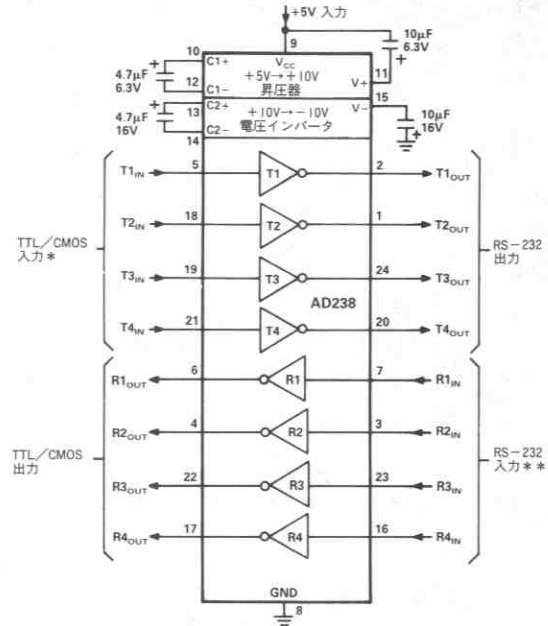
* 各TTL/CMOS入力には400kΩのプルアップ抵抗が内蔵されています。
 ** 各RS-232入力には5kΩのプルダウン抵抗が内蔵されています。

図16. AD237の標準動作回路

AD230-AD241



図17. AD238 DIP/ SOICピン配置

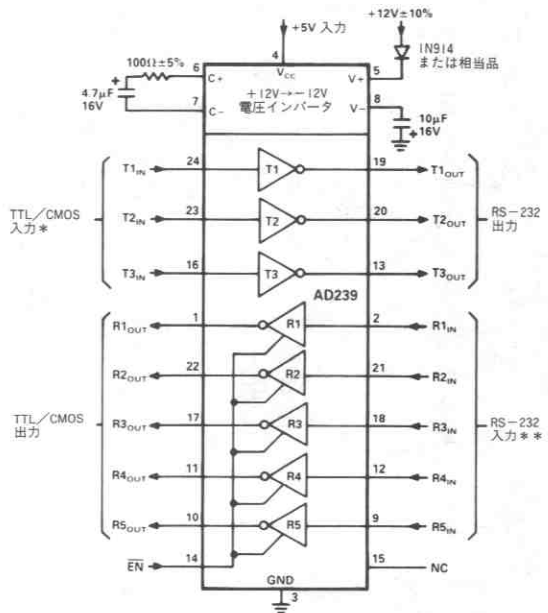


*各TTL/CMOS入力には400kΩのプルアップ抵抗が内蔵されています。
 **各RS-232入力には5kΩのプルダウン抵抗が内蔵されています。

図18. AD238の標準動作回路



図19. AD239 DIP/ SOICピン配置

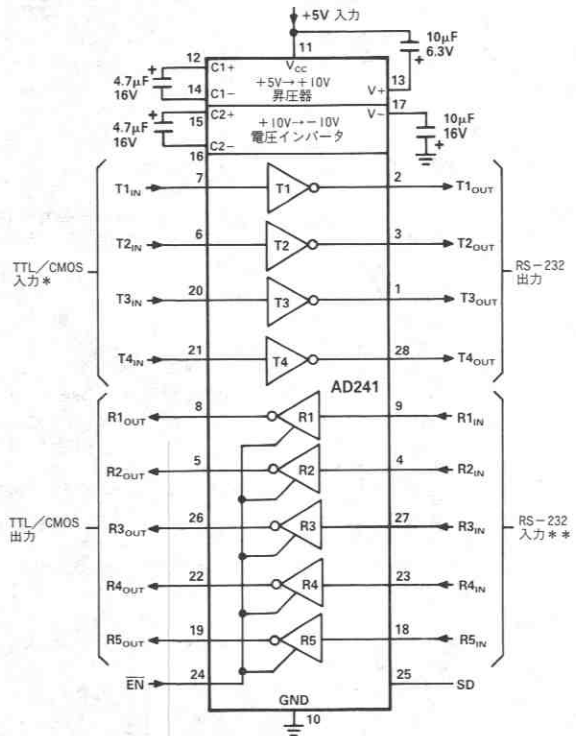


*各TTL/CMOS入力には400kΩのプルアップ抵抗が内蔵されています。
 **各RS-232入力には5kΩのプルダウン抵抗が内蔵されています。

図20. AD239の標準動作回路



図21. AD241 SOICピン配置



* 各TTL/CMOS入力には400kΩのプルアップ抵抗が内蔵されています。
 ** 各RS-232入力には5kΩのプルダウン抵抗が内蔵されています。

図22. AD241の標準動作回路

AD230-AD241

ピン機能説明

ピン名称	機能
V _{CC}	電源入力。5V±10% (AD231、AD232、AD234、AD236、AD238、AD239、AD241) 5V±5% (AD233、AD235)
V+	AD231とAD239を除き、内部生成の正電源 (定格値+10V)。 AD231は外部に+7.5V~+13.2V電源が必要です。AD239は外部に+10.8V~+13.2V電源が必要です。
V-	内部生成の負電源 (定格値-10V)。
GND	グラウンド・ピン。0Vに接続します。
C+	(AD231とAD239のみ) 外付けコンデンサ (+極) を接続します。
C-	(AD231とAD239のみ) 外付けコンデンサ (-極) を接続します。
C1+	(AD230、AD232、AD234、AD236、AD237、AD238、AD241) 外付けコンデンサの+極を接続します。 (AD233) コンデンサは内部で接続されているため、外付けの必要はありません。
C1-	(AD230、AD232、AD234、AD236、AD237、AD238、AD241) 外付けコンデンサの-極を接続します。 (AD233) コンデンサは内部で接続されているため、外付けの必要はありません。
C2+	(AD230、AD232、AD234、AD236、AD237、AD238、AD241) 外付けコンデンサの+極を接続します。 (AD233) コンデンサは内部で接続されているため、外付けの必要はありません。
C2-	(AD230、AD232、AD234、AD236、AD237、AD238、AD241) 外付けコンデンサの-極を接続します。 (AD233) コンデンサは内部で接続されているため、外付けの必要はありません。
T _{IN}	トランスミッタ (ドライバ) 入力。これらの入力はTTL/CMOSレベルの入力に適合します。各入力にはV _{CC} への400kΩのプルアップ抵抗が内部接続されています。
T _{OUT}	トランスミッタ (ドライバ) 出力。これらはRS-232レベルです。(±10V typ)
R _{IN}	レシーバ入力。これらの入力はRS-232信号レベルの入力に適合します。各入力にはGNDへの5kΩのプルダウン抵抗が内部接続されています。
R _{OUT}	レシーバ出力。これらはTTL/CMOSレベルです。
EN	イネーブル入力 (AD235、AD236、AD239、AD241)。レシーバ出力をイネーブル制御するためのアクティブ・ロー入力です。EN=0Vの時にレシーバ出力がイネーブルされます。EN=5Vのとき、出力は高インピーダンス状態となります。この機能はマイクロプロセッサ・システムに接続する場合に有効です。
SD	シャットダウン入力 (AD230、AD235、AD236、AD241)。SD=5Vのときチャージ・ポンプがディスエーブルされ、レシーバ出力は高インピーダンス状態に、ドライバ出力はオフとなります。このとき電源電流は5μA以下となるため、バッテリー動作に最適です。
NC	無接続。このピンは接続の必要はありません。

概要

RS-232 ドライバ/レシーバAD230~AD241ファミリは、単一の+5Vデジタル電源を用いてRS-232-C規格に適合することで、インタフェース上の問題を解決するように設計されています。RS-232-C規格では、送信チャネルに対して最低±5Vを供給できるトランスミッタと、±3Vまでの信号レベルを受信可能なレシーバが必要とされています。AD230~AD241は、このような要求を満足するためにステップアップ電圧コンバータおよびレベル・シフト・トランスミッタ、レシーバを同一チップ上に集積しています。消費電力を絶対的に低く抑えるためにCMOS技術を用いています。広い動作範囲のトランスミッタ/レシーバの組み合わせにより、ほとんどの通信分野におけるニーズをカバーしています。

AD230、AD235、AD236、AD241は、消費電力を5μW以下に抑えるローパワー・シャットダウン・モードを備えているため、特にバッテリー駆動のシステムに有効です。

AD233とAD235は、チャージポンプ・コンデンサをパッケージ内にモールドしているため、省スペースが重要な应用到に最適です。

AD231とAD239は、正の+12V電源が用意されている応用向けに、負のチャージポンプ・コンバータのみを内蔵しています。

コモン・ラインの共用やマイクロプロセッサ・データ・バスとの接続のために、AD235、AD236、AD239およびAD241はイネーブル機能(EN)を用意しています。ディスエーブルされている場合、レシーバの出力は高インピーダンス状態になります。

回路の説明

AD230~AD241の内部回路は、次の3つの主要部分から構成されています。

- (a) チャージポンプ電圧コンバータ
- (b) RS-232 → TTL/CMOSレシーバ
- (c) TTL/CMOS → RS-232 トランスミッタ

チャージポンプDC-DC電圧コンバータ

チャージポンプ電圧コンバータは、発振器とスイッチング・マトリックスから構成されています。コンバータは±10V電源を5Vレベルの入力から生成します。これは、図23と24に示すスイッチド・キャパシタ技法を用いて2つの段で実現されています。まず、コンデンサC1をチャージ蓄積エレメントとして用いることにより、+5Vの電源入力力が+10Vに昇圧されます。そしてC2を蓄積エレメントとして用いることにより、+10Vレベルが-10Vに反転されます。

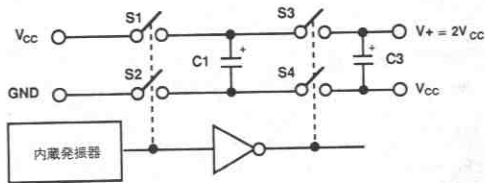


図23. チャージポンプ昇圧回路

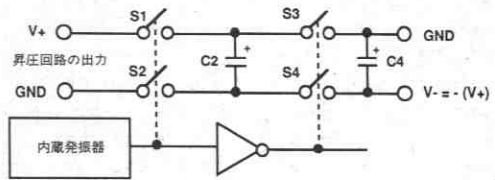


図24. チャージポンプ電圧反転回路

コンデンサC3とC4は、出力リップルを去除するために用いられています。これらのコンデンサの値は重要ではなく、高レベルのリップルが許容される場合には去除することができます。チャージポンプ・コンデンサC1とC2は、V+およびV-電源のより高い出力インピーダンスを犠牲にすることにより小さくすることもできます。

V+およびV-電源は、必要とされる電流が小さい場合、外部回路の電源として用いることができます。

トランスミッタ (ドライバ) 部

ドライバはTTL/CMOS入力レベルをRS-232-C出力レベルに変換します。V_{cc}=+5Vで一般的なRS-232-C負荷を駆動する場合、出力電圧振幅は±9Vです。最悪の状態であっても、ドライバはRS-232-Cの最小要求である±5V振幅に適合するように保証されています。

スイッチング・スレッショルドはV_{cc}/4に設定されており、入力スレッショルド・レベルはTTLおよびCMOSの両者にコンパチブルです。定格のV_{cc}=5Vにおけるスイッチング・スレッショルドは1.25V typです。未使用の入力ラインは、内部の400kΩプルアップ抵抗に接続されており出力はLO状態となるため、何も接続する必要はありません。

RS-232-C規格の要求により、スルーレートは外部に制限用コンデンサを接続することなく30V/μs以下に制限されており、パワーフオフ時の出力インピーダンスは30Ω以上です。

レシーバ部

レシーバは、RS-232-C入力レベル(±5~±15V)を処理する反転レベル・シフトで、入力電圧を5V TTL/CMOSレベルに変換します。入力ラインは内部5kΩプルダウン抵抗を介してグラウンドに接続されており、±30Vまでの過電圧に対して保護されています。保証されているスイッチング・スレッショルドは0.8V minそして2.4V maxであり、RS-232が要求する±3Vの範囲内です。未接続入力LOレベルとして認識されるように、LOレベルのスレッショルドは故意に正としています。

レシーバは、0.5Vのヒステリシス・レベルをもったシュミット・トリガ入力を持っています。これによってノイズの多い入力や低速な遷移時間をもつ入力に対してエラーのない受信を可能としています。

シャットダウン (SD)

AD230、AD235、AD236およびAD241は、動作を禁止し、消費電力を5μW以下に抑えるための制御入力を持っています。この機能はバッテリー駆動システムにおいて非常に有効です。SD=5Vとした場合、チャージポンプは禁止され、レシーバ出力は高インピーダンス状態となり、ドライバ出力はオフとなります。

AD230-AD241

イネーブル入力

AD235、AD236、AD239およびAD241はイネーブル入力(EN)を備えています。この入力はレシーバ出力をイネーブルするために用います。EN=0Vの場合、出力はイネーブルとなります。EN=5Vの場合、出力は高インピーダンス状態となります。この機能により出力を直接マイクロプロセッサ・データ・バスに接続することができます。またこの機能によって、異なるデバイスからのレシーバ間で共通のデータ・ラインを共用することができます。イネーブル機能のタイミング図を図25に示します。

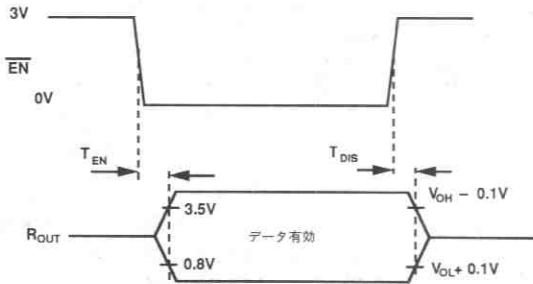


図25. イネーブル・タイミング

使用上のヒント

±15V電源への短絡保護

ドライバの出力は、グラウンド、他のドライバ出力、V+やV-への短絡に対して内部的に保護されています。実際に、これらの短絡は応用において考えられる最も高い電圧です。ただし、±15Vへの短絡の可能性がある場合には、外部に保護を用意しておくべきです。これは、各トランスミッタ出力と直列に220Ωの抵抗を接続することによって行ないます。

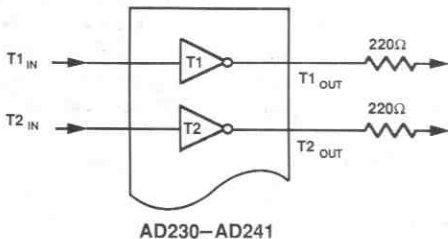


図26. ±15Vへの短絡保護

AD231、AD239の過電圧保護

AD231とAD239はV+発生回路を内蔵していないため、外部+12V電源を必要とします。この電源は、V_{CC}の5V電源よりも先に投入することが重要です。V_{CC}電源が先に投入されたり、偶然に+12V電

源がグラウンドに短絡する可能性がある場合には、12V入力と直列にダイオード(1N914または同等品)を接続することをお勧めします。この接続は通常の動作には影響を与えませんが、異常の発生時にデバイスを保護します。

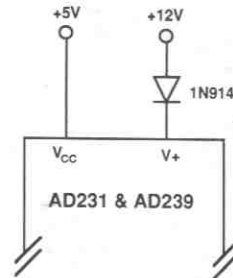


図27. AD231、AD239のダイオード保護

高速ボーレート動作

RS-232-C規格では、「データおよびタイミングを交換する回路では、信号が遷移領域を通過するための時間は、1ミリ秒あるいは交換回路上の信号エレメントの継続時間の4%のどちらか短い方の時間を越えてはならない。」と規定されています。最大転送レートが19.2kボーの場合、この規定は、最小スルーレート3V/μsと解釈されます。AD230-AD241のスルーレートの代表値は、最大負荷状態で3V/μsであり、規格に適合します。

V.28規格はより厳しく、遷移時間は定格信号時間の3%以下とされています。スルーレートに直すと、最大19.2kボーにおいて4V/μsとなります。理想的なスルーレートより小さいことによる実際のデータ通信への影響は無視できます。この結果、信号は遷移領域により長い時間を消費するため、有効なマーク/スペース期間は理想値よりも若干短くなります。しかしながら、最大転送レートおよび最悪の負荷状態においても、有効期間はエラーのない受信を行なうためには十分です。

長いケーブルの駆動

RS-232-C規格に適合するため、負荷容量の合計が2500pFを越えない範囲でのケーブル長を駆動する必要があります。この限度を越える長さの場合には、ボーレートとケーブル長のトレードオフを行ないます。より大きな負荷容量はスルーレートを劣化させ、その結果最大転送ボーレートは低くなります。AD230-AD241は、負荷容量の増加に伴うスルーレートの劣化が最小になるように設計されています。

レシーバの場合、高いレベルのノイズ耐性を備えていることが重要であり、信号が低速で遷移領域を通過した場合でも低速な立上り、立下り時間が複数の出力遷移の原因とはなりません。これを防ぐために、AD230-AD241は0.5Vのヒステリシスを備えています。これによって、ノイズの多い環境においてもエラーのない受信が保証されています。

オーダ・ガイド

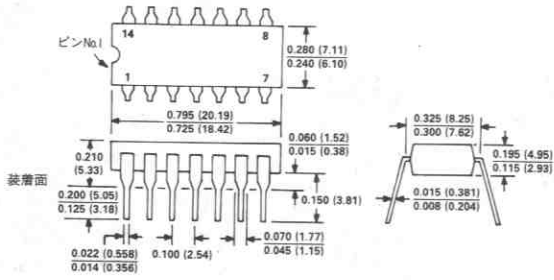
モデル	温度範囲	パッケージ	モデル	温度範囲	パッケージ	モデル	温度範囲	パッケージ
AD230			AD231			AD232		
AD230JN	0~+70°C	20ピン・プラスチックDIP	AD231JN	0~+70°C	14ピン・プラスチックDIP	AD232JN	0~+70°C	16ピン・プラスチックDIP
AD230JR	0~+70°C	20ピンSOIC	AD231JR	0~+70°C	16ピンSOIC	AD232JR	0~+70°C	16ピンSOIC
AD230AN	-40~+85°C	20ピン・プラスチックDIP	AD231AN	-40~+85°C	14ピン・プラスチックDIP	AD232AN	-40~+85°C	16ピン・プラスチックDIP
AD230AR	-40~+85°C	20ピンSOIC	AD231AR	-40~+85°C	16ピンSOIC	AD232AR	-40~+85°C	16ピンSOIC
AD230AQ	-40~+85°C	20ピン・サーディップ	AD231AQ	-40~+85°C	14ピン・サーディップ	AD232AQ	-40~+85°C	16ピン・サーディップ
			AD231SQ	-55~+125°C	14ピン・サーディップ	AD232SQ	-55~+125°C	16ピン・サーディップ
AD233			AD234			AD235		
AD233JN	0~+70°C	20ピン・プラスチックDIP	AD234JN	0~+70°C	16ピン・プラスチックDIP	AD235JN	0~+70°C	24ピン・プラスチックDIP*
AD233AN	-40~+85°C	20ピン・プラスチックDIP	AD234JR	0~+70°C	16ピンSOIC	AD235AN	-40~+85°C	24ピン・プラスチックDIP*
			AD234AN	-40~+85°C	16ピン・プラスチックDIP	AD235AQ	-40~+85°C	24ピン・セラミック*
			AD234AR	-40~+85°C	16ピンSOIC			
			AD234AQ	-40~+85°C	16ピン・サーディップ			
			AD234SQ	-55~+125°C	16ピン・サーディップ			
AD236			AD237			AD238		
AD236JN	0~+70°C	24ピン・プラスチックDIP	AD237JN	0~+70°C	24ピン・プラスチックDIP	AD238JN	0~+70°C	24ピン・プラスチックDIP
AD236JR	0~+70°C	24ピンSOIC	AD237JR	0~+70°C	24ピンSOIC	AD238JR	0~+70°C	24ピンSOIC
AD236AN	-40~+85°C	24ピン・プラスチックDIP	AD237AN	-40~+85°C	24ピン・プラスチックDIP	AD238AN	-40~+85°C	24ピン・プラスチックDIP
AD236AR	-40~+85°C	24ピンSOIC	AD237AR	-40~+85°C	24ピンSOIC	AD238AR	-40~+85°C	24ピンSOIC
AD236AQ	-40~+85°C	24ピン・サーディップ	AD237AQ	-40~+85°C	24ピン・サーディップ	AD238AQ	-40~+85°C	24ピン・サーディップ
AD236SQ	-55~+125°C	24ピン・サーディップ				AD238SQ	-55~+125°C	24ピン・サーディップ
AD239			AD241					
AD239JN	0~+70°C	24ピン・プラスチックDIP	AD241JR	0~+70°C	28ピンSOIC			
AD239JR	0~+70°C	24ピンSOIC	AD241AR	-40~+85°C	28ピンSOIC			
AD239AN	-40~+85°C	24ピン・プラスチックDIP						
AD239AR	-40~+85°C	24ピンSOIC						
AD239AQ	-40~+85°C	24ピン・サーディップ						
AD239SQ	-55~+125°C	24ピン・サーディップ						

* = 15mm幅DIPパッケージ (他のDIPパッケージはすべて7.6mm幅)

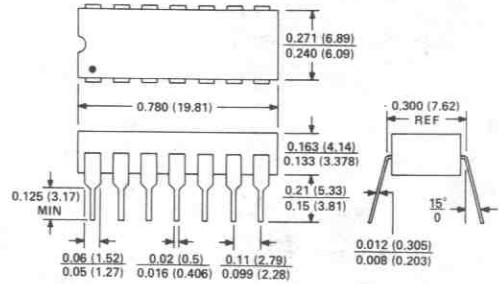
AD230-AD241

外形サイズ
単位はインチ (mm)

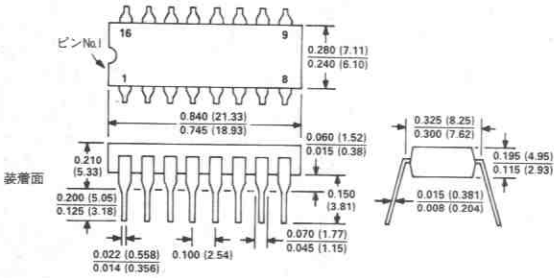
14ピン・プラスチック DIP (N-14)



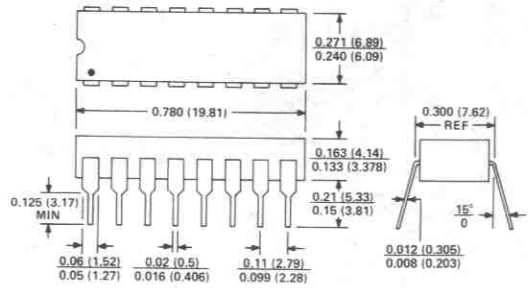
14ピン・サーディップ (Q-14)



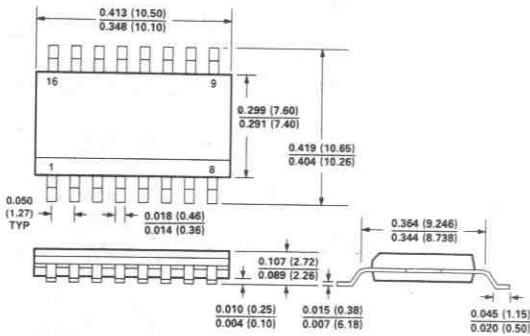
16ピン・プラスチック DIP (N-16)



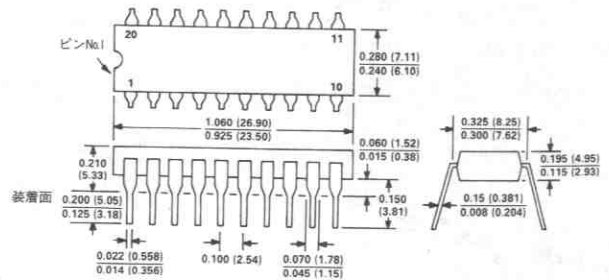
16ピン・サーディップ (Q-16)



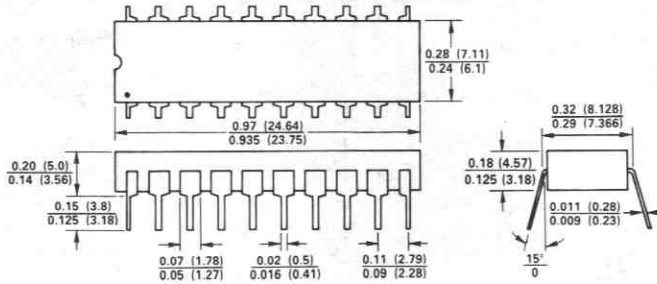
16ピン SOIC (R-16)



20ピン・プラスチック DIP (N-20)

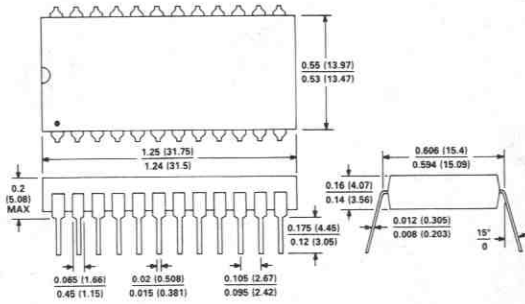


20ピン・サーディップ (Q-20)

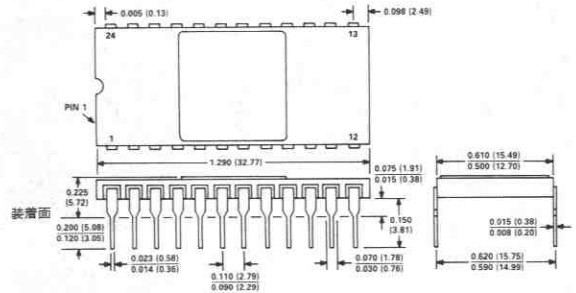


ピンNo.1はドットまたはノッチで示します。
リードはハンダまたはスズ・メッキが施された
コパールあるいはアロイ42

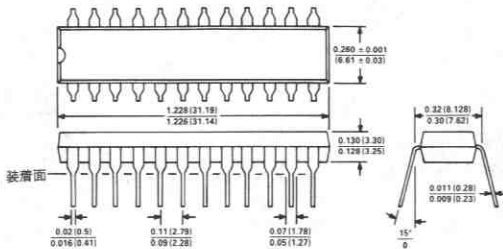
24ピン・プラスチック DIP (N-24A)



24ピン・セラミック DIP (D-24)

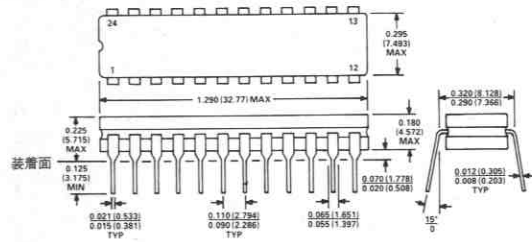


24ピン・プラスチック DIP (N-24)



注1. ピンNo.1はドットまたはノッチで示します。
2. プラスチック・リードはMIL-M-38510規格に準拠してハンダ付けあるいはスズ・メッキが施されています。

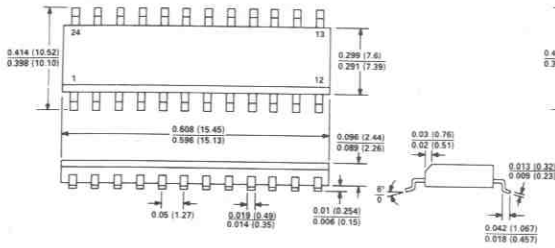
24ピン・サーディップ (Q-24)



注1. ピンNo.1はドットまたはノッチで示します。
2. サーディップ・リードはMIL-M-38510規格に準拠してスズ・メッキあるいはハンダ付けが施されています。

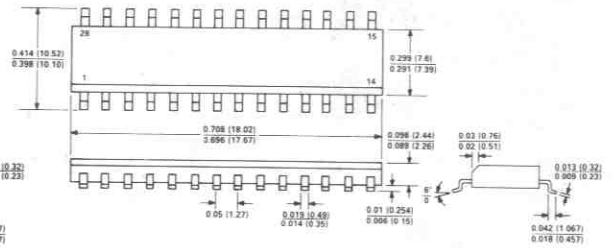
AD230-AD241

24ピン SOIC (R-24)



1. ピンNo.はドットで示します。
2. SOICリードはMIL-M-38510規格に準拠してスズ・メッキあるいはハンダ付けが施されています。

28ピン SOIC (R-28)



1. ピンNo.はドットで示します。
2. SOICリードはMIL-M-38510規格に準拠してスズ・メッキあるいはハンダ付けが施されています。



**ANALOG
DEVICES**

固定ディスク・データ・チャネル・クオリファイア

50Mb/s

AD891A

特長

マッチングのとれた3つのオフセット調整済みコンパレータを内蔵
ECLロジックで50Mb/秒の転送速度実現
3レベルのデータ・クオリフィケーション

振幅

スレッシュールド時間
データの極性

100 ps typ の追加パルス・ベアリング

温度補償

10KH ECLロジック・コンパチブル

外部抵抗によりワンショットの時間設定が可能

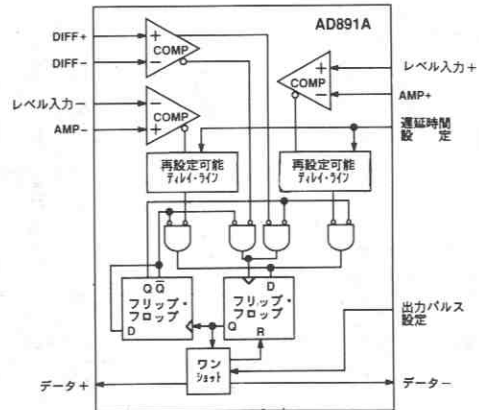
外部抵抗によるスレッシュールド・クオリフィケーション時間の設定

概要

AD891A ディスク・チャネル・クオリファイアはAD890広帯域チャネル・プロセサとともに使用するチップで、この組み合わせは50Mb/秒の転送速度で差動チャネルからバイナリ・データをリカバリーすることのできる高度なチップセットです。

AD891Aは3つのレベルのデータ・クオリフィケーションが可能です。レベル・クオリフィケーションは2つのコンパレータに入力されるユーザ設定によるスレッシュールド・レベルを用いて、データ波形の半サイクルを交互にすることによって行います。各コンパレータの出力は、ユーザ・プログラミング可能な「再設定可能」ディレイ・ラインを駆動します。「再設定可能」なディレイ・ライン機能は、ゼロ・クロス検出前にデータ・パルスが振幅クオリフィケーション・レベルを越えなければならない最小時間をユーザが設定できるようにしています。再設定可能なディレイ・ラインは、NANDゲート・フリップ・フロップを駆動します。3番目のゼロ・クロス・コンパレータはNANDゲート・フリップ・フロップをクロックするために使用されます。NANDゲート・フリップ・フロップは2番目のフリップ・フロップを駆動します。2番目のフリップ・フロップは、NANDゲート・フリップ・フロップの入力に対してフィード・バックを行います。したがって、2番目のフリップ・フロップのトグル動作によって、交互の極性のデータ・クオリフィケーションが得られます。動作の対称性および低パルス・ベアリングを保証するために、3つのコンパレータすべてはオフセット調整が施されています。

AD891Aと併用して使用するのがR/LC受動ディレイ・ライン微分器です。標準的な回路構成の詳細は応用の項を参照してください。外部回路を用いることで差動信号路と非差動信号路とで遅延時間が等しくなり、クオリフィケーション・ウィンドウの正確なセンタリングが保証されます。この外部回路はまた信号通過帯域の平坦さと分散度が最も適切なものになるように保証します。



AD891A機能ブロック図

有効な各データ・パルスによって、ワン・ショットによりユーザ設定幅のパルスを生成します。ワン・ショットの間はNANDゲート・フリップ・フロップはディスエーブルになります。これによって、追加ゼロ・クロス事象の検出を防ぎます。また、ワン・ショットはECL「データ出力」ドライバを駆動します。ワン・ショットには、パルス幅を設定するための金属被膜抵抗が1つ必要です。温度の安定性は、内部バンドギャップ・リファレンスによって維持されます。

AD891Aの内部ロジックは温度補償済みの振幅を抑えたECLロジックで構成され、その標準伝播遅延時間はゲートあたり600PSです。また出力データは標準の10KH ECLロジック・レベルに適合しています。AD891Aは正しく終端が行われた75Ωの伝送線を駆動することができます。

AD891Aは一般用温度範囲(0~+70°C)で動作するように設計されています。これは20ピンLCCパッケージです。(14ピン・サイド・ブレイズ・パッケージのサンプルもあります。)

仕様

(特に指定のない限り、@+25°C、+5 V、-5.2 V d c)

パラメータ	条件	Min	AD891AJ Typ	Max	単位
コンパレータ仕様					
入力オフセット電圧	f = 10 MHz 差動 差動 デジタル・グラウンド基準		0.25	1.0	mV
入力オフセット電流			100		nA
入力バイアス電流			1.6	3.0	μA
オープン・ループ・ゲイン			66		dB
入力抵抗			500		kΩ
入力容量			1		pF
同相入力電圧範囲			-1.5		+2.2
再設定可能ディレイ・ライン仕様					
抵抗スケールリング ¹	R _{SET} = 1 kΩ R _{SET} = 5 kΩ R _{SET} = R _{min} ~ R _{max}	ディレイ ≈ 2 + 5 × R _{SET}			ns
パルス時間		5	7	12	ns
抵抗範囲		18	27	36	ns
		0.30		33	kΩ
出力ワンショット仕様					
抵抗スケールリング ¹	R _{SET} = 4 kΩ R _{SET} = 10 kΩ R _{SET} = R _{min} ~ R _{max}	ワンショット・パルス ≈ 3 + 5 × R _{SET}			ns
パルス時間		17	23	31	ns
抵抗範囲		40	53	72	ns
		0.60		33	kΩ
外部ロジック仕様²					
出力ロジック "1"		-0.98	-0.85	-0.81	V
出力ロジック "0"		-1.95	-1.85	-1.63	V
立上り時間			1.4		ns
立下り時間			1.2		ns
データ・スループット仕様					
伝播遅延時間 ³	微分器入力から データ出力の10% 200mVオーバードライブ 入力立上り時間 5 ns		6.0		ns
追加パルス・ベアリング ⁴			100	1000	ps
最大転送速度		50			Mb/s
電源					
動作範囲 V _{CC}	T _{min} ~ T _{max}	+4.5		+5.5	V
動作範囲 V _{EE}		-4.68		-5.72	V
無負荷時電源電流					
I _{CC}		12	16	30	mA
I _{EE}		-40	-55	-80	mA

注

1. R_{SET} は kΩ。
2. "データ+" 出力と "データ-" 出力のロジック仕様は 50Ω のプルダウン抵抗を -2 V に接続した時のもの。
3. 伝播遅延時間は 200mV オーバードライブ時でゼロ・クロス・コンパレータ入力から "データ+" 出力までを測定。
4. 立上り時間が 5 ns 以下の ± 100 mV 方形波をゼロ・クロス・コンパレータに入力して測定。パルス・ベアリングは 2 つの連続する出力パルスに対する遅延時間の差を示します。

仕様は予告なしに変更することがあります。

AD891A

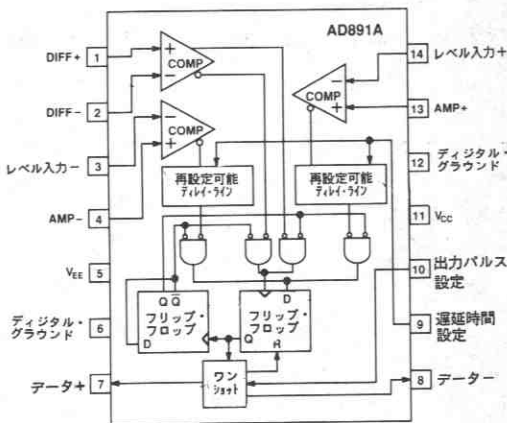
絶対最大定格¹

電源電圧.....	± 7.5V
コンパレータ差動入力電圧.....	± 5.6V
保存温度範囲 P, Q.....	-65 ~ +150°C
動作温度範囲 ²	
AD891A J P, AD891A J D.....	0 ~ +70°C
リード温度範囲 (ハンダ付け60秒).....	+ 300°C

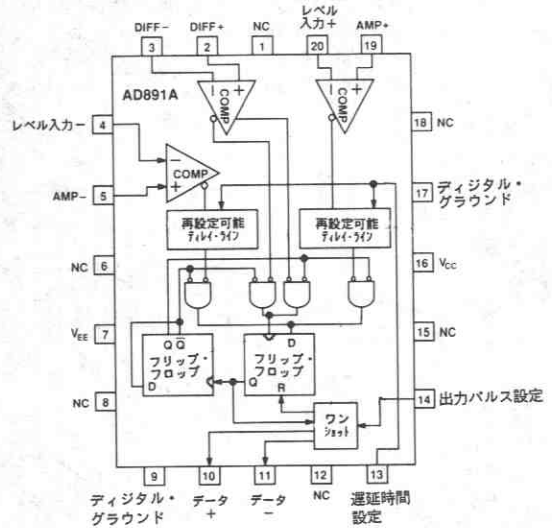
注

- これらの条件を超えた場合、デバイスに永久的な損傷を与えることがあります。これは単に定格を示したもので、これらの条件あるいは動作仕様を示した値を超える条件の下で正しく機能することを意味するものではありません。長時間、絶対最大定格条件にさらされた場合、デバイスの信頼性は保証できません。
- 20ピン PLCC パッケージ: $\theta_{JC} = +70^\circ\text{C}/\text{W}$
14ピン (サイド・ブレース) パッケージ (サンプルのみ): $\theta_{JA} = +105^\circ\text{C}/\text{W}$

14ピン・サイド・ブレース (D) パッケージ



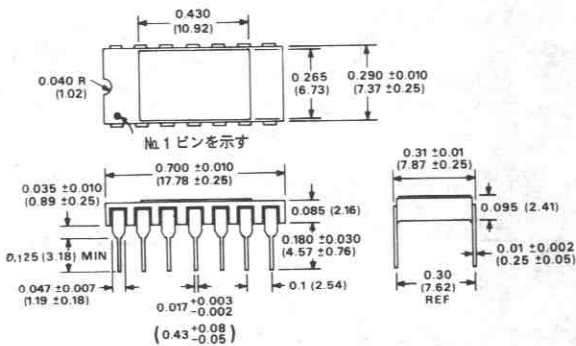
20ピン PLCC パッケージ (P)



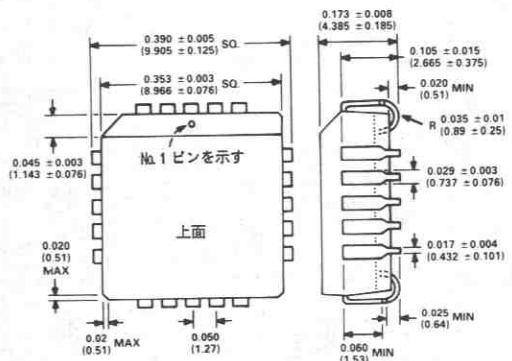
外形サイズ

サイズはインチと (mm) で示してあります。

14ピン・サイド・ブレース (D) パッケージ



20ピン PLCC パッケージ (P)



オーダ・ガイド

モデル	パッケージ
AD891A J P	20ピン PLCC
AD891A J D	14ピン・サイド・ブレース DIP (サンプルのみ)

代表特性

(+25°C、+5V、-5.2V電源時)

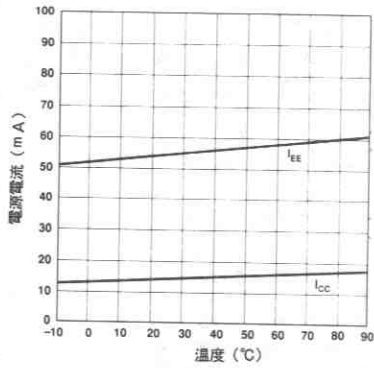


図1. 電源電流の温度変化

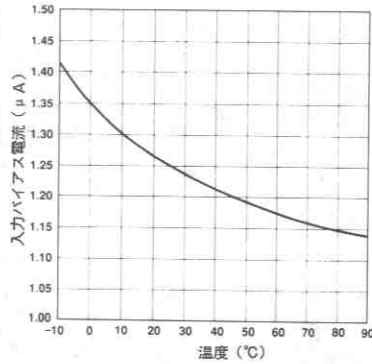


図2. コンパレータの入力バイアス電流の温度変化

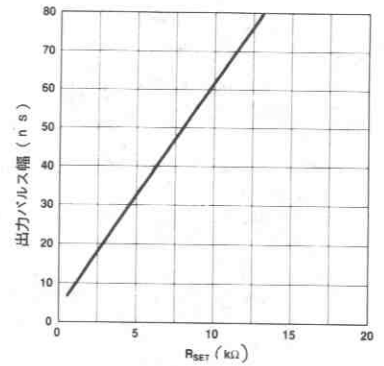


図3. 出力ワンショット・パルス幅とR_{SET}

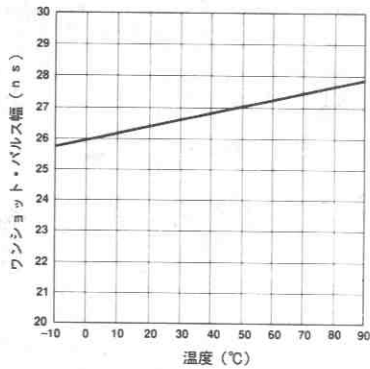


図4. 出力ワンショット・パルス幅の温度変化
(R_{SET} = 4 kΩ)

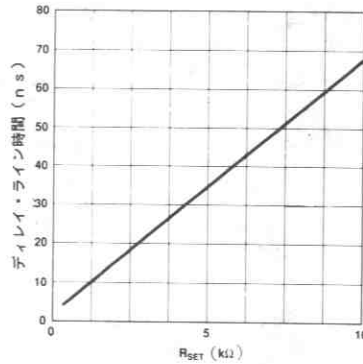


図5. ディレイ・ライン時間とR_{SET}

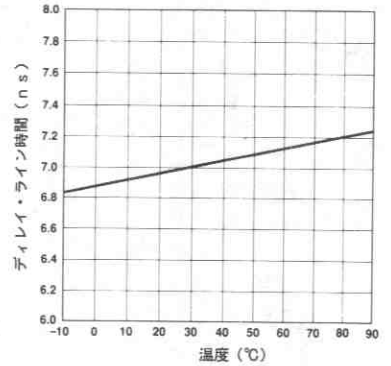


図6. ディレイ・ライン時間の温度変化
(R_{SET} = 1 kΩ)

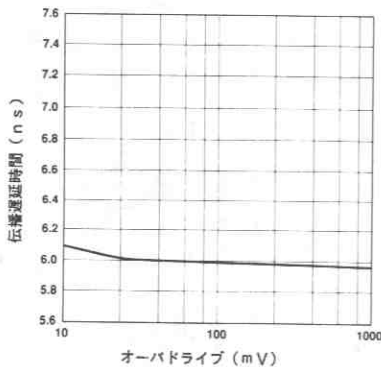


図7. 伝播遅延と入力オーバドライブ

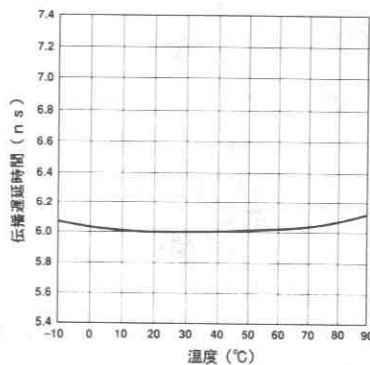


図8. 伝播遅延の温度変化

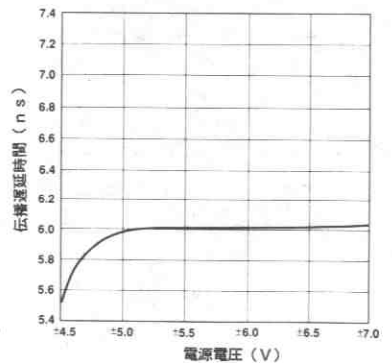


図9. 伝播遅延と電源電圧

動作原理

AD891 Aは、3つのコンパレータ、外部から調整可能な「再設定可能」な1組のディレイ・ライン、4つのNANDゲート、2つのDタイプ・フリップ・フロップ、1つの内部バンドギャップ・リファレンス、および1つの外部調整可能なワン・ショットから構成されています（AD891Aブロック図を参照）。

図10は後述する受動ディレイ・ライン微分器を用いた時のAD891Aの動作を示したものです。Aはディスクに書込まれるビット・パターンで、ロジック1が磁気状態の変化を示します。磁気状態の変化が出力パルスとなります。AD891 Aへのアナログ入力は+側と-側が交互になるパルスBで表わされます。ここに示した例はRL L 1~7コード入力の最悪の場合のデータです。信号のクロリフィケーションおよび出力ビットを生成するために、AD891 Aではアナログ・データ入力が3つの基準にパスすることが必要です。トリプルのデータ・クロリフィケーションを通して、ノイズが誤って解釈されることがないように保証することによって、誤差を大幅に低減します。第1のデータ・クロリフィケーション基準は、信号振幅であり、2つの振幅スレッシュールド・コンパレータを使用することにより達成されています。各コンパレータの出力は「再設定可能」なディレイ・ラインを駆動します。「再設定可能」なディレイ・ラインは、第2の有効なデータ基準、つまりゼロ・クロスが検出される前に有効な信号スレッシュールドを超える最小時間について動作を行ないます。この有効な信号スレッシュールドを超える最小時間は、外部抵抗によって設定されます。「再設定可能」なディレイ・ラインの出力は、次に第3のクロリフィケーション基準であるデータが

正確な極性を示すかを決定するために使用されます。データが正確な極性を示すかを決定するには、Dタイプのフリップ・フロップが使用されます。このフリップ・フロップは、有効な各パルスによってトグルされます。それによって、有効な各入力データ・ビットの交互極性クロリフィケーションを保証します。Cは外部微分器の出力波形を示しています。ゼロ・クロス・ポイントがちょうどアナログ入力Bのピーク点に対応しています。Dはゼロ・クロス・コンパレータからの出力です。この出力のステートの変化がD型フリップ・フロップへの入力クロックとなります。フリップ・フロップは、例えば前述の3つのデータ・クロリフィケーション基準をすべて満たした場合のみフリップ・フロップ出力がステートを変えようというように、データ極性チェックからの出力を使用することができます。3つのデータ・クロリフィケーション基準が満たされ、ゼロ・クロスが発生した時にフリップ・フロップの出力ステートが変化することにより、出力パルスEが生成されます。これはデータ+/データ-出力で見られるもので、外部抵抗によって設定されます。また、ワン・ショットは、必要な有効データ極性をトグルし、2番目のDタイプ・フリップ・フロップもトリガします。最終的な出力データ・シーケンスがFです。このようにアナログ入力が曲折した信号であるにもかかわらず、正確にデータが検出され、出力は単に書込みデータを再構成したものに過ぎません。

1~7コード入力は一般的なエンコード方式の中でも最もクロリフィケーションを行う必要性の高い方式なので、MFMやRL L 2-7コード等他のコード形式にもAD891 Aは当然対応できます。

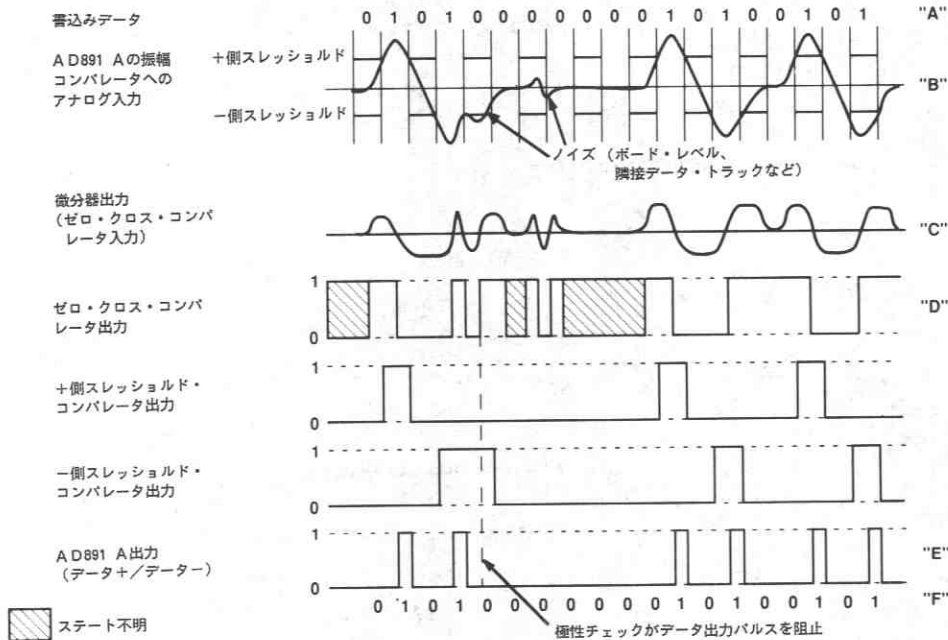


図10 AD891Aの内部動作 (RL L 1~7コードによる最悪のデータ時)

設計上の注意

受動ディレイ・ライン微分器には完全差動型(図11a)とシングル・エンド型(図11b)のどちらかを使用することができます。部品の選択には下に示す方式を使ってください。

シングル・エンド構成の場合は、一側コンパレータをオフにするため入力にバイアスをかける必要があります。そこで“AMP-”入力を“レベル入力-”入力より少なくとも100mV低く設定します。電位差が差動入力の絶対最大定格値5.6Vを超えていなければ、“AMP-”ピンを“V_{EE}”ピンに、“レベル入力-”ピンを“デジタル・グラウンド”ピンに接続しても構いません。

優れたRF特性を得るために、0.1μFと0.01μFを“V_{CC}”と“V_{EE}”ピンに並列に接続したデカップリング回路を使用してください。同時に広いグラウンド・プレーンを活用してください。デジタル・グラウンドは2つ設けています。ピン17は内部ロジック用で、ピン9は“データ”出力専用です。(PLCCパッケージの場合。サイド・プレーズ・パッケージでは各々ピン12とピン5)。「再設定可能」なディレイ・ラインと出力パルス設定用の抵抗はなるべく直接“V_{EE}”ピンに接続してください。

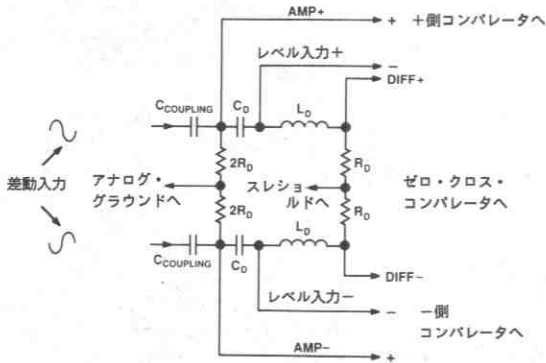


図11 a. 受動ディレイ・ライン微分器の完全差動構成

通常のECLロジックと同様、“データ-”と“データ+”ピンには“V_{EE}”へのプルダウン抵抗が必要です。“出力パルス設定”ピンと“V_{EE}”の間に4kΩ抵抗を接続した場合、ワンショット・パルス幅は公称23nsです。10kΩ抵抗の場合は53nsです。スレッシュホールド・クオリフィケーションを超える7ns最小時間は、「ディレイ設定」ピンと「V_{EE}」間に接続された1kΩの抵抗によって実現できます。

最高の性能を得るには3つの入力コンパレータはデジタル・グラウンドに近い同相電位で動作させてください。デジタル・グラウンドはノイズの混入を最小限に抑えるため、できるだけ電源に近い所でアナログ・グラウンドに接続してください。

A D 890 広帯域チャネル・プロセッサとの使用

図12はAD891 A J PとAD890 J Pを接続して30MHz₂のチャネルを作る代表的な応用です。回路には他に5次の30MHz₂ ガウス型-6dBトランジション・フィルタと2次のRLCイコライザが含まれています。前述の完全差動型受動ディレイ・ライン微分器も含まれています。アナログおよびデジタル・グラウンドは電源コモンにのみ接続する必要があります。

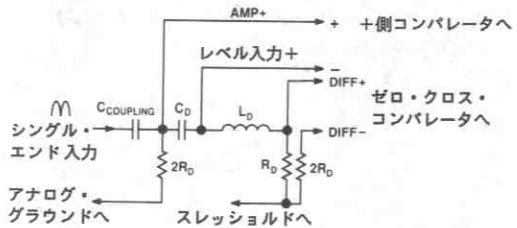


図11 b. 受動ディレイ・ライン微分器のシングル・エンド構成

部品の選び方

$$f_D = \frac{1}{2\pi\sqrt{L_D C_D}} \quad f_D = \text{希望する微分周波数の最大値の1.5倍}$$

$$R_0 = K \left[\sqrt{\frac{L_D}{C_D}} \right]$$

R₀: 最小値120Ω (150Ω以上が適切)

1.3 (最もよいゲイン応答) ≤ K ≤ 1.7 (最もよい群遅延応答)

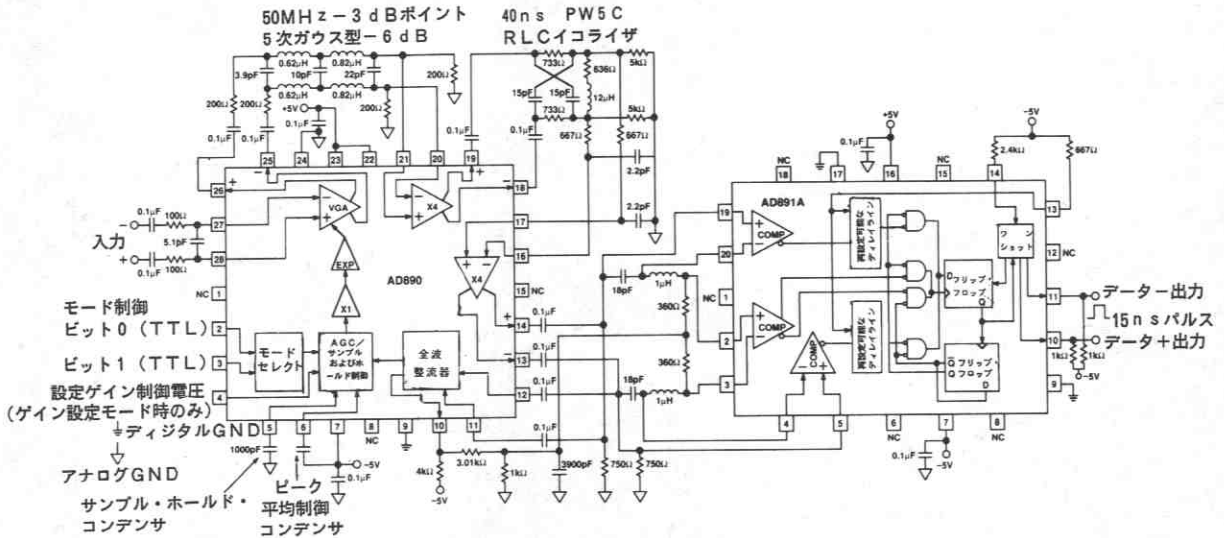


図12. 30MHzチャンネル用の代表的なAD890/A D891Aの接続

+5V、+12V電源での動作

AD891Aは+5V(±0.5V)および+12V(±0.6V)電源で動作させることができます。デジタル・グラウンド・ピンは+5Vラインに接続します。したがって規定された出力ECLロジック・レベルは+5V電源に対するものとなります。“データ+”ピンと“データ-”ピン用のプルダウン抵抗をV_{EE}に接続します。これにより、正常動作時+5V電源には約23mAの電流が流れます。

コンパレータを正確に動作させるため図13のように2つの100mAのダイオードを+12V電源と直列にV_{CC}端子に接続します。

(図はPLCCパッケージの場合)。

+5Vと+12V電源はともにグラウンドにRFバイパスする必要があります。0.1μFと0.01μFを並列に接続するのが望ましいですが、3.3μFなどの容量の大きいデカップリング・コンデンサが適切な場合もあります。このデカップリングは直接AD891Aの“V_{CC}”ピンおよび“デジタル・グラウンド”ピンに対し行います。最後にコンパレータの同相入力電圧範囲が+5V電源に対するものとなるので、動作がその範囲内に収まるように注意してください

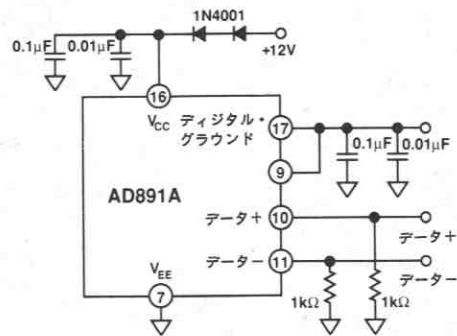


図13. AD891A J Pの+5V、+12V電源動作の接続
(+12V±5%、+5V±10%)

完全差動型ディレイ・ライン微分器の応答特性

図14~17に前述の完全差動型受動ディレイ・ライン微分器の標準的な性能を示します。図14と図15に非差動出力のゲイン応答と位相応答、図16に差動出力のゲイン応答、図17に両出力間の位相誤差を示しています。

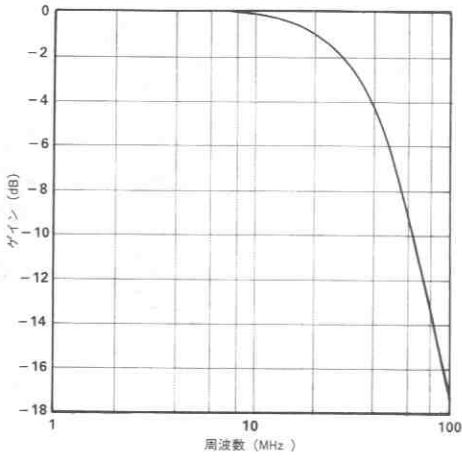


図14. 非差動出力のゲイン/周波数応答

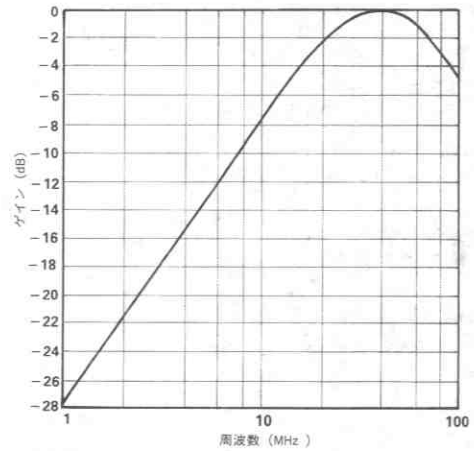


図16. 差動出力のゲイン/周波数応答

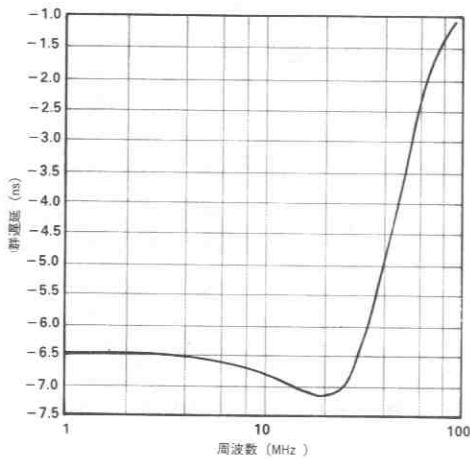


図15. 非差動出力の群遅延の周波数応答

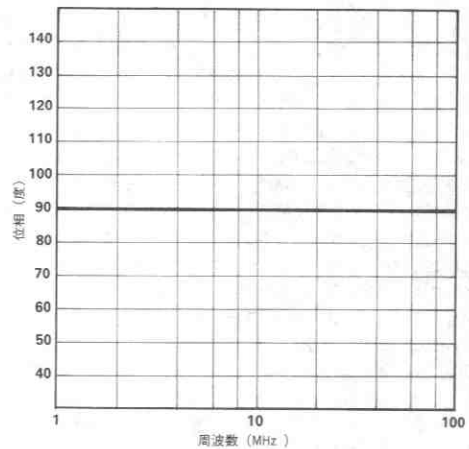


図17. 差動出力および非差動出力間の相対位相の周波数応答

AD892E/AD892T

特長

データ転送レート：30Mb/s (AD892E)

データ転送レート：25Mb/s (AD892T)

追加パルス・ベアリング：1ns max

2種類のバージョン

差動ECLデータ出力 (AD892E)

TTLデータ出力 (AD892T)

ゲイン30dB max、制御範囲40dBの可変ゲイン・アンプ

200Ωの差動負荷駆動能力をもつ2個のゲイン4 RFバッファ

0.2dB/ms typのゲイン・ドリフト (ホールド・モード時)

AGCのアタック/ディケイ時間：1μs (1000pFコンデンサ外付時)

ダイナミック入力クランプにより書き込み/読出しトランジェント後

の高速復帰

オフセット調整済みの2個のコンパレータ

外付抵抗によるワンショット・パルス幅の設定

+5~+12V電源動作

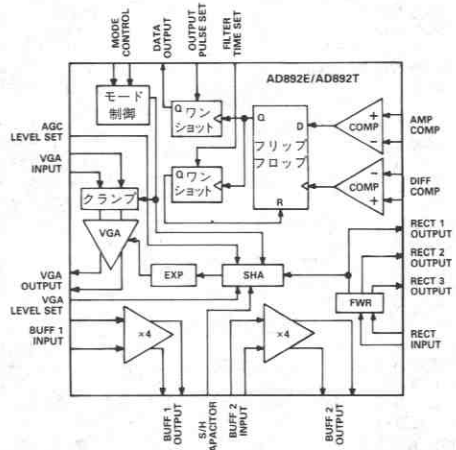
概要

AD892E/AD892Tは最大30Mb/sの転送レートをもつ差動チャネルからのバイナリ情報を復元する、完全なサブシステムです。ヘッド・アンプの出力に接続することにより、信号の処理とデータ・アクイジションを最小の外付部品で実現します。

AD892E/AD892Tは、連続およびサンプルAGCの両機能を実現するフレキシビリティを備えています。この機能は組み込み、専用、あるいは混在のサーボ応用に理想的です。ホールド・モード時の高速アクイジションと低いドループにより、読出し動作時にAGC動作をセクタのヘッド内でチャネル動作を損なわずに完了させることができます。ユーザー設定可能な2個のフィルタ/イコライザ段を使用することができ、フレキシブルな設計が可能です。このことにより、チャネルの総合特性の設計を簡素化できます。

低オフセットの50MHz全波整流器が3つ用意されています。そのうちの1つの整流器は内部のサンプル・ホールド回路を駆動し、この信号によりサンプル・ホールドのアタック/ディケイ特性を決めることができます。他の2つの整流器の出力はクオリフィケーション・レベルを生成し、受動のシングル・エンド微分器を駆動します。外付のRLC回路によりスレッシュホールドの設定と微分を行ないます。

AD892E/AD892Tはレベルと時間領域の両方のクオリフィケーション機能を備えています。レベル・クオリフィケーション・コンパレータに加えらるるユーザー設定のスレッシュホールド・レベルにより、整流されたデータ波形の半サイクルについてレベルのクオリフィケーションが行なわれます。このコンパレータの出力はマスター・スレップ・フリップフロップのデータ入力を駆動します。特性



AD892E/AD892T機能ブロック図

マッチングのとれた2番目のコンパレータによりゼロクロスを検出し、このフリップフロップのクロックを駆動します。個々のゼロクロス信号によって時間領域フィルタのワンショットを駆動し、ユーザーの設定したパルス幅のバースを発生します。ワンショット・パルスの期間中フリップフロップは動作が禁止され、他のゼロクロス・イベントの検出を防ぎます。この方法により単一ビットの誤差が2ビットの誤差に伝播することを防いでいます。ゼロクロスは、さらに出力ワンショットをユーザー設定のパルス幅でトリガします。データ出力はオープン・コレクタのショットキ・トランジスタであり、AD892Tではデジタル・フィードスルーを最小にするため、またAD892Eでは差動ECLとするため、個別のデジタル・グラウンド端子を備えています。

AD892E/AD892Tは44ピン・プラスチック・リード付きチップ・キャリア (PLCC) で、一般用温度範囲 (0~+70°C) で仕様が規定されています。

仕様

(特に指定のない限り、@+25°C、+5V、+12Vdcの値)

パラメータ	条件	AD892EJ/AD892TJ			単位
		Min	Typ	Max	
可変ゲイン・アンプ					
最大ゲイン ¹		28.5	30	31.5	dB
-3dB帯域幅	40dBまでのゲイン減衰	50			MHz
入力電圧ノイズ	0dBゲイン減衰		7		nV/ $\sqrt{\text{Hz}}$
入力信号範囲	推奨 p-p 差動	10		200	mV
入力抵抗	差動	19.2	24		k Ω
入力容量	差動		1	5	pF
出力インピーダンス	差動@1MHz			25	Ω
高調波歪み	0dBゲイン減衰			0.15	%
	26dBゲイン減衰			1.5	%
出力DCレベル				6.7	V
制御範囲	設定ゲイン・モード	36	40		dB
制御感度	設定ゲイン・モード (20mV 入力当たり)		-1		dB
制御直線性	設定ゲイン・モード (26dB VGA レンジ)			± 0.5	dB
VGAレベル設定入力範囲	設定ゲイン・モード (規定精度)	0		800	mV
	非破壊入力範囲	-0.3		V_{12}	V
VGAレベル設定入力電流				-50	μ A
入力クランプ ²					
ターン・オン時間			30		ns
ターン・オフ時間			200		ns
入力信号減衰			45		dB
ON状態入力インピーダンス	差動		28		Ω
ゲイン ⁴ バッファ					
定格ゲイン		12.25	12.75	13.25	dB
± 3 dB帯域幅		50			MHz
入力電圧ノイズ ³			7		nV/ $\sqrt{\text{Hz}}$
入力抵抗	差動	19.2	24		k Ω
入力容量	差動		1	5	pF
入力同相範囲	リファレンス電圧に関して			± 1	V
出力インピーダンス	差動@1MHz		10		Ω
高調波歪み	300mV ピーク出力、200 Ω 負荷		0.20		%
出力信号レベル			1.3		V
出力DCレベル	推奨 p-p 差動		5.75		V
全波整流器					
入力信号レベル	p-p 差動	0.3		3	V
-3dB帯域幅	100mV-1V ピーク入力	50			MHz
入力抵抗	差動	3.2	4		k Ω
入力容量	差動		1	5	pF
出力インピーダンス	差動@1MHz		15		Ω
DCオフセット ⁴	リファレンス電圧に関して		± 10	± 30	mV
リファレンス電圧出力		3.75		4.75	V
リファレンス電圧出力電流				1	mA
AGC制御部					
アタック時間	26dB ゲイン・ステップ、 $C_{\text{SAMPLE}} 1000\text{pF}$ 時		1.0		μ s
	26dB ゲイン・ステップ、 $C_{\text{SAMPLE}} < 50\text{pF}$ 時		120		ns
ホールド・ドループ	1dB ゲイン変化、 $C_{\text{SAMPLE}} 1000\text{pF}$ 時		5		ms
ダイナミック・レンジ	AGC 収集モード	36	40		dB
制御感度	AGC 収集モード (10mV 入力あたり)		40		mV
AGCレベル設定入力範囲	仕様精度	200		600	mV
	非破壊入力範囲	-0.3		V_{CC}	V
AGCレベル設定入力電流				-50	μ A
モード制御部 (TTLコンパチブル)					
V_{IH}		2.0		5.25	V
V_{IL}		-0.3		0.8	V
I_{IH}				10	nA
I_{IL}				10	nA
モード切替え時間				50	ns
ロジック設定	ビットA ビットB				
入力クランプ	0 0				
VGAゲイン設定	0 1				
AGCホールド	1 0				
AGC収集	1 1				

AD892E/AD892T

パラメータ	条件	AD892EJ/AD892TJ			単位
		Min	Typ	Max	
コンパレータ					
入力オフセット電圧			0.25	2.0	mV
入力オフセット電流			100		nA
入力バイアス電流			0.68		μ A
オープン・ループ・ゲイン	f=10MHz		66		dB
入力抵抗	差動		500		k Ω
入力容量	差動		1	5	pF
入力同相モード範囲	デジタル・グラウンド基準	2.8		+5	V
出力/フィルタ・ワンショット	AD892T				
抵抗スケールリング ²	ワンショット・パルス $\approx 10+3.0 \times R_{SET}$				
パルス期間	$R_{SET} = R_{min} \sim R_{max}$	9		180	ns
	$R_{SET} = 10k\Omega$	31	38	45	ns
	$R_{SET} = R_{min} \sim R_{max}$	0.75		56	k Ω
抵抗値の範囲					
出力/フィルタ・ワンショット	AD892E				
抵抗スケールリング ²	ワンショット・パルス $\approx 3.5+3.5 \times R_{SET}$				
パルス期間	$R_{SET} = R_{min} \sim R_{max}$	7		52	ns
	$R_{SET} = 3k\Omega$	9	14	19	ns
	$R_{SET} = R_{min} \sim R_{max}$	1		14	k Ω
抵抗値の範囲					
外部ロジック					
データ出力レベル(AD892T)	+5Vへ400 Ω プルアップ				
出力ロジック "1"	ユーザー設定(オープン・コレクタ出力)				
出力ロジック "0"			0.25	0.5	V
データ出力レベル(AD892E)	グラウンドに1k Ω プルダウン				
出力ロジック "1"		4.02	4.15	4.19	V
出力ロジック "0"		3.05	3.15	3.37	V
データ・スループット					
伝播遅延 ⁵	差動入力ーデータ出力		12.3		ns
追加パルス・ベアリング ⁷				1000	ps
最大転送速度(AD892T)		25			Mb/s
最大転送速度(AD892E)		30			Mb/s
電源					
電源電圧V ₁₂		10.8	12	13.2	V
電源電圧V ₅		4.5	5	5.5	V
無負荷時電源電流I ₁₂	T _{min} ~T _{max}	40	49	61	mA
無負荷時電源電流I ₅	T _{min} ~T _{max}	10	16	24	mA
絶対最大定格 ⁸					
電源電圧V ₁₂				14.5	V
電源電圧V ₅				7.5	V
RF入力段差動入力電圧		-0.8		5.6	V
コンパレータ差動入力電圧		-0.8		5.6	V
保管温度範囲		-65		130	°C
動作温度範囲 ⁹		0		70	°C
リード温度範囲	ハンダ付け60秒			300	°C

- 注
- ゲイン設定モードでゲイン設定ピンに0Vを加えたときの校正ゲイン。
 - クランプ動作は0.1 μ Fに200 Ω の信号源インピーダンスが直列に入った回路で規定されています。
 - AD892E/AD892Tの50MHz帯域幅においてrms信号ノイズ比は40dBのAGC範囲で最悪値40dB以上です。
 - クオリファイアのスレッシュホールド・ピンとグラウンドとの間、また微分器ピンとグラウンドとの間に4k Ω 抵抗を接続して測定した値です。
 - R_{SET}はk Ω で規定されています。
 - 200mVオーバードライブ時のゼロクロス・コンパレータ入力からデータ出力までの伝搬遅延です。
 - 立ち上がり時間5ns以下の ± 100 mV方形波により測定。この波形はゼロクロス・コンパレータの入力に加えます。出力パルスのベアリングは2個の連続出力パルス間の遅延時間の差です。
 - 絶対最大定格を超えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすと、デバイスの信頼性に影響を与えます。
 - 44ピンPLCCパッケージ: $\theta_{JA} = +65^\circ\text{C}/\text{W}$

太字の仕様は最終電気特性試験で100%試験されています。これらの試験結果は出荷品質レベルの算出に使用されています。最小および最大仕様は保証されていますが、太字で示す仕様のみ全数検査が行なわれています。

仕様は予告なしに変更することがあります。

代表的特性 (+5V、+12V電源、@ +25°C)

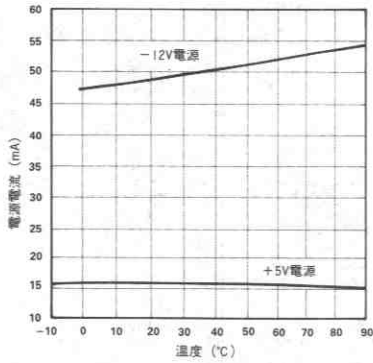


図1. 電源電流の温度特性

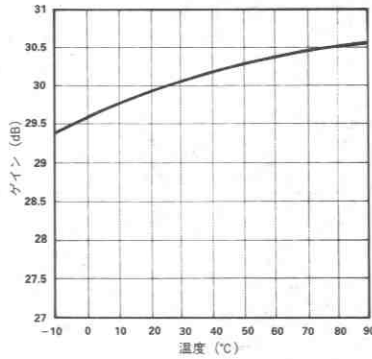


図2. VGAゲインの温度特性

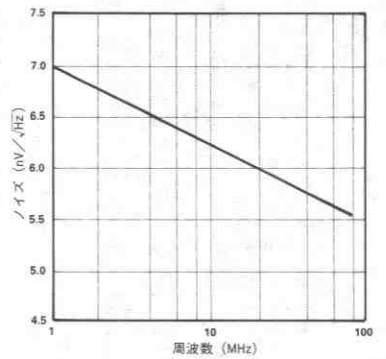


図3. VGA入力電圧ノイズの周波数特性

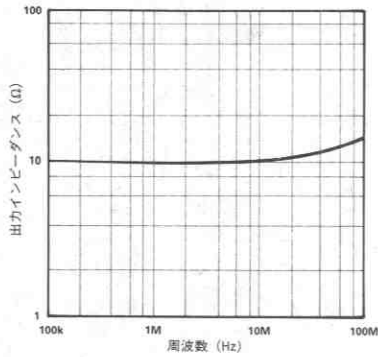


図4. VGA出カインピーダンスの周波数特性

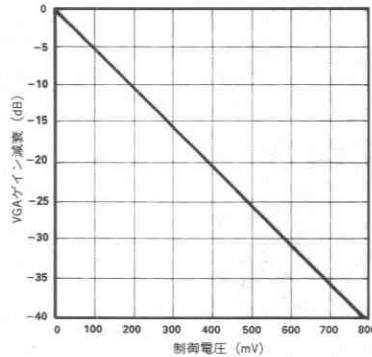


図5. 制御電圧とVGAゲイン減衰の関係

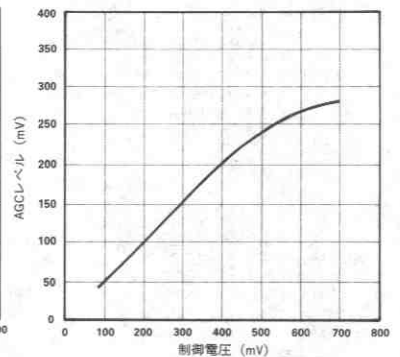


図6. 制御電圧とAGCレベル特性

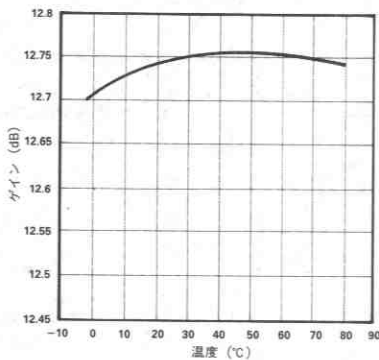


図7. ×4バッファ・ゲインの温度特性

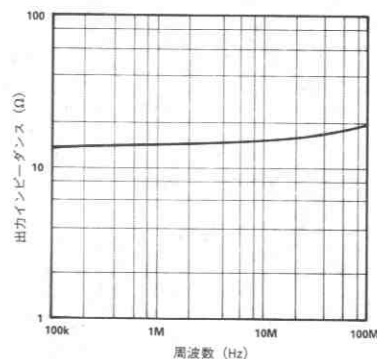


図8. ×4バッファ出カインピーダンスの周波数特性

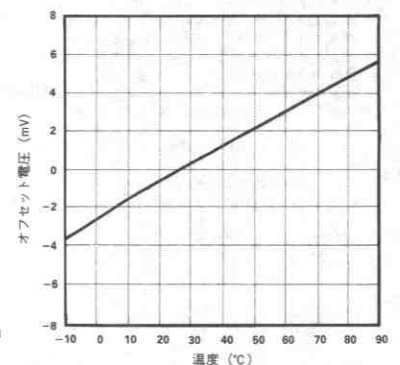


図9. 整流器オフセットの温度特性

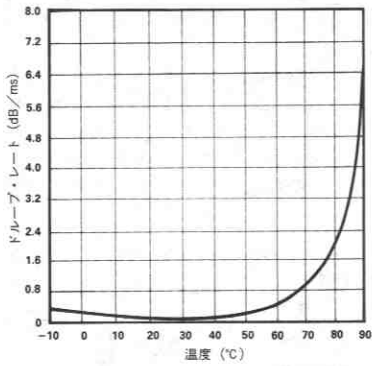


図10. ホールド・モードでのドループ・レートの温度特性 ($C_{HOLD} = 1000\text{pF}$)

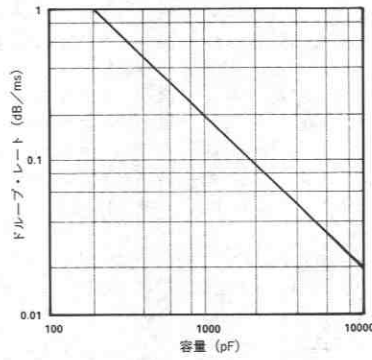


図11. 容量とホールド・モードでのドループ・レートの関係

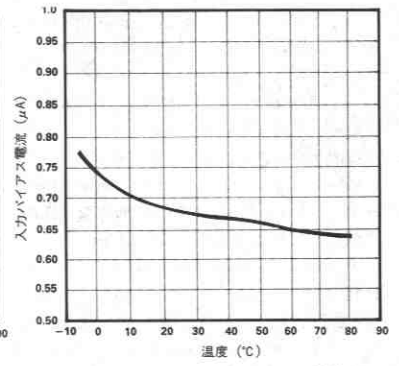


図12. コンバータ入力バイアス電流の温度特性

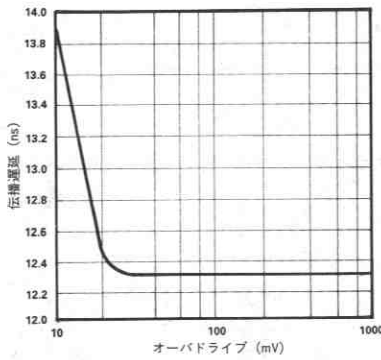


図13. 入力オーバドライブと伝播遅延時間 (コンバータ～データ出力) の関係

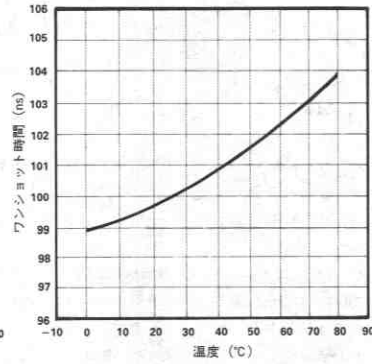


図14. ワンショット時間の温度特性 ($R_{SET} = 30\text{k}\Omega$)

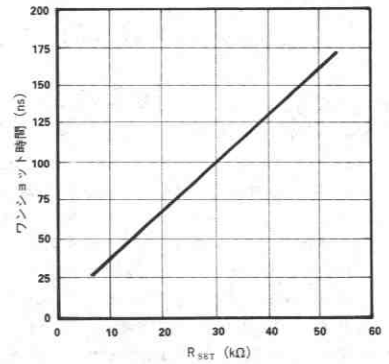


図15. R_{SET} とワンショット時間の関係

チャネル処理段

VGA段

30dBの変可ゲイン段の入力はグラウンドに対し5.0V上の電位でバイアスされています。外部接続のDCバイアスは必要ありませんが、ACカプリングが必要です。通常動作期間中とリード・アフター・ライトからのリカバリのためのクランプ動作期間中にはバイアス電圧は保持されます。

VGAの差動出力段は定格DCバイアス値6.7Vのエミッタ・フォロワです。出力エミッタ・フォロワのバイアス電流は内蔵の1.4mAの電流源から供給されます。アナログ・グラウンドに外付抵抗を並列に接続することによって駆動出力を1.4mA増加させることができますが、内部電力消費の増加を防ぐため注意が必要です。VGAの推奨出力レベルは200Ω負荷に対し300mV_{p-p}の差動です。

AD892E/AD892TをVGA設定ゲイン・モードで使用するには制御ビットA=0 (ピン5)、制御ビットB=1 (ピン4) とし、VGAゲインはVGAレベル設定ピン (ピン11) によってプログラマブルとなります。VGAゲインと指数スケール・ファクターはVGAレベル設定ピンに加えられるDC制御電位に関して調整されます。VGAレベル設定ピンに0Vの電位を加えると、VGAは30dBの通常ゲインとなります。加えられる電位が20mV増加することにVGAゲインは1dB減衰します。したがって、このモードでのVGAの公称ゲインには簡単な式が成り立ちます。

$$\text{VGAゲイン (dB)} = 30 - (50 \times V_{\text{SET LEVEL}})$$

AD892E/AD892Tにはリード・アフター・ライト時のオーバドライブ保護のためのクランプが備えられています。制御ビットA=0 (ピン5)、ビットB=0 (ピン4) とするとクランプ・モードとなり、VGAの入力インピーダンスは通常、24kΩから28Ωに低下します。エミッタ駆動入力で正しいクランプ動作を行なうために入力カプリング・コンデンサに直列に最小値50Ωの抵抗を挿入しなければなりません。入力抵抗は入力帯域幅を制限するためにシャント・コンデンサと共に使用することができます。例えば、10pFのシャント・コンデンサと100Ωの直列抵抗により、入力帯域幅は75MHzに制限されます。VGA入力が抵抗終端のオープン・コレクタ・ドライバで駆動される場合には、追加の直列抵抗は必要ありません。

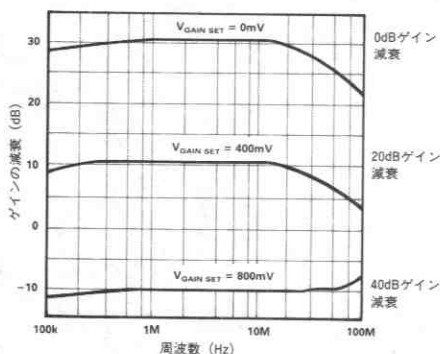


図16. VGAゲイン減衰の周波数特性

×4バッファ

これらの段の入力には内蔵の4.2VのDCバイアス (内部リファレンス電圧 V_{REF}) が加えられているため、入力バイアス電流経路は必要ありません。バッファへの入力はACカプリングする必要があります。ノイズを拾わないため、また不安定にならないために、入力を使用しない場合には互いに接続しておく必要があります。

定格DC出力レベルは内蔵の2.9mAのプルダウン電流源で5.75Vです。駆動出力はVGA段で述べたのと同様の方法で増加できます。したがってアナログ・グラウンドに外付抵抗を並列に接続することにより、出力電流は2.9mAまで増加します。出力駆動能力を増加させるときには、全消費電力の範囲を越えないように、同様の注意が必要です。

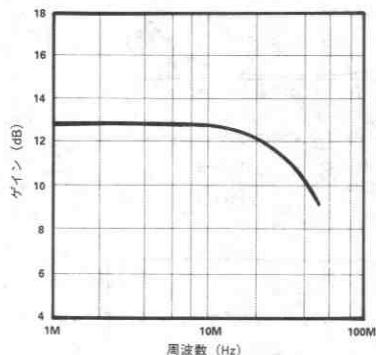


図17. ×4バッファ・ゲインの周波数特性 (1μF負荷と200Ωの直列抵抗)

全波整流器

3個の全波整流回路の入力は内部で5Vにバイアスされているため、ACカプリングのみが必要です。全波整流回路の出力回路は同等な3つの段で構成されています。3段ともエミッタ・フォロワ出力です。入力電圧0Vの時の定格出力電圧は、リファレンス電圧 (ピン39) の4.2Vに接近しています。

サンプル・ホールド・アンプ (ピン34) への整流出力は、内部に2.15kΩの直列抵抗と、グラウンドに接続されたダイオードをもちます。これによって正弦波領域で高精度のAGC動作が行なわれます。もし応用においてピーク・ホールド・モードのAGC動作が必要ならば、抵抗なしのAD892E/AD892Tのオアゲも可能です。

他の2つの全波整流出力は、それぞれのエミッタ・フォロワ出力段に直接接続され、片方は微分器回路を、もう一方はピーク・ディテクタのスレッシュドを駆動します。両方の出力ともプルダウン抵抗を内蔵していません。このため、定格のゼロ・オフセットを得るためには、これらの無負荷時電源電流をマッチングさせる必要があります。高精度動作のために、1mAの無負荷時電源電流を推奨します。

AD892E/AD892T

AGCサンプル・ホールド

制御ビットA=1(ピン5)とビットB=1(ピン4)の設定ではAD892E/AD892TはAGC収集モードとなり、AGCレベルはAGCレベル設定ピン(ピン8)によってプログラマブルとなります。AGCレベルは全波整流回路の出力電圧(ピン34)の平均値によって決まります。AGCレベル設定ピンには400mV DCの電位が加えられているため、定格平均AGC電圧レベルは200mVとなっています。加えられたAGCレベル設定電圧の10mVの増減ごとに、平均AGCレベルが5mV増減します。したがってこのモードでの定格AGCレベルの計算には簡単な式が成り立ちます。

$$\text{AGCレベル} = 0.5 \times V_{\text{AGC LEVEL SET}}$$

サンプル・ホールド・アンプ(ピン34)のための全波整流器出力にピーク・ホールド・コンデンサを取付けない場合には、正弦波入力信号についてのみ正確なAGC動作が行なわれます。もし応用においてAGCのピーク・ホールド動作を使用することが必要な場合には、ご指定によりAD892E/AD892Tのサンプル・ホールド・アンプ(ピン34)のための全波整流器出力からプルダウン抵抗を取去ることができます。この抵抗を取去り、サンプル・ホールド・アンプのための整流器出力にRCの組合せを接続することにより、ピーク・ホールドのレベルを設定することができるようになります。コンデンサを追加すると、整流器のアタック/ディケイ・レートの対称性が変化します。コンデンサなしの場合には動作は対称です。入力レベルが高い方から低い方に、また低い方から高い方に变化したときの総合AGC応答を同一にするためには、整流器のアタック/ディケイ時間をAGCの応答時間よりも2倍以下にする必要があります。

AGC収集時間はピン22に接続されるホールド・コンデンサの値1000pF当り約1 μ sとなります。低いドループ・レートを実現するためにはシルバ・マイカなどの低漏れ電流のコンデンサが必要です。VGAレベル設定ピンを使用しない場合には、アナログ・グラウンドに接続しなければなりません。

AGC制御電位はサンプル・ホールド・コンデンサ・ピンに出ています。AGC動作時に測定されたAGC制御電位に基づいたオープン・ループ・ゲインに対する制御が必要な場合には、ホールド動作に影響を与えないように、このピンのバッファとしてFETオペアンプを使用しなければなりません。

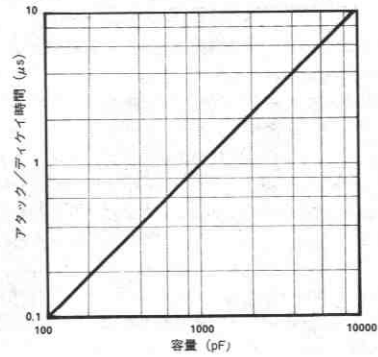


図18. 容量とAGCのアタック/ディケイ時間の関係

データ・クオリファイア段

AD892E/AD892Tのデータ・クオリファイア部は2つのコンパレータ、1つのDタイプ・フリップフロップ、内蔵バンドギャップ・リファレンス、外部設定可能な1組のワンショットによって構成されています。コンパレータの片方をデータ振幅のクオリフィケーションに、もう一方を外付けの受動微分器回路に接続することによりゼロクロス検出器として動作します。

図19に、応用の項で述べる推奨の受動遅延ラインによる微分回路を使用したデータ・クオリファイアの動作を示します。シーケンス“A”はロジック“1”の磁界状態の変化によるディスクの書き込みパターンです。磁界状態の変化によりパルスが出力されます。データ・クオリファイアのアナログ入力“B”の整流されたパルスとなります。ここに示すデータ・パターンはRLL1, 7コード入力の最悪の場合です。“C”は“B”のアナログ入力のピークに対応したゼロクロスの発生する点での外付微分器の出力波形を示します。シーケンス“D”はゼロクロス・コンパレータの出力を示します。この出力状態の変化は内蔵Dタイプ・フリップフロップのクロックとして用います。このフリップフロップは振幅スレッシュホールド・コンパレータ出力“E”を使ってイネーブルされます。振幅スレッシュホールド・コンパレータ出力の状態は、アナログ入力があらかじめ設定されたスレッシュホールド・レベルを越えたときのみ変化します。スレッシュホールド・レベルを越え、ゼロクロスが起ると、フリップフロップの状態が変化し、“F”に示すパルスが出力されます。このパルスはデータ出力ピン（ピン43）に出力されます。外付抵抗をピン42と V_0 の間に接続することでパルス幅が設定可能で、またピン41と V_0 との間に接続すれば、再トリガを誘発するノイズを防ぐ内部タイムアウトとして使用されます。“G”に最終出力データを示します。ここに示すようにアナログ入力の変化にも関わらずデータは正しく検出され、出力はライト・データと時間がずれただけになっています。

RLL1, 7コード入力はクオリフィケーションのために用いられる最も一般的なコード化方式ですが、AD892E/AD892TではMPFMやRLL2, 7などの他の方式も容易に扱うことができます。

レイアウトについて

AD892E/AD892Tのチャネル処理部は50MHzにおいて60dB近い総合ゲインをもっています。150MHz~350MHzの範囲の発振を防ぐためにはプリント基板には良好なRF配置を行わなければなりません。入力段に75MHz~125MHzのカットオフをもつ単極RCフィルタを挿入することにより、発振の防止を行なうことができます。各段の間の接続はできる限り短くします。またシステムに必要なすべてのローパス・フィルタもVGA段と最初の×4アンプとの間に挿入することをお奨めします。全段の間の使用部品の周辺には可能な限りグラウンド・プレーンを配置してください。このような簡単なルールによって安定動作を得ることができます。

+12Vアナログ電源（ピン18）と+12Vディジタル電源（ピン40）、+5V電源（ピン1）には0.1 μ Fと0.01 μ Fのセラミック・コンデンサを並列に、できるだけ近くに接続します。V_{REFERENCE}（ピン39）も0.1 μ Fのセラミック・コンデンサでデカップリングしてください。

グラウンド・プレーンはなるべく広くとってください。アナログ・グラウンド（ピン28）はAGC部分のために用意され、ディジタル・グラウンドはデータ・クオリファイア（ピン6）とオープン・コレクタ出力トランジスタのエミッタ（AD892Tのピン44のみ）用に2本用意されています。アナログ・グラウンドへのノイズの注入を最小にするため、電源コモンにできるだけ近いところでディジタル・グラウンドをアナログ・グラウンドと接続する必要があります。

フィルタと出力パルスの設定抵抗は可能な限り直接+5V電源に接続してください。データ出力パルスと出力パルス設定回路のカプリングを防ぐために、出力パルス設定抵抗と並列に1000pFのコンデンサを使用することができます。

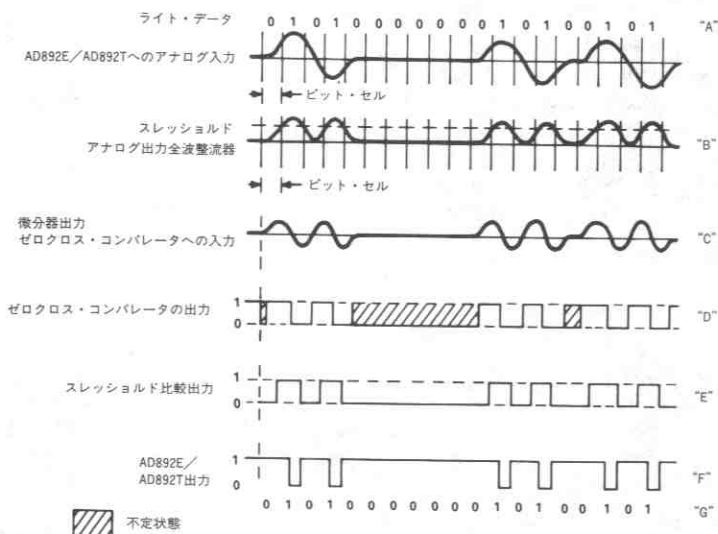


図19. AD892E/AD892Tの1-7RLLの最悪ケースでの動作

AD892E/AD892T

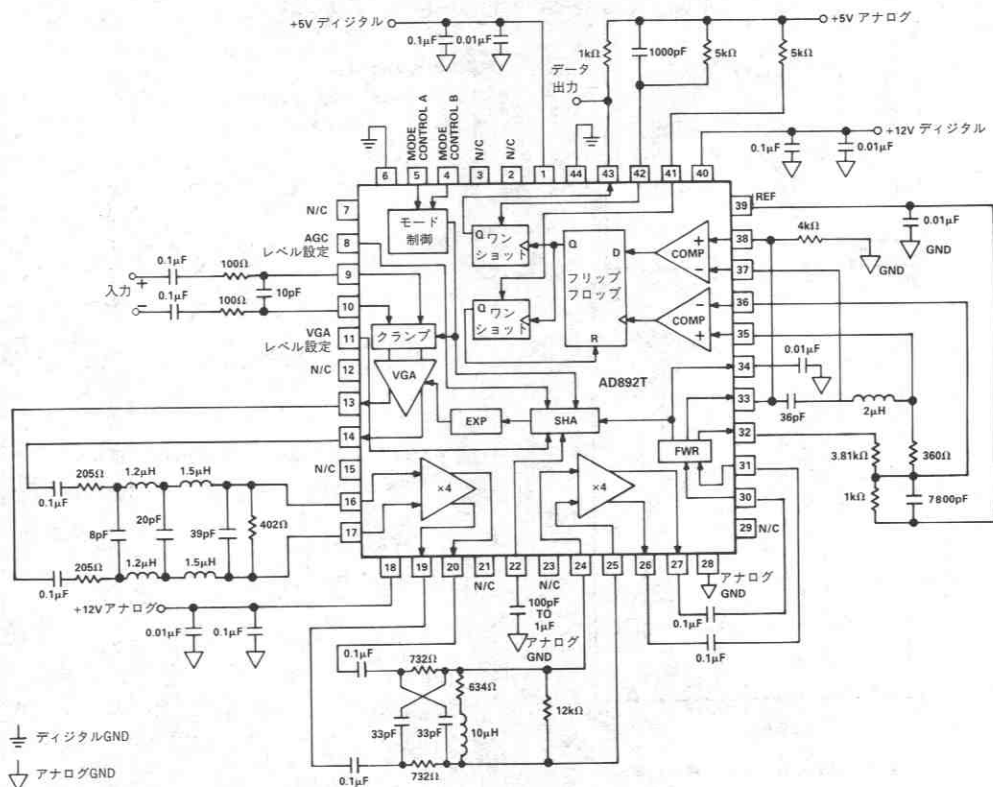


図20. 15MHzチャンネルのAD892Tの代表的接続

15MHz動作応用

図20にAD892Tによる代表的な15MHzチャンネルの応用を示します。この回路には5極15MHzのガウス型-6dBトランジション・フィルタと、2次RLCの時間領域イコライザが含まれています。また、シングル・エンドの受動遅延ライン微分器も含まれています。

AD892E/AD892Tとイコライザの使用

AD892E/AD892Tはイコライザが使用される応用に理想的です。×4バッファ出力の出カドライバは、200Ω負荷で動作するように設計されており、タップ付きの遅延ラインの設計が容易です。簡単な抵抗分圧器によって、重みの異なるタップの加算や微分が可能です。

RLCイコライザ

パルスを細くする際によく用いられる3タップのタップつき遅延ライン・イコライザの代わりに、簡単なRLC回路によって低価格で完全差動動作が実現できます。図21に示すイコライザは $F(\omega\tau) = 1 - k\cos(\omega\tau)$ という式で表わされる関数で近似されます。近似は、まず振幅の関数を作り、次に取扱う周波数範囲で平坦な群遅延特性が得られるように位相補正を加算して行ないます。先に示した

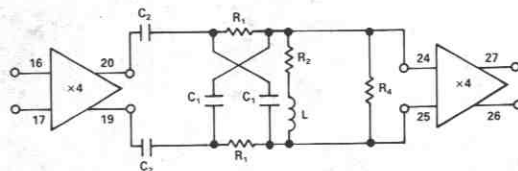


図21. RLCイコライザ

15MHz応用例ではコサインのイコライザを使用しており、 $K=0.6$ で $\tau=24\text{ns}$ です。15MHzの応用例に使用した振幅と群遅延特性をそれぞれ図22と図23に示します。

振幅の近似

RC格子 (図24) により振幅近似が行なわれます。

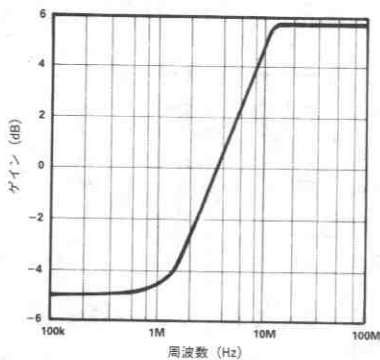


図22. RLCイコライザの振幅応答

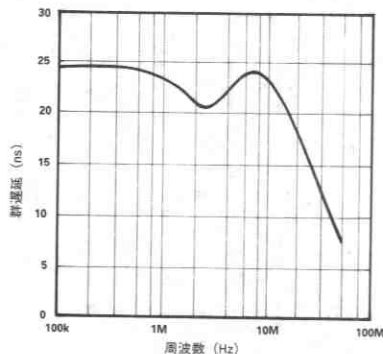


図23. RLCイコライザの群遅延応答

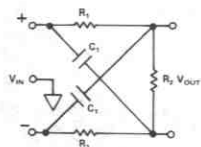


図24. RC格子

伝達関数は次のようになります。

$$\frac{V_{OUT}}{V_{IN}} = \frac{R_2(1 - CR_1S)}{CR_1R_2S + R_2 + 2R_1}$$

直流では、

$$\frac{V_{OUT}}{V_{IN}} = \frac{R_2}{2R_1 + R_2}$$

また高い周波数では、

$$\frac{V_{OUT}}{V_{IN}} = -1$$

となります。

上の例では $1 - K \cos(\omega\tau)$ の K は以下のように表わされます。

$$K = \frac{R_1}{R_1 + R_2}$$

また平均ゲインは、

$$\frac{R_1 + R_2}{2R_1 + R_2}$$

で表わされます。

これらの結果から、 K の値は R_1 または R_2 のどちらかによって変更できることがわかります。しかし、 K を変更すると回路の周波数応答が変化してしまいます。 R_1 または R_2 の値を変化させた場合には、通常の規則によるインピーダンスのスケールリングを行わなければなりません。

群遅延特性の近似

最適な群遅延特性を得るためにインダクタを追加することができます。図25にRLC格子を示します。

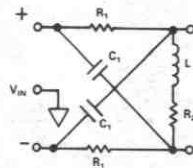


図25. RLC格子

このイコライザの応答の完全な誘導式を以下に示します。

$$\begin{aligned} \frac{V_{OUT}}{V_{IN}} &= \frac{\left[\frac{R_2 + SL}{2} \right] \cdot \frac{1}{SC}}{\frac{R_2 + SL}{2} + \frac{1}{SC}} \cdot \frac{\left[\frac{R_2 + SL}{2} \right] \cdot R_1}{\frac{R_2 + SL}{2} + R_1} \\ &= \frac{R_1 + \left[\frac{R_2 + SL}{2} \right] \cdot \frac{1}{SC}}{\frac{R_2 + SL}{2} + \frac{1}{SC}} \cdot \frac{1}{SC} + \frac{\left[\frac{R_2 + SL}{2} \right] \cdot R_1}{\frac{R_2 + SL}{2} + R_1} \\ &= \frac{\left[\frac{R_2 + SL}{2} \right] \cdot \left[\frac{1}{SC} - R_1 \right]}{\frac{R_1 R_2}{2} + \frac{SL R_1}{2} + \frac{R_1}{SC} + \frac{R_2}{2SC} + \frac{SL}{2SC}} \\ &= \left[\frac{S^2 R_1 LC - S[L - CR_1 R_2] - R_2}{S^2 R_1 LC + S[L + CR_1 R_2] + 2R_1 + R_2} \right] \\ &= \left[\frac{S^2 R_1 LC - S[L + CR_1 R_2] + 2R_1 + R_2}{S^2 R_1 LC + S[L + CR_1 R_2] + 2R_1 + R_2} \right] + \\ &\quad \text{全通過} \\ &\quad \text{回路} \left[\frac{2[R_1 + R_2 + SCR_1 R_2]}{S^2 R_1 LC + S[L + CR_1 R_2] + 2R_1 + R_2} \right] \\ &\quad \text{振幅項} \end{aligned}$$

群遅延に関する「最良」の解答はありません。15MHzの応用例のインダクタの値は伝達関数のSPICEシミュレーションに基づいています。しかし、 K 値が応用例と同じ場合には、 τ を変更することでネットワークの周波数スケールリングとなります。

R_1 と R_2 を変化させず、

$$\tau \rightarrow \tau' \text{ とすれば}$$

$$C \rightarrow \tau' C / \tau, \text{ また } L \rightarrow \tau L / \tau'$$

となります。

応用例に示した K 値からの変化によって、 L 値の再計算が必要になります。

AD892E/AD892T

推奨のイコライザとローパス・フィルタの選択

5次のガウス型-6dBトランジション・フィルタをイコライザと共に使用することをお奨めします。図26に示すこのタイプのローパス・フィルタは、15MHzの応用例でも使用しました。群遅延のリップルが小さく帯域外除去比が優れているため、推奨のイコライザ回路や微分回路と共に使用すると良い結果が得られます。ローパス・フィルタはVGAと最初の×4バッファの間に挿入することをお奨めします。イコライザは最初と次の×4バッファの間に接続します。これにより、段間の帰還により誘導される発振の可能性が最小になります。

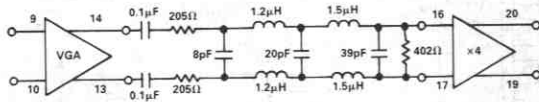


図26. 5次のガウス型-6dBトランジション・フィルタ

このフィルタの振幅と群遅延特性をそれぞれ図27と図28に示します。

シングルエンド受動遅延ライン微分器

推奨の受動遅延ライン微分器を図29に示します。この回路も15MHzの応用例に使用されています。

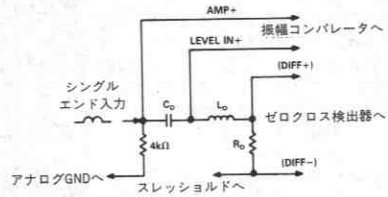


図29. 受動遅延ライン微分器のシングルエンド接続

推奨部品

$$f_D = \frac{1}{2\pi\sqrt{L_D C_D}}$$

ここで、 f_D = 必要な最大微分周波数の1.5倍の周波数

$$R_D = K \left[\sqrt{\frac{L_D}{C_D}} \right]$$

R_D の最小値は120Ω、150Ω以上の値を推奨。

$$1.3 \leq K \leq 1.7$$

(最良の振幅応答)

(最良の群遅延特性)

推奨の受動遅延ライン微分器の代表的特性を図30～33に示します。これらの特性を得るために使用した部品は、15MHzの応用例で使用したものと同じです。

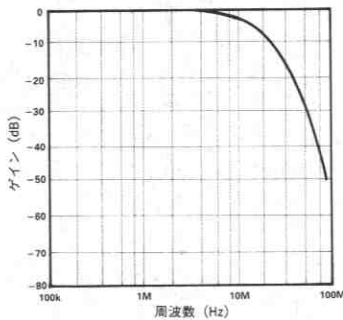


図27. ガウス型ローパス・フィルタのゲイン/周波数応答

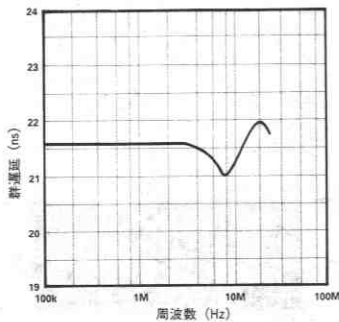


図28. ガウス型ローパス・フィルタの群遅延応答

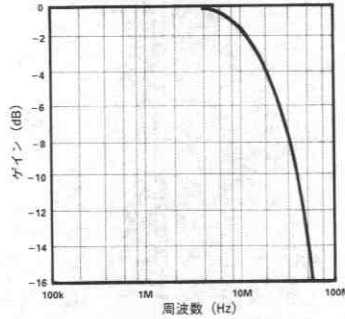


図30. 非微分出力のゲイン/周波数応答

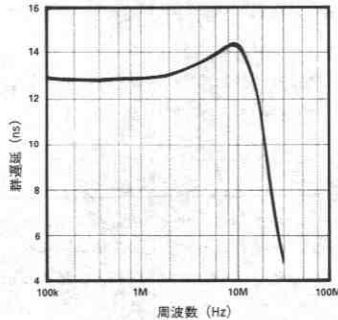


図31. 非微分出力の群遅延応答

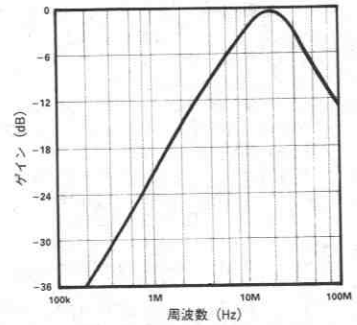


図32. 微分出力のゲイン/周波数応答

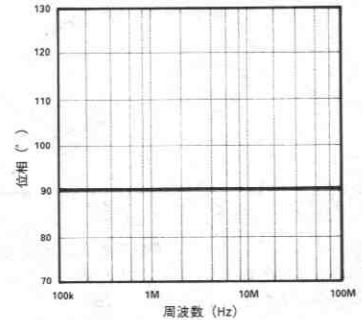
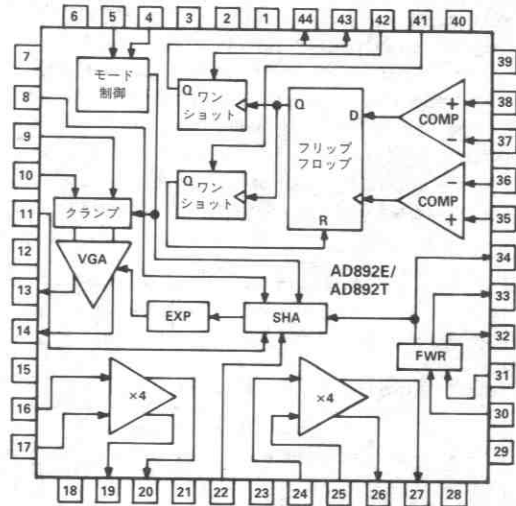


図33. 微分出力と非微分出力との相対位相

ピン機能説明

ピン	説明
1	+5V電源
2	無接続 (フローティングのまま構いません)
3	無接続 (フローティングのまま構いません)
4	モード制御ビットB (TTLコンパチブル)
5	モード制御ビットA (TTLコンパチブル)
6	デジタル・グラウンド
7	無接続 (フローティングのまま構いません)
8	AGCレベル設定入力電圧
9	可変ゲイン・アンプ入力 (+)
10	可変ゲイン・アンプ入力 (-)
11	VGAレベル設定入力電圧
12	無接続 (フローティングのまま構いません)
13	可変ゲイン・アンプ出力 (-)
14	可変ゲイン・アンプ出力 (+)
15	無接続 (フローティングのまま構いません)
16	#1 12.75dBバッファ入力 (-)
17	#1 12.75dBバッファ入力 (+)
18	+12V電源 (アナログ)
19	#1 12.75dBバッファ出力 (+)
20	#1 12.75dBバッファ出力 (-)
21	無接続 (フローティングのまま構いません)
22	サンプル・ホールド・コンデンサ
23	無接続 (フローティングのまま構いません)
24	#2 12.75dBバッファ入力 (-)
25	#2 12.75dBバッファ入力 (+)
26	#2 12.75dBバッファ出力 (+)
27	#2 12.75dBバッファ出力 (-)
28	アナログ・グラウンド
29	無接続 (フローティングのまま構いません)
30	全波整流器入力 (+)
31	全波整流器入力 (-)
32	スレッシュホールドのための整流信号
33	微分器のための整流信号
34	S/Hのための整流信号。AGCのアタック/ディケイはこのピンで設定。
35	ゼロクロス・コンパレータ入力 (+)
36	ゼロクロス・コンパレータ入力 (-)
37	最小スレッシュホールド・レベル入力
38	信号振幅コンパレータ入力
39	内部電圧リファレンス
40	+12V電源 (デジタル)
41	時間領域フィルタのパルス幅設定抵抗の接続ピン
42	出力パルス幅設定抵抗の接続ピン
43	データ出力 (AD892Tではオープン・コレクタ)
44	データ出力 (AD892Eでは+ECL)
44	データ出力グラウンド (AD892Tでは出力デバイスのエミッタ)
44	データ出力 (AD892Eでは-ECL)

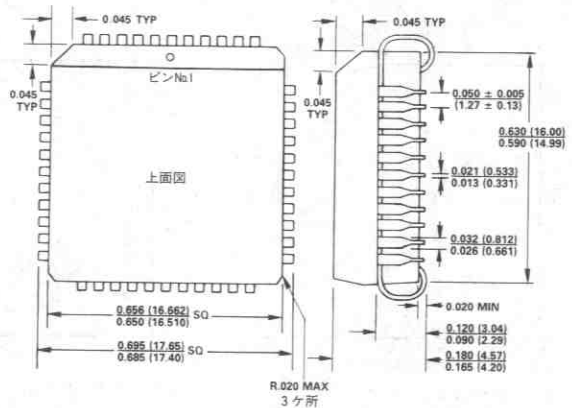
ピン配置



外形サイズ

サイズはインチと (mm) で示します。

44ピンPLCC (P) パッケージ



オーダ・ガイド

モデル	パッケージ
AD892EJP	44ピンPLCC
AD892TJP	44ピンPLCC

注意

この素子はESD (Electro-Static-Discharge) センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ、放電させる必要があります。



特長

- 300MSPSのクロック・レート
- 32ビットの周波数分解能
- 低消費電力：1.5W
- クワドラチャ・ロジック内蔵
- 16または32ビット・バス・コンパチブル

応用

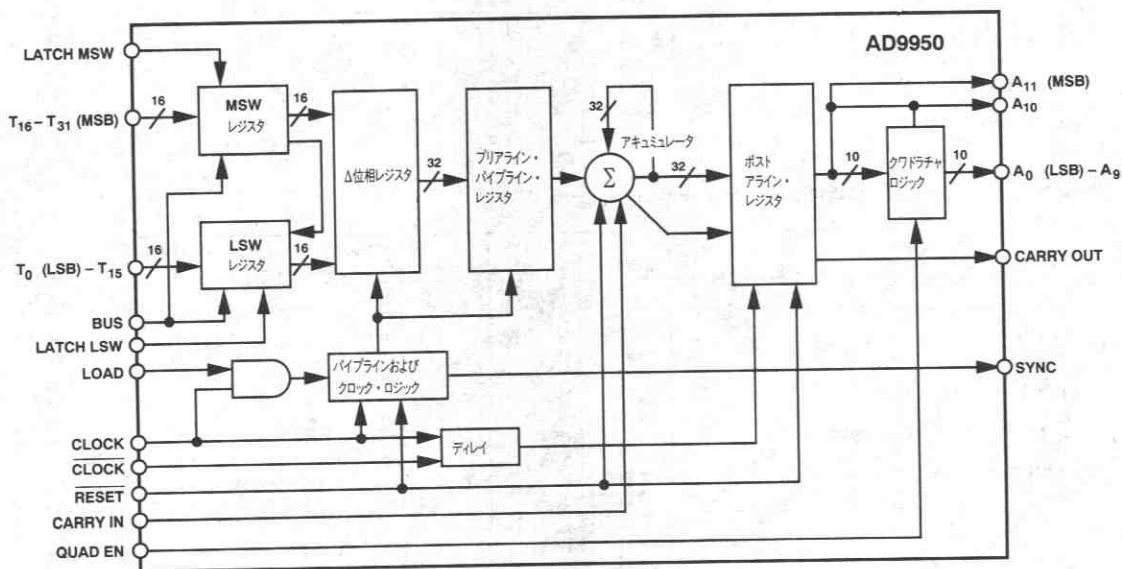
- 周波数シンセサイザ
- 波形発生器
- 周波数ホッピング・システム
- 通信およびレーダ受信機

概要

AD9950は、32ビット、300MSPSのダイレクト・デジタル波形合成 (DDS) 応用向け位相アキュムレータです。アキュムレータの上位12ビットは、波形合成のための外部の位相データ・ルックアップ・テーブル・メモリのアドレスとして出力されます。周波数制御用の信号はTTLコンパチブルであり、内部のアキュムレータは高速バイポーラ・プロセスにより、300MSPSまでの速度で動作可能です。出力位相データはECLコンパチブルであり、高速のROMまたはRAMにインタフェースすることができます。外部のルックアップ・テーブル内には、サイン、コサインなどの関数を生成するためのデータを記憶しておきます。

内蔵のクワドラチャ・ロジックにより、約90°毎の位相点について対称な周期的波形を発生する応用では、位相振幅データのために必要な外部メモリ量を節減することが可能です。

AD9950KJのパッケージは、68ピンJリード・セラミック・チップ・キャリアで、0～+70°Cの一般温度範囲で動作します。AD9950TJは同じパッケージで、-55～+125°Cの軍用温度範囲にわたって動作します。MIL-STD-883に適合するデバイスについては弊社にお問い合わせください。



AD9950ブロック図

仕様

絶対最大定格

電源電圧 ($\pm V_S$)	$\pm 7V$
TTL入力	$+V_S \sim -0.5V$
ECL入力	$0V \sim -V_S$
動作温度範囲	
AD9950KJ	$0 \sim +70^\circ C$
AD9950TJ	$-55 \sim +125^\circ C$

保管温度範囲

AD9950KJ	$-65 \sim +150^\circ C$
AD9950TJ	$-65 \sim +150^\circ C$
ジャンクション温度 ¹	
AD9950KJ	$+175^\circ C$
AD9950TJ	$+175^\circ C$
リード・ハンダ付け温度 (10秒間)	$+300^\circ C$

DC特性 (特に指定のない限り、 $+V_S = +5V$ 、 $-V_S = -5.2V$)

パラメータ	温度範囲	テスト・レベル	AD9950KJ			AD9950TJ			単位
			Min	Typ	Max	Min	Typ	Max	
ECL入力									
ロジック "1" 電圧	全範囲	VI	-1.1			-1.1			V
ロジック "0" 電圧	全範囲	VI		-1.5			-1.5		V
ロジック "1" 電流	全範囲	VI		200			200		μA
ロジック "0" 電流	全範囲	VI		200			200		μA
入力容量	$+25^\circ C$	V		2			2		pF
ECL出力									
ロジック "1" 電圧	全範囲	VI	-1.1			-1.1			V
ロジック "0" 電圧	全範囲	VI		-1.5			-1.5		V
TTL入力									
ロジック "1" 電圧	全範囲	VI	+2			+2			V
ロジック "0" 電圧	全範囲	VI		+0.8			+0.8		V
ロジック "1" 電流	全範囲	VI		300			300		μA
ロジック "0" 電流	全範囲	VI		500			500		μA
入力容量	$+25^\circ C$	V		2			2		pF
電源									
$-V_S$ 電源電流	$+25^\circ C$	I	288	350		288	350		mA
	全範囲	VI		375			375		mA
$+V_S$ 電源電流	$+25^\circ C$	I	11	14		11	14		mA
	全範囲	VI		16			16		mA
定格消費電力	$+25^\circ C$	V	1.5			1.5			W

AC特性 (特に指定のない限り、 $+V_S = +5V$ 、 $-V_S = -5.2V$)

パラメータ	温度範囲	テスト・レベル	AD9950KJ			AD9950TJ			単位
			Min	Typ	Max	Min	Typ	Max	
ECL入力									
CLOCKアップデート・レート ²	$+25^\circ C$	I	250	300		250	300		MSPS
	全範囲	V		250			250		MSPS
CLOCKパルス幅 HI	$+25^\circ C$	IV	2.0	1.7		2.0	1.7		ns
	全範囲	V		2.0			2.0		ns
CLOCKパルス幅 LOW	$+25^\circ C$	IV	2.0	1		2.0	1		ns
	全範囲	V		2.0			2.0		ns
CARRY INセットアップ時間 ³	$+25^\circ C$	IV	0.2	0		0.2	0		ns
	全範囲	V		0.5			0.5		ns
CARRY IN ホールド時間 ³	$+25^\circ C$	IV	2.0	1.25		2.0	1.25		ns
	全範囲	V		1.5			1.5		ns
ECL出力 ⁴									
立上り時間 ⁵	$+25^\circ C$	IV		1	1.6		1	1.6	ns
	全範囲	V		1.2			1.2		ns
立下り時間	$+25^\circ C$	IV		1	1.6		1	1.6	ns
	全範囲	V		1.2			1.2		ns
データ・スキュー ⁶	$+25^\circ C$	V		0.4			0.4		ns
出力容量	$+25^\circ C$	V		2			2		pF
$A_0 \sim A_{11}$ テイレイ ³	$+25^\circ C$	IV	3.7	4.5	5.3	3.7	4.5	5.3	ns
	全範囲	V		5.0			5.0		ns
SYNC伝播遅延 ³	$+25^\circ C$	IV	3.5	4.2	5.0	3.5	4.2	5.0	ns
	全範囲	V		4.6			4.6		ns
CARRY OUT伝播遅延 ³	$+25^\circ C$	IV	3.6	4.4	5.2	3.6	4.4	5.2	ns
	全範囲	V		4.7			4.7		ns

パラメータ	温度範囲	テスト・レベル	AD9950KJ			AD9950TJ			単位
			Min	Typ	Max	Min	Typ	Max	
TTL入力 (バス・モード)									
$T_{16} \sim T_{31}$ セットアップ時間 ¹ (t_{RSU})	+25°C 全範囲	IV V	5.0	3.8		5.0	3.8		ns
$T_{16} \sim T_{31}$ ホールド時間 ² (t_{RH})	+25°C 全範囲	IV V	0.5	-0.5		0.5	-0.5		ns
LOAD セットアップ時間 ³ (t_{LSU})	+25°C 全範囲	IV V	0.75	0.2		0.75	0.2		ns
LOAD ホールド時間 ³ (t_{LH})	+25°C 全範囲	IV V	0.2	0		0.2	0		ns
TTL入力 (パラレル・モード)									
$T_1 \sim T_{31}$ セットアップ時間 ¹ (t_{RSU})	+25°C 全範囲	IV V	3.0	1.5		3.0	1.5		ns
$T_1 \sim T_{31}$ ホールド時間 ² (t_{RH})	+25°C 全範囲	IV V	0.5	-0.5		0.5	-0.5		ns
LOAD セットアップ時間 ³ (t_{LSU})	+25°C 全範囲	IV V	0.75	0.2		0.75	0.2		ns
LOAD ホールド時間 ³ (t_{LH})	+25°C 全範囲	IV V	0.2	0		0.2	0		ns
リセット									
最小パルス幅 (LOW)	+25°C 全範囲	IV V	2.5	1.6		2.5	1.6		ns
				2			2		ns

注

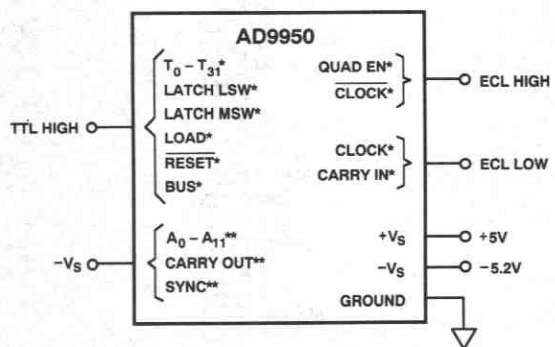
1. 熱抵抗の代表値 (ソケット使用); $\theta_A = 42^\circ\text{C/W}$, $\theta_C = 11^\circ\text{C/W}$.
2. 最小値の仕様は、デューティ比50%のクロックにおける値。代表値の仕様は、デューティ比が70%HIGHにおける値。
3. CLOCK/CLOCKディファレンシャル信号のクロスする点からの時間 (CLOCKの立上り、CLOCKの立下り)。
4. ECL出力は100 Ω の抵抗を介して-2Vに終端。
5. 10%から90%の遷移時間を測定。
6. 立上りおよび立下りエッジの50%点間の差の最悪値を測定。
7. LATCH MSWまたはLATCH LSWの立上りエッジの50%点から測定。

仕様は予告なしに変更されることがあります。

テスト・レベルの説明

テスト・レベル

- I 100%製造検査。
- II +25°Cにおける100%製造検査、および規定温度におけるサンプリング検査。
- III サンプリング検査のみ。
- IV 設計および特性試験によってパラメータ内容を保証。
- V パラメータは代表値のみ。
- VI +25°Cにおいて全デバイスを100%製造検査。拡張温度デバイスについては温度範囲の極限において100%製造検査。一般/産業用デバイスについては温度範囲の極限においてサンプリング検査。



- *で示すピンは100 Ω の抵抗を介して接続のこと。
- **で示すピンは10k Ω の抵抗を介して接続のこと。

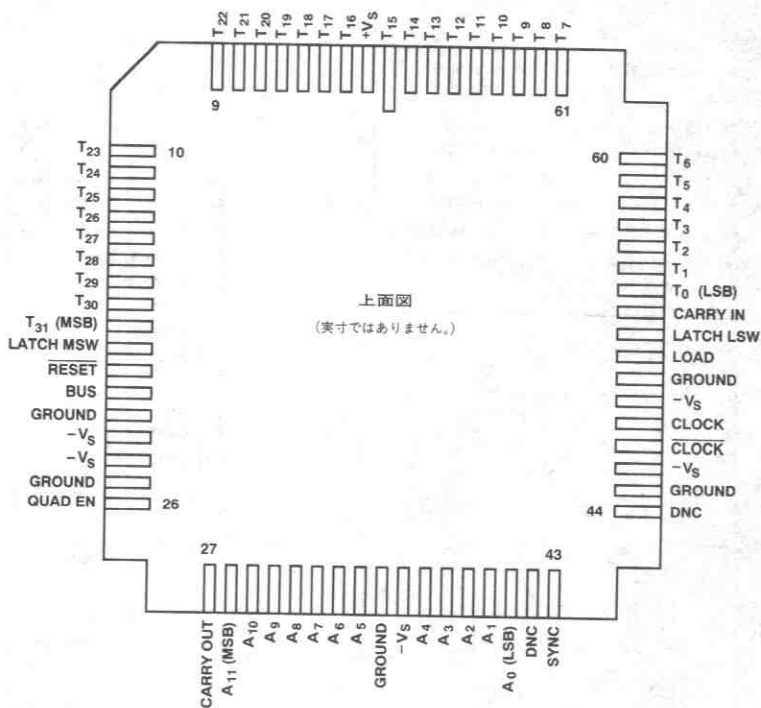
AD9950のバーンイン回路

AD9950真理値表
 バス・モード
 (データ入力=T₁₆~T₃₁)

バス	RESET	LATCH MSW	LATCH LSW	LOAD	動作
1	1	0	1	0	MSWレジスタ内に、チューニング・ワードの上位16ビットを転送。
1	1	1	0	0	LSWレジスタ内に、チューニング・ワードの下位16ビットを転送。
1	1	1	1	1	MSWおよびLSWレジスタの内容(32ビット)を次のCLOCKサイクルでΔ位相レジスタにロード。
X	0	X	X	X	非同期リセット。

パラレル・モード
 (データ入力=T₀~T₃₁)

バス	RESET	LATCH MSW	LATCH LSW	LOAD	動作
0	1	X	X	1	次のCLOCKサイクルで32ビットのチューニング・ワードをΔ位相レジスタ内にロード。
X	0	X	X	X	非同期リセット。



AD9950のピン配置

AD9950 ピン機能説明

ピン番号	名称	機能
1,3~18 および 54~68	$T_0 \sim T_{31}$	アキュムレータの位相ステップを決定するTTLコンパチブル・ワード（チューニング・ワード）を設定します。チューニング・ワードはパラレル（32ビット）またはバス（16ビット）モードでロードすることができます。バス・モードにおいては $T_{16} \sim T_{31}$ を介して2つの16ビット・ワードがMSWおよびLSWレジスタにロードされます。
2	$+V_S$	正の供給電源、定格値は+5V。
19	LATCH MSW	チューニング・ワードの上位16ビットをラッチするための、TTLコンパチブル・コマンド入力です。パラレル・モードにおいてはMSWレジスタは常にトランスペアレントになっています。バス・モードでは、LATCH MSWがLOWの場合に限ってMSWレジスタはトランスペアレントになります。
20	RESET	TTLコンパチブル非同期リセット・コマンドです。詳細は本文を参照してください。
21	BUS	TTLコンパチブル制御ピンです。このピンにロジックHIを与えることによりMSWおよびLSWレジスタは有効になり、 $T_{16} \sim T_{31}$ に入力されたデータを両方のレジスタに書き込みます。ロジックLOWによってパラレル・ロード・モードが許可され、MSWおよびLSWレジスタはトランスペアレントとなります。そして、 $T_0 \sim T_{31}$ に入力されたデータは、LOAD信号によって Δ 位相レジスタ内に直接ラッチされます。
22,25,35, 45,50	GROUND	デバイスの電源リターン・グラウンドです。ECL出力段用のグラウンドはピン35です。
23,24,36, 46,49	$-V_S$	負の供給電源、定格値は-5.2V。ECL出力段用の電源はピン36です。
26	QUAD EN	ECLコンパチブル制御ピンです。このピンにロジックHIを与えることによってクワドラチャ・ロジックが有効になり、外部の位相一振幅ルックアップ・テーブルに必要なメモリ量を節約することができます。クワドラチャ・ロジックは、90°および180°の位相点について対称な波形（正弦波など）を発生する際に用います。詳細は本文を参照してください。
27	CARRY OUT	ECLコンパチブル・オーバフロー・フラグです。このピンからロジックHIGHが出力されている場合には、そのクロック・サイクルにおける出力データがオーバフローしていることを示しています。2つのAD9950をカスケード接続し、64ビットの位相分解能を得ようとする応用では、下位側アキュムレータのCARRY OUT ピンを上位側アキュムレータのCARRY IN ピンに接続してください。
47	CLOCK	ECLコンパチブル入力ピンで、CLOCK信号と差動で駆動します。
48	CLOCK	ECLコンパチブル入力ピンで、CLOCK信号と差動で駆動します。 Δ 位相レジスタの内容は、CLOCK入力の各立上りエッジの後に出力レジスタに加算されます。
28~34 および 37~41	$A_0 \sim A_{11}$	位相アキュムレータの出力レジスタからの、ECLコンパチブル12ビット出力データです。
42,44	DNC	テスト用のピンです。このピンは未接続としフローティングさせてください。
43	SYNC	ECLコンパチブル出力信号です。このピンは、新しいチューニング・データのプリアラインの1クロック・サイクル後にHIGHとなります。SYNCによって新しいデータの更新期間の終了を知ることができます。
51	LOAD	Δ 位相レジスタのラッチを制御するための、TTLコンパチブルなピンです。データはLOADがHIGHとなった後の、最初のCLOCKの立上りエッジにおいて Δ 位相レジスタ内に転送されます。
52	LATCH LSW	チューニング・ワードの下位16ビットをラッチするための、TTLコンパチブル・コマンドです。パラレル・モードにおいては、LSWレジスタは常にトランスペアレントになっています。バス・モードでは、LATCH LSWがLOWの場合に限ってLSWレジスタはトランスペアレントになります。
53	CARRY IN	ECLコンパチブル入力です。チューニング・ワードの実効値はCARRY INがHIのとき1LSBだけ増加します。2つのAD9950をカスケード接続し64ビットの位相分解能を得ようとする応用では、下位側アキュムレータのCARRY OUT ピンを上位側アキュムレータのCARRY IN ピンに接続してください。

AD9950の動作原理

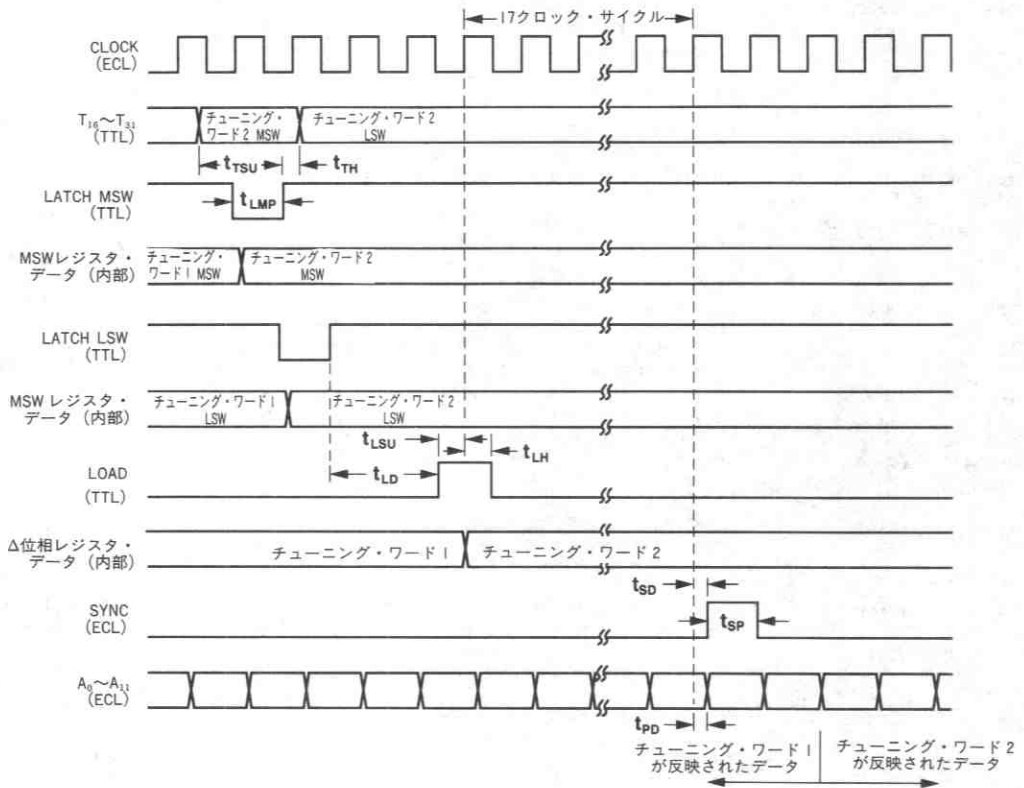
AD9950のブロック図を参照してください。

AD9950の心臓部は、2ビット・リップル・キャリー加算器コアによって構成された32ビット・キャリー・セーブ加算アキュムレータです。この加算器への32ビットの入力はΔ位相レジスタ内に格納されます。

最上位ワード (MSW) 用および最下位ワード (LSW) 用レジスタはBUSコマンドによって制御されます。パラレル・モード (BUS=ロジックLOW) では、これら2つのレジスタはトランスペアレントとなっており、チューニング・データのバッファの役割のみを果た

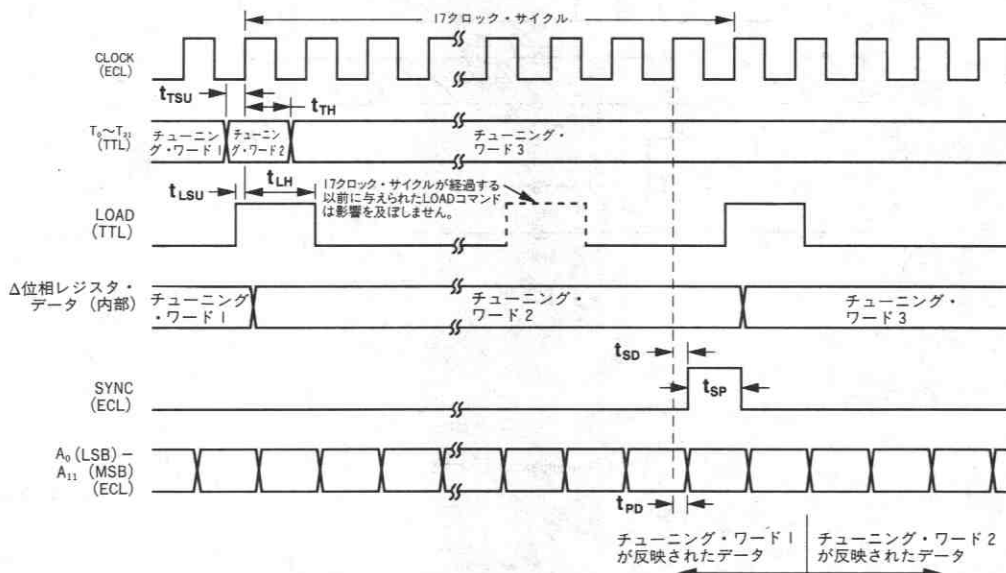
します。バス・モード (BUS=ロジックHIGH) では、これらのレジスタはレベル・トリガ・タイプのラッチとして動作し、LATCH MSWまたはLATCH LSW信号の立上りエッジにおいてデータはレジスタ内に読み込まれます。バス・モードではそれぞれのレジスタへのデータは、 $T_{16} \sim T_{31}$ に多重化されています。

いずれのモードにおいても、新しいデータはLOADコマンドがHIとなった後の、最初のクロック・サイクルの立上りエッジにおいてΔ位相レジスタ内に読み込まれます。これらおよび他の信号のタイミングをタイミング図に示します。



- t_{TSU} チューニング・データ・ラッチのセットアップ時間
- t_{TH} チューニング・データのホールド時間
- t_{LMP} MSW/LSWラッチの最小LOWパルス幅=2ns
- t_{LSU} LOADコマンドのセットアップ時間
- t_{LH} LOADコマンドのホールド時間
- t_{LD} 最小LOADコマンド遅延時間、最新のMSW/LSWレジスタの更新時から測定
- t_{SD} SYNC伝播遅延 (17クロック・サイクルのパイプライン遅延は含んでいません)
- t_{SP} SYNCパルス幅

図1. AD9950タイミング図 (バス・モード)



t_{TSU}	チューニング・データ ($T_0 \sim T_{31}$) のセットアップ時間
t_{TH}	チューニング・データのホールド時間
t_{LSU}	LOADコマンドのセットアップ時間
t_{LH}	LOADコマンドのホールド時間
t_{SD}	SYNC伝播遅延 (17クロック・サイクルのバイブライン遅延は含んでいません)
t_{SP}	SYNCパルス幅
t_{PD}	出力データ ($A_0 \sim A_{11}$) 伝播遅延

図 2. AD9950 タイミング図 (パラレル・モード)

Δ位相レジスタに新しいデータが与えられると、キャリー・セーブ構造であることから2ビット・コアに与えるための時間をずらしたデータが必要となります。この遅延時間はブリアライン・バイブライン・レジスタと呼ばれる部分によって作られます。ブリアラインを行うために用いられている回路手法のため、Δ位相レジスタの内容は更新後16クロック・サイクルの間、一定である必要があります。

AD9950内のタイミング回路は、Δ位相レジスタの内容をLOADコマンドがHIGHとなった後16クロック・サイクルの間一定に保ち、ブリアライン処理の間にデータが損なわれることを防ぎます。16クロック・サイクルの遅延の後、SYNC出力が1クロック・サイクル期間HIGHとなり、新しいデータのブリアライン処理が終わったことを示します。これによって、新しいチューニング・ワードをΔ位相レジスタ内にロード可能であることを知ることができます。この方式ではDDSのチューニング速度 (周波数更新速度) はクロックレートの1/17倍に制限されることとなります。

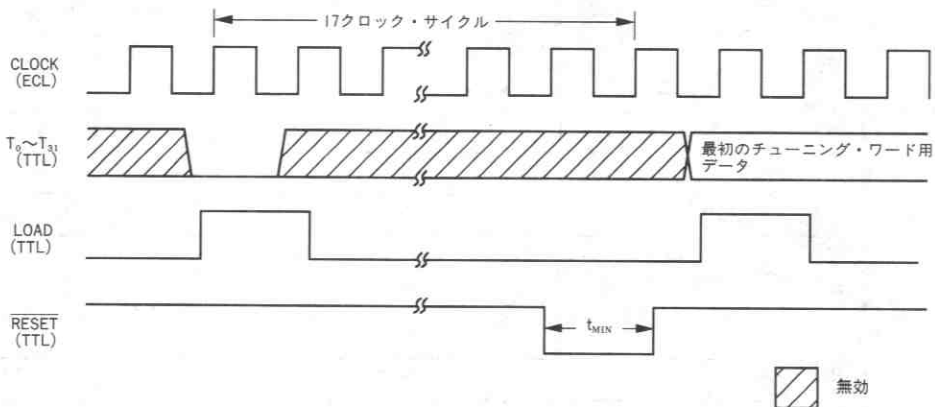
また、2ビット・コアからのデータはAD9950の12ビット出力を得るために再度アラインされる必要があります。この遅延はポストアライン・レジスタと呼ばれる部分によって作られます。クワドラチャ・ロジックが使用されている場合 (QUAD EN=ロジック

HIGH)、 A_{10} がHIGHのときには下位10ビット ($A_0 \sim A_9$) が反転されます。このロジックはサイン・ルック・アップ・テーブルの大きさを節約するための外部ロジックとともに使用されます。

ブリアラインおよびポストアライン処理による遅延を合計すると、出力データにおける17クロック・サイクルの遅延となります。そして、Δ位相レジスタおよび加算アキュムレータへのロードによって更に遅延が加わり、AD9950の全遅延時間は19クロック・サイクルとなります。

RESET (アクティブLOW) は非同期コマンドであり、加算アキュムレータとポストアライン・ロジックをリセットします。タイミング回路はリセットされますが、Δ位相レジスタおよびブリアライン・ロジックはこのコマンドの影響を受けません。電源投入時にはAD9950の完全なリセットを行ってください。完全なリセット処理は、Δ位相レジスタにデータとして0をロードし、このデータがブリアライン・レジスタに転送するまで (先に述べたように16クロック・サイクル時間です) 待った後、RESETピンをLOWとすることによって完了します。

リセット回路のタイミングを次に示します。



注
 BUS=LOW
 または、
 BUS=HI, LATCH LSW=LATCH MSW=LOW

図 3. AD9950のRESETタイミング図

ダイレクト・デジタル波形合成

ダイレクト・デジタル波形合成 (DDS) とは、単一の基準周波数 (システム・クロック) から、デジタル制御可能な広帯域周波数 (正弦波) シンセサイザを作成するための手法の一つです。この回路は以下の3つの主要な要素から構成されます。

1. 位相アキュムレータ
2. 位相-振幅コンバータ
3. D/Aコンバータ

これらの主要な構成要素とそれぞれの相互関係を以下のブロック図に示します。

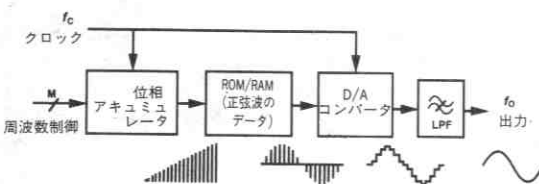


図 4. DDS発振器のブロック図

位相アキュムレータはデジタル・デバイスで、出力波形の位相ステップを発生します。位相アキュムレータの入力はデジタル・ワードであり (基準発振器とともに) 出力波形の周波数を決定します。位相アキュムレータ段の出力は発生する波形の現在の位相を表しています。実際上、アキュムレータはデジタル信号を発生する周波数プログラマブル発振器として動作します。

位相-振幅データ・コンバータによって、位相アキュムレータからの位相情報を振幅データに変換します。ほとんどの場合この段は、メモリ内に格納されたデータ・テーブル (ルックアップ・テーブル: LUT) によって構成されます。

周波数合成の最終段では振幅データをアナログ信号に変換します。この段はデジタル-アナログ (D/A) コンバータによって構成されます。ここで用いるD/Aコンバータは優れた直線性、低グリッチ・インパルス、高速で対称的な立上り/立下り時間を有している必要があります。このようなD/Aコンバータを用いた場合、周波数シンセサイザは広帯域にわたってきれいな波形を発生することが可能になります。

AD9950はDDSの応用向けに設計されたデジタル位相アキュムレータです。簡略化したアキュムレータのブロック図を以下に示します。

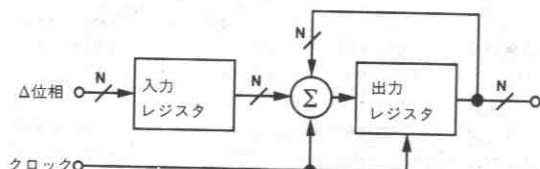


図 5. 簡略化したアキュムレータのブロック図

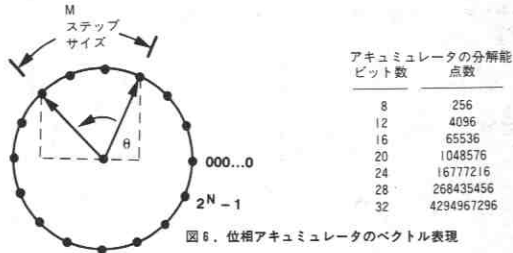
このデバイスの動作は単純で、入力レジスタの内容がクロック・サイクル毎に出力レジスタ内に加算されます。入力データは位相ステップを表し、 Δ 位相と呼ばれます。出力データは、次式のようにクロック周波数の分数を周波数とするデジタル・ランプ・データです。

$$f_{OUT} = \frac{\text{位相ステップ}}{2\pi} f_{CLOCK} = \frac{\Delta \text{位相}}{2^N} f_{CLOCK}$$

$$\Delta \text{位相} \leq 2^N - 1$$

ここで、Nはアキュムレータの分解能 (ビット数) です。 (Nによって出力周波数の調整可能な分解能が決まります: $f_{CLOCK}/2^N$ 。)

位相アキュムレータの出力データは、以下に示すように円周上で移動する位相ベクトルと考えることができます。



上のよう考えた場合、各クロック・サイクルにおいてベクトルは円周上を Δ 位相と呼ばれる固定のステップで移動します。位相点の個数はアキュムレータの分解能 N で決まります。出力波形の周波数は、位相ベクトルが円周を一回りするのに要するクロック・サイクル数によって決まります。

アキュムレータから出力される位相データは、ルックアップ・テーブル (LUT) によって振幅データに変換されます。そして、そのデータがデジタル・アナログ・コンバータ (DAC) によってアナログ信号に変換されます。

エイリアシングを避けるため、出力周波数はクロック周波数の1/2以下に制限してください。これは、 Δ 位相 $\leq 2^{(N-1)}$ と言い替えることができます。多くのDDSシステムでは、ローパス・フィルタ (LPF) の設計を簡単にするために出力周波数をクロックの40%以下に制限しています。実用的なDDSの設計においては、DACのAC特性上の制約による影響を最小にするため、出力周波数を25%以下に制限することがあります。

DACはDDS内で唯一のアナログ部品であり、この部品の分解能によって、発生された波形の振幅量子化数が決まります。DDSシステムのS/N比 (SNR) は、振幅量子化数によって理論的な制限を受けます。量子化による影響に加え、DACはコンバータの理想的な伝達関数を損なうダイナミック、スタティックな非直線性を有しています。DC非直線性、スルー・レート、グリッチ・インパルス、セトリング時間およびデジタル・フィードスルーはDDSシステムの全体的なダイナミック・レンジに制約を与える可能性のあるDAC特性です。

ルックアップ・テーブルの作成

位相-振幅変換において位相アキュムレータの分解能のすべてを使用することは、実用的でないばかりでなく無意味なことです。たとえば、AD9950の全分解能を用いるためには $4G \times 12$ ビット以上の大きさをもつルックアップ・テーブルが必要になります。

LUTの大きさは、出力波形の主要なDC誤差がDACの量子化誤差におさまる程度でよいでしょう。ほとんどのDDS応用では正弦 (または余弦) 波への変換が行われます。この場合、ルックアップ・テーブルはDACよりも2ビット多い分解能を持つ必要があります。AD9950では位相出力データは12ビットであるために、正弦波への応用において10ビットDACをサポートするためには $4k \times 10$ ビットのLUTをもつ必要があります。

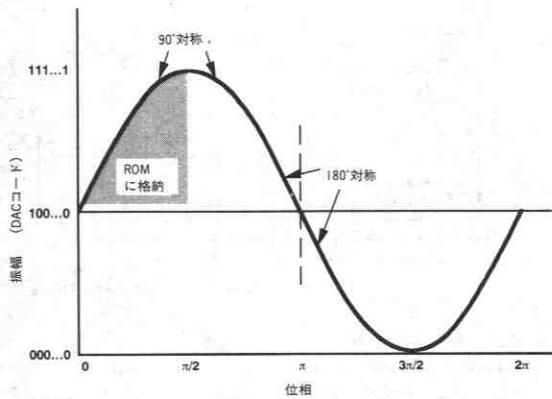
クワドラチャ・ロジックの使い方

正弦波への応用では、正弦波の性質を利用することによってLUTに必要なメモリ量を少なくすることができます。AD9950はこのテ

クニックを簡単に実現するために「クワドラチャ・ロジック」を内蔵しています。このロジックはQUAD EN (ピン26) 入力にHIGHを与えることによって起動されます。

この場合、ルックアップ・テーブルに振幅データの最上位ビット (MSB) を格納する必要はありません。なぜならば、このMSBは位相アキュムレータ・データのMSBに等しいからです。これによって、必要なメモリ量は $4k \times 9$ ビットとなります。

そして、正弦波の90°毎に対称な性質によってさらに節約が可能です。つまり図に示すように、正弦波の第1象限 (90°) のみのデータが必要となります。この様にすると、AD9950の下位10ビットによってアドレスされるLUT用メモリは、 $1k \times 9$ ビットに抑えることができます。



正弦波の第2象限は第1象限折り返しであるため、AD9950の下位10ビットを反転することによってアドレスすることができます。このアドレス反転はAD9950の内部クワドラチャ・ロジックのインバータ群によって行われます。このインバータ群はデータが第1象限にあるときにはスルーですが、第2象限にある場合には機能します。アキュムレータの上位から2番目のビット (A_{10}) によってデータがどの象限にあるのかが決まり、それに応じてインバータ群が制御されます。

実際の各インバータは、下位10ビット ($A_9 \sim A_0$) のうちの1本と A_{10} によって駆動される2入力排他的論理和 (XOR) ゲートで構成されています。その動作を次ページに示します。

第3および第4象限の正弦波は第1、第2象限を反転したものです。これらの象限内にある振幅データのLSBはLUTからのデータを反転することによって得ることができます。これは先に述べた反転と同様の手順であり、アクümüレータ・データのMSBの補数によって制御されます。弊社のAD9720ではこの機能がDAC内に加わされています。クワドラチャ・ロジックを用いた位相-振幅変換プロセスの全体を以下に示します。

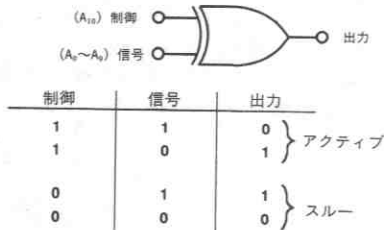


図8. 制御付きインバータとして動作するXOR

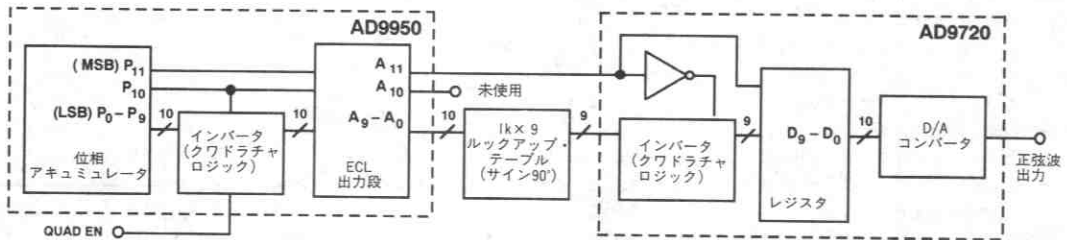


図9. クワドラチャ・ロジックを用いた位相-正弦波振幅変換

レイアウトおよび電源

高速回路の適切なレイアウトはどんな場合でも大切ですが、アナログおよびデジタル信号が混在するシステム(DDSシステムなど)では、きわめて重要です。

アナログ信号の経路はできる限り短くし、反射を避けるために正しく終端してください。アナログ入力電圧および電圧リファレンスはデジタル信号の経路からは離すようにしてください。これによって回路のアナログ部と容量的に結合を起こす可能性のあるデジタル・スイッチング・ノイズの量を抑えることができます。

デジタル信号の経路もまたできるかぎり短くし、引出し線の長

さは伝播遅延によるミスマッチングを避けるために同一の長さとし、ECL信号の終端は受信ゲートのできる限り近くで行ってください。

高速な回路ではグラウンド配線も重要です。均一で低インピーダンスのグラウンド・プレーンをボードの部品面に配置することにより、回路グラウンド上のノイズを減らすことができます。電源をグラウンド・プレーンと容量的に結合させることによって回路内のノイズを抑えるようにしてください。多層基板を利用すれば信号配線の設計時にグラウンド・プレーンに煩わされることもなく、低インピーダンスの電源プレーンを得ることもできます。

AD9950の応用

以下のブロック図に、AD9950 32ビット位相アキュミュレータと、AD9720 10ビット300MSPSディジタル-アナログ-コンバータ(DAC)を用いた300MSPSディレクト-ディジタル-シンセサイザを示します。AD9950は、このシステムにチューニング-データを設定する16ビット・マイクロプロセッサによって制御されます。

位相-振幅変換は、超高速(アクセス時間=3ns)ECL RAM内に格納された1k×9ビットLUTを用いて行われます。ECL RAM用の

データはCMOS ROM内に書かれており、先に述べたように初期化プロセスの際にRAMに転送されます。

LUTに与えられるサイン-データは、AD9950からの12ビット位相データに基づいて以下のように算出されます。

$$\text{ROUND}\left[511.5 \times \sin\left(\frac{A_0 - A_2}{4096} \times 2\pi\right)\right]$$

この式から、スペクトラム純度 $\leq 76\text{dBFS}$ のデータがAD9720に対して供給されます。

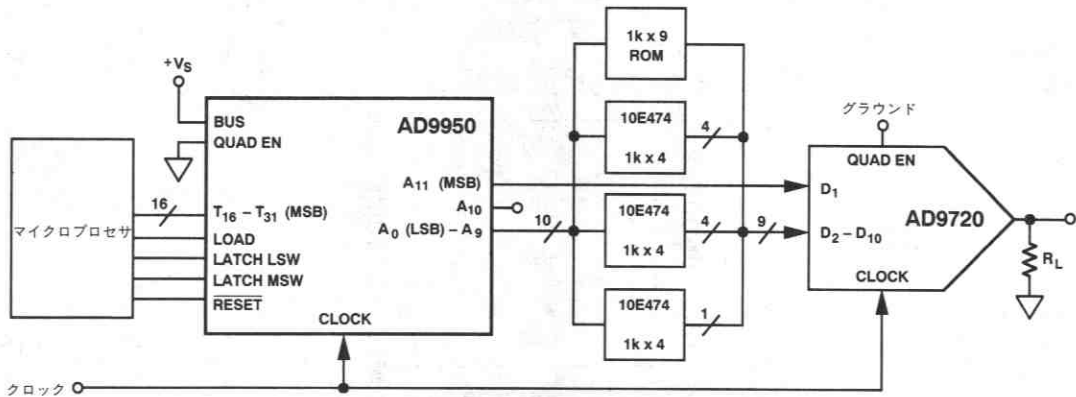
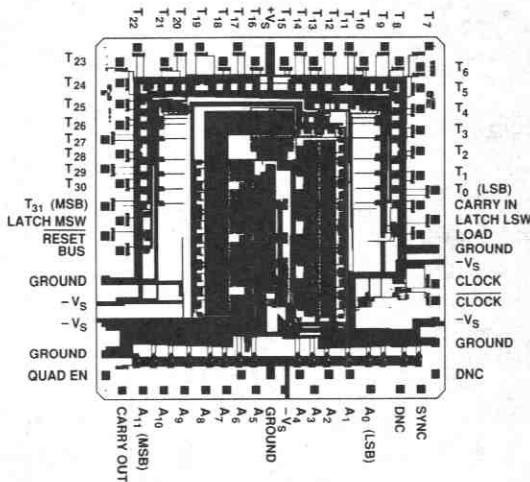


図10. AD9950を用いた10ビットDDSシステム



チップ・レイアウトと機構データ

チップのサイズ175×172×15(±2)mils
パッドのサイズ4×4mils
メタライゼーション金
パッキングなし
サブストレート電位 $-V_S$
パッシベーション窒化物
チップ接合材金共晶体(セラミック)
ボンディング・ワイヤ1~1.3mil、金、金ボール・ボンディング

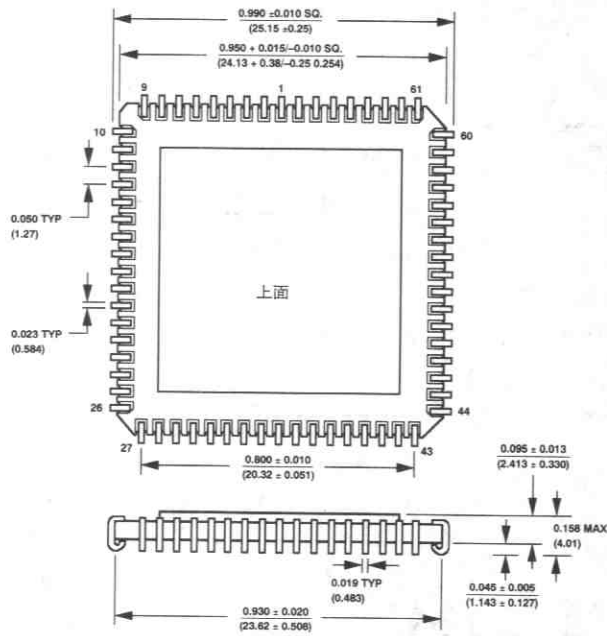
AD9950オーダ・ガイド

モデル	温度範囲	パッケージ	パッケージ* オプション
AD9950KJ	0~+70°C	68ピンJリード・セラミック	J-68
AD9950TJ	-55~+125°C	68ピンJリード・セラミック	J-68

*J=Jリード・セラミック・パッケージ；ハーメチック・シールド・セラミック・パッケージ

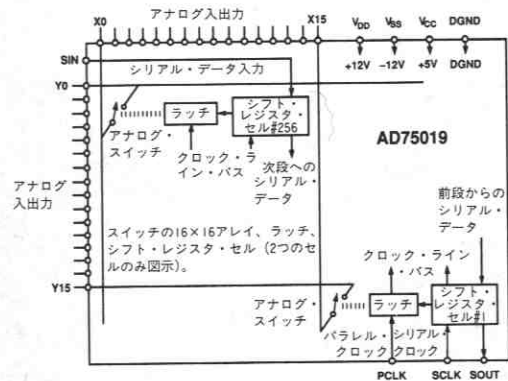
外形サイズ

サイズはインチと (mm) で示します。



特長

- 16×16アレイに256個のスイッチを内蔵
- 幅広い信号レンジ：電源レールの26Vまたは±13Vまで
- 低いオン時抵抗：200Ω typ
- TTL/CMOS/マイクロプロセッサ・コンパチブルの制御ライン
- シリアル入力による簡略化されたインタフェース
- カスケード接続により多くのチャネルを可能とするシリアル出力
- 低消費電力：2mW（静止時）
- 小型44ピン・パッケージ



AD75019機能ブロック図

概要

AD75019は16×16アレイに256個のアナログ・スイッチを備えています。X、Y入力はどれも入力または出力として使用できます。X端子はどれも、すべてまたは任意のY端子との接続にプログラム可能です。各スイッチは、電源レール電圧までの信号振幅に適應可能であり、オン抵抗の標準値は150Ωです。

スイッチの開閉を制御するデータはシリアル入力SIN入力を介し、SCLKに同期して内部の256ビット・シフト・レジスタに入力されます。すべてのスイッチの設定がプログラムされると、データはPCLKに同期して256個のラッチに転送されます。シリアル・シフト・レジスタはダイナミックであることから、常にクロックが必要であり、最小クロック・レートは20kHzです。最大クロック・レートは5MHzであることから、最短ロード時間は52μsです。スイッチ制御ラッチはスタティックであることから、ラッチされたデータは電源が与えられている限り保持されます。

アレイ内のスイッチ数を拡大するために、複数のAD75019をカスケード接続することができます。SOUT出力はシフト・レジスタ端であり、次のAD75019のSIN入力に接続することができます。

AD75019は弊社独自のBiCMOS II プロセスによって製造されています。このプロセスでは、低歪みスイッチの実現にCMOSデバイスを用い、ESD保護にバイポーラ・デバイスを使用しています。

仕様¹

(特に指定のない限り、 $T_A = +25^\circ\text{C}$ 、 V_{DD} および $V_{SS} = \pm 12\text{V}$ 、 $V_{CC} = +5\text{V}$)

AD75019	略称	Min	Typ	Max	単位
マルチプレクサ					
入力信号レンジ	V_{IN}	$V_{SS} - 0.5$		$V_{DD} + 0.5$	V
オン抵抗、 $V_{SIGNAL} = \pm 12\text{V}$	R_{ON}		150	250	Ω
オン抵抗、 V_{DD} & $V_{SS} = \pm 5\text{V}$ 、 $V_{SIGNAL} = \pm 5\text{V}$	R_{ON}		300	500	Ω
オン抵抗マッチング ² 、 $V_{SIGNAL} = \pm 12\text{V}$	ΔR_{ON}		20	30	Ω
漏れ電流、 $V_{SIGNAL} = \pm 10\text{V}$			2	10	nA
入出力容量	C_{IN}			25	pF
2チャンネル間アイソレーション					
$R_S = 600\Omega$ 、 $R_L = 10\text{k}\Omega$ 、 $V_{SIGNAL} = 2V_{P-P}$					
$f_{SIGNAL} = 1\text{kHz}$		92			dB
$f_{SIGNAL} = 20\text{kHz}$		69			dB
$f_{SIGNAL} = 1\text{MHz}$		38			dB
全高調波歪み				0.01	%
$R_S = 600\Omega$ 、 $R_L = 10\text{k}\Omega$ 、 $V_{SIGNAL} = 2V_{P-P}$					
スイッチ周波数応答、-3dB					
$R_S = 600\Omega$ 、 $R_L = 10\text{k}\Omega$ 、 $V_{SIGNAL} = 2V_{P-P}$		20			MHz
伝播遅延時間			4	8	ns
デジタル入力 (SIN, SCLK, PCLK)					
ロジック・レベル (TTLコンパチブル)					
入力電圧、ロジック "1"	V_{IH}	2.4		5.5	V
入力電圧、ロジック "0"	V_{IL}	0		0.8	V
入力電流、 $V_{IH} = 5.5\text{V}$	I_{IH}			± 1	μA
入力電流、 $V_{IL} = 0.8\text{V}$	I_{IL}			± 1	μA
入力容量	C_{IN}			10	pF
電源					
電圧レンジ、全アナログ	$V_{DD} - V_{SS}$	9.0		26.4	V
電圧レンジ、正アナログ	V_{DD}	$(V_{CC} - 0.5)$		21.9	V
電圧レンジ、負アナログ	V_{SS}	-21.9		-4.5	V
電圧レンジ、デジタル	V_{CC}	4.5	5	5.5	V
電源電流、SCLK=5MHz、 $V_{IL} = 0.8\text{V}$ 、 $V_{IH} = 2.4\text{V}$	I_{DD} 、 I_{SS}			± 1	mA
電源電流、無負荷時、 $V_{IL} = 0.8\text{V}$ 、 $V_{IH} = 2.4\text{V}$	I_{CC}			500	μA
	I_{DD} 、 I_{SS}			± 400	μA
	I_{CC}			1	mA
温度範囲					
動作	T_{min} 、 T_{max}	-25		+85	$^\circ\text{C}$
保管		-65		+150	$^\circ\text{C}$

注

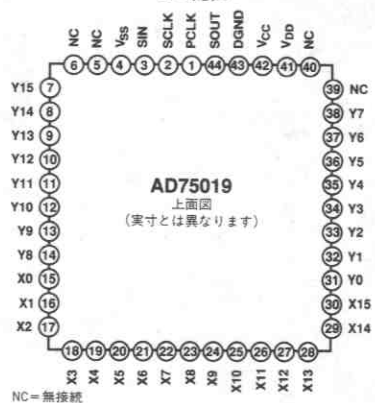
- 1) 最大値および最小値はすべて保証されています。太字で示す仕様は最終電気試験において全製品について試験しています。これらの試験の結果は出荷製品の品質レベルの算出に用いられています。
- 2) スイッチ抵抗のマッチングは各アナログ入力に0Vを与えた状態で測定され、最大値と最小値の差に基づいています。

仕様は予告なしに変更することがあります。

ピン説明

ピン	名称	機能	ピン	名称	機能
1	PCLK	パラレル・クロック入力	23	X8	アナログ入力 (または出力)
2	SCLK	シリアル・クロック入力	24	X9	アナログ入力 (または出力)
3	SIN	シリアル・データ入力	25	X10	アナログ入力 (または出力)
4	V_{SS}	負のアナログ電源	26	X11	アナログ入力 (または出力)
5	NC	内部無接続	27	X12	アナログ入力 (または出力)
6	NC	内部無接続	28	X13	アナログ入力 (または出力)
7	Y15	アナログ出力 (または入力)	29	X14	アナログ入力 (または出力)
8	Y14	アナログ出力 (または入力)	30	X15	アナログ入力 (または出力)
9	Y13	アナログ出力 (または入力)	31	Y0	アナログ出力 (または入力)
10	Y12	アナログ出力 (または入力)	32	Y1	アナログ出力 (または入力)
11	Y11	アナログ出力 (または入力)	33	Y2	アナログ出力 (または入力)
12	Y10	アナログ出力 (または入力)	34	Y3	アナログ出力 (または入力)
13	Y9	アナログ出力 (または入力)	35	Y4	アナログ出力 (または入力)
14	Y8	アナログ出力 (または入力)	36	Y5	アナログ出力 (または入力)
15	X0	アナログ入力 (または出力)	37	Y6	アナログ出力 (または入力)
16	X1	アナログ入力 (または出力)	38	Y7	アナログ出力 (または入力)
17	X2	アナログ入力 (または出力)	39	NC	内部無接続
18	X3	アナログ入力 (または出力)	40	NC	内部無接続
19	X4	アナログ入力 (または出力)	41	V_{SS}	正のアナログ電源
20	X5	アナログ入力 (または出力)	42	V_{CC}	デジタル電源
21	X6	アナログ入力 (または出力)	43	DGND	デジタル・グランド
22	X7	アナログ入力 (または出力)	44	SOUT	シリアル・データ出力 (正論理)

ピン配置

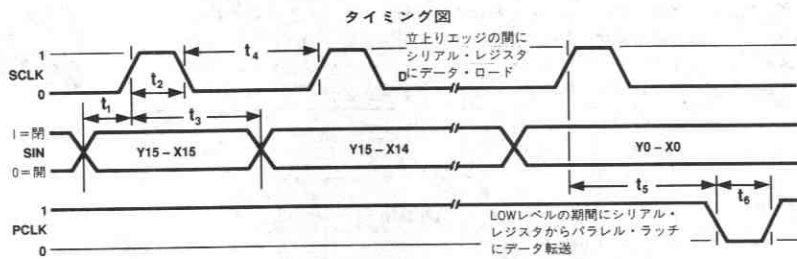


タイミング特性¹ (特に指定のない限り、 $T_A=T_{min} \sim T_{max}$ 、定格電源動作)

パラメータ	略称	値	単位	条件
データ・セットアップ時間	t_1	0	ns	min
SCLKパルス幅	t_2	100	ns	min
データ・ホールド時間	t_3	10	ns	min
SCLKパルス・セパレーション	t_4	100	ns	min
SCLK-PCLK遅延	t_5	65	ns	min
SCLK-PCLK遅延および解放	(t_5+t_6)	5	ms	max
PCLKパルス幅	t_6	65	ns	min
伝播遅延時間、PCLKから スイッチのON/OFFまで	—	70	ns	max
データ・ロード時間	—	52	μ s	SCLK=5MHz
SCLK周波数	—	20	kHz	min

注
1. タイミング測定の基本レベルは1.5V。

仕様は予告なしに変更することがあります。



動作真理値表

制御ライン	SCLK	SIN	SOUT	動作/ 備考
PCLK				
1	0	X	X	動作なし。
1	1	データ i	データ i-256	SINライン上のデータがシリアル・レジスタにロードされます。256クロック前にシリアル・レジスタにロードされたデータはSOUTに出力されます。
0	X	X	X	シリアル・シフト・レジスタのデータはスイッチ・アレイを制御するパラレル・ラッチ内に転送されます。

使用上の説明

データのロード

スイッチを制御するデータは、256ビット幅のシフト・レジスタ内にクロックに同期してシリアルに入力され、256ビットのメモリにパラレル形式で転送されます。シリアル・クロック入力SCLKの立上りエッジでデータはシフト・レジスタ内にロードされます。シリアル・データ入力SINを介して入力された最初のビットは、Y15行とX15列の交点にあるスイッチを制御します。引き続きビットはY15行にある残りの列 (X0まで) を制御します。そして、その後はY14行のためのビットが続き、Y0行とX0列の交点にあるスイッチを制御するビットまで合計で256個のビットが入力されます。シフト・レジスタはダイナミック動作であるため常にクロック入力が必要であり、最小クロック・レートの仕様値は20kHzです。

シフト・レジスタが新しい256ビットの制御データで満たされた後、これらのビットをパラレル・ラッチに転送するために (LOWレベルのバルスによって) PCLKをアクティブにします。シフト・レジスタはダイナミック動作であるため、データが失われるまでの最大遅延時間が仕様化されています。PCLKは、シフト・レジスタが満たされてから5ms以内にアクティブとし、HIレベルに戻す必要があります。スイッチ制御ラッチはスタティック動作であるため、電源が与えられている限りデータを保持します。

アレイ内のスイッチ数を拡大するためには、複数のAD75019をカスケード接続することができます。SOUT出力はシフト・レジスタ端にあるため、次のAD75019のSIN入力に直接接続することができます。

電源の投入順序

複数の電源で動作するすべての接合絶縁部品では、適切な電源投入順序に心がける必要があります。BiCMOS II プロセスは接合絶縁プロセスであるため、 $V_{DD}-V_{CC}$ 間および $V_{SS}-DGND$ 間には寄生ダイオードが存在します。したがって、 V_{DD} は常に ($V_{CC}-0.5V$) 以上でなければならず、 V_{SS} は常に ($DGND+0.5V$) 以下である必要があります。

システム電源の投入順序がこれらの条件を満たさない場合、外部ショットキ・ダイオード (例: 1N5818) またはシリコン・ダイオード (例: 1N4001) を用います。正電圧側を保護するためにはカソードを V_{CC} (ピン42) に接続し、アノードを V_{DD} (ピン41) に接続します。負電源側は、カソードを V_{SS} (ピン4)、アノードを $DGND$ (ピン43) に接続します。

トランジスタ数

AD75019は5472個のトランジスタで構成されています。この個数から、高い信頼性を算出することができます。

絶対最大定格*

	Min	Max	単位	条件
V _{DD} -DGND間	-0.5	+21.9	V	T _A ≤ 75°C ハンダ付け、10秒間
V _{SS} -DGND間	-21.9	+0.5	V	
V _{CC} -DGND間	-0.5	+5.5	V	
V _{DD} -V _{SS} 間	-0.5	+26.4	V	
デジタル入力-DGND間	-0.3	V _{CC} +0.5	V	
消費電力		1.0	W	
動作温度範囲	0	+70	°C	
保管温度範囲	-65	+150	°C	
リード温度		+300	°C	

* 絶対最大定格を越えたストレスを与えた場合、デバイスの機能が永久に損なわれることがあります。これらの条件下における機能的動作を意味するものではありません。絶対最大定格の条件下にデバイスを長期間さらすと、デバイスの信頼性に影響を与えることがあります。

注意

この素子はESD (electrostatic discharge) センシティブ・デバイスです。デジタル制御入力端子はツェナ・ダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静电界にさらされると、永久破壊を起こすことがあります。使用しないデバイスは、導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させる必要があります。



オーダ・ガイド

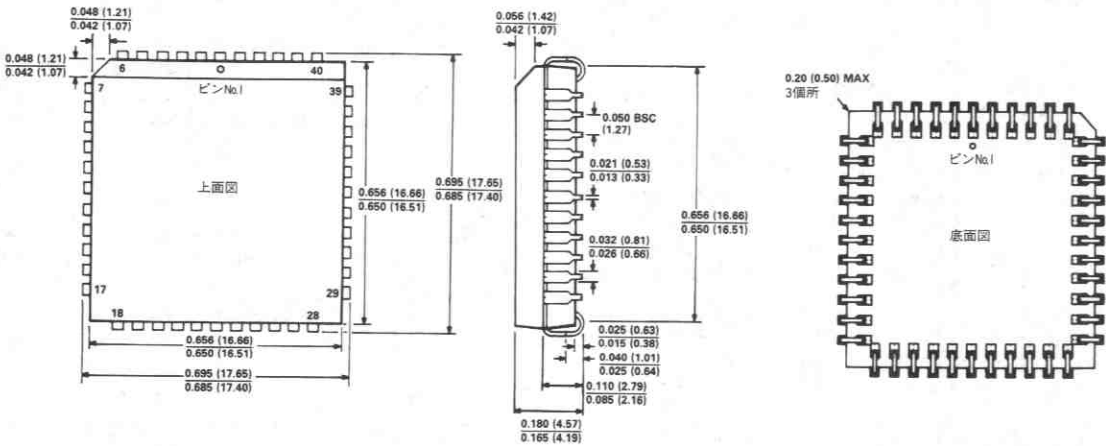
モデル	温度範囲	パッケージ・オプション*
AD75019JP	0~+70°C	P-44A

*P=プラスチック・リード付きチップ・キャリア (PLCC) パッケージ。

外形サイズ

サイズはインチと (mm) で示します。

PLCC (P-44A) パッケージ



IC基準電源（電圧リファレンス）

目次

	ページ
セクション・ガイド	222
AD680 低消費電力、低価格2.5Vリファレンス	223
AD688 高精度±10Vリファレンス	231

セレクション・ガイド

IC基準電源(電圧リファレンス)

モデル	電圧出力 V	初期精度 %FS max	温度 安定性 ppm/°C max	パッケージ ¹ オプション	温度 ² 範囲	特長	掲載ページ ³
AD589	+1.235	1.2-2.8	10-100	H	C, M	2端子, 1.2V出力	D9-36
●AD680	+2.5	0.2-0.6	20-25	H, N, R	C, I	低価格, ローパワー-2.5V出力	223
AD580	+2.5	0.4-3	10-85	H	C, M	3端子, 2.5V出力	—
AD1403	+2.5	0.4-1	25-40	N	C	2.5V出力	—
REF-43	+2.5	0.6-1	10-25	H, N, Q, R	I	高精度バンドギャップ	P9-45
REF-03	+2.5	0.6	50	N, R	I	低価格バンドギャップ	P9-19
AD586	+5	0.05-0.4	5-25	Q, R	C, M	高精度, 5V出力	D9-14
REF-02	+5	0.3-0.5	8.5-25	E, H, N, Q, R	C, I, M	高精度バンドギャップ	P9-11
REF-05	+5	0.3-0.6	8.5-25	H	M	長期安定性保証	P9-25
AD689	+8.129	0.05-0.2	5-25	Q	C, M	高精度, 8.192V出力	D9-40
AD2710	+10	0.01	1-5	N	C	高精度, 10V出力	—
AD2700	+10	0.025-0.05	3-10	D	C, M	高精度, 10V出力	—
AD587	+10	0.05-0.1	5-20	Q, R	C, M	高精度, 10V出力	D9-22
AD581	+10	0.05-0.3	5-30	H	C, M	3端子, 10V出力	D9-5
REF-01	+10	0.3-0.5	8.5-25	E, H, N, Q, R	C, I, M	高精度バンドギャップ	P9-5
REF-10	+10	0.3-0.6	8.5-25	H	M	長期安定性保証	P9-39
AD2712	±10	0.01	1-5	N	C	高精度, ±10V出力	—
●AD688	±10	0.02-0.05	1.5-6	Q	I, M	高精度, ±10V出力	231
AD2702	±10	0.025-0.05	3-10	D	C, M	高精度, ±10V出力	—
AD2701	-10	0.025-0.05	3-10	D	C, M	高精度, -10V出力	—
REF-08	-10, -10.24	0.3-0.4	50-100	N, Q, R	I, M	汎用	P9-31
AD588	選択可能	0.01-0.03	1.5-6	D, Q	C, I, M	高精度, プログラマブル	D9-24
AD584	選択可能	0.05-0.3	5-30	E, H	C, M	高精度, プログラマブル	D9-7

注1. パッケージ: D=セラミックDIP, E=セラミック・リードレス・チップ・キャリア, H=メタル・キャン, N=プラスチックDIP, Q=サーティップ, R=SOIC

2. 温度範囲: C=0~+70°C, I=-40~+85°C(旧製品では-25~+85°Cの場合もある), M=-55~+125°C

3. Dはデータブック1990/1991本版, PはPrecision Monolithics Divisionデータブック, そしてモデル名に●印のある製品は本データブック追補版に掲載されています。

太字で示すモデルは新規設計に最適な製品です。

特長

無負荷時電源電流：250 μ A max

レーザ・トリミングにより高精度を実現：

2.5V \pm 5mV max (ANグレード)

調整済みの温度係数：

20ppm/ $^{\circ}$ C max (ANグレード)

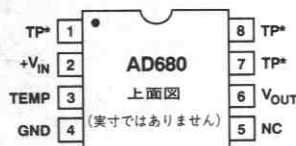
低ノイズ：8 μ Vp-p (0.1~10Hz)

250nV/ $\sqrt{\text{Hz}}$ バンド幅

温度出力ピン (N、Rパッケージ)

3種類のパッケージ

8ピン・プラスチックDIP、8ピンSOIC、3ピンTO-92



NC=接続なし

*TPは製造工程でのテスト・ポイントです。
これらのピンは非接続としてください。



AD680接続図

概要

AD680は4.5V~36Vの入力から2.5Vの固定出力を供給するバンドギャップ電圧リファレンスです。AD680は独自のアーキテクチャにより、優れたDC特性とノイズ性能を実現し、非常に低い無負荷時電源電流で動作します。高安定薄膜抵抗の調整が初期精度と温度係数に対して実施されており、全温度範囲で低い誤差を実現しています。

AD680は高精度DC特性により、外部の高精度リファレンスを必要とするD/Aコンバータ用リファレンスとして理想的です。またA/Dコンバータにも理想的であり、一般に標準の内蔵リファレンスよりも優れた特性を提供します。

AD680の無負荷時電源電流は数多くの不完全な2端子リファレンスより優れており、バッテリー駆動のハンドヘルド機器などの低消費電力の応用に用いることができます。

AD680の8ピン・パッケージ・バージョンは、温度出力ピンを備えています。温度出力ピンは温度によって直線的に変化する電圧を出力するため、AD680を安定した2.5V出力を供給する温度トランスデューサとして構成することも可能です。

AD680には4つのグレードがあります。AD680ANの動作温度範囲は-40~+85 $^{\circ}$ C、AD680JNは0~+70 $^{\circ}$ Cです。AD680ANとAD680JNはどちらも8ピン・プラスチックDIPパッケージです。AD680JRは0~+70 $^{\circ}$ Cの範囲で仕様が規定され、8ピン・スモール・アウトラインIC (SOIC) パッケージです。AD680JTは0~+70 $^{\circ}$ C仕様で、3ピンTO-92パッケージです。

製品ハイライト

- AD680バンドギャップ・リファレンスは多くの2端子リファレンスに比較して非常に低い無負荷時電源電流で動作します。AD680は低消費電力が必要な応用に理想的です。
- 初期精度と温度係数のレーザ・トリミングにより、外付け部品を用いることなく非常に低い誤差を全温度範囲で実現しています。AD680ANの-40~+85 $^{\circ}$ Cでの最大変化は6.25mVです。
- AD680のノイズは非常に低く、標準値は0.1~10Hzで8 μ Vp-pです。スペクトラル密度も低く、標準値で250nV/ $\sqrt{\text{Hz}}$ です。
- 8ピン・パッケージ・バージョンに用意されている温度出力ピンにより、AD680を温度トランスデューサとして構成することができます。
- プラスチックDIPパッケージは自動挿入実装が可能で、SOICパッケージでは表面実装が可能です。TO-92パッケージは2端子リファレンスに比べて高いコスト効率を得られます。

仕様

(特に指定のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_{IN} = +5\text{V}$)

モデル	AD680AN			AD680JN/JR			AD680JT			単位
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
出力電圧	2.495		2.505	2.490		2.510	2.490		2.510	V
出力電圧ドリフト ¹ 0~+70°C -40~+85°C		10			10	25		10	30	ppm/°C
ラインレギュレーション 4.5V ≤ V _{IN} ≤ 36V (@T _{min} ~T _{max})			40			*			*	μV/V
負荷レギュレーション 0 < I _{OUT} < 10mA (@T _{min} ~T _{max})		80	100		*	*		*	*	μV/mA
無負荷時電源電流 (@T _{min} ~T _{max})		195	250		*	*		*	*	μA
消費電力		1	1.25		*	*		*	*	mW
出力ノイズ 0.1~10Hz スペクトラル密度、100Hz		8	10		*	*		*	*	μV _{p-p} nV/√Hz
長期安定性		25			*			*		ppm/1000時間
グラウンド短絡電流		25	50		*	*		*	*	mA
温度ピン 25°Cでの電圧出力 温度感度 出力電流 出力抵抗	540	596	660	*	*	*				mV mV/°C μA kΩ
温度範囲 定格性能 動作性能 ²	-40		+85	0		+70	0		+70	°C
	-40		+85	-40		+85	-40		+85	

注

1. 最大出力電圧ドリフトはすべてのパッケージにおいて保証されています。

2. 動作温度範囲はデバイスが機能動作する極限温度を示しています。仕様温度範囲以外では仕様性能にはバラツキが生じることがあります。

*AD680ANと同じ仕様です。

仕様は予告なしに変更することがあります。

太文字で示す仕様は、すべて最終電気試験を受けています。これらの試験結果は出荷品質レベルの算出に用いられています。minおよびmax仕様はすべて保証されています。

絶対最大定格*

V_{IN} -グラウンド間電位	36V
消費電力 (25°C)	500mW
保管温度	-65°C ~ +125°C
リード温度 (ハンダ付け、10秒)	300°C
パッケージ熱抵抗	
θ_{JA} (すべてのパッケージ)	120°C/W

出力保護: 連続グラウンド短絡および V_{IN} の瞬時短絡に対して出力を保護しています。

*上記の「絶対最大定格」を超えるストレスは、デバイスに致命的なダメージを与えることがあります。上記の定格はストレスに関する定格であり、この定格や動作仕様を示す値を超える条件下では機能動作は保証されません。デバイスを絶対最大定格のもとに長時間さらした場合、デバイスの信頼性に悪影響を及ぼすことがあります。

8ピン・プラスチックDIP および

8ピンSOICパッケージ



*TPは製造工程でのテスト・ポイントです。これらのピンは非接続としてください。

TO-92パッケージ



図1. ピン配置

動作説明

バンドギャップ・リファレンスは低い電源電圧において高性能を発揮します。標準的な高精度バンドギャップはリファレンス・コアとバッファ・アンプから構成されています。AD680は、新規のバンドギャップ・リファレンス設計をベースにしており (図2)、アンプとコア・バンドギャップ機能をあわせた、コンパクトで完全な高精度リファレンスです。デバイスの中央には意図的に大きなPTAT入力オフセットをもつ高ゲイン・アンプがあります。このオフセットはアンプの入力ペアQ1とQ2のエリア比によって制御され、抵抗R1の両端に発生します。トランジスタQ12のベース・エミッタ電圧はCTAT特性を備えています。

抵抗R2「掛ける」R1のPTAT電圧をQ12に加算することにより、R3の両端に温度の影響を受けない電圧が発生します。抵抗R3とR4を適切な比になるように調整することによって、2.5Vの出力を得ます。これによって、最小の部品数で、高精度の安定した出力電圧を得ることができます。

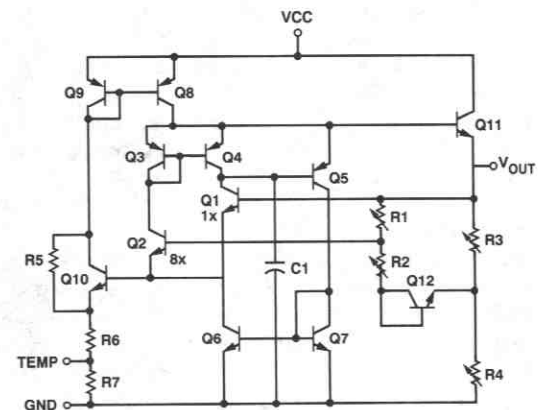


図2. AD680回路図

この手法とともに追加された機能として、回路全体の消費電力を非常に低く保ちながらノイズを最小化する能力があります。バンドギャップ・リファレンスの主なノイズ源 (バンドギャップ・ノイズと抵抗性熱ノイズ) を、独立に制御することは多くの場合困難ですが、動作電流Q1とQ2を正しく選択し、R1の大きさを個別に決めることによって、1mWの標準消費電力を維持しながら低い広域ノイズを実現しています。

使用上の注意

AD680は、すべての高精度リファレンス応用で簡単に用いることができます。 $+V_{IN}$ に電源が与えられ、GNDピンがグラウンドに接続されていれば、 V_{OUT} ピンは+2.5Vの出力を供給します。AD680の+4.5~+36Vの電源電圧における動作時に必要とする電流は標準で250 μ A以下です。

AD680を動作させるためには、 $+V_{IN}$ ピンをパッケージのなるべく近くで0.1 μ FのコンデンサによってGNDピンに接続し、バイパスする必要があります。AD680のグラウンド電流はわずか(195 μ A typ)ですが、AD680のGNDピンとシステムのグラウンド・プレーンは直接接続してください。

リファレンス出力は、ADCや計測機器でよく見られる入力スイッチング・ネットワークによって生じる高速トランジェントを取扱うために必要な場合があります。この状況で起こるダイナミックな問題の多くは、いくつかの簡単な技法によって最小限に抑えることができます。リファレンス出力と負荷間に直列抵抗を用いることによって、リファレンス出力をトランジェント源からデカップリングすることができます。また、リファレンス出力とグラウンド間に比較的大きなコンデンサを接続することにより、このコンデンサが電荷蓄積素子として電荷の吸収に有効に働き、ダイナミック負荷からの要求に応じて電荷を供給することが可能になります。この場合50nFのコンデンサが適しています。これは要求された電荷を蓄えるには十分な大きさであり、リファレンスの安定性を損ないません。

AD680の8ピン・プラスチックDIPとSOICパッケージ・バージョンは温度出力ピンを備えています。このピンの電圧は通常25°Cで596mVです。このピンの出力は2mV/°Cの特性で温度に直線的に比例します。

ノイズ性能

AD680のノイズは0.1~10Hzの帯域で通常8 μ V_{p-p}以下です。図3に0.1~10HzでのAD680の代表的なノイズ性能を示します。ノイズの計測は、0.1Hzのコーナ周波数をもつ単極ハイパス・フィルタと、12.6Hzのコーナ周波数をもつ2極ローパス・フィルタによって構成される、9.922Hzの帯域幅をもつバンドパス・フィルタによって行われています。

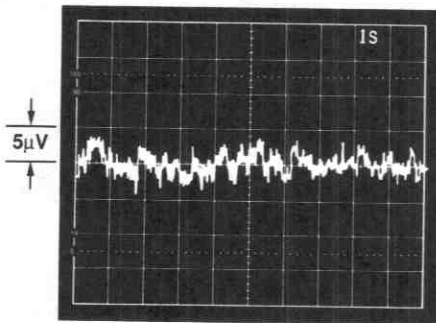


図3. 0.1Hz~10Hzノイズ

帯域幅300kHzでのノイズは約800 μ V_{p-p}です。図4にAD680の代表的な広帯域ノイズを示します。

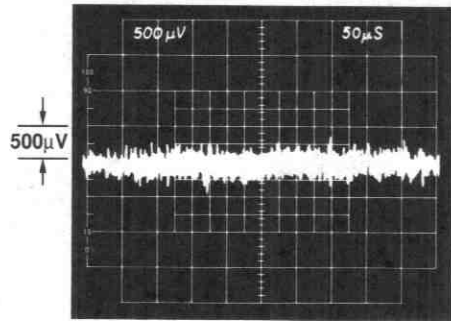


図4. 帯域幅300kHzでのノイズ

ターンオン時間

電源投入時(コールド・スタート時)に、出力電圧が規定の誤差帯域内の最終値に達するまでに要する時間を、ターンオン・セトリング時間といいます。これには通常、アクティブ回路がセトリングする時間とチップの熱傾斜が安定化する時間の2つの要素が関係しています。図5に示すように、AD680のターンオン・セトリング時間は最終値の0.025%に達するまで約20 μ sです。

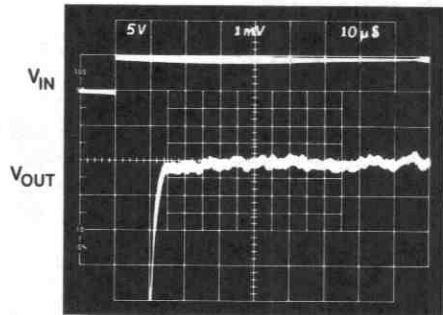


図5. ターンオン・セトリング時間

AD680の熱セトリング特性はそのコンパクトな設計により向上しています。初期ターンオンが達成されると、出力は直線的に最終値に近づきます。出力は通常25ms後に最終値の0.01%以内となります。

ダイナミック性能

AD680のアンプ出力段は、他の不完全なリファレンスよりも優れたスタティックおよびダイナミック負荷レギュレーション性能を備えています。

図6に、AD680出力アンプが0~10mAの負荷を駆動する際の特性を示します。トランジェント電流のシンクの場合、アンプのセトリング時間は長くなります。

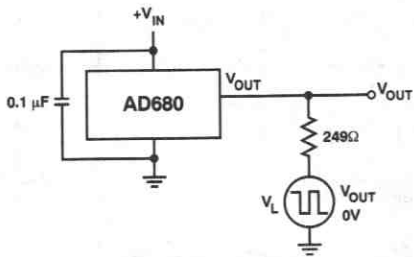


図6a. トランジェント負荷試験回路

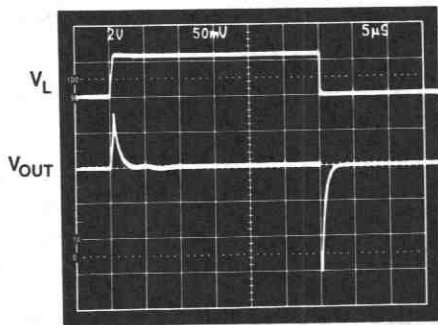


図6b. ラージ・スケール・トランジェント応答

応用によっては、抵抗性および容量性負荷のいずれもが変動する特性をもち、長い容量性ケーブルとの接続によってAD680に負荷が接続されることがあります。

図7に、0~10mAにおいて1000pFの負荷を駆動する際の出力アンプ特性を示します。

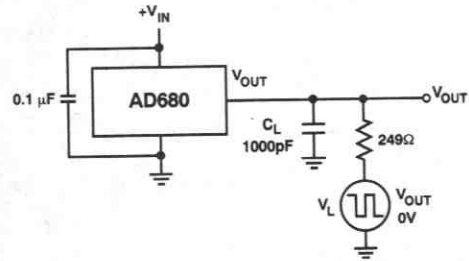


図7a. 容量性負荷トランジェント応答試験回路

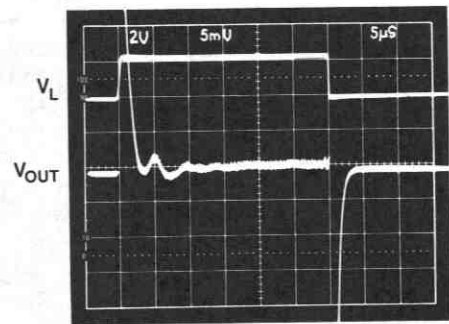


図7b. 容量性負荷による出力応答

負荷のレギュレーション

図8にAD680の負荷レギュレーション特性を示します。

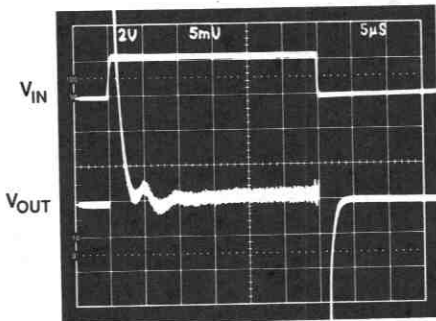


図6c. ファイン・スケール・トランジェント負荷セトリング

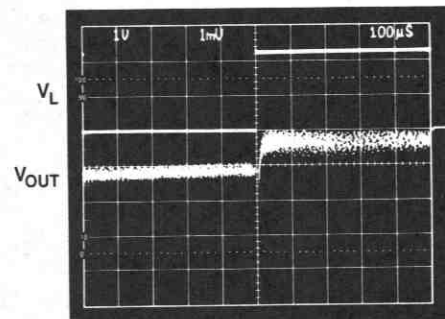


図8. 代表的な負荷レギュレーション特性

温度性能

AD680は温度性能が重要なリファレンス応用のために設計されています。広範囲での温度テストおよび特性試験により、仕様温度範囲の全域においてデバイスの性能が維持されることを保証しています。

温度についてのリファレンス電圧誤差の定義と仕様には、いくつかの混同が見られます。従来、リファレンスは°C当たりの最大偏差(ppm/°C)で特性付けを行なっていました。しかし標準ツエナ・リファレンス(「S」タイプ特性など)は温度特性が非直線性であり、現在のほとんどの製品は最大限界誤差バンドをデバイスの仕様として用いています。この技法では出力電圧誤差バンドを規定するために、3点またはそれ以上の異なる温度での出力の計測が必要です。

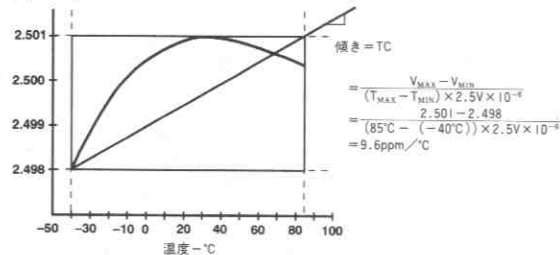


図9. AD680ANの代表的な温度ドリフト

図9にAD680ANの標準の出力電圧ドリフトと試験方式を示します。図9の矩形領域は、横は動作温度の両端で、上下は動作温度範囲内で測定された最大および最小の出力電圧で区切られています。

適切な温度範囲のための矩形領域の最大の高さとデバイスのグレードを表1に示します。このデータを得るためには、高精度の試験システムで安定した温度制御を行う必要があります。AD680を評価することにより図9と同様の曲線が得られますが、実際の出力値は使用する試験装置によって変化します。

デバイスの グレード	最大出力変化 (mV)	
	0~+70°C	-40~+85°C
AD680JN/JR	4.375	—
AD680JT	5.250	—
AD680AN	—	6.250

表1. 最大出力変化 (mV)

温度出力ピン

AD680の8ピン・バージョンにはピン3に温度出力ピンが用意されています。ピン3 (TEMP) の出力電圧は温度によって直線的に変化します。25°Cでの V_{TEMP} は596mV、温度係数は2mV/°Cです。図10にこのピンの温度に対する出力を示します。

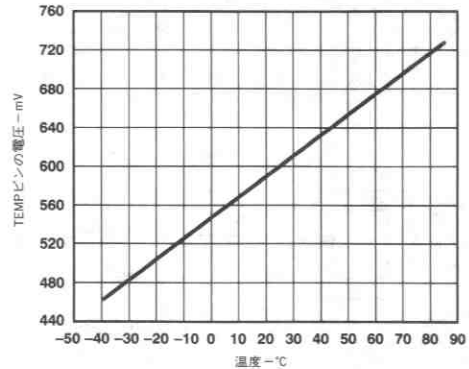


図10. 温度ピンの伝達特性

温度ピンの出力抵抗は12kΩで、リファレンス出力を妨げることなく5μAまでのシンクまたはソース電流が可能のため、この値以下のバイアス電流をもつ低価格のオペアンプであればどれでも温度ピンのバッファとして用いることができます。

差動温度トランスデューサ

図11にAD680の環境で温度変化を計測することができる差動温度トランスデューサを示します。この回路は+5Vの電源で動作します。AD680のTEMPピンから出力される温度依存電圧は、より広いフルスケール範囲とより多くの電流ソース能力を得るためにファクタ5で増幅されます。出力変化が10mV/°Cとなるまでトリム・ポテンショメータを調整することでゲイン5を正確に得ることができます。温度による抵抗変化を最小化するために、金属被膜抵抗などの温度係数の低い抵抗を用いてください。

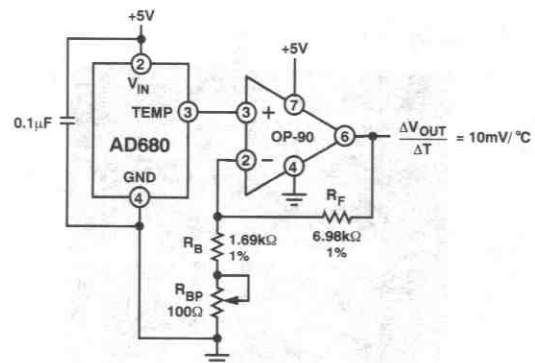


図11. 差動温度トランスデューサ

データ・コンバータ用の低消費電力、低電圧リファレンス

AD680はA/D、D/Aコンバータとの組合わせ使用に理想的な機能をもっています。低い電源電圧で動作することから、リファレンスのために高い電圧電源を用意することなく、5V電源動作のコンバータとともに用いることができます。AD680の低い無負荷時電源電流(195 μ A)、全機能性、高精度の組合わせにより、ハンドヘルド型のバッテリー駆動メータなどの低消費電力の応用に最適です。

AD680がよく適合するADCとしてはAD7701があります。図12に、AD7701のリファレンスとしてAD680を用いる例を示します。AD7701は16ビットのA/Dコンバータで、特に化学的、物理的、生物学的プロセスなど広いダイナミック・レンジの低周波信号を計測するためのデジタル・フィルタを内蔵しています。AD7701は、電荷平衡(シグマ・デルタ)ADC、スタティックRAM付きの校正用マイクロコントローラ、クロック発振器、シリアル通信ポートを内蔵しています。

回路はすべて ± 5 V電源で動作します。AD7701の消費電力は標準で25mWで、AD680の消費電力(1mW)とあわせても、全消費電力はわずかに26mWにすぎません。

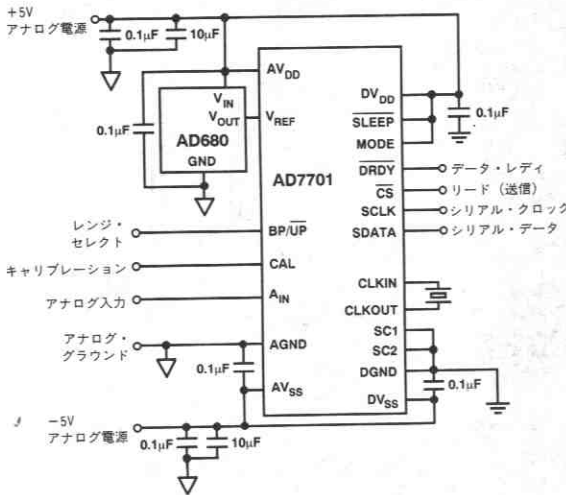


図12. AD7701 16ビットA/Dコンバータの低消費電力、低電圧リファレンス

+5V電源での+4.5Vリファレンス

AD680は図13に示すように、低消費電力の+4.5Vリファレンスとしても用いることができます。AD680に低電力オペアンプとトランジスタをフィードバック構成で用いる回路を付加すれば、+4.7Vの低い電源電圧で安定化された+4.5V出力を得ることができます。0.1 μ Fのセラミック・コンデンサ(C2)と並列に高品質の10 μ Fタンタル・コンデンサ(C1)を接続し、それらと直列に3.9 Ω の抵抗(R5)を接続することにより、約50MHzまでの低い出力インピーダンスが保証されます。

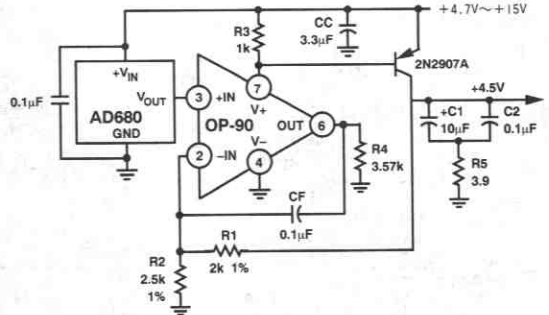


図13. +5V単一電源動作の+4.5Vリファレンス

ポータブル機器用電圧レギュレータ

AD680は安定動作、低価格、低電力リファレンス電圧を供給することでポータブル機器用の電源に理想的です。(スイッチ・モード構成と比較して)低い出力ノイズと低電力だけでなく、電流サージ後の高速リカバリー性能をもった電圧レギュレータとしてAD680を用いる方法を図14に示します。出力コンデンサの選択には特に注意してください。あまりに高いESR(実効直列抵抗)は回路の安定性を損なうことがあります。C1とC2にはそれぞれ、16Vまたはそれ以上の固体タンタル・コンデンサと、10Vまたはそれ以上のアルミニウム電解コンデンサを使用してください。C1とC2のグラウンド側と、R1のグラウンド側の間の経路はできるだけ短くする必要があります。

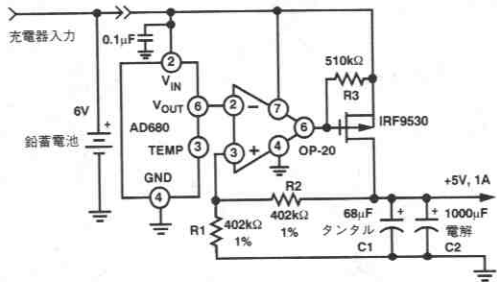


図14. ポータブル機器用電圧レギュレータ

オーダ・ガイド

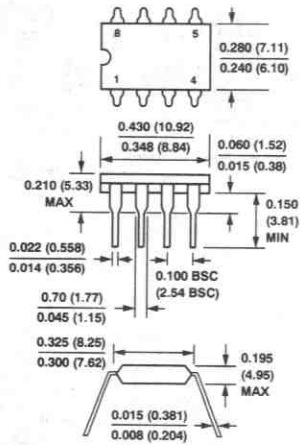
モデル	初期誤差 mV	温度係数 ppm/°C	温度範囲	パッケージ	パッケージ オプション*
AD680JN	10	25	0~+70°C	プラスチック	N-8
AD680JR	10	25	0~+70°C	SOIC	R-8
AD680JT	10	30	0~+70°C	TO-92	TO-92
AD680AN	5	20	-40~+85°C	プラスチック	N-8

*N=プラスチックDIPパッケージ、R=SOICパッケージ、T=TO-92パッケージ

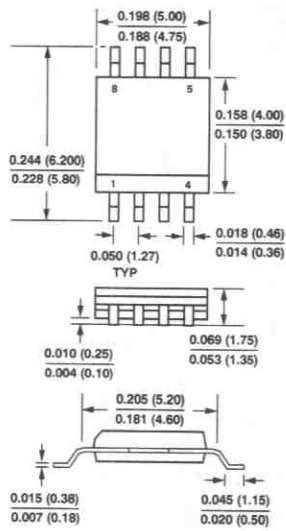
外形サイズ

サイズはインチと (mm) で示します。

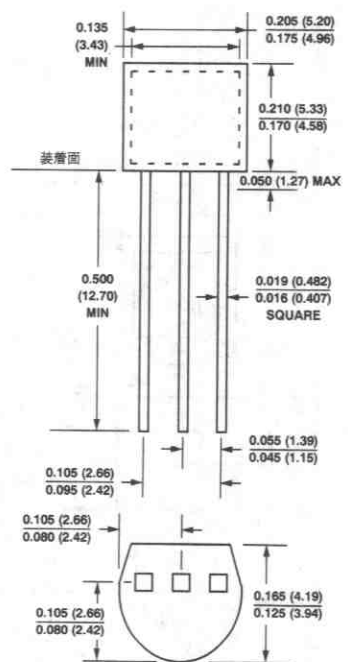
8ピン・プラスチックDIP



8ピンSOIC

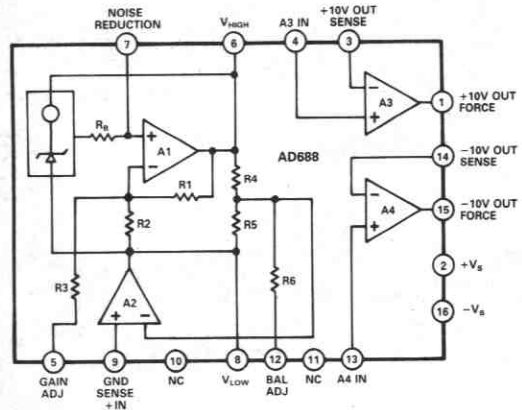


3ピンTO-92



特長

- ±10Vのトラッキング出力
- ケルビン接続
- 低いトラッキング誤差：1.5mV
- 低い初期誤差：2.0mV
- 低ドリフト：1.5ppm/°C
- 低ノイズ：8μVp-p
- 有効な出力フォースとセンス端子
- 高インピーダンス・グラウンド・センス
- 自動挿入可能なDIPパッケージ



機能ブロック図

概要

AD688は高精度の±10Vトラッキング・リファレンスです。AD688は低いトラッキング誤差、低い初期誤差、低温度ドリフトにより、モノリシック構成では実現不可能だった絶対±10Vの精度の特性を備えています。AD688はイオン注入の埋込みツェナ・ダイオードを使用し、高安定度薄膜抵抗のレーザ・ウエハ・ドリフト調整が施されているため、卓越した特性を低コストで実現しています。

AD688には基本リファレンス・セルと3個のアンプが内蔵されています。これらのアンプはレーザ・トリミングにより低オフセットと低ドリフト特性を備え、リファレンスの精度を維持します。アンプは負荷または長い配線や高電流負荷を駆動するための外付ブースタとのケルビン接続ができるように構成され、AD688の高精度を応用回路でフルに引出せるように配慮されています。

AD688は低い内部誤差のため、12ビット絶対精度を必要とする高精度計測応用のシステム・リファレンスとして使用できます。このようなシステムではAD688はシステム校正のための電圧を供給することができるため、定期的な再校正の費用が不要となります。さらに、AD688と校正ソフトウェアを使用すれば、調整用ポテンシオメータの機械的な不安定さと誤った校正の可能性が無くなります。

AD688には3種類のバージョンがあります。AD688AQとBQグレードは16ピン・サーディップ (7.6mm幅) パッケージで、仕様動作温度範囲は-40～+85°Cです。AD688SQグレードの仕様動作温度範囲は-55～+125°Cです。

製品ハイライト

1. AD688は外付け部品なしに高精度なトラッキングの±10Vケルビン出力接続が可能です。トラッキング誤差は1.5mV以下で、+10Vと-10V出力の間で厳密な対称性の必要な応用について微調整が可能です。
2. AD688はユーザ調整なしに12ビットの絶対精度を実現します。より高い精度を必要とする応用のため、オプションの微調整接続も用意されています。微調整はツェナやバッファ・アンプの動作条件を変化させないため、温度ドリフトを増加させることはありません。
3. AD688の出力ノイズは8μV_{rms}と低い値です。外付けコンデンサを用いた広帯域ノイズ・フィルタ用のピンが用意されています。

仕様

(特に指定のない限り+25°C、+10V出力、 $V_S = \pm 15V$ の時の標準値¹⁾)

パラメータ (条件)	AD688AQ/SQ			AD688BQ			単位
	Min	Typ	Max	Min	Typ	Max	
出力電圧誤差 +10V、-10V出力	-5		+5	-2		+2	mV
±10Vトラッキング誤差	-3		+3	-1.5		+1.5	mV
出力電圧ドリフト +10V、-10V出力 0~+70°C (A, B) -40~+85°C (A, B) -55~+125°C (S)		±2		-1.5 -3		+1.5 +3	ppm/°C ppm/°C ppm/°C
ゲイン調整とバランス調整 ² 調整範囲 入力抵抗		±5 150			±5 150		mV kΩ
ライン・レギュレーション $T_{min} \sim T_{max}$ ³	-200		+200	-200		+200	μV/V
負荷安定度 $T_{min} \sim T_{max}$ +10V出力、 $0 < I_{OUT} < 10mA$ -10V出力、 $-10 < I_{OUT} < 0mA$			±50 ±50			±50 ±50	μV/mA μV/mA
電源電流 $T_{min} \sim T_{max}$ 消費電力		9 270	12 360	9 270	12 360		mA mW
出力ノイズ (任意の出力) 0.1Hz~10Hz スペクトラル密度, 100Hz		6 140		6 140			μVp-p nV/√Hz
長期安定性 (@ +25°C)		15		15			ppm/1000時間
バッファ・アンプ オフセット電圧 オフセット電圧ドリフト バイアス電流 オープン・ループ・ゲイン 出力電流 A3, A4 同相除去比 (A3, A4) $V_{CM} = 1Vp-p$ 出力短絡電流		100 1 20 110		100 1 20 110			μV μV/°C nA dB mA
同相除去比 (A3, A4) $V_{CM} = 1Vp-p$ 出力短絡電流	-10		+10	-10		+10	
温度範囲 仕様性能 A, Bグレード Sグレード	-40 -55		+85 +125	-40		+85	°C °C

注

- 出力設定に関しては図2aを参照ください。特に指定のない限り、+10V出力を使用して仕様試験が行なわれています。
- ゲインとバランス調整は出力電圧誤差と対称誤差をゼロ調整する能力が保証されています。
- 試験条件: $+V_S = +18V$, $-V_S = -18V$, $+V_S = +13.5V$, $-V_S = -13.5V$

太字の仕様は最終出荷試験で全数試験されています。この結果は出荷品質レベルの算出に使用されています。最小値および最大値はすべて保証されています。

仕様は予告なしに変更することがあります。

オーダーガイド

部品番号	初期誤差	温度係数	温度範囲-°C
AD688AQ	5mV	3ppm/°C	-40~+85
AD688BQ	2mV	3ppm/°C	-40~+85*
AD688SQ	5mV	6ppm/°C	-55~+125

注

*温度係数の規定は0~+70°Cの範囲です。

絶対最大定格*

+V _S - V _S	36V
消費電力 (+25°C)	
Qパッケージ	600mW
保管温度範囲	-65 ~ +150°C
リード温度 (ハンダ付け10秒)	+300°C
パッケージ熱抵抗	
Q (θ_{JA}/θ_{JC})	120/35°C/W

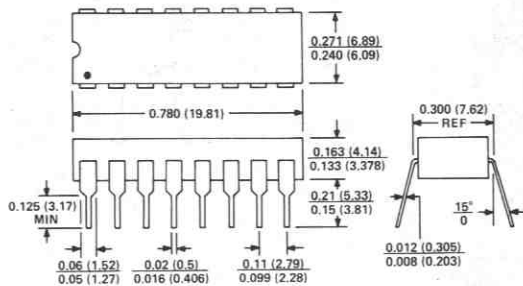
出力保護：出力はすべてグラウンド短絡に対し保護されています。

注

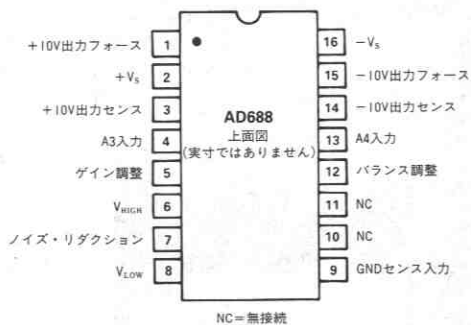
*絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの割合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスをある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

外形サイズ

サイズはインチと (mm) で示します。



ピン配置



NCピンはテスト・ポイントとして使用されています。正しい動作のためには、これらのピンには何も接続してはいけません。

動作説明

AD688は、図1のブロック図に示すように埋込みツェナ・ダイオード・リファレンス、アンプそして薄膜抵抗から構成されています。温度補償回路により、AD688の温度係数は1.5ppm/°C以下となっています。

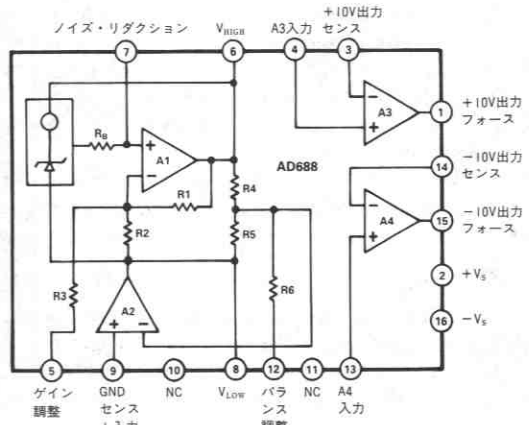


図1. AD688の機能ブロック図

アンプA1はいくつかの機能を実行します。主としてツェナ電圧を所用の20Vまで増幅します。さらにA1はゲイン調整ピン (ピン5) により、20V出力の外部調整も行えます。ツェナ出力とA1の非反転入力との間にバイアス補償抵抗を使用し、ノイズ・リダクション・ピン (ピン7) にコンデンサを接続することでローパス・フィルタを構成し、ツェナから回路へのノイズを減少させます。定格値12k Ω の2本のマッチングのとれた薄膜抵抗 (R4とR5) により、20Vの出力を半分に分圧します。

アンプA2により回路のグラウンド・センスが得られます。非反転入力 (ピン9) によりシステム・グラウンド電位をセンスし、R4とR5の抵抗の midpoint を事実上のグラウンド電位としてフォースします。ピン12 (バランス調整) により、この midpoint の転移の微調整が行えます。

アンプA3とA4は内部補償されており、ピン6と8の電圧をバッファし、ケルビン出力を供給します。AD688はシステム・グラウンドのセンスができ、そのグラウンドを基準にしたフォース・センス出力を供給できることで完全なケルビン接続を実現します。

AD688の使用

AD688は図2aに示すように、 $\pm 10V$ のリファレンス出力を供給できるように設定できます。AD688ではグラウンド・センスと、多機能な出力バッファ・アンプが用意されているため、使用上非常に便利です。AD688は図2aの回路構成で規定され、試験されています。AD688のもつ他の設定オプションも選択することができますが、それらの設定での特性がデータ・シートの仕様と厳密に合致することは保証されていません。

バッファなしの出力はピン6と8に用意されています。これらのバッファなしの出力に負荷を接続すると、回路特性が劣化します。

アンプA3とA4は互いに交換して使用することができますが、AD688の試験では（そして保証された仕様では）図2aの接続でアンプを使用しています。A3またはA4のどちらも使用しない場合には、その出力フォースとセンス・ピンを接続し、入力をグラウンドに落しておかなければなりません。

A3とA4をピン6または8のバッファなしの出力に接続することで、同じ電圧極性の2つの出力を得ることができます。これらの2つの出力構成の特性は、データ・シートの仕様と標準的に合致しています。

校正

一般的にAD688は高精度システムの要求条件に追加調整なしで適合します。初期出力電圧誤差は $2mV$ 、出力ノイズ仕様は $6\mu V_{p-p}$ で、12~16ビット精度のリファレンスとして利用できます。しかしより高いレベルの精度が必要な場合には、追加調整を行なうこともできます。ゲイン調整ピンとバランス調整ピン（それぞれピン5とピン12）が調整のために用意されています。

AD688はセンター・タップ付きの高精度20Vスパンをもち、バッファとグラウンド・センス・アンプとともに用いることで $\pm 10V$ 出力設定を実現することができます。ゲイン調整とバランス調整は、この20Vスパンの電圧の大きさとセンター・タップの位置をスパン内に調整するのに使用します。ゲイン調整を先に行ないます。調整はデバイス内で相互に影響をもちませんが、ゲイン調整はスパンの大きさを変化させるので、バランス調整ポイントを動かさず。

図2bにAD688のゲインとバランス調整を示します。それぞれの調整には $100k\Omega$ の20回転のポテンショメータが使用されています。ゲイン調整のポテンショメータはピン6 (V_{HIGH}) と8 (V_{LOW}) の間に接続され、ブラシはピン5 (ゲイン調整) に接続されています。このポテンショメータは各アンプ出力 (ピン1とピン15) 間の電位差が厳密に $20V$ となるように調整します。バランス調整のポテンショメータはピン6と8の間に接続され、ブラシはピン12 (バランス調整ピン) に接続し、 $+10V$ と $-10V$ の midpoint を調整します。

ゲイン調整ピンとバランス調整ピンの入力インピーダンスは約 $150k\Omega$ です。ゲイン調整回路は調整ポテンショメータの両端の $20V$ の電圧を約 $1/150$ の分圧ファクタで効果的に分圧し、約 $900\mu V$ /回転 (20回転のポテンショメータで) の分解能で $-5.8mV$ ~ $+12.0mV$ の調整範囲が可能です。

バランス調整回路は調整電圧を約 $1/250$ の分圧ファクタで分圧し、 $800\mu V$ /回転の分解能で $\pm 8mV$ の調整範囲が可能です。

AD688は温度変化により余分な誤差が生じないため、精密ポテンショメータは不要です。

バランス調整が必要ない場合には、ピン12は無接続にしておきます。ゲイン調整の必要がない場合には、ピン5は無接続にしておきます。

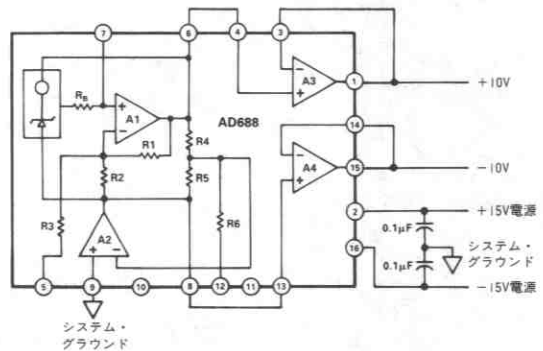


図2a. $+10V$ と $-10V$ 出力

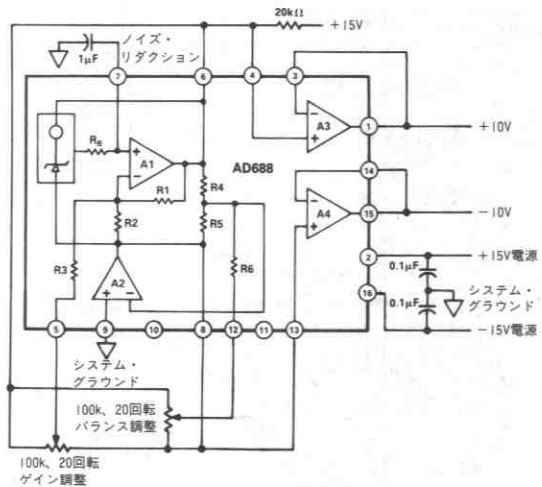


図2b. ゲインとバランス調整 (ノイズ・リダクション付き)

ノイズ特性とノイズ・リダクション

AD688で発生するノイズは、 $0.1Hz$ ~ $10Hz$ の帯域幅で標準値 $6\mu V_{p-p}$ 以下です。 $1MHz$ の帯域幅では約 $840\mu V_{p-p}$ です。このノイズの主な発生源は埋込みのツェナで、約 $140nV/\sqrt{Hz}$ のノイズを発生します。それに比較してオペアンプの発生するノイズはほとんど無視できます。図3にAD688の $0.1Hz$ ~ $10Hz$ での標準的なノイズ特性を示します。

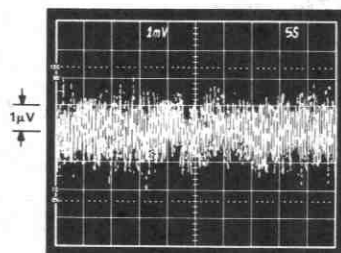


図3. $0.1Hz$ ~ $10Hz$ のノイズ

ノイズ・リダクションがさらに必要な場合には、図2bに示すようにノイズ・リダクション・ピンとグラウンドとの間に追加のコンデンサを接続します。このコンデンサと5kΩのR_Bによりツェナ・セルの出力にローパスフィルタを形成します。1μFのコンデンサによって3dB点が32Hzとなり、高い周波数（1MHzまでの）のノイズが約250μVp-pまで減少します。図4にAD688に1μFのコンデンサを接続した場合と接続しない場合の1MHzまでの代表的なノイズ特性を示します。

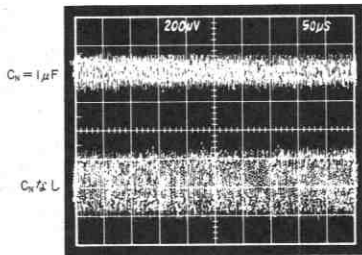
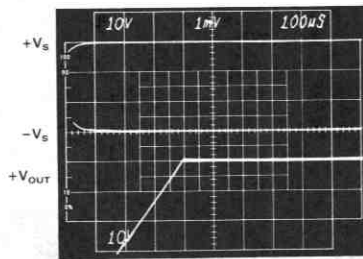


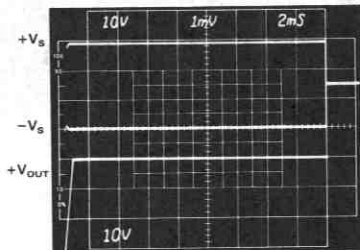
図4. 広帯域ノイズに対する1μFノイズ・リダクション・コンデンサの効果

ターンオン時間

電源を投入後（コールド・スタート）、出力電圧が規定誤差範囲内の最終値に達するまでの時間をターンオン・セトリング時間と呼びます。通常2つの値が関係します。それは能動回路が安定するための時間と、チップの熱変化が安定するための時間です。図5にAD688のターンオン特性を示します。図から、このセトリング時間が約600μsであることがわかります。図5bで水平軸を2ms/cmに引き延ばした状態でも熱変化が見られないことに注目してください。



a. 電気的ターンオン特性



b. 時間軸を引き延ばした状態

図5. ターン・オン特性

外付のノイズ・リダクション・コンデンサを使用すると、出力ターンオン時間を変化できます。このコンデンサが接続されている場合には、内部のツェナ・ダイオードの電流源の負荷が大きくなり、ターンオン時間がやや長くなります。このコンデンサが1μFの場合には、初期のターンオン時間は約100msとなります（図6参照）。

ノイズ・リダクション機能を使用する場合には、正しいスタート・アップのため20kΩの抵抗をピン6とピン2の間に接続してください。

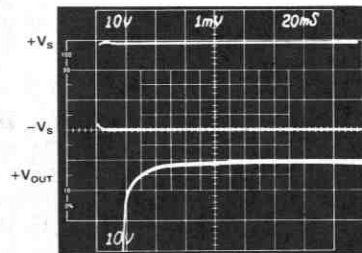


図6. 1μFのC_Nを使用した場合のターンオン特性

温度特性

AD688は、温度特性の重要な応用のための高精度リファレンスとして設計されています。拡張温度試験により、このデバイスの高レベルの性能が動作温度範囲で保たれています。

図7にAD688SQの代表的な出力電圧ドリフト特性とその試験方法を示します。図7の左右は動作温度範囲の限界で、また上下は動作温度範囲内で測定された最大および最小の+10V出力の誤差範囲で区切られています。+10Vおよび-10V出力の斜線の勾配によってこのデバイスの性能グレードが決まります。

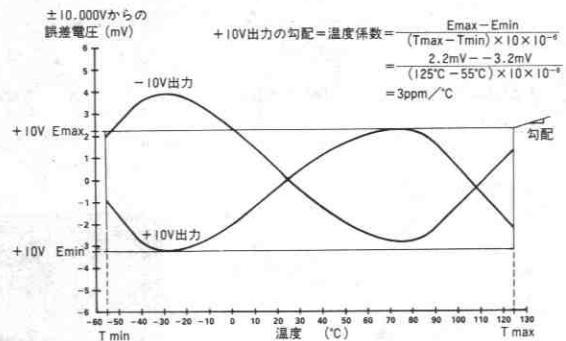


図7. AD688SQの標準的な温度ドリフト特性

AD688AとBグレードのユニットはすべて-40°C、-25°C、0°C、+25°C、+50°C、+70°C、+85°Cで試験されています。AD688Sグレードのユニットはすべて-55°C、-25°C、+25°C、+70°C、+125°Cで試験されています。この方法により温度変化により発生する出力電圧の変化が仕様範囲に収まっており、その曲線の傾斜が規定の最大ドリフトと等しいことを保証します。図7の垂直スケールの位置は初期誤差と曲線の大きさが変化するためデバイスごとに異なります。適用される温度範囲内の最大の高さを図8に示します。これらの結果の再現には高精度と安定な温度制御を併わせ持つ試験システムが必

要となります。AD688の評価により、図7と同様の曲線が得られますが、出力の値は試験方法と使用装置により変化します。

デバイス グレード	最大出力変化 mV		
	0~+70°C	-40~+85°C	-55~+125°C
AD688AQ	1.40 (typ)	3.75	
AD688BQ	1.05	3.75	
AD688SQ			10.80

図8. +10Vまたは-10V出力の最大変化

ケルビン接続

ケルビン接続とも呼ばれるフォース/センス接続は回路配線の影響を除去する便利な方法です。図9aに示すように負荷電流と配線抵抗により、負荷上の誤差 ($V_{\text{ERROR}} = R \times I_L$) が発生します。図9bのケルビン接続はアンプのフォース・ループに配線抵抗を含み、負荷電圧をセンスすることでこの問題を解決します。アンプは負荷電圧のあらゆる誤差を補正します。示した回路ではアンプ出力は実際には $10V + V_{\text{ERROR}}$ となり、必要な負荷電圧は+10Vとなります。

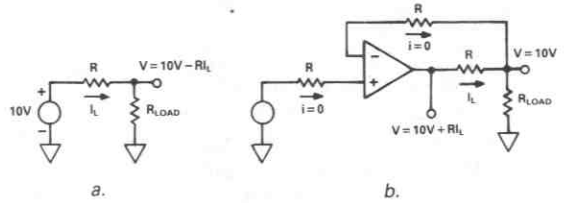
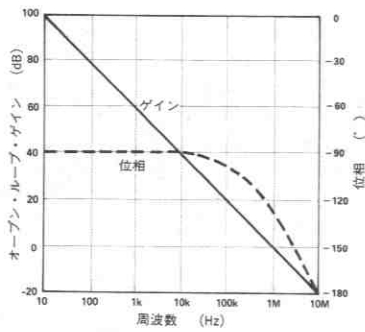


図9. ケルビン接続の利点

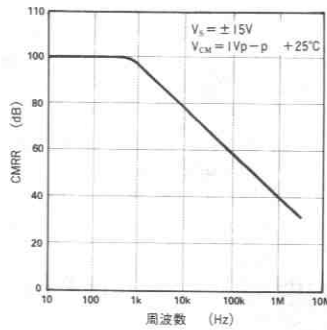
AD688には3個のアンプが内蔵され、ケルビン接続に使用できます。アンプA2はグラウンド・フォース/センス機能に使用されています。多機能アンプA3とA4は他のフォース/センスのために使用することができます。

応用によってはアンプが1つ使用されないことがあります。この場合には使用しないアンプはユニティ・ゲイン・フォロア接続 (フォース・ピンとセンス・ピンをお互いに接続します) とし、この入力にはグラウンドに接続しなければなりません。

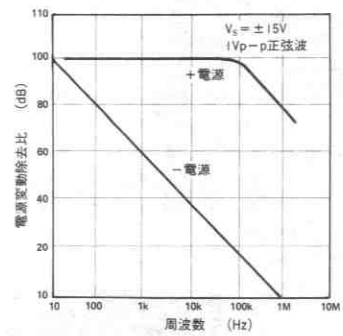
未使用のアンプは他の回路機能のために使用することもできます。アンプA3およびA4の標準的特性を以下に示します。



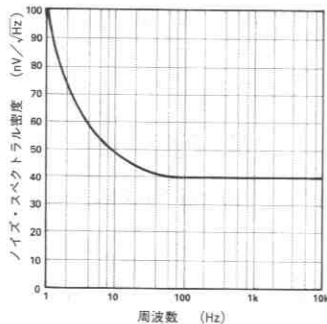
A3とA4のオープン・ループ周波数応答



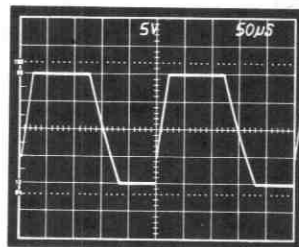
A3、A4の同相除去比の周波数特性



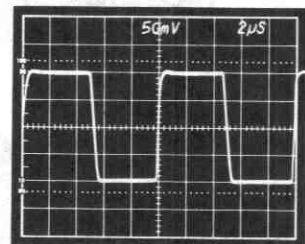
A3、A4の電源変動除去比の周波数特性



入力ノイズ電圧スペクトラル密度



ユニティ・ゲイン・フォロワのパルス
応答 (大信号)



ユニティ・ゲイン・フォロワのパルス
応答 (小信号)

ダイナミック特性

出力バッファ・アンプ (A3とA4) は、AD688に従来の不完全なリファレンスよりも高いスタティックおよびダイナミック負荷安定度を与えるよう設計されています。

多くのA/DおよびD/Aコンバータは過渡電流負荷をリファレンスに与えるため、リファレンスの応答が悪い場合にはコンバータの特性が劣化します。

図10に、0~10mA負荷を駆動する場合のAD688の出力アンプの特性を示します。

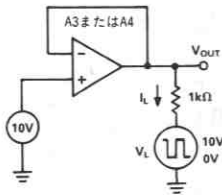


図10a. 過渡負荷試験回路

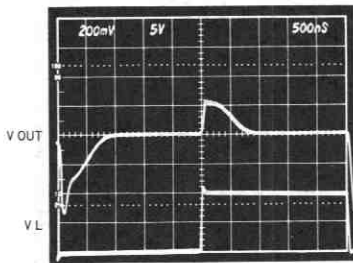


図10b. 大信号過渡応答

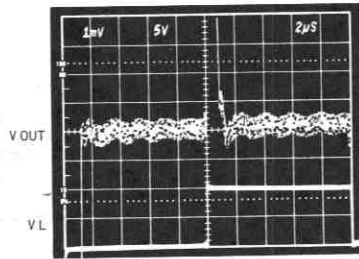


図10c. 小信号過渡応答

複数のコンバータに対する共通のリファレンス源として用いる場合、またはバイポーラ・オフセット電流を供給するために用いる場合のように、5mA~10mAの負荷を駆動する際の出力アンプの特性を図11に示します。

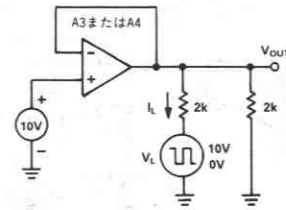


図11a. 過渡および一定負荷試験回路

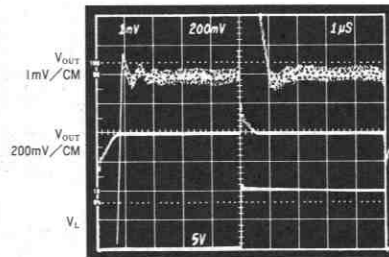


図11b. 5~10mA負荷での過渡応答

応用によっては、AD688に抵抗性および容量性の性質で変化する負荷や、長い容量性のケーブルが接続されます。図12に1000pFと0~10mA負荷を駆動する場合の出力アンプ特性を示します。

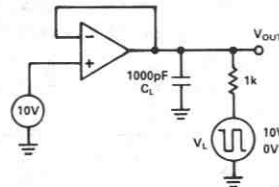


図12a. 容量性負荷の過渡応答試験回路

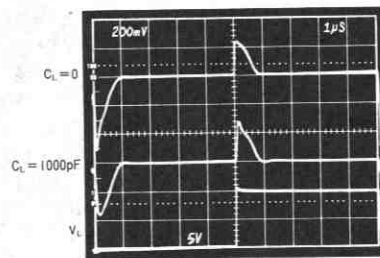


図12b. 容量性負荷時の出力応答

図13に出力アンプ間のクロストーク特性を示します。A3出力は0~10mAの電流ステップ負荷を駆動し、DC結合された10VオフセットのA4出力を上側のトレースで示しています。A4の過渡波形は約1 μ sでセトリングし、負荷も含めたオフセットは約100 μ Vです。

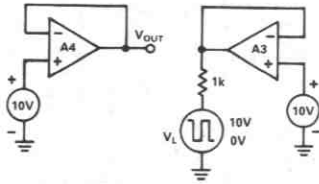


図13a. 負荷クロストーク試験回路

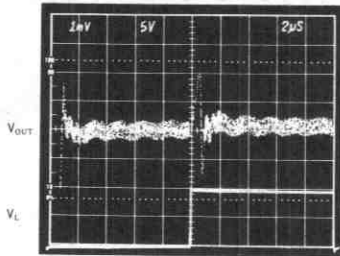


図13b. 負荷クロストーク

図14aのステップ応答特性に示すように、(1000pFよりも)大きな容量性負荷を駆動しようとする時、リングングや発振が生じます。これは負荷容量による追加のポールとアンプ出力インピーダンスにより位相マージンが低下するからです。このような大きな容量性負荷を駆動する推奨方法を図14bに示します。150 Ω の抵抗により出力段と容量性負荷を分離し、10k Ω 抵抗によりDC帰還経路を構成して出力精度を保ちます。1 μ Fのコンデンサにより高い周波数での帰還ループを構成します。この回路の特性を図14cに示します。

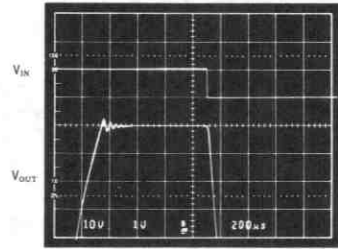


図14a. 出力アンプのステップ応答、 $C_L=1\mu$ F

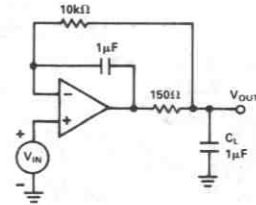


図14b. 容量性負荷の補償回路

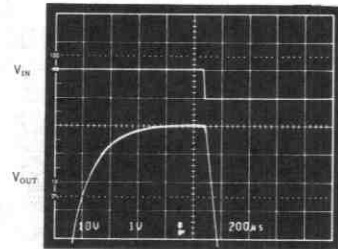


図14c. 図14bの補償回路での出力アンプのステップ応答

ブリッジ・ドライバ回路

代表的なトランスデューサとしてホイートストン(wheatstone)ブリッジがあります。最も簡単な形として、ブリッジは4個の2端子要素を四辺形に接続することで構成され、駆動信号源は片方の対角線に接続され、ディテクタは他方の対角線に接続します。このユニポーラ駆動回路ではブリッジの出力電圧は約 $V_{IN}/2$ に等しいレベルの同相電圧信号に重畳しています。この信号は、計装用アンプや絶縁アンプのような高い同相除去比の方法でさらに処理し制限することが必要です。しかし、ブリッジを1組みのバイポーラ電源で駆動すれば同相電圧は理想的に除去され、あらゆる処理要素に対し制限が緩和されます。

図15に示すようにAD688はバイポーラ・ブリッジ・ドライバ回路の制御素子として最適です。トランジスタQ1とQ2はシリーズ・バス素子として動作し、電流駆動能力を代表値350 Ω のブリッジに必要な57mAまでブーストします。ブリッジのバランスが完全でない場合には、ここでも差動ゲイン段が必要となります。

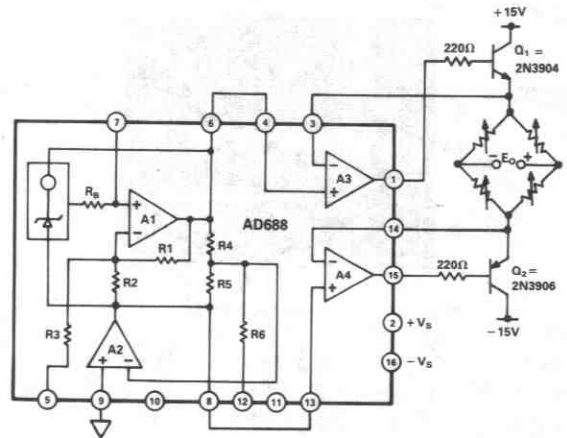


図15. バイポーラ・ブリッジ駆動回路

シグナル・コンディショナ

目次

	ページ
セクション・ガイド	240
AD694 4~20mAトランスミッタ	241

セレクション・ガイド

シグナル・コンディショナ

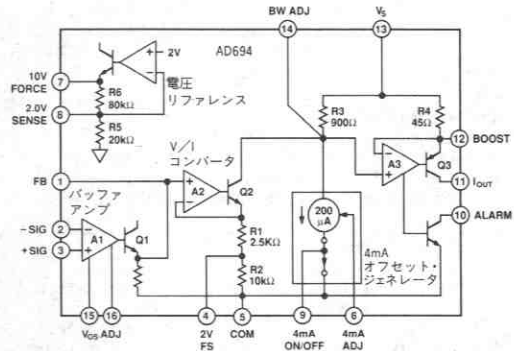
モデル	V/I トランスミッタ			センサ 励起	センサ・タイプ	IC	ハイブリッド モジュール	掲載ページ
	ループ電源	ローカル電源	絶縁					
AD594/AD595					TC	X		D10-16
AD596/AD597					TC	X		D10-24
AD598				X	LVDT	X		D10-30
AD693	X	X		X	mV:すべて	X		D10-46
●AD694		X		X	0-2または10V入力レンジ	X		241
1B21	X		X				X	D10-58
1B22		X	X				X	D10-62
1B31				X	ストレインゲージ		X	D10-66
1B32				X	ストレインゲージ		X	D10-74
1B41			X	X	RTD		X	D10-82
1B51			X		TC, mV		X	D10-86
2B20		X					X	D10-90
2B22		X	X				X	D10-92
2B23		X	X				X	D10-94
2B24	X		X				X	D10-96
2B30					ストレインゲージ, RTD		X	D10-98
2B31				X	ストレインゲージ, RTD		X	D10-98
2B50			X		TC, mV		X	D10-104
2B52	X		X		TC, mV		X	D10-106
2B53	X				TC, mV		X	D10-106
2B54/2B55			X		mV, 4CH		X	D10-108
2B57	X			X	ソリッド・ステート(AD590)		X	D10-112
2B58				X	3線式RTD		X	D10-114
2B59	X			X	2線式RTD		X	D10-116
3Bシリーズ					モジュール型サブシステム, フレキシブル			D10-118
5Bシリーズ					小型, 低価格サブシステム			D10-126
6Bシリーズ					通信機能付きサブシステム			D10-136

注1. Dはデータブック1990/1991本版, PはPrecision Monolithics Divisionデータブック, そしてモデル名に●印のある製品は本データブック追補版に掲載されています。

太字で示すモデルは新規設計に最適な製品です。

特長

- 出力範囲：4~20mA、0~20mA
- 校正済みの入力範囲：0~2V、0~10V
- 高精度電圧リファレンス：2.000Vまたは10.000Vにプログラム可能
- 単一またはデュアル電源動作
- 広い電源電圧範囲：+4.5~+36V
- 広い出力コンプライアンス
- 入力バッファアンプ内蔵
- オープン・ループ・アラーム機能
- オプションの外部バス・トランジスタによる自己発熱誤差の低減
- 非直線性：0.002% typ


機能ブロック図
概要

AD694はモノリシックの電流トランスミッタで、高レベル信号入力に対して、バルブ、アクチュエータやその他のプロセス制御分野で一般的なデバイスを制御するための標準4~20mA電流ループを駆動します。入力信号は入力アンプによってバッファされます。入力アンプは入力信号のスケールリングや電流モードDACからの出力のバッファに用いることができます。校正済みの入力スパン0~2Vと0~10Vの選択は、ピン・ストラップによって容易に行なうことができます。他の入力スパンは外付けの抵抗で設定できます。

出力段のコンプライアンスは V_0 の2V以内まで拡張し、デュアル電源動作時には特殊設計によって出力電圧をコモン以下まで拡張できます。4~20mAループの開状態や出力段が無応答となった場合のアラーム機能が備わっています。

AD694の薄膜抵抗はアクティブ・レーザ・トリミングされており、調整や校正を追加する必要なしに高い精度が得られます。外部バス・トランジスタを追加することで無負荷時の消費電力で使用でき、動作温度範囲を拡張することができます。

AD694は、バルブやアクチュエータその他の制御デバイスの操作や、圧力、温度、流量などのプロセス・パラメータの転送を行なうための、ノイズに強い4~20mA信号伝送が要求されるシステムに最適です。この製品は、産業プロセス制御、ファクトリ・オートメーションおよびシステム監視などの各種の応用におけるディスクリート設計の置換ええとしてお薦めできます。

AD694は、産業用温度範囲-40~+85°Cで仕様規定のハーメチック・シールド16ピン・サーディップおよび0~+70°Cで仕様規定の16ピン・プラスチックDIPパッケージを用意しています。

製品ハイライト

1. AD694は全機能内蔵の電圧入力、4~20mA出力の電流トランスミッタです。
2. ピン・ストラップによってプログラム可能な入力範囲は、0~2Vおよび0~10Vに校正済みです。
3. 入力アンプは入力電圧のバッファやスケールリングに設定可能で、電流出力型DACの出力アンプとしても用いることができます。
4. 出力電圧コンプライアンスは正電源の2V以内およびコモン以下に拡張します。5V電源動作時には、コモンの30V以下まで拡大します。
5. AD694は、単一電源動作の8、10、12ビットのCMOSあるいはバイポーラDACと直接インタフェース可能です。
6. 4mAゼロ電流はTTL制御ピンによってON/OFF可能で、0~20mA動作が可能です。
7. オープン・コレクタのアラームによってオープン・ワイヤによるループ故障や出力段の無応答をアラームします。
8. 外部のバス・トランジスタを駆動するためのモニタ出力が用意されています。無負荷時電力消費により、動作温度範囲を拡大し、自己発熱誤差を低減します。

仕様

(特に指定のない限り、@ +25°C、R_L=250Ω、V_S=+24V)

モデル	AD694JN/AQ			AD694BQ			単位
	Min	Typ	Max	Min	Typ	Max	
入力特性							
入力電圧範囲	-0.2	V _S -2.0V	V _S -2.5V	-0.2	V _S -2.0V	V _S -2.5V	V
入力バイアス電流							
各入力、T _{min} ~T _{max}		1.5	5		1.5	5	nA
オフセット電流、T _{min} ~T _{max}		±0.1	±1		±0.1	±1	nA
オフセット電流ドリフト		±1.0	±5.0		±1.0	±5.0	pA/°C
入力インピーダンス	5			5			MΩ
出力特性							
動作電流範囲	0		23	0		23	mA
仕様性能	4		20	4		20	mA
出力電圧コンプライアンス	V _S -36V		V _S -2V	V _S -36V		V _S -2V	V
出力インピーダンス、4~20mA	40.0	50.0		40.0	50.0		MΩ
出力限界@2×FS オーバードライブ時	24		44	24		44	mA
スルーレート		1.3			1.3		mA/μs
スパンおよびゼロ精度 ¹							
4mAオフセット誤差@0V入力 ²		±10	±20		±5	±10	μA
4.000mAからの誤差、4mAオン		+10	+20		+5	+10	μA
0.000mAからの誤差、4mAオフ	0	±10	±40	0	±5	±20	μA
T _{min} ~T _{max}		±0.3/0.05	0.8/0.4		0.3/0.05	0.8/0.4	μA/V
対電源 (2Vスパン/10Vスパン)							mA
トリム範囲、4mAゼロ	2.0		4.8	2.0		4.8	
スパン							
公称伝達関数							
入力FS=2V		8.0			8.0		mA/V
入力FS=10V		1.6			1.6		mA/V
公称からの伝達関数誤差							
入力FS=2V、10V		±0.1	±0.3		±0.05	±0.15	スパンの%
T _{min} ~T _{max}		±0.002	±0.005		±0.001	±0.0025	スパンの%
対電源		±0.001	±0.005		±0.001	±0.005	スパンの%
非直線性 ³		±0.005	±0.015		±0.001	±0.005	スパンの%
4mAオン：ピン9最大電圧			0.8			0.8	V
4mAオフ：ピン9最小電圧	2.0			2.0			V
電圧リファレンス							
出力電圧：10Vリファレンス	9.960	10.000	10.040	9.980	10.000	10.020	V
出力電圧：2Vリファレンス	1.992	2.000	2.008	1.996	2.000	2.004	V
T _{min} ~T _{max}		30	50		20	30	ppm/°C
対出力インピーダンス、							
V _{REF} =2V、10V		0.15	0.50		0.15	0.50	mV/mA
対電源、V _{REF} =2V、10V		±0.001	±0.005		±0.001	±0.005	%/V
出力電流							
ソース	5			5			mA
シンク		0.2			0.2		mA
アラーム特性							
V _{CE(SAT)} @2.5mA		0.35			0.35		V
漏れ電流			±1			±1	μA
最大アラーム電流		20			20		mA
電源							
仕様性能		24			24		V
動作範囲							
2VFS、V _{REF} =2V	4.5		36	4.5		36	V
2V、10VFS、V _{REF} =2V、10V	12.5		36	12.5		36	V
無負荷時電源電流、4mAオフ		1.5	2.0		1.5	2.0	mA
温度範囲							
仕様性能 ⁴ AD694AQ/BQ	-40		+85	-40		+85	°C
AD694JN	0		+70	0		+70	°C
動作 AD694AQ/BQ	-55		+125	-55		+125	°C
AD694JN	-40		+85	-40		+85	°C

モデル	AD694JN/AQ			AD694BQ			単位
	Min	Typ	Max	Min	Typ	Max	
バッファ・アンプ ⁵							
入力オフセット電圧							μV
初期オフセット		± 150	± 500		± 50	± 500	$\mu\text{V}/\text{C}$
$T_{\min} \sim T_{\max}$		± 2	± 3		± 2	± 3	dB
対電源	80	90		80	90		dB
対同相モード	80	90		80	90		mV
トリム範囲		± 2.5	± 4.0		± 2.5	± 4.0	
周波数応答							
ユニティ・ゲイン、小信号		300			300		kHz
入力電圧ノイズ (0.1-10Hz)		2			2		$\mu\text{V}_{\text{P-P}}$
オープン・ループ・ゲイン							
$V_o = +10\text{V}$, $R_L \geq 10\text{k}\Omega$		50			50		V/mV
出力電圧@ピン1, FB ¹							
V_{OL}		1.0	10		1.0	10	mV
V_{OH}	$V_s - 2.5\text{V}$	$V_s - 2\text{V}$		$V_s - 2.5\text{V}$	$V_s - 2\text{V}$		V

- 注
- AD694の単一電源オペアンプにはプルダウン電流がないため、出力は0.000Vまで達しません。このため、スパン、オフセットおよび非直線性は入力アンプがそのリニア・レンジで動作している状態での仕様です。試験に用いた入力電圧は、2つの校正済み入力範囲に対して5mV~2Vおよび5mV~10Vです。スパンおよびゼロ精度の試験は、バッファ・アンプをフォロー設定として行っています。
 - 4mA出力および0mA出力のオフセットは、5mVおよびフルスケール入力での測定値から0.000V入力に外挿した値です。注1を参照。
 - 非直線性は、伝達関数のエンドポイントを通過する直線からの出力の最大偏差で、スパンの%として仕様が規定されています。
 - デバイスは、これらの温度においてバス・トランジスタとともに試験されています。動作の許容温度範囲は内部の電力消費に依存します。絶対最大接合温度およびケース温度を越えないようにします。「電力消費について」の項を参照してください。
 - リファレンスに対するバッファアンプの仕様です。バッファアンプのオフセットおよびドリフトは、スパンおよびゼロ精度の仕様に含まれています。
 - 電圧リファレンスはボックス・メソッドによって保証されています。温度全域での電圧リファレンス出力は、振幅が温度範囲、高さが最大温度係数と°Cで表現した温度スパンを乗じてできる長方形内に収まります。

仕様は予告なしに変更することがあります。

絶対最大定格

電源電圧	+36V
$V_s \sim I_{\text{OUT}}$ 間	+36V
入力電圧、(入力ピン2または3)	-0.3~+36V
リファレンスのコモンへの短絡	無制限
アラーム電圧、ピン10	+36V
4mA調整、ピン6	+1V
4mAオン/オフ、ピン9	0~36V
保管温度範囲	
AD694Q	-65~+150°C
AD694N	-65~+125°C
リード温度、ハンダ付け10秒間	+300°C
最大接合温度	+150°C
最大ケース温度	
プラスチック・パッケージ (N)	+125°C
サーディップ・パッケージ (Q)	+125°C

トランジスタ数.....アクティブ・デバイス75個
サブストレートの接続Com、ピン5

温度特性

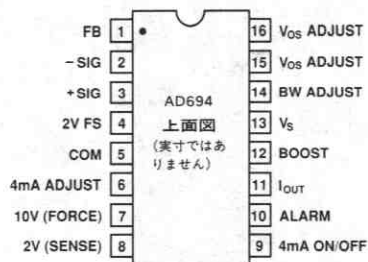
プラスチック (N) パッケージ: $\theta_{\text{JC}} = 50^\circ\text{C}/\text{W}$
 θ_{CA} (静止エア) = $85^\circ\text{C}/\text{W}$
サーディップ (Q) パッケージ: $\theta_{\text{JC}} = 30^\circ\text{C}/\text{W}$
 θ_{CA} (静止エア) = $70^\circ\text{C}/\text{W}$

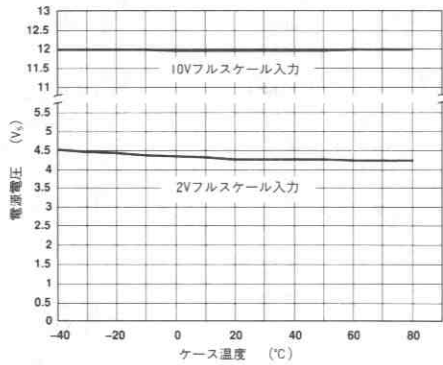
ESD

すべてのピンは定格で最小4000V保護に対して規定されていますが、ピン2、3、9については定格で最小1500Vとなっています。ESD試験は人体モデルに準拠しています。常にESD対策を行ってください。

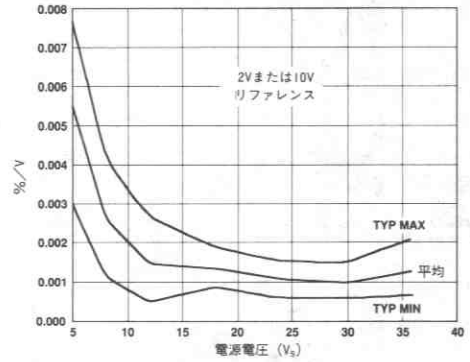
I_{OUT} (11)、 $\pm\text{SIG}$ (2)、(3)を除くすべてのピンはCOM (5)よりも負電位にすることはできません。すべてのピンを V_s (13)よりも正電位にすることはできません。

ピン配置

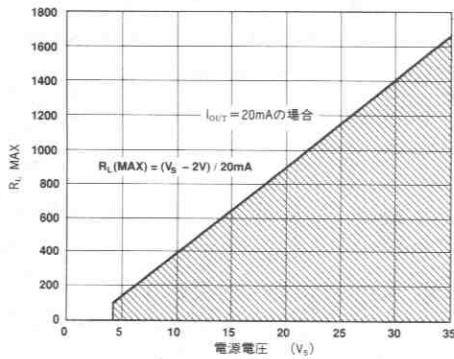




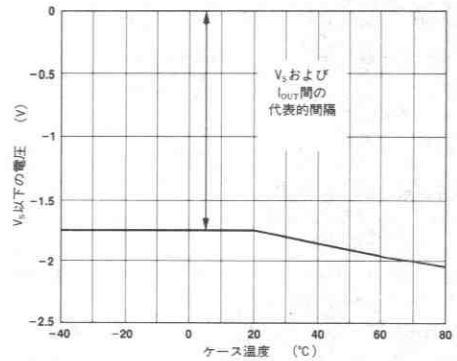
2Vおよび10Vフルスケールでの代表的な最小電源電圧対温度



電圧リファレンスの電源変動除去比



R_oの最大値対電源電圧

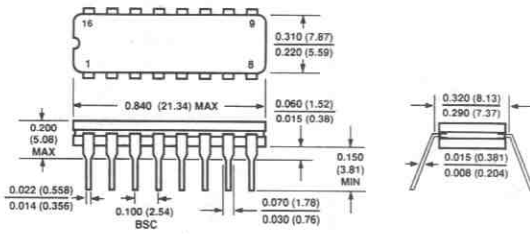


I_{OUT} : 電圧コンプライアンス対温度

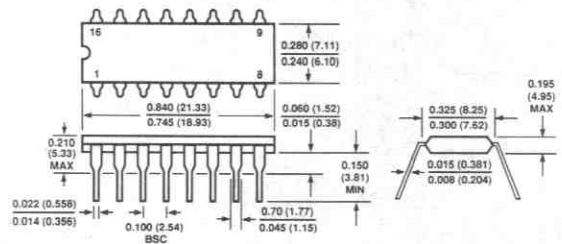
外形サイズ

サイズはインチと (mm) で示します。

16ピン・サーディップ



16ピン・プラスチックDIP



機能の説明

AD694の動作は、構成する回路を3つの機能単位に分割することによって理解することができます(図1参照)。第1に、単一電源の入力アンプにより、高レベルのシングル・エンド入力信号がバッファされます。バッファアンプは、第2のセクションである、信号に応じて0~16mAの電流を生成する電圧-電流(V/I)コンバータを駆動します。

第3のセクションは、電圧リファレンスおよびオフセット・ジェネレータであり、4mAのオフセット電流信号を供給します。

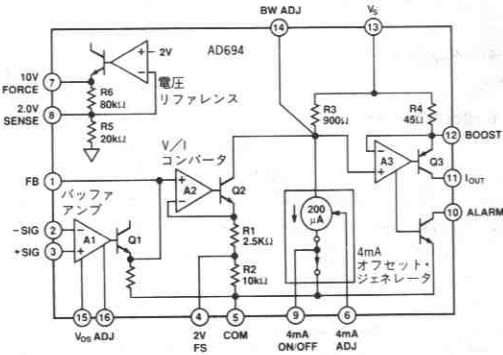


図1. 機能ブロック図

バッファアンプ

バッファアンプは単一電源のアンプで、ユニティゲイン・バッファ、電流出力D/Aコンバータの出力アンプ、あるいは低レベル信号の増幅のためのゲイン・ブロックとして用いられます。このアンプのPNP入力段は、グラウンドの数100mV以下からV_Sの2.5V以内まで拡張する同相モード範囲をもっています。アンプのクラスA出力はピン1(FB)に現われます。アンプがフォロワとして動作しているとき、出力範囲は同相の約1mV以上からV_Sの2.5V以内まで拡張されます。このアンプは最大5kΩの負荷までのソースとすることができますが、シンクとする場合にはアンプ内部の10kΩプルアップ抵抗が許容する範囲に限られます。

V/Iコンバータ

グラウンド基準で、バッファアンプからの入力信号はA2によって0~0.8mAの電流に変換され、正の電源にレベルシフトされます。そして、カレント・ミラーはこの信号をファクター20で乗じ、0~16mAの信号電流を生成します。これによって、出力段は負荷を正電源(V_S)の2V以内まで駆動可能となります。アンプA2は、ダーリントン・トランジスタQ2を駆動することによって、ピン1の電圧を抵抗R1とR2の両端にかけます。高ゲインのダーリントン・トランジスタのコレクタおよび抵抗R3(900Ω)に、抵抗電流が流れます。A3は、45Ω抵抗に電流ゲイン20を得るためレベル・シフト信号をかけます。したがって、V/Iコンバータ段の伝達関数は、

$$I_{OUT} = (20 \times V_{(PIN1)}) / (R1 + R2)$$

となり、0~10Vの入力に対して0~16mAの出力スイングが得られます。ピン4(2V FS)をグラウンドに接続することによってR2は外され、2Vフルスケール入力について16mAの出力スパンが得られます。

V/Iコンバータの出力段の構造はユニークなものであり、I_{OUT}ピ

ンはこのデバイスのコモン(サブストレート)電位以下の負荷を駆動できます。出力トランジスタは常に正電源(V_S)の36V以下までの負荷を駆動できます。オプションのNPNバス・トランジスタを付加することで、ほとんどの電力消費をチップ外に移すことが可能になり、動作温度範囲を拡張することができます。

出力段は約38mAに電流制限されており、入力におけるオーバドライブから出力を保護しています。V/Iコンバータは約24mAまでリニアに動作します。また、V/Iコンバータにはオープン・コレクタのアラーム(ピン10)が用意されており、I_{OUT}ピンでの開ループ状態やV_S-2V以上の電圧での出力の駆動に対して警告します。

4mAオフセット・ジェネレータ

この回路は、電圧リファレンスからの一定の電圧を約200µAの一定電流に変換しています。この電流はピン14(BW調整)の信号電流に加算され、I_{OUT}での一定な4mAのオフセット電流となります。4mA Adj(ピン6)によって、オフセット電流を2~4.8mAの任意の電流に調整できます。ピン9(4mA On/Off)は2.0V以上の場合オフセット電流を完全にシャットオフし、AD694は0~20mA動作となります。通常の4~20mA動作の場合には、ピン9はグラウンドに接続しておきます。

電圧リファレンス

2Vまたは10Vの電圧リファレンスは、ユーザの応用回路で用いることも可能であり、電圧はピン・ストラップによって指定します。10Vの電圧リファレンスは、電源電圧が12.5V以上の場合に使用可能で、2V出力は4.5~36Vの電源電圧範囲の全域で使用できます。電圧リファレンスは、ユーザの応用回路に対して5mAまで流すことができます。ブースト・トランジスタを付加することで、2Vモードでの電流駆動能力を向上させることができます。

AD694の使用

AD694はデュアル電源または単一電源動作のいずれでも容易に用いることが可能で、最小4.5V、最大36V電源で動作します。以下の項では、異なる接続形態および調整方法について説明します。

表1は、選択できる接続方法を示しています。

入力範囲	出力範囲	電圧リファレンス	V _S 最小値	ピン9	ピン4	ピン8
0~2V	4~20mA	2V	4.5V	ピン5	ピン5	ピン7
0~10V	4~20mA	2V	12.5V	ピン5	開	ピン7
0~2.5V	0~20mA	2V	5.0V	≥2V	ピン5	ピン7
0~12.5V	0~20mA	2V	13.0V	≥2V	開	ピン7
0~2V	4~20mA	10V	12.5V	ピン5	ピン5	開
0~10V	4~20mA	10V	12.5V	ピン5	開	開
0~2.5V	0~20mA	10V	12.5V	≥2V	ピン5	開
0~12.5V	0~20mA	10V	13.0V	≥2V	開	開

表1. AD694の校正済み範囲

基本接続：フルスケール10V、12.5V単一電源動作

図2は、+12.5V電源、10V入力スパン、4~20mA出力スパンおよび10V電圧リファレンスでの基本動作に必要な最小接続構成を示しています。FB(ピン1)を-Sig(ピン2)に接続することで、バッファアンプはV/Iコンバータを駆動する電圧フォロワ構成となっています。4mAのオフセット電流を許可するために、4mA On/Off(ピン9)はグラウンド(ピン5)に接続されています。AD694が駆動可能な最大負荷は、R_L=[V_S-2V]/20mAであるため、電源電圧12.5Vにおける最大負荷は525Ωとなります。

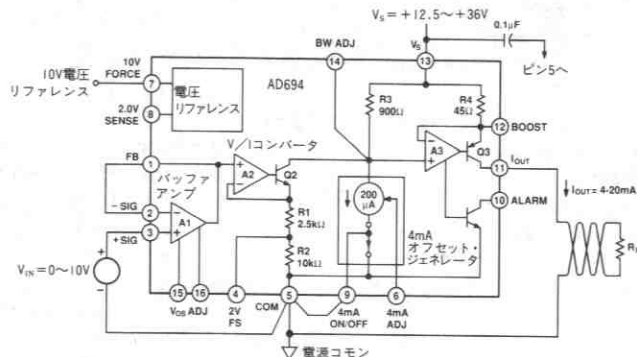


図2. 0~10Vシングルエンド入力、4~20mA出力、10Vリファレンス出力の最小接続構成

2Vフルスケール入力の指定

2Vフルスケール動作を指定するには、ピン4 (2V FS)、ピン5 (Common) をショートします。この接続の配線は、なんらかの寄生抵抗によって校正済みのスパン精度に影響がでないようにできる限り短くします。

2V電圧リファレンスの指定

電圧リファレンスを2V出力を設定するためには、ピン7、ピン8 (10V Forceを2V Sense) をショートします。必要に応じて2Vリファレンスをリモート・フォース・アンド・センス接続とすることができます。このとき2V Senseラインには、ワイヤ線が長い場合オフセット誤差が生じる可能性がある100μAの定電流が流れていることに注意してください。2Vリファレンス動作は、電源電圧が4.5V以上ならば常に指定することができます。

2Vモードの場合には、NPNベース・トランジスタを付加することで、2Vリファレンスの電流駆動能力を向上させることができます。10V ForceピンをNPNのベースに、2V SenseピンをNPNのエミッタに接続します。これによって、 V_s の最小値は約0.7V増加します。

4.5V単一電源動作

+4.5V電源での動作では、内部のアンプの動作に必要な2.5Vの余裕を与えるために入力スパンおよび電圧リファレンス出力は制限されます。この動作モードは、先に述べた方法でAD694のフルスケール入力を2Vとし、電圧リファレンス出力を2Vに調整することで選択されます。

一般的な設計ガイド・ライン

すべての応用回路において、 V_s (ピン13) からCom (ピン5) の間に0.1μFのデカップリング・コンデンサを接続することをお勧めします。非抵抗性の出力負荷を接続する場合には部品を追加する必要があります。「非抵抗性負荷の駆動」の項を参照してください。バッファアンプのPNP入力をコモン(-0.3V)以上にすべきではありません。このようにした場合には、大電流を流し始めてしまいます。このような状態が発生する危険がある場合には、入力入力保護抵抗を付加してください。バッファアンプの出力のピン1 (FB) は短絡から保護されていません。アンプに信号が存在する状態でこのピンをグラウンドまたは V_s に短絡すると、アンプが損傷することがあります。入力信号によってピン1 (FB) を直接駆動すべきではなく、常にバッファアンプによって入力信号をバッファしてください。

非抵抗性負荷の駆動

AD694は、抵抗性負荷を駆動する際に安定であるように設計されています。図3に示すように、0.01μFのコンデンサを I_{OUT} (ピン11) からCom (ピン5) の間に接続すると、誘導性または定義のあやふやな負荷を駆動する際のAD694の安定性が保証されます。このコンデンサは、負荷の特性になんらかの不確実性がある場合にお勧めします。

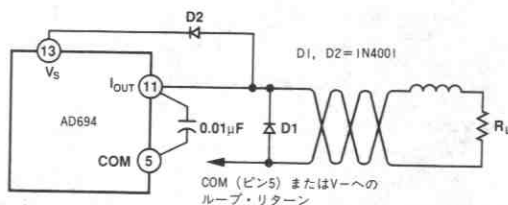


図3. 非抵抗性負荷を駆動する際に利用されるコンデンサ、誘導性負荷を駆動する際に用いる保護ダイオード

誘導性負荷を駆動する際には保護回路を追加することをお勧めします。図3に示す2つの保護ダイオードD1およびD2は、 V_s を越えたりコモン以下となりAD694を損傷する恐れのある電圧スパイクに対する保護のために付加されています。これらのダイオードは0.01μFのコンデンサとともに使用します。オプションのNPNトランジスタを用いる場合には、コンデンサとダイオードはピン11ではなく、NPNのエミッタに接続します。

0~20mA動作

AD694は、4mA On/Offピンによって4mAのオフセット電流を取除くことにより、0~20mAの出力範囲で動作します。通常の4~20mA動作では4mA On/Off (ピン9) はグラウンドに接続し、4mAのオフセット電流を許可します。ピン9を4Vまたはそれ以上の電位に接続することで4mAのオフセット電流が禁止されるため、オフセット電流を取除く際には、ピン9を2Vまたは10Vの電圧リファレンスに接続します。0~20mAモードでは入力スパンが20%増加するため、2Vおよび10Vの校正済み入力スパンは2.5Vおよび12.5Vとなります。それぞれのスパンにおける最小電源電圧は5Vおよび13Vに増加します。

また4mA On/Offピンは、アンスティック・バルブやアクチュエータの「ジグル・ピン」として、または、4~20mAループをシャットオフするための方法として用いることもできます。ただし、このピンは信号電流ではなく、4mAのオフセットを取除くだけであることに注意してください。

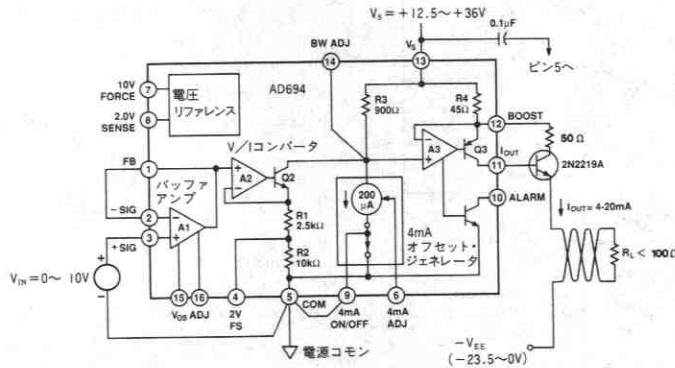


図4. 自己発熱誤差を最小化する外部バス・トランジスタの使用:
デュアル電源動作

デュアル電源動作

図4はデュアル電源動作時のAD694を示しています。(注: 図にはバス・トランジスタが示されていますが、デュアル電源動作では不要です。)AD694は最小4.5Vの正電源で完全に動作します。出力段のユニークな構造により、 I_{OUT} ピンは負電源電圧まで共通以下にすることができます。出力段は正電源電圧の36V以下の点まで電流を流すことができます。例えば、+12.5V電源で動作している場合、AD694は共通の23.5V以下の点まで電流を流すことができます。この機能によって、トランジスタが駆動できる負荷を増加させながら、グラウンドやレベル・シフトの問題を解除できるため、デュアル電源のD/Aコンバータとのインタフェースが簡単です。共通の-0.3V以下に拡張できるピンは、 I_{OUT} ピンのみであることに注意してください。

バス・トランジスタ付きの動作

AD694は、他のアクティブ素子の追加なしに動作できるスタンドアロンの4~20mAコンバータです。しかしながら図4に示すように、 I_{OUT} を外部NPNバス・トランジスタのベースに接続する用意がされています。これによって電力消費の大部分がチップ外に追い出され、性能の向上や動作温度範囲の拡大が可能になります。ただし、正の出力電圧コンプライアンスは、バス・トランジスタの V_{BE} に等しい約0.7Vの低減を受けることに注意してください。

使用する外部バス・トランジスタは、 BV_{CEO} が電源電圧よりも大きく、電源電圧において25mAの連続動作のための十分な電源性能を備えている必要があります。20mAのエミッタ電流において、 f_t は10~100MHzの範囲内にあり、 β は10以上である必要があります。外部バス・トランジスタにはヒート・シンクを行ってください。

電力消費について

AD694は外部バス・トランジスタを用いることなく全仕様温度範囲で仕様が規定されています。しかしながら、電源電圧と電圧リファレンス負荷の組み合わせによって絶対最大電力消費を超過する可能性があります。絶対最大消費を越える場合があるかどうかを判断するために、AD694の内部電力消費を算出することができます。チッ

プ温度が150°C以上になってはいけません。

全電力消費 (P_{TOT}) は内部アンプでの消費P (Standing)、電圧リファレンスでの消費P (V_{REF}) および電流出力段での消費P (I_{OUT}) の合計であり、以下のように表すことができます。

$$P_{TOT} = P(\text{Standing}) + P(V_{REF}) + P(I_{OUT})$$

ここで、

$$P(\text{Standing}) = 2\text{mA}(\text{最大}) \times V_S$$

$$P(V_{REF}) = (V_S - V_{REF}) \times I_{VREF}$$

$$P(I_{OUT}) = (V_S - V_{OUT}) \times I_{OUT}(\text{最大})$$

I_{OUT} (最大) は予期される最大の動作電流またはAD694のオーバードライブ電流です。

バス・トランジスタが用いられている場合には、 $P(I_{OUT})$ は $(2V \times I_{OUT})$ に低下します。

定義

V_{REF} = リファレンスの出力電圧

I_{VREF} = リファレンスの出力電流

V_S = 電源電圧

V_{OUT} = I_{OUT} ピンでの電圧。

P_{TOT} には適切な安全ファクターを付加してください。

接合温度は次式によって算出することができます。

$$T_J = P_{TOT}(\theta_{JC} + \theta_{CA}) + T_{AMBIENT}$$

θ_{JC} はチップとパッケージ(ケース)間の熱抵抗、 θ_{CA} はケースとその周囲環境間の熱抵抗で、その特性はケースと周囲の熱結合によって決まります。

例えば、サーディップ・パッケージのAD694が $V_S = 24V$ 、50°Cで動作し、10Vのリファレンスに1mAの負荷がかかっているとします。そして、 I_{OUT} がグラウンドに接続され、 I_{OUT} の最大値が20mAとします。その場合の内部消費は以下のようになります。

$$P_{TOT} = 2\text{mA} \times 24V + (24V - 10V) \times 1\text{mA} + (24V - 0V) \times 20\text{mA} \\ = 48\text{mW} + 14\text{mW} + 480\text{mW} = 542\text{mW}$$

仕様表の値に従って、 θ_{JC} を30°C/W、 θ_{CA} を70°C/Wとした場合、接合温度は以下のようになります。

$$T_J = 542\text{mW}(30^\circ\text{C/W} + 70^\circ\text{C/W}) + 50^\circ\text{C} = 104.2^\circ\text{C}$$

したがって、接合温度は安全な領域にあります。

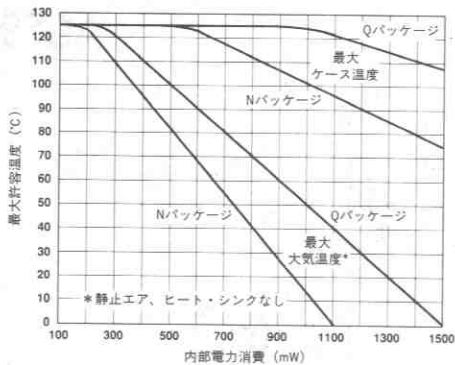


図5. 内部電力消費 (mW)

内部電力消費は、エア・フローあるいはヒート・シンクを用いることによって θ_{CA} の値を小さくするか、あるいは外部バス・トランジスタを用いることによってAD694の P_{TOT} を減少させることによって低減することができます。図5は消費電力のレベルに応じた最大ケース温度および静止エアの温度を示しています。

調整の手順

以下の項では、出力電流オフセット、スパンおよび電圧リファレンスを調整する方法を説明します。

4mAゼロ調整

4mAゼロ電流は2~4.8mAの範囲にわたって大入力信号オフセットに応じて調整することが可能で、ゼロ電流での微調整も可能です。ゼロ調整は、ピン6 (4mA Adj) をプルアップまたはプルダウンすることにより定常オフセット電流を増加または減少させることによって行います。4mA Adj (ピン6) を1V以上の電圧で駆動してはいけません。図6に示す回路構成によって、一定の限度内ではほぼ線形なオフセット調整を行うことができます。正確な抵抗値を得るためには、まず求める調整範囲についての4mAの分数としてXを選択します。以下に示す近似式のこの値を、選択されたリファレンス出力電圧 ($V_{REF}=2V$ または $10V$) によって置換え、必要な抵抗値を決定します。

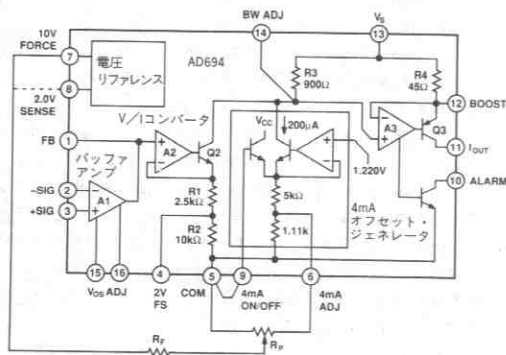


図6. 外部4mAゼロ調整

$$R_P = 180\Omega (1/X - 4.5)$$

$$R_F = 500\Omega [(V_{REF}/1.22V) - 0.18 - 0.82X] [1/X - 4.5]$$

これらの式は $\pm 10\%$ の内部抵抗の許容誤差範囲を含んでおり、4mAオフセットでの最小調整範囲を保証しています。例えば、2Vリファレンスを指定したとします。X=0.05を選択することによって、4mAオフセットに対して $\pm 5\%$ の調整範囲が得られます。

$$R_P = 180\Omega (1/0.05 - 4.5) = 2.79k\Omega$$

$$R_F = 500\Omega [(2V/1.22) - 0.18 - 0.82 \times 0.05] [1/0.05 - 4.5] = 10.99k\Omega$$

これらの値は、より使いやすい2.5k Ω と9.76k Ω に丸めることができます。一般に、 R_P の値を若干小さく丸めた場合には、 R_F の値も比例して丸めます。その逆の場合も同様です。これによって調整範囲は均衡します。

10Vフルスケール時のスパンの調整

AD694が入力フルスケール10Vに設定されている場合、図7に示すネットワークによってスパンを調整できます。この手法によって、定常値以上または以下のスパンをほぼリニアに調整できます。スパンの調整は4mAオフセットには影響しません。 R_S および R_T を決めるために、スパンの分数として求める調整範囲Xを選択します。以下の近似式にこの値を代入します。

$$R_T = 1.8k\Omega ((1-X)/X)$$

$$R_S = 9k\Omega [1 - 0.2(1+X)(1-X)]/2X$$

これらの式には内部スパン抵抗のもつ $\pm 10\%$ の絶対抵抗許容誤差範囲を含んでおり、スパンの最小調整範囲を保証しています。例えば、調整範囲として $\pm 2\%$ または0.02を選択した場合には以下のようになります。

$$R_T = 1.8k\Omega ((1-0.02)/0.02) = 88.2k\Omega$$

$$R_S = 9k\Omega [1 - 0.2(1+0.02)(1-0.02)] / (2 \times 0.02) = 175.5k\Omega$$

これらの値は、より使いやすい100k Ω と198k Ω に丸めることができます。一般に、 R_T を丸めることによって大きな値にした場合には、それに比例して R_S も丸めることで大きな値とします。逆の場合も同様です。

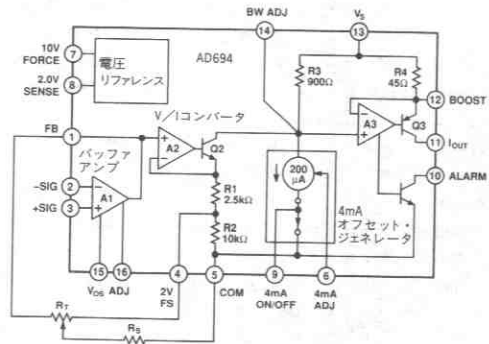


図7. 10Vフルスケールでのスパン調整

2Vフルスケール時のスパン調整

校正済みの2Vフルスケール範囲では、AD694の単一電源動作からの特性により異なる調整手法が必要となります。図8は、定常値の正または負について2Vスパンをほぼリニアに調整するための回路を示しています。このスパン調整は4mAオフセット電流値には影響を与えません。

正確な抵抗値を得るため、まず求める出力スパン調整範囲の分数であるXを選択します。そして、この値を以下の式に代入します。

$$R_A = 2 \times R_B \text{ ここで、 } R_B \text{ は } 5k \text{ 以上}$$

$$R_C = (2.75k\Omega \times X) / (1 - 0.275X)$$

これらの式には、内部スパン抵抗のもつ±10%の絶対抵抗許容誤差範囲が含まれており、スパンの最小調整範囲を保証しています。

例えば、調整範囲としてフルスケールの±320μAまたは±2%、X=0.02を選択した場合、以下のようになります。

$$R_B \text{ の設定値} = 10k \text{ とすると、 } R_A = 2 \cdot (0.02) \times 10k\Omega = 400\Omega$$

$$R_C = (2.75k\Omega \times 0.02) / (1 - 0.275 \times (0.02)) = 55.3\Omega$$

R_Cの値は、より使いやすい49.9Ωにまるめることができます。一般に、R_Aの値がまるめることによって大きくなった場合には、それに比例してR_Cの値もまるめることによって大きくなります。逆の場合も同様です。まるめることで大きな値にすると、調整範囲が増加します。

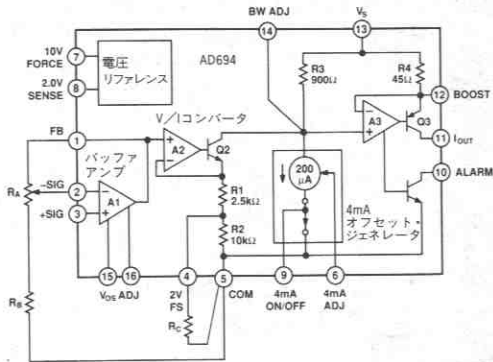


図8. 2Vフルスケールでのスパン調整

他のスパンのプログラミング

10V以下の入力スパンをプログラミングするためには、2つの手法があります。第1の手法は、バッファアンプへの非反転ゲインをプログラミングすることにより入力スパンを制限することです。例えば、0~5Vの入力スパンを実現するためにAD694を10Vフルスケール・モードに設定し、抵抗を2つ追加することでバッファアンプをゲイン2の非反転構成とします。このとき、+Sigの5V信号は、V/Iコンバータの入力であるFB (ピン1) での、10Vフルスケール信号となります。この手法では、V/Iは入力スパンを2~10Vの10Vフルスケールにプログラムする必要があります。2V以下の入力スパンが必要な場

合には、2Vフルスケールにプログラムします。この調整方法でのスパン調整の精度は、必要となるゲイン抵抗比の精度に依存します。したがって、抵抗の比が十分に正確ならば、トリム用のポテンショメータを用いずに2Vまたは10V以外のスパンを正確に設定することが可能です。2~10Vのスパンでは12.5Vの電源電圧が必要です。2V以下のスパンでは、V_Sは4.5V以上とします。

第2の手法では、12.5V以下の電源電圧において10V以下のスパンをプログラムすることができます。AD694のアンプは動作のために2.5Vの余裕が必要であり、5Vフルスケール入力では7.5V電源において可能になります。この手法は、R2 (2V FS (ピン4) からCom (ピン5)) と並列に抵抗を接続し、余裕を損なうことなくV/Iコンバータのトランスコンダクタンスを調整することによって実現できます。この手法の欠点は、外部抵抗が内部抵抗に正確にマッチングしている必要があることで、スパンのトリムが不可欠となります。内部抵抗R2の絶対値の±10%の不確かさを許容する値を選択すべきです。

リファレンス出力の調整

図9は、10Vのリファレンス出力を微調整する方法の一つを示しています。この回路のリニアな調整範囲は±200mVです。2Vリファレンスも調整可能ですが、正電位方向のみしか調整できません。

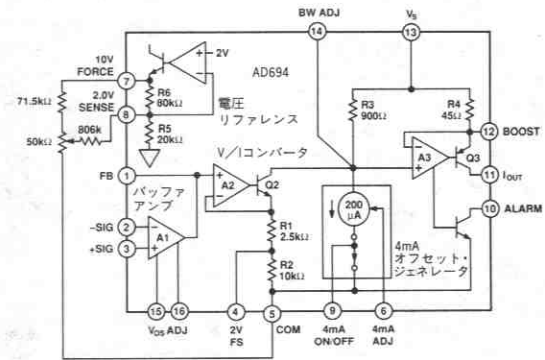


図9. 10Vリファレンスの出力調整

外部抵抗の追加で他のリファレンス電圧をプログラムすることができます。例えば、リファレンス出力を20Vまでブーストするために、R5と並列に抵抗を追加することができます。逆に、R6と並列な抵抗によってリファレンス電圧を2~10Vの間の値にすることができます。出力電圧V_{REF}は次のような値となります。

$$V_{REF} = 2V \cdot (R6 + R5) / R5$$

外部調整抵抗を選択する際には、内部抵抗の精度は高精度にマッチングしており、絶対抵抗許容誤差範囲はわずか±10%であることに注意してください。校正済みの値である2Vまたは10V以外に正確な電圧が必要な場合には、この補償を行ってください。

帯域幅の制御

AD694の帯域幅は、ノイズのフィルタを行うために制限することができます。この制限は、図10に示すように外部コンデンサをBW ADJ (ピン14) と V_S (ピン13) の間に接続することで行います。帯域幅をプログラムするためには、Hzで表現した帯域幅を以下に示す式に代入し、必要な容量を得ます。

$$C = 1F \text{ Hz } \Omega / (2\pi \cdot 900\Omega \text{ BW})$$

選択された帯域幅は、内部抵抗の許容誤差範囲に応じて $\pm 10\%$ 変化し、コンデンサの許容誤差範囲に応じてさらに変化します。

この帯域幅制御の方法は、入力信号内の高周波トランジェントのフィルタリングには不向きです。バッファアンプの帯域幅以上の周波数は、入力アンプによるノイズの整流を避けるため入力フィルタによって取除いておくべきです。

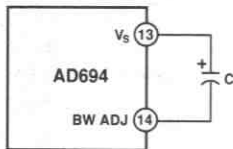


図10. 外部コンデンサによるノイズ・フィルタリング

バッファアンプのオフセット調整

バッファアンプの入力電圧オフセットは高い精度にレーザ・トリミングされていますが、オフセットのトリムが必要となる場合もあります。図11は調整の方法を示しています。この方法によって ± 2.5 mV以上の範囲をトリムすることができます。トリムによってバッファアンプにオフセット・ドリフトが誘導されるため、この調整方法によって4mAオフセット電流に影響を与えてはいけません。バッファアンプは、 $300\mu\text{V}$ のオフセットが誘導されるごとに、ほぼ $1\mu\text{V}/^\circ\text{C}$ のドリフトを生じます。4mAオフセット電流の調整は、「ゼロ調整」の項を参照してください。

アラーム回路

AD694は、 I_{OUT} (ピン11) が開ループ状態にある場合や、 I_{OUT} の電圧を $V_S - 2\text{V}$ 以上の電圧で駆動しようとした場合に警告を発するためのアラーム回路を備えています。制御不能状態が検出された場合、アラーム・トランジスタはプルダウンされます。アラーム電流は約20mAに制限されています。

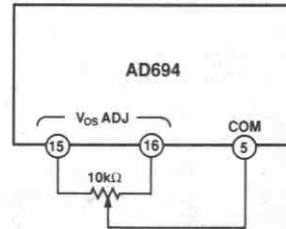


図11. バッファアンプの V_{os} の調整

図12は代表的な応用回路を示しています。D/AシステムではアラームはコントローラにTTL信号を供給することができます。アラーム・トランジスタのコレクタは、 $20\text{k}\Omega$ のプルアップ抵抗を通してシステム・ロジック電源に接続されています。通常の動作ではオフになっており、アラーム・ピンの電圧はHIです。 I_{OUT} (ピン11) からのワイヤがオープンとなった場合、または過大な入力のオーバドライブによって I_{OUT} が V_S に接近し過ぎた場合、アラーム・ピンはLOWに駆動されます。この設定は、CMOSまたはTTLロジック・レベルと互換性があります。アラーム・トランジスタによってLEDや他のインジケータを直接駆動することもできます。

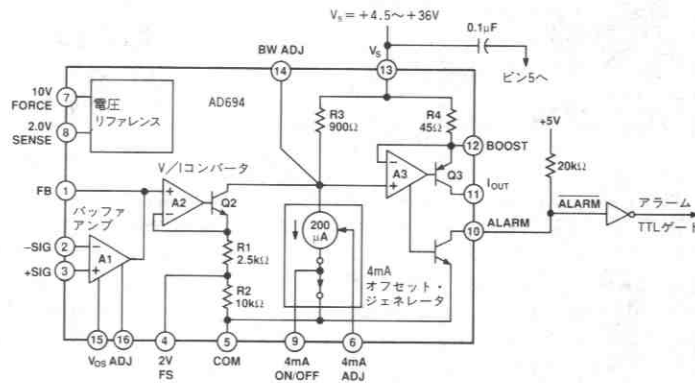


図12. アラームによるTTLゲートの駆動

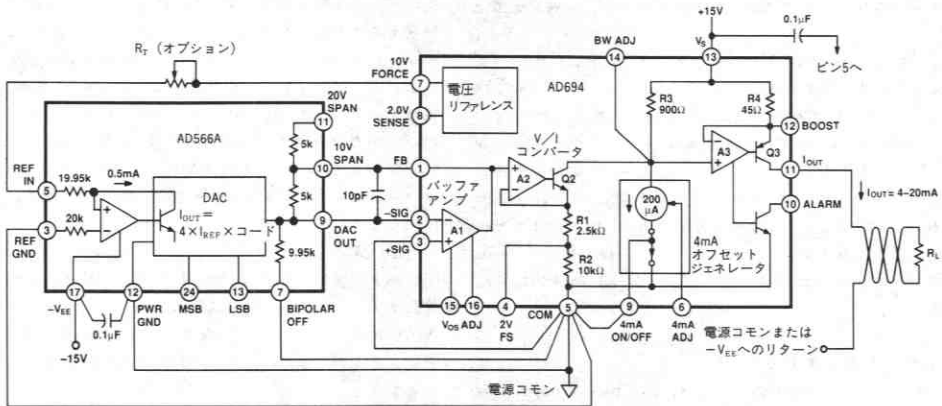


図13. 電流ステアリングDACを用いたデジタル4~20mAインタフェース

応用

電流出力型DACとのインタフェース

図13に示すように、AD694は、デジタル4~20mAインタフェースを構成するために、AD566Aなどの電流出力型DACと容易にインタフェースできます。AD694は、DACの動作に必要な電圧リファレンスおよびバッファアンプを備えています。この回路を構成するために必要な配線はわずかです。AD566のリファレンス入力にはAD694の10Vリファレンス電圧が供給されます。バッファアンプは、DACの内部抵抗を利用してフルスケール電流を+10Vに変換します。そのため、AD694は10Vフルスケール入力に設定されています。10pFのコンデンサによって25pFのDACの出力容量を補償しています。オプションの100Ωトリム抵抗 (R_T) によりフルスケールのトリムが可能です。トリムが不要の場合には、50Ω抵抗に置換えます。精度の代表値は $\pm 1\text{LSB}$ で、4mAオフセットはトリムの影響を受けません。回路のグラウンド処理には注意を払う必要があります。AD694のピン9と3および、AD566のピン3と7はできる限り短い配線で、AD694のピン5の近傍の1点に接続してください。最も良い方法は、各ピンからスター・グラウンドに独立した経路で接続すること

です。これはAD566の電源グラウンド (ピン12) については不可欠です。4~20mA出力 (ピン11) には電源グラウンド・リターンが必要で、負荷からのリターンは、駆動される負荷の大きさや電力消費への配慮に従って、電源グラウンドまたは-15V電源に接続します。

単一電源のデジタル4~20mAインタフェース

12ビット入力から4~20mA出力を得るためのインタフェースは単一の15V電源で構成することができます。DACを電圧スイッチングモードで動作させます。DACがこのモードで動作し、2.5V以下の電圧リファレンスの供給を受けている場合、出力電圧は $0\text{V} - V_{\text{REF}}$ の範囲でデジタル入力コードに比例します。AD694の電圧リファレンスは2Vに接続し、入力段は2Vフルスケールに設定します。入力バッファアンプはDACの電圧出力のバッファとして使用されます。以上のように接続することによって、DACのフルスケール入力コードによって20mAが出力され、オール・ゼロ・コードの入力により4mA出力が得られます。

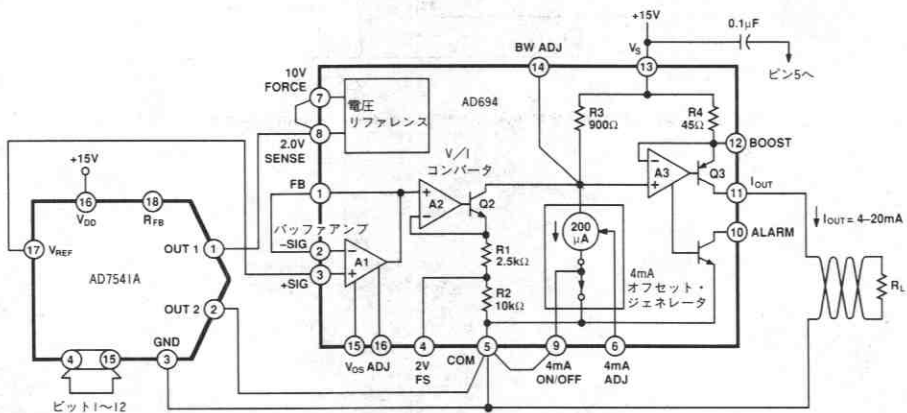


図14. 単一電源のデジタル入力4~20mA出力

AD694の電圧リファレンスにかかる負荷は入力コードに依存し、この回路の応答時間は電圧リファレンスの反応によって決まります。AD7541Aの電源電圧はなるべく15Vに近くします。 V_S が15Vから著しく低くなった場合、DACの微分非直線性が増加し、直線性が劣化します。

応用によっては、4~20mA出力のアンダーレンジおよびオーバーレンジが必要になることがあります。例えば、アンダーレンジおよびオーバーレンジについてスパンの±5%の能力が必要だとすれば、DACのフルスケールについての出力電流範囲は3.2~20.8mAとなります。これを実現するためには、バッファアンプに非反転ゲイン1.1を加えることによってAD694のスパンを10%増加し、17.6mAとします。「4mAゼロ調整」で述べた調整方法を用い、4mAのオフセットを0.8mAに減少させます。これによって、オール・ゼロ・コードからフルスケールまでのデジタル入力は3.2~20.8mAの電流出力となります。

低価格センサ・トランスミッタ

センサ・ブリッジからの代表的な出力は、10~100mVフルスケール範囲の差動出力です。これらのタイプの低レベル信号は、デュアル・オペアンプと数本の抵抗による計装アンプのフロントエンドをAD694に追加することにより、容易に取扱うことができます。

従来の3オペアンプの計装アンプは、図15に示すようにデュアル・オペアンプのAD708をフロントエンドに置き、AD694のバッファアンプを減算アンプとして用いることによって構成できます。AD694の2Vリファレンスを2Vの「グラウンド」として用いることにより、

広い同相モード範囲での計装アンプの正しい動作を保証します。減算回路のリファレンス・ピンは2Vリファレンス（C点）に接続します。2kΩのプルダウン抵抗は、減算回路から電圧リファレンスへの電流の流込みを可能にします。2V FS（ピン4）を2Vリファレンスに接続することにより、V/Iコンバータの入力範囲を2V正電位にオフセットし、計装アンプの「グラウンド」に一致させています。これによって、AD694は V_A を横切る0~2Vの差動電圧に対し4~20mAの電流を出力します。計装アンプのフロントエンドのゲインは、 V_{IN} において必要なフルスケール入力信号が、 V_A において2Vになるように調整します。例えば、100mVのフルスケールをもつセンサでは、フロントエンドにゲイン20が必要となります。ゲインは次の式によって決定します。

$$G = [2R_S/R_G] + 1$$

下に示す回路は、 V_{IN} にかかる正の差動電圧を4~20mAの電流に変換します。この回路の同相範囲は3~8Vです。同相範囲の下限は、AD708の R_S でのプルダウン能力によって制限されます。単一電源のアンプを用いることにより、同相範囲を約1.5Vまで下げることができます。

図に示すように、この回路は V_{IN} にかかる正の差動信号を扱います。バイポーラの差動信号（ V_{IN} は正または負）を扱うためには計装アンプのリファレンス・ピン（C点）は、2Vリファレンスから正電位方向にオフセットする必要があります。例えば、C点を2Vリファレンスから外し、3Vのソースに接続することによって、 V_A は1V、あるいは、センサからの0V差動入力にハーフスケールとなります。

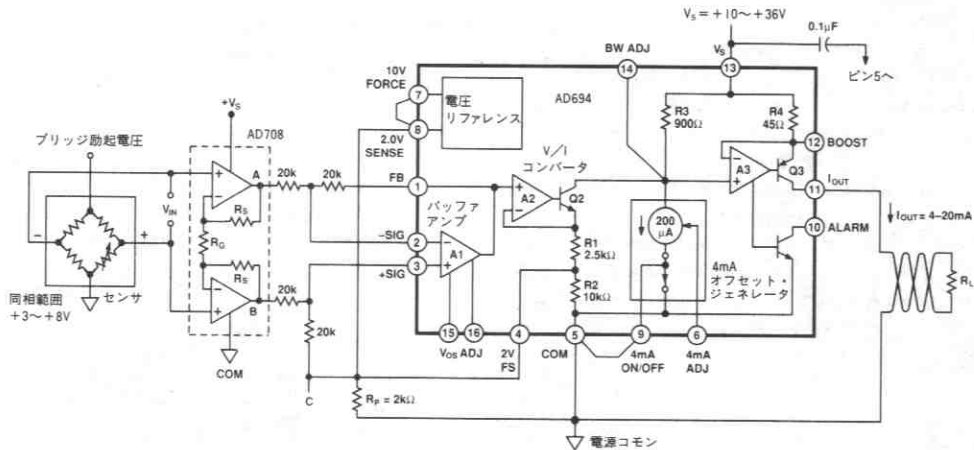


図15. 単一電源のシリアル入力、デジタル4~20mAインタフェース

D/Aコンバータ

目次

	ページ
セレクション・ガイド	254
AD668 超高速12ビット乗算型D/Aコンバータ	258
AD766 16ビットDSP DAC	274
AD1851 16ビットPCMオーディオDAC	282
AD1861 18ビットPCMオーディオDAC	282
AD1862 超低ノイズ20ビット・オーディオDAC	293
AD1864 デュアル18ビット・オーディオDAC	305
AD1868 +5V単一電源動作, デュアル18ビット・オーディオDAC	317
AD7242 LCCMOS全機能内蔵型デュアル12ビット・シリアルDAC	329
AD7244 LCCMOS全機能内蔵型デュアル14ビット・シリアルDAC	329
AD7848 LCCMOS全機能内蔵型DSPインタフェース12ビットDAC	341
AD75004 クワッド12ビットD/Aコンバータ	353
ADV101 CMOS 80MHz, トリプル8ビット・ビデオDAC	357
ADV7120 CMOS 80MHz, トリプル8ビット・ビデオDAC	369
ADV7121 CMOS 80MHz, トリプル10ビット・ビデオDAC	381
ADV7122 CMOS 80MHz, トリプル10ビット・ビデオDAC	381
DAC8840 8チャンネル, 8ビット4象限乗算型CMOS Trim DAC	393
DAC8841 8チャンネル, 8ビット2象限乗算型CMOS Trim DAC	404

セレクション・ガイド

D/Aコンバータ

電圧出力DAC

モデル	分解能 (ビット)	セットリング	バス インタフェース (ビット) ¹	リファレンス		パッケージ オプション ³	温度 範囲 ⁴	特長	掲載ページ ⁵
		時間 μ s typ		電圧 内蔵/外付け(M) ²	電圧				
AD557	8	0.8	8, μ P	内蔵		N, P	C	低価格の8ビットDACPORT™。 +5V単一電源	D11-15
AD558	8	3	8, μ P	内蔵		D, E, N, P	C, M	10V出力DACPORT。単一または デュアル電源	D11-19
AD7224	8	7	8, μ P	2-12.5V, 外付け	E, N, P, Q, R	C, I, M	C, I, M	CMOS, 低価格8ビット	D11-137
DAC-06	10	1.5	10	6.7V, 内蔵		D	C, M	2の補数	—
DAC-05	10	2.0	10	6.7V, 内蔵		D	C, M	バイナリ, ユニポーラ出力	—
AD DAC80-V	12	3	12	6.3V, 内蔵		D	C	業界標準改良タイプ	D11-337
AD DAC85-V	12	3	12	6.3V, 内蔵		D	I, M	業界標準改良タイプ	D11-337
AD DAC87-V	12	3	12	6.3V, 内蔵		D	I, M	業界標準改良タイプ	D11-337
AD667	12	3	4/8/12, μ P	10V, 内蔵		D, E, N, P	C, I, M	最高精度12ビットDAC	D11-79
AD767	12	3	12, μ P	10V, 内蔵		D, N	C, I, M	高速インタフェース12ビットDAC	D11-87
●AD7848	12	4	12, μ P	3V, 内蔵		E, N, P, Q	C, I, M	CMOS, DSPインタフェース機能付 き12ビットDAC	341
AD7845	12	5	12, μ P	外付け(M)	E, N, P, Q, R	C, I, M	C, I, M	CMOS出力アンプ内蔵12ビット乗算 型DAC	D11-287
AD7245	12	10	12, μ P	5V, 内蔵	E, N, P, Q	C, I, M	C, I, M	CMOS12ビットDAC, パラレル・ロード	D11-189
AD7248	12	10	8, μ P	5V, 内蔵	E, N, P, Q	C, I, M	C, I, M	CMOS12ビットDAC, バイト・ロード	D11-189
AD7840	14	4	14/シリアル, μ P	3V, 内蔵	E, N, P, Q	C, I, M	C, I, M	CMOS14ビットDAC, パラレル またはシリアル・ロード	D11-271
●AD766	16	1.5	シリアル, μ P	内蔵		N, Q	C, I, M	16ビットDSPインタフェース	274
●AD1851	16	1.5	シリアル, μ P	内蔵		N, R	C	16ビットPCMオーディオDAC	282
AD569	16	3	8/16, μ P	± 5 V, 外付け(M)		D, N	I, M	モノリシック, 16ビットDAC	D11-47
AD DAC71-V	16	5	16	6.3V, 内蔵		D	C	高分解能16ビットDAC	—
AD DAC72-V	16	5	16	6.3V, 内蔵		D	C, I	高分解能16ビットDAC	—
AD7846	16	6	16, μ P	外付け(M)	D, E, N, P	C, I, M	C, I, M	CMOS乗算型DAC。リードバック機 能付き高精度, ローパワー	D11-299
DAC1136	16	8	16	6V, 内蔵		モジュール	C	高分解能/高精度	—
AD1147	16	20	16, μ P	10V, 内蔵		N	I	オフセット/ゲイン調整用8ビット・ラ ッチ入力DAC内蔵	D11-108
AD1148	16	20	16, μ P	10V, 内蔵		N	I	オフセット/ゲイン調整DAC用に分 離した8ビット・バス・インタフェース	D11-108
●AD1861	18	1.5	シリアル, μ P	内蔵		N, R	C	18ビットPCMオーディオDAC	282
DAC1138	18	10	18	6V, 内蔵		モジュール	C	高分解能/高精度	—
AD1139	18	40	8, μ P	-10V, 内蔵		D	C	真の18ビット精度	D11-95

¹ μ Pはマイクロプロセッサ・インタフェース機能を示します。同時にバス・インタフェース・データ・フォーマットも示します。例えば、12ビット・コンバータで8/12, μ Pは8ビット・バスまたはパラレル12ビットにデータがフォーマット化できることを意味します。

²Mは乗算機能を示します。

³パッケージ：D=セラミックDIP, E=セラミック・リードレス・チップ・キャリア, M=メタルDIP, N=プラスチックDIP, P=プラスチック・リード付きチップ・キャリア(PLCC), Q=サーディップ, R=SOIC

⁴温度範囲：C=0~+70°C, I=-40~+85°C(従来製品では-25~+85°Cの場合もあります), M=-55~+125°C

⁵Dはデータブック1990/1991年版, PはPrecision Monolithics Divisionデータブック, そしてモデル名に●印のある製品は本データブック追補版に掲載されています。

太字で示すモデルは新規設計に最適な製品です。

電流出力DAC

モデル	分解能 (ビット)	セトリング 時間 μ s typ	バス インタフェース (ビット) ¹⁾	リファレンス 電圧 内蔵/外付け(M) ²⁾	パッケージ オプション ³⁾	温度 範囲 ⁴⁾	特長	掲載ページ ⁵⁾
AD9768	8	0.005	8, μ P	-1.26V, 内蔵	D, E	C, M	超高速, ECL, 20mA電流出力	—
PM-7524	8	0.1	8, μ P	外付け(M)	E, N, P, Q, R	C, I, M	CMOS8ビット乗算型DAC	P10-333
AD7524	8	0.1	8, μ P	外付け(M)	E, N, P, Q, R	C, I, M	CMOS8ビット乗算型DAC	D11-207
DAC-08	8	0.135	8	外付け(M)	E, N, Q, R	C, I, M	高速8ビット乗算型DAC	P10-17
DAC-20	8	0.150	8	10V, 外付け	N, Q	C	2桁BCD高速乗算型	P10-33
DAC-1408A	8	0.25	8	外付け(M)	N, Q, R	C, I	8ビット乗算型DAC	P10-103
DAC-1508A	8	0.25	8	外付け(M)	Q	M	8ビット乗算型DAC	—
DAC-888	8	0.400	8, μ P	外付け(M)	Q	I, M	8ビット高速乗算型	P10-93
DAC-10	10	0.150	10	外付け(M)	N, Q, R	C, M	10ビット高速乗算型	P10-25
AD581	10	0.25	10	内蔵	D, N	C, M	10ビットDAC	D11-27
DAC-86	10	0.500	10	外付け(M)	Q	I	COMDAC コンバンディング DAC (U-255 Law)	P10-41
DAC-88	10	0.500	10	外付け(M)	Q	I	COMDAC コンバンディング DAC (U-255 Law)	P10-49
DAC-89	10	0.500	10	外付け(M)	Q	I	COMDAC コンバンディング DAC (A-Law)	P10-59
PM-7533	10	0.6	10	外付け(M)	N, P, Q, R	C, I, M	CMOS, 低価格, 10ビット乗算型DAC	P10-359
AD7533	10	0.6	10	外付け(M)	E, N, P, Q	C, I, M	CMOS, 低価格, 10ビット乗算型DAC	D11-215
AD9712	12	0.030	12	-1.2V, 内蔵	N, P	C	ECL入力, 低グリッチ	D11-326
AD9713	12	0.030	12	-1.2V, 内蔵	N, P	C	TTL入力, 低グリッチ	D11-326
AD568	12	0.035	12	内蔵	Q, E	C, M	高精度12ビット超高速DAC	D11-43
AD688	12	0.05	12	外付け(M)	Q	C, M	12ビット超高速乗算型DAC	258
AD565A	12	0.25	12	10V, 内蔵	D	C, I, M	高速12ビットDAC	D11-31
DAC-8043	12	0.25	シリアル, μ P	外付け(M)	N, Q	C, I, M	8ピン・シリアル入力CMOS DAC	P10-119
PM-7542	12	0.25	4, μ P	外付け(M)	E, N, Q, R	C, I, M	CMOS, ニブル・ロード12ビット乗算型	P10-391
AD DAC80-I	12	0.3	12	6.3V, 内蔵	D	C	業界標準, 高速DAC	D11-337
AD DAC85-I	12	0.3	12	6.3V, 内蔵	D	I, M	業界標準改良タイプ	D11-337
AD DAC87-I	12	0.3	12	6.3V, 内蔵	D	I, M	業界標準改良タイプ	D11-337
AD566A	12	0.35	12	10V, 外付け	D	C, M	高速DAC	D11-35
DAC-8143	12	0.38	シリアル, μ P	外付け(M)	N, Q, R	I, M	12ビット・シリアル入力	P10-129
PM-7543	12	0.38	シリアル, μ P	外付け(M)	N, P, Q, R	C, I, M	CMOS, シリアル・ロード12ビット乗算型	P10-403
DAC-312	12	0.500	12	外付け(M)	N, Q, R	C, M	12ビット高速乗算型	P10-81
PM-7541A	12	0.6	12	外付け(M)	E, N, P, Q, R	C, I, M	CMOS, 12ビット乗算型	P10-379
AD7541A	12	0.6	12	外付け(M)	E, N, P, Q	C, I, M	CMOS, 12ビット乗算型	D11-234
DAC-8012	12	1.0	12, μ P	外付け(M)	N, P, Q	C, I, M	12ビット CMOS DAC (メモリ付き)	P10-109
PM-7548	12	1.0	8, μ P	外付け(M)	N, P, Q, R	C, I, M	CMOS, バイト・ロード12ビットDAC, 単一/デュアル電源仕様	P10-425
AD7548	12	1	8, μ P	外付け(M)	E, N, P, Q	C, I, M	CMOS, バイト・ロード12ビットDAC	D11-247
AD562	12	1.5	12	外付け	D	C, I, M	業界標準タイプ	—
AD563	12	1.5	12	2.5V, 内蔵	D	C, M	業界標準タイプ	—
AD7542	12	2.0	4, μ P	外付け(M)	D, E, N, P, Q	C, I, M	CMOS, ニブル・ロード12ビット乗算型DAC	D11-236
AD7543	12	2.0	シリアル, μ P	外付け(M)	D, E, N, P, Q	C, I, M	CMOS, シリアル・ロード12ビット乗算型DAC	D11-238
AD7545A	12	1.0	12, μ P	外付け(M)	E, N, P, Q	C, I, M	CMOS, パラレル・ロード12ビット乗算型DAC	D11-240
PM-7545	12	2.0	12, μ P	外付け(M)	E, N, P, Q, R	C, I, M	CMOS, パラレル・ロード12ビット乗算型	P10-415
AD7545	12	2.0	12, μ P	外付け(M)	E, N, P, Q	C, I, M	CMOS, パラレル・ロード12ビット乗算型	—
PM-7645	12	2.0	12, μ P	外付け(M)	E, N, Q	C, I, M	+15V動作のPM-7545	P10-415
AD7534	14	1.5	8, μ P	外付け(M)	D, N, P	C, I, M	CMOS, バイト・ロード	D11-217
AD7535	14	1.5	8/14, μ P	外付け(M)	D, E, N, P	C, I, M	CMOS, パラレルまたはバイトロード	D11-220
AD7536	14	1.5	8/14, μ P	外付け(M)	D, E, N, P	C, I, M	CMOS, パラレルまたはバイトロード, バイポーラ出力	D11-223
AD7538	14	1.5	14, μ P	外付け(M)	N, Q	C, I, M	CMOS, パラレル・ロード	D11-230
AD1851	16	0.35	シリアル, μ P	内蔵	N, R	C	16ビットPCMオーディオDAC	282
AD DAC71-I	16	1	16	6.3V, 内蔵	D	C	高分解能16ビットDAC	—
AD DAC72-I	16	1	16	6.3V, 内蔵	D	C, I	高分解能16ビットDAC	—
AD1861	18	0.35	シリアル, μ P	内蔵	N, R	C	18ビットPCMオーディオDAC	282
AD1862	20	0.35	シリアル, μ P	内蔵	N	C	20ビット・オーディオDAC	293

マルチプルDAC

モデル	分解能 (ビット)	出力 モード	セリング 時間 μs typ	バス インタフェース (ビット) ¹	リファレンス 電圧 内蔵/外付け ²	内蔵 DAC数	パッケージ オプション ³	温度 範囲 ⁴	特長	掲載ページ ⁵
DAC-8228	8	V	2.0	8, μP	外付け(M)	2	N, Q, R	I, M	CMOS, PM-7528と同ピン配置, 電圧出力	P10-181
DAC-8229	8	V	2.0	8, μP	外付け(M)	2	N, Q, R	I, M	CMOS, 単一/デュアル電源	P10-193
DAC-8426	8	V	3.0	8, μP	10V, 内蔵	4	N, Q, R	I, M	CMOS, 10Vリファレンス内蔵	P10-237
PM-7226A	8	V	3.0	8, μP	外付け(M)	4	N, Q, R	I, M	CMOS, +5V~+15V動作	P10-305
AD7225	8	V	5	8, μP	2-12.5V, 外付け	4	E, N, P, Q	C, I, M	CMOS, 各DAC用にリファレンス入力を用意	D11-145
DAC-8800	8	V	0.8	8, シリアル	DC, 外付け	8	N, Q, R	I, M	オクタル8ビット CMOS DAC (TrimDAC™)	P10-249
●DAC-8840	8	V	3.5	シリアル	外付け(M)	8	N, Q, R	I, M	CMOS, 4象限乗算	393
●DAC-8841	8	V	3.5	シリアル	外付け(M)	8	N, Q, R	I, M	2象限乗算, +5V動作	404
AD7228	8	V	5	8, μP	2-10V, 外付け	8	E, N, P, Q	C, I, M	CMOS, オクタルDAC	D11-169
AD7226	8	V	7	8, μP	2-12.5V, 外付け	4	E, N, P, Q, R	C, I, M	ユーザ調整不要	D11-157
AD392	12	V	4	12, μP	内蔵	4	M	C	リードバック機能	—
AD7837	12	V	5	8, μP	外付け(M)	2	N, R, Q	C, I, M	CMOS, バイト・ロード, デュアルバッファ	D11-259
AD7847	12	V	5	12, μP	外付け(M)	2	N, R, Q	C, I, M	CMOS, パラレル・ロード	D11-259
AD390	12	V	4	12, μP	+10V, 内蔵	4	D	C, M	ゲイン/オフセット調整済み	—
AD7237	12	V	10	8, μP	内蔵(+5V), 外付け	2	N, R, Q	C, I, M	CMOS, バイト・ロード	D11-177
AD7247	12	V	10	12, μP	内蔵(+5V), 外付け	2	N, R, Q	C, I, M	CMOS, デュアル12ビット, パラレル・ロード	D11-177
AD664	12	V	10	12, μP	±14.5V, 外付け(M)	4	D, E, N, P	C, I, M	モノリシック, リードバック機能	D11-59
AD394	12	V	10	12, μP	±11V, 外付け(M)	4	D	C, M	4つの独立したリファレンス入力, バイポーラ出力	—
AD395	12	V	10	12, μP	±11V, 外付け(M)	4	D	C, M	4つの独立したリファレンス入力, ユニポーラ出力	—
AD396	14	V	10	8, μP	±11V, 外付け(M)	4	D	C, M	4つの独立したリファレンス入力, 同時アップデート	D11-12
●AD1868	18	V	1.5	シリアル, μP	内蔵	2	N, R	C	デュアル18ビット・オーディオDAC, 単一5V	317
●AD1864	18	V/I	1.5	シリアル, μP	内蔵	2	N, P	C	デュアル18ビット・オーディオDAC	305
PM7528	8	I	0.18	8, μP	外付け(M)	2	E, N, P, Q, R	C, I, M	CMOS, 単一電源, TTLコ	P10-343
AD7528	8	I	0.2	8, μP	外付け(M)	2	E, N, P, Q, R	C, I, M	CMOS, +5~+15V動作	D11-211
DAC-8408	8	I	0.19	8, μP	外付け(M)	4	E, N, P, R	C, I, M	CMOS, データ・リードバック・メモリ	P10-221
AD7628	8	I	0.35	8, μP	外付け(M)	2	E, N, P, Q	C, I, M	CMOS, +12~+15V動作	D11-255
PM-7628	8	I	0.30	8, μP	外付け(M)	2	E, N, P, Q, R	I, M	CMOS, +5Vまたは+15V動作	P10-441
DAC-8221	12	I	0.45	12, μP	外付け(M)	2	E, N, Q, R	C, I, M	CMOS, バッファ入力	P10-153
DAC-8212	12	I	1.0	12	外付け(M)	2	N, Q, P	C, I, M	CMOS, +5Vまたは+15V単一電源	P10-143
DAC-8222	12	I	1.0	12, μP	外付け(M)	2	E, N, Q, R	C, I, M	CMOS, デュアルバッファ入力	P10-167
DAC-8248	12	I	1.0	8, μP	外付け(M)	2	Q, N, R	C, I, M	CMOS, デュアルバッファ入力, バイト・ロード	P10-205
AD7537	12	I	1.5	8, μP	外付け(M)	2	E, N, P, Q	C, I, M	CMOS, バイト・ロード, デュアルバッファ	D11-226
AD7547	12	I	1.5	12, μP	外付け(M)	2	E, N, P, Q, R	C, I, M	CMOS, パラレル・ロード	D11-243
AD7549	12	I	1.5	4, μP	外付け(M)	2	E, N, P, Q	C, I, M	CMOS, ニブル・ロード, デュアルバッファ	D11-251

¹μPはマイクロプロセッサ・インタフェース機能を示します。同時にバス・インタフェース・データ・フォーマットも示します。例えば、12ビット・コンバータで8/12, μPは8ビット・バスまたはパラレル12ビットにデータがフォーマット化できることを意味します。

²Mは乗算機能を示します。

³パッケージ: D=セラミックDIP, E=セラミック・リードレス・チップ・キャリア, M=メタルDIP, N=プラスチックDIP, P=プラスチック・リード付きチップ・キャリア(PLCC), Q=サーディップ, R=SOIC

⁴温度範囲: C=0~+70°C, I=-40~+85°C(従来製品では-25~+85°Cの場合もあります), M=-55~+125°C

⁵Dはデータブック1990/1991年版, PはPrecision Monolithics Divisionデータブック, そしてモデル名に●印のある製品は本データブック追補版に掲載されています。

太字で示すモデルは新規設計に最適な製品です。

ビデオDAC

モデル	分解能 (ビット)	アップデート レート MHz min	パレット サイズ	外部 リファレンス	パッケージ オプション ³	温度 範囲 ⁴	特長	掲載ページ ⁵
ADV476	6	66, 50, 35	256	I	N, P	C	CMOS, トリプル6ビット・ カラーパレットRAM-DAC	D11-365
ADV471	6	80, 50, 35	256	V/I	P	C	CMOS, トリプル6ビット・ カラーパレットRAM-DAC	D11-353
ADV478	8	80, 50, 35	256	V/I	P	C	CMOS, トリプル8ビット・ カラーパレットRAM-DAC	D11-353
ADV453	8	66, 40	256	V	N, P	C	CMOS, トリプル8ビット・ カラーパレットRAM-DAC	D11-342
●ADV101	8	80, 50, 30	—	V	N, P	C	CMOS, トリプル8ビット・ ビデオDAC	357
●ADV7120	8	80, 50, 30	—	V	N, P	C	CMOS, トリプル8ビット・ ビデオDAC	369
●ADV7121	10	80, 50, 30	—	V	N, P	C	CMOS, トリプル10ビット・ ビデオDAC	381
●ADV7122	10	80, 50, 30	—	V	N, P	C	CMOS, トリプル10ビット・ ビデオDAC	381
AD9701	8	225	—	—	D, E, Q	I, M	250MHzアップデート・レート	D11-319

LOGDAC™

モデル	分解能 dB	FSレンジ dB	精度 dB	パッケージ オプション ³	温度 範囲 ⁴	特長	掲載ページ
AD7111	0.375	88.5	0.17	E, N, Q	C, I, M	低歪み	—

LOGDACはAnalog Devices, Incの登録商標です。

特長

超高速：デジタル入力のフルスケール変化に対し1LSBの電流セ
トリング時間90ns。

アナログ入力のフルスケール変化に対し1LSBの電圧セ
トリング時間120ns。

15MHzのリファレンス帯域幅

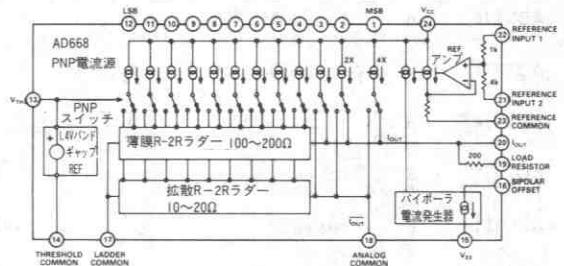
全温度範囲で単調増加性を保証

10.24mAの電流出力または1.024Vの電圧出力

積分および微分直線性を保証（全温度範囲）

7.6mm幅スキニーDIPパッケージ

AD668の機能ブロック図



概要

AD668は超高速12ビット乗算型D/Aコンバータで、アナログおよびデジタル入力の両方に対して、卓越した精度と速度特性をもっています。AD668は最新のハイブリッド・デバイスを越える優れた特性と機能をモノリシック構成で実現しています。AD668はNPNおよびPNPのバチカル・デバイスを誘電体絶縁を用いずにワンチップ上に構成する、弊社独自のコンプリメンタリ・バイポーラ（CB）プロセスを用いて製造されています。AD668はこの独自のプロセスと、標準的な低インピーダンス回路技術によりモノリシック構成で速度と精度の両立を実現しています。

広帯域リファレンス入力が高ゲインのクローズ・ループ・リファレンス・アンプによりバッファされています。リファレンス入力は基本的には1Vの高インピーダンス入力ですが、5Vと1.25Vリファレンスのために調整された抵抗分圧器を備えています。リファレンス・アンプは15MHzの実効小信号帯域幅と3%フルスケール/nsの実効スルーレートを備えています。

ビットの重み付けは、マッチングのとれた複数の電流源と薄膜ラダー技術の組合せにより作られています。出力範囲の定格値は10.24mAの電流出力、または1.024Vの電圧出力とすることができます。アナログ入力を変化させることにより、DACのフルスケールをその公称値の10%～120%に変調させることができます。ピン設定によって2象限動作を行なうことにより、外付け部品なしにバイポーラ出力を実現できます。

レーザ・ウエハ・トリミングにより完全12ビットの直線性と優れたゲイン精度を得ています。AD668のすべてのグレードにおいて、全動作温度範囲で単調増加性が保証されています。さらに、DACの出力抵抗は $100\Omega \pm 1.0\%$ に調整されています。

AD668には3種類の性能別グレードが用意されています。AD668 JQとKQは24ピン・サーディップ（7.6mm幅）パッケージで、 $0 \sim +70^\circ\text{C}$ で仕様が規定されています。AD668SQは $-55 \sim +125^\circ\text{C}$ で動作し、ハーメチック7.6mm幅サーディップ・パッケージです。

製品ハイライト

1. AD668は高速セトリング特性により、波形発生、グラフィックス・ディスプレイ、高速A/D変換などの応用に適しています。
2. 広帯域のリファレンス・チャネルにより、アナログおよびデジタル入力間での高い周波数の変調が可能です。
3. AD668は定格値の10%～120%という広いアナログ入力変化に対応するように設計されています。
4. AD668では高性能とフレキシビリティを兼ね備えているため、各種の高速、高精度計装の応用に理想的です。
5. デジタル入力はTTLおよび5V CMOSロジック・ファミリとコンパチブルです。
6. スキニーDIP（7.6mm幅）パッケージにより、ボード・スペースを削減でき、レイアウトの簡素化が計れます。

仕様

(特に指定のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_{CC} = +15\text{V}$ 、 $V_{EE} = -15\text{V}$ の値)

パラメータ	AD668J			AD668K			AD668S			単位
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
分解能	12			12			12			ビット
LSB重み付け (公称FSR)										
電流	2.5			*			*			μA
電圧 (R_L への電流)	250			*			*			μV
精度 ¹										
直線性	-1/2		+1/2	-1/4		+1/4	*		*	LSB
$T_{\min} \sim T_{\max}$	-3/4		+3/4	-1/2		+1/2	*		*	LSB
微分非直線性	-1		+1	-1/2		+1/2	*		*	LSB
$T_{\min} \sim T_{\max}$	-1		+1	-1/2		+1/2	*		*	LSB
単調増加性	仕様規定温度範囲で保証									
ユニポラ・オフセット (ディジタル)	-0.2		+0.2	*		*	*		*	FSRの%
バイポラ・オフセット	-1.0		+1.0	-0.6		+0.6	*		*	FSRの%
バイポラ・ゼロ	-0.5		+0.5	-0.2		+0.2	*		*	FSRの%
アナログ・オフセット	-1.0		+1.0	-0.7		+0.7	*		*	V_{NOM} の%
ゲイン誤差	-1.0		+1.0	*		*	*		*	FSRの%
温度係数 ²										
ユニポラ・オフセット	-8		+8	-5		+5	*		*	FSR/ $^\circ\text{C}$ のppm
バイポラ・オフセット	-25		+25	-15		+15	*		*	FSR/ $^\circ\text{C}$ のppm
バイポラ・ゼロ	-20		+20	-15		+15	*		*	FSR/ $^\circ\text{C}$ のppm
アナログ・オフセット	-20		+20	-10		+10	-20		+20	V_{NOM} / $^\circ\text{C}$ のppm
ゲイン・ドリフト	-30		+30	-15		+15	-40		+40	FSR/ $^\circ\text{C}$ のppm
ゲイン・ドリフト (I_{OUT})	± 150			± 150			± 150			FSR/ $^\circ\text{C}$ のppm
リファレンス入力										
入力抵抗										
5.0V範囲	5			*			*			k Ω
1.25V範囲	5			*			*			k Ω
1.0V範囲	1			*			*			M Ω
リファレンス範囲 ($T_{\min} \sim T_{\max}$)	10	100	120	*	*	*	*	*	*	V_{NOM} の%
データ入力										
ロジック・レベル ($T_{\min} \sim T_{\max}$)										
V_{IH}	2.0		7.0	*		*	*		*	V
V_{IL}	0.0		0.8	*		*	*		*	V
ロジック電流 ($T_{\min} \sim T_{\max}$)										
I_{IH}	-10		+10	*		*	*		*	μA
I_{IL}	0	60	100	*		*	0	100	200	$-\mu\text{A}$
V_{TH} ピン電圧	1.4			*			*			V
コード形式	バイナリ、オフセット・バイナリ									
電流出力範囲	0~10.24, ± 5.12									mA
電圧出力範囲	0~1.024, ± 0.512									V
出力コンプライアンス	-2		+1.2	*		*	*		*	V
出力抵抗										
R_L を除く	160	200	240	*	*	*	*	*	*	Ω
R_L を含む	99	100	101	*	*	*	*	*	*	Ω
リファレンス・アンプ										
入力バイアス電流	1.5			*			*			μA
スルーレート	3			*			*			FS/nsの%
大信号帯域幅	10			*			*			MHz
小信号帯域幅	15			*			*			MHz
アンダー電圧回復時間										
$V_{\text{REF}}/V_{\text{NOM}} \sim 0\%$	35			*			*			ns

パラメータ	AD668J			AD668K			AD668S			単位
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
AC 特性										
アナログ・セトリング時間 (10%~120%ステップ)										
±1%		60			*			*		ns (FSRの1%)
±0.1%		90			*			*		ns (FSRの0.1%)
±0.025%		120			*			*		ns (FSRの0.025%)
デジタル・セトリング時間										
電流										
±1%		30			*			*		ns (FSRの1%)
±0.025%		90			*			*		ns (FSRの0.025%)
電圧 (100Ω, 内部R _L) ³										
±1%		50			*			*		ns (FSRの1%)
±0.1%		75			*			*		ns (FSRの0.1%)
±0.025%		110			*			*		ns (FSRの0.025%)
グリッチ・インパルス ⁴		350			*			*		pV-秒
ピーク振幅		20			*			*		FSRの%
全高調波歪み ⁵		-75			*			*		dB
乗算フィードスルー誤差 ⁶		-62			*			*		dB
フルスケール遷移²										
10%~90%立上り時間		11			*			*		ns
90%~10%立下り時間		11			*			*		ns
電源										
+10.8V~+16.5V		27	32			*			*	mA
-10.8V~-16.5V		7	9			*			*	-mA
消費電力		510	615			*			*	mW
PSRR ⁷			0.05			*			*	FSR/Vの%
温度範囲										
仕様性能 ²	0		+70	*	*		-55		+125	°C
保管	-65		+150	*	*		*		*	°C

注

* AD668Jと同じ

1 I_{OUT}モードで測定。5Vの定格フルスケール・リファレンスで仕様が規定されています。

2 特に指定のない限り、V_{OUT}モードで測定。5Vの定格フルスケール・リファレンスで仕様が規定されています。

3 全抵抗。図4参照。

4 メジャー・キャリアの場合、HCMOSロジックで駆動。

5 V_{OUT}=1V_{p-p}, V_{IN}=10%~110%, 100kHz。デジタル入力はオール1。

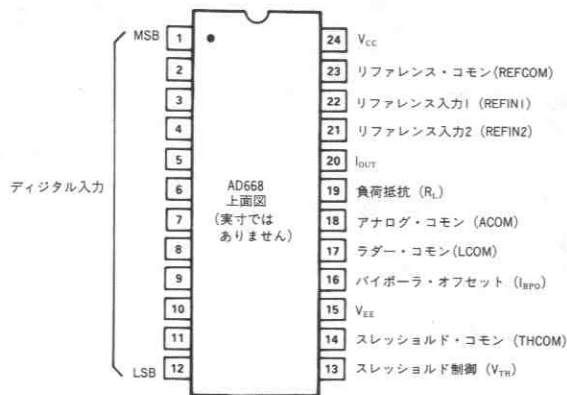
6 V_{IN}=200mV_{p-p}, 1MHz正弦波。デジタル入力はオール0。図20参照。

7 15V±10%及び12V±10%で測定。

大字の仕様は最終電気試験で全数試験されています。

仕様は予告なしに変更することがあります。

ピン配置



絶対最大定格*

$V_{CC} \sim \text{REFCOM}$0V ~ +18V
$V_{EE} \sim \text{REFCOM}$0V ~ -18V
$\text{REFCOM} \sim \text{LCOM}$+100mV ~ -10V
$\text{ACOM} \sim \text{LCOM}$ $\pm 100\text{mV}$
$\text{THCOM} \sim \text{LCOM}$ $\pm 500\text{mV}$
$\text{REFCOM} \sim \text{REFIN}(1,2)$18V
$I_{\text{FPO}} \sim \text{LCOM}$ $\pm 5\text{V}$
$I_{\text{OUT}} \sim \text{LCOM}$-5V ~ V_{TH}
デジタル入力 ~ THCOM-500mV ~ +7.0V
$\text{REFIN1} \sim \text{REFIN2}$36V
$V_{\text{TH}} \sim \text{THCOM}$-0.7V ~ +1.4V

仕様用語の説明

直線性誤差 (または積分非直線性、INL)

弊社では、直線性誤差を1LSBの整数倍で示される任意のビットの組合せに対する実際のアナログ出力と理想的な出力 (0からFSの間に引いた直線) からの偏差として定義しています。AD668は、Kバージョンの最大直線性誤差を+25°Cで1/4LSB (FSの0.006%) として、JおよびSバージョンでは1/2LSBにレーザ・トリミングしています。

微分直線性誤差 (または微分非直線性、DNL)

DNLは、デジタル入力コードが、1LSB変化したときのアナログ出力値の変化をフルスケールに正規化したものです。

単調増加性

デジタル入力が増大しているとき出力が増大または一定していれば、そのD/Aコンバータは単調増加性を持ちます。単調増加のためには微分直線性誤差は負の方向に1LSBを越えてはいけません。

ユニポーラ・オフセット誤差 (DACオフセット)

DACオフセットは、DAC出力のうちデジタル入力と関係のない部分です。ユニポーラDACオフセット誤差はアナログ入力を100%に設定し、デジタル入力をすべて0に設定した場合のアナログ出力と理想値 (0Vまたは0mA) との偏差として測定されます。

バイポーラ・オフセット誤差

DACをバイポーラ・モードに設定 (ピン16をピン20に接続) し、アナログ入力を100%に設定、デジタル入力をすべて0に設定した場合の理想値 (負のハーフスケール) からのアナログ出力の偏差です。この誤差をバイポーラ・オフセット誤差と呼びます。

バイポーラ・ゼロ誤差

バイポーラ・モードでデジタル入力コードのMSBのみ1 (100...00) の場合の理想値 (0Vまたは0mA) からのアナログ出力の偏差です。これをバイポーラ・ゼロ誤差と呼びます。

コンプライアンス電圧

DAC出力の精度を劣化させない範囲で容認されるDAC出力ノードにおける電圧の誤差です。

セトリング時間 (デジタル・チャネル)

出力がその最終値からの規定誤差範囲内に達し保持されるまでに必要な時間であり、デジタル入力の遷移からの時間として測定されます。

セトリング時間 (アナログ・チャネル)

出力がその最終値からの規定誤差範囲内に達し保持されるまでに必要な時間であり、アナログ入力が50%値を交差した時からの時間として測定されます。

ロジック・スレッショルド制御入力電流5mA

消費電力670mW

保管温度範囲

Q (サーディップ) パッケージ-65 ~ +150°C

接合温度+175°C

熱抵抗

θ_{JA} +75°C/W

θ_{JC} +25°C/W

*絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

ゲイン誤差

デジタル入力の全ビットが1の場合にFS - 1LSBの理想値と実際の出力スパンの差で、FSの%またはLSBで表わされます。これをゲイン誤差と呼びます。

アナログ・オフセット誤差

アナログ・オフセットはアナログ入力基準のアナログ・アンプ・チャネルのオフセットとして定義されます。理想的にはアナログ入力が0Vでデジタル入力がフルスケールの場合に測定されます。図1に示すように、0Vのアナログ入力はアンダー電圧条件となるため、この仕様はリニア外挿により決定されます。

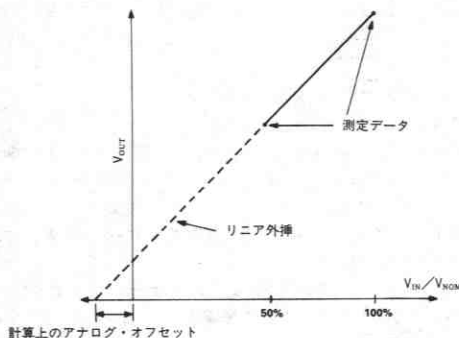


図1. アナログ・オフセット電圧

グリッチ・インパルス

DACの非対称なスイッチング時間により不要な出力トランジェントが発生し、この波形をグリッチ・インパルスと呼びます。これはグリッチの総面積で表わされ、pV・secで示します。

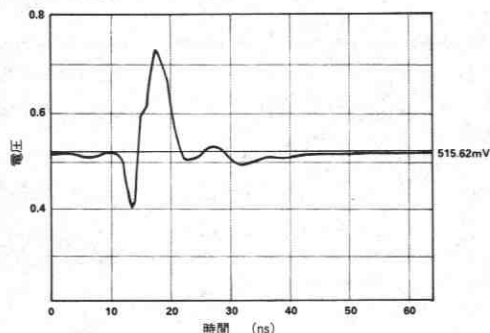


図2. AD668のメジャー・キャリアのグリッチ

機能の説明

AD668は、優れた性能と最大のフレキシビリティを組合せて設計されました。機能ブロック図と以下に示す簡単な伝達関数によりAD668の基本的動作が理解できるでしょう。本データシートの「AD668の使用」の項に代表的な回路例を示します。以下の項では、DACの高速特性と高分解能への応用最適化について、より詳細な説明を行ないます。

DACの伝達関数

AD668は電流出力モード（DAC出力を仮想グラウンドへ接続）または電圧出力モード（DAC出力を抵抗負荷に接続）のどちらかで使用できます。

電流出力モードの伝達関数は以下ようになります。

ユニポーラ・モード

$$I_{OUT} = \frac{V_{IN}}{V_{NOM}} \times \frac{\text{DACコード}}{4096} \times 10.24\text{mA}$$

バイポーラ・モード

$$I_{OUT} = \frac{V_{IN}}{V_{NOM}} \times \frac{\text{DACコード}}{4096} \times 10.24\text{mA} - \frac{V_{IN}}{V_{NOM}} \times 5.12\text{mA}$$

電圧出力モードの伝達関数は、バイポーラおよびユニポーラの両モードについて以下ようになります。

$$V_{OUT} = I_{OUT} \times R_{LOAD}$$

ここで各項は以下のように定義されます。

V_{IN} ：アナログ入力電圧

V_{NOM} ：リファレンス電圧の定格フルスケールで、ピン21と22の配線設定により1V、1.25V、5Vが選べます（「AD668の使用」の項を参照）。

DACコード：DACのデジタル入力の数値による表現です。0～4095の間の数です。

R_{LOAD} ：DAC出力ノードの抵抗です。最大値は200Ω（DAC内部のラダー抵抗値）です。オンボードの負荷抵抗（ピン19）はDACラダー抵抗との並列接続により100Ω（±1%）になるように調整されています。

バイポーラ・モード：精密電流源で通常出力電流をオフセットすることにより、デジタル入力からバイポーラ・アナログ出力を得るためのモードです。このオフセットはピン16をDAC出力に接続することで実現できます。ユニポーラ・モードではピン16はグラウンドに接続します。

DC誤差が含まれる場合には、伝達関数は以下のようにやや複雑になります。

$$I_{OUT} = \left(\frac{V_{IN}}{V_{NOM}} + \text{OFFSET}_{ANALOG} \right) \times \frac{\text{DACコード}}{4096} \times (1+E) \\ \times 10.24\text{mA} + \text{OFFSET}_{DIGITAL} \times \frac{V_{IN}}{V_{NOM}} \times 10.24\text{mA} \\ - \left(\frac{V_{IN}}{V_{NOM}} + \text{OFFSET}_{ANALOG} \right) \times (5.12\text{mA}) \\ + [\text{OFFSET}_{BIPOLAR} \times 10.24\text{mA}]$$

（最後の項はバイポーラ・モードで使用します。 V_{OUT} はここでも $I_{OUT} \times R_{LOAD}$ となります。）

ここで、

OFFSET_{ANALOG} = アナログ・オフセット誤差

$\text{OFFSET}_{DIGITAL}$ = ユニポーラ・デジタル・オフセット誤差

$\text{OFFSET}_{BIPOLAR}$ = バイポーラ・オフセット誤差

E = ゲイン誤差、分数で表わされます。

動作の制限：

$$0.1 < \frac{V_{IN}}{V_{NOM}} < 1.2$$

$0 < V_{IN}/V_{NOM} < 0.1$ の範囲は、アンダー電圧条件となり、規定の回復時間に関係します。

$1.2 < V_{IN}/V_{NOM}$ の場合には過電圧条件となります。この条件ではDAC内部のトランジスタを飽和させ、応答時間の劣化を引き起こし、その延長時間全体にわたって消費電力の増加を招き、デバイスを破壊する可能性があります。図3にユニポーラおよびバイポーラモードでの仕様動作範囲を示します。

V_{IN} の小信号3dB帯域幅は15MHzです。大信号3dB帯域幅は約10MHzとなります。

V_{OUT} は $-2V_{+}$ ～ $+1.2V_{+}$ の仕様出力コンプライアンスにより制限されています。

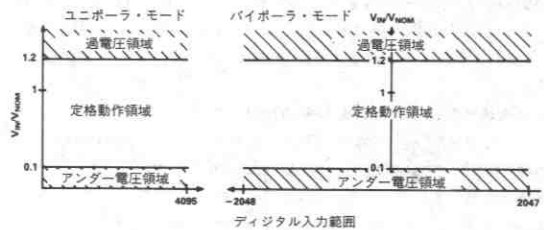


図3. AD668の象限プロット

AD668の回路説明

高速・高分解能システムを正しく設計するためには、各使用部品についての正しい認識が必要です。AD668はさまざまな応用で最大の能力を発揮するように配慮して作られています。それぞれの潜在的な応用形式を徹底的に取扱うことはこのデータ・シートの範囲を越えますが、このデバイスの内部動作に関する十分な理解と、その応用に最も適合する回路形式の選択を可能とするために、以下に詳細な説明を行ないます。

電流出力と電圧出力

「機能の説明」で述べたように、AD668の出力は外部回路接続により電流または電圧のどちらかの形式を選択することができます。電流出力モードではDAC出力（ピン20）はサミング・ジャンクションに接続し、DACからサミング・ジャンクションに流れ込む電流が検出されます。このモードではDAC出力のスケールは負荷抵抗 R_{LOAD} が短絡（ピン19とピン20を接続）されるかグラウンドに接続（ピン19をピン18に接続）するかによる影響をあまり受けません。しかしこの抵抗の接続によってDACの出力インピーダンスが変化し、外部回路のノイズ・ゲインと安定度は多大な影響を受けます。 R_{LOAD} をグラウンドに接続することにより、出力インピーダンスが減少し、それによってノイズ・ゲインが増加し、またユニティ・ゲイン安定でないオペアンプを使用した回路の安定度も増加します（図10参照）。

電圧出力モードではDAC出力電流は内部インピーダンス（外部接続回路のインピーダンスとパラレル）を通して流れ、電圧を発生します。この場合にはDAC出力のスケールは負荷インピーダンスに直接影響します。AD668の伝達関数の温度係数は電圧出力モードの場合に最も低くなります。

出力電圧コンプライアンス

AD668の出力コンプライアンス範囲は、LCOMピンを基準として-2.0V~+1.2Vです。この範囲の出力端子電圧の変化によって出力段を流れる電流は影響を受けません。しかし図4に示すように出力端子には15pFと並列の200Ωの等価出力インピーダンスがあり、ラダー・コモンから電圧が変動すると等価誤差電流が発生します。この誤差は入力コードの変化に追従しない直線的な誤差です。最大コンプライアンス限界を越える動作は出力段の飽和または遮断を引き起こし、結果的に非直線特性となります。正のコンプライアンス限界は正電源により影響を受けることはありませんが、出力電流とV_{TH}(ピン13)のロジック・スレッシュホールド電圧の関数となっています。

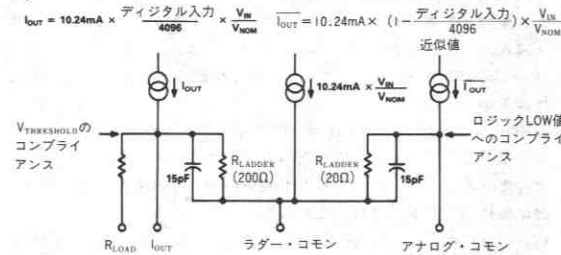


図4. 出力等価回路

アナログ入力

図5に示すようにリファレンス入力バッファは、オペアンプの1つの端子に接続された抵抗分圧回路とみなすことができます。DAC電流源により抵抗を駆動し、オペアンプの他方の端子に帰還される電圧が発生します。抵抗R_{FEEDBACK}は、オペアンプのノードAに1V入力を加えたときに、DAC出力が10.24mAとなるようにレーザ・トリミングされています。REFIN1とREFIN2はユーザー選択の任意の設定でノードAに定格入力フルスケールの1Vが得られるように接続できます。R1とR2は5:1の分圧器となるよう、またノードBのインピーダンスをマッチングさせる並列インピーダンスとなるように調整され、バイアス電流によるアンプのオフセット電圧を減少させます。抵抗分圧器は外部の50Ω抵抗と直列に入る4kΩ抵抗(R₂)と共に調整されています。このことにより、100Ωのポテンショメータ(図7)を使用して±1%のゲイン調整範囲を実現できます。調整の必要がない場合には、ポテンショメータの代わりに50Ω抵抗を使用し、仕様ゲイン精度を得ることができます。また、抵抗を取去り、+1%の定格ゲイン誤差を得ることもできます。

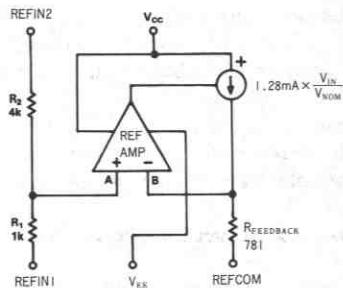


図5. アナログ入力等価回路

デジタル入力

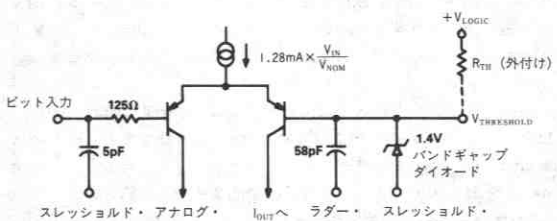
AD668は、ユニポーラ出力に対しては通常の正論理バイナリ・コード(フルスケール出力に対しすべて1)を、バイポーラ出力範囲に対してはオフセット・バイナリ・コードを用いています。バイポーラモードではオール0の入力に対し出力は負のフルスケールとなり

ます。111...11入力の場合には出力は正のフルスケールから1LSB低い値となります。100...00入力(MSBのみ1)の場合には出力はゼロとなります。

デジタル入力のスレッシュホールドは1.4Vに設定され、電源電圧により変化することはありません。このリファレンスはバンドキャップ・ジェネレータから生成され、約3mAのバイアス電流を必要とし、R_{TH}を任意の+V_{LOGIC}電源に接続することで得られます。R_{TH}の値は以下のようになります(図6参照)。

$$R_{TH} = \frac{(+V_{LOGIC} - 1.4V)}{3mA}$$

デジタル・ビット入力は小入力電流で動作するため、バッファなしのCMOSロジックによって容易に駆動することができます。DACへのデジタル入力信号はアナログ入出力とは可能な限り分離しなければなりません。アンダーシュートやリングング、そしてデジタル・フィードスルー・ノイズなどを最小限に抑えるために、DAC入力への配線長は可能な限り短くする必要があります。デジタル配線長が長くなる場合には、終端抵抗を使用すると性能を向上させることができます。デジタル入力からは大きなグリッチやリングングを除去し、10%~90%の立上り/立下がり時間は5ns程度としなければなりません。



ビット1はこの入力セルを4回路並列に駆動します。
ビット2は2回路並列に駆動します。
ビット3~12は単一のセルを駆動します。

図6. デジタル入力等価回路

AD668の仕様性能を実現するには、ショットキTTLや高速CMOSなどの高速ロジック・ファミリまたは新しい高速TTLシリーズのどれか1種類を用いることを推奨します。表IにDAC性能を示します。特に駆動に用いるロジックによりグリッチの値が変化します。STTL、HCMOS、FAST*がAD668の駆動に最も優れていることがこの表からわかります。

ロジックファミリ ¹⁾	10~90%	セトリング時間 ²⁾			グリッチインパルス ³⁾	最大グリッチ振幅
	DAC立上り時間	(1%)	(0.1%)	(0.025%)		
TTL	10.5ns	47ns	77ns	100ns	2.5nV-s	280mV
LSTTL	11.25ns	35ns	60ns	120ns	1.2nV-s	270mV
STTL	11ns	50ns	75ns	110ns	500pV-s	200mV
HCMOS	12ns	53ns	78ns	100ns	350pV-s	200mV
FAST*	11.5ns	49ns	73ns	100ns	2nV-s	250mV

注

- 1 数値はすべて図23の試験回路で得られた標準値です。
- 2 100ΩのDAC負荷抵抗に対して1Vフルスケール・ステップの条件で測定されています。
- 3 セトリング時間はデジタル入力がスレッシュホールド電圧(1.4V)を交差した時点から出力が最終値の仕様範囲に入るまでの時間として測定しています。
- 4 グリッチ・インパルスの最悪値はメジャー・キャリアーで測定されています。DACフルスケールは1Vです。

*FASTはナショナル・セミコンダクタ社の登録商標です。

表I. 駆動ロジックとDAC性能

DACのセトリングと立上り時間の変化は、それぞれのロジック・ファミリの立上り性能および駆動能力の差によるものです。グリッチ・インパルスの差は主としてデータ・スキューの変化によるものです。これらの仕様の変動はロジック・ファミリ間のみならず、同一ファミリ内でも各種のゲートやラッチ等によって異なります。AD668のロジック入力を駆動するゲートを選択する場合には、特に伝搬遅延時間 t_{PLH} および t_{PHL} に注意を払うべきです。できる限り小さな伝搬遅延時間のデバイスを選ぶことによってセトリング時間を小さくすることができ、また t_{PLH} および t_{PHL} 規定が相互にマッチングしたゲートを選ぶことでデータ・スキューに起因するグリッチ・インパルスを最小限にすることができます。これまでに掲げたロジック・ファミリの汎用ラッチのうち、74374オクタル・フリップフロップを使えば最良の特性が得られます。

ピンごとの電流計算

AD668の内部配線およびピン配置の多くの部分は電流を管理する回路構造のために占められています。AD668のように低インピーダンス、高電流、高精度の部品を使用する場合には、信号配線のみならずグラウンドや電源配線にも多大な配慮を行わなければなりません。以下に示す計算により、このデバイスの個々のピンに関する電流の大きさと信号への影響についての詳細な説明を行いません。これらの説明は機能ブロック図と図4-6に示した等価回路に基づいて行ないます。

V_{CC}—このピンへ流れ込む電流は主にDAC電源に流れ、通常、DACの定格フルスケール電流の約2.2倍の値になります。デバイス設計により、この電流はデジタル入力コードとは独立していますが、アナログ入力変化に対しては直線的に依存しています。

REFCOM—このノードはリファレンス・アンプの電流帰還ループにリファレンス・グラウンドを、また大部分のリファレンス・アンプに負電源電圧を供給します(図5に示しました)。この電流はアナログ入力に依存する1.2mAの電流と他の入力とは独立の3mAの電流から構成されます。アナログ入力電圧はこの電圧を基準として作らなければなりません。

REFIN1—このピンからリファレンス・アンプ入力に1k Ω の直列抵抗が、またREFIN2に5k Ω の直列抵抗が接続されています。REFIN1はREFIN2と共に使用し、5:1の分圧器を構成するか、あるいは両端子を並列に駆動し、高インピーダンス入力ノードとすることができ(図5参照)。

REFIN2—入力抵抗分圧器の4k Ω 側のピンです。これら2つの抵抗の合成インピーダンスはリファレンス・アンプの他方の入力の実効インピーダンスとマッチングがとれており、バイアス電流に起因するオフセットを最小にしていることに注意ください。この実効インピーダンスを変える回路は、インピーダンスのミスマッチングによってアナログ・オフセットとドリフト特性を劣化させます。

I_{OUT}—出力電流。電流出力モードではこのノードは仮想グラウンドに接続され、定格値10.24mAのフルスケール出力電流がこのピンから流れ出します。電圧出力モードでは R_L をグラウンドに接続した場合には、出力電流の半分が R_L から流れ出し、他の半分はLCOMから流れ出します。図4に示すように外部抵抗負荷によってLCOM、 R_L 、 I_{OUT} 間で分圧された電流を発生します。

R_L—片方を内部で出力ピンに接続された200 Ω 抵抗です。DAC出力インピーダンスとして200 Ω ±20%が必要な場合には、 R_L を I_{OUT} と短絡します。 R_L をグラウンドに接続すると、DAC出力インピーダンスは100 Ω ±1%となります。これまでに述べたように、電圧出力設定で

はDAC出力電流の大部分はこのピンに流れます。

ACOM—図4に示すようにこのピンから流れ出す電流は実質的には I_{OUT} とコンプリメントであり、アナログおよびデジタルの両入力により変化します。この電流は調整されておらず、正の出力コンプライアンスはロジックLOW電圧により制限されているため、信号出力として使用することは一般的には推奨できません。

LCOM—このノードの電流は出力が仮想グラウンドに接続されている場合には、ラダー・グラウンド抵抗の直線性への調整不能の影響を最小にするため、デジタル・コードとは独立するように注意して接続してあります。しかしこのノードの電流はアナログ入力電圧に比例し、ここでのグラウンド電圧降下はDCアナログ・フィードスルーに影響を与えます。この電流の定格値はDACフルスケールとはほぼ等価です。

IBPO— $V_{EE}+3V$ までの電圧コンプライアンスでバイポーラ・オフセット電流はこのノードに流れ込みます。このピンは高インピーダンスの電流源であり、オフセット電流を使用しない場合にはグラウンドに接続しておかなければなりません。

V_{EE}—この電圧は-10.8V~-16.5Vの範囲の任意の電圧に設定できます。このノードの電流はバイポーラ・オフセット電流の1.2倍+リファレンス・アンプ入力の500 μA のバイアス電流から構成されます。負電源電流はデジタル入力とは独立していますが、アナログ入力には直線的に依存しています。

THCOM—バンドギャップ・ダイオードのグラウンド・ポイントで、スレッシュド電圧を生成します。このノードから流れ出す電流は V_{TH} に流れ込む電流とコード依存のベース電流(図6参照)の和です。THCOMとシステム・コモンとの間にオフセットを生じさせることが可能で、これにより有効なロジック・スレッシュドと正の出力コンプライアンス電圧をオフセットできます。

V_{TH}—前に述べたように十分な正のバイアス電流を与えた場合には、このピンの電圧はTHCOM+1.4Vの電位となります。必要なバイアス電流は適当な抵抗を任意の正電源との間に接続することで簡単に得られます。図6に示すように、このノードは数個のベース・コレクタ容量を通してDAC出力と直接結合しているため、アナログ・グラウンドに対してデカップリングしなければなりません。

デジタル入力—ビットがHIレベルの場合には、入力電流は逆バイアスされたダイオードの漏れ電流です。ビットがLOWレベルの場合には、ベース電流をグラウンドにシンクしなければならず、このベース電流はアナログ入力に比例します。ビット2の入力電流はビット3-12の2倍、またビット1の入力電流はビット3の4倍となりますが、すべてのピンの入力電流は規定値以下となっています。

AD668の使用

以下の回路はAD668を用いた代表的な回路です。表IIに示すように、これらの回路は可能な接続のほんの一例に過ぎません。

5Vリファレンス入力、1Vユニポーラ、バッファなしの電圧出力回路

図7にバッファなしの電圧出力を発生するための標準的な回路を示します。 R_L (ピン19)はグラウンドに接続し、DAC電流が10.24mAのフルスケール電流のとき1.024Vの出力電圧となるように100 Ω のDAC出力抵抗としています。低インピーダンス負荷の存在は出力電圧振幅に直接影響します。300 Ω の外部負荷は75 Ω の総合出力抵抗をもたらし、0.768Vのフルスケール出力を与えます。100 Ω の外部抵抗は総合出力抵抗を50 Ω に低減し、フルスケール電圧振幅は0.512Vま

で低下します。この設定ではバイポーラ・オフセット電流は使用されず、ピン16はアナログ・グラウンド・プレーンに接続します。

入力分圧器は5Vフルスケールのリファレンス入力を実現するためにREFIN1をアナログ・グラウンド・プレーンに接続し、REFIN2をリファレンス入力として用いています。定格フルスケール5Vの電圧の場合には、10%~120%のリファレンス入力範囲は0.5V~6Vとなります。このモードでの実効入力抵抗は5kΩ(±20%)です。ゲイン調整のためのオプションの外部微調整を行なうため、入力分圧器の比は故意に50Ωに固定されています。図7に示すように100Ωのポテンショメータにより±1%の調整範囲が得られます。この調整が必要ない場合には、ポテンショメータの代わりに50Ωの固定抵抗を使用し、規定のゲイン精度を実現できます。また+1%のゲイン誤差を許容できる場合には、この抵抗を省略することができます。

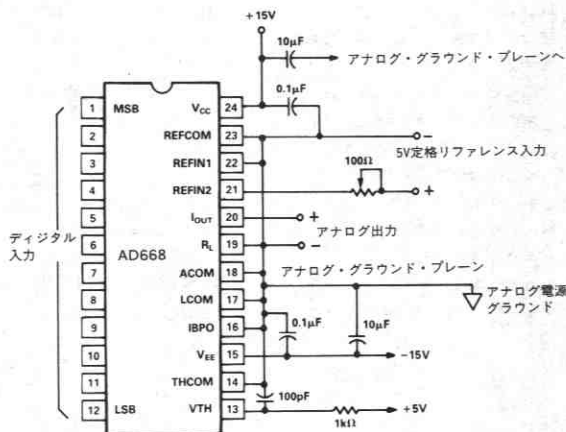


図7. 5Vリファレンス入力、バッファなしの1Vユニポーラ出力回路

1.25Vリファレンス入力、1Vバイポーラ、バッファなしの電圧出力回路

図8にバッファなしの電圧出力を生成するための他の形式を示します。これはバイポーラ出力で1.25Vのリファレンス入力の設定です。バイポーラ出力はピン16を出力(ピン20)に接続することで簡単に実現できます。このモードではデジタル入力がオール0でアナログ入力が1.25Vのとき、DAC出力に-512mVが発生することに注意ください。MSBが1で他のビットがすべて0(100...00)のときバイポーラ・ゼロ(0V_{OUT})となり、全ビットが1のときフルスケール電圧-1LSB(511.75mV)が出力に発生します。

REFIN2をグラウンドに接続しREFIN1をリファレンス入力として使用することで1.25Vの入力範囲となります(オプションのゲイン調整ポテンショメータまたはゲイン調整の50Ω抵抗による)。このモードでの入力抵抗も5kΩとなります。

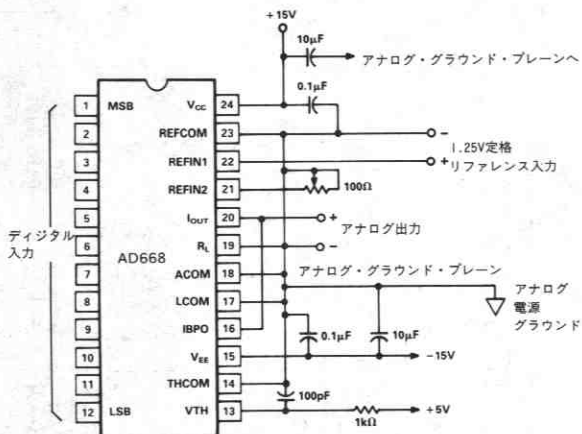


図8. 1.25Vリファレンス入力、バッファなしの±500mVバイポーラ出力回路

5Vリファレンス入力、2Vバイポーラ、バッファなしの電圧出力回路

図9にバッファなしでより大きな電圧出力振幅を生成するための回路を示します。R_{LOAD}(ピン19)はDAC出力(ピン20)に接続し、約200Ωの出力抵抗を実現します。このインピーダンスは調整されておらず、最大20%まで変化することに注意が必要ですが、リファレンス電圧を調整することにより補正が可能です。DAC出力コンプライアンスの制限のため、2Vユニポーラ出力電圧振幅の使用は禁止されることにも注意ください。

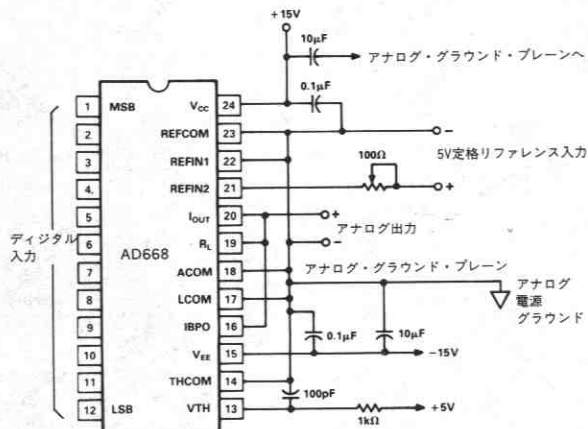
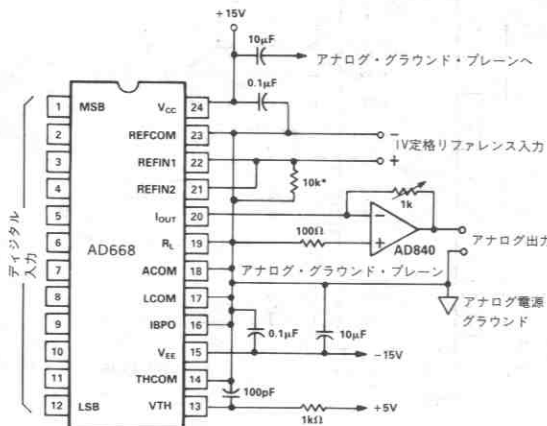


図9. 5Vリファレンス入力、バッファなしの±1Vバイポーラ出力回路

1Vリファレンス入力、-10Vユニポーラ、バッファ付き電圧出力回路

図10に、REFIN1とREFIN2を相互に接続し、両方を入力電圧で駆動することにより1Vフルスケールのリファレンス入力の設定とした回路を示します。この回路は高い入力インピーダンスを発生するため、リファレンス・アンプが飽和せず、このノードの駆動インピーダンスが常に有限な値となるようないくつかの配慮が必要です。これは通常、低インピーダンス電圧源をリファレンスの駆動に用いることで実現できますが、使用する回路によりこの信号源が切離される場合には、高インピーダンス(10kΩ)の終端抵抗をREFINノードに接続しなければなりません。



*アナログ入力の場合は高インピーダンス終端抵抗が必要です。本文を参照してください。

図10. 1Vリファレンス入力、バッファ付き-10Vユニポーラ出力回路

2Vを超える値のフルスケール出力範囲では外付けのバッファ・アンプが必要です。この目的にはAD840が適しており、10Vフルスケール・ステップで0.025%以内に対して100ns以下でセトリングします。図10に示すように、このアンプはDAC出力のグラウンドにサミン

グ・ノードを形成します。出力電圧はアンプの帰還抵抗により決定されます(1kΩで10.24V)。DACはグラウンドへ正の電流を発生するため、アンプ出力電圧は負極性となります。非反転アンプ入力とグラウンドの間の直列抵抗は、オペアンプの入力バイアス電流の影響を打消します。

バッファ付き出力の応用での最適なDAC出力インピーダンスは、使用するバッファにより異なります。AD840はゲイン10で安定であるため、安定度向上のためには、 R_{LOAD} はグラウンドに接続し、より低いDAC出力インピーダンス(ノイズ・ゲインは増加しますが)を実現することが好ましいでしょう。100ΩのDAC出力インピーダンスにより、1kΩの帰還抵抗で11倍のノイズ・ゲインとなります。2倍ゲインで安定なAD842をバッファとして使用する場合には、200ΩのDAC出力インピーダンスにより、出力への低いノイズ・ゲインと安定な回路を実現できます。この場合には R_{LOAD} はDAC出力に接続します。

前に述べたように、これら4つの回路例は可能な数多くの組合せのうちの数例に過ぎません。表IIにより具体的な応用の場合のクイック・リファレンスを示します。わずかな変更により、これ以外の多くの入出力信号も可能です。

次に示す3つの回路では固定DCリファレンス、容量結合ACリファレンスやDAC駆動リファレンス・チャンネルなどの異なるアナログ入力駆動例を示します。

入力の全成分と出力範囲の設定はリファレンス駆動に用いるリファレンスのタイプと関係なく行なうことができることに注意ください。

出力レベル

定格アナログ入力	0V~1V	-500~+500mV	0V~-10V	+5V~-5V	-1V~+1V
1V	ユニポーラ バッファなし V_{OUT} A_{IN} = ビン21+22	バイポーラ バッファなし V_{OUT} A_{IN} = ビン21+22	ユニポーラ バッファ付き V_{OUT} A_{IN} = ビン21+22 外部アンプ (図10参照)	バイポーラ バッファ付き V_{OUT} A_{IN} = ビン21+22 外部アンプ	バイポーラ バッファなし V_{OUT} A_{IN} = ビン21+22 R_L (ピン19)を I_{OUT} (ピン20)に接続
1.25V	ユニポーラ バッファなし V_{OUT} A_{IN} = ビン22 ピン21=グラウンド	バイポーラ バッファなし V_{OUT} A_{IN} = ビン22 ピン21=グラウンド (図8参照)	ユニポーラ バッファ付き V_{OUT} A_{IN} = ビン22 ピン21=グラウンド 外部アンプ	バイポーラ バッファ付き V_{OUT} A_{IN} = ビン22 ピン21=グラウンド 外部アンプ	バイポーラ バッファなし V_{OUT} A_{IN} = ビン22 ピン21=グラウンド R_L (ピン19)を I_{OUT} (ピン20)に接続
5V	ユニポーラ バッファなし V_{OUT} A_{IN} = ビン21 ピン22=グラウンド (図7参照)	バイポーラ バッファなし V_{OUT} A_{IN} = ビン21 ピン22=グラウンド	ユニポーラ バッファ付き V_{OUT} A_{IN} = ビン21 ピン22=グラウンド 外部アンプ	バイポーラ バッファ付き V_{OUT} A_{IN} = ビン21 ピン22=グラウンド 外部アンプ	バイポーラ バッファなし V_{OUT} A_{IN} = ビン21 ピン22=グラウンド R_L (ピン19)を I_{OUT} (ピン20)に接続 (図9参照)

表II. AD668の種々の動作形式

DCリファレンス：AD586によるAD668の駆動

図11にアナログ入力源の一つである、固定リファレンスを示します。AD586は温度的に不安定な5Vアナログ出力を供給し、AD668の5V入力モードを駆動しています（ピン22をグラウンドに接続し、入力はピン21に接続）。ゲインの微調整はAD586の外部調整抵抗とリファレンス入力に直列の100Ωのポテンショメータのどちらでも行えます。AD586からリファレンス入力の抵抗分圧器へ約1mAの電流が流れ込みますが、システム内の他の負荷への大きな駆動電流を残すことができます。

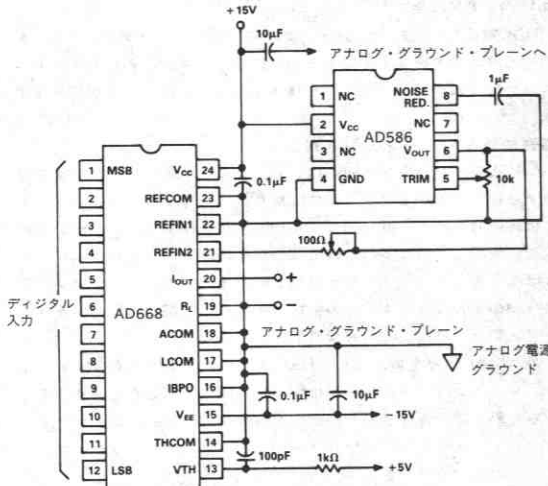


図11. AD586によるAD668の駆動

AC接続：1.25V ACフルスケール、2.5V DCフルスケール

図12に示す回路は、2.5VスケールのDCリファレンス・バイアス点と1.25Vスケールの容量結合のAC信号を分離して設定することができます。基本的なリファレンス入力には1.25Vモードに設定されています（ピン21をグラウンドに接続し、ピン22をリファレンス入力として使用しています）。DC経路内の外付の5kΩの直列抵抗により、2.5VのDC範囲の設定になっています。AD668の内部の入力抵抗分圧器の絶対値の比較広い許容範囲（±20%）により、実際のゲイン範囲調整は外付けの直列抵抗により行なわなければなりません。

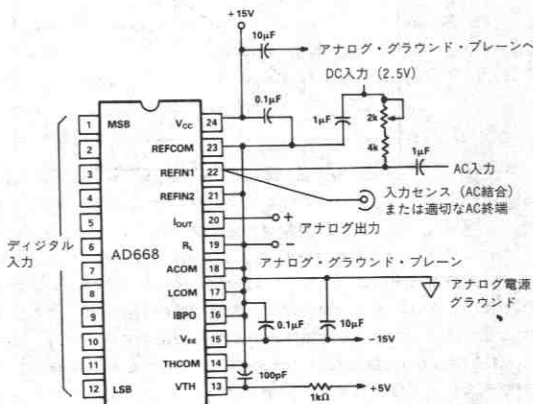


図12. AC接続回路

DACの駆動：AD568によるAD668の駆動

図13に、2つのデジタル入力の積に比例したアナログ出力を得る回路を示します。AD568は固定リファレンスを備え、1.024Vのフルスケール出力を（AD668がバッファなしの電圧出力モードで行なうのと同様に）生成します。出力電圧は1Vリファレンス入力モードのAD668を直接駆動することに使用できます。この場合にはAD568の低い側の410個のコードは制限範囲外です。これらのコードはAD668のリファレンス入力ではアンダー電圧条件を発生します。2つのDACは多くの点で似ていますが、最適なテカップリング方法は異なるため、個々のDACが適切に動作するように配慮が必要です。

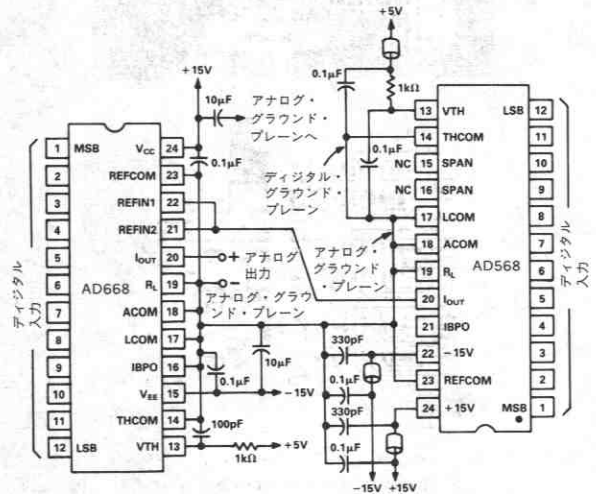


図13. AD568によるAD668の駆動

製作のガイドライン

高周波プリント基板

高速と高精度を同時に追求するシステムでは、回路の実現と製作は回路の設計と同じように重要となります。デバイスの選択、レイアウト、配線、電源バイパスとグラウンドにはRF技術を正しく適用しなければなりません。AD668の性能は多くの項目で平均的な研究室の測定器の能力レベルを越えており、性能評価が困難です。AD668はこれら問題にも関わらず比較的容易に設定が可能で、適切な配慮を行えば、本データ・シート中に示す特性の再現は決して困難ではありません。図14にAD668のほとんどの特性の測定に用いられたプリント基板のレイアウトを示します。この基板は図23の回路のレイアウトを示しており、リファレンス・チャネルの駆動のためAD586を使用しています（図11参照）。

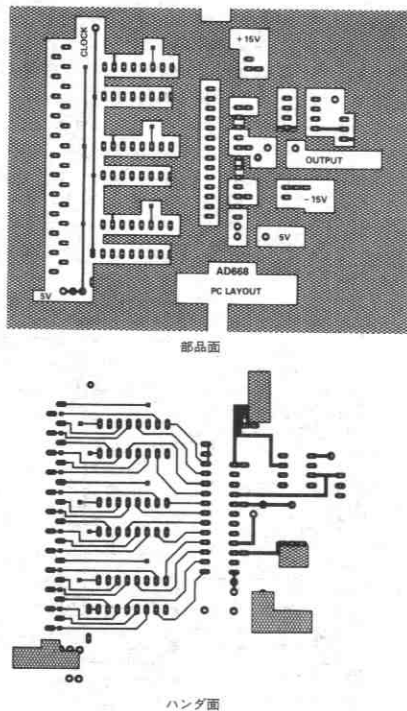


図14. プリント基板レイアウト

グラウンド・プレーンと電源プレーンの使用

グラウンド・プレーンの正しい使用により、高速回路基板にバイパス、シールド、電流伝達などの多大な機能を得ることができます。混在信号の設計では基板のアナログおよびデジタル部は相互に分離し、アナログ信号配線の領域はアナログ・グラウンド・プレーンでカバーし、デジタル信号配線の領域はデジタル・グラウンド・プレーンでカバーするように配置します。図14に示すようにこれらの2つのグラウンド・プレーンは1/4~1/2インチ幅の経路でDACの両側で接続します。重要な信号経路にわたるグラウンド・プレーンが切れないように配慮する必要があります。デジタル回路側では、DACに入力されるデジタル入力線やクロック信号もこれに含まれます。アナログ回路側ではアナログ入力信号、DAC出力信号、電源供給経路などが含まれます。電源配線に広いパターンやプレーンを用いることも推奨します。このことにより電源からデバイスへの低い直列インピーダンスと、適切なグラウンド・プレーンとの間の分布容量による自然な容量性デカップリングという2つの機能を得ることができます。

正しいバイパス・コンデンサの使用

高速の回路設計では電源のバイパスに使用するコンデンサは最も重要な外付け部品です。これらのバイパス・コンデンサの選択と配置の両方が重要であり、システム設定の仕様により広い範囲で左右されます。AD668におけるバイパス・コンデンサの選択に関する主な配慮は直列抵抗分とインダクタンスを最小にすることです。多くのコンデンサは20MHz以上の周波数で誘導性になり始めます。セラミックおよび被膜コンデンサはタンタルや電解型のコンデンサより

も一般的に低い直列インダクタンスを特長としています。バイパスに関する問題を解決するために適用できる一般的な法則はわずかしかありません。

バイパス・コンデンサは製作上の信頼性を下げない範囲で可能な限り短いリード線でプリント基板に実装します。このことは直列インダクタンスを最小にする助けとなります。この目的にはチップ・コンデンサが最適です。

DAC電源ピンと電源プレーンとの間の直列インダクタンスは、高周波電源ノイズをフィルタする助けになります。このインダクタンスは小型フェライト・ビーズを使用することで得ることができます。

高速接続とパターンの引き直し

信号と電源グラウンド回路は信号グラウンド経路での無用な電圧降下を招くことを避けるように配慮しなければなりません。すべての接続経路は短く、直接的で、物理的に可能な限りパッケージに接近して配置し、異なる信号電流間の導体経路の共有を最小にしなければなりません。1インチかそれ以上の長さの配線パターンでは終端抵抗が必要となります。この抵抗の必要性と抵抗値は使用するロジック・ファミリによって異なります。

最高のAC性能を得るためにDACはプリント基板に直接実装します。ソケットはデバイスの隣接するピン間に不要な容量性結合を与えるため、避けるべきです。試験と特性測定のためにはゼロ・インサーション・プレッシャ型ソケットよりもロー・プロファイル・ソケットの方が推奨できます。

代表的な性能特性

以下の項ではAD668を適切な回路構成に設定したときの代表的な性能を示します。可能な限り、図に示す性能レベルが実現できるようにガイドラインを掲載しています。

DC性能

消費電力対 V_{REF}/V_{NOM}

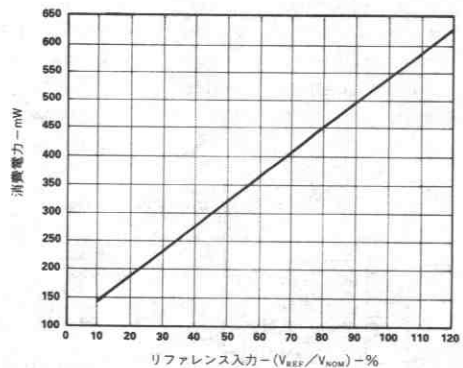


図15. 消費電力対リファレンス・レベル

これまで述べたようにAD668のほとんどの電流はアナログ入力信号に比例します。この結果、このデバイスを低いリファレンス電圧で使用すると、実際の消費電力を大幅に節約することができます。このことはバッファ付きの電圧出力機能を使用する応用では、低減したDAC電流の補償のために帰還抵抗の大きさを増大させることができるため、特に有効です。例えばDACを5V入力モードに設定し、2.5Vリファレンスで駆動し、5.12mAのフルスケール出力を得ることができます。後で述べるように出力レベルを低減することはいくつかの領域で性能の分岐を起しますが、AD668をその応用に

最適化するための消費電力と性能とのトレード・オフはユーザの判断となります。

直線性対 V_{REF}/V_{NOM}

電流レベルを低減すると、AD668に使用されているPNP DACの直線性はトランジスタの V_{BE} のミスマッチングに対してより敏感になります。図16に示すようにリファレンス・レベルが定格値の25%以下になると、この現象が急激に増加します。DACは100%のリファレンス・レベルで最適の性能を発揮するように調整されているため、電流を100%以上に増加しても直線性はそれほど改善されません。

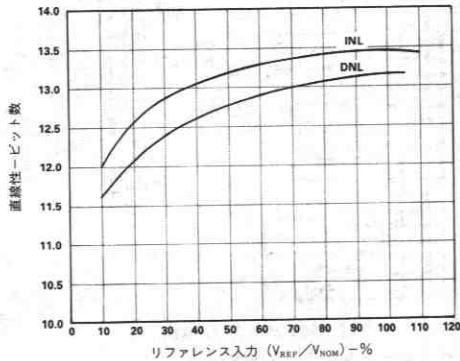


図16. 直線性対リファレンス・レベル

AC性能

AD668の周波数領域の性能を評価するため、全ビットを1とし、DACを基本的に電圧アンプ/アッテネータとして取扱います。これらの性能曲線を得るための試験は図12の回路で行ないました。

MHz領域のAC特性測定は容易ではなく、測定データを得るためには特別な配慮が必要です。プローブのグラウンド線を使用することは適当ではありません。各種のプローブ・ソケットが必要となります。信号の引回しはグラウンド・プレーン上のプリント基板か、同軸ケーブルを通す必要があります。測定機器全体について正しい終端インピーダンスを使用しなければなりません。

大信号周波数応答特性

図17に10%~120% (ピーク・ピーク) 振幅の定格リファレンス入力へのゲインと位相応答特性を示します。DACリファレンス・アンプはDAC出力で30V/ μ sの実効スルーレートをもち、それに起因して10MHz以上の周波数ではフルスケール振幅で歪みが発生します。

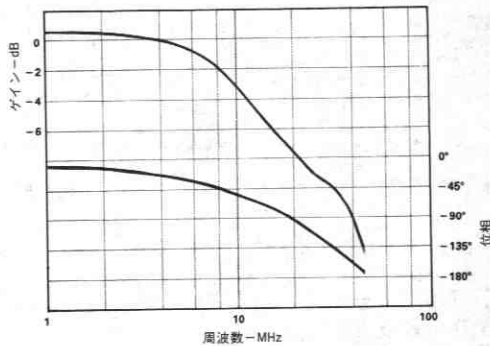


図17. 大信号時のゲインと位相応答特性

小信号3dB帯域幅対 V_{REF}/V_{NOM}

図18に小信号 (定格リファレンスの20%) 帯域幅でのアナログ入力のDCバイアス感度を示します。100%のリファレンス・レベルでの小信号3dB帯域幅は15MHz以上ですが、定格リファレンス範囲全体で10MHz以上の帯域幅が保たれています。200mV、3MHz信号での微分ゲインと位相はそれぞれ0.5%と2°です。

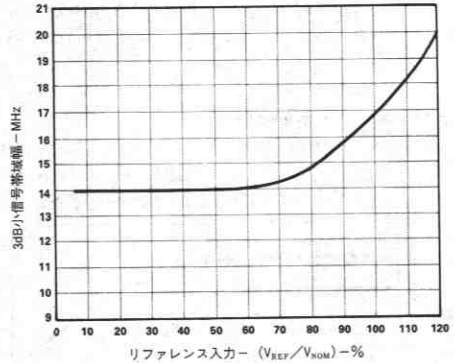


図18. 小信号帯域幅対DCリファレンス・レベル

ノイズ・スペクトラム

図19に、DACのビットをオール1とした場合のDACのノイズ・スペクトラムを示します。-78dBのノイズ・フロアは使用した測定器のノイズ・フロアの直上のレベルであり、その一部は電圧出力モードのDACの比較的小きな (1V) 出力信号にも起因しています。

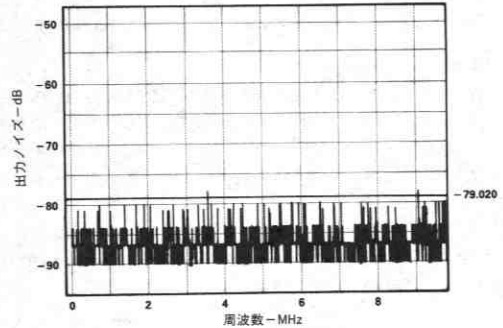


図19. ノイズ・スペクトラム

アナログ・フィードスルー対周波数

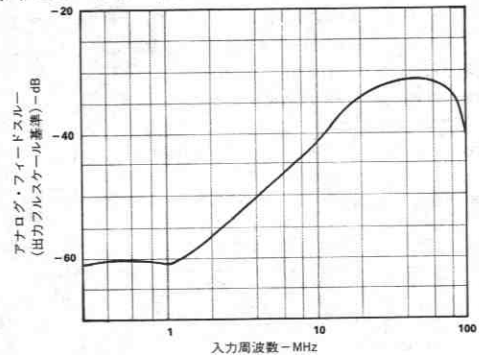


図20. アナログ・フィードスルー対周波数

アナログ・フィードスルーは全ビットが0でアナログ入力にフルスケール信号を加えたときのDAC出力における実効信号の測定値です。DC領域では、フィードスルーは結果としてアナログ入力に従っ

たグラウンド電圧降下（主としてラダー・グラウンド）となります。この影響は良好なグラウンド方法により最小とすることができます。より高い周波数では、信号はさまざまな容量性の経路により出力へ伝搬します。アナログ入力とDAC出力ノードとの間の外部結合を除去するために、正しいシールドとパターンへの引き回しを行わなければならない。

リファレンス・チャンネルのTHD

全高調波歪み（THD）は基本波と高調波の2乗の和の平方根（rms和）であり、dBで示します。図21にAD668のリファレンス・チャンネルの大小両信号レベルにおける代表的なTHD特性を示します。

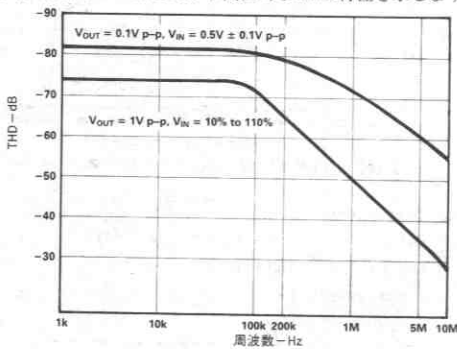


図21. リファレンス・チャンネルTHDの周波数特性

過渡特性

100ns以下のセトリング時間の高精度測定を行なうことは非常に困難です。オシロスコープの前段に使用する通常のアナログ・アンプは、通常はフルスケール・ステップによるオーバドライブから満足できる時間内に回復できません。サンプリング・スコープはより高速の立上り時間をトレースできますが、12ビットの測定には十分な精度しかとれません。データ・プレジジョン社の640型サンプリング・スコープは速度と分解能を兼ね備えており、AD668の性能の測定に十分な性能を持っています。

デジタル・セトリング時間

図22にアナログ入力が100%に固定された場合のデジタル入力のフルスケール変化に対するAD668の代表的なセトリング特性を示します。デジタル駆動回路を図23に示します。この回路ではDACを任意の2つのコード間でトグルでき、セトリング特性とグリップ特性の両方の最良な測定結果を得ることができます。

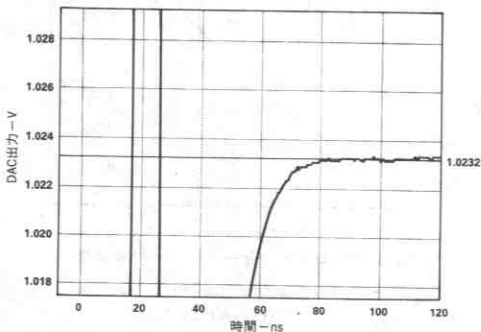


図22. 代表的なデジタル・セトリング特性

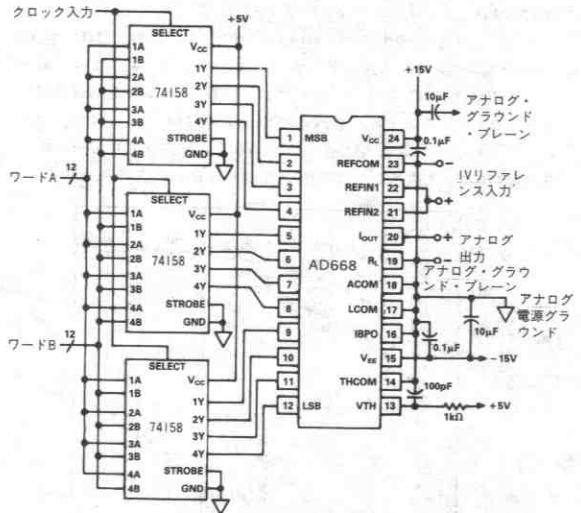


図23. セトリング時間測定回路

デジタル・セトリング時間対V_{REF}

リファレンス・アンプのループは $V_{REF}/V_{NOM}=100\%$ で最適なセトリング特性を持つように補償されていますが、図24に示すように広い範囲のリファレンス・レベルではセトリング特性に比較的小さな劣化が見られます。図15, 16, 24に関する考察も、電源電圧を半分にするることによる解決では速度と精度性能の劣化が小さなおものであることを裏付けています。

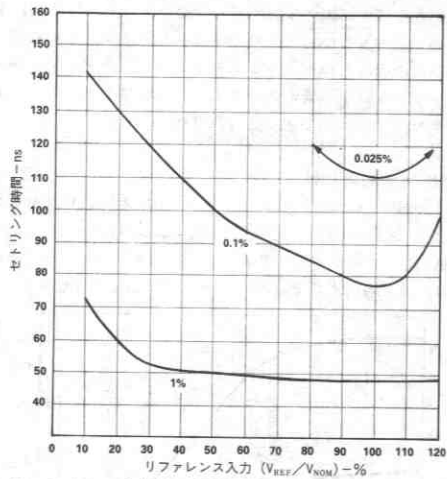


図24. デジタル・セトリング時間対リファレンス・レベル特性

アナログ・セトリング時間

高精度アンプのセトリング時間を測定するためには、いかにきれいな波形で入力を駆動する信号を発生するかということも重要な項目の一つです。この場合には1V入力モード（図13参照）のアナログ・チャンネルを駆動するためにAD568を使用しました。図25に示すように出力を基準にしたスルーレートは1V出力のとき $30V/\mu s$ です。このことは10MHz以上の周波数のフルスケールの正弦波のアナログ

入力によりスルーレートに起因する歪みを生ずることを意味します。スルーレートの制限はリファレンス・アンプに関するものであり、DAC出力に関するものではないため、出力バッファが十分に高速なら10Vのバッファ付き出力電圧は300V/μsのスルーレートをもちます。

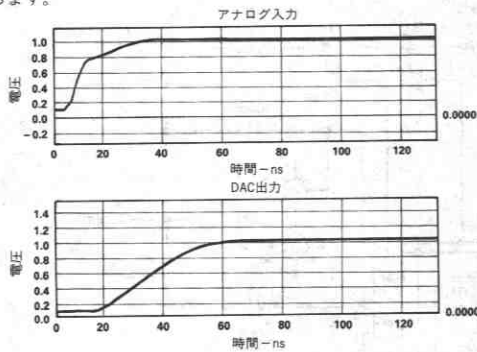


図25. 代表的なアナログ・セッティング特性

アンダー・電圧回復時間

リファレンス・チャネルの下限仕様の10%を超える場合の分岐は、アンダー・電圧条件の大きさと持続時間によって変化します。リファレンスを0% (REFIN=REFCOM) に1μsの間保持した後、100%に戻した場合には、AD668はフルスケールの10%に復帰するのに35nsかかることが図26からわかります。これは完全なオフ状態からの復帰であり、最悪の場合です。

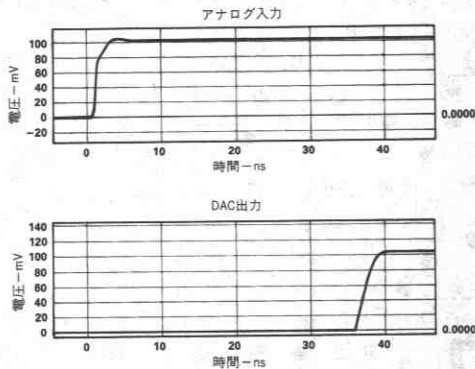


図26. アンダー・電圧からの復帰特性

グリッチ・インパルス

メジャー・キャリアにおけるAD668のグリッチを図2に示します。AD668は通常のDAC方式を使用しており、デジタル・フィードスルーとデータ・スキューという2種類のグリッチ発生メカニズムを持っています。これらのメカニズムに対する慎重な配慮は、個々の応用におけるグリッチを最小にする助けとなります。

デジタル・フィードスルー

高速D/Aコンバータは他のコンバータ製品と同様に高速デジタル・ロジックのノイズの多い環境と高感度のアナログ部との境界に否応なく置かれています。このインタフェースに伴う問題は高速性(10MHzを超えるスイッチング速度)と高精度(12ビット以上)

の要求が組合せられた場合には特に重大となります。どのような設計方式でも、DACのアナログ部と、2nsの立上り時間を持つデジタル入力信号の帯域成分とを完全に絶縁できません。このデジタル信号がチップに入力されると、この信号のうち高い周波数成分は敏感なアナログ・ノードへの経路を伝わり、必然的にデジタル・フィードスルー・グリッチが発生します。この影響を避けるため、より低速のDACには含まれているオンボード・ラッチをAD668では意識的に除去しました。このことにより、チップ上の全体的なデジタル動作を減少させ、またラッチのクロック・パルスを入力することによりDACの入力コードを変化させない場合でもクロック・パルスの反対のエッジにより大きなグリッチを必然的に発生することを避けています。

データ・スキュー

より低速な多くのコンバータと同様に、AD668では基本的に出力(I_{OUT})または他のノード (ANALOG COM) への、分離し重み付けられた電流を個々のデジタル入力線により切替えています。入力ビットが同時に変化しなければ、あるいは異なるDACビットが異なる速度で切替われれば、DACの出力電流は瞬間的に不正な値となることがあります。キャリア一点では、DAC出力変化は1LSBのみであるにも関わらず、この変化を実現させるためにいくつかの大きな電流源を切替えなければならないため、特に問題となります。ほんの小さな出力遷移が必要な場合にも、データ・スキューによりDAC出力にフルスケール方向またはゼロ方向 (スキュー方向により) への大きな変化が起こることがあります。AD668では設計とレイアウトの際、DAC内部のスイッチの切替え時間が対称で、入力データ線の長さが短くかつマッチングするよう多大な注意を払いました。グリッチを問題とするユーザは、AD668の入力でのデータ・スキュー (特に上位4ビットまたは5ビットについて) を最小にすることも配慮すべきです。このことは適切なロジック・ファミリとゲートを使用してDACを駆動し、特に上位ビットについてロジック出力とDAC入力との間の内部配線をできる限り短くかつ同一長とします。ラッチを使用する場合には上位の6ビットは同一のラッチICで駆動します。

高精度波形発生のためのデグリッチ

AD668のデグリッチに満足できる性能を持つ高速SHAが存在しますが、それらの大部分はハイブリッド設計であり、非常に高価です。高速モノリシック・オペアンプと高速DMOS FETスイッチを使用した高性能で低価格の代替回路を図27に示します。

このSHA回路は反転積分器方式を用いています。ここに使用されているAD841オペアンプ (ゲイン帯域幅積300MHz) はAD668と同じ高速プロセスで製造されています。100Ω抵抗と100pFコンデンサによって形成される時定数によりアクイジション時間とスルーに起因する歪みを除去できる出力信号帯域幅のバンド・リミットを決定します。

SD5000クワッドDMOSスイッチの最高の性能を実現するため、デイスクリートの駆動回路を使用しています。このスイッチ駆動セルはMPS571高周波npnトランジスタとMC10124TTL-ECLトランジスタにより構成されています。この方法を使用することで高速と高い対称性を持つSD5000スイッチへの駆動信号が得られます。このスイッチは単投2極 (SPDT、1回路2接点) 接続となっています。ホールド・モード中には360pFのフライバック・コンデンサをオペアンプのサミング・ジャンクションに切替えて、スイッチング・トランジェントと出力の間を切離します。サンプル・モードではこのコンデンサはグラウンドに接続し、アクイジション時間への影響を最小にします。

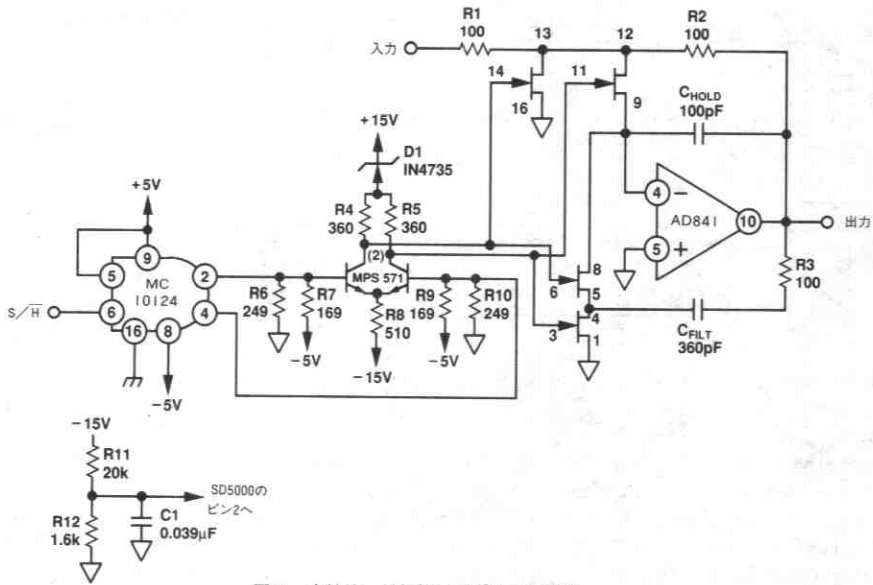


図27. 高性能、低価格のデグリッチ回路

高速デグリッチ回路では回路設計と同様に回路レイアウトも重要です。図28にこのデグリッチ回路の両面プリント基板での推奨レイアウトを示します。このレイアウトは非常に小型であり、重要な信号経路はすべて短くするように配慮されています。

このデグリッチ方式を使用することで波形発生応用でのAD668の性能は大幅に向上します。10MHzまでのアップデート・レートでピーク高調波とスプリアス・フリーのダイナミック・レンジは-70dB~-75dB typに保たれています。

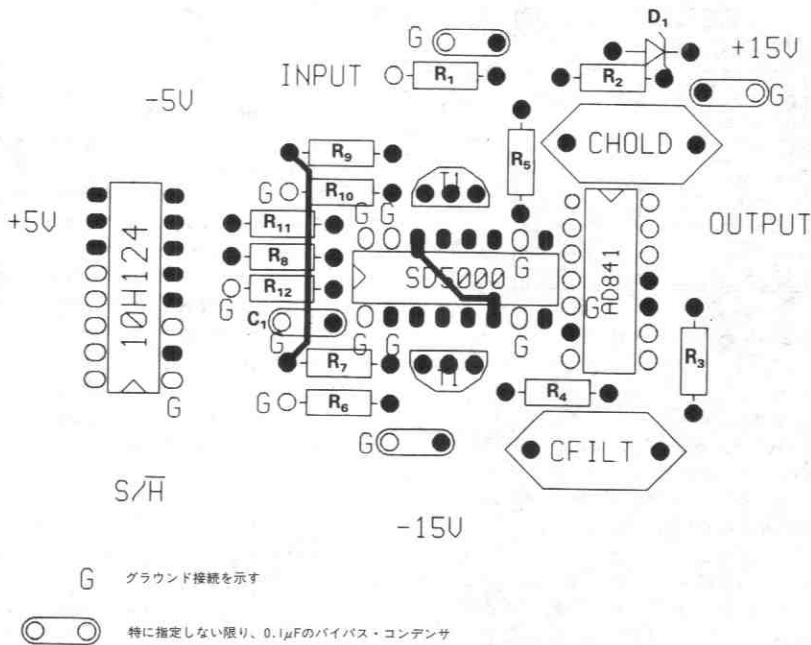


図28a. PCBレイアウト (ハンダ面)

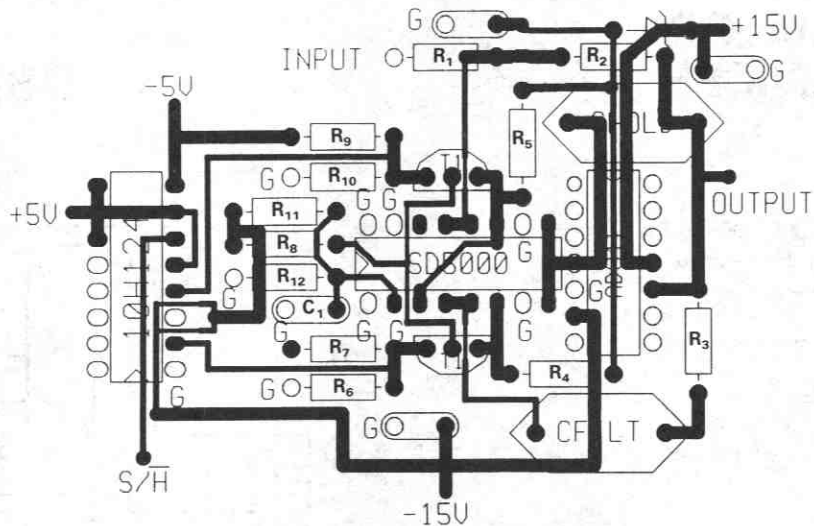


図28b. PCBレイアウト (部品面)

オーダ・ガイド

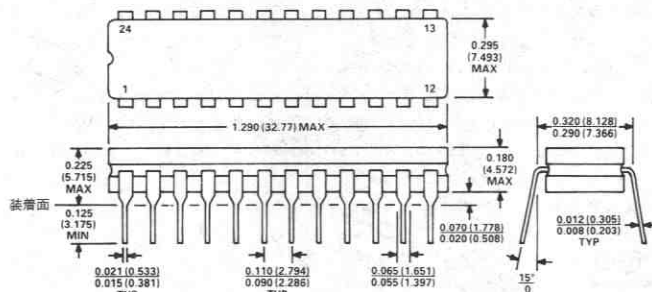
モデル	温度範囲	最大直線性誤差@25°C	電圧ゲイン温度係数 ppm/°C max	パッケージオプション*
AD668JQ	0°C ~ +70°C	±1/2	±30	Q-24
AD668KQ	0°C ~ +70°C	±1/4	±15	Q-24
AD668SQ	-55°C ~ +125°C	±1/2	±40	Q-24

*Qはサーディップ

外形サイズ

サイズはインチと (mm) で示します。

24ピン・サーディップ (Qサフィックス)



- 1番ピンは点または刻みで示します。
- サーディップのリードはMIL-M-38510規格に準拠してスズ・メッキまたはハンダ付けが施されています。

特長

- 0.0040%のTHD
- 高速DSPに直接インタフェース可能
- 外付部品不要
- 500kSPSまでのサンプリング・レート
- 2の補数形式のシリアル入力
- ±3V出力
- オプションの調整により、スーパーリニア性能を実現
- ±5V〜±12V動作
- 16ピン・プラスチック・パッケージ

応用

- デジタル信号処理
- 高速モデム
- 音声合成

概要

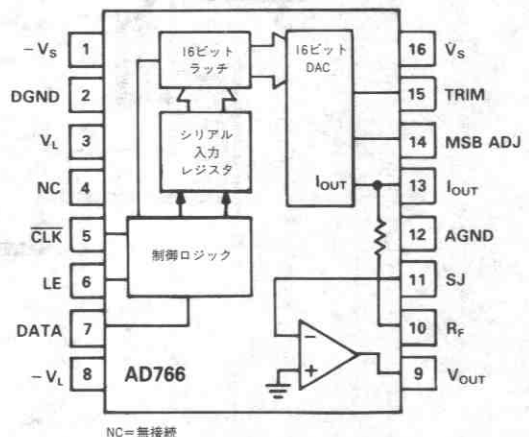
AD766はモノリシックの16ビットDSP DACです。電圧出力アンプ、16ビットDAC、16ビット・シリアル/パラレル入力レジスタ、そしてリファレンス電圧を内蔵しています。AD766のデジタル部は弊社独自開発のBiMOS IIプロセス技術によるCMOSロジック回路で構成されています。AD766のアナログ部はバイポーラ、MOSデバイスおよび薄膜抵抗から構成されています。

回路素子の組合せ方式や細心の設計とレイアウトにより、AD766の優れたAC特性が実現されました。直線性誤差のレーザ・トリミングにより、極めて低い全高調波歪み特性が得られています。さらに、ミッドスケールでの残留微分直線性誤差を除去するためにオプションの直線性調整端子が設けられています。出力グリッチが小さいことも高レベルの総合特性の実現に寄与しています。出力アンプは高速セトリング特性と高いスルーレートをもち、フルスケール±3Vの信号を出力することができます。AD766は50kHzまでの出力信号の生成に使用することができます。出力アンプには短絡保護回路が設けられており、グラウンドへの無制限の短絡に耐えることができます。

シリアル入力インタフェースはクロック、データそしてラッチ・イネーブル信号から成っています。シリアル2の補数形式のデータ・ワードが外部データ・クロックによってMSBを先頭にしてDACに読込まれます。入力ワードはラッチ・イネーブル信号により、内部シリアル入力レジスタからパラレルDAC入力レジスタへ転送されます。このシリアル入力ポートはDSP56000、TMS320CXX、ADSP-2101、その他の一般的なDSPとの動作を実現するために外付部品を必要とせず、直接接続できます。入力クロック・レートは最大12.5MHzです。

AD766は±5V〜±12Vの電源で動作します。デジタル電源+V_Lと-V_Lは、デジタル・クロストークを抑えるためにアナログ電源+V_Sと-V_Sと分離することができます。アナログとデジタルのグラウンド・ピンも独立して設けられています。

機能ブロック図



NC=無接続
AD766の消費電力は±5V電源時で120mW typ. +5V/-12V時で225mW typ. ±12V時で300mW typ.です。

AD766は一般用バージョンとして販売されます。AD766JNは0〜+70°Cの動作温度で仕様が規定されており、パッケージは16ピン・プラスチックDIPです。

製品ハイライト

1. DSPユーザのためのダイナミック仕様
AD766ではAC特性の仕様が規定しているので、DSP応用に特に適しています。全高調波歪みとS/N比は個々のデバイスごとに試験されています。
2. 温度特性仕様
AD766は一般用温度範囲で仕様が規定され、100%試験されています。
3. ゼロチップ・マイクロプロセッサ・インタフェース
AD766はADSP-2101、TMS320CXX、DSP56000と直接接続できるように設計されています。DACをイネーブルしたり、マイクロプロセッサと通信するための面倒なロジックを考慮する必要はありません。クロック、データ入力、ラッチ・イネーブルの3つの信号のみが必要です。
4. 96dBの広いダイナミック・レンジ
5. 低消費電力です。(120mW)。
6. パッケージはコンパクトな16ピン・プラスチックDIPです。

仕様

(特に指定のない限り、 T_{min} - T_{max} 、 $\pm 5V$ 電源、 $F_s=500kSPS$)

パラメータ	Min	Typ	Max	単位
分解能			16	ビット
デジタル入力				
V_{IH}	2.0		$+V_L$	V
V_{IL}			0.8	V
I_{IH} 、 $V_{IH}=V_L$			1.0	μA
I_{IL} 、 $V_{IL}=0.4$			-10	μA
最大クロック入力周波数	12.5			MHz
精度				
ゲイン誤差		± 2.0		FSRの%
ゲイン・ドリフト		± 25		FSR/ $^{\circ}C$ のppm
ミッドスケール出力電圧誤差		± 30		mV
バイポーラ・ゼロ・ドリフト		± 4		FSR/ $^{\circ}C$ のppm
微分直線性誤差		± 0.001		FSRの%
全高調波歪み				
$F_{OUT}=1037Hz$	0dB	-88	-81	dB
	-20dB	-75	-65	dB
	-60dB	-37	-27	dB
$F_{OUT}=49.07kHz^1$	0dB	-77	-72	dB
	-20dB	-69	-66	dB
	-60dB	-25	-21	dB
S/N比 ²				
広帯域				
20Hz~20kHz		-102	-94	dB
20kHz~250kHz		-83	-79	dB
セトリング時間 (FSRの $\pm 0.0015\%$)				
電圧出力	6Vステップ	1.5		μs
	1LSBステップ	1.0		μs
	スルーレート	9		V/ μs
電流出力	1mAステップ、10 Ω ~100 Ω 負荷	350		ns
	1k Ω 負荷	350		ns
単調増加性		15		ビット
出力				
電圧出力設定				
バイポーラ・レンジ	± 2.88	± 3.0	± 3.12	V
出力電流		± 8.0		mA
出力インピーダンス		0.1		Ω
出力短絡時間	コモンへの短絡は無制限			
電流出力設定				
バイポーラ・レンジ	± 0.7	± 1.0	± 1.3	mA
出力インピーダンス ($\pm 30\%$)		1.7		k Ω
電源 (12.5MHzクロック)				
電圧	$+V_L$ と $+V_S$	4.75	13.2	V
	$-V_L$ と $-V_S$	-13.2	-4.75	V
電流				
ケース1				
$+I$ 、 V_S と $V_L=+5V$		12.0	15.0	mA
$-I$ 、 $-V_S$ と $-V_L=-5V$		-12.0	-15.0	mA
ケース2				
$+I$ 、 V_S と $V_L=+12V$		10.5		mA
$-I$ 、 $-V_S$ と $-V_L=-12V$		14		mA
ケース3				
$+I$ 、 V_S と $V_L=+5V$		12		mA
$-I$ 、 $-V_S$ と $-V_L=-12V$		14		mA
消費電力				
V_S と $V_L=\pm 5V$		120	150	mW
V_S と $V_L=\pm 12V$		300		mW
V_S と $V_L=+5V$ 、 $-V_S$ と $-V_L=-12V$		225		mW
温度範囲				
仕様	0		+70	$^{\circ}C$
保管	-60		+100	$^{\circ}C$
ウォームアップ時間	1			分

注

1 外部オペアンプを使用した仕様。詳細は図7を参照。

2 フルスケール入力で試験。

最小および最大値はすべて保証されています。太字の仕様は最終電気試験で全数検査されています。これらの試験結果は出荷品質レベルの算出に使用されています。

仕様は予告なしに変更することがあります。

絶対最大定格*

V_L -DGND	0 ~ +13.2V
V_S -AGND	0 ~ +13.2V
$-V_L$ -DGND	-13.2 ~ 0V
$-V_S$ -AGND	-13.2 ~ 0V
デジタル入力-DGND	-0.3V ~ V_L
AGND-DGND	±0.3V
短絡保護	グラウンドに対し無制限
ハンダ付け	+300°C、10秒
保管温度	-60 ~ +100°C

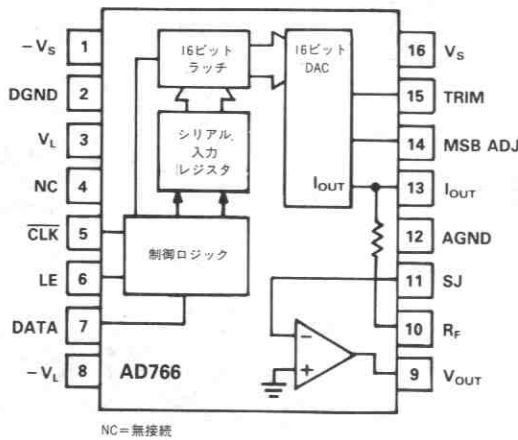
注

*絶対最大定格を超えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

ピン説明

ピン	名称	機能
1	$-V_S$	アナログ負電源
2	DGND	デジタル・グラウンド
3	V_L	ロジック正電源
4	NC	無接続
5	CLK	クロック入力
6	LE	ラッチ・イネーブル入力
7	DATA	シリアル・データ入力
8	$-V_L$	ロジック負電源
9	V_{OUT}	電圧出力
10	R_F	帰還抵抗
11	SJ	サミング・ジャンクション
12	AGND	アナログ・グラウンド
13	I_{OUT}	電流出力
14	MSB ADJ	MSB調整ピン
15	TRIM	MSB調整トリマ・ポテンショメータ接続ピン
16	V_S	アナログ正電源

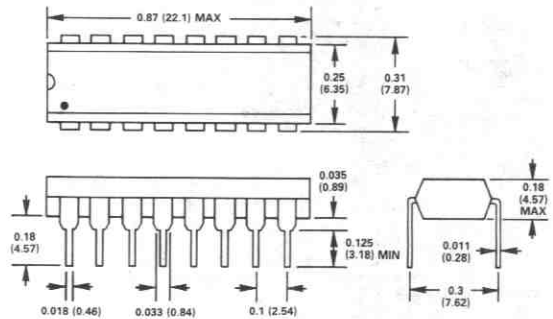
ブロック図



外形サイズ

サイズはインチと (mm) で示します。

16ピン・プラスチックDIP



注意

この素子はESD(Electro-Static-Discharge)センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させることが必要です。



仕様用語の説明

全高調波歪み (THD)

高調波の値の2乗を合計したものの平方根の基本入力周波数の値に対する割合で、%またはデシベル (dB) で表します。

THDによって直線性誤差、微分直線性誤差、量子化誤差、ノイズの大きさ・分布を測ることができます。これらの誤差の分布は出力信号の大きさによって異なるため、大信号と小信号の両方に対してTHDを規定する必要があります。

セトリング時間

デジタル入力の変遷から出力が最終値の特定の誤差範囲内に達し安定するまでの時間で、ゲイナミック特性の際も主要な指標です。

ダイナミック・レンジ

コンバータが処理できる最も低いレベルの信号と生成できる最も高いレベルの信号の比で、通常デシベル (dB) で表します。nビットのコンバータの理論上のダイナミック・レンジはおおよそ $(6 \times n)$ dBで、16ビットのAD766の場合96dBになります。もっとも実際のダイナミック・レンジはノイズや他の誤差による制限があるため、理論上の値より小さくなります。

バイポーラ・ゼロ誤差

入力レジスタにハーフスケールを表す2の補数コンプリメンタリ入力コード (全ビットが0) が入力された時の、正しい出力 (0V) と実際のアナログ出力との偏差。

微分直線性誤差

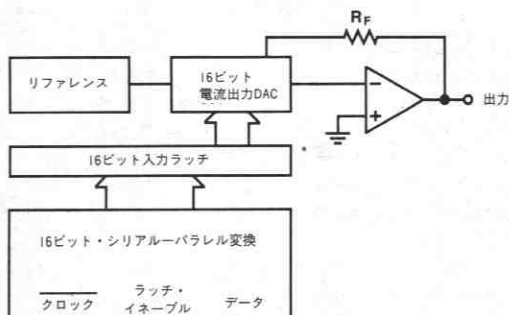
デジタル入力に1LSB変化した時のアナログ値の変動をフルスケールに正規化したもので、動作の単調性を実現するためには微分直線性誤差が負方向に1LSBを超えないことが必要です。

単調増加性

デジタル入力が増大している時、出力が増大または一定していれば、そのD/Aコンバータは単調増加性を持つといえます。

S/N比

S/N比はある仕様帯域幅について基本波以外のすべての値を2乗し合計したものの平方根の値と基本波の値との比です。S/N比の試験はフルスケール入力で行なわれます。AD766では20kHzと250kHzの帯域幅でS/N比を規定しています。



AD766のブロック図

機能説明

AD766は完全なモノリシック16ビットDSP DACです。動作に他の外部部品を必要としません。上記のブロック図に示したように、各チップには電圧リファレンス、出力増幅器、16ビットDAC、16ビット入力ラッチ、16ビット・シリアル-パラレル入力レジスタが内蔵されています。

電圧リファレンスはバンドギャップ回路とバッファ・アンプから構成され、時間や温度の変化に対して安定した出力電圧を供給します。このリファレンス電圧から生成されるDAC出力電圧もこれらの環境変化による影響を受けません。

低オフセット、高スルーレート、および理想的なセトリング時間を実現するため、出力アンプにはMOSデバイスとバイポーラ・デバイスの両方が用いられています。オンチップ・フィードバック抵抗を用いることにより、出力オペアンプはAD766の出力電流を電圧出力に変換することができます。

16ビットD/AコンバータはセグメントデコーダとR-2R構造を組み合わせたもので、すぐれた直線性、微分直線性を実現しています。ラダー構造を構成する抵抗にはシリコン・クロム薄膜が用いられています。これらの抵抗はレーザ・トリミングされているため直線性誤差が減少し、出力ひずみが低く抑えられています。

入力レジスタとシリアル-パラレル・コンバータはCMOSロジック・ゲートで構成されています。これらのゲートにより高速スイッチング特性と低消費電力を実現します。このことがAD766の総合的な消費電力の低下に寄与しています。

アナログ回路について

グラウンドの接続方法

AD766はアナログ・グラウンドとデジタル・グラウンドの2本のグラウンド・ピンを持っています。アナログ・グラウンド・ピンは高品質のグラウンド・リファレンス・ポイントとなります。アナログ・グラウンド・ピンはシステムのアナログ・グラウンド・ポイントに接続して下さい。また出力負荷も同じポイントに接続して下さい。

デジタル・グラウンド・ピンはAD766のデジタル・ロジック部からのグラウンド電流を帰します。デジタル・グラウンド・ピンはシステムのデジタル・コモン・ポイントに接続して下さい。アナログ・グラウンドとデジタル・グラウンドはシステム内の1点で接続していなければなりません。

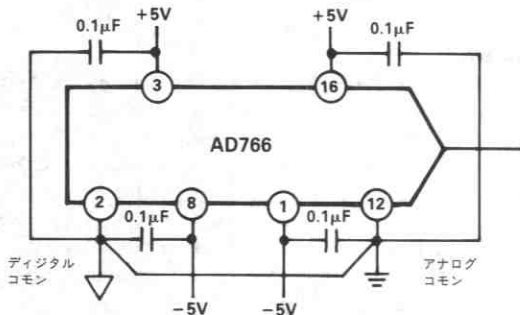


図1. 推奨の回路構成

電源およびデカップリング

AD766は正常に動作させるためには4つの電源を必要とします。 $\pm V_S$ は電圧リファレンスや出力アンプなど、DACのリニア部を動かすための電圧を供給します。 $\pm V_S$ は $\pm 5 \sim \pm 12V$ までの値とすることができます。

$\pm V_L$ はチップのデジタル部（入力シフト・レジスタ、入力ラッチ回路）を動かします。 $\pm 5 \sim \pm 12V$ の任意の値をとることができます。

すべての電源ピンはデカップリング・コンデンサを使用して下さい。コンデンサはできるだけパッケージ・ピンやコモン・ポイントの近くに置くようにしたほうがよい結果が得られます。 $\pm V_L$ はロジック・コモンにそして $\pm V_S$ はアナログ・コモンにデカップリングして下さい。

4つの電源を使用することによってデジタル・フィードスルーの低減性能が優れたものとなります。デジタル・ノイズが回路のデジタル部の中に留まりやすくなるためリニア部に影響が及びません。もっとも電源が4つないと回路の性能が落ちるわけではないので、例えば正電源と負電源が1つずつのシステムでも、 $\pm 5 \sim \pm 12V$ の範囲内であれば十分AD766を動作させることができます。この場合ロジック+電源とアナログ+電源は互いに接続することができ、ロジック+電源とアナログ+電源は共に単一の電源に接続することができます。簡単なローパス・フィルタを回路内の別々の電源ラインに挿入してアイソレーションを行うと、デバイスの性能はさらに向上します。

非常に直線的な回路であるため、電源内の変動は出力に大きな影響を与えます。このデバイスを用いたシステムには、リップルが1%以内の低電圧電源を使用するようお勧めします。

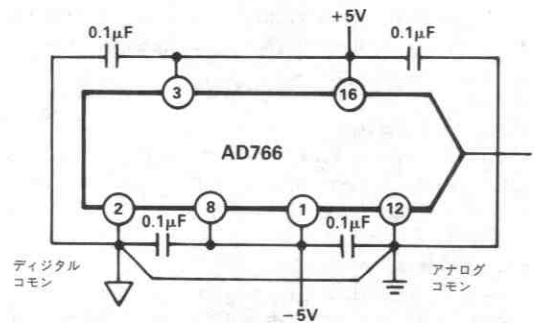


図2. 2電源での接続

全高調波歪み

DSP DACのTHDの値は、デジタル波形を再生する過程で生じる好ましくない信号の大きさを表し、そのため必要な性能レベルのDACを選んだり分類するときの指標としてTHDが用いられます。

当社ではAD766について2つの出力周波数および全動作温度範囲でTHD特性をテストしています。

図3にテストシステムのダイアグラムを示します。

特性試験の際、DUT (DEVICE UNDER TEST: テストされる素子) には0dB、-20dB、-60dBの1037Hzおよび49.07kHzの正弦波に該当するデータが入力されます。入力データは500kSPSの速度でAD766にラッチされます。試験されるAD766は内蔵のオペアンプにより1kHzの出力信号を、また外部オペアンプにより50kHzの出力信号を生成します。

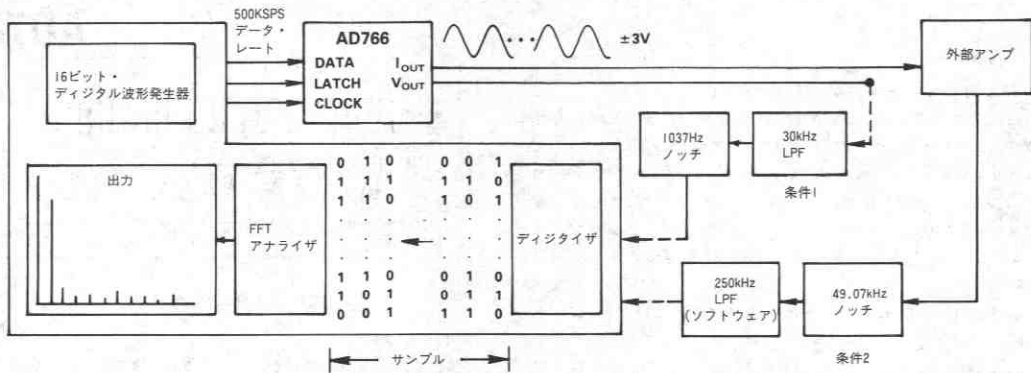


図3. THDテスト回路ブロック図

自動テスト装置により出力テスト波形がデジタル化され、試験結果のFFTが行なわれます。被測定素子の1037Hzの基本波の第9次までの高調波と49.07kHz出力信号波形の第3次までの高調波が計算されます。このTHDテストではデグリッチャやMSB調整は行ないません。

回路設計、レイアウト、そして製造技術によりAD766では優れたTHD特性が得られています。図4に外部アンプ出力信号を使って1kHzおよび50kHzでのさまざまな信号振幅でのAD766の出力波形の無調整THDの代表値を示します。これに示すようにAD766は-60dBの小振幅でも優れた特性を示しています。図5にAD766のフィルタ出力のTHD対周波数の代表値を示します。約30kHzより上の周波数では使用するローパスフィルタの特性により、ここに示す値よりも3~4dBのTHDの改善を期待することができます。図5のグラフは250kHzのローパスフィルタにより得られたものです。図6に温度に対するTHD性能を示します。

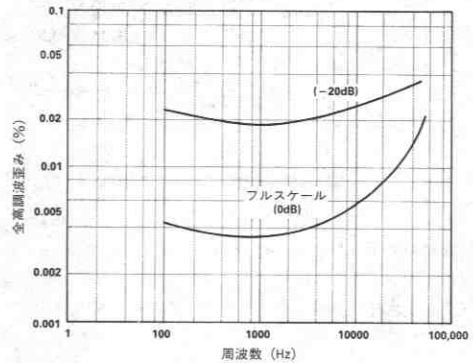
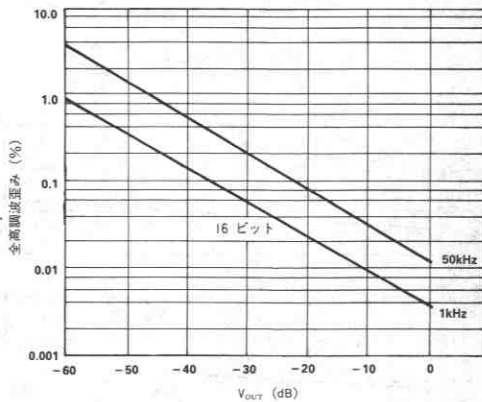


図5. 代表的なTHDの周波数特性



注: 0dB=フルスケール

図4. 代表的な無調整THD特性

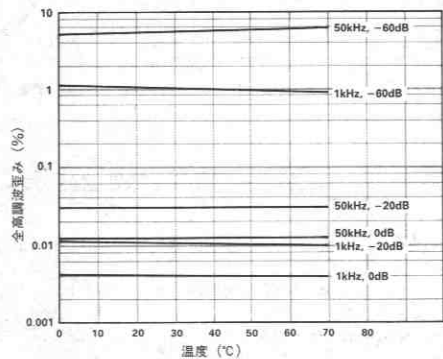


図6. THDの温度特性

AD766と外部オペアンプの接続について

ほとんどの応用において、AD766の内蔵オペアンプは優れた性能を実現します。内部オペアンプを使用する際には単にピン9とピン10、それにピン11とピン13を接続します。高い周波数で低いTHD特性を必要とする応用では外部にオペアンプを接続することをお奨めします。AD744などの広い帯域幅、高いオープン・ループ・ゲイン、低THD、そしてより優れたノイズ特性を持つアンプが最適です。推奨できるオペアンプとしては、そのほかにAD845とAD846があります。AD766とAD744を使用する際に必要な接続を図7に示します。

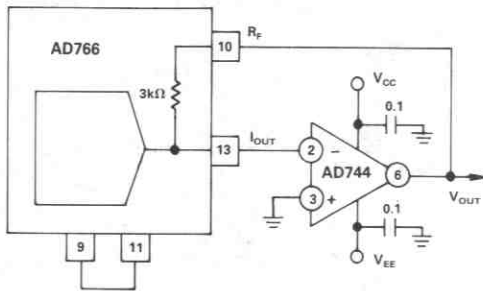


図7. 外付けオペアンプの接続

内部オペアンプを閉ループ接続にするにはAD766のピン9をピン11に接続します。AD766の電流出力ピンはAD744の反転入力に直接接続し、オペアンプの出力はピン10 (R_F) に接続します。この設定ではAD744を反転電圧-電圧コンバータとして使用し、±3Vの出力範囲が得られます。

MSB調整 (オプション)

オプションの調整回路を使うことにより、残ったミッドスケール周辺の微分直線性誤差を除くことができます。これらの誤差は低レベルの信号を再生する時に特に重要です。この場合、信号レベルが小さくなるため信号レベルに対するミッドスケールの微分直線性誤差の割合が高くなり、したがってTHDが増大します。

そこで信号出力レベルが低い時にできるだけ性能を上げるためには、図8に示したオプションのMSB調整回路を利用して下さい。この回路を用いることによりミッドスケールの微分直線性誤差はなくなります。

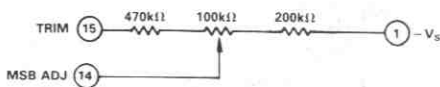


図8. MSB調整回路 (オプション)

デジタル回路について

入力データ

AD766への入力データは16ビット・ワードがMSBからのビット・ストリームの形で送られてきます。正しく機能するためにはデータ、クロック、ラッチ・イネーブルの3種類の信号が必要です。入力データはクロック信号の立上がりエッジで入力レジスタに送られます。LSBは16回目のクロック・パルスで入力されることになります。すべてのデータ・ビットがロードされると、ラッチ・イネーブル・パルスがローになってDAC入力を更新します。図9はAD766のデータ転送に関する一般的な信号パターンを表しています。

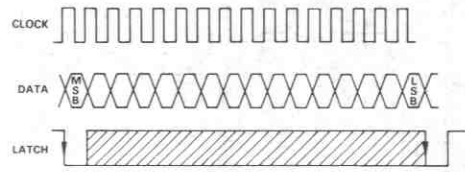


図9. AD766の信号パターン

タイミング

AD766の入力ピンは電源電圧に関わらずTTLと5V CMOSのどちらにも対応することができます。

図9と図10で示した入力形式は、一般のDSPによるデータ出力に対応します。AD766の入力クロックは12.5MHzです。このクロック・レートにより、500kSPSまでのデータ転送速度が可能です。応用の項ではTI社やモトローラ社、そして弊社のDSPとAD766との使用についての情報を記載しています。

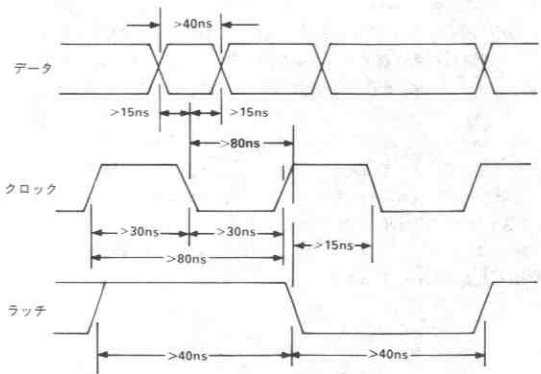


図10. 入力信号のタイミング

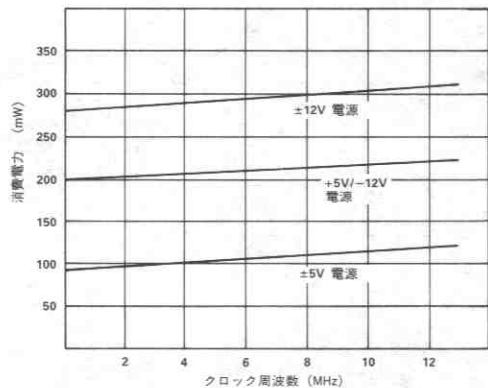


図11. クロック周波数と消費電力の関係

応用

AD766とDSPとの接続

AD766はロジック回路の追加なしに一般的なDSPとの接続ができるように設計されています。したがって、部品点数の最少化が計られ、インタフェースによる問題の発生の可能性が減少し、システムの信頼性が向上します。

AD766とADSP-2101との接続

図12に示すように、ADSP-2101はAD766を直接接続することが可能な2個のシリアル・ポートを備えています。ADSP-2101のSCLK、TFS、DT出力はそれぞれAD766の $\overline{\text{CLK}}$ 、LE、DATA入力に直接接続できます。SCLKは内部で発生され、94Hzから6.25MHzの間で動作するようプログラムできます。データ (DT) はSCLKの立下りエッジで有効となります。16ビットが転送された後、TFSの立下りエッジでAD766のデータ・ラッチが更新されます。ADSP-2101の両方のシリアル・ポートを使用して2個のAD766が追加部品なしに直接接続できます。

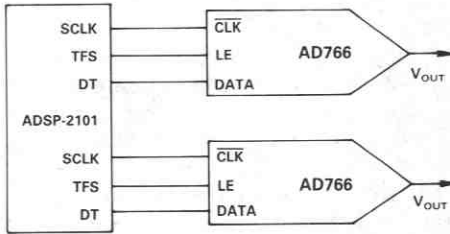


図12. AD766とADSP-2101/ADSP-2102のインタフェース

AD766とTMS320C25の接続

図13にTMS320C25との追加部品なしの接続を示します。TMS320C25とのインタフェースも同様です。

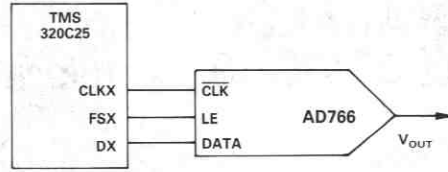


図13. AD766とTMS320C25のインタフェース

TMS320C25のCLKS、FSX、DX出力がそれぞれAD766の $\overline{\text{CLK}}$ 、LE、DATA入力に直接接続できます。データ (DX) はCLKXの立下りエッジで有効となります。TMS320C25の最大シリアル・クロック・レートは5MHzです。

AD766とDSP56000/56001のインタフェース

図14にAD766とDSP56000/56001との外付部品なしの接続を示します。56000/56001のSSIによりシリアル・クロックをfosc/4までの速度にすることができます。SCK、SC2、STD信号はそれぞれAD766の $\overline{\text{CLK}}$ 、LE、DATA入力に直接接続できます。56000のCRAレジスタによってSCLKを内部で発生することができ、マスタ・クロック周波数の数分の1にソフトウェア設定できます。データ (STD) はSCKの立下りエッジで有効になります。

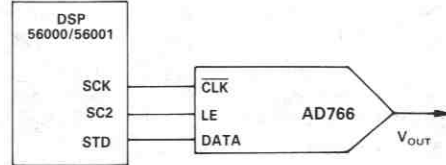


図14. AD766とDSP56000/56001のインタフェース

特長

S/N比: 110dB

高速セトリングで16倍のオーバサンプリングを実現

±3V出力

オプションのトリムによりスーパリア性能が可能

±5V動作

16ピン・プラスチックDIPおよびSOICパッケージ

AD1856およびAD1860オーディオDACとピン・コンパチブル

2の補数形式、シリアル入力

応用

高級CDプレーヤ

デジタル・オーディオ・アンプ

DATレコーダおよびプレーヤ

シンセサイザおよびキーボード

概要

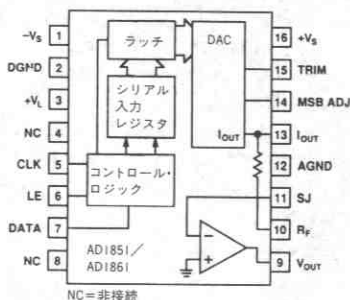
AD1851/AD1861はモノリシックのPCMオーディオDACです。AD1851は16ビット、AD1861は18ビットのデバイスです。各デバイスには電圧出力アンプ、DAC、シリアル-パラレル-レジスタおよび電圧リファレンスが内蔵されています。AD1851/AD1861のデジタル部は弊社の2 μ m ABCMOSプロセスによるCMOSロジック素子で構成されています。アナログ部はバイポーラおよびMOSデバイスと薄膜抵抗から構成されています。

この回路素子による構成と細心の設計およびレイアウトにより、高性能なオーディオ再生が可能となります。直線性誤差のレーザ-トリムにより全高調波歪みが低く抑えられています。オプションの直線性トリム・ピンによって、ミッドスケールでの残留微分直線性誤差の除去が可能です。この機能は小振幅信号の再生を低歪みで行う際に特に重要です。出力グリッチも小さく抑えられており、全体的な高レベル性能に寄与しています。出力アンプは、フルスケール±3Vの信号を8mAまでの電流負荷に対して供給し、高速セトリングと高いスルー・レートを実現しています。電流出力モードで用いる場合、AD1851/AD1861は±1mAの出力信号を供給します。出力アンプは回路短絡から保護されており、グラウンドに対して連続的な短絡に耐えることができます。

シリアル入力インタフェースはクロック、データ、ラッチ・イネーブルの各ピンから構成されています。シリアル2の補数形式のデータ・ワードは、MSBを先頭に外部クロックに同期してDACに入力されます。ラッチ・イネーブル信号は、入力ワードを内部シリアル入力レジスタからパラレルDAC入力レジスタに転送します。AD1851の入力クロックは12.5MHzのデータ・レートをサポート可能で、AD1861は13.5MHzデータレートでサポートできます。このシリアル入力ポートは、オーディオ製品で利用されている第2世代のデジタル・フィルタ・チップとコンパチブルです。これらのフィルタは、2倍、4倍、8倍、16倍のオーバサンプリング・レートで動作します。

重要なTHD+NおよびS/N比の仕様は、すべてのデバイスについて100%テストされています。

AD1851/AD1861機能ブロック図



AD1851/AD1861は±5V電源で動作し、家電製品のニーズにマッチしています。デジタル電源V_Dは、デジタル・クロストークを低減するためにアナログ電源V_Aおよび-V_Gから分離することができます。分離したデジタルおよびアナログ・グラウンド・ピンもまた用意されています。消費電力は標準で100mWです。

AD1851/AD1861のパッケージはいずれも16ピン・プラスチックDIPまたは16ピン・プラスチックSOICパッケージです。いずれのパッケージも、AD1856、AD1860PCMオーディオDACと同様の業界標準のピン配置となっています。AD1851/AD1861は、±5V電源使用のAD1856/AD1860応用の置換えとして使用できます。保証動作温度範囲は-25~+70°Cで、電源電圧範囲は±4.75~±5.25Vです。

製品ハイライト

- AD1851は16ビット分解能で、ダイナミック・レンジは96dBです。
- AD1861は18ビット分解能で、ダイナミック・レンジは108dBです。
- 外付け部品が不要です。
- ±5V電源動作。
- 省スペースを実現する16ピンSOICおよびプラスチックDIPパッケージ。
- 100mWの消費電力。
- 高い入力クロック・データ・レートおよび1.5 μ sのセトリング時間により、2倍、4倍、8倍、16倍のオーバサンプリングが可能。
- ±3Vまたは±1mAの出力。
- THD+ノイズおよびS/N比は100%テスト済み。
- AD1856、AD1860PCMオーディオDACとピン・コンパチブル。

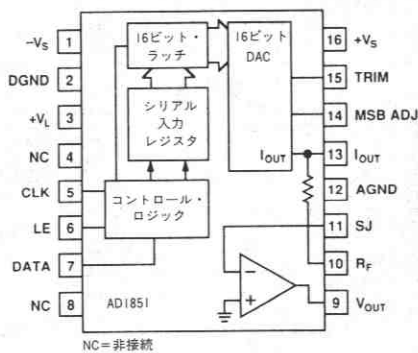
仕様

(特に指定のない限り、 $T_A @ +25^\circ\text{C}$ 、 $\pm 5\text{V}$ 電源)

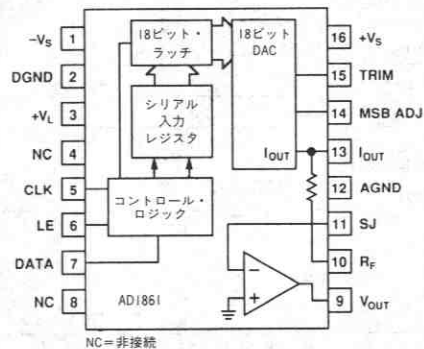
AD1851/AD1861

パラメータ	Min	Typ	Max	単位
デジタル入力				
V_{IH}	2.0		$+V_L$	V
V_{IL}			0.8	V
I_{IH} 、 $V_{IH}=V_L$			1.0	μA
I_{IL} 、 $V_{IL}=0.4$			-10	μA
精度				
ゲイン誤差		± 1		%
ミッドスケール出力電圧		± 10		mV
ドリフト (0~+70°C)				
全ドリフト		± 25		FSR/°C のppm
バイポーラ・ゼロ・ドリフト		± 4		FSR/°C のppm
セトリング時間 (FSRの $\pm 0.0015\%$ に対して)				
電圧出力				
6Vステップ		1.5		μs
1LSBステップ		1.0		μs
スルー・レート		9		V/ μs
電流出力				
1mAステップ10 Ω ~100 Ω 負荷		350		ns
1k Ω 負荷		350		ns
出力				
電圧出力構成				
バイポーラ範囲	± 2.88	± 3.0	± 3.12	V
出力電流	± 8			mA
出力インピーダンス		0.1		Ω
回路短絡時間		コモンに対して無制限		
電流出力構成				
バイポーラ範囲 ($\pm 30\%$)		± 1.0		mA
出力インピーダンス ($\pm 30\%$)		1.7		k Ω
電源				
電圧				
$+V_L$ および $+V_S$	4.75		5.25	V
$-V_S$	-5.25		-4.75	V
温度範囲				
仕様動作	0	+25	+70	°C
動作	-25		+70	°C
保管	-60		+100	°C
ウォームアップ時間	1			分

仕様は予告なしに変更することがあります。



AD1851機能ブロック図



AD1861機能ブロック図

AD1851

パラメータ	Min	Typ	Max	単位
分解能			16	ビット
全高調波歪み+ノイズ				
0dB, 990.5Hz				
AD1851N-J, R-J		0.003	0.004	%
AD1851N, R		0.004	0.008	%
-20dB, 990.5Hz				
AD1851N-J, R-J		0.009	0.016	%
AD1851N, R		0.009	0.040	%
-60dB, 990.5Hz				
AD1851N-J, R-J		0.9	1.6	%
AD1851N, R		0.9	4.0	%
ダイナミック・レンジ* (A特性フィルタ付き)				
-60dB, 990.5Hz				
AD1851N, R	88			dB
AD1851N-J, R-J	96			dB
S/N比	107	110		dB
最大クロック入力周波数	12.5			MHz
精度				
微分直線性誤差		±0.001		FSRの%
単調増加性		14		ビット
電源				
電流				
+I		10.0	13.0	mA
-I		-10.0	-15.0	mA
消費電力		100		mW

AD1861

パラメータ	Min	Typ	Max	単位
分解能			18	ビット
全高調波歪み+ノイズ				
0dB, 990.5Hz				
AD1861N-J, R-J		0.003	0.004	%
AD1861N, R		0.004	0.008	%
-20dB, 990.5Hz				
AD1861N-J, R-J		0.009	0.016	%
AD1861N, R		0.009	0.040	%
-60dB, 990.5Hz				
AD1861N-J, R-J		0.9	1.6	%
AD1861N, R		0.9	4.0	%
ダイナミック・レンジ* (A特性フィルタ付き)				
-60dB, 990.5Hz				
AD1861N, R	88			dB
AD1861N-J, R-J	96			dB
S/N比	107	110		dB
最大クロック入力周波数	13.5			MHz
精度				
微分直線性誤差		±0.001		FSRの%
単調増加性		15		ビット
電源				
電流				
+I		10.0	13.0	mA
-I		-10.0	-15.0	mA
消費電力		100		mW

* EIAJテスト規格CP-307に準拠してテストを実施。
仕様は予告なしに変更することがあります。

絶対最大定格*

V_L -DGND間	0~6.50V
V_S -AGND間	0~6.50V
$-V_S$ -AGND間	-6.50~0V
デジタル入力-DGND間	-0.3V~ V_L
AGND-DGND間	± 0.3 V
回路短絡	グラウンドに対して無制限
ハンダ付け	+300°C、10秒間
保管温度	-60~+100°C

* 絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

ピン配置

1	$-V_S$	負のアナログ電源
2	DGND	ロジック・グラウンド
3	V_L	正のロジック電源
4	NC	非接続
5	CLK	クロック入力
6	LE	ラッチ・イネーブル入力
7	DATA	シリアル・データ入力
8	NC	内部非接続*
9	V_{OUT}	電圧出力
10	R_F	フィードバック抵抗
11	SJ	サミング・ジャンクション
12	AGND	アナログ・グラウンド
13	I_{OUT}	電流出力
14	MSB ADJ	MSB調整ピン
15	TRIM	MSBトリム・ポテンショメータ・ピン
16	V_S	正のアナログ電源

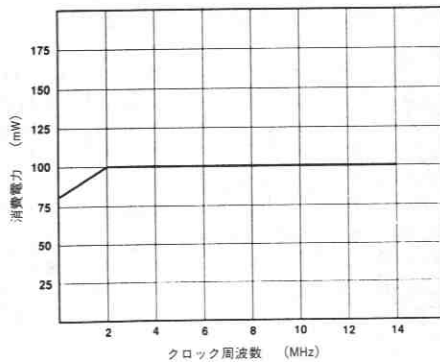
* ピン8は内部的に非接続になっています。したがって、AD1856またはAD1860用のソケットからの $-V_L$ は安全に印加することができます。

注意

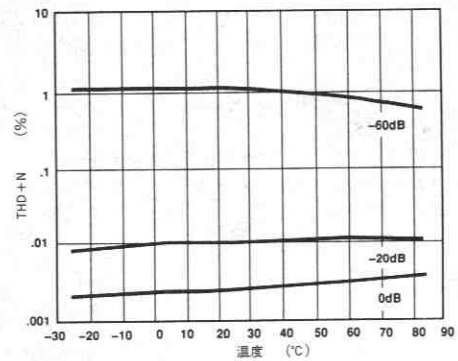
この素子はESD(Electrostatic-Discharge)センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させる必要があります。



代表性能



消費電力対クロック周波数



THD対温度

AD1851/AD1861

全高調波歪み

全高調波歪み+ノイズ (THD+N) は、最初の19高調波とノイズの値の自乗和の平方根と、基本入力周波数の値の比です。通常はパーセント (%) で表現されます。

THD+Nによって直線性誤差、微分直線性誤差、量子化誤差およびノイズの分布および大きさを測ることができます。これらの誤差の分布は出力信号の振幅に応じて異なります。したがって、THD+Nは大信号 (0dB) および小信号 (-20dBおよび-60dB) 振幅の両方について仕様が規定されています。

オーディオDACのTHD+Nの数値は、オーディオ波形の再構成および再生時に生じる望ましくない信号の量を表わしています。この仕様はオーディオDACのクラス分けや必要なレベルの性能のDACを選択する際の直接的な手段として用いられます。

セトリング時間

セトリング時間は、DACの出力が仕様誤差範囲内で最終値に達するまでに必要な時間で、デジタル入力の遷移から測定します。この仕様はダイナミック性能の第1の指標となります。

ミッドスケール誤差

ミッドスケール誤差、あるいはバイポーラ・ゼロ誤差は、入力レジスタに2の補数形式でハーフスケールを表わすコードがロードされた際の、実際のアナログ出力と理想出力 (0V) の間の偏差です。

ダイナミック・レンジ歪み

ダイナミック・レンジ歪みは、フルスケール下の-60dBの信号レベルが再構成されている場合に、全高調波歪み+ノイズ (THD+N) の値に60dBを加えた値に等しくなります。ダイナミック・レンジは1kHzの正弦波入力を用いてテストされます。この仕様はEIAJ規格CP-307に規定されている標準A特性フィルタを用いて測定します。

信号-ノイズ比 (S/N比)

信号-ノイズ比 (S/N比) は、フルスケール出力時の出力振幅と信号が与えられていない時の出力振幅の比と定義されています。この仕様は、EIAJ規格CP-307に規定されている標準A特性フィルタを用いて測定します。

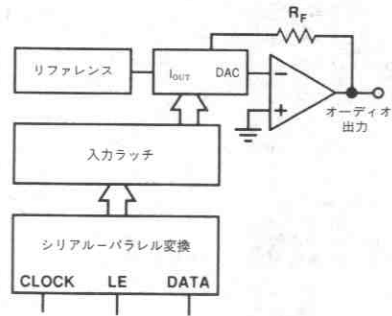


図1. AD1851/AD1861機能ブロック図

機能説明

AD1851/AD1861は全機能を内蔵したモノリシックのPCMオーディオDACです。動作に関して外付け部品は不要です。図1に示すように、各チップは電圧リファレンス、出力アンプ、DAC、入力ラッチおよびパラレル入力レジスタを備えています。

電圧リファレンスはバンドギャップ回路およびバッファ・アンプから構成されています。この構成によって、温度変化や経時変化の影響を受けないリファレンス電圧を生成することができます。リファレンスから供給されるDAC出力電圧もまたこれらの環境の影響を受けません。

出力アンプは、MOSおよびバイポーラのデバイスによって構成されており、低オフセット、高スルー・レート、優れたセトリング時間を備えています。内蔵フィードバック抵抗と組み合わせる場合、出力オペアンプはAD1851/AD1861の出力電流を出力電圧に変換します。

DACはセグメント化されたデコーダとR-2Rラダー構造の組合わせによって構成されており、優れた直線性と微分直線性を備えています。ラダー構造を形成する抵抗はシリコン・クロム薄膜抵抗によって構成されています。これらの抵抗のレーザ・トリミングによって直線性誤差が除去され、低出力歪みを実現しています。

入力レジスタおよびシリアル-パラレル変換器はCMOSロジック・ゲートによって構成されています。これらのゲートによって高速スイッチング速度と低消費電力を実現しています。そして、AD1851/AD1861の低消費電力動作に寄与しています。

アナログ回路について

推奨グラウンド接続

AD1851/AD1861は、アナログ・グラウンドとデジタル・グラウンドの2つのグラウンド・ピンを備えています。アナログ・グラウンド・ピンは、デバイスの「高品質」なグラウンド・リファレンス・ポイントです。アナログ・グラウンド・ピンはシステムのアナログ・コモン・ポイントに接続します。そして、出力負荷も同じポイントに接続してください。

デジタル・グラウンド・ピンはAD1851/AD1861内のデジタル回路部からのグラウンド電流を帰します。このピンは、システムのデジタル・コモン・ポイントに接続します。

図2に示すように、アナログおよびデジタル・グラウンドはシステム内の1点で相互に接続します。

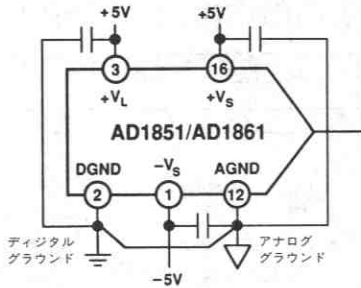


図2. 推奨回路構成

電源とデカップリング

AD1851/AD1861は3つの電源入力ピンを備えています。 $\pm V_S$ はDACのアナログ部である、電圧リファレンス、出力アンプおよびコントロール・アンプに電源を供給します。 $\pm V_S$ は $\pm 5V$ 動作用に設計されています。

$+V_L$ はチップのデジタル部である、入力シフト・レジスタおよび入力ラッチ回路に電源を供給します。 $+V_L$ 電源は $+5V$ 動作用に設計されています。

すべての電源ピンにはデカップリング・コンデンサを使用してください。そして、これらのコンデンサはできる限りパッケージのピンおよびコモン・ポイントの近くに配置してください。ロジック電源の $+V_L$ はデジタル・コモンにデカップリングし、アナログ電源の $\pm V_S$ はアナログ・コモンにデカップリングしてください。

3つの独立した電源を用いることにより、システムのデジタル部からアナログ部へのフィードスルーを抑えることが可能となり、性能をさらに向上させることができます。

しかしながら、良好な回路性能のためには独立した3つの電源は必ずしも必要ではありません。例えば、図3に示すシステムは単一の正電源と単一の負電源のみを使用しています。

この例では、正のロジック電源と正のアナログ電源は同一の $+5V$ に接続する必要があり、負のアナログ電源は $-5V$ に接続します。簡単なローパス・フィルタを個々の電源リードに接続することによる電源間の絶縁の度合により、性能が最適化されます。

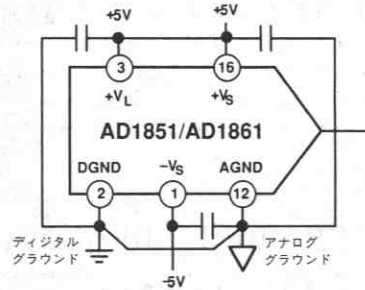


図3. 別の推奨電源構成

ほとんどのアナログ回路の場合と同様に、電源の変動はDACの出力に影響を及ぼします。弊社では、AD1851/AD1861を用いるあらゆるシステムに対して、十分に安定化され1%以上のリップルを生じない電源を推奨しています。

オプションのMSB調整

オプションの調整回路を用いることで、ミッドスケール周辺の残留微分直線性誤差を除去することができます。この誤差は、小振幅信号の再構成時に特に重要です。このような場合、信号振幅が減少するとミッドスケールにおける微分直線性誤差と信号振幅の比が大きくなり、THDが増加します。

したがって、小出力レベルでの最良の性能を実現するため、図4に示すオプションのMSB調整回路を用いることができます。調整は小信号入力 ($-20dB$ または $-60dB$) で行います。

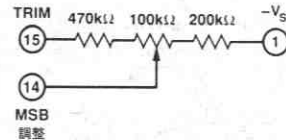


図4. オプションのTHD調整回路

デジタル回路について

AD1851の入力データ

AD1851に送信されるデータは、MSBを先頭とした16ビット・ワードのシリアル形式です。正規の動作のためには3つの信号が必要です。それは、データ、クロックおよびラッチ・イネーブル (LE) 信号です。入力データ・ビットはクロック信号の立上りエッジに同期して入力レジスタに入力されます。LSBは16番目のクロック・パルスで入力されます。すべてのデータ・ビットがロードされた後、ラッチ・イネーブル・パルスの立下りエッジでDACの入力が更新されます。図5に、AD1851のデータ転送に必要な一般の信号を示します。

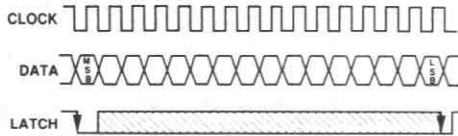


図5. AD1851に必要な信号

図6にデータ転送が正しく行われるために必要なタイミング仕様を示します。AD1851の入力ピンはいずれもTTLおよび5V CMOSにコンパチブルです。図5および6に示す入力タイミングは、デジタル・オーディオ再生システムで用いられている代表的なDSPフィルタ・チップのデータ出力タイミングとコンパチブルです。AD1851の入力クロックは最大で12.5MHzです。このクロック・レートにより、2倍、4倍、8倍、16倍のオーバーサンプリング再構成のためのデータ転送レートが可能となります。

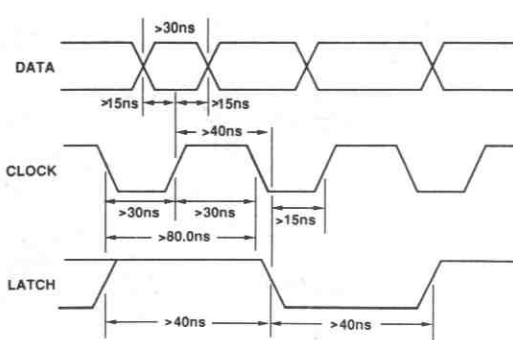


図6. AD1851入力信号のタイミング

AD1861の入力データ

AD1861に送信されるデータは、MSBを先頭とした18ビット・ワードのシリアル形式です。正規の動作のためには3つの信号が必要です。それは、データ、クロックおよびラッチ・イネーブル (LE) 信号です。入力データ・ビットはクロック信号の立上りエッジに同期して入力レジスタに入力されます。LSBは18番目のクロック・パルスで入力されます。すべてのデータ・ビットがロードされた後、ラッチ・イネーブル・パルスの立下りエッジでDACの入力が更新されます。図7に、AD1861のデータ転送に必要な一般の信号を示します。

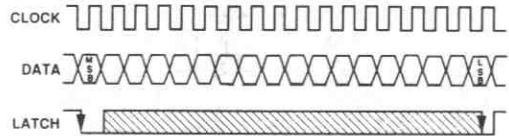


図7. AD1861に必要な信号

図8にデータ転送が正しく行われるために必要なタイミング仕様を示します。AD1861の入力ピンはいずれもTTLおよび5V CMOSとコンパチブルです。図7および8に示す入力タイミングは、デジタル・オーディオ再生システムで用いられている代表的なDSPフィルタ・チップのデータ出力タイミングとコンパチブルです。AD1861の入力クロックは最大で13.5MHzです。このクロック・レートにより、2倍、4倍、8倍、16倍のオーバーサンプリング再構成のためのデータ転送レートが可能となります。

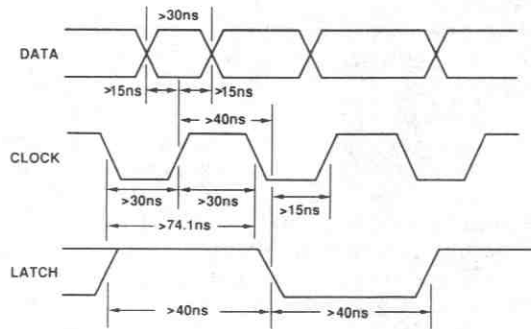


図8. AD1861入力信号のタイミング

応用

図9～12にAD1851およびAD1861とヤマハ YM3434およびNPC SM5813AP/APTデジタル・フィルタ・チップの接続図を示します。

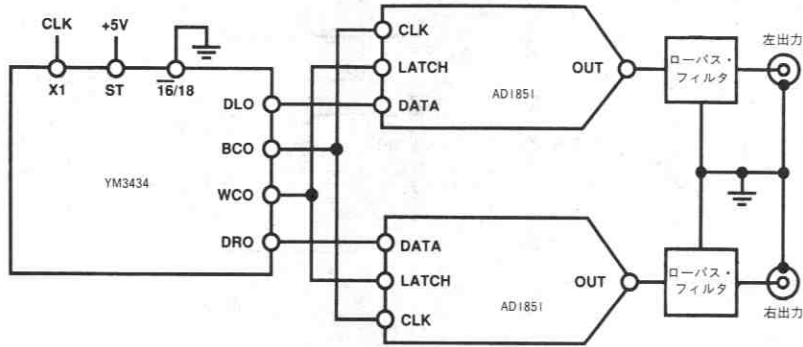


図9. AD1851とヤマハ YM3434デジタル・フィルタの接続

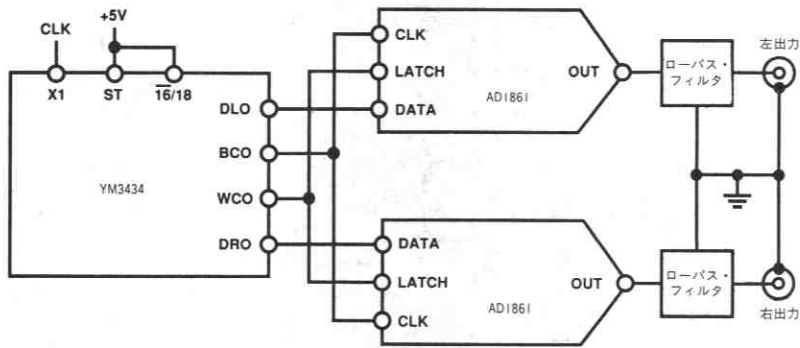


図10. AD1861とヤマハ YM3434デジタル・フィルタの接続

AD1851/AD1861

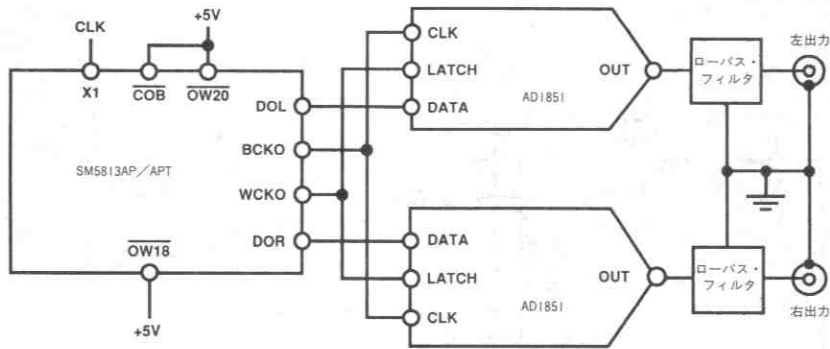


図11. AD1851とNPC SM5813AP/APTデジタル・フィルタの接続

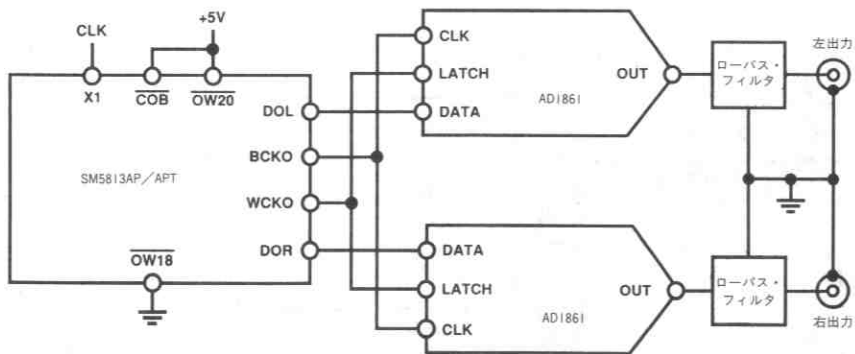
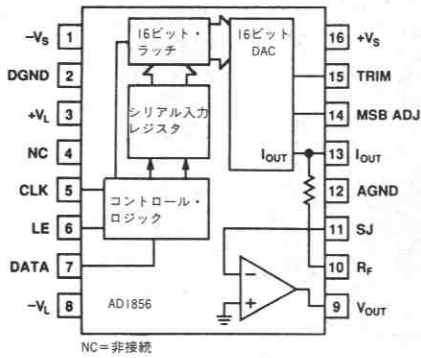


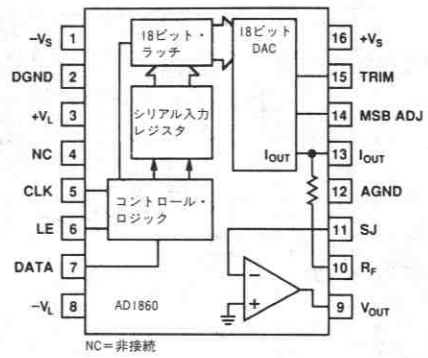
図12. AD1861とNPC SM5813AP/APTデジタル・フィルタの接続

AD1851/AD1861

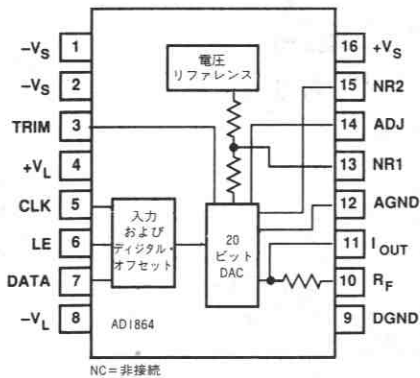
弊社の他のデジタル・オーディオ製品



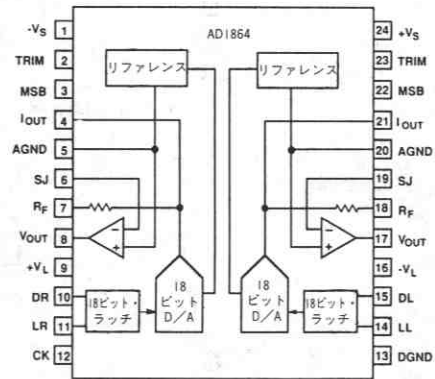
AD1856 16ビット・オーディオDAC
 全機能内蔵、外付け部品不要
 0.0025%のTHD
 低価格
 16ピンDIPまたはSOICパッケージ
 業界標準ピン配置



AD1860 18ビット・オーディオDAC
 全機能内蔵、外付け部品不要
 0.0025%のTHD+N
 108dBのS/N比
 16ピンDIPまたはSOICパッケージ
 業界標準ピン配置



AD1862 20ビット・オーディオDAC
 119dBのS/N比
 0.0016%のTHD+N
 102dBのダイナミック・レンジ性能
 ±1dBのゲイン直線性
 16ピンDIP



AD1864 デュアル18ビット・オーディオDAC
 全機能内蔵、外付け部品不要
 0.0025%のTHD+N
 108dBのS/N比
 位相出力
 24ピン・パッケージ

AD1851/AD1861オーダ・ガイド

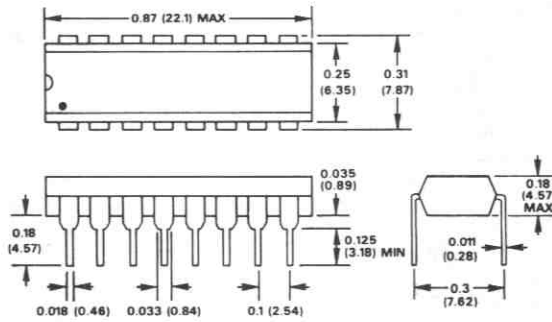
モデル	分解能	THD+N	パッケージ・オプション*
AD1851N	16ビット	0.008%	N-16
AD1851N-J	16ビット	0.004%	N-16
AD1851R	16ビット	0.008%	R-16
AD1851R-J	16ビット	0.004%	R-16
AD1861N	18ビット	0.008%	N-16
AD1861N-J	18ビット	0.004%	N-16
AD1861R	18ビット	0.008%	R-16
AD1861R-J	18ビット	0.004%	R-16

* N=プラスチックDIPパッケージ。
R=スモール・アウトライン (SOIC) パッケージ。

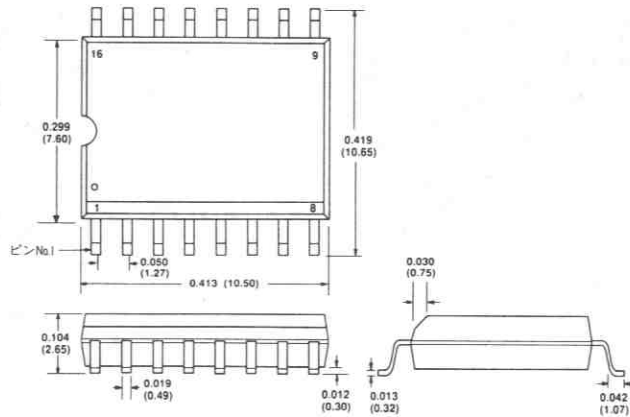
外形サイズ

サイズはインチと (mm) で示します。

N (プラスチックDIP) パッケージ



R (SOIC表面実装) パッケージ



特長

- S/N比：119dB
- ダイナミック・レンジ：102dB
- ゲイン直線性：±1dB
- 出力電流：±1mA
- 16ピンDIPパッケージ

応用

- 高性能CDプレーヤ
- デジタル・オーディオ・アンプ
- シンセサイザ・キーボード
- デジタル・ミキサ・コンソール
- 高分解能信号処理

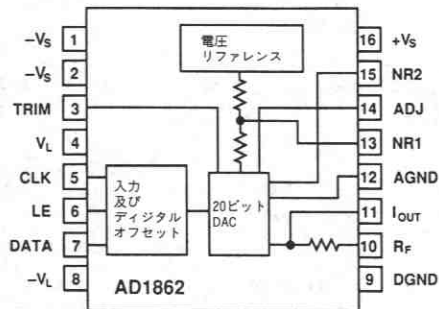
概要

AD1862はモノリシック20ビット・デジタル・オーディオDACです。20ビットDAC、20ビット・シリアル/パラレル入力レジスタそしてリファレンス電圧を内蔵しています。AD1862のデジタル部は弊社独自のBiMOS IIプロセス技術によるCMOSロジック回路で構成されています。AD1862のアナログ部はバイポーラおよびMOSデバイス、そして薄膜抵抗から構成されています。

新規設計とレイアウトおよびパッケージ技術の組み合わせにより、極めて高性能なオーディオ再生を実現します。AD1862には低レベル歪み特性を改善するデジタル・オフセット回路が組み込まれています。ストレスに起因するパラメータのばらつきを最小にするため低ストレスのパッケージ技術が用いられています。ストレスに敏感な回路部は、パッケージ・ストレスの影響を最も受けにくいグイ領域部に配置されています。初期直線性誤差のレーザ・トリミングにより全高調波歪みが最小に抑えられています。出力グリッチが低いことも全体的な高性能レベルの実現に寄与しています。

AD1862は最良のノイズ特性を持っています。推奨の2個の外付ノイズ・リダクション・コンデンサを使用すれば120dBのS/N比が得られます。

シリアル入力ポートはクロック、データ、そしてラッチ・イネーブル・ピンから構成されています。シリアル20ビットの2の補数形式のデータ・ワードが外部データ・クロックに同期してMSBを先頭にDACに入力されます。入力ワードはラッチ・イネーブル信号によ



AD1862機能ブロック図

り、内部シリアル入力レジスタからDAC入力レジスタへ転送されます。データ・クロックは17MHz入力が可能で、16倍のオーバーサンプリング動作ができます。シリアル入力ポートはNPC-SM5813やSM5818のような民生オーディオ製品の第二世代デジタル・フィルタ・チップに対応します。

AD1862は±5V～±12Vのデジタル電源と±12Vのアナログ電源で動作します。デジタルおよびアナログ電源はデジタル・クロストークを抑えるため分離することができます。アナログとデジタルのコモン・ピンも独立して設けられています。AD1862の消費電力は標準で300mW以下です。

AD1862のパッケージは16ピン・プラスチックDIPです。動作温度は-25～+70°Cの範囲で保証されています。

製品のハイライト

1. S/N比：119dB
2. ダイナミック・レンジ：102dB
3. ゲイン直線性：±1dB (-90dBレベル)
4. 20ビット分解能で120dBのダイナミック・レンジを実現
5. 16倍のオーバーサンプリング動作
6. 0.0016% THD+N (0dB信号レベル)
7. コンパクトな16ピンDIPパッケージ
8. 出力電流：±1mA

仕様

(特に指定のない限り、 $T_A = +25^\circ\text{C}$ 、 $\pm 12\text{V}$ 電源。試験回路は図10を参照。)

	Min	Typ	Max	単位
分解能	20			ビット
デジタル入力 V_{in}	2.0	4.0		V
V_{IL}		0.4	0.8	V
$I_{in} @ V_{in} = 4.0\text{V}$			1.0	μA
$I_{IL} @ V_{IL} = 0.4\text{V}$			-10	μA
クロック入力周波数	17			MHz
精度				
ゲイン誤差			± 2	%
ミッドスケール出力誤差		± 2	± 5	μA
全高調波歪み+ノイズ (EIAJ) ¹				
0dB、990.5Hz AD1862N-J		-98 (0.0012)	-96 (0.0016)	dB (%)
AD1862N		-94 (0.0019)	-92 (0.0025)	dB (%)
-20dB、990.5Hz AD1862N、N-J		-84 (0.0063)	-80 (0.01)	dB (%)
-60dB、990.5Hz AD1862N、N-J		-45 (0.56)	-42 (0.8)	dB (%)
ダイナミック・レンジ、-60dB、A特性フィルタ	102			dB
S/N比 ² (EIAJ) ¹				
A特性フィルタ AD1862N-J	113	119		dB
AD1861N	110	119		dB
ゲイン直線性				
@ -90dB AD1862N-J		± 1		dB
AD1862N		± 1		dB
出力電流				
バイポーラ範囲		± 1		mA
許容誤差		± 1	± 2	%
出力インピーダンス ($\pm 30\%$)		2.1		k Ω
セトリング時間		350		ns
フィードバック抵抗				
抵抗値		3		k Ω
許容誤差		± 1	± 2	%
電源				
電圧 V_L および $-V_L$	4.75	12.0	13.2	$\pm\text{V}$
電圧 V_S および $-V_S$	10.8	12.0	13.2	$\pm\text{V}$
電流 $+I_L$ 、 V_L と $V_S = 12\text{V}$ 、クロック17MHz		11	15	mA
$-I_L$ 、 $-V_L$ と $-V_S = -12\text{V}$ 、クロック17MHz		13	16	mA
消費電力				
V_L と $V_S = 12\text{V}$ 、 $-V_L$ と $-V_S = -12\text{V}$ 、クロック17MHz		288		mW
温度範囲				
定格		± 25		$^\circ\text{C}$
動作	-25		+70	$^\circ\text{C}$
保存	-60		+100	$^\circ\text{C}$

注

1. 試験方法はEIAJ規格CP-307に準拠。

2. S/N比の測定値には試験回路に使用されているSE5534Aからのノイズも含まれていますが、試験回路のローパス・フィルタに起因するノイズは含まれていません。

太字で示す仕様は最終電気試験で全数テストされています。

仕様は予告なしに変更することがあります。

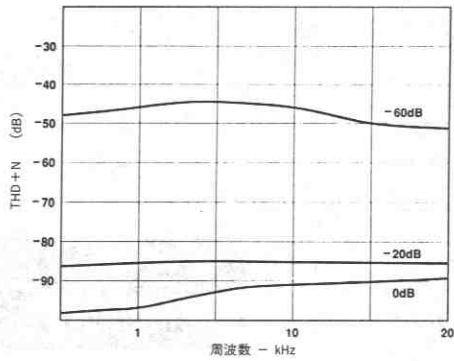


図1. THD+Nの周波数特性

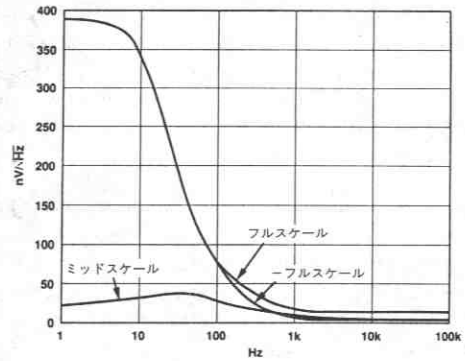


図2. ノイズ密度

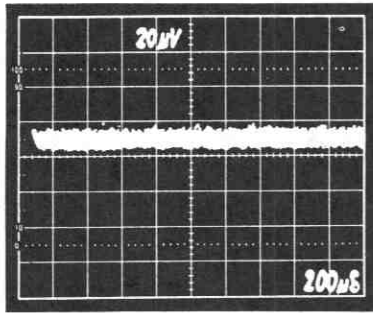


図3. 広帯域ノイズ (帯域幅20kHz、ミッドスケール)

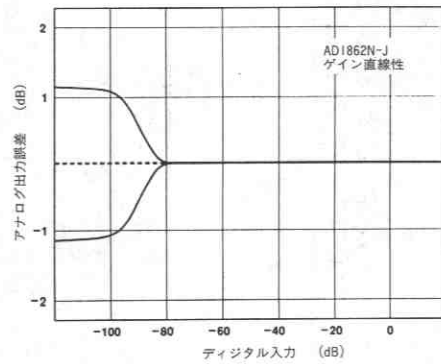


図4. ゲイン直線性

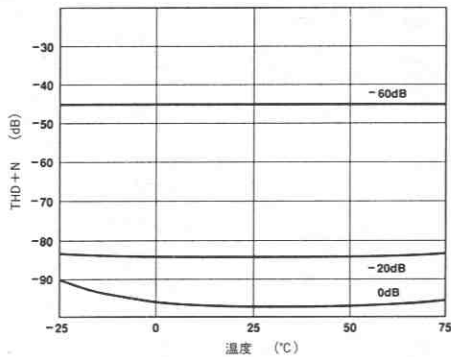


図5. THD+Nの温度特性

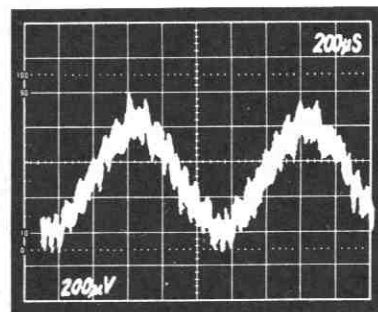


図6. ミッドスケール微分直線性

絶対最大定格*

V_L -DGND	0~+13.2V
$-V_L$ -DGND	-13.2~0V
V_S -AGND	0~+13.2V
$-V_S$ -AGND	-13.2~0V
AGND-DGND	-0.3~+0.3V
デジタル入力-DGND	-0.3~ V_L
ハンダ付け	+300°C、10秒
保管温度	-60~+100°C

注

*絶対最大定格を超えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスをある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

注 意 :

この素子はESD (Electro-Static-Discharge) センシティブ・デバイスです。デジタル制御入力はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させる必要があります。



ピン配置



ピン機能説明

1	$-V_S$	バイアス・コンデンサ
2	$-V_S$	負アナログ電源
3	TRIM	トリマ・ポテンショメータ接続
4	$+V_L$	正ロジック電源
5	CLK	外部クロック入力
6	LE	ラッチ・イネーブル入力
7	D	データ入力
8	$-V_L$	負ロジック電源
9	DGND	デジタル・グラウンド
10	R_F	フィードバック抵抗
11	I_{OUT}	出力電流
12	AGND	アナログ・グラウンド
13	NR_1	リファレンス・コンデンサ
14	ADJ	ミッドスケール調整
15	NR_2	バイアス・コンデンサ
16	$+V_S$	正アナログ電源

用語の説明

全高調波歪み+ノイズ

全高調波歪み+ノイズ (THD+N) は、高調波とノイズのそれぞれの値を2乗し合計したものの平方根の値と基本入力周波数の値との比です。通常は%またはデシベル (dB) で表わされます。

ダイナミック・レンジ歪み

ダイナミック・レンジ歪みは歪み+ノイズと-60dBの信号振幅時の信号との比です。この場合にはA特性フィルタが使用されます。ダイナミック・レンジ性能で規定される値は測定された値+60dBとなります。

セトリング時間

セトリング時間はデジタル入力の遷移から出力が最終値の $\pm 1/2$ LSBの範囲に達して安定するまでに必要な時間の測定値です。この測定値は主要なダイナミック特性であり、通常はナノ秒 (ns) で表わされます。

S/N比

S/N比は無信号時の出力振幅とフルスケール出力時の出力振幅との比です。これはデシベル (dB) で表わされ、A特性フィルタで測定されます。

ゲイン直線性

ゲイン直線性は実際の出力振幅の理想的な出力振幅からの偏差の測定値です。これは出力信号の振幅を低レベルまでデジタル的に低下させ測定して決定されます。完全なD/Aコンバータでは実際と理想的な出力振幅の間に差を生じません。ゲイン直線性はデシベル (dB) で表わされます。

ミッドスケール誤差

ミッドスケール誤差あるいはバイポーラ・ゼロ誤差は、ミッドスケールを表わす2の補数形式の入力コードが入力レジスタにロードされたときの実際のアナログ出力と理想的な出力との偏差です。AD1862は電流出力D/Aコンバータであるため、この誤差は μ Aで表わされます。

機能説明

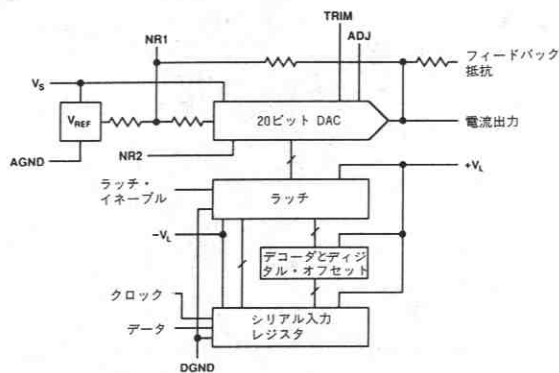
AD1862は高性能のモノリシック20ビット・オーディオDACです。リファレンス電圧、20ビットDAC、20ビットのシリアル/パラレル入力レジスタを内蔵しています。セグメンテーション回路と組合わされた特別のデジタル・オフセット回路によって最高のダイナミック・レンジ特性が得られます。

AD1862のノイズ特性を可能な限り高くするため、ノイズ・リダクション機能が使用されています。例えば電圧リファレンス回路には低ノイズの9Vバンドギャップ・セルが使用されています。このセルはバイポーラ・オフセット回路とDACにリファレンス電圧を供給します。またNR1ピンに外付のノイズ・リダクション・コンデンサを接続し、ローパス・フィルタを形成しています。

さらにDACの制御アンプにノイズ・リダクション技術が使われています。同様に、外付のノイズ・リダクション・コンデンサをNR2ピンに接続すれば、DACの制御部からの出力ノイズの割合が減少します。これらのノイズ・リダクションの結果、120dBのS/N比が達成されています。

あらゆる信号振幅で低歪率を得るため、AD1862の設計にはセグメント・デコーダとR-2R方式、そしてデジタル・オフセットの組合せが用いられています。デジタル・オフセット技術により、デバイスのMSB遷移からミッドスケール出力電圧(0V)をシフトします。このため小振幅信号はMSB変化の影響を受けません。フルスケール時の出力のクリッピングを防ぐためDACの追加セルも内蔵されています。

このDACは外部の電流/電圧コンバータに ± 1 mAを供給することができます。オンボードの3k Ω フィードバック抵抗も用意されています。出力電流とフィードバック抵抗は $\pm 2\%$ の許容範囲でレーザー・トリミングが行われており、外部フィルタやディエンファシス回路の部品選択が容易となります。入力レジスタとシリアル/パラレル・コンバータはCMOSロジック・ゲートによって構成されています。これらのゲートは高速スイッチング速度と低消費電力を実現します。TTLおよび5V CMOSコンパチブルを保証するため、内部にTTL/CMOSコンバータが使用されています。



AD1862機能ブロック図

アナログ回路について

推奨グラウンド接続

AD1862はアナログ・グラウンド (AGND) とデジタル・グラウンド (DGND) の2つのグラウンド・ピンを備えています。アナログ・グラウンド・ピンは高品質のグラウンド・リファレンス点となります。アナログ・グラウンド・ピンはシステムのアナログ・コモン点に接続します。リファレンスのバイパス・コンデンサ、電流/電圧変換のオペアンプの非反転入力ピン、そしてあらゆる出力負荷は、この点に接続します。デジタル・グラウンド・ピンはAD1862のデジタル・ロジック部からのグラウンド電流を帰します。このピンはシステムのデジタル・コモン点に接続します。

AGNDとDGNDは図7に示すようにシステムの一点で接続します。

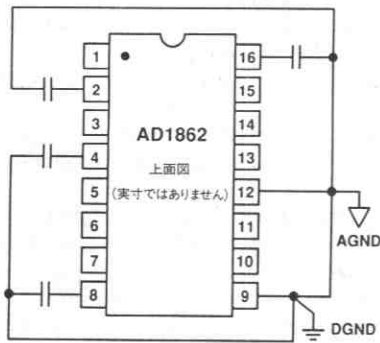


図7. 推奨のグラウンドとバイパス接続

電源とデカップリング

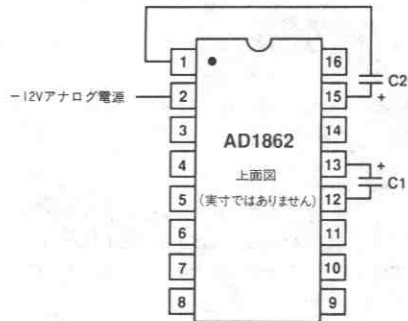
AD1862には4つの電源ピンが用意されています。±V_Sピンは電圧リファレンス、出力アンプ、そしてコントロール・アンプなどのDACのリア回路部に電源を供給します。±V_S電源は±12Vで動作するよう設計されています。

±V_L電源ピンは、入力シフト・レジスタ、入力ラッチ回路、そしてTTL-CMOSレベル・シフト回路などのデジタル部に電源を供給します。±V_L電源は-V_Lを-V_Sよりも負電位としないという条件を守れば、±5V～±12Vの範囲で動作するよう設計されています。

デカップリング・コンデンサは電源入力ピンすべてに用いなければなりません。これらのコンデンサはパッケージ・ピンとコモン点のできるだけ近くに配置することで、良い結果が得られます。ロジック電源±V_LはDGNDに対して、またアナログ電源±V_SはAGNDに対してデカップリングを行ないます。

外付けノイズ・リダクション部品

低ノイズ動作を実現するためには、2個の外付コンデンサが必要です。この正しい接続を図8に示します。コンデンサC1はNR1ピンとアナログ・コモンとの間に接続します。C1は電圧リファレンス回路からのノイズを減少させるためのローパス・フィルタを形成します。このコンデンサには容量が10μF以上のタンタル・コンデンサを用います。このコンデンサはパッケージ・ピンにできる限り近い位置に配置します。これによってリード線と回路接続の浮遊インダクタンスの影響を抑えることができます。



注
1番ピンはバイパス・コンデンサのための高品質リターンです。

図8. ノイズ・リダクション・コンデンサ

コンデンサC2はNR2ピンと負アナログ電源-V_Sとの間に接続します。このコンデンサはコントロール・アンプ回路からのノイズによる出力ノイズを減少させます。C2は約1μFの容量のタンタル・コンデンサを用いる必要があります。ここでも、AD1862とC2との接続は可能な限り短く行なわなければなりません。

C1とC2の推奨値はそれぞれ10μFと1μFです。C1とC2の値の比は約10です。C1とC2を例えば22μFと2.2μFのようにやや大きな値とすることにより、ノイズ・リダクションをさらに増加させることができます。図2に、10μFと1μFを接続したAD1862のノイズ特性を示します。

外部アンプの接続

AD1862は電流出力D/Aコンバータです。そのため出力電圧を得るためには外部アンプとオンボードのフィードバック抵抗の組み合わせが必要になります。図9に外部オペアンプの正しい接続を示します。AD1862の出力は外部電流/電圧変換オペアンプのサミング・ジャンクションを駆動するよう設計されています。したがってAD1862の出力電流ピンの電圧はデバイスのAGNDピンの電圧とはほぼ同じでなければなりません。

オンボードの $3k\Omega$ のフィードバック抵抗と $\pm 1mA$ 出力電流の値は $\pm 1\%$ またはそれ以下の許容範囲を持っています。このことによって外付部品が容易に決まり、余計な調整を省くことができます。例えば、 $\pm 3V$ 以上の振幅を必要とする場合でも、出力電圧振幅を得るために必要なのは標準的な値のフィードバック抵抗と組み合わせるとのことだけです。

この方法はディエンファシス回路の構成部品の選択にも適用できます。

全高調波歪み+ノイズ

オーディオDACのTHD値はオーディオ波形を再生する過程で発生する不要信号の大きさを表わします。このため、必要な性能のオーディオDACを評価したり選択したりするための直接の指標としてTHDの仕様が用いられます。

ノイズの測定にTHDの測定を組み合わせることにより、THD+N仕様が得られます。この仕様は試験波形の高調波成分やノイズを含むDACで発生する不要信号をすべて表わします。

弊社ではAD1862のTHD+N性能を全数試験しています。この試験工程では被測定デバイスに $0dB$ 、 $-20dB$ 、 $-60dB$ のサイン波に相当するデジタル・データが入力されます。サイン波の周波数は $990.5Hz$ です。入力データは $8 \times F_s$ の速度($352.8kHz$)でAD1862に送られます。試験されるAD1862の発生した電流出力は外部アンプにより電圧出力に変換されます。図10に推奨試験回路を示します。この試験工程ではデグリッチと調整は行なっていません。自動試験装置により、23サイクルにわたって出力試験波形の4096ポイントのサンプルが取られ、試験結果から4096ポイントのFFTが行なわれます。

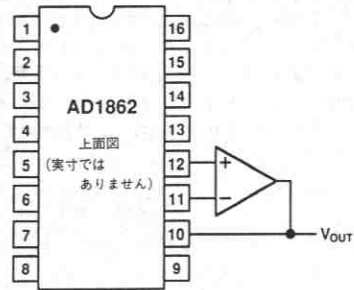


図9. 外部アンプの接続

基本波の $990.5Hz$ の試験波形の高調波とオーディオ帯域のノイズ成分から、このデバイスのTHD+N性能が算出されます。AD1862には2種類の性能別グレードがあります。AD1862Nは $0dB$ 信号レベル時に最大 0.0025% のTHD+N性能が得られます。より高性能のAD1862N-Jでは $0dB$ 信号レベル時に最大 0.0016% のTHD+Nの性能が得られます。

S/N比

AD1862のS/N比(SNR)は以下のようにして測定されます。 $0dB$ 信号の振幅が測定されます。その後、被測定デバイスはミッドスケール($0V$)に設定され、存在するノイズすべての振幅を測定します。SNRはこれら2つの測定結果の比です。AD1862のSNR値には試験回路に使用されているNE5534オペアンプの出力ノイズ成分も含まれていますが、ローパス・フィルタのノイズは含まれていません。AD1862NのSNRは $110dB$ minです。より高性能のAD1862N-JのNSRは $113dB$ minです。

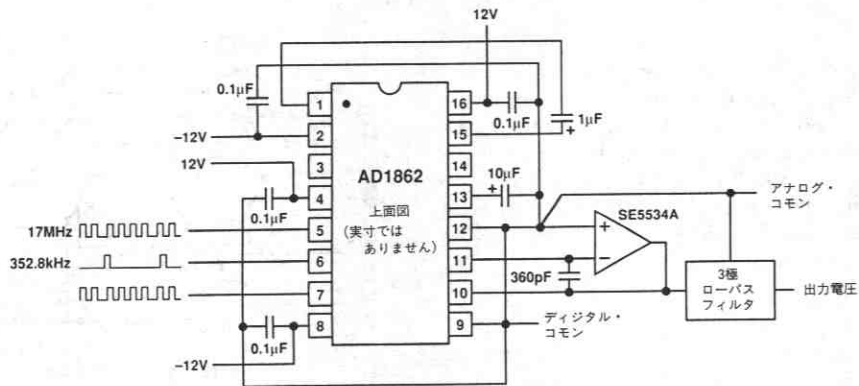


図10. 推奨試験回路

総合調整

AD1862はミッドスケールの外部調整機能を備えています。非常に小さな信号振幅（-60dB以下）でより良い歪み特性の必要な応用のため、ミッドスケール調整が可能です。調整回路は2個の抵抗と1個のポテンショメータにより構成します。外付部品による正しい結線を図11に示します。弊社では-60dBか、それ以下での信号振幅での調整を推奨します。-20dBのような大きな信号振幅での調整では性能の向上はわずかです。0dB信号振幅では性能の向上はほとんど望めません。

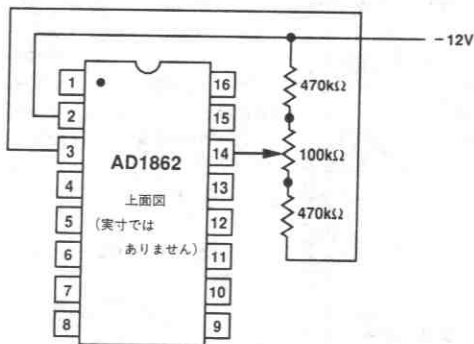


図11. 外部ミッドスケール調整

デジタル回路について

入力データ

AD1862に送信されるデータは、2の補数形式のシリアル20ビット・ワードのビット列であり、MSBを先頭に入力されます。正しい動作のためには、データ、クロック、ラッチ・イネーブルの3種類の信号が必要です。入力データ・ビットはクロック信号（CLK）の

立上りエッジで入力レジスタに入力されます。LSBは20個目のクロック・パルスで入力されます。すべてのデータ・ビットが入力されると、負論理のラッチ・イネーブル（LE）信号によってDAC入力が更新されます。図12aにAD1862のデータ転送に必要な全信号を示します。

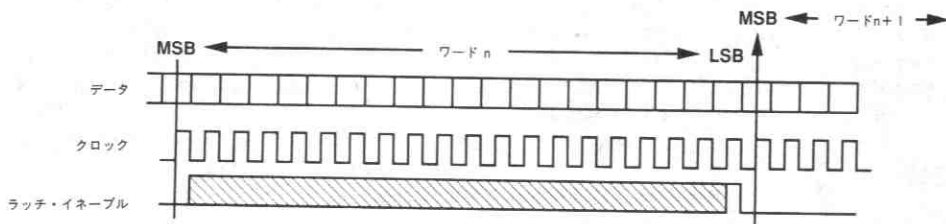


図12a. 入力データ

タイミング

図12bに正しいデータ転送のために満足しなければならないタイミング条件の仕様を示します。AD1862の入力ピンはTTLと5V CMOSの両方とコンパチブルであり、個々の応用で使用される電源電圧とは関係ありません。図12bに示す入力条件は、デジタル・オーディオ再生システムに使用される補間フィルタ・チップのデータ出力とコンパチブルです。AD1862の入力クロックは17MHzで動作するため、 $16 \times F_s$ の速度でデータ転送を行なうことができます。もちろん $2 \times$ 、 $4 \times$ 、 $8 \times F_s$ でも動作します。

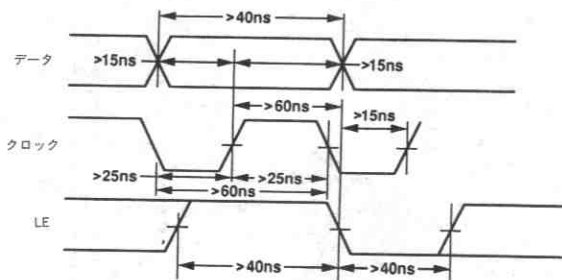


図12b. タイミング条件

AD1862はハイエンドの一般およびプロ用デジタル・オーディオ機器のために設計された高性能DACです。広いダイナミック・レンジと低いTHD+ノイズ特性、高S/N比により、CDプレーヤ、デジタル・プリアンプ、デジタル楽器、そしてサウンド・プロセッサに適用できます。AD1862はCDプレーヤの基本性能を損なわない初めてのD/Aコンバータです。

ミキサ・コンソール、デジタル・テープレコーダ、マルチボイス・シンセサイザなどのプロ用オーディオ機器では、このデバイスの広いダイナミック・レンジとS/N比を使ってより高い性能を実現することができます。またAD1862のコンパクトな16ピンDIPはシステムの小型化に役立ちます。このことによって、マルチボイス・シンセサイザではより多いマルチボイスを、マルチトラック・テープレコーダではより多いトラックを、マルチチャンネル・ミキサ・コンソールではより多くのチャンネル増設が可能です。

さらに、高分解能の信号処理と波形発生への応用もAD1862によって同様に実現できます。

高性能CDプレーヤ

図13に高性能CDプレーヤへのAD1862の応用例を示します。2個のAD1862はそれぞれ左右チャンネルに使用されます。読取り回路からのデジタル・データをCXD11XXチップがデコードし、SM5813へ送ります。SM5813デジタル補間フィルタに入力されたデータはそれぞれAD1862に送られます。このデバイスは8倍のオーバーサンプリング動作を行います。電流-電圧変換には低歪み、低ノイズのNE5534オペアンプが用いられます。出力フィルタは5極設計です。簡素化のため、この回路図ではバイパス・コンデンサを省略しています。

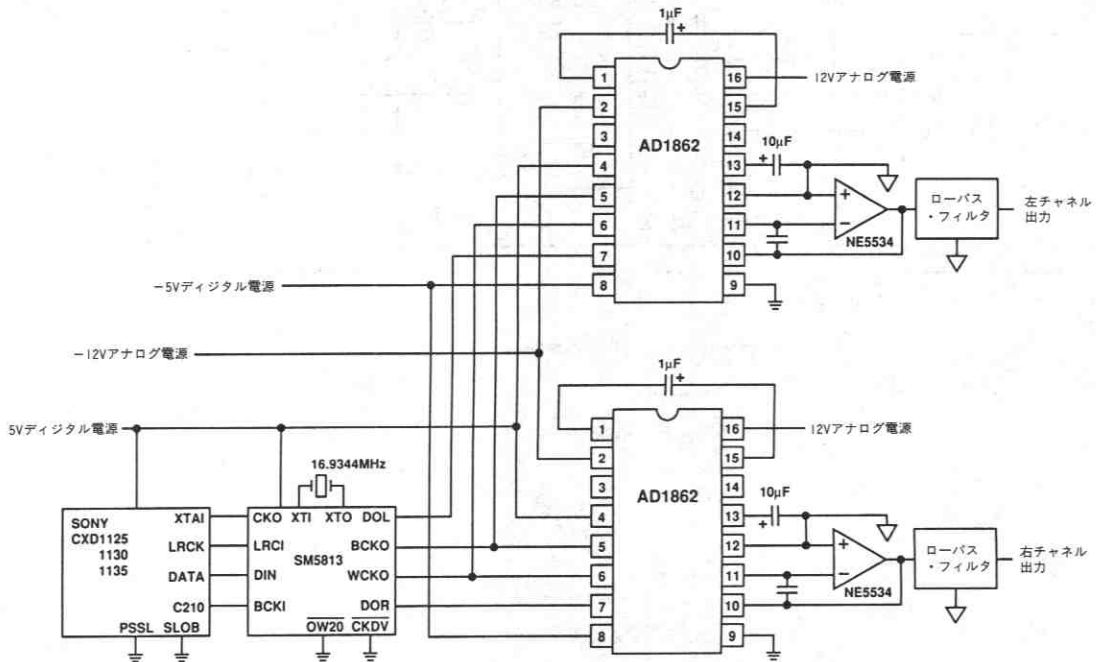


図13. 高性能20ビット8倍オーバーサンプリングCDプレーヤ応用

高分解能信号処理

図14にAD1862とDSP56000の組合わせ例を示します。高分解能応用ではDSP56000の24ビット構造とAD1862の低ノイズと高分解能の組合わせにより、高分解能で低ノイズのシステムが生まれます。

図14に示すように、DSPプロセッサからのクロック信号はAD1862の入力とコンパチブルにするため反転する必要があります。出力ローパス・フィルタの正確な回路は出力データのサンプリング速度に依存します。一般的にはエイリアシングを防ぐためオーバサンプリン

グ速度が高いほど、フィルタのポールを小さくする必要があります。20ビットの分解能はプロ用オーディオ機器、ミキサ、イコライザなどに特に適合します。AD1862の分解能によって16ビットの入力ワードから信号の切捨てなしに24dBのイコライジングが可能です。さらに、16個までの16ビット入力ワードを混合し、AD1862へ直接出力することも可能です。この場合でも信号情報の損失が発生することはありません。

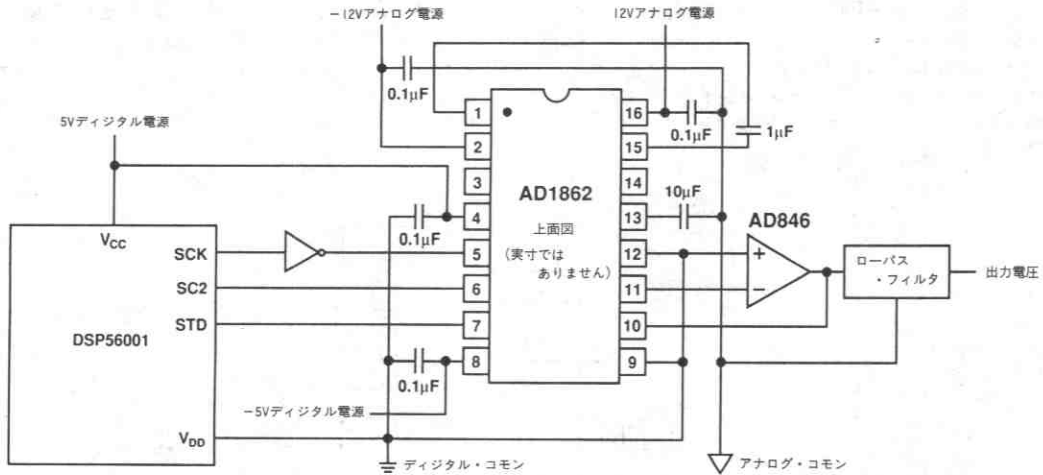
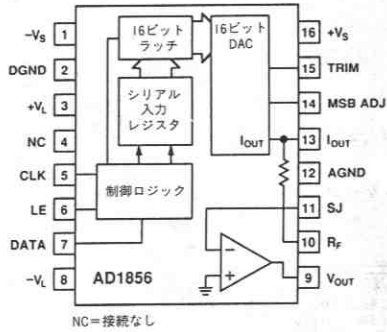


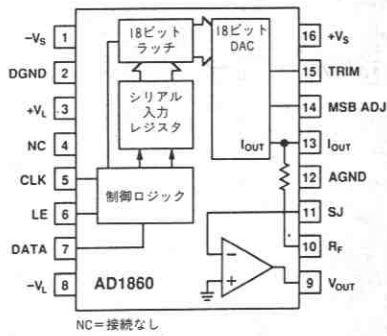
図14. DSP56001とAD1862による高分解能信号処理システム

AD1862

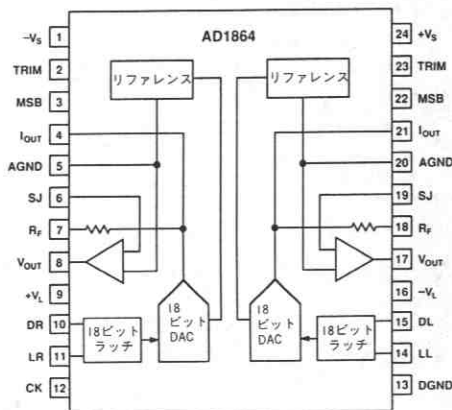
弊社のその他のデジタル・オーディオDAC



AD1856 16ビット・オーディオDAC
 全機能内蔵、外付部品不要
 0.0025% THD
 低価格
 16ピンDIPまたはSOICパッケージ
 業界標準ピン配置



AD1860 オーディオDAC
 全機能内蔵、外付部品不要
 0.002% THD+N
 S/N比: 108dB
 16ピンDIPまたはSOICパッケージ



AD1864 デュアル・オーディオDAC
 全機能内蔵、外付部品不要
 0.002% THD+N
 115dBチャンネル・セパレーション
 24ピンDIP

オーダ・ガイド

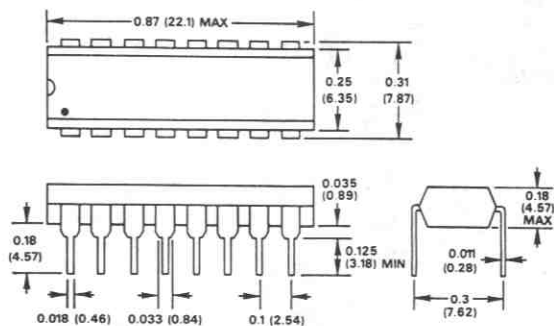
モデル	温度範囲	THD+N@FS	SNR	パッケージ* オプション
AD1862N	-25~+70°C	-92 dB, 0.0025%	110dB	N-16
AD1862N-J	-25~+70°C	-96 dB, 0.0016%	113dB	N-16

注
*N=プラスチックDIP

外形サイズ

サイズはインチと (mm) で示します。

N (プラスチック)パッケージ



特長

- デュアル・シリアル入力、電圧出力DAC
- 外付け部品不要
- チャンネル当り8倍のオーバーサンプリング動作
- ±5～±12V電源動作
- 同相出力
- 115dBのチャンネル・セパレーション
- ±0.3%のチャンネル間ゲイン・マッチング

応用

- マルチチャンネル・オーディオ応用
- コンパクト・ディスク・プレーヤ
- マルチボイス・キーボード機器
- DATプレーヤおよびレコーダ
- デジタル・ミキシング・コンソール
- マルチメディア・ワークステーション

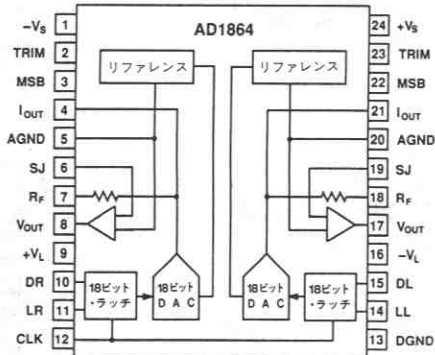
概要

AD1864は全機能内蔵のデュアル18ビットDACで、外付け部品なしに優れたTHD+N特性を提供します。2系統の完全な信号チャンネルが内蔵されています。これによって同相の電圧または電流出力信号が得られ、出力デマルチプレクサ回路が不要になります。モノリシックAD1864チップには、CMOSロジック、バイポーラおよびMOSリニア回路、レーザー・トリムされた薄膜抵抗が内蔵されており、すべて弊社独自のBiMOSIIプロセスによって製造されています。

AD1864チップ上のDACは部分分割アーキテクチャを採用しています。まず、それぞれのDACの上位4ビットが15個の要素に分割されます。下位14ビットは標準のR-2R方式で生成されます。セグメントおよびR-2R抵抗は、極めて低い全高調波歪みが得られるようにレーザー・トリムされています。このアーキテクチャによりメジャー・コード遷移時の誤差が最小となり、その結果出力グリッチが小さくなるため、外部のデグリッチ回路が不要となります。電流出力モードで用いている場合には、AD1864は2つの同相±1mA出力信号を供給します。

それぞれのチャンネルは高性能出力アンプを備えています。これらのアンプは高速セトリング時間と高スルーレートを實現しており、8mAまでの負荷電流において±3Vの信号を生成します。各出力アンプには短絡保護が施されており、連続的な短絡に耐えることができます。

AD1864はチャンネル・セパレーションとDACマッチングという2つの相反する要求に対してバランスをとるように設計されました。高いチャンネル・セパレーションは先進のレイアウト技法によって達成されています。同時にAD1864の両チャンネルは、ゲインおよび直線性のマッチングが経時変化や温度変化にも追従するように保証されています。これによってステレオやチャンネル毎に複数のDACを使用する応用最適な性能が保証されます。



AD1864ブロック図

デジタル・インタフェースにより、AD1864を直接標準のデジタル・フィルタ・チップに接続することができます。このインタフェースには、データ・レフト (DL)、データ・ライト (DR)、ラッチ・レフト (LL)、ラッチ・ライト (LR)、クロック (CLK) の5つの信号が使用されています。DLおよびDRは左右のDAC入力レジスタのシリアル入力ピンです。入力データ・ビットはCLKの立上りエッジで入力レジスタにクロックされます。ラッチ信号の立下りエッジに対応して、DAC出力が更新されます。単一のラッチ信号を用いるシステムでは、LLとLRを相互に接続します。単一のデータ信号を用いるシステムでは、DRとDLを相互に接続します。

AD1864は±5～±12V電源で動作します。デジタル電源 V_L および $-V_L$ はデジタル・フィードスルーを抑えるためにアナログ電源 V_S および $-V_S$ と分離することができます。アナログおよびデジタル・グラウンド・ピンもまた分離されています。AD1864の消費電力の標準値はわずか225mWで、最大値は265mWです。

AD1864のパッケージは24ピン・プラスチックDIPです。保証動作温度範囲は-25～+70°Cで、電源電圧レンジは±4.75～±13.2Vです。

製品ハイライト

- AD1864は全機能内蔵のデュアル18ビット・オーディオDACです。
- 低ノイズ動作を實現する108dBのS/N比。
- THD+Nは0.0017% typです。
- チャンネル間のゲインおよびミッドスケール・マッチング。
- 同相の出力電圧および電流。
- より優れた音質を實現する低グリッチ設計。
- 両チャンネルとも $8 \times F_S$ において100%試験済み。
- 低消費電力—わずか225mW typ、265mW max。
- 各DACを制御する5線式インタフェース。

仕様 ($T_A = +25^\circ\text{C}$ 、 $\pm V_L = \pm V_S = \pm 5\text{V}$ 、 $F_S = 352.8\text{kHz}$ 、MSB調整なし)

	Min	Typ	Max	単位
分解能		18		ビット
デジタル入力				
V_{IH}	2.0		$+V_L$	V
V_{IL}			0.8	V
I_{IH} 、 $V_{IH} = +V_L$			1.0	μA
I_{IL} 、 $V_{IL} = 0.4\text{V}$			-10	μA
クロック入力周波数	12.7			MHz
精度				
ゲイン誤差		0.4	1.0	% FSR
チャンネル間ゲイン・マッチング		0.3	0.8	% FSR
ミッドスケール誤差		4		mV
チャンネル間ミッドスケール・マッチング		5		mV
ゲイン直線性誤差 (0 ~ -90dB)		< 2		dB
ドリフト (0 ~ +70°C)				
ゲイン・ドリフト		± 25		ppm (FSR/°C)
ミッドスケール・ドリフト		± 4		ppm (FSR/°C)
全高調波歪み+ノイズ*				
0 dB, 990.5Hz AD1864N		0.004	0.006	%
AD1864N-J		0.003	0.004	%
AD1864N-K		0.0017	0.0025	%
-20dB, 990.5Hz AD1864N		0.010	0.040	%
AD1864N-J		0.010	0.020	%
AD1864N-K		0.010	0.020	%
-60dB, 990.5Hz AD1864N		1.0	4.0	%
AD1864N-J		1.0	2.0	%
AD1864N-K		1.0	2.0	%
チャンネル・セパレーション*				
0 dB, 990.5Hz	110	115		dB
S/N比* (20Hz~30kHz)	102	108		dB
ダイナミック・レンジ* (A特性フィルタ付き)				
-60dB, 990.5Hz AD1864N	88	100		dB
AD1864N-J	94	100		dB
AD1864N-K	94	100		dB
出力				
電圧出力構成				
出力レンジ ($\pm 3\%$)	± 2.88	± 3.0	± 3.12	V
出力インピーダンス		0.1		Ω
負荷電流	± 8			mA
回路短絡期間		コモンに対して制限なし		
電流出力構成				
バイポーラ出力レンジ ($\pm 30\%$)		± 1		mA
出力インピーダンス ($\pm 30\%$)		1.7		k Ω
電源				
$+V_L$ および $+V_S$	4.75	5.0	13.2	V
$-V_L$ および $-V_S$	-13.2	-5.0	-4.75	V
$+I(+V_L$ と $+V_S = +5\text{V})$		22	25	mA
$-I(-V_L$ と $-V_S = -5\text{V})$		-23	-28	mA
消費電力 ($\pm V_L = \pm V_S = \pm 5\text{V}$)		225	265	mW
温度範囲				
定格	0	+25	+70	°C
動作	-25		+70	°C
保存	-60		+100	°C
ウォームアップ時間	1			分

注
 太字で示す仕様は最終試験においてオプションのMSB調整なしで検査が施されています。
 *EIAJテスト規格CP-307に準拠して18ビット・データで試験されています。

仕様は予告なしに変更することがあります。

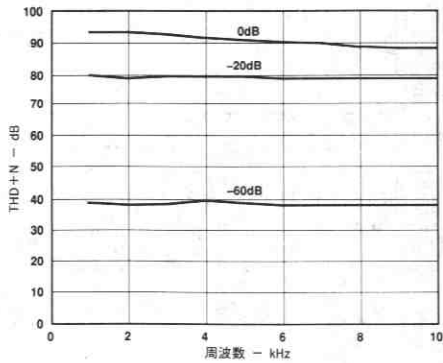


図 1. THD+Nの周波数特性

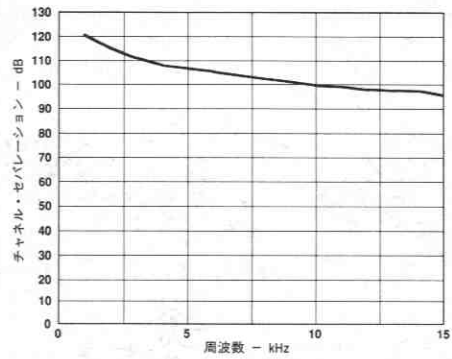


図 2. チャンネル・セパレーションの周波数特性

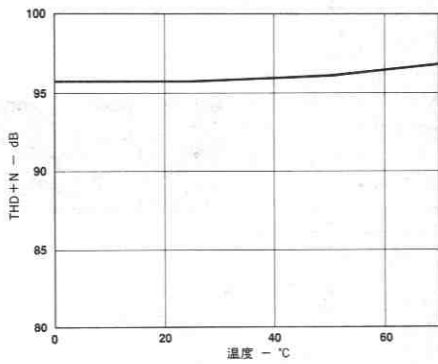


図 3. THD+Nの温度特性

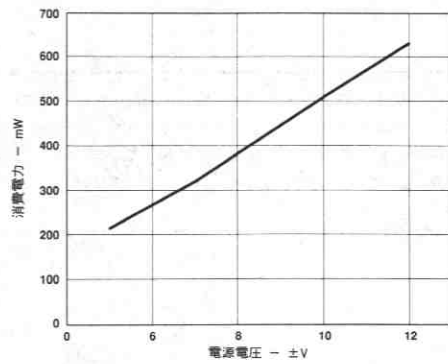


図 4. 電源電圧と消費電力の関係

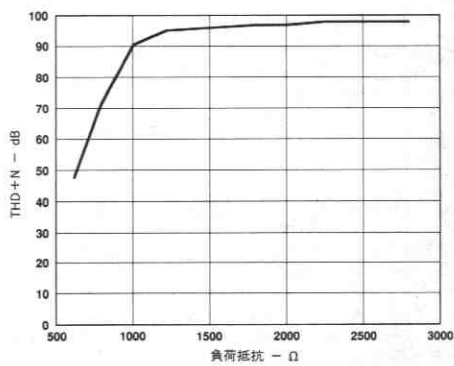


図 5. 負荷抵抗とTHD+Nの関係

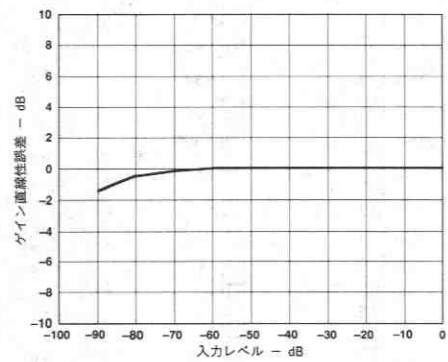


図 6. 入力レベルとゲイン直線性誤差の関係

絶対最大定格*

V_L -DGND	0 ~ 13.2V
V_S -AGND	0 ~ 13.2V
$-V_L$ -DGND	-13.2 ~ 0V
$-V_S$ -AGND	-13.2 ~ 0V
AGND-DGND	$\pm 0.3V$
デジタル入力-DGND	$-0.3 \sim V_L$
回路短絡保護	グラウンドに対し無限大
ハンダ付け	+300°C、10秒

注

*絶対最大定格を超えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目について絶対最大定格の状態に長時間さらすと、デバイスの信頼性に影響を与えます。

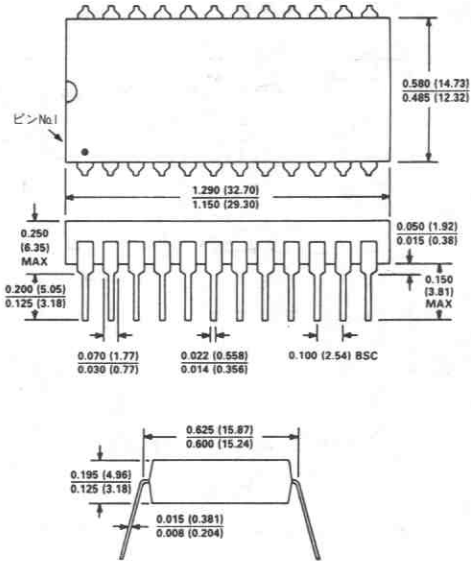
オーダ・ガイド

モデル	THD+N@FS
AD1864N	0.006%
AD1864N-J	0.004%
AD1864N-K	0.0025%

外形サイズ

単位はインチ(mm)で示します。

24ピン・プラスチックDIP



注 意

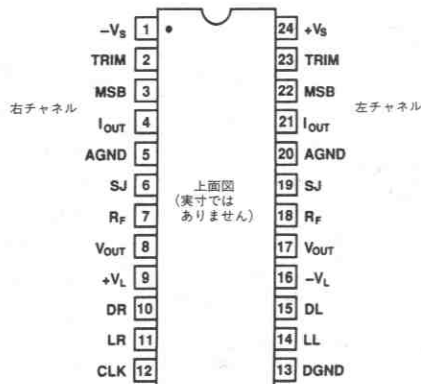
この素子はESD (Electro-Static-Discharge) センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高エネルギーの静電界にさらされると、永久破壊を起こすことがあります。使用しないデバイスは導電フォームまたはシャントをして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させることが必要です。



ピン機能説明

ピンNo.	信号	説明
1.	$-V_S$	負のアナログ電源
2.	TRIM	右チャンネル・トリム・ネットワーク接続
3.	MSB	右チャンネル・トリムポット・ワイパー接続
4.	I_{OUT}	右チャンネル出力電流
5.	AGND	右チャンネル・アナログ・コモン・ピン
6.	SJ	右チャンネル・アンプ・サミング・ジャンクション
7.	R_F	右チャンネル・フィードバック抵抗
8.	V_{OUT}	右チャンネル出力電圧
9.	$+V_L$	正のデジタル電源
10.	DR	右チャンネル・データ入力ピン
11.	LR	右チャンネル・ラッチ・ピン
12.	CLK	クロック入力ピン
13.	DGND	デジタル・コモン・ピン
14.	LL	左チャンネル・ラッチ・ピン
15.	DL	左チャンネル・データ入力ピン
16.	$-V_L$	負のデジタル電源
17.	V_{OUT}	左チャンネル出力電圧
18.	RF	左チャンネル・フィードバック抵抗
19.	SJ	左チャンネル・アンプ・サミング・ジャンクション
20.	AGND	左チャンネル・アナログ・コモン・ピン
21.	I_{OUT}	左チャンネル出力電流
22.	MSB	左チャンネル・トリムポット・ワイパー接続
23.	TRIM	左チャンネル・トリム・ネットワーク接続
24.	$+V_S$	正のアナログ電源

ピン配置



用語の説明

全高調波歪み+ノイズ

全高調波歪み+ノイズ (THD+N) は、高調波とノイズのそれぞれの値を2乗し合計したものの平方根の値と基本入力周波数の値との比です。通常は%で表わされます。

THD+Nによって直線性誤差、微分直線性誤差、量子化誤差およびノイズの大きさと分布を測ることができます。これらの誤差の分布は出力信号の大きさに依りて異なることがあります。そのため、THD+Nは大信号 (0 dB) および小信号 (-20dB, -60dB) の両方に対して規定されています。AD1864のTHD+Nは最初の19の高調波および30kHzまでのノイズを用いて測定されています。

S/N比

S/N比はミッドスケール・コード入力時の出力振幅とフルスケール・コード入力時の出力振幅との比です。測定は標準のA特性フィルタを使用して行なわれます。AD1864のS/N比は30kHzまでのノイズ成分に対して測定されています。

チャンネル・セパレーション

チャンネル・セパレーションは、あるチャンネルのフルスケール信号の振幅と、同じ信号を出力している隣接するチャンネルの振幅の比で、通常はdBで表現されます。AD1864のチャンネル・セパレーションはEIAJ規格CP-307、セクション5.5に準拠して測定されています。

ダイナミック・レンジ歪み

ダイナミック・レンジ歪みは、フルスケール60dBダウンの信号レベルが再生される時の全高調波歪み+ノイズに60dBを加えた値に等しくなります。ダイナミック・レンジは1kHzの入力正弦波で試験されます。この特性の測定は、EIAJ規格CP-307に準拠してA特性フィルタを用いて行なわれます。

ゲイン誤差

ゲイン誤差は、あるチャンネルの実際の出力と、与えられた入力データに対する理想的な出力とのマッチングの度合を示します。この仕様はFSRに対する%で表現され、フルスケール出力信号で測定されます。

チャンネル間ゲイン・マッチング

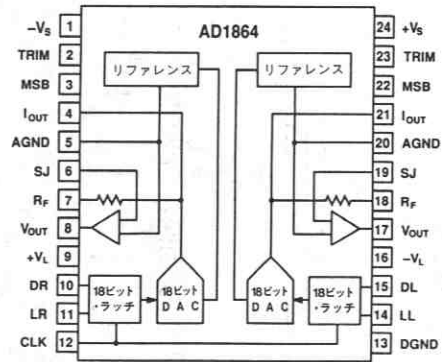
ゲイン・マッチング仕様は、入力データから生成される出力信号レベルのマッチングの度合を示します。この仕様はFSR (フルスケール・レンジ=6V) に対する%で表現され、フルスケール出力信号で測定されます。

ミッドスケール誤差

ミッドスケール誤差は、特定チャンネルのDACの入力レジスタにハーフスケールを表わす2の補数形式データがロードされた時の、実際のアナログ出力と理想出力 (0V) との偏差です。この仕様はmVで表現されます。

チャンネル間ミッドスケール・マッチング

ミッドスケール・マッチング仕様は、両チャンネルの入力レジスタにハーフスケールを表わす2の補数形式入力コードを与えた際の、2つのチャンネルからの出力振幅のマッチングの度合を示しています。この仕様はmVで表現され、ハーフスケール出力信号で測定されます。



AD1864ブロック図

機能説明

AD1864は全機能内蔵のモノリシック・デュアル18ビット・オーディオDACです。動作に際して外付け部品は不要です。ブロック図に示すように、それぞれのチップは2つの電圧リファレンス、2つの出力アンプ、2つのシリアル入力レジスタ、2つの18ビットDACを内蔵しています。

電圧リファレンス部は各DAC回路にリファレンス電圧を供給します。リファレンス電圧は低ノイズ・バンドギャップ回路によって生成されます。またバッファ・アンプも内蔵されています。この素子の組み合わせから温度や時間による影響を受けないリファレンス電圧が生成されます。

出力アンプはMOSとバイポーラのデバイスを用いており、すべてのデバイスの出力段はNPNです。この設計方式によって、従来に比べてより高いスルーレートと低歪みが得られます。周波数応答もまた改善されています。オンチップのフィードバック抵抗と組み合わせることによって、出力オペアンプは出力電流を出力電圧に変換します。

18ビットD/Aコンバータは、安定した直線性と微分直線性を実現するためにセグメント化されたデコーダおよびR-2Rを組み合わせたアーキテクチャを用いています。ラダー構造を形成する抵抗はシリコン・クロム薄膜によって製造されています。これらの抵抗はレーザー・トリミングされており、より一層直線性誤差を抑え、低出力歪みを実現しています。

入力レジスタはCMOSロジック・ゲートによって構成されています。これらのゲートは高速スイッチング速度と低電力消費を実現しており、AD1864の低グリッチ性能と低消費電力の実現に寄与しています。

アナログ回路について

推奨グラウンド接続

AD1864は3つのグラウンド・ピンを備えており、それは2つのAGNDと1つのDGNDです。アナログ・グラウンド・ピンAGNDは高品質のグラウンド・リファレンスとなります。歪みを最小としチャンネル間のクロストークを抑えるためには、アナログ・グラウンド・ピンは、システムのアナログ・コモン点においてのみ相互に接続する必要があります。図7に示すように、2つのAGNDピンをチップにおいて接続してはいけません。

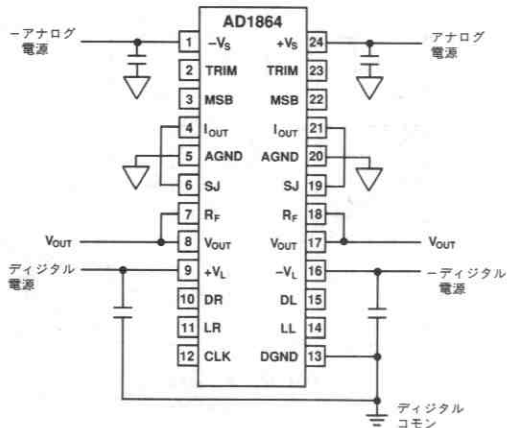


図7. 推奨回路

デジタル・グラウンド・ピンはAD1864のデジタル・ロジック部からのグラウンド電流を帰します。このピンはシステムのデジタル・コモン・ピンに接続する必要があります。他のデジタル・ロジック・チップについてもこのコモン点を基準とします。アナログ・グラウンドとデジタル・グラウンドはシステムの一点（電源が望ましい）で接続します。

電源とデカップリング

AD1864には4つの電源入力ピンが用意されています。±Vsピンは電圧リファレンス、出力アンプ、コントロール・アンプなどのDACのアナログ回路部に電源を供給します。±Vs電源は±5～±12Vで動作するように設計されています。これらの電源は0.1μFのコンデンサを用いてアナログ・コモンにデカップリングする必要があります。バイパス・コンデンサをできる限りパッケージのピンの近くに配置することによって、良い結果が得られます。これによってプリント基板パターン上の寄生インダクタンスの影響を最小にすることができます。

±Vl電源ピンは、入力シフト・レジスタ、入力ラッチ回路などの、このチップのデジタル部に動作電源を供給します。これらの電源は0.1μFのコンデンサを用いてデジタル・コモンにバイパスする必要があります。±Vlは±5～±12Vの電源で動作します。AD1864の正規の動作を保証するため、常に-Vsを最も負の供給電源電圧とする必要があります。

AD1864のアナログ部とデジタル部には、それぞれ正と負の独立した電源ピンが用意されていますが、AD1864を単一の正電源、単一の負電源をもつシステムで用いることも可能です。この場合には+Vsおよび+Vl入力ピンを正の供給電源に接続する必要があり、-Vsと-Vlは単一の負電源に接続する必要があります。この機能によってシステムの電源にかかるコストおよび複雑さを低減することができます。

ほとんどのリニア回路では、電源の変動はDAC出力に影響します。オーディオ・システムを設計する際には、十分にレギュレートされリップルが1%以下の電源を用いることをお勧めします。

歪み性能と試験

オーディオDACのTHD+N波形は、オーディオ波形を再構成し再生する際に生成される望ましくない信号のレベルを表わしています。THD+N特性は希望の性能レベルに応じたオーディオDACをクラス分けし、選択するための直接的な手段となります。図1は、AD1864のTHD+Nの代表的な周波数特性を示しています。最良のTHD+N性能を得るための負荷インピーダンスの推奨値は、最小で1.5kΩです。

弊社では、すべてのAD1864をTHD+N性能に基づいて試験しており、グレード分けしています。歪み試験の間は、高速デジタル・パターン発生器から被試験対象のデバイスのそれぞれのチャンネルにデジタル・データを送信しています。18ビット・データは352.8kHz (8×Fs)でDACにラッチされます。試験に用いる波形は990.5kHzの正弦波で、0dB、-20dB、-60dBの振幅をもっています。4096ポイントのFFTによって、全高調波歪み+ノイズ、S/N比、ダイナミックレンジおよびチャンネル・セパレーションを算出します。デグリッチ回路およびMSBの調整は行なっていません。

MSB調整(オプション)

オプションの調整回路を用いることによって、残余の歪み誤差を取除くことができます。この歪みは小振幅信号を再構成する際に、特に重要です。MSB調整回路を図8に示します。振幅-60dBの入力信号を用い、歪みが最も小さくなる位置にトリム・ポットを調整します。

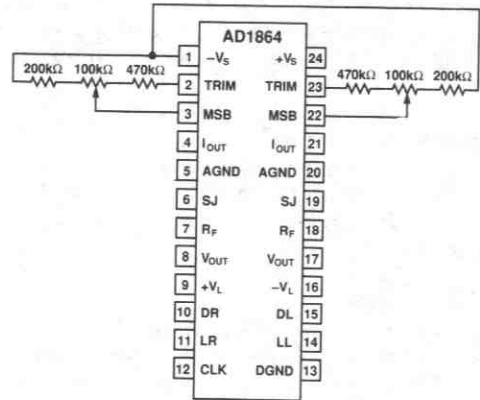


図8. THD+N調整回路(オプション)

電流出力モード

AD1864の一つまたは両チャンネルは電流出力モードで動作可能です。I_{OUT}によって外部の電流-電圧 (I/V) コンバータを直接駆動することができます。この場合でも内部のフィードバック抵抗R_Fを、外部I/Vコンバータの帰還路として用いることができ、R_Fが時間や温度の変化に対してDACに追従することを保証します。

もちろんAD1864をオンボードI/Vコンバータを利用し、電圧出力モードで用いることも可能です。

電圧出力モード

ブロック図で示すように、AD1864の各チャンネルはI/Vコンバータとフィードバック抵抗を備えています。これらは、単一あるいは複数のAD1864のチャンネルから直接に電圧出力を得られるように外部で接続することが可能です。図7はその場合の接続を示しています。I_{OUT}はサミング・ジャンクションSJに接続されています。V_{OUT}はフィードバック抵抗R_Fに接続されています。このような接続により、可能な限り少ない部品点数で、規定仕様を8×F_S動作で実現することができます。

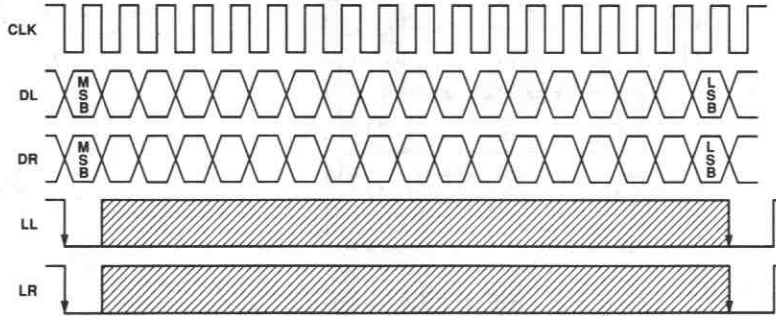


図9. AD1864コントロール信号

入力データ

AD1864の入力データ形式は、MSBを先頭とする2の補数形式のシリアル18ビット・ワード・ビット列です。データ・レフト (DL) およびデータ・ライト (DR) は、それぞれ左右のDACのシリアル入力です。同様に、ラッチ・レフト (LL) およびラッチ・ライト (LR) は左右のDACを更新します。LLおよびLRの立下りエッジで、シリアル・レジスタにクロックされている最新の18ビットをDAC内にシフトし、それによってDAC出力の更新が行われます。左右チャンネルはクロック (CLK) 入力を共用しています。データはCLKの立上りエッジに同期して入力レジスタに入力されます。

図9は、AD1864のデータ転送のための一般的な信号を示しています。

タイミング

図10は、データ転送が正しく行われるために必要な特定のタイミングを示しています。AD1864の入力ピンはTTLおよび5V CMOSとコンパチブルです。

AD1864の最小クロック周波数は12.7MHzです。このクロック周波数により、2×、4×、8×、16×F_S (F_S=44.1kHz) のデータ転送レートが実現できます。

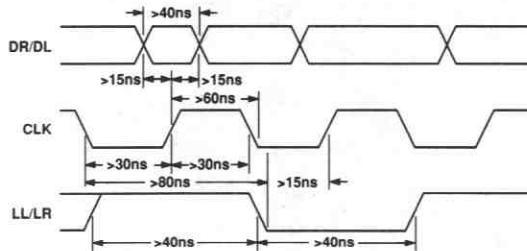


図10. AD1864タイミング図

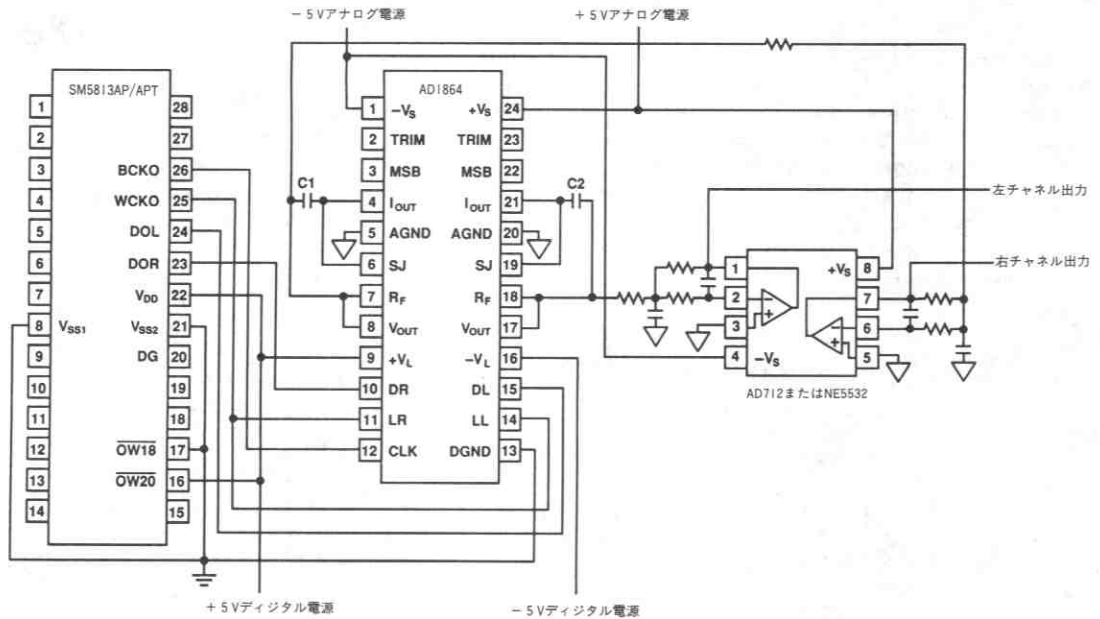


図11. 完全 $8 \times F_s$ 、18ビットCDプレーヤ

18ビットCDプレーヤの設計

図11は、AD1864、AD712またはNE5532デュアル・オペアンプ、NPC社のSM5813デジタル・フィルタ・チップを用いた18ビットCDプレーヤ設計を示しています。この設計では、SM5813フィルタが左右のデジタル・データをAD1864の両チャンネルに送信します。左右のラッチ信号LLおよびLRには、デジタル・フィルタのワード・クロック信号(WCKO)を入力します。デジタル・フィルタは、各チャンネルに対して8倍のオーバーサンプリング・レートでデータを供給します。

デジタル・データは、AD1864の出力アンプによってアナログ出力電圧に変換されます。AD1864では外部部品が必要な点に御注

意ください。また、デグリッチ回路も不要です。AD712またはNE5532デュアル・オペアンプは、十分なイメージ除去を得るために必要な出力アンチエイリアシング・フィルタのために用いられています。2極のフィルタ部が各チャンネル用に用意されています。追加ポールは内部フィードバック抵抗(R_F)と外部コンデンサC1およびC2の組合わせで生成されます。

AD712は、AC特性のマッチングが良好なアンプとしてその低歪み性能により、このような応用における理想的なデバイスです。

このようなシンプルな設計から、低歪み、最高のチャンネル・セパレーション、低消費電力および部品点数の最小化が実現できます。

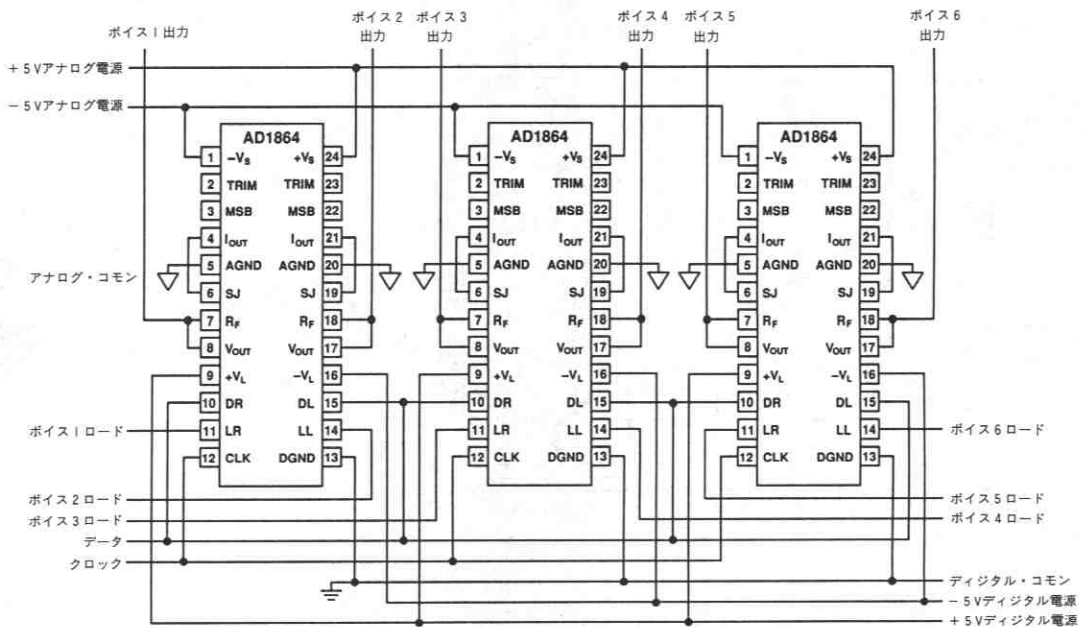


図12. マルチチャンネル・キーボード機器でのAD1864のカスケード接続

マルチチャンネル・デジタル・キーボードの設計

図12は、電子楽器でマルチボイス機能を実現するためにAD1864をカスケード接続する方法を示しています。この例では、データおよびクロック信号は6個すべてのDACで共用されています。特定のボイス出力を示すデータがロードされ、適合するDACが更新されます。例えばボイス#4の次の出力値を示す18ビットがデータライン上に出されて来ると“ボイス#4ロード”がLOWとなります。これによってボイス4は新しいデータを発生します。さらに、6つのロード信号をすべてLOWとすることで全ボイスを同じ出力とすることができます。

この応用でAD1864を用いる利点は明らかです。フレキシブルなデジタル・インタフェースによりクロックおよびデータを全DAC間で共用することが可能です。これによってプリント基板スペースを節約することが可能となり、基板のレイアウトも簡素化されます。AD1864の低消費電力 (215mW typ) は、複数のDACを用いるシス

テムでは有効であり、この利点は使用するDACの個数に応じて倍加します。AD1864は外付け部品を必要としないため、設計はシンプルになり、部品点数は低減し、信頼性は向上します。

その他の応用

図13~16はAD1864といくつかの標準デジタル・フィルタ・チップ (ヤマハ、NPC、ソニー) との接続図です。図13ではSM5814APはバイライン・データで動作しています。SM5814APは18ビット・モードでは同相動作はできません。図14~16ではすべて同相動作の例を示しています。それぞれの応用は各チャンネルあたり8倍のオーバーサンプリングで動作します。図11に示す2極Rauchローパス・フィルタは、本データシートに示すすべての応用で用いることができます。最大のチャンネル・セパレーションを得るために、AD711シングル・オペアンプを用いることもできます。

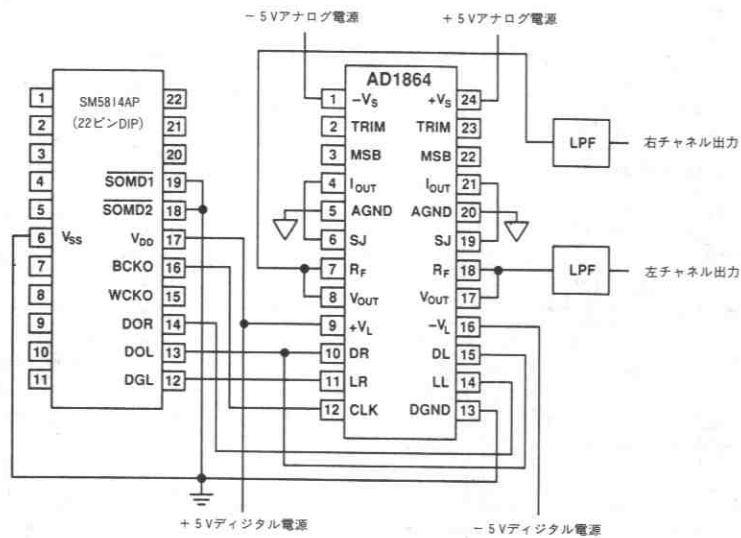


図13. AD1864とNPC SM5814APデジタル・フィルタ

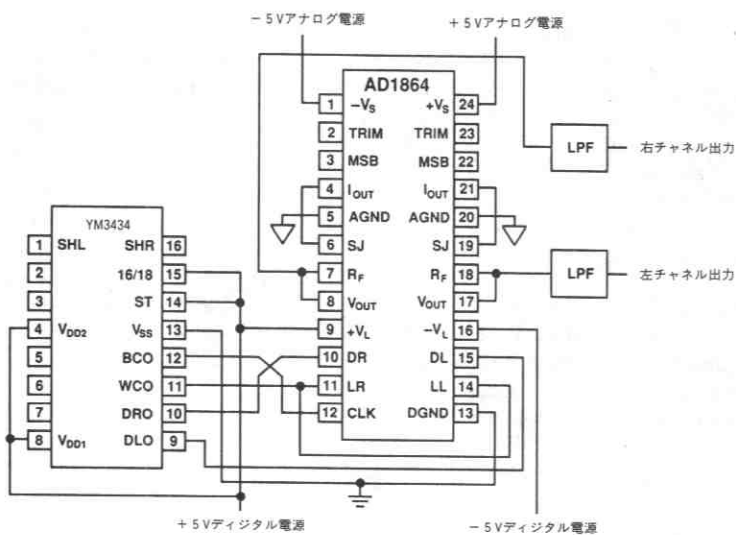


図14. AD1864とヤマハ YM3434デジタル・フィルタ

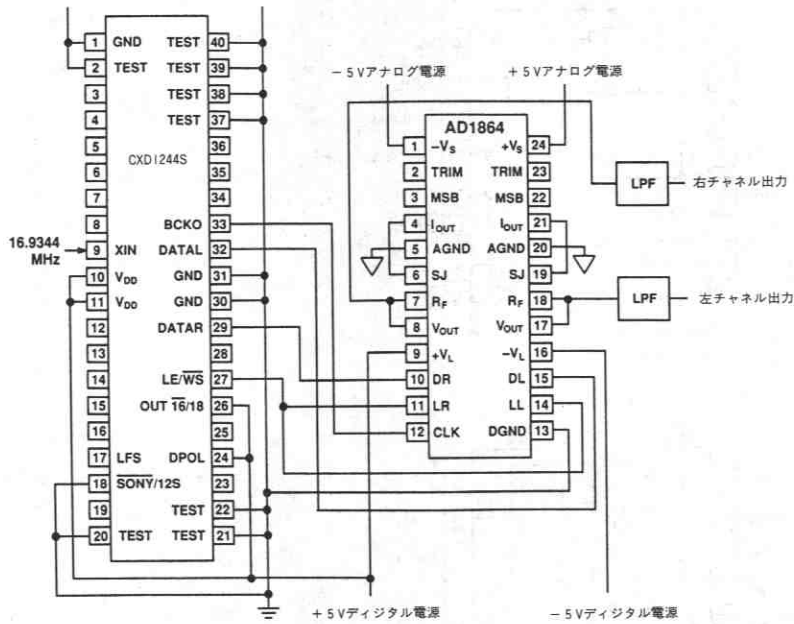


図15. AD1864とソニー CXD1244Sデジタル・フィルタ

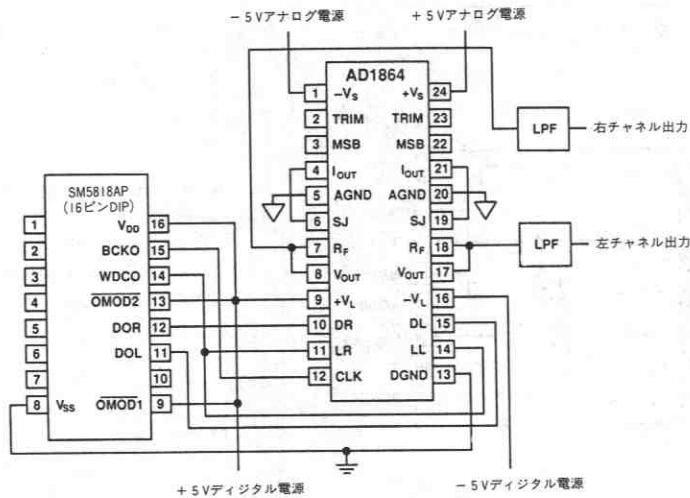
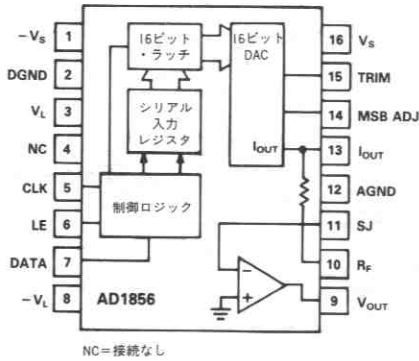
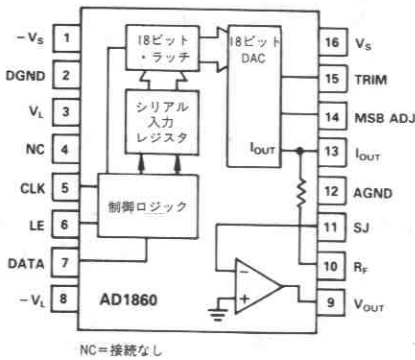


図16. AD1864とNPC SM5818APデジタル・フィルタ

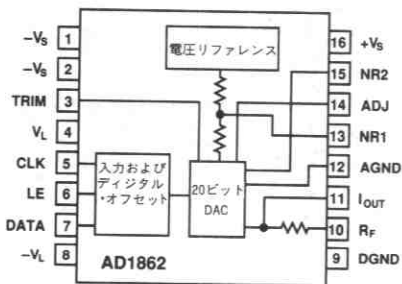
弊社のその他のデジタル・オーディオDAC



AD1856 16ビット・オーディオDAC
 全機能内蔵、外付部品不要
 0.0025% THD
 低価格
 16ピンDIPまたはSOICパッケージ
 業界標準ピン配置



AD1860 18ビット・オーディオDAC
 全機能内蔵、外付部品不要
 0.002% THD+N
 108dB S/N比
 16ピンDIPまたはSOICパッケージ
 業界標準ピン配置



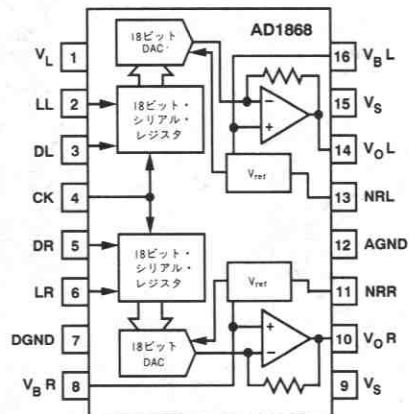
AD1862 20ビット・オーディオDAC
 120dB S/N比
 0.0012% THD+N
 ダイナミック・レンジ105dB
 ±1 dBゲイン直線性
 16ピンDIP

特長

- デュアル・シリアル入力、電圧出力DAC
- +5V単一電源
- 0.004% THD+ノイズ
- 低消費電力：50mW
- 108dB minチャンネル・セパレーション
- 8倍のオーバーサンプリング動作
- 16ピン・プラスチックDIPまたはSOパッケージ

応用

- ポータブル・コンパクト・ディスク・プレーヤ
- ポータブルDATプレーヤおよびレコーダ
- 自動車用コンパクト・ディスク・プレーヤ
- 自動車用DATプレーヤ
- マルチメディア・ワークステーション



AD1868ブロック図

概要

AD1868は、全ての機能を完備したデュアル18ビットDACで、単一の+5V電源で優れた性能を発揮します。この製品は弊社のABC-MOSウェハ製造プロセスで製造されています。モノリシックのチップ上には、CMOSロジック回路、ハイボラおよびMOSリニア回路、レーザ・トリミングされた薄膜抵抗が実装されています。細心の設計とレイアウト技術により、低歪み、低ノイズ、高いチャンネル・セパレーションおよび低消費電力が実現されています。

AD1868の内蔵DACには、部分分割アーキテクチャが採用されています。各DACのMSBから上位3ビットが7つのセグメントに分けられます。下位15ビットは標準のR-2R方式によって生成されます。セグメントとR-2R抵抗はレーザ・トリミングされており、非常に低い全高調波歪みを実現しています。AD1868にはデグリッチや調整のための回路は不要です。低ノイズ性能は2つのノイズ低減コンデンサによって実現されています。

各DACには高性能出力アンプが備えられています。これらのアンプは高速セットリング時間と高いスルーレートを備えており、±1mAまでの負荷電流において±1V信号を生成します。バッファされた出力信号の範囲は1.5~3.5Vです。2.5Vのリファレンス電圧が用意されており、「仮想グラウンド」回路は不要です。

デジタル・インタフェースによって、AD1868はすべてのデジタル・フィルタ・チップに直接接続することができます。高速なCMOSロジック回路により最高13.5MHzまでの入力クロック・レートを使用できます。これによって、各チャンネルはサンプリング周波数の2倍、4倍、8倍または16倍で動作可能です。AD1868のデジタル入力ピンはTTLおよび+5V CMOSとコンパチブルです。

AD1868は+5V電源で動作します。デジタル・フィードスルーを抑えるために、デジタル電源V_Lをアナログ電源V_Sと分離することもできます。独立したアナログおよびデジタルのグラウンド・ピンも用意されています。単一の+5V電源を使用するシステムではV_LとV_Sを相互に接続します。バッテリー駆動のシステムでは、より低い電圧でも動作します。AD1868の消費電力の代表値は50mWです。

AD1868のパッケージは、16ピン・プラスチックDIPまたは16ピン・プラスチックSOICです。動作温度範囲は-35~+85°Cの全域にわたって保証されており、保証電源電圧範囲は+4.75~+5.25Vです。

製品ハイライト

1. 単一の+5V電源動作。
2. 50mWの消費電力。
3. 0.004%のTHD+ノイズ。
4. 97.5dBのS/N比。
5. 108dB minのチャンネル・セパレーション。
6. すべてのデジタル・フィルタ・チップとコンパチブル。
7. 16ピンDIPおよび16ピンSOパッケージ。
8. デグリッチ回路が不要。
9. 外部調整が不要。

仕様

(特に指定のない限り、 $T_A = +25^\circ\text{C}$ 、+5V電源での代表値)

項目	Min	Typ	Max	単位
分解能		18		ビット
デジタル入力 V_{IH} V_{IL} I_{IH} 、 $V_{IH} = V_L$ I_{IL} 、 $V_{IL} = \text{DGND}$	2.4		0.8	V V μA μA
最大クロック入力周波数	13.5			MHz
精度				
ゲイン誤差		± 1		フルスケールの%
ゲイン・マッチング		± 1		フルスケールの%
ミッドスケール誤差		± 15		mV
ミッドスケール誤差のマッチング		± 10		mV
ゲイン直線性誤差		± 3		dB
ドリフト (0 ~ +70°C)				
ゲイン・ドリフト		± 100		ppm/°C
ミッドスケール・ドリフト		± 100		$\mu\text{V}/^\circ\text{C}$
全高調波歪み+ノイズ				
0dB、990.5Hz AD1868N		0.004	0.008	%
AD1868N-J		0.004	0.006	%
-20dB、990.5Hz AD1868N		0.020	0.08	%
AD1868N-J		0.020	0.08	%
-60dB、990.5Hz AD1868N		2.0	5.0	%
AD1868N-J		2.0	5.0	%
チャンネル・セパレーション 1kHz、0dB	108	NIL*		dB
S/N比 (A特性フィルタ付き)	95	97.5		dB
ダイナミック・レンジ (A特性フィルタ付き)	86	92		dB
出力				
電圧出力ピン (V_{OUTL} 、 V_{OUTR})				
出力範囲 ($\pm 3\%$)		± 1		V
出力インピーダンス		0.1		Ω
負荷電流		± 1		mA
バイアス電圧ピン (V_{BIASL} 、 V_{BIASR})				
出力範囲		+2.5		V
出力インピーダンス		350		Ω
電源				
仕様、 V_L および V_S	4.75	5	5.25	V
動作、 V_L および V_S	3.5		5.25	V
+I、 V_L および $V_S = 5\text{V}$		10	14	mA
消費電力		50	70	mW
温度範囲				
仕様	0	25	70	°C
動作	-35		85	°C
保存	-60		100	°C

* 115dB以上

太字で示す仕様は最終電気試験で全数テストされています。

仕様は予告なしに変更することがあります。

絶対最大定格*

V_L -DGND間	0 ~ +6V
V_S -AGND間	0 ~ +6V
AGND-DGND間	$\pm 0.3\text{V}$
デジタル入力-DGND間	-0.3 ~ V_L
ハンダ付け	300°C、10秒間

*「絶対最大定格」に示す値を越えるストレスは、デバイスに永久的な損傷を与えることがあります。これらの条件は単にストレスの限界を示すもので、これらの条件に関する仕様に示したものの以上の条件下で、デバイスが機能することを意味するものではありません。長時間、絶対最大定格の条件にさらされた場合、デバイスの信頼性に影響を与えることがあります。

注意

ESD (Electro-Static Discharge) センシティブ・デバイス。デジタル制御入力はダイオードで保護されています。しかし、どこにも接続していないデバイスは、高エネルギーの静電界により永久的な損傷を受ける恐れがあります。使用しないデバイスは導電性フォームまたはシャントに保存してください。フォームから取外す場合は、デバイスを搭載するソケットにフォームを接触し放電させてください。



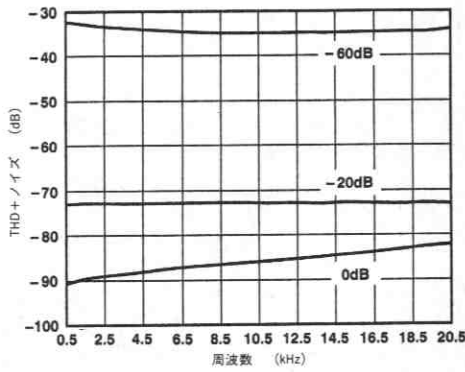


図1. THD+ノイズの周波数特性

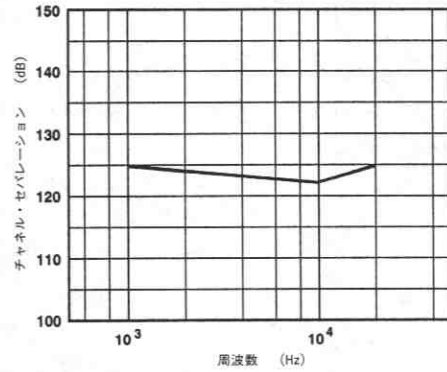


図2. チャネル・セパレーションの周波数特性

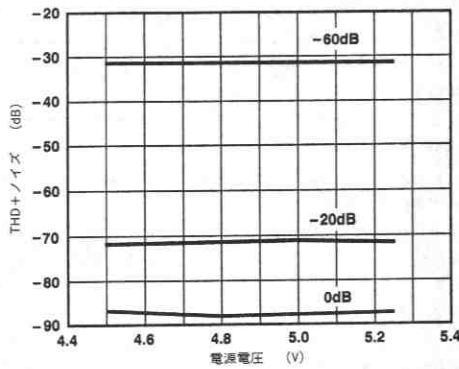


図3. THD+ノイズ対電源電圧

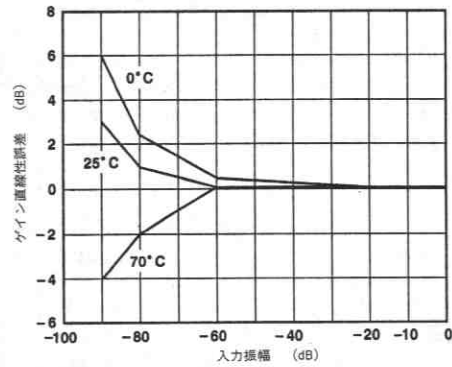


図4. ゲイン直線性誤差対入力レベル

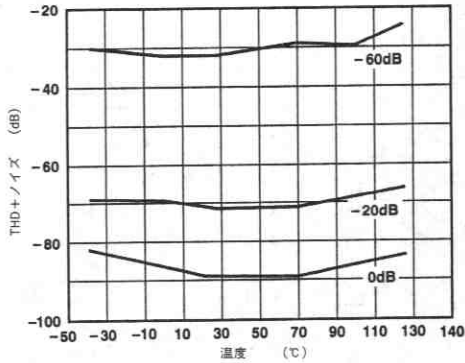


図5. THD+ノイズの温度特性

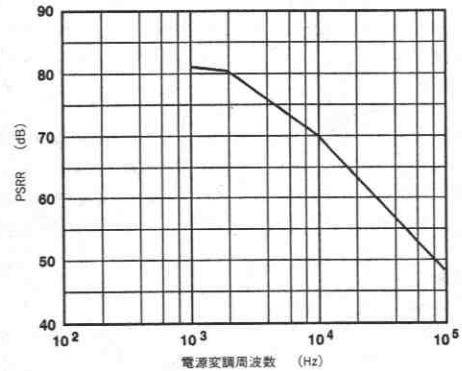


図6. 電源変動除去比の周波数特性

AD1868ピン配置



用語の説明

全高調波歪み+ノイズ

全高調波歪み+ノイズ (THD+N) は、高調波およびノイズ振幅の二乗和の平方根と、基本波の振幅の比で、通常は%またはデシベル (dB) で表わされます。

ダイナミック・レンジ歪み

ダイナミック・レンジ歪みは、-60dBの信号において信号振幅の歪み+ノイズへの割合です。この場合、A特性フィルタが用いられます。ダイナミック・レンジ性能として仕様化されている値は、測定された比に60dB加えた値です。

S/N比

S/N比は、フルスケール時の出力振幅と無信号時の出力振幅の割合として定義されており、デシベル (dB) で表わされます。この仕様はA特性フィルタを用いて測定されます。

ゲイン直線性

ゲイン直線性は、実際の出力振幅の理想的な出力振幅からの偏差として測定されます。この値は、出力信号の振幅がデジタル的により低いレベルに抑えられた際の出力信号の振幅を測定することにより決まります。理想的なD/Aコンバータでは理想的な出力と実際の出力の間に差は生じません。ゲイン直線性はデシベル (dB) で表わされます。

ミッドスケール誤差

ミッドスケール誤差またはバイポーラ・ゼロ誤差は、入力レジスタにミッドスケールを表わす2の補数形式の入力コードがロードされた際の、実際のアナログ出力のバイアス・ピンの電位からの偏差です。ミッドスケール誤差はmVで表わされます。

機能説明

AD1868は全ての機能を完備したモノリシックのデュアル電圧出力18ビット・デジタル・オーディオDACで、単一の5V電源で動作します。ブロック図に示されているように、それぞれのチャンネルは電圧リファレンス、18ビットDAC、出力アンプ、18ビット入力ラッチおよび18ビット・シリアル・パラレル入力レジスタを備えています。

ピン機能説明

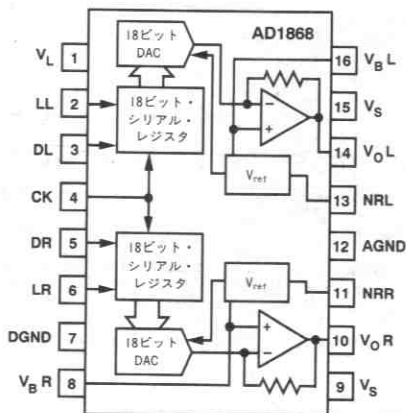
1	VL	デジタル電源 (+5V)
2	LL	左チャンネル・ラッチ・イネーブル
3	DL	左チャンネル・データ入力
4	CK	クロック入力
5	DR	右チャンネル・データ入力
6	LR	右チャンネル・ラッチ・イネーブル
7	DGND	デジタル・コモン
8	VB R	右チャンネル・バイアス
9	VS	アナログ電源 (+5V)
10	V0 R	右チャンネル出力
11	NRR	右チャンネル・ノイズ・リダクション
12	AGND	アナログ・コモン
13	NRL	左チャンネル・ノイズ・リダクション
14	V0 L	左チャンネル出力
15	VS	アナログ電源 (+5V)
16	VB L	左チャンネル・バイアス

それぞれのチャンネルの電圧リファレンス部はリファレンス電圧および各チャンネルのための仮想グラウンド電圧を供給します。低ノイズのバンドギャップ回路は、温度、時間および電源の影響を受けないうりファレンス電圧を生成します。

出力アンプはMOSおよびバイポーラのデバイスで構成されており、NPNのクラスA出力段を備えています。このアンプは高スループット、低ノイズ、低歪みおよび優れた周波数応答を実現するように設計されています。

各18ビットDACはセグメント・デコーダとR-2Rラダー構造の組合わせによって優れた積分および微分直線性を実現します。ラダー構造に用いられている抵抗はシリコン・クロム薄膜によって製造されています。この抵抗はレーザ・トリミングによって直線性誤差が低く抑えられており、低出力歪みを実現されています。

入力レジスタはCMOSロジック・ゲートで構成されています。これらのゲートは高速スイッチング速度と低消費電力を実現しており、AD1868の高速デジタル・タイミング、低グリッチおよび低消費電力性能に寄与しています。



AD1868ブロック図

アナログ回路について グラウンドの接続方法

AD1868には、AGND (ピン12) とDGND (ピン7) の2つのグラウンド・ピンがあります。アナログ・グラウンドAGNDは、アナログ信号のための高品質のグラウンド・リファレンス・ポイントとなり、デバイス内のアナログ部分からの電源電流の帰路として用いられています。内部回路は信号のアナログ・リターン電流への依存が最小になるように設計されていますが、システムのアナログ・コモンはできる限りピン12の近くに配置し、2点間に生じる恐れのある寄生電圧降下を最小にすべきです。

デジタル・グラウンドDGNDはデバイスのデジタル・ロジック部からのグラウンド電流を返します。このピンは、システムのデジタル・コモン・ノードに接続してください。図7に示すように、アナログおよびデジタル・グラウンドはシステム内の一点で接続します。これら2つのグラウンドが、電源グラウンドのようにAD1868から離れたノードで接続された場合、仕様性能を確保するためにはDGNDとAGND間に生じる電位差が最小になるように注意する必要があります。

電源とデカップリング

AD1868には3つの電源入力ピンがあります。V₀ (ピン9とピン15)は、DAC内のアナログ部である18ビットDAC、電圧リファレンスおよび出力アンプに電源電圧を供給します。V_Sは、5V電源によって動作するように設計されています。これらのピンは0.1μFのコンデンサによってアナログ・コモンにデカップリングする必要があります。バイパス・コンデンサは、できる限りパッケージ・ピンの近くに配置した方が良い結果を得ることができます。これは、プリント基板上のパターンによる寄生誘導の影響が最小になるためです。

V_L (ピン1)はDACのデジタル部である入力シフト・レジスタおよび入力ラッチ回路に電源を供給します。V_Lもまた5V電源によって動作するように設計されています。このピンは、やはりパッケージ・ピンのできるだけ近くに配置した0.1μFのコンデンサにより、デジタルおよびアナログ電源用バイパス・コンデンサの正しい接続を示しています。

AD1868オーディオDACの重要な機能として、小さな電源電圧での動作能力をあげることができます。この機能は、ポータブルなバッテリー駆動システムでは非常に重要です。バッテリーが放電すると電源電圧が低下してしまうからです。他のオーディオDACと異なり、AD1868は最小3.5Vまでの電源電圧で動作し続けることができます。独特な設計により、AD1868はバッテリーの電圧が低下するに従い、消費電力も低下し、システムの動作時間を拡大します。

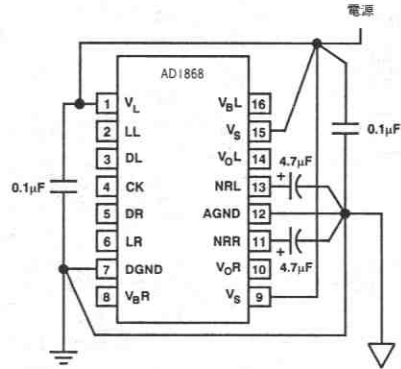


図7. 推奨電源回路

ノイズ・リダクション・コンデンサ

AD1868は、2つのノイズ・リダクション・ピンとしてNRL (ピン13) とNRR (ピン11) を備えています。これらのピンには、電圧リファレンス回路に起因する出力ノイズを制限するため、外部ノイズ・リダクション・コンデンサをAGNDに接続します。図7に示すように、これらのピンは4.7μFまたはそれ以上のコンデンサによってAGNDにバイパスしてください。コンデンサ、パッケージのピンおよびAGND間の接続は、よりノイズを小さくするためにできる限り短くしてください。

V_{0L}およびV_{0R}の使い方

AD1868は、2つのバイアス・ピンとしてV_{0R} (ピン8) およびV_{0L} (ピン16) を備えています。これらのピンは、出力電圧スイングの中央に等しい、DCリファレンス電圧を供給します。これらのバイアス電圧は、従来の単一電源オーディオ・システムで必要とされていた「仮想グラウンド」回路の置換えとして用いることができます。同時にDCカップリングされたシステムではオーディオ性能が改善されます。

図8aは、単一電源オーディオ・システムにおいて適切な仮想グラウンド電圧を発生するための従来の手法を示しています。この回路では、余計なコスト、電力、基板面積が必要となります。

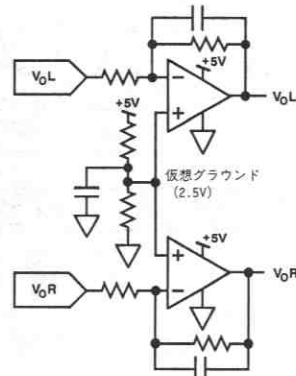


図8a. 仮想グラウンドを用いた構成

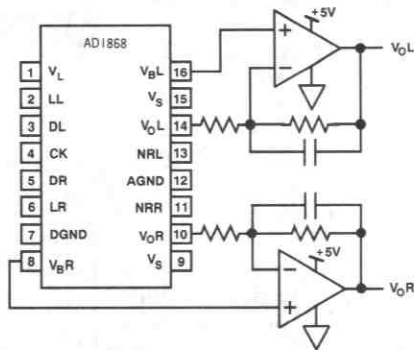


図 8 b. 電圧バイアスを用いた回路

AD1868では「仮想グラウンド」が不要です。V₀RおよびV₀Lは、従来「仮想グラウンド」回路によって発生していた必要とされるバイアス電圧を発生します。さらに、図 8 bに示すようにV₀RおよびV₀Lを、各出力チャンネルのリファレンス点としても用いることができます。これによってDCカップリングされた出力信号経路が可能になり、ACカップリング・コンデンサが不要となり、低周波での性能が改善されます。これらのバイアス出力のインピーダンスは比較的高く、100 μ A以上の出力電流を駆動した場合には性能が劣化することに注意してください。

歪み特性と試験

オーディオDACのTHD+ノイズの波形は、オーディオ波形の再構成や再生時に生じる望ましくない信号の量を示しています。したがってTHD+ノイズ仕様は、性能レベルに応じたオーディオDACのクラス分けや選択のための直接的な目安となります。図 1にAD1868の代表的なTHD+ノイズ性能の周波数特性を示します。

AD1868のTHD+ノイズ性能は幅広い周波数レンジに対して3つのすべてのレベルで安定性を保っています。最良のTHD+ノイズ性能を得るためには少なくとも2 k Ω の負荷インピーダンスが適しています。

弊社では、すべてのAD1868についてTHD+ノイズ性能に基づいて試験を行い、グレードを決めています。歪み試験では、試験対象のデバイスのそれぞれのチャンネルに対して、高速デジタル・パターン・ジェネレータからデジタル・データを送信します。18ビットのデータが、352.8 kHz ($8 \times F_s$)の周期でDAC内にラッチされます。試験に用いる波形は、0 dB、-20 dBおよび-60 dBの振幅をもつ990.5 Hzの正弦波です。4096ポイントのFFTにより、全高調波歪み+ノイズ、S/N比、ダイナミック・レンジを算出します。テグリッチ回路や外部調整回路は用いていません。

デジタル回路について 入力データ

AD1868のデジタル入力ポートには、左チャンネル・データ (DL)、右チャンネル・データ (DR)、左チャンネル・ラッチ (LL)、右チャンネル・ラッチ (LR) およびクロック (CLK) の5つの信号があります。左チャンネル・データ (DL) および右チャンネル・データ (DR) は、それぞれ左右のDACのためのシリアル入力です。入力されるデータ・ビットは、CLKの上立リッジに同期して入力レジスタに入力されます。LLおよびLRの立下リッジによって、シリアル・レジスタに最後に入力された18ビットがDACに送られ、DAC出力が更新されます。単一のラッチ信号のみを用いるシステムでは、LLとLRを相互に接続しておきます。また、単一のDATA信号のみを用いるシステムでは、DRとDLを相互に接続しておきます。データは、ワード長が18ビットで2の補数形式、MSBが先頭にあるシリアルなビット・ストリームとしてAD1868に転送されます。クロック (CLK) 信号は、左右のチャンネルで共有されます。

図 9は、AD1868にデータを転送する際に必要な信号の概略を示しています。

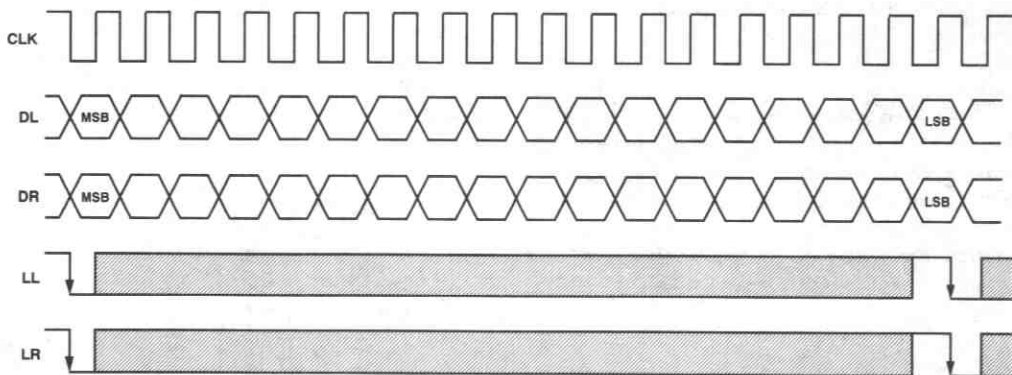


図 9. AD1868の制御信号

タイミング

図10は、正しくデータを転送するために必要なタイミング仕様を示しています。AD1868の入力ピンは、TTLおよび5 VCMOSの双方コンパチブルです。

AD1868の最大クロック・レートは最小13.5MHzです。このクロック・レートにより、 F_s の2倍、4倍、8倍および16倍のデータ転送レートを得ることができます(ただし、 F_s は44.1kHz)。本データシートの応用の章にも、AD1868の使い方が解説されています。

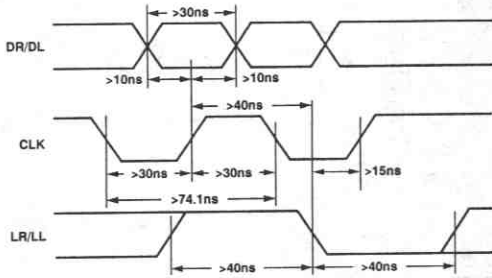


図10. AD1868入力信号タイミング

AD1868の応用

AD1868は高性能オーディオDACであり、特に携帯用や車載用のデジタル・オーディオ応用向けに設計されています。このような市場では、高級品や家庭用製品市場とは基本的に異なる技術が必要とされます。携帯用製品では、相応の再生時間を実現するために低消費電力型の部品を用いる必要があります。また、バッテリーは放電サイクルの終わりに近づくと電圧が低くなる傾向があります。AD1868の単一+5V電源動作能力はバッテリー駆動の製品に適しています。そして、バッテリーの電圧が低下するとAD1868の消費電力も小さくなり、バッテリーの寿命を延ばします。さらには、バッテリー電源の電圧が低下すると、バイアス電圧と信号のスイングも低下し、

信号の途切れや歪み性能の劣化を防ぎます。図3では、AD1868のTHD+ノイズ性能が幅広い電源レンジで一定であることを示しています。

自動車用の機器は広い温度範囲で性能仕様が保証されている部品が必要です。さらに、スペースに制限があるため小型パッケージが不可欠です。AD1868はこの2つの条件を満足しています。0 ~ +70°Cの温度範囲で仕様性能が保証され、パッケージは16ピンDIPまたは16ピンSOICを用意しています。特にSOパッケージは、サイズが重要な場合に適しています。

AD1868はDCバイアス電圧を供給するため、信号を全体にわたってDCカップリングすることができます。これによって、信号経路からACカップリング・コンデンサを取除くことが可能になり、低周波性能が改善するとともにシステムの価格やサイズをより低減化することができます。

まとめとして、AD1868はバッテリー駆動による携帯型、あるいは車載用デジタル・オーディオ・システムに最適な製品です。以下の章では、AD1868を用いた高性能オーディオ・システムの例をいくつか解説します。

AD1868とソニー CXD2550Pデジタル・フィルタの組み合わせ

図11は、AD1868、ソニーCXD2550Pデジタル・フィルタおよび2極のアンチエイリアシング・フィルタを備えた18ビットCDプレーヤを示しています。この高性能、単一電源回路は F_s の8倍で動作し、携帯用や車載用への応用に適しています。この設計ではCXD2550Pフィルタが左右チャンネルのデジタル・データをAD1868に送信します。左右チャンネルのラッチ信号であるLLおよびLR信号は、いずれもデジタル・フィルタのワード・クロック信号(LRCKO)から出力されます。

デジタル・データは、AD1868の出力アンプによって低歪みの出力電圧に変換されます。デグリッチ回路や外部調整回路は不要です。バイパス・コンデンサ、ノイズ・リダクション・コンデンサ、アンチエイリアシング・フィルタの詳細は省略しています。

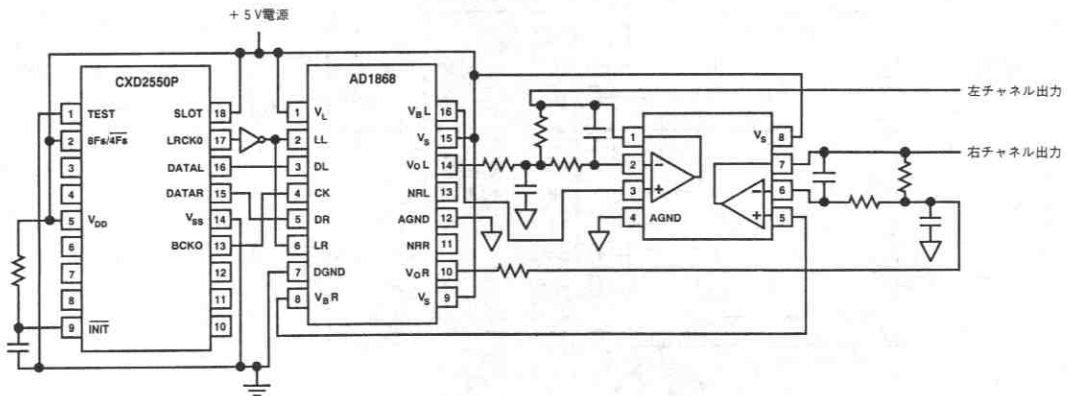


図11. AD1868とソニー CXD2550Pデジタル・フィルタの組み合わせ

他の応用

CDプレーヤの他にもAD1868は、DAT、ポータブル電子楽器、ラップトップおよびノートブック型パーソナルコンピュータ、PC用オーディオI/Oボードなどの応用に適しています。ここに示す回路技術はこれらの応用で直接利用することができます。

図12、13、14は、AD1868とヤマハやNPCから発売されているいくつかの一般的なデジタル・フィルタ・チップとの接続を示しています。それぞれの応用は F_s の8倍で動作します。これらの情報については本データシートの適切な章を参照してください。

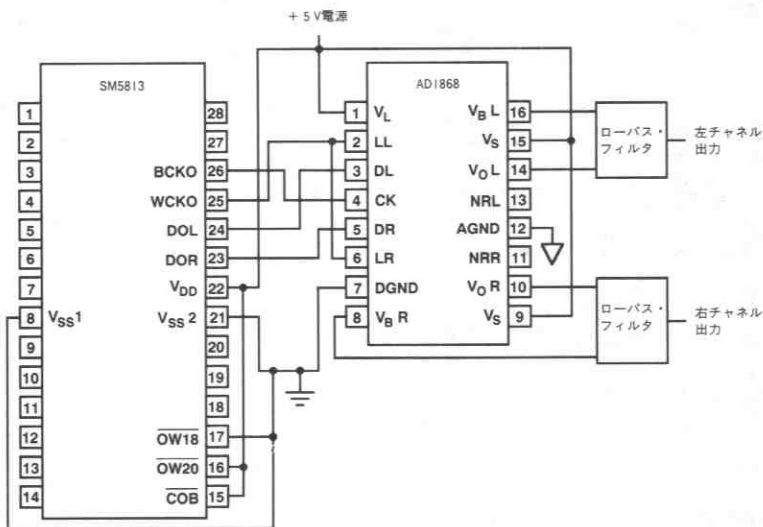


図12. AD1868とNPC SM5813デジタル・フィルタの組合わせ

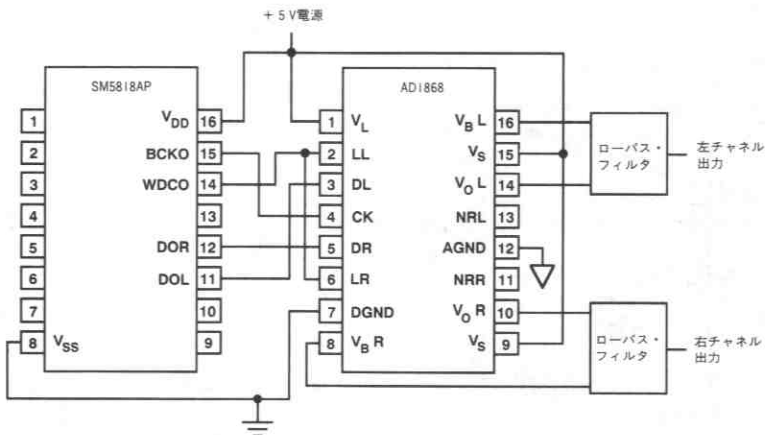


図13. AD1868とNPC SM5818APデジタル・フィルタの組合わせ

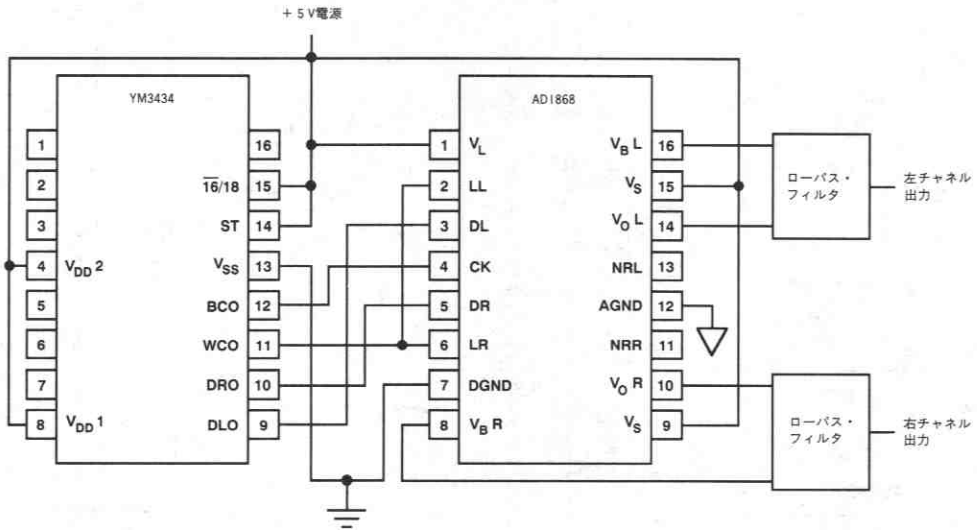
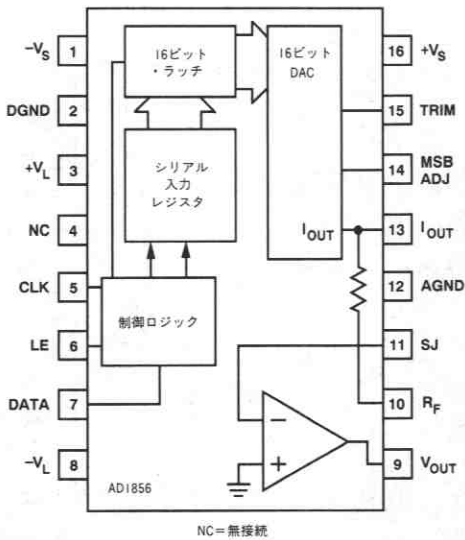


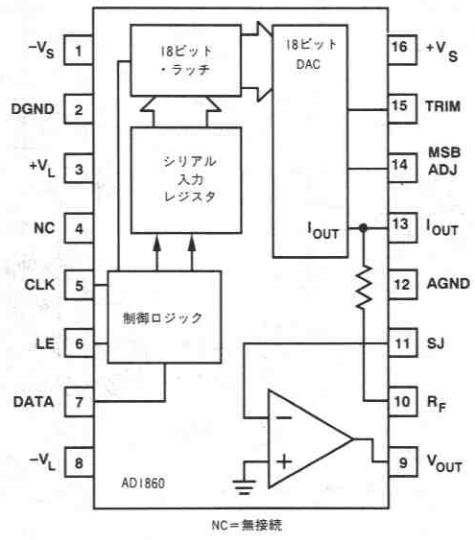
図14. AD1868とヤマハ YM3434デジタル・フィルタの組合わせ

弊社のその他のオーディオDAC



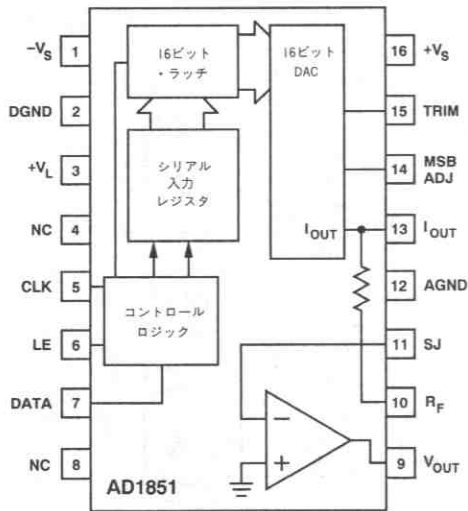
NC=無接続

AD1856 16ビット・オーディオDAC
 全機能内蔵、外付け部品不要
 16ピンDIPまたはSOICパッケージ
 業界標準ピン配置
 低価格



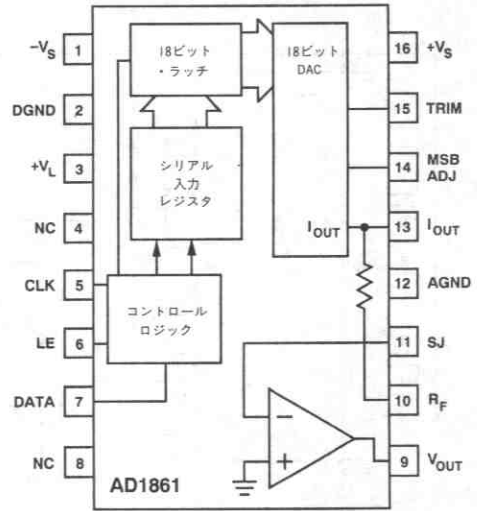
NC=無接続

AD1860 18ビット・オーディオDAC
 全機能内蔵、外付け部品不要
 102dB minのS/N比
 16ピンDIPまたはSOICパッケージ
 業界標準ピン配置



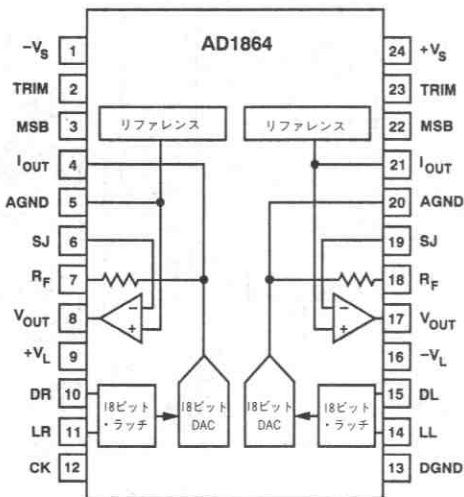
NC=無接続

AD1851 16ビットPCMオーディオDAC
 107dB minのS/N比
 16倍のオーバーサンプリング
 ±5V電源動作

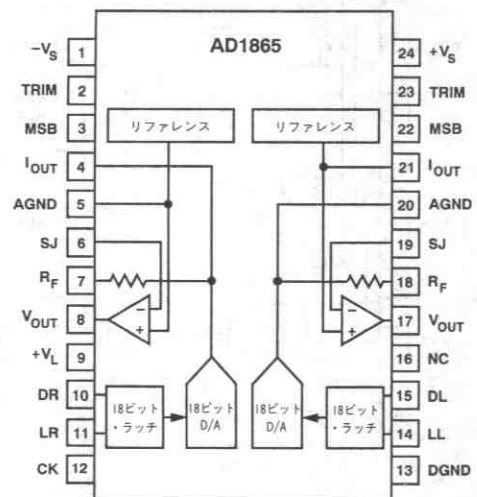


NC=無接続

AD1861 18ビットPCMオーディオDAC
 107dB minのS/N比
 16倍のオーバーサンプリング
 ±5V電源動作

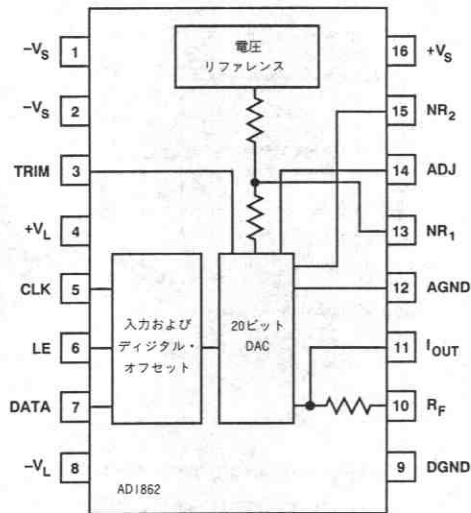


AD1864 デュアル18ビット・オーディオDAC
 全機能内蔵、外付け部品不要
 高性能
 低クロストーク
 24ピンDIP
 THD+ノイズ=0.004% typ



NC=無接続

AD1865 デュアル18ビット・オーディオDAC
 107dB minのS/N比
 16倍のオーバーサンプリング
 THD+ノイズ=0.004% typ
 ±5V電源動作



AD1862 20ビット、低ノイズ・オーディオDAC

110dB minのS/N比

THD+ノイズ=0.0019% typ

±1dBのゲイン直線性

16ピン・プラスチックDIP

AD1868 オーダ・ガイド

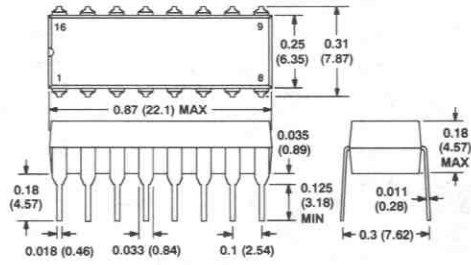
モデル	THD+N @ F_s	S/N比	パッケージ* オプション
AD1868N	0.008%	95 dB	N-16
AD1868R	0.008%	95 dB	R-16
AD1868N-J	0.006%	95 dB	N-16
AD1868R-J	0.006%	95 dB	R-16

*N=プラスチックDIP、R=SOIC

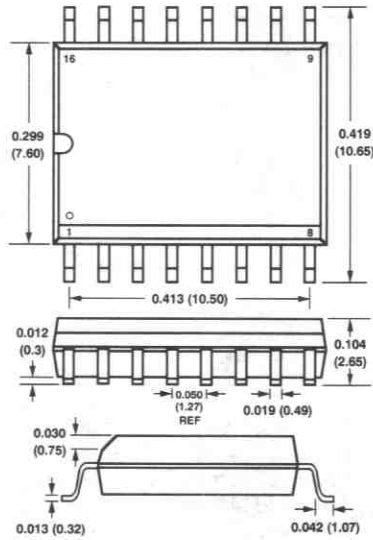
外形サイズ

単位はインチ (mm) で示します。

プラスチックDIP (N) パッケージ



プラスチックSOIC (R) パッケージ



特長

出力アンプ付き12ビット/14ビットDACを2個内蔵

AD7242: 12ビット分解能

AD7244: 14ビット分解能

電圧リファレンスを内蔵

高速セットリング

AD7242: $3\mu\text{s}$ ($\pm 1/2\text{LSB}$)

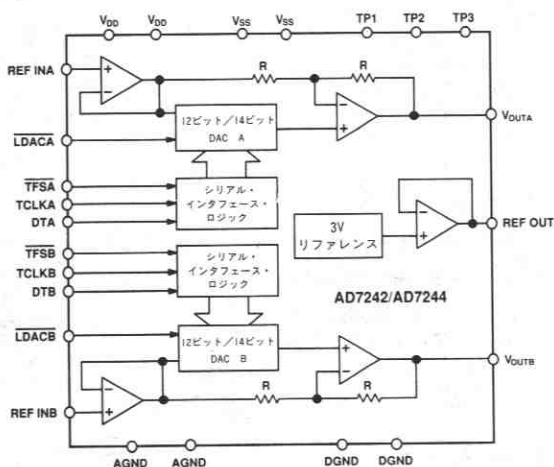
AD7244: $4\mu\text{s}$ ($\pm 1/2\text{LSB}$)

高速シリアル・インタフェース

$\pm 5\text{V}$ 電源動作

低消費電力: 130mW typ

AD7242/AD7244機能ブロック図



概要

AD7242/AD7244は、高速な全機能内蔵型の12ビット/14ビット電圧出力型デュアルD/Aコンバータです。これらの製品は、12ビット/14ビットDAC、3Vの埋込みツェナ・リファレンス、DAC出力アンプおよび高速シリアル・インタフェース・ロジックから構成されています。

両DACをシリアル・インタフェースとすることで、少ピン数化、パッケージの小型化を実現しています。標準的な制御信号により、ほとんどのDSPプロセッサやマイクロコントローラとインタフェースすることができます。DACデータ更新の非同同期制御機能により、それぞれのDACについて独立したLDAC入力が可能です。

AD7242/AD7244は $\pm 5\text{V}$ 電源で動作し、 $\pm 3\text{V}$ のアナログ出力範囲を供給します。REF OUT/REF IN機能により、DACは内蔵3Vリファレンスまたは外部リファレンス源による動作が選択できます。

AD7242/AD7244は、低消費電力CMOSロジックと高精度パイプライン回路を組合わせた弊社独自開発のプロセス技術、リニア・コンパチブルCMOS (LCCMOS) によって製造されています。両デバイスのパッケージは、24ピン、7.6mm幅のプラスチックDIP、ハーメチックDIPまたは、28ピン・プラスチック・スモール・アウトラインIC (SOIC) を用意しています。AD7242とAD7244のピン配置は同一なので、12ビットから14ビットへのグレードアップが容易です。

製品ハイライト

1. 全機能内蔵型のデュアル12ビット/14ビットDAC
AD7242/AD7244は、12ビット/14ビット分解能の電圧生成のために必要な全機能を備えています。内蔵リファレンス、出力バッファ・アンプ、および2つの12ビット/14ビットD/Aコンバータを備えています。
2. 高速シリアル・インタフェース
AD7242/AD7244は、高速で使いやすいシリアル・インタフェースを備えており、DSPプロセッサやマイクロコントローラと直接インタフェースすることが可能です。独立したシリアル・ポートが各DACに設けられています。
3. 小型パッケージ・サイズ
AD7242/AD7244は24ピンDIPおよび、28ピンSOICパッケージと小型なので、省スペース化に有効です。

仕様

($V_{DD}=+5V\pm 5\%$ 、 $V_{SS}=-5V\pm 5\%$ 、 $AGND=DGND=0V$ 、 $REF\ INA=REF\ INB=+3V$ 、 V_{OUTA} 、 V_{OUTB} のAGNDに対する負荷： $R_L=2k\Omega$ 、 $C_L=100pF$ 。特に指定のない限り、仕様はすべて $T_{min}\sim T_{max}$ での値)

パラメータ	AD7242		単位	テスト条件/備考
	J, A バージョン ¹	K, B バージョン ¹		
DC精度				
分解能	12	12	ビット	単調増加性を保証
積分非直線性	± 1	$\pm 1/2$	LSB max	
微分非直線性	± 1	± 1	LSB max	
バイポーラ・ゼロ誤差	± 5	± 5	LSB max	
正のフルスケール誤差 ²	± 5	± 5	LSB max	
負のフルスケール誤差 ²	± 5	± 5	LSB max	
リファレンス出力 ³				
REF OUT @ +25°C	2.99/3.01	2.99/3.01	V min/V max	リファレンス負荷変動 (0~500 μ A)
$T_{min}\sim T_{max}$	2.98/3.02	2.98/3.02	V min/V max	
REF OUT温度係数	35	35	ppm/°C typ	
リファレンス負荷変動 (Δ REF OUT 対 Δ I)	-1	-1	mV max	
リファレンス入力				
REF INA, REF INB 入力範囲	2.85/3.15	2.85/3.15	V min/V max	3V \pm 5%
入力電流	1	1	μ A max	
ロジック入力				
(LDACA, LDACB, TFSA, TFSB, TCLKA, TCLKB, DTA, DTB)				
入力HI電圧 V_{INH}	2.4	2.4	V min	$V_{DD}=5V\pm 5\%$
入力LOW電圧 V_{INL}	0.8	0.8	V max	$V_{DD}=5V\pm 5\%$
入力電流 I_{IN}	± 10	± 10	μ A max	$V_{IN}=0V\sim V_{DD}$
入力容量 C_{IN} ⁴	10	10	pF max	
アナログ出力				
(V_{OUTA} , V_{OUTB})				
出力電圧範囲	± 3	± 3	V nom	
DC 出力インピーダンス	0.1	0.1	Ω typ	
短絡電流	20	20	mA typ	
AC 特性 ⁴				
電圧出力セトリング時間				最終値の $\pm 1/2$ LSB以内に対するセトリング時間
正のフルスケール変化	3	3	μ s max	2 μ s typ
負のフルスケール変化	3	3	μ s max	2 μ s typ
D/A グリッチ・インパルス	10	10	nV sec typ	オール1からオール0へのDACコード変化
デジタル・フィードスルー	2	2	nV sec typ	
チャンネル間アイソレーション	110	110	dB typ	$V_{OUT}=10kHz$ 正弦波
電源				
V_{DD}	+5	+5	V nom	$\pm 5\%$ で仕様保証
V_{SS}	-5	-5	V nom	$\pm 5\%$ で仕様保証
I_{DD}	27	27	mA max	2つの V_{DD} ピンからの累積電流
I_{SS}	12	12	mA max	2つの V_{SS} ピンからの累積電流
全消費電力	195	195	mW max	130mW typ

注

1. 温度範囲は以下のとおりです。J、Kバージョン：0~+70°C A、Bバージョン：-40~+85°C。
2. REF IN に関して測定され、バイポーラ・オフセット誤差を含みます。
3. 50pF以上の容量性負荷に対しては直列抵抗が必要です（内部リファレンスの項を参照）。
4. +25°Cでサンプリング試験を実施。

仕様は予告なしに変更することがあります。

パラメータ	AD7244		単位	テスト条件/備考
	J/A バージョン ¹	S バージョン ¹		
DC精度				
分解能	14	14	ビット	単調増加性を保証
積分非直線性	±2	±2	LSB max	
微分非直線性	±1	±1	LSB max	
バイポーラ・ゼロ誤差	±10	±10	LSB max	
正のフルスケール誤差 ²	±10	±10	LSB max	
負のフルスケール誤差 ²	±10	±10	LSB max	
リファレンス出力 ³				
REF OUT @ +25°C	2.99/3.01	2.99/3.01	V min/V max	リファレンス負荷変動 (0~500μA)
T _{min} -T _{max}	2.98/3.02	2.98/3.02	V min/V max	
REF OUT温度係数	35	35	ppm/°C typ	
リファレンス負荷変動 (Δ REF OUT 対 Δ I)	-1	-1	mV max	
リファレンス入力				
REF INA, REF INB 入力範囲	2.85/3.15	2.85/3.15	V min/V max	3V ±5%
入力電流	1	1	μA max	
ロジック入力				
(LDACA, LDACB, TFSA, TFSB, TCLKA, TCLKB, DTA, DTB)				
入力HI電圧, V _{INH}	2.4	2.4	V min	V _{DD} = 5V ±5%
入力LOW電圧, V _{INL}	0.8	0.8	V max	V _{DD} = 5V ±5%
入力電流, I _{IN}	±10	±10	μA max	V _{IN} = 0V ~ V _{DD}
入力容量, C _{IN} ⁴	10	10	pF max	
アナログ出力				
(V _{OUTA} , V _{OUTB})				
出力電圧範囲	±3	±3	V nom	
DC 出力インピーダンス	0.1	0.1	Ω typ	
短絡電流	20	20	mA typ	
AC 特性 ⁴				
電圧出力セトリグ時間				最終値の±1/2LSB以内に対するセトリグ時間
正のフルスケール変化	4	4	μs max	2.5μs typ
負のフルスケール変化	4	4	μs max	2.5μs typ
D/A グリッチ・インパルス	10	10	nV sec typ	オール1からオール0へのDACコード変化
デジタル・フィードスルー	2	2	nV sec typ	
チャンネル間アイソレーション	110	110	dB typ	V _{OUT} = 10kHz 正弦波
電源				
V _{DD}	+5	+5	V nom	±5%で仕様保証
V _{SS}	-5	-5	V nom	±5%で仕様保証
I _{DD}	27	28	mA max	2つのV _{DD} ピンからの累積電流
I _{SS}	12	13	mA max	2つのV _{SS} ピンからの累積電流
全消費電力	195	205	mW max	130mW typ

注

1. 温度範囲は以下のとおりです。Jバージョン：0~+70°C、Aバージョン：-40~+85°C、Sバージョン：-55~+125°C。

2. REF IN に関して測定され、バイポーラ・オフセット誤差を含みます。

3. 50pF以上の容量性負荷に対しては直列抵抗が必要です。(内部リファレンスの項を参照)

4. +25°Cでサンプリング試験を実施。

仕様は予告なしに変更することがあります。

タイミング特性^{1,2}

($V_{DD}=+5V\pm 5\%$ 、 $V_{SS}=-5V\pm 5\%$ 、 $AGND=DGND=0V$)

パラメータ	T_{min} 、 T_{max} での限界値 (J,K,A,B _s バージョン)	T_{min} 、 T_{max} での限界値 (Sバージョン)	単位	条件/備考
t_1	50	50	ns min	TFSからTCLKの立下がりエッジ
t_2	75	100	ns min	TCLK立下がりエッジからTFS
t_3^3	150	200	ns min	TCLKサイクル時間
t_4	30	40	ns min	データ有効からTCLKのセットアップ 時間
t_5	75	100	ns min	データ有効からTCLKのホールド時間
t_6	40	40	ns min	LDACパルス幅

注

1. タイミング仕様は、+25°Cでサンプリング試験が行なわれています。入力信号はすべて、 $t_r=t_f=5ns$ (5Vの10~90%)で規定され、1.6Vの電圧レベルからの時間で計測されています。
2. 図6参照。
3. TCLKのマーク/スペース比は40/60~60/40です。

絶対最大定格* (特に指定のない限り、 $T_A=+25^\circ C$)

V_{DD} -AGND間	-0.3V~+7V
V_{SS} -AGND間	+0.3V~-7V
AGND-DGND間	-0.3V- V_{DD} +0.3V
V_{OUT} -AGND間	V_{SS} - V_{DD}
REF OUT-AGND間	-0.3V- V_{DD} +0.3V
REF INA、REF INB-AGND間	-0.3V- V_{DD} +0.3V
デジタル入力-DGND間	-0.3V- V_{DD} +0.3V
動作温度範囲	

J、Kバージョン	0~+70°C
A、Bバージョン	-40°C~+85°C
Sバージョン	-55°C~+125°C

保管温度範囲	-65°C~+150°C
リード温度 (ハンダ付け10秒)	+300°C
+75°C以下の電力消費 (全パッケージ)	550mW
+75°C以上でのディレーティング	6mW/°C

*絶対最大定格を超えるストレスは、デバイスに永久破壊をもたらすことがあります。この定格は、デバイスの単なるストレスの度合いであり、基本的な動作あるいは動作の項に示す他の条件において、この定格は考慮されていません。デバイスを、ある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

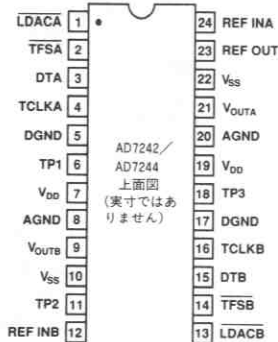
注意

この素子はESD(electrostatic discharge)センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると、永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させることが必要です。

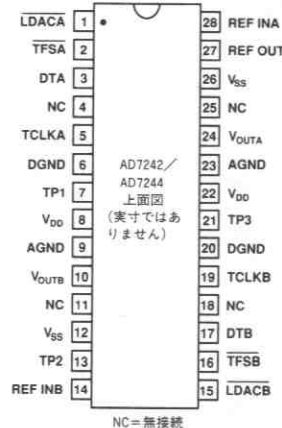


ピン配置

DIP



SOIC



AD7242/AD7244

AD7242/AD7244のピン機能説明

DIP

ピン番号	名称	機能説明
1	$\overline{\text{LDACA}}$	DAC ロード信号、ロジック入力。新しいワードはこの信号の立下がりエッジで入力ラッチAからDACラッチAに転送されます。 $\overline{\text{LDACA}}$ 入力がLOWレベルに固定されている場合、データはTFSAがLOWに落ちた後TCLKAの16番目の立下がりエッジで入力ラッチAからDACラッチAに転送されます。
2	$\overline{\text{TFSA}}$	転送フレーム同期信号、ロジック入力。この信号の立下りエッジの後に続くDACAからのシリアル・データに対するフレームまたは同期信号。
3	DTA	転送データ、ロジック入力。この信号は $\overline{\text{TFSA}}$ とTCLKAと共に用いられ、入力ラッチAにシリアル・データを転送するデータ入力です。
4	TCLKA	送信クロック、ロジック入力。 $\overline{\text{TFSA}}$ がLOWの間、TCLKAの立下りエッジで、DACAに対するシリアル・データビットがラッチされます。
5	DGND	デジタル・グラウンド。両DGNDピンは、デバイスにおいて共に結線する必要があります。
6	TP1	テスト・ピン1。テスト時のみ使用。このピンには何も接続しないでください。
7	V _{DD}	正の電源5V±5%。両V _{DD} ピンはデバイスにおいて共に結線する必要があります。
8	AGND	アナログ・グラウンド。両AGNDピンはデバイスにおいて共に結線する必要があります。
9	V _{OUTN}	DACBからのアナログ出力電圧。この出力はバッファ・アンプから出力されます。出力範囲はバイポーラで、REF INB=+3Vで±3Vを出力します。
10	V _{SS}	負の電源-5V±5%。両V _{SS} ピンはデバイスにおいて共に結線する必要があります。
11	TP2	テスト・ピン2。テスト時のみ使用。このピンには何も接続しないでください。
12	REF INB	DACB電圧リファレンス入力。DACBに対する電圧リファレンスはこのピンに与えられます。DACBに供給される前に内部的にバッファされます。AD7242/AD7244の正常動作時での公称リファレンス電圧は3Vです。
13	$\overline{\text{LDACB}}$	DACロード信号、ロジック入力。新しいワードはこの信号の立下りエッジで入力ラッチBからDACラッチBに転送されます。 $\overline{\text{LDACB}}$ 入力がLOWレベルに固定されている場合、データはTFSBがLOWに落ちた後、TCLKBの16番目の立下りエッジで入力ラッチBからDACラッチBに転送されます。
14	$\overline{\text{TFSB}}$	送信フレーム同期信号、ロジック入力。この信号の立下りエッジの後に続くDACBからのシリアル・データに対するフレームまたは同期信号。
15	DTB	送信データ、ロジック入力。本信号は、 $\overline{\text{TFSB}}$ とTCLKBと共に用いられ、入力ラッチBにシリアル・データを転送するデータ入力です。
16	TCLKB	転送クロック、ロジック入力。 $\overline{\text{TFSB}}$ がLOWの間、TCLKBの立下りエッジで、DACBに対するシリアル・データ入力が入ラッチされます。
17	DGND	デジタル・グラウンド。両DGNDピンは、デバイスにおいて共に結線する必要があります。
18	TP3	テスト・ピン3。テスト時のみ使用。このピンには何も接続しないでください。
19	V _{DD}	正の電源5V±5%。両V _{DD} ピンはデバイスにおいて共に結線する必要があります。
20	AGND	アナログ・グラウンド。両AGNDピンはデバイスにおいて共に結線する必要があります。
21	V _{OUTA}	DACAからのアナログ出力電圧。この出力はバッファ・アンプから出力されます。出力範囲はバイポーラで、REF INA=+3Vで±3Vを出力します。
22	V _{SS}	負電源-5V±5%。両V _{SS} ピンはデバイスにおいて共に結線する必要があります。
23	REF OUT	電圧リファレンス出力。DACをこの内部リファレンスで動作させるためには、REF OUTをREF INAとREF INBの両方に接続する必要があります。リファレンスの外部負荷駆動能力は500μAです。
24	REF INA	DACA電圧リファレンス入力。DACAに対する電圧リファレンスはこのピンに与えられます。DACAに供給される前に内部的にバッファされます。AD7242/AD7244の正常動作時での公称リファレンス電圧は3Vです。

回路説明

AD7242/AD7244は2つの12ビット/14ビットD/Aコンバータを内蔵し、それぞれ出力バッファ・アンプを備えています。このデバイスにはまた、各内蔵DACに対するリファレンス入力バッファ・アンプと内蔵3Vリファレンスも備えています。

D/A部

AD7242/AD7244は2つの12ビット/14ビット電圧モードD/Aコンバータを内蔵しており、それぞれ高安定の薄膜抵抗と高速で単極の双投スイッチから構成されています。DAC部の概略図を図1に示します。データ・ワードの上位3ビットはデコードされ、A~Gの7つのスイッチを駆動します。AD7242では、下位9ビットが、9ビッ

トのR-2Rラダー抵抗ネットワークのスイッチングを行ないます。AD7244では同様に下位11ビットによって11ビットのR-2Rラダー抵抗ネットワークのスイッチングを行ないます。コンバータからの出力電圧は、リファレンス電圧REF INと同じ極性をもっています。

REF IN電圧は、DACおよびバイポーラのバイアス回路に供給される以前に、内部的にバッファされています。DACは3Vリファレンスに対してスケールリングされており、デバイスはREF INに3Vが供給された状態でテストされています。AD7242/AD7244を±5%の許容範囲外のリファレンス電圧で動作させると、結果的に性能の劣化につながります。

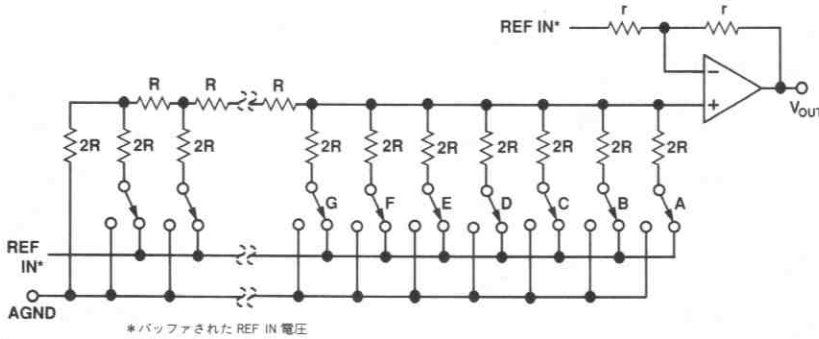


図1. DACラダー構造

内部リファレンス

内蔵リファレンスは温度補償された埋込みツェナ・リファレンスで、製造工程で $3V \pm 10mV$ に調整されています。リファレンスは、2つのDACおよびバイポーラ・バイアス回路にリファレンス電圧を供給するために用いることができます。これは、REF OUTをREF INAおよびREF INBに接続することで実現できます。

リファレンス電圧はさらに、他の部品に対しても用いることができ、外部負荷に対して $500\mu A$ まで供給することができます。リファレンス出力ピンの通常動作での推奨最大容量は $50pF$ です。リファレンス出力によって $50pF$ 以上の容量性負荷を駆動する必要がある場合、 200Ω 抵抗を直列に容量性負荷に接続する必要があります。REF OUTピンを、 $10\mu F$ のタンタル・コンデンサと $0.1\mu F$ のセラミック・コンデンサを並列接続した回路を 200Ω 抵抗に直列接続し、図2に示すようにデカップリングすることによって、リファレンスのノイズ・スペクトル密度を低減することができます(図4参照)。REF INAおよびREF INBに対するリファレンス電圧を生成するために、このデカップリング構成をとることで、 $110dB$ のチャネル間アイソレーションを得ることができます。(REF OUTを直接REF INAおよびREF INBに接続した場合には、 $80dB$ になります)。外部リファレンスを用いた場合のチャネル間アイソレーションは $110dB$ です。

外部リファレンス

応用によっては、システム・リファレンスや他の外部リファレンスによって、AD7242/AD7244のリファレンス入力を駆動することが必要な場合があります。図3に、AD586リファレンスを用いてAD7242/AD7244リファレンス入力に必要な3Vリファレンスを供給する条件を示しています。

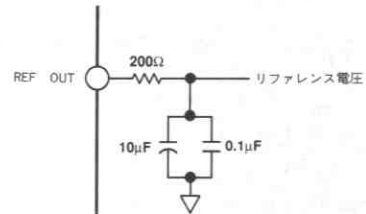


図2. $50pF$ 以上の外部容量性負荷をもつREF OUTの回路接続図

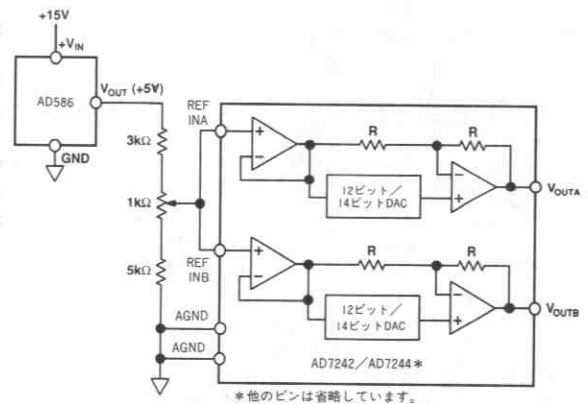


図3. AD586によるAD7242/AD7244リファレンス入力の駆動

AD7242/AD7244

出力アンプ

各電圧モードDACの出力は、非反転アンプによってバッファされています。バッファ・アンプは、グラウンドに対する2kΩ、100pFの負荷に対して±3Vを発生することが可能で、また周波数20kHzに対して6V p-pの正弦波を発生することができます。出力は各々のLDAC入力の立下りエッジで更新されます。最終値に対して1/2 LSB範囲内に達するまでの出力電圧セトリング時間の代表値はAD7242では2μs以下、AD7244では2.5μs以下です。

出力バッファ・アンプの小信号 (200mV p-p) 帯域幅の標準値は1MHzです。アンプからの出力ノイズは小さく、周波数1kHzでは30 nV/√Hzとなります。1MHz出力バンド幅に対するアンプからの広帯域ノイズの標準値は150μV p-pです。図4に、出力バッファ・アンプおよび内蔵リファレンスのノイズ・スペクトル密度の周波数特性を示します (テカプリング部品がある場合とない場合)。

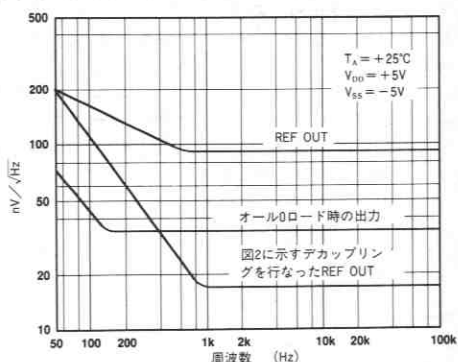
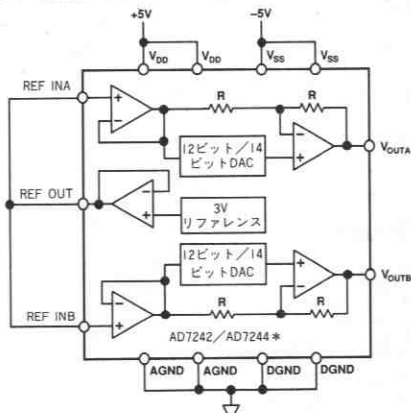


図4. ノイズ・スペクトル密度の周波数特性

伝達関数

AD7242/AD7244の基本回路構成を図5に示します。表IおよびIIは、AD7242およびAD7244それぞれにおける理想的な入力コードと出力電圧の関係を示しています。AD7242/AD7244の入力コードはともに2の補数形式です。



*他のピンは省略しています。

図5. 基本構成図

DACラッチ内容

MSB	LSB	アナログ出力, V_{OUT} *
01 11 1111 1111		+2.998535V
01 11 1111 1110		+2.99707V
00 00 0000 0001		+0.001465V
00 00 0000 0000		0V
11 11 1111 1111		-0.001465V
10 00 0000 0001		-2.998535V
10 00 0000 0000		-3V

*REF IN = +3Vとします。

表I. AD7242の理想的な入出力コード表

DACラッチ内容

MSB	LSB	アナログ出力, V_{OUT} *
01 1111 1111 1111		+2.999634V
01 1111 1111 1110		+2.99268V
00 0000 0000 0001		+0.000366V
00 0000 0000 0000		0V
11 1111 1111 1111		-0.000366V
10 0000 0000 0001		-2.999634V
10 0000 0000 0000		-3V

*REF IN = +3Vとします。

表II. AD7244の理想的な入出力コード表

AD7242の出力電圧は、入力コードNによって次の関係式で表現できます。

$$V_{OUT} = \frac{2 \cdot N \cdot \text{REF IN}}{4096}$$

ここで、 $-2048 \leq N \leq +2047$ 。

AD7244の出力電圧は、入力コードNによって次の関係式で表現できます。

$$V_{OUT} = \frac{2 \cdot N \cdot \text{REF IN}}{16384}$$

ここで、 $-8192 \leq N \leq +8191$ 。

タイミングと制御

AD7242/AD7244との通信は、6つのシリアル・ロジック入力を通して行ないます。これらは、各DACに対して別々のシリアル・クロック、ワード・フレームおよびデータ・ラインから構成されています。DACの更新は、2つのデジタル入力によって制御されます。 V_{OUTA} の更新にはLDACA、 V_{OUTB} の更新にはLDACBを用います。これらの入力は、正確なアップデート間隔が必要な場合、外部タイマーによってマイクロプロセッサとは関係なくアサートできます。また、LDACAおよびLDACB入力をデコードされたアドレス・バスによって駆動することにより、AD7242/AD7244入力ラッチとのデータ通信と同様にマイクロプロセッサによってDAC入力ラッチの更新を制御することも可能です。

AD7242/AD7244には各DAC毎に、入力ラッチとDACラッチの2つのラッチがあります。データは、TCLKA、 \overline{TFSA} 、DTAによって入力ラッチAにロードされ、TCLKB、 \overline{TFSB} 、DTBによって、入力ラッチBにロードされます。データは、LDACA信号の制御により入力ラッチAからDACラッチAに転送されます。一方、LDACB信号により入力ラッチBからDACラッチBにロードされます。DACラッチに保持されているデータのみが、AD7242/AD7244のアナログ出力を決定します。

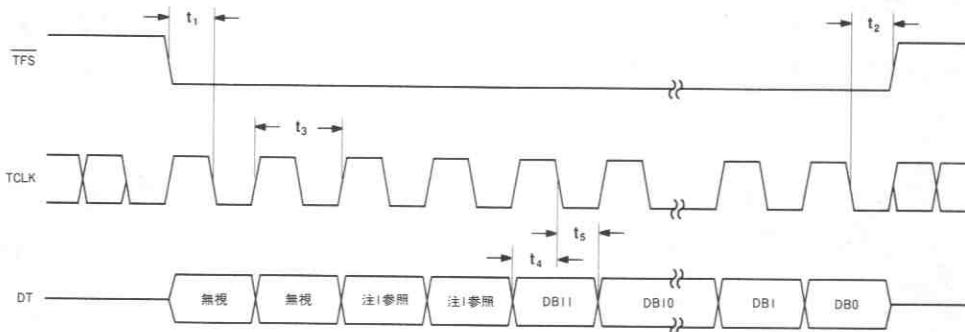
データは、対応するTCLK、 \overline{TFS} 、DT信号の制御によって、入力ラッチにロードされます。AD7242/AD7244は、DT入力に16ビットのシリアル・データを必要とします。データは、TCLKの立下りエッジで有効である必要があります。 \overline{TFS} 入力はAD7242/AD7244に対して、TCLKの次の16個の立下りエッジの間、DT入力に有効なシ

リアル・データがあることを示すフレーム同期信号を供給します。図6に各シリアル入力ポートの動作タイミング図を示します。

入力ラッチには16ビットのデータがクロックに同期して入力されますが、AD7242では12ビットが、AD7244では14ビットのみが、それぞれのDACラッチに転送されます。したがって、シリアル・データ列のうち、AD7242では4ビット、AD7244では2ビットが無視され、DACラッチ・データには影響しません。ビット列の順序は、無視されるビット、その後MSBを先頭にDACデータが続きます(図6参照)。

各々のLDAC信号は、各DACラッチへのデータ転送を制御します。通常、データはLDACの立下りエッジでDACラッチにロードされます。しかし、LDACがLOWレベルに保持されている場合、シリアル・データはTCLKの16番目の立下りエッジでDACラッチにロードされます。シリアル・データが入力ラッチにロードされている期間内にLDACがLOWレベルに遷移した場合、LDACの立下りエッジでDACラッチの更新は行なわれません。シリアル転送の終了までLDACがLOWレベルの状態を維持していた場合、TCLKの16番目の立下りエッジでデータ更新が実行されます。シリアル・データ転送終了以前にLDACがHIレベルに復帰した場合、DACラッチ・データは更新されません。

\overline{TFS} がLOWレベルの期間に、17個以上のTCLKエッジが存在した場合、17番目以降のクロック・エッジは無視されます。すなわち、 \overline{TFS} の立下りエッジに引き続く16番目のTCLKエッジより後は、データは入力ラッチにクロックされません。



注1: AD7242において無視されるビット。AD7244ではDB12、DB13となります。

図6. AD7242/AD7244 タイミング図

AD7242/AD7244

マイクロプロセッサとのインタフェース

AD7242/AD7244のマイクロプロセッサ・インタフェースは、DSPプロセッサおよびマイクロコントローラとコンパチブルな標準プロトコルを用いるシリアル・バスを通して行われます。通信インタフェースは、各DAC用の個別送信部から構成されます。各部はクロック信号、データ信号およびフレームまたはストロブ・パルスから構成されます。

図7~11に、AD7242/AD7244と種々の汎用DSPおよびマイクロコントローラとのインタフェースの構成例を示します。

AD7242/AD7244とADSP-2101/ADSP-2102のインタフェース

図7にAD7242/AD7244とADSP-2101/ADSP-2102とのシリアル・インタフェースを示します。ADSP-2101/ADSP-2102は2つのシリアル・ポートをもち、図に示すインタフェースでは両シリアル・ポートを用い、各DACに各々を接続しています。必ずしも両シリアル・ポートとも用いる必要はありません。単一のシリアル・ポートのみを使用する場合には、その他の信号（他のシリアル・インタフェース構成に示すDACA/DACB）をデコードし、AD7242/AD7244のTFS_AとTFS_Bラインに供給するためのTFS信号を生成する必要があります。

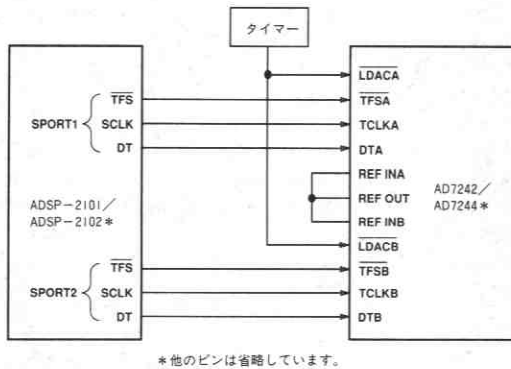


図7. AD7242/AD7244とADSP-2101/ADSP-2102のインタフェース

第1のシリアル・ポートであるADSP-2101/ADSP-2102のSPORT1にある3本のシリアル・ラインは、AD7242/AD7244のDACAのシリアル入力ラインに直接接続されます。SPORT2の3本のシリアル・ラインは、DACBシリアル入力ポートの3本のシリアル・ラインに直接接続されます。ADSP-2101/ADSP-2102からのデータは、SCLKの立下りエッジで確定しています。共通に入力されているLDAC信号は、LDACAおよびLDACB入力を駆動するために用

いられます。この信号は、図中のタイマーまたはクロック・リカバリ回路から生成されますが、ADSP-2101/ADSP-2102の他のコントロールまたはアドレス・ラインによってこれらの入力を駆動することもできます。あるいはまた、AD7242/AD7244のLDACA、LDACB入力はLOWレベルに固定することもできます。この場合、DACラッチおよびアナログ出力の更新は、(それぞれのTFSがLOWレベルに遷移した後の) SCLKの16番目の立下りエッジで行なわれます。

AD7242/AD7244とDSP56000のインタフェース

図8にAD7242/AD7244とDSP56000のシリアル・インタフェースを示します。DSP56000は標準モード、ゲートされたクロックによる非同同期動作に設定されています。また、出力としてSCK、SC2とともに16ビット・ワードに設定され、FSLコントロール・ビットは0に設定されています。SCKは、DSP56000内で生成され、AD7242/AD7244のTCLKAおよびTCLKBの両入力に印加されます。DSP56000からのデータはSCKの立下りエッジで有効です。シリアル・データ・ラインSTDが、AD7242/AD7244のDTAおよびDTBの両シリアル入力データ・ラインを駆動します。

SC2出力は、有効データを示すフレーミング・パルスとして機能します。この信号はアクティブHI出力で、AD7242/AD7244のTFS_A、TFS_Bピンに入力される前に、DACA/DACB制御信号でゲートされます。DACA/DACB信号によって、どちらのDACにシリアル・データを転送するかが決まります。すなわち、SC2がアクティブのとき、どちらのTFS信号がアクティブであるかによって決定されます。

前述のインタフェース同様、共通のLDAC入力が、AD7242/AD7244のLDACAおよびLDACBの両入力を駆動しています。これらのLDAC入力はLOWレベルに固定することができます。この場合、V_{OUTA}またはV_{OUTB}は、TFS_AまたはTFS_B入力がLOWレベルに遷移した後の、16番目のSCKの立下りエッジで更新されます。

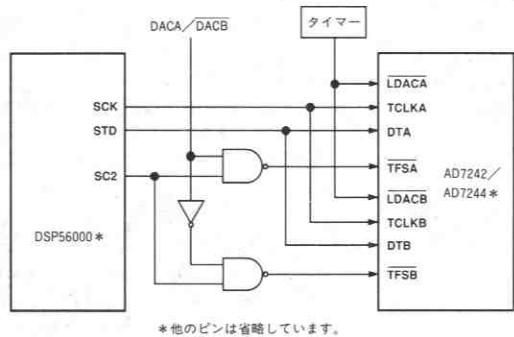


図8. AD7242/AD7244とDSP56000のインタフェース

AD7242/AD7244とTMS320C25のインタフェース

図9にAD7242/AD7244とTMS320C25 DSPプロセッサのシリアル・インタフェース構成を示します。このインタフェースではTMS320C25のCLKXとFSX信号はクロック/タイマー回路から生成されます。TMS320C25のFSXピンは、入力として設定する必要があります。CLKXはAD7242/AD7244のTCLKAとTCLKBの両入力へのクロック供給のために用いられます。TMS320C25のDXもまた、AD7242/AD7244の各入力ポートのシリアル・データ・ラインに接続されます。

TMS320C25からのデータは、FSXがLOWレベルに移った後のCLKXの立下りエッジで有効です。このFSX信号は、DACA/DACB制御信号でゲートされ、FSXがLOWのとき、TFSAまたはTFSBのどちらかをLOWにするか決めます。

また、クロック/タイマー回路はAD7242/AD7244に対するシリアル転送と共に出力更新の同期のためのLDAC信号を生成します。前述のインタフェースと同様に、共通のLDAC入力はAD7242/AD7244のLDACAおよびLDACB両入力を駆動します。これらのLDAC入力はLOWレベルに固定することができ、その場合、V_{OUTA}またはV_{OUTB}は、TFSAまたはTFSB入力がLOWレベルに移った後の16番目のCLKXの立下りエッジで更新されます。

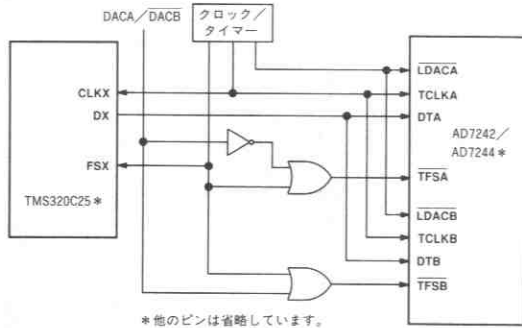


図9. AD7242/AD7244とTMS320C25のインタフェース

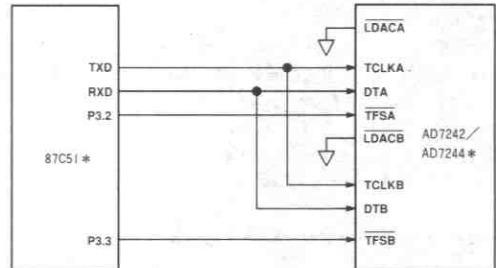
AD7242/AD7244と87C51のインタフェース

図10にAD7242/AD7244と87C51マイクロコントローラのシリアル・インタフェースを示します。87C51のTXDは、AD7242/AD7244のTCLKAおよびTCLKBを駆動し、一方RXDはデバイスの2つのシリアル・データ・ラインを駆動しています。TFSAおよびTFSB信号は、それぞれP3.2、P3.3によって駆動されます。

87C51は、SBUFレジスタのLSBをシリアル・データの最初のビットとして出力します。したがってユーザーは、無視されるビットがAD7242/AD7244に最初に転送され、最後に送られるビットがAD7242/AD7244にロードされるワードのLSBとなるようにSBUFレジスタ中のデータが正しい順序であることを確認する必要があります。データが転送されている間、P3.2 (DACA)、P3.3 (DACB) がLOWレベルとなります。RXD上のデータはTXDの立下りエッジで有効です。87C51は、シリアル・データ転送サイクル中に発生する8つの立下りクロック・エッジを用い、8ビット・バイトの形で転送します。データをAD7242/AD7244にロードするために、P3.2 (DACA)、P3.3 (DACB) は、AD7242/AD7244に対し、最初の8ビットが転送され、さらに2バイト目のデータが連続して転送された後もLOWレベルのままです。2番目のシリアル・データ転送の終了時、P3.2 (DACA)、P3.3 (DACB) はHIレベルとなります。

図10に両LDAC入力をLOWに固定したAD7242/AD7244を示し

ます。これによって、各DACのDACラッチとアナログ出力は、各DACに対応するTFS入力がLOWとなった後の、TXDの16番目の立下りエッジで更新されます。あるいは、前述のインタフェースに使われた方法と同様、LDAC入力はタイマーによって駆動することもできます。



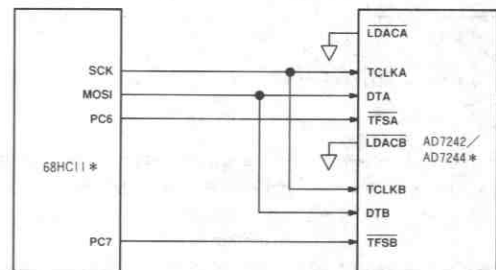
*他のピンは省略しています。

図10. AD7242/AD7244と87C51のインタフェース

AD7242/AD7244と68HC11のインタフェース

図11にAD7242/AD7244と68HC11マイクロコントローラのシリアル・インタフェース図を示します。68HC11のSCKは、AD7242/AD7244のTCLKAおよびTCLKBを駆動し、一方MOSI出力はAD7242/AD7244の2つのシリアル・データ・ラインを駆動します。TFSAおよびTFSB信号は、それぞれPC6、PC7によって駆動されます。

このインタフェースの正常動作のため、68HC11のCPOLビットを0に、CPHAビットを1に設定する必要があります。データの転送時には、PC6 (DACA)、PC7 (DACB) はLOWレベルとなります。68HC11が上述のように設定されているとき、MOSI上のデータはSCKの立下りエッジで有効です。68HC11はシリアル・データを転送サイクル中に発生する8つの立下りクロック・エッジを用いて、8ビット・バイトの形式で転送します。AD7242/AD7244にデータをロードするため、PC6 (DACA)に対して、PC7 (DACB)に対しては、最初の8ビット・データおよび引続く2バイト目のデータ転送が終了するまで、LOWレベルのままです。2番目のシリアル転送の終了時、PC6 (DACA)、PC7 (DACB) はHIとなります。



*他のピンは省略しています。

図11. AD7242/AD7244と68HC11のインタフェース

図11に、両LDAC入力をLOWに固定したAD7242/AD7244を示します。これによって、各DACのDACラッチおよびアナログ出力は、各DACに対応するTFS信号がLOWとなった後の16番目のSCKの立下りエッジで更新されます。さらににまた、前述のインタフェースで用いた方法と同様に、LDAC入力はタイマーによって駆動することもできます。

AD7242/AD7244

AD7242/AD7244の使用上の注意

高速コンバータの性能を実現するためには、回路全体の設計と同様に、適切なプリント回路基板のレイアウトが重要です。AD7242のLSBサイズは1.465mV、AD7244のLSBサイズは366 μ Vで動作します。そのため、設計者はコンバータ自体および周辺回路で発生するノイズを最小にするよう注意を払う必要があります。スイッチング電源は、スイッチング・スパイクが内蔵アンプにフィードスルーするため、推奨できません。グラウンド・ループとマイクロプロセッサからのフィードスルーにも十分な注意が必要です。これらは、コンバータの性能に影響を与える要因であり、これらの影響を最小にする適切なPCBレイアウトが最高の性能を実現するために不可欠です。

レイアウト上のヒント

プリント回路基板のレイアウトでは、デジタルおよびアナログ信号ラインを可能な限り確実に離して配置してください。アナログ信号ラインがデジタル信号ラインに沿って走ることがないように注意してください。デジタル・システム・グラウンドから離して1点のアナログ・グラウンド（スター・グラウンド）を配置してくだ

さい。このスター・グラウンドは、可能な限りAD7242/AD7244の近くに配置してください。すべてのアナログ・グラウンドおよびAD7242/AD7244のDGNDピンをこのグラウンドに接続してください。アナログ・グラウンドに他のデジタル・グラウンドを接続しないでください。

高性能コンバータの低ノイズ動作を得るため、低インピーダンスのアナログおよびデジタル電源コモン・リターンが必要となります。これらのフォイル幅はできるだけ広くとってください。グラウンド・プレーンを用いることにより、これらの経路のインピーダンスを最小にすることが可能で、同時にデジタル・ノイズからアナログ回路を保護することもできます。

ノイズ

V_{OUTA} 、 V_{OUTB} 信号の配線およびAGNDへの信号リターン配線は、ノイズ・カップリングを最小にするために可能な限り短くしてください。これが不可能な応用では、DAC出力と出力先の接続にはシールド線を用いてください。DACおよび出力先のデバイス間のグラウンドに電位差が生じると、誤差電圧がDAC出力に現われるため、グラウンド回路のインピーダンスはできるだけ小さくしてください。

AD7242オーダー・ガイド

モデル	温度範囲	積分非直線性	パッケージ・オプション*
AD7242JN	0~+70°C	± 1 LSB max	N-24
AD7242KN	0~+70°C	$\pm 1/2$ LSB max	N-24
AD7242JR	0~+70°C	± 1 LSB max	R-28
AD7242KR	0~+70°C	$\pm 1/2$ LSB max	R-28
AD7242AQ	-40~+85°C	± 1 LSB max	Q-24
AD7242BQ	-40~+85°C	$\pm 1/2$ LSB max	Q-24

注
*N=プラスチックDIP Q=サーディップ R=スモール・アウトラインIC(SOIC)

AD7244オーダー・ガイド

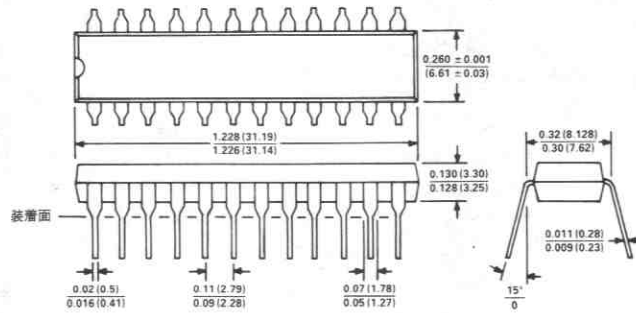
モデル ¹	温度範囲	積分非直線性	パッケージ・オプション*
AD7244JN	0~+70°C	± 2 LSB max	N-24
AD7244JR	0~+70°C	± 2 LSB max	R-28
AD7244AQ	-40~+85°C	± 2 LSB max	Q-24
AD7244SQ ²	-55~+125°C	± 2 LSB max	Q-24

注
*N=プラスチックDIP Q=サーディップ R=スモール・アウトラインIC(SOIC)
1. MIL-STD-883, クラスBプロセス製品をオーダーの際には、部品番号に/883Bを付加してください。軍用データ・シートについてはお問い合わせください。
2. このグレードは、883Bプロセス製品のみ販売可能です。

外形サイズ

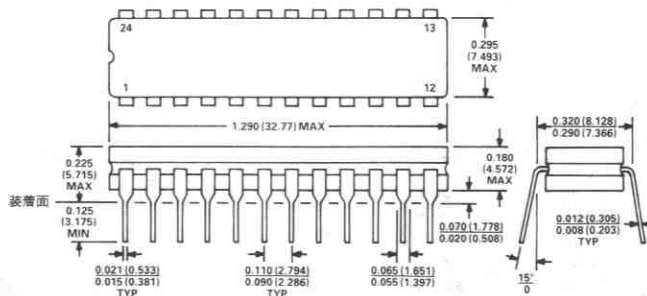
サイズはインチと (mm) で示します。

プラスチックDIP(N-24)



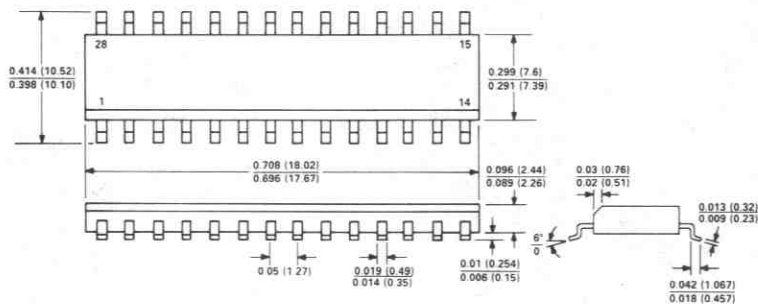
1. ビンNo.1は点または刻みで示します。
2. プラスチック・リードはMIL-M-38510規格に準拠して、ハンダまたはスズ・メッキが施されています。

サーディップ(Q-24)



1. ビンNo.1は点または刻みで示します。
2. サーディップ・リードはMIL-M-38510規格に準拠して、スズ・メッキまたはハンダ付けが施されています。

SOIC(R-28)



1. ビンNo.1は点で示します。
2. SOICリードはMIL-M-38510規格に準拠して、スズ・メッキまたはハンダ付けが施されています。

特長

全機能を内蔵したDSPインタフェースDAC

12ビット電圧モードDAC

3Vツェナ・リファレンス

セトリング時間4 μ sの出力バッファ・アンプ

8ワードFIFOおよびインタフェース・ロジック

72dBのS/N比

高速DSPプロセッサとインタフェース

例：ADSP-2100、TMS320C25、TMS32010

42ns minの \overline{WR} パルス幅

60mW typの低消費電力

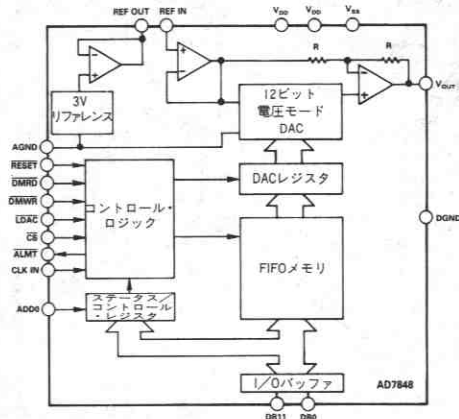
応用

デジタル信号処理

音声合成

高速モデム

AD7878と共に用いるDSPサーボ・コントロール



AD7848機能ブロック図

概要

AD7848は全機能を内蔵した高速12ビットD/Aコンバータで、8ワードのFIFOメモリとコントロール・ロジックから構成の多目的DSPインタフェース機能を備えています。

FIFOメモリを内蔵したことにより、AD7848はマイクロプロセッサの最高速度で8つまでのサンプルをAD7848にロードすることができます。サンプルは非同期のLDAC信号によってDACレジスタにロードされます。20nsという高速セットアップ時間により、DSPプロセッサおよび高速16ビット・マイクロプロセッサと直接インタフェースが可能です。

オンチップのステータス/コントロール・レジスタにより、ユーザーはFIFOの実効長をプログラムすることが可能で、FIFOが空かあるいは一杯か、およびFIFOのワード・カウント情報を得ることができます。

AD7848のアナログ出力は±3Vレンジのバイポーラ出力です。20kHzまでのフルパワー出力信号を生成可能で、S/N比や高調波歪みなどのダイナミック特性についても完全に仕様が規定されています。

AD7848は、高精度バイポーラ回路と低消費電力CMOSロジックを組合わせた先進のリニア・コンパチブルCMOS (LCCMOS) プロセスで製造されています。パッケージは、28ピン・プラスチックおよびハーメチックDIP、28端子プラスチック・リード付きチップ・キャリア (PLCC) が用意されています。

製品ハイライト

1. 全機能を内蔵したDSPインタフェースD/A機能

AD7848は12ビット精度のAC信号を生成するためのすべての機能を備えています。このデバイスは、オンチップ・リファレンス、出力バッファ・アンプおよび12ビットD/Aコンバータを備えています。さらに、8ワード長のFIFOによりDSPプロセッサのペリフェラル制御に必要な、高いソフトウェア・オーバヘッドを軽減できます。

2. DSPユーザーのためのダイナミック特性

AD7848はS/N比および高調波歪みなどのACパラメータについて完全に仕様が規定され、テストされています。

3. 高速マイクロプロセッサ・インタフェース

20nsのデータ・セットアップ時間、42nsの書込みパルス幅により、AD7848はすべての16ビット・マイクロプロセッサおよびデジタル・シグナル・プロセッサとコンパチブルです。動作温度範囲の全域において、主要なデジタル・タイミング・パラメータはテストされ、規定されています。

仕様

($V_{DD}=5V \pm 5\%$, $V_{SS}=-5V \pm 5\%$, $AGND=DGND=0V$, $REF\ IN=3V$, $R_L=2k\Omega$, $C_L=100pF$, $f_{CLK}=10MHz$,
特に指定のない限り、すべての仕様は $T_{min} \sim T_{max}$ での値。)

パラメータ	J, A バージョン ¹	K, B バージョン ¹	S バージョン ¹	単位	テスト条件/備考
ダイナミック特性 ² S/N比 (SNR) ³ @ +25°C T min ~ T max 全高調波歪み (THD)	70 70 -80	72 70 -80	70 70 -80	dB min dB min dB typ	$f_{OUT}=1kHz$ 正弦波, $f_{SAMPLE}=100kHz$ $0 < f_{OUT} < 20kHz$ について @ +25°C で 72dB typ ⁴ $f_{OUT}=1kHz$ 正弦波, $f_{SAMPLE}=100kHz$ $0 < f_{OUT} < 20kHz$ について @ +25°C で -80dB typ ⁴ $f_{OUT}=1kHz$ 正弦波, $f_{SAMPLE}=100kHz$ $0 < f_{OUT} < 20kHz$ について @ +25°C で -80dB typ ⁴
ピーク高調波/ スプリアス・ノイズ	-80	-80	-80	dB typ	$f_{OUT}=1kHz$ 正弦波, $f_{SAMPLE}=100kHz$ $0 < f_{OUT} < 20kHz$ について @ +25°C で -80dB typ ⁴
DC精度 分解能 相対精度 微分非直線性 バイポーラ・ゼロ誤差 正のフルスケール誤差 ⁵ 負のフルスケール誤差 ⁵	12 ±1 ±1/2 ±1/2 ±4 ±4 ±4	12 ±1/2 ±1/2 ±1/2 ±4 ±4 ±4	12 ±1 ±1/2 ±1/2 ±4 ±4 ±4	ビット LSB typ LSB typ LSB typ LSB max LSB max LSB max	単調増加性を保証
リファレンス出力 ⁶ REF OUT REF OUT誤差 @ +25°C T min ~ T max リファレンス負荷感度 ($\Delta REF\ OUT / \Delta I$)	3 ±10 ±15 -1	3 ±10 ±15 -1	3 ±10 ±15 -1	V nom mV max mV max mV max	リファレンス負荷電流変動 (0~500 μ A)
リファレンス入力 REF IN 入力電流	2.85 3.15 ±1	2.85 3.15 ±1	2.85 3.15 ±1	V min V max μ A max	
ロジック入力 入力HI電圧, V_{INH} 入力LOW電圧, V_{INL} 入力電流, I_{IN} 入力容量, C_{IN} ⁷ 入力コード	2.4 0.8 ±10 10	2.4 0.8 ±10 10	2.4 0.8 ±10 10	V min V max μ A max pF max	$V_{DD}=5V \pm 5\%$ $V_{DD}=-5V \pm 5\%$ $V_{IN}=0V \sim V_{DD}$
ロジック出力 出力HI電圧, V_{OH} 出力LOW電圧, V_{OL} DB11~DB0 フローティング状態漏れ電流 フローティング状態出力容量 ⁷	2.7 0.4 10 15	2.7 0.4 10 15	2.7 0.4 10 15	V min V max μ A max pF max	$I_{SOURCE}=40\mu$ A $I_{SINK}=1.6mA$
アナログ出力 出力電圧レンジ DC出力インピーダンス 回路短絡時電流	±3 0.2 25	±3 0.2 25	±3 0.2 25	V nom Ω typ mA typ	
AC特性 ⁷ 電圧出力セトリング時間 ⁸ 正のフルスケール変化 負のフルスケール変化 デジタル-アナログ・グリ ッチ・インパルス ⁸ デジタル・フィードスルー ⁸ CLK INフィードスルー	4 4 10 2 2	4 4 10 2 2	4 4 10 2 2	μ s max μ s max nV 秒 typ nV 秒 typ mV typ	最終値の±1/2LSB以内のセトリング時間 オール1からオール0へのDACコード変化
電源 V_{DD} V_{SS} I_{DD} I_{SS} 消費電力	+5 -5 13 6 95	+5 -5 13 6 95	+5 -5 13 6 95	V nom V nom mA max mA max mW max	仕様性能の±5% 仕様性能の±5% CS = DMWR = DMRD = データ入力 = 5V; 出力は無負荷 CS = DMWR = DMRD = データ入力 = 5V; 出力は無負荷 60mW typ

注

- 1 温度範囲は以下の通りです。J、Kバージョン: 0~+70°C、A、Bバージョン: -25~+85°C、Sバージョン: -55~+125°C。
- 2 $V_{OUT} = \pm 3V$ 。
- 3 S/N比は歪みおよびノイズ成分を含みます。
- 4 外部サンプル・ホールドを使用 (AD7848のテストの項を参照)。
- 5 REF INに関して測定、バイポーラ・オフセット誤差を含みます。
- 6 50pF以上の容量性負荷では直列抵抗が必要 (内部リファレンスの項を参照)。
- 7 コンプライアンス確認のため+25°Cでサンプリング・テスト。
- 8 CLK INを止めて測定。

仕様は予告なしに変更することがあります。

タイミング特性¹ ($V_{DD} = +5V \pm 5\%$ 、 $V_{SS} = -5V \pm 5\%$ 、 $AGND = DGND = 0V$)

パラメータ	Tmin, Tmaxでの限界値 (J, Aバージョン)	Tmin, Tmaxでの限界値 (K, Bバージョン)	Tmin, Tmaxでの限界値 (Sバージョン)	単位	条件/備考
t_1	42	42	55	ns min	INTERNAL WRITE パルス幅
t_2	5	5	5	ns min	ADD0~INTERNAL WRITEセットアップ時間
t_3	0	0	0	ns min	ADD0~INTERNAL WRITEホールド時間
t_4	t1-12 または50 ²	t1-22 または50 ²	t1-15 または60 ²	ns min	データ有効~INTERNAL WRITEセットアップ時間
t_5	10	10	10	ns min	データ有効~INTERNAL WRITEホールド時間
t_6	1.5CLK IN サイクル	1.5CLK IN サイクル	1.5CLK IN サイクル	min	LDACパルス幅
t_7	0	0	0	ns min	CS~DMRDセットアップ時間
t_8	0	0	0	ns min	CS~DMRDホールド時間
t_9	60	45	60	ns min	DMRDパルス幅
t_{10}^3	57	41	57	ns max	DMRD後のデータ・アクセス時間
t_{11}^4	5	5	5	ns min	バス開放時間
	45	45	50	ns max	

注

- 1 太字のタイミング仕様は100%テストされています。その他のタイミングは、コンプライアンス確認のため+25°Cでサンプリング・テストを実施しています。全入力信号は $t_r = t_f = 5ns$ (5Vの10%から90%) で1.6Vの電圧レベルからの時間を測定した値です。
- 2 これら2つのうち小さい方の数字が必要なデータ・セットアップ時間です。すなわち、より狭い書込みパルスにはより短いセットアップ時間が必要です。
- 3 t_{10} は図1の負荷回路で測定し、出力が0.8Vまたは2.4Vに達するまでに必要な時間として定義。
- 4 t_{11} は図2の回路でロードされる時、データラインが0.5V変化するのに必要な時間として定義。

仕様は予告なしに変更することがあります。

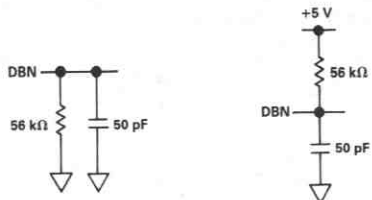


図1. アクセス時間の負荷回路

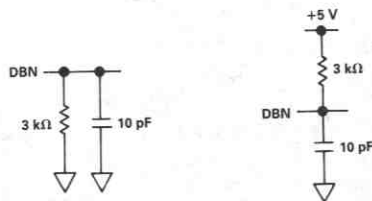


図2. 出力フロート遅延のための負荷回路

絶対最大定格*

(特に指定のない限り、 $T_A = +25^\circ C$)

$V_{DD} - AGND$	-0.3 ~ +7V
$V_{SS} - AGND$	+0.3 ~ -7V
$AGND - DGND$	-0.3 ~ $V_{DD} + 0.3V$
$V_{OUT} - AGND$	$V_{SS} - 0.3$ ~ $V_{DD} + 0.3V$
REF IN - AGND	-0.3 ~ $V_{DD} + 0.3V$
REF OUT - AGND	-0.3 ~ $V_{DD} + 0.3V$
デジタル入力 - DGND	-0.3 ~ $V_{DD} + 0.3V$
デジタル出力 - DGND	-0.3 ~ $V_{DD} + 0.3V$

動作温度範囲

一般用 (J, Kバージョン)	0 ~ +70°C
産業用 (A, Bバージョン)	-25 ~ +85°C
拡張温度 (Sバージョン)	-55 ~ +125°C
保管温度	-65 ~ +150°C
リード温度 (ハンダ付け、10秒間)	+300°C
+75°Cまでの消費電力 (全パッケージ)	1000mW
+75°C以上でのディレーティング	10mW/°C

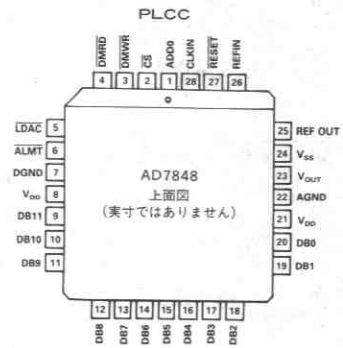
* 絶対最大定格を超えるストレスはデバイスに永久的な破壊をもたらすことがあります。この定格は単にデバイスのストレスの度合いを示すものであり、これらの条件下におけるデバイスの機能動作、あるいは動作仕様を示す条件を越えた動作は考慮されていません。デバイスを絶対最大定格の状態に長時間さらすと、デバイスの信頼性に影響を与えることがあります。

注意

この素子はESD(electrostatic discharge)センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保管してください。デバイスを挿入する際には、フォームをあらかじめソケットに接触させ放電させる必要があります。



ピン配置



オーダ・ガイド

S/N比	温度範囲とパッケージ・オプション		
	0 ~ +70°C	-25 ~ +85°C	-55 ~ +125°C
70dB	プラスチック DIP (N-28)	ハーメチック DIP (Q-28) ¹	ハーメチック DIP (Q-28) ¹
72dB	AD7848JN AD7848KN	AD7848AQ AD7848BQ	AD7848SQ
70dB	PLCC ² (P-28A)		
72dB	AD7848JP AD7848KP		

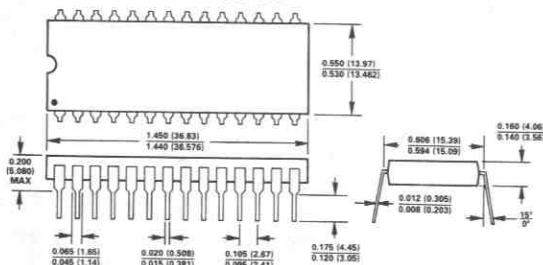
注

- 1 弊社はサーディップ (Q-28) パッケージの代りにセラミック (D-28) パッケージを出荷する権利を有しています。
- 2 PLCC: プラスチック・リード付きチップ・キャリア

外形サイズ

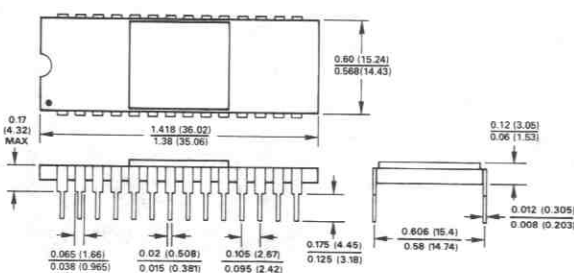
サイズはインチと (mm) で示します。

28ピン・プラスチックDIP



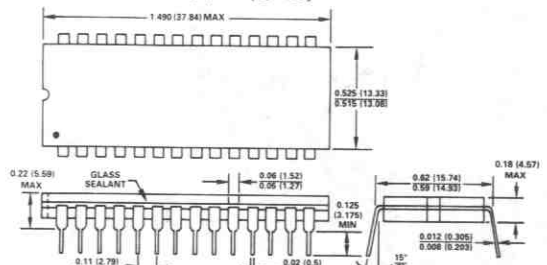
1番ピンはドットまたは刻みで示します。
リードはハンダ付けまたはスズ・メッキのアロイ42あるいは銅です。

28ピン・セラミックDIP (D-28)



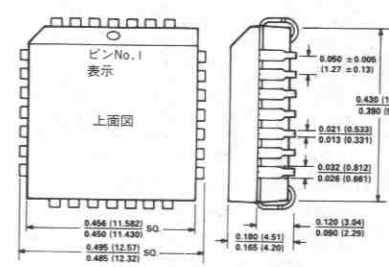
1番ピンはドットまたは刻みで示します。
リードは金メッキ (最小50マイクロインチ) コパルまたはアロイ42です。

28ピン・サーディップ (Q-28)



1番ピンはドットまたは刻みで示します。
リードはハンダ付けまたはスズ・メッキのコパルあるいはアロイ42です。

28端子PLCC (P-28A)



ピン機能の説明

ピン 番号	ピン 名称	機能
1	ADD0	アドレス入力。この入力、書込み動作時にデータ・バス上にあるワードを、FIFO RAMあるいはステータス/コントロール・レジスタのどちらかにロードするかを決定します。ロジックLOWによってFIFOメモリが選択され、ロジックHIによりステータス/コントロール・レジスタが選択されます(ステータス/コントロール・レジスタの項を参照)。
2	$\overline{\text{CS}}$	チップ・セレクト。アクティブLOWのロジック入力です。この入力がアクティブの時デバイスが選択されます。
3	$\overline{\text{DMWR}}$	データ・メモリ・ライト。アクティブLOWのロジック入力。 $\overline{\text{DMWR}}$ は $\overline{\text{CS}}$ と共に、FIFOメモリまたはステータス/コントロール・レジスタのどちらかにデータを書込むために用います。 $\overline{\text{DMWR}}$ (ADSP-2100)、R/W (MC68000、TMS320C25)、 $\overline{\text{WE}}$ (TMS32010) に直接対応しています。
4	$\overline{\text{DMRD}}$	データ・メモリ・リード。アクティブLOWのロジック入力。 $\overline{\text{DMRD}}$ はステータス/コントロール・レジスタからのデータをアクセスするために $\overline{\text{CS}}$ (LOWレベル) と共に用います。
5	$\overline{\text{LDAC}}$	ロードDAC。ロジック入力。この信号の立下りエッジで、新しいワードがFIFOメモリのローケーション0からDACレジスタにロードされます。 $\overline{\text{LDAC}}$ 入力はCLK INと非同期であり、 $\overline{\text{CS}}$ 、 $\overline{\text{DMWR}}$ 、 $\overline{\text{DMRD}}$ とは独立しています。ソフトウェア $\overline{\text{LDAC}}$ はコントロール・レジスタに書込むことによって実現できます(ステータス/コントロール・レジスタの項を参照)。
6	$\overline{\text{ALMT}}$	FIFOはほとんど空。このピンのロジックLOW出力は、ワード・カウント (FIFO内のデータ・ワードの数) がステータス/コントロール・レジスタ内にプログラムされた、ほとんど空のワードカウントに達したことを示します。 $\overline{\text{ALMT}}$ はすべての $\overline{\text{LDAC}}$ の動作の後に更新されます。 $\overline{\text{ALMT}}$ 出力をディスエーブルする(すなわち、ロジックHIにする) ためには、ステータス/コントロール・レジスタのDB7 (ENAL) にロジック1を書込みます。 $\overline{\text{ALMT}}$ ステータスは、ステータス・レジスタを読むことによっても得ることができます(ステータス/コントロール・レジスタの項を参照)。
7	DGND	デジタル・グラウンド。デジタル回路のグラウンド・リファレンスです。
8	V _{DD}	正の電源電圧、+5V±5%。
9-20	DB11~DB0	データ・ビット11 (MSB) からデータ・ビット0 (LSB)。3ステートのTTL入出力。データ・ワードのコードは2の補数形式です。
21	V _{DD}	正の電源電圧、+5V±5%。8番ピンと同じ。両方のピンはパッケージにおいて結線する必要があります。
22	AGND	アナログ・グラウンド。DAC、リファレンス、出力バッファ・アンプ用のグラウンド・リファレンスです。
23	V _{OUT}	アナログ出力電圧。バッファ・アンプ出力電圧です。バイポーラ出力レンジ(REF IN = +3Vのとき±3V)。
24	V _{SS}	負の電源電圧、-5V±5%。
25	REF OUT	電圧リファレンス出力。3Vの内蔵アナログ・リファレンスはこのピンから出力されます。AD7848を内蔵リファレンスで動作させるにはREF OUTをREF INに接続します。リファレンスの外部負荷能力は500μAです。
26	REF IN	電圧リファレンス入力。DAC用のリファレンス電圧はこのピンから供給します。リファレンス電圧はDACに供給される前に、内部でバッファされます。AD7848の正常動作での公称リファレンス電圧は3Vです。
27	$\overline{\text{RESET}}$	リセット。アクティブLOWのロジック入力。ロジックLOW入力によって、FIFOメモリ内のワードをクリアし、DACレジスタの内容を1000 0000 0000に初期化します。そして、ステータス/コントロール・レジスタとコントロール・ロジックをリセットします。
28	CLK IN	クロック入力。TTLコンパチブルのロジック入力です。内部のダイナミック・ロジックすべてのクロック源として用いられ、バス処理中に同期を与えます。このクロックのマーク/スペース比はINTERNAL WRITEタイミングによって35/65~65/35に可変できます (READ/WRITE動作の項を参照)。

ビット位置	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
ステータス情報(READ)	ALMT	AEC2	AEC1	AEC0	ENAL	FFUL	0	FEMP	FUND	FC2	FC1	FC0
コントロール機能(WRITE)	X	AEC2	AEC1	AEC0	ENAL	RESET	LDAC	X	X	X	X	X
リセット・ステータス	0	0	0	0	0	1	0	1	0	0	0	0

Xは不定。

表1. ステータス/コントロール・ビット機能

ステータス/コントロール・レジスタ

AD7848は2つのオンチップ・レジスタをもっています。FIFOメモリの状態をモニターするためのステータス・レジスタと、FIFOメモリ機能を制御するためのコントロール・レジスタです。いずれのレジスタも同じアドレスにあり、多くの情報が共通であるため、ここでは共通にステータス/コントロール・レジスタとして扱われます。ステータス/コントロール・レジスタからの読み出し動作はステータス・レジスタからのデータにアクセスし、書き込み動作時のデータはコントロール・レジスタにロードされます。

レジスタは、ADD0がロジックHIのとき、読み出または書き込み動作によりデータ・バス(DB11~DB0)を通して直接アクセスできます。書き込み動作においては、ALMT出力、DACレジスタの更新、FIFOワード・カウントのリセット制御が用意されています。これは電源投入時の初期化処理で通常に実行されます。FIFOメモリのアドレス・ポインタは、すべてのDACレジスタが更新したあとでクリアされ、ステータス/コントロール・レジスタ内にあらかじめプログラムされているカウント値と比較されます。あらかじめプログラムされたカウント値にポインタが達したとき、ENALコントロール・ビットが0にセットされているならば、ALMT出力はアクティブになります。したがってALMTを、あらかじめ決められた回数(1~8)だけDACレジスタが更新された後にマイクロプロセッサに割り込みを発生する用途に用いることができます。アドレス・ポインタの状態、FIFOアンダフロー、FIFOエンパティおよびALMTの状態は、ステータス/コントロール・レジスタを読むことによって任意の時点でアクセスできます。ただし、ステータス/コントロール・レジスタからの読み出しはFIFOメモリ内のどんな内部動作も生じません。

ステータス/コントロール・レジスタの機能説明

DB11 (ALMT)

ほとんど空のフラグです。リード・オンリー。これは6番ピン(ALMT出力)のステータスと同じです。FIFOメモリのワード・カウントがDB10~DB8のビット位置にあらかじめプログラムされているワード・カウントに到達しているとき、このビットはロジックLOWになります。ALMTはLDAC動作の終了時に更新されます。デバイスのリセット後もFIFOワード・カウントとほとんど空のワード・カウントの両方が000になるため、アクティブになります。

DB10~DB8 (AEC2~AEC0)

ほとんど空のワード・カウント。READ/WRITE。これらのビットにセットされるカウント値は、ALMTがセットされるFIFOメモリ内のワード数を決定します。FIFOのワード・カウントがこれらの3ビットにプログラムされたカウント値と同じ時、ALMT出力とステータス/コントロール・レジスタのDB11はロジックLOWにセットされます。例えば、011というコードがこれらのビットに書込まれているとき、ALMTはFIFOメモリのロケーション0からロケーション3に有効なデータが含まれるときにのみセットされます。AEC2はワードカウントの最上位ビット(MSB)です。カウント値は必要に応じて読み出すことができます。

DB7 (ENAL)

ALMTを許可します。READ/WRITE。このビットに1を書き込むことによって、ALMT出力およびステータス/コントロール・レジスタのビットDB11をディスエーブルします。

DB6 (FFUL/RESET)

FIFO FULL/RESET。READ/WRITE。このビットが0を示しているとき、FIFOメモリ内には8ワードあります(すなわちFIFOはフル)。このビット位置に1を書き込むことでRESET入力(27番ピン)によりシステムがリセットされます。

DB5 (LDAC)

ロードDAC。WRITEオンリー。このビット位置に0を書くことによりFIFOのロケーション0にあるサンプルが、DACレジスタにロードされます。このビットの機能はLDAC入力(5番ピン)と同じです。

DB4 (FEMP)

FIFOエンパティ。READオンリー。このビットが1のとき、FIFOメモリにワードがないことを示します。FIFOが空になった以降のLDAC動作は、FIFOのロケーション0の内容によってDACレジスタを更新し続けます。

DB3 (FUND)

FIFOアンダフロー。READオンリー。FIFOメモリが空になった以降にDACレジスタの更新が行なわれたとき、このビットは1にセットされます。このビットは、FIFOのロケーション0に有効データが存在する状態でLDAC動作が行なわれるまでセットされたままです。

DB2~DB0 (FC2~FC0)

FIFOワード・カウント。READオンリー。これらのビットから読まれた値はFIFOメモリ内のワード数を示します。例えば、これらのビットが011であるときにはFIFOのロケーション0からロケーション3に有効データがあることを示します。ただし、全ビットが0の場合にはFIFOメモリ内のワード数は1または0のどちらかを示しています。この場合には、FIFOエンパティ(FEMP)によってFIFOメモリが空であることを判断します。FC2が最上位ビット(MSB)です。D/A部

AD7848は、安定度の高い薄膜抵抗と高速NMOS単極双投スイッチから構成される12ビット電圧出力型D/Aコンバータを内蔵しています。DAC部の簡略化した回路図を図3に示します。データ・ワードの上位3ビットはデコードされ、A~Gの7つのスイッチを駆動します。下位9ビットは、9ビットのR-2Rラダー構造をスイッチングします。このコンバータの出力電圧はリファレンス電圧REF INと同じ極性をもちます。

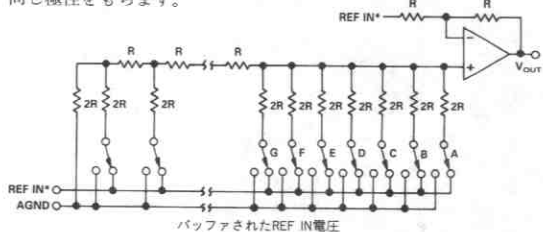


図3. DACラダー構造

REF IN電圧は、ユニティゲイン・アンプによって内部でバッファされた後にD/Aコンバータおよびバイポーラ・バイアス回路に加えられます。D/Aコンバータは3Vリファレンス用に構成され、設定されており、デバイスのテストはREF INに3Vを与えて行なわれます。AD7848のリファレンス電圧を許容レンジから±5%超えて動作させることは、性能劣下の原因となります。

内部リファレンス

AD7848は製造工程で $3V \pm 10mA$ に調整済みの、温度補償された埋込みツェナ・リファレンスを内蔵しています(図4参照)。リファレンス電圧はREF OUTピンに供給されます。このリファレンスはD/Aコンバータおよびバイポーラ・バイアス回路の両方に対するリファレンスとして使用できます。このことはデバイスのREF OUTピンとREF INピンを接続することで実現できます。

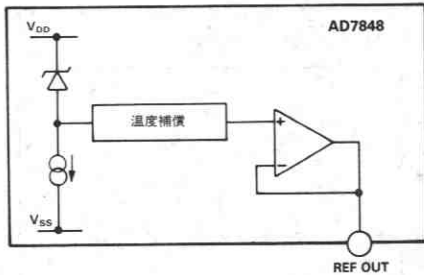
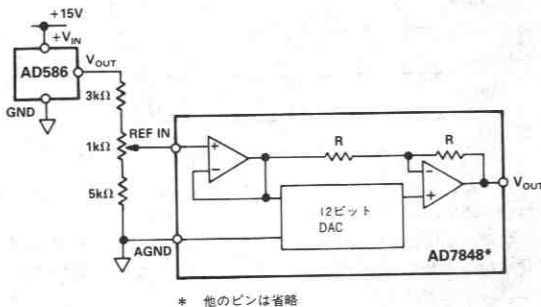


図4. 内蔵リファレンス

リファレンス電圧はシステム内の他の部品のリファレンスとして使用することも可能で、外部負荷に対して $500\mu A$ まで供給することができます。通常動作のREF OUTの最大推奨容量は $50pF$ です。リファレンスを外部で使用するには、並列に接続した $10\mu F$ のタンタル・コンデンサと $0.1\mu F$ のセラミック・コンデンサを、 200Ω 抵抗に直列に接続した回路によってAGNDとデカップリングして下さい。

外部リファレンス

応用によっては、ユーザーはAD7848のリファレンス入力を駆動するためにシステム・リファレンスや外部リファレンスを必要とすることがあります。図5は、 $5V$ リファレンスAD586を用いてAD7848のREF INに必要な $3V$ のリファレンスを供給する方法を示しています。DACとADCの両方を使うシステムでは、AD7848のもう一つのリファレンス源として、AD7878などのADCのREF OUT電圧を用いることができます。この構成の回路の概略を図16に示します。



* 他のピンは省略

図5. AD586によるAD7848 REF IN入力の駆動

オペアンプ部

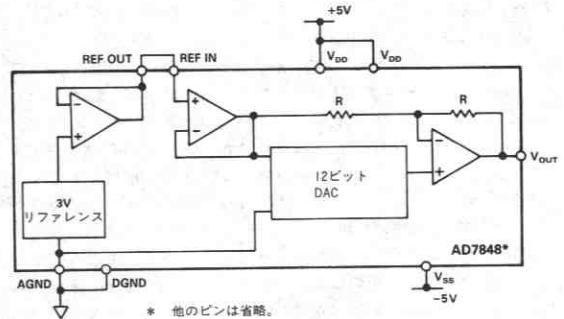
コンバータの出力は非反転アンプでバッファされます。AD7848内の内部スケーリング抵抗により、 $+3V$ の入力リファレンス電圧から $\pm 3V$ の出力電圧を構成することができます。図5に出力オペアンプ周辺の抵抗の配置を示します。バッファ・アンプはグラウンドに対する $2k\Omega$ と $100pF$ の負荷について $\pm 3V$ を生成することが可能で、 $20kHz$ の周波数までのピーク・ピーク電圧 $6V$ の正弦波信号を生成できます。

出力はLDAC入力の立下りエッジで更新されます。ソフトウェアによるDACの更新では、ソフトウェアLDACを受信した後、次のクロックの立上りエッジで出力が更新されます。フルスケール出力変化に対してアンプの出力が最終値の $1/2LSB$ 以内にセトリングするまでの時間の代表値は $2\mu s$ 以下です。

伝達関数

AD7848の基本的な回路構成を図6に示します。表2はこの構成での理想的な入力コードと出力電圧の関係です。DACの入力コードは2の補数形式であり、 $1LSB = FS/4096 = 6V/4096 = 1.465mV$ です。出力電圧 V_{OUT} は入力コード N により次の関係式で表すことができます。

$$V_{OUT} = \frac{2 \cdot N \cdot REF\ IN}{4096} - 2048 \leq N \leq +2047$$



* 他のピンは省略。

図6. 基本接続図

DACラッチ内容			アナログ出力、 V_{OUT} *
MSB	LSB		
0111	1111	1111	+2.998535V
0111	1111	1110	+2.99707V
0000	0000	0001	+0.001465V
0000	0000	0000	0V
1111	1111	1111	-0.001465V
1000	0000	0001	-2.998535V
1000	0000	0000	-3V

* REF IN = +3Vと仮定

表2. 理想の入出力コード表

内部FIFOメモリ

AD7848の内部FIFOメモリは、それぞれ12ビット幅の8つのメモリ・ロケーションから構成されています。AD7848のFIFO構造のブロック図を図7に示します。

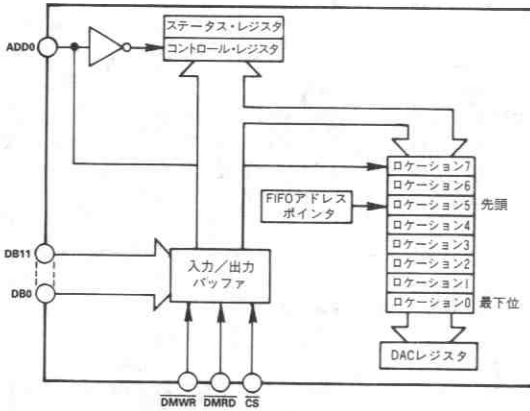


図7. 内部FIFOの構造

データは、 \overline{CS} と \overline{DMWR} の制御下でFIFOにロードされます。FIFOアドレス・ポインタは常にメモリの先頭、つまり、有効データをもつ最上位のロケーションを示しています。このポインタは、新しいワードがデータ・バスからFIFOにロードされると、インクリメントされます。データは非同期的LDAC信号の制御によってFIFOからDACレジスタにロードされます。 \overline{LDAC} がアクティブになると、FIFOの最下位ロケーション（ロケーション0）にあるデータはDACレジスタに転送されます。この転送動作の完了時に、FIFO内の各ワードは1ロケーションずつ下がり、アドレス・ポインタが1だけデクリメントされます。すなわち、FIFOメモリに先頭に入った各データ・ワードは引続くLDAC動作によってロケーション0に達するまで下降伝播し、ロケーション0からDACレジスタに転送されます。

FIFOでのデータ・ワードの下降伝播は、AD7848の入力クロック（CLK IN）に同期して動作します。つまり、FIFOメモリへの書き込み動作もまたCLK INと同期する必要があります。書き込み動作がCLK INサイクルと同期していない場合や、 \overline{DMWR} ラインがCLK INの立上りエッジに先立つ20ns以内にロジックLOWになっている場合、AD7848のロジックは正しい動作を停止します。このことは、システム内でAD7848のCLK INがマイクロプロセッサのクロックと同期していないことを意味します。CLK INおよび \overline{DMWR} 信号は外部で同期する必要があります。

FIFO内でのデータの移動に伴うステータス・レジスタの更新も、CLK INと同期して起こります。ステータス・レジスタの更新は、 \overline{DMWR} がLOWになった後の、次のCLK INの立上りエッジで起こります。ステータス・レジスタの更新が立上りエッジで発生することを確実にするために \overline{DMWR} の立下りエッジとCLK INの立上りエッジの間には70nsのセットアップ時間が必要です。セットアップ時間が十分でない場合には、更新はCLK INの次の立上りエッジまで持ち越されます。AD7848の \overline{DMWR} -CLK INセットアップ時間が70ns以下で動作している場合には、ステータス・レジスタの更新は同じクロック・サイクルでは行われませんが、データはFIFOに正しく書込まれます。このような状況においては、書き込み動作後のCLK INサイクル内でステータス・レジスタを读出すべきではないことを意味しています。正確な情報を得るためには、ユーザーは書き込み動作と读出し動作の間に1クロック・サイクルを挟む必要があります。

READ/WRITE動作

AD7848の读出し/書き込み動作は、FIFOメモリおよびステータス/コントロール・レジスタへの書き込みと、ステータス/コントロール・レジスタからの读出しで構成されます。これらの動作は \overline{CS} 、 \overline{DMWR} 、 \overline{DMRD} 、ADD0ロジック入力によって制御されます。

書き込み動作

AD7848のFIFOメモリへの書き込み動作は \overline{CS} およびADD0がLOWの際に、 \overline{DMWR} をLOWにすることにより起こります。内部的には、これらの信号はCLK INによってゲートされ、INTERNAL WRITE信号を与えます（図8参照）。このINTERNAL WRITE信号のパルス幅は実質的にCLK INがLOWの時間と、 \overline{CS} および \overline{DMWR} パルスのオーバラップ部分です。

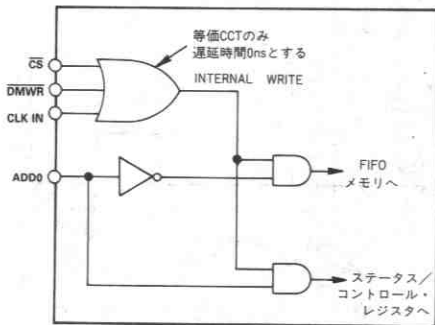


図8. \overline{DMWR} 内部論理

この結果、書き込みパルス幅、セットアップ時間およびデータ・ホールド時間はマイクロプロセッサから与えられた信号よりも短くなります。図9に示すAD7848タイミング図のタイミングは、 \overline{DMWR} 信号ではなくINTERNAL WRITE信号に基づいています。AD7848のステータス/コントロール・レジスタに対する情報書き込みにおいても同様な状況が存在します。ステータス/コントロール・レジスタへの書き込み動作は、 \overline{CS} および \overline{DMWR} がLOWでADD0がHIのときに起こります。

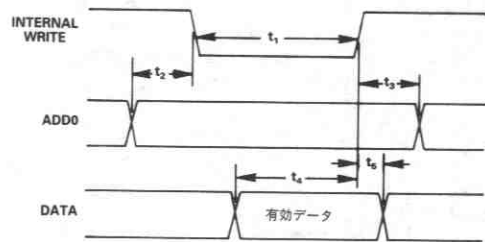


図9. AD7848の書き込み動作

データは、 \overline{DMWR} がLOWになった後のCLK INの立上りエッジで内部的にFIFOメモリにラッチされます。多くのCLK INサイクルにおいて \overline{DMWR} をLOWに保つていても、多くのFIFO書き込み動作は起こりません。データは \overline{DMWR} がLOWになった後の、最初のCLK INの立上りエッジで書込まれます。

读出し動作

図10にAD7848のステータス/コントロール・レジスタからの读出し動作のタイミング図を示します。 \overline{CS} と \overline{DMWR} をLOWにすることにより、ステータス/コントロール・レジスタからのデータにアクセスできます。ステータス/コントロール・レジスタからの读出しではADD0はHIまたはLOWのどちらでも構いません。

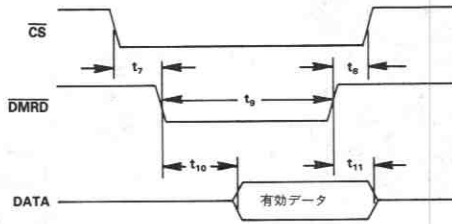


図10. AD7848の読出し動作

DAC出力の更新

AD7848のDAC出力はソフトウェアあるいはハードウェアによる制御で更新することができます。ハードウェア制御では、 $\overline{\text{LDAC}}$ 入力をアクティブにすると、出力は更新されます。ソフトウェア制御では、ステータス/コントロールレジスタのDB5に0を書くことで出力は更新されます。

$\overline{\text{LDAC}}$ 入力はCLK INとは独立した非同期入力です。これは時間的に正確なサンプリングが重要な応用では不可欠な機能です。このような応用では、信号の更新は、サンプリングの不確実性やジッタに起因する誤差を最小限にするために、正確に同じ間隔で行なう必要があります。このような場合、 $\overline{\text{LDAC}}$ 入力はタイマや正確なクロックソースによって駆動します。

正確なサンプリングがそれほど重要でない応用では、 $\overline{\text{LDAC}}$ パルスはデコードされたアドレス (AD7848の $\overline{\text{CS}}$ アドレスとは異なります) によってゲートされたマイクロプロセッサの $\overline{\text{WR}}$ ラインから生成することができます。注意点として、 $\overline{\text{LDAC}}$ 入力は最小でも1.5CLK INサイクルの間LOWである必要があります。

DAC出力の更新は、 $\overline{\text{LDAC}}$ 入力がLOWになった後に直接起こります。しかし、FIFO内でのデータワードのシフトダウン動作が数CLK INサイクル後に起こります。もしもデータワードのシフトが起きる前に書き込み動作が行なわれたならば、FIFOのシフトは書き込み動作が終了するまで遅延します。この状況ではFIFO内にワードが存在するにも関わらずFIFOシフトが起こらないため、特に注意が必要です。例えば、 $\overline{\text{LDAC}}$ 動作の前にFIFOが8つのワードを保持しているならば、FIFOは、FIFOシフトが起きるまで8つのワードを保持し続け、新しいワードはFIFOに書込まれません。

DACの出力を更新するためのもう一つの方法はソフトウェア制御であり、ステータス/コントロールレジスタのDB5に0を書込みます。この場合、DACレジスタはCLK INの次の立上りエッジで更新されます。DB5が0の場合、連続的な $\overline{\text{LDAC}}$ 動作は起こりません。出力の更新は、DB5に0が書込まれた後の、次のCLK INの立上りエッジで初めて起こります。 $\overline{\text{LDAC}}$ 入力 (5番ピン) は、DACの更新をソフトウェア制御で行なう場合には、HIに結線します。

AD7848のダイナミック仕様

AD7848は微分および積分非直線性などの従来のDC特性に加えて、ダイナミック特性についても仕様が規定されており、100%テストされています。AC特性は、音声合成、サーボ制御、高速モテムなどの信号処理応用が必要です。これらの応用では、発生する信号のスペクトラルへのDACの影響に関する情報が必要です。そのため、AD7848の仕様には、S/N比、高調波歪み、ピーク高調波が含まれています。これらの用語の詳細については次の項で説明します。

信号ノイズ比 (S/N比)

S/N比は、DAC出力での信号とノイズの比の測定値です。信号は基本波のrms値です。ノイズは、DCを除くサンプリング周波数の1/2 ($f_s/2$) までの、すべての非基本波信号のrms値の合計です。S/N比はデジタル化処理で用いられる量子化レベル値に依存し、レベルを大きくすると量子化ノイズは小さくなります。正弦波出力における理論的なS/N比は次の式で与えられます。

$$\text{SNR} = (6.02N + 1.76) \text{ dB} \dots \dots (1)$$

ここで、Nはビット数。したがって、理想的な12ビット・コンバータでは、S/N比=74dBです。

図11に、出力周波数1kHz、アップデートレート100kHzでのAD7848KNの代表的な2048ポイント高速フーリエ変換 (FFT) プロットを示します。このグラフから得られるS/N比は73.3dBです。S/N比を算出する際には高調波も含まれることに注意が必要です。

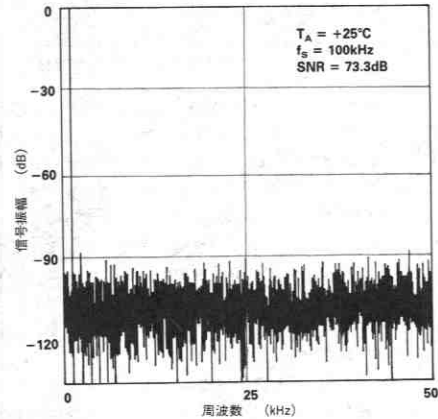


図11. AD7848のFFTプロット

有効ビット数

式 (1) は、S/N比とビット数の関係を示しています。この式を、(2) のように書き直すことにより、測定された性能を有効ビット数 (N_{EFF}) として得ることができます。

$$N_{\text{EFF}} = \frac{\text{SNR} - 1.76}{6.02} \dots \dots (2)$$

デバイスの有効ビット数は、S/N比の測定値から直接算出することができます。

全高調波歪み (THD)

THDは高調波のrms値の合計と基本波のrms値の比です。AD7848ではTHDは次のように定義されます。

$$\text{THD} = 20 \text{Log} \frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2)}}{V_1}$$

ここで V_1 は基本波のrms振幅値、 V_2, V_3, V_4, V_5, V_6 は第2次~6次の高調波です。THDもまた2048ポイントFFTプロットから得ることができます。

ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズは、(DCを除く $f_s/2$ までの)DAC出力スペクトラム内の2番目に大きい成分のrms値と、基本波のrms値の比として定義されます。通常、この仕様の値はスペクトラム内で最も大きな高調波で決められますが、高調波がノイズ・フロアに埋もれるようなデバイスではピークはノイズ・ピークとなります。

AD7848のテスト

ダイナミック特性をテストするために用いた手法の概略を図12に示します。データはマイクロコントローラおよび関連のロジックの制御によってAD7848にロードされます。AD7848の出力は9次のローパス・フィルタに入力されます。次にフィルタの出力は14ビット精度のディジタルサイザに入力されます。ディジタルサイザはその信号をサンプリングし、マイクロコントローラはAD7848のダイナミック特性を評価するためにFFTプロットを作成します。

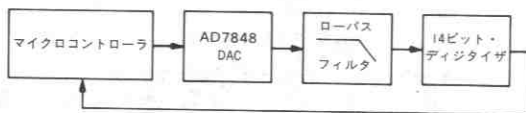


図12. AD7848のダイナミック特性テスト回路

ディジタルサイザのサンプリングはFFT算出を簡単にするためにAD7848のアップデート・レートと同期しています。ディジタルサイザは、AD7848の出力が新しい値に安定した後にはサンプリングを行ないます。したがって、ディジタルサイザが出力を直接サンプリングするならば、それは実際には毎回のDC値をサンプルしていることとなります。つまり、AD7848のダイナミック特性を正しく測定することはできず、実際の性能よりも良い結果を得ることになります。DACとディジタルサイザの間にフィルタを用いることによって、ディジタルサイザは連続的に動く信号をサンプリングすることになり、AD7848の正しいダイナミック特性が測定されます。

応用によってはAD7848の周波数性能特性よりも優れた性能を必要とする場合もあります。このような応用では、図13に概略を示すような簡単なサンプル・ホールド回路によってAD7848の優れた性能を20kHzまで拡大します。他の応用では、既にAD7848の後に固有のサンプル・ホールド機能を備えているものもあります。この種的应用にはDACの更新がスイッチド・キャパシタ・フィルタに同期する場合のスイッチド・キャパシタ・フィルタの駆動があります。このようなサンプル・ホールド機能もまたAD7848の周波数領域での性能を拡大します。

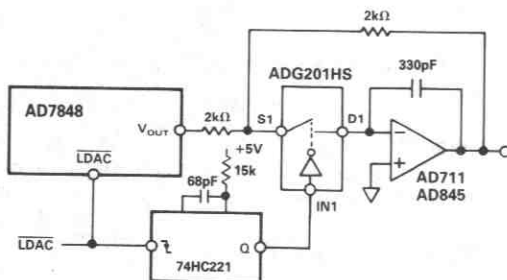


図13. サンプル・ホールド回路

周波数性能特性

図14と15は、広範囲にわたる入力周波数でのAD7848の代表的な性能のプロットを示しています。図14のプロットは、出力にサンプル・ホールドを付けない場合、図15は、DAC出力に接続した図13のサンプル・ホールド回路の出力です。

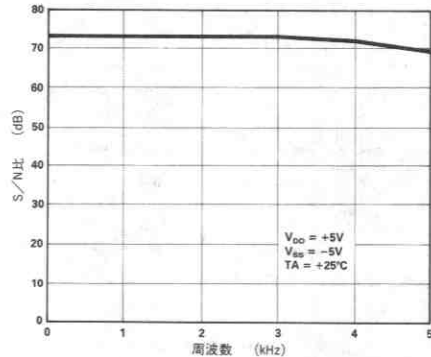


図14. 周波数特性 (サンプル・ホールドなし)

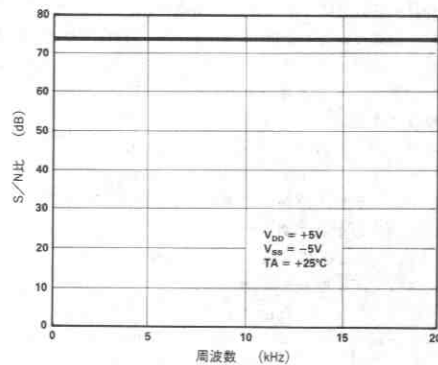


図15. 周波数特性 (サンプル・ホールド付き)

マイクロプロセッサ・インタフェース

AD7848は高速バス・タイミングによりDSPプロセッサに直接インタフェースできます。AD7848の内部ロジックは複雑なため、同期インタフェースのみが可能です。つまり、AD7848のCLK INは、プロセッサのクロックと同じか派生したクロックである必要があります。これが不可能な応用においては、CLK INおよびDMWR信号は外部でゲートする必要があります。図16~19に適切なプロセッサ・インタフェース例を示します。

AD7848とADSP-2100のインタフェース

図16にAD7848とADSP-2100 DSPプロセッサのインタフェースを示します。このインタフェースには、FIFOを内蔵したダイナミック特性が規定されているAD7878 12ビットA/Dコンバータも含まれています。このようなインタフェースは、モデムやサーボ制御などの応用に適しています。

変換は外部タイマによりADCで開始されます。また、このタイマはAD7848の出力の更新の制御にも用いられます。ALFL出力は、AD7878のFIFOワード・カウントがあらかじめプログラムされた値に達したとき、マイクロプロセッサに割込みを発生します。割込みを受けたプロセッサは、AD7878の内部FIFOメモリからの変換結果を読み出します。同様に、AD7848のカウント値があらかじめプログラムされたワード・カウントに達したときに、ALMT出力はマイクロプロセッサに割込みを発生します。このときプロセッサはAD7848の内部FIFOメモリに次のサンプルをロードします。

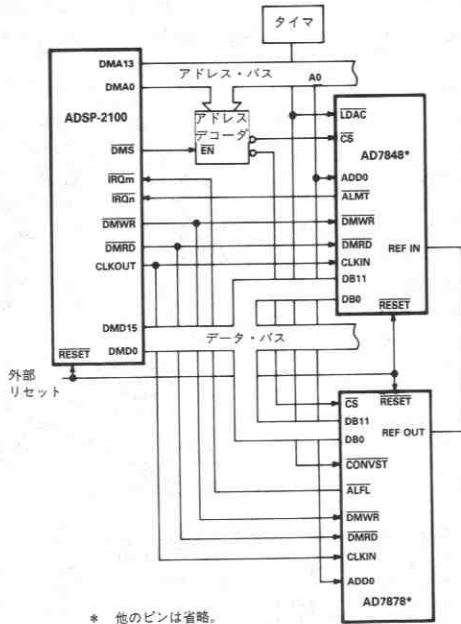


図16. AD7848/AD7878とADSP-2100のインタフェース

AD7848とTMS320C25のインタフェース

図17にAD7848とTMS320C25 DSPプロセッサのインタフェースを示します。ADSP-2100のインタフェースと同様に、AD7848の出力の更新は外部タイマで制御されます。AD7848のALMT出力はTMS320C25に割込み信号を発生します。TMS320C25のCLKOUT2出力は、AD7848のCLK INピンに入力する前に反転する必要があります。AD7848のステータス/コントロールレジスタの読出しサイクルには、TMS320C25のREADY入力を通して単一のWAITステートが挿入されます。

TMS320C25には、AD7848のDMWRとDMRD入力を駆動するための分離したRDおよびWR出力がありません。これらの信号は、プロセッサのSTRBおよびR/W出力と数個のロジックゲートによって生成します。

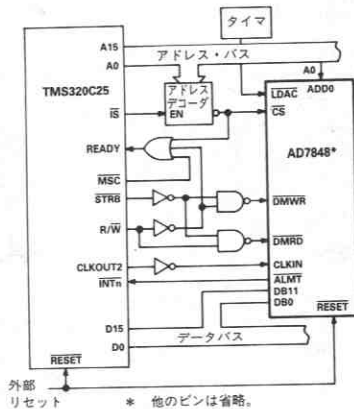


図17. AD7848-TMS320C25インタフェース

AD7848とTMS32010のインタフェース

図18はAD7848とTMS32010 DSPプロセッサのインタフェースを示します。この例でも外部タイマをDAC出力の更新に用いています。TMS32010のCLKOUT信号は、AD7848のCLK INピンに入力する前に反転する必要があります。

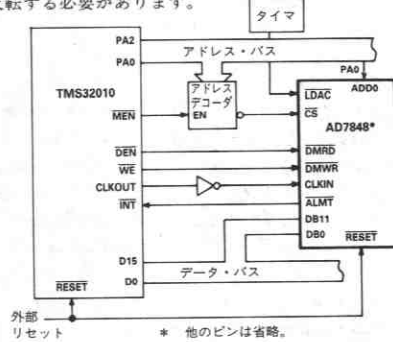


図18. AD7848-TMS32010インタフェース

AD7848とMC68000のインタフェース

このインタフェースにおいても、前の3つのインタフェース例と同様にアナログ出力の更新に外部タイマを用いています。他のインタフェースと異なる点は、このプロセッサの割込みの性質によってロジックの追加が必要なことです。MC68000は8レベルの外部割込みをもっています。このプロセッサに割込みを発生するためには、IPL2~IPL0入力にエンコードしたレベル(0~7)を与える必要があります。これは図19の74148エンコーダで実現しています(例として割込みレベル1を用いています)。ALMT出力は要求される割込みレベルに応じて74148の適切な入力を駆動します。MC68000は割込みサービスルーチンの開始時に、対応する割込みレベルをアドレスビットA3~A1に乗せます。追加されたロジックは、アドレスバス上の割込みレベルとFC2~FC0出力をデコードし、MC68000に対してVPA信号を発生するために用いています。

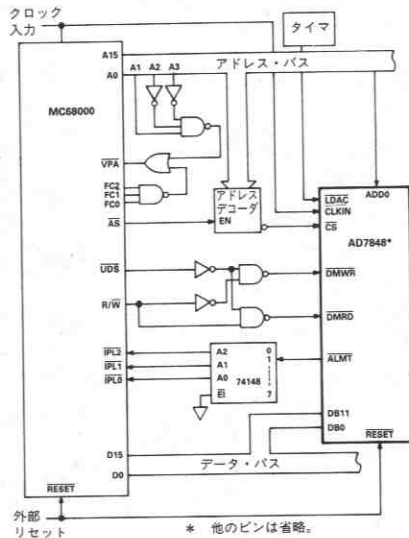


図19. AD7848とMC68000のインタフェース

これによって自動ベクトル割込みが実現されます。自動ベクトル割込みでは、初期化時にサービス・ルーチンの先頭アドレスを対応するオート・ベクトル位置にロードしておく必要があります。68000の割込みの詳細な情報については、68000のユーザー・マニュアルを参照してください。

MC68000のASおよびR/W出力を用いて、AD7848の分離したDMWRとDMRD入力を生成します。UDSラインをDMWRおよびDMRD信号のデコードに用いているため、AD7848は偶数アドレス上にメモリ・マップされます。

AD7848の使用上の注意

良好なプリント基板レイアウトは高速コンバータ特性を達成するために回路全体の設計と同じように重要です。AD7848は1LSBサイズ1.465mVで動作します。このため、設計者はコンバータ自体と周囲の回路のいずれについてもノイズを最小限にするように注意を払う必要があります。スイッチング電源はスイッチング・スパイクがオンチップ・アンプにフィードスルーするため推奨できません。他に関連する要因としては、マイクロプロセッサからのグラウンド・ループとデジタル・フィードスルーがあります。これらは高性能のコンバータに影響する要因であり、最適な性能を得るためにはこれらの影響を最小限に抑える正しいPCBレイアウトが必須です。

レイアウト

プリント基板上のレイアウトでは、デジタル・ラインとアナログ・ラインはできる限り離して下さい。デジタル経路がアナログ信号経路と平行に走らないように注意して下さい。デジタル・グラウンドとは分離した1点アナログ・グラウンド（スター・グラウンド）を設けて下さい。このスター・グラウンドは、図20に示すようにできる限りAD7848の近くに配置して下さい。すべてのアナログ・グラウンドおよびAD7848のDGNDピンをスター・グラウンドに接続して下さい。他のデジタル・グラウンドはこのアナログ・グラウンド・ポイントに接続しないでください。

低インピーダンスのアナログおよびデジタル電源のコモン・リターンは高性能コンバータの低ノイズ動作に不可欠です。このため、これらのトラックのフォイル幅はできる限り広くします。グラウンド・プレーンを使用するとインピーダンス経路を小さくすると共に、デジタル・ノイズからアナログ回路をガードすることができます。

ノイズ

V_{OUT}の信号リードとAGNDへの信号リターン・リードは、ノイズ・カップリングを最小にするためにできる限り短くします。これができない応用では、DAC出力と出力先の間にシールド・ケーブルを使用します。DACと出力先デバイス間のグラウンド電位の差はDAC出力に直列な誤差電圧として現われるため、グラウンド回路のインピーダンスはできる限り低く抑えて下さい。

フィードスルー

アナログ出力のCLK INフィードスルーの代表値は2mVです。これは10MHzで発生し、ほとんどすべての応用ではアップ・データ周波数を除去する目的でローパス・フィルタを用いているため、CLK INフィードスルーは問題とはなりません。

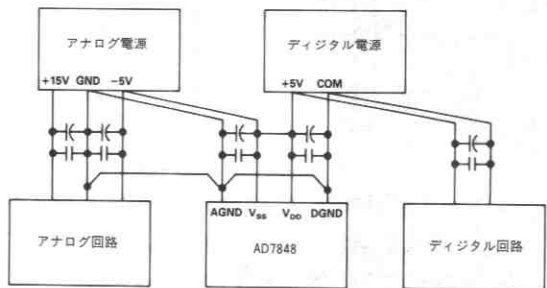


図20. 電源グラウンド接続

特長

- 4個の全機能内蔵12ビットDACをワンチップに内蔵
- ダブルバッファ・ラッチ付き
- 全DACの同時アップデートが可能
- ±5Vの出力レンジ
- 高安定バンドギャップ・リファレンス
- モノリシックBiMOS構造
- 全温度範囲で単調増加性を保証
- 全温度範囲で3/4LSBの直線性を保証
- 4μs maxのセトリグ時間(0.01%)
- ±12V電源動作
- 低消費電力：リファレンスを含めて720mW max
- TTL/5V CMOSコンパチブルのロジック入力
- 8ビット・マイクロプロセサとインタフェース
- 24ピン・パッケージ

概要

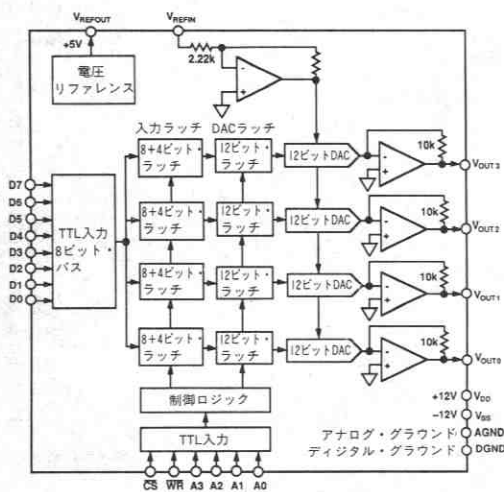
AD75004は4個の全機能内蔵の電圧出力12ビットD/Aコンバータ、高安定バンドギャップ・リファレンス、ダブルバッファ入力ラッチをワンチップに内蔵しています。このデバイスは高速セトリグ時間と高精度を実現するために、12個の高精度、高速バイポーラ電流ステアリング・スイッチとレーザトリムされた薄膜抵抗ネットワークを備えています。

内蔵のダブルバッファ・ラッチによってマイクロプロセサとの互換性を実現しています。この入力ラッチの設計によって8ビット・バスに直接インタフェースすることができます。1段目のラッチからの12ビットのデータは2段目に転送され、アナログ出力値にスプリアスを生じません。ラッチはストロブ・パルスに対し50nsで応答するため、高速マイクロプロセサと共に用いることができます。

AD75004の機能的な完全性と高性能は、先進のスイッチ設計、BiMOS II 製造プロセス、レーザ・トリミング技術の組合わせによって達成されています。AD75004はウエハ・レベルでトリミングされており、直線性誤差は25°Cにおいて±1/2LSB max、全動作温度範囲で±3/4LSBに規定されています。内蔵出力アンプの出力レンジは±5Vで、1LSBは2.44mVに相当します。

チップ上のバンドギャップ・リファレンスは、ディスクリートのリファレンス・ダイオードに比敵する低ノイズ性能、長期安定性、温度ドリフト特性を備えています。リファレンスの絶対値は0.6% maxの誤差で+5.00Vにレーザ・トリミングされています。温度係数もレーザ・トリミングされています。

標準的なフルスケール・ゲインTCは5ppm/°Cです。全温度範囲における単調増加性の保証により、AD75004は広い温度範囲での性能が必要な应用到に最適です。



機能ブロック図

仕様

(特に指定のない限り、 $T_A = +25^\circ\text{C}$ 、 $\pm 12.0\text{V}$ 電源)

パラメータ	記号	Min	Typ	Max	単位
デジタル入力 (D0~D7, A0~A3, CS, WR) ロジック・レベル (TTLコンパチブル) 入力電圧、ロジック "1" 入力電圧、ロジック "0" 入力電流、 $V_{in}=5.5\text{V}$ 入力電流、 $V_{in}=0.8\text{V}$ 入力容量	V_{IH} V_{IL} I_{IH} I_{IL} C_{IN}	2.0 0		5.5 0.8 10 10 10	V V μA μA pF
精度 分解能 積分直線性誤差 積分直線性誤差、 $T_{min} \sim T_{max}$ 微分直線性誤差 微分直線性誤差、 $T_{min} \sim T_{max}$ ゲイン (フルスケール) 誤差 ¹ ゲイン誤差ドリフト、 $T_{min} \sim T_{max}$ ¹ バイポーラ・ゼロ誤差 ¹ バイポーラ・ゼロ誤差ドリフト、 $T_{min} \sim T_{max}$ ¹			$\pm 1/4$ $\pm 1/2$ $\pm 1/2$ ± 2 ± 1 ± 1 ± 1	12 $\pm 1/2$ $\pm 3/4$ $\pm 3/4$ ± 10 ± 2 ± 2 ± 2	ビット LSB LSB LSB LSB LSB LSB LSB
チャンネル間ミスマッチング 積分直線性誤差 ゲイン誤差 ¹ バイポーラ・ゼロ誤差 ¹			$\pm 1/2$ ± 1 ± 1	± 1 ± 4 ± 2	LSB LSB LSB
ダイナミック性能 $\pm 0.01\%$ FSRのセトリング時間 FSR変動、 $2\text{k}\Omega \parallel 500\text{pF}$ 負荷 スルー・レート、 $2\text{k}\Omega \parallel 500\text{pF}$ 負荷 デジタル入力クロストーク (スタティック) ²		5	2	4 -50	μs $\text{V}/\mu\text{s}$ dB
アナログ出力 フルスケール・レンジ (FSR) 出力電流 回路短絡限界電流	V_{OUT} I_{OUT}	± 5	± 5	40	V mA mA
電圧リファレンス リファレンス出力電圧 温度係数 リファレンス出力電流 ³ リファレンス入力電圧 リファレンス入力電流@ 5.0V	V_{REFOUT} V_{REFIN} I_{REFIN}	4.97 3.0 4.5	5.00 ± 15 5.0	5.03 ± 25 5.5 3.0	V ppm/ $^\circ\text{C}$ mA V mA
電源ゲイン感度 Δ ゲイン/ ΔV_{DD} 、 $V_{DD} = +10.8 \sim +13.2\text{V}$ dc ¹ Δ ゲイン/ ΔV_{SS} 、 $V_{SS} = -10.8 \sim -13.2\text{V}$ dc ¹			± 15 ± 15	± 25 ± 25	FSR/%の ppm FSR/%の ppm
電源 電圧レンジ 電源電流	V_{DD} 、 V_{SS} I_{DD} 、 I_{SS}	± 10.8	± 12 ± 25	± 13.2 ± 30	V mA
温度範囲 仕様動作範囲 保管温度範囲	T_{min} 、 T_{max}	0 -65		+70 +150	$^\circ\text{C}$ $^\circ\text{C}$

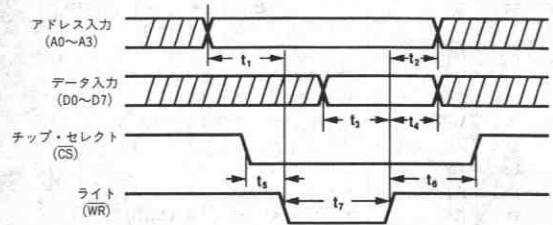
注

- ゲインおよびバイポーラ・ゼロ誤差は内部電圧リファレンスを用いて測定。
- デジタル・クロストークは、デジタル入力コードの変化によってある出力が $2\text{k}\Omega \parallel 500\text{pF}$ の負荷に対して V_{OUTMIN} から V_{OUTMAX} まで駆動した際に、安定した状態にある出力の値の変化です。
- 内部電圧リファレンスは、オンチップの駆動専用です。外部に用いる場合にはバッファしてください。
- すべての最小および最大の仕様値を保証しています。太字で示す仕様値はすべての製品について最終電気試験においてテストを行っています。これらのテスト結果は出荷製品の品質レベルの算出に用いられています。

仕様は予告なしに変更することがあります。

タイミング特性¹ (特に指定のない限り、 $T_A = +25^\circ\text{C}$ 、 $\pm 12.0\text{V}$ 電源)

パラメータ	記号	Min	単位
アドレス・セットアップ時間	t_1	30	ns
アドレス・ホールド時間	t_2	10	ns
データ・セットアップ時間	t_3	10	ns
データ・ホールド時間	t_4	45	ns
チップ・セレクト—WRセットアップ時間	t_5	0	ns
WR—チップ・セレクト・ホールド時間	t_6	0	ns
WRパルス幅	t_7	50	ns



注

1. タイミング測定の基本レベルは1.5V。

仕様は予告なしに変更することがあります。

絶対最大定格* (特に指定のない限り、 $T_A = +25^\circ\text{C}$)

	Min	Max	単位	条件
$V_{DD} - \text{DGND}$	-0.3	+18	V	
$V_{SS} - \text{DGND}$	-18	+0.3	V	
$V_{DD} - V_{SS}$	-0.3	+26.4	V	
$V_{REFIN} - \text{AGND}$	-0.3	V_{DD}	V	
デジタル入力—DGND	-0.3	V_{DD}	V	
AGND—DGND	-0.3	+0.3	V	
アナログ出力でのAGNDへの短絡		無制限	秒	
消費電力		1.0	W	$T_A \leq 75^\circ\text{C}$
仕様温度範囲	0	+70	$^\circ\text{C}$	
保管温度範囲	-65	+150	$^\circ\text{C}$	
リード温度		+300	$^\circ\text{C}$	ハンダ付け、10秒間

*上記の「絶対最大定格」を超えるストレスは、デバイスに致命的なダメージを与えることがあります。上記の定格はストレスに関する定格であり、この定格や動作仕様を示す値を超える条件下での機能動作は保証されません。デバイスを絶対最大定格のもとに長時間さらした場合、デバイスの信頼性に悪影響を及ぼすことがあります。

真値表

制御およびアドレス線						動作
CS	WR	A3	A2	A1	A0	
1	X	X	X	X	X	動作なし
X	1	X	X	X	X	動作なし
0	0	0	0	A1*	A0*	8LSB→1入力ラッチ
0	0	0	1	A1*	A0*	4MSB→1入力ラッチ
0	0	1	0	A1*	A0*	1つのDACラッチを更新
0	0	1	1	X	X	4つのDACラッチを更新

注

*A1およびA0入力によって対応するチャンネルを指定。

A1	A0	チャンネル
0	0	0
0	1	1
1	0	2
1	1	3

注意

この素子はESD (electrostatic discharge) センシティブ・デバイスです。デジタル制御入力端子はツエナ・ダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると、永久破壊を起こすことがあります。使用しないデバイスは、導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させる必要があります。



ピン説明

ピン配置

ピン	名称	説明
1	D7	データ入力ビット7
2	D6	データ入力ビット6
3	D5	データ入力ビット5
4	D4	データ入力ビット4
5	D3	データ入力ビット3または11 (MSB)
6	D2	データ入力ビット2または10
7	D1	データ入力ビット1または9
8	D0	データ入力ビット0 (LSB) または8
9	\overline{CS}	チップ・セレクト入力、アクティブLOW
10	WR	ライト入力、アクティブLOW
11	A3	アドレス入力ビット3 (MSB)
12	A2	アドレス入力ビット2
13	A1	アドレス入力ビット1
14	A0	アドレス入力ビット0 (LSB)
15	DGND	デジタル・グラウンド
16	AGND	アナログ・グラウンド
17	V _{SS}	-12V電源
18	V _{REFOUT}	+5Vリファレンス出力
19	V _{REFIN}	リファレンス入力
20	V _{OUT0}	アナログ出力0
21	V _{OUT1}	アナログ出力1
22	V _{OUT2}	アナログ出力2
23	V _{OUT3}	アナログ出力3
24	V _{DD}	+12V電源



バイナリ・コード表

DACラッチ内の2の補数値			アナログ出力電圧
MSB		LSB	
0111	1111	1111	$(2047/2048) \cdot V_{REFIN}$
0000	0000	0001	$(1/2048) \cdot V_{REFIN}$
0000	0000	0000	0V
1111	1111	1111	$-(1/2048) \cdot V_{REFIN}$
1000	0000	0000	$-V_{REFIN}$

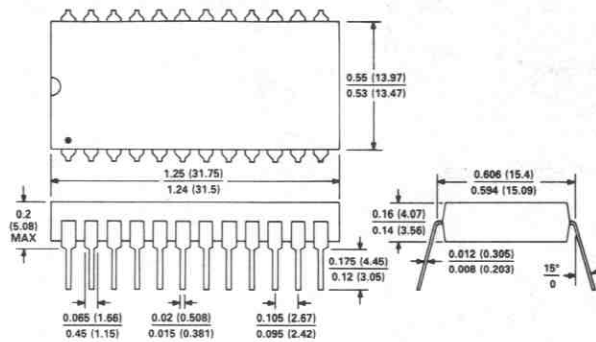
オーダ・ガイド

モデル	パッケージ	温度範囲
AD75004KN	プラスチックDIP	0~+70°C

外形サイズ

サイズはインチと (mm) で示しています。

N-24A



特長

80MHzバイブライン動作

トリプル8ビットD/Aコンバータ

RS-343A/RS-170コンパチブル出力

TTLコンパチブル入力

+5V CMOSモノリシック構造

40ピンDIPまたは44ピンPLCCパッケージ

BT101とピン・コンパチブル

消費電力：400mW

応用

高分解能カラー・グラフィックス

CAE/CAD/CAM

画像処理

計装

ビデオ信号の再構成

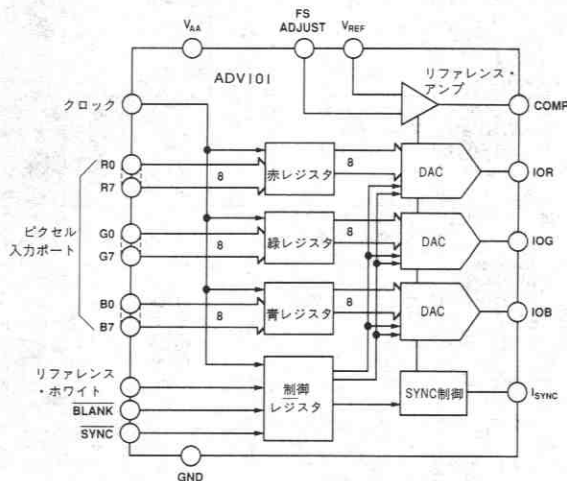
デスクトップ・パブリッシング

速度グレード

80MHz

50MHz

30MHz



ADV101機能ブロック図

概要

ADV101はモノリシックのデジタル/アナログ・ビデオ・コンバータです。この素子は特に高解像度カラー・グラフィックスとビデオ・システム用に設計されました。3個の高速8ビット・ビデオD/Aコンバータ (RGB)、標準TTL入力インタフェースと高インピーダンスのアナログ出力電流源から構成されています。

ADV101は赤、緑、青のビデオ・データのための3個の独立した8ビットのピクセル入力ポートを備えています。ビデオ入力制御用にコンポジットSync、ブランキング、リファレンス・ホワイトが含まれています。動作のために必要なのは、単一の+5V電源、外部の1.23Vリファレンス、ピクセル・クロック入力のみです。

ADV101は外部バッファなしにRS-343AとRS-170ビデオ規格とコンパチブルのRGBビデオ出力信号を生成できます。

ADV101は+5V CMOSプロセスで製造されています。モノリシックCMOS構造により、低消費電力でより多くの機能を保証します。ADV7120には16mm幅の40ピン・プラスチックDIPと44ピン・プラスチック・リード付き (Jリード) チップ・キャリア (PLCC) のパッケージがあります。

製品ハイライト

1. 高速ビデオ・リフレッシュ速度：80MHz。
2. 各種の高解像度カラー・グラフィックス・ビデオ・システムとコンパチブル。
3. 最大微分非直線性±0.5LSBで単調増加性を保証しています。積分非直線性は最大±1LSBで保証されています。

仕様

($V_{AA} = +5V \pm 5\%$ 、 $V_{REF} = +1.235V$ 、 $R_L = 37.5\Omega$ 、 $C_L = 10pF$ 、 $R_{SET} = 560\Omega$ 、 I_{SYNC} は IOG に接続。特に指定のない限り、すべての仕様は $T_{min} - T_{max}$ の値。)

パラメータ	全バージョン	単位	試験条件/備考
スタティック特性 分解能 (個々のDAC) 精度 (個々のDAC) 積分非直線性、INL 微分非直線性、DNL グレイ・スケール誤差	8 ± 1 ± 0.5 ± 5	ビット LSB max LSB max グレイ・スケールの% max	単調増加性を保証 最大グレイ・スケール電流: IOG = $(V_{REF} * 12,082 / R_{SET})$ mA IOR、IOB = $(V_{REF} * 8,627 / R_{SET})$ mA
入力コード	バイナリ		
デジタル入力 入力HI電圧、 V_{INH} 入力LOW電圧、 V_{INL} 入力電流、 I_{IN} 入力容量 ² 、 C_{IN}	2 0.8 ± 1 10	V min V max μ A max pF max	$V_{IN} = 0.4V$ または $2.4V$
アナログ出力 グレイ・スケール電流範囲 出力電流 白レベル (対ブランキング) 白レベル (対黒レベル) 黒レベル (対ブランキング) IOR、IOB のブランキング・レベル IOG のブランキング・レベル IOG の Sync レベル LSB の大きさ DAC 間のマッチング 出力コンプライアンス、 V_{OC} 出力インピーダンス、 R_{OUT} ² 出力容量、 C_{OUT} ²	15 22 17.69 20.40 16.74 18.50 0.95 1.90 0 50 6.29 9.5 0 50 69.1 2 -1 +1.4 100 30	mA min mA max mA min mA max mA min mA max μ A min μ A max mA min mA max mA min mA max μ A min μ A max μ A typ % typ V min V max k Ω typ pF max	代表値 19.05mA 代表値 17.62mA 代表値 1.44mA 代表値 5 μ A 代表値 7.62mA 代表値 5 μ A I _{OUT} = 0mA
電圧リファレンス 電圧リファレンス範囲、 V_{REF} 入力電流、 I_{VREF}	1.14/1.26 +10	V min/V max μ A typ	仕様性能時 $V_{REF} = 1.235V$
電源 V_{AA} I_{AA} 電源変動除去比 消費電力	5 125 100 0.5 625 500	V nom mA max mA max %/ % max mW max mW max	代表値 80mA: 80MHz バージョン 代表値 70mA: 50MHz および 30MHz バージョン 代表値 0.12%/ %: f = 1kHz、COMP = 0.1 μ F 代表値 400mW: 80MHz バージョン 代表値 350mW: 50MHz および 30MHz バージョン
ダイナミック特性 グリッチ・インパルス ^{2,3} DAC ノイズ ^{2,3,4} アナログ出力スキュー	50 200 2	pV 秒 typ pV 秒 typ ns max	代表値 1ns

- 注
1. 温度範囲 ($T_{min} - T_{max}$): $0 - +70^\circ C$ 。
 2. $+25^\circ C$ でサンプリング試験
 3. TTL 入力値は入力立上り/立下り時間 $\leq 3ns$ で $0 - 3V$ 、10% ~ 90% のポイントで測定。
タイミングのリファレンス・ポイントは入出力に対し 50% のポイント。図 1 のタイミング条件を参照。
 4. この値にはクロックとデータのフィードスルー、そして RGB アナログ・クロストークによる影響が含まれています。

仕様は予告なしに変更することがあります。

タイミング特性¹

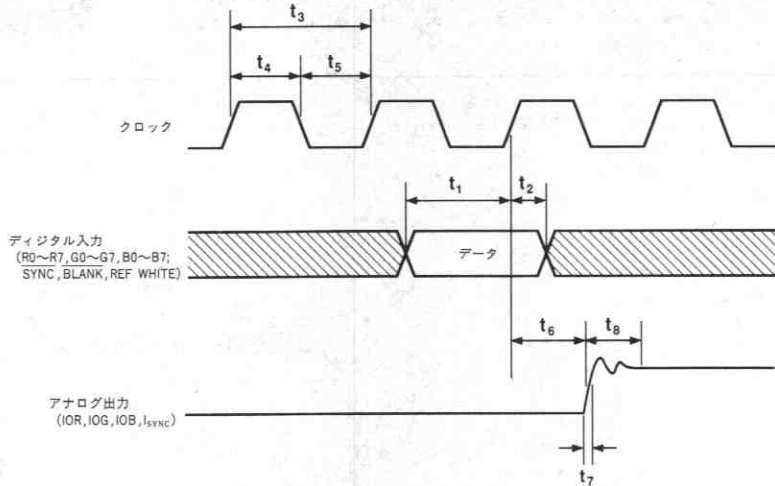
($V_{AA} = +5V \pm 5\%$, $V_{REF} = +1.235V$, $R_L = 37.5\Omega$, $C_L = 10pF$, $R_{SET} = 560\Omega$, I_{SYNC} は IOG に接続。特に指定のない限り、すべての仕様は $T_{min} - T_{max}$ ² の値。)

パラメータ	バージョン			単位	条件/備考
	80MHz	50MHz	30MHz		
f_{max}	80	50	30	MHz max	クロック・レート
t_1	3	6	8	ns min	データとコントロール・セットアップ時間
t_2	2	2	2	ns min	データとコントロール・ホールド時間
t_3	12.5	20	33.3	ns min	クロック・サイクル時間
t_4	4	7	9	ns min	クロック・パルス幅HI時間
t_5	4	7	9	ns min	クロック・パルス幅LOW時間
t_6	30	30	30	ns max	アナログ出力遅延
	20	20	20	ns typ	
t_7	3	3	3	ns max	アナログ出力立上り/立下り時間
t_8 ³	12	15	15	ns typ	アナログ出力遷移時間

注

1. TTL入力値は入力立上り/立下り時間 $\leq 3ns$ で0~3V、10%~90%のポイントで測定。
タイミングのリファレンス・ポイントは入出力に対し50%のポイント。図1のタイミング条件を参照。
2. 温度範囲 ($T_{min} - T_{max}$): 0~+70°C。
3. +25°Cでサンプリング試験

仕様は予告なしに変更することがあります。



注

1. 出力遅延 (t_6) はクロックの立上りエッジの50%ポイントからフルスケール遷移の50%ポイントの間で測定されます。
2. 遷移時間 (t_8) は遷移のフルスケールの50%ポイントから最終出力値の2%以内に達するまでの時間です。
3. 出力立上り/立下り時間 (t_7) はフルスケール遷移の10%と90%ポイント間で測定されます。

図1. ビデオ入出力タイミング

推奨動作条件

パラメータ	記号	Min	Typ	Max	単位
電源	V_{AA}	4.75	5.00	5.25	V
動作周囲温度	T_A	0		+70	°C
出力負荷	R_L		37.5		Ω
リファレンス電圧	V_{REF}	1.14	1.235	1.26	V

オーダ・ガイド¹⁾

パッケージ・オプション	速 度		
	80MHz	50MHz	30MHz
プラスチックDIP (N-40A)	ADV101KN80	ADV101KN50	ADV101KN30
PLCC ²⁾ (P-44A)	ADV101KP80	ADV101KP50	ADV101KP30

注

1. デバイスはすべて0~+70°Cで仕様が規定されています。
2. PLCC: プラスチック・リード付きチップ・キャリア (Jリード)。

絶対最大定格*

V_{AA} -GND間	+7V
デジタル・ピン (任意) の電圧	GND-0.5V~ V_{AA} +0.5V
動作温度範囲 (T_A)	0~+70°C
保管温度範囲 (T_S)	-65~+150°C
接合温度 (T_J)	+175°C
ハンダ付け温度 (5秒)	+260°C
IOR、IOB、IOG、 I_{SYNC} -GND間 ¹⁾	0V~ V_{AA}

注

*絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスがある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

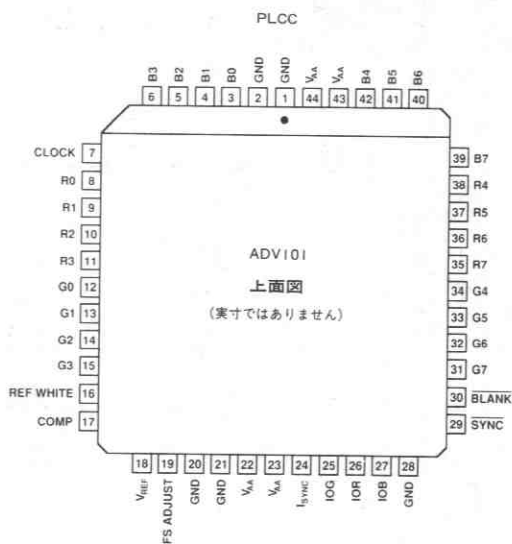
1. アナログ出力の任意の電源あるいはコモンへの短絡時間は無制限です。

注意

この素子はESD (Electrostatic-Discharge) センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させる必要があります。



ピン配置



ピン機能の説明

ピン名称	機能
BLANK	コンポジット・ブランキング制御入力 (TTLコンパチブル)。この制御入力をロジック0にすると、IOR、IOB、IOGの各アナログ出力がブランキング・レベルになります。BLANK信号はCLOCK信号の立上りエッジでラッチされます。BLANKがロジック0の場合には、R0~R7、G0~G7、B0~B7、REF WHITEピクセルおよび制御入力は無視されます。
SYNC	コンポジットSync制御入力 (TTLコンパチブル)。SYNC入力をロジック0にすると、I _{SYNC} 出力の40 IRE電流源がオフになります。SYNCは他の制御やデータ入力をオーバライドしません。したがって、この信号はブランキング間隔の間のみアサートすべきです。SYNCはCLOCK信号の立上りエッジでラッチされます。
CLOCK	クロック入力 (TTLコンパチブル)。CLOCK信号の立上りエッジでR0~R7、G0~G7、B0~B7、SYNC、BLANK、REF WHITEのピクセル入力および制御入力がラッチされます。それがビデオ・システムのピクセル・クロックとなります。CLOCK入力は専用のTTLバッファで駆動する必要があります。
REF WHITE	リファレンス・ホワイト制御入力 (TTLコンパチブル)。この入りにロジック1を与えることで、IOR、IOG、IOB出力はピクセル入力データ (R0~R7、G0~G7、B0~B7) に関係なくホワイト・レベルとなります。REF WHITEはクロックの立上りエッジでラッチされます。
R0~R7、 G0~G7、 B0~B7	赤、緑、青ピクセル・データ入力 (TTLコンパチブル)。 ピクセル・データはCLOCKの立上りエッジでラッチされます。 R0、G0、B0がLSBです。使用しないピクセル・データ入力はレギュラーPCB電源またはグラウンド・プレーンに接続します。
IOR、 IOG、 IOB	赤、緑、青の電流出力です。これらの高インピーダンス電流源は2重終端された75Ω同軸ケーブルを直接駆動できます。これらの電流出力は使用、未使用に関係なく、それぞれ互いに同等の出力負荷で使用しなければなりません。
I _{SYNC}	Sync電流出力。この高インピーダンス電流出力源はIOG出力に直接接続できます。これによってSync情報を緑チャンネルにエンコードできます。I _{SYNC} はSYNCがロジック0のとき電流の出力を停止します。SYNCがロジック1の時にはI _{SYNC} の電流出力量は以下ようになります。 $I_{\text{SYNC}} \text{ (mA)} = 3,455 \times V_{\text{REF}} \text{ (V)} / R_{\text{SET}} \text{ (}\Omega\text{)}$ 緑チャンネルにSync情報が必要ない場合には、I _{SYNC} はAGNDに接続します。
FS ADJUST	フルスケール調整制御。このピンとGNDとの間に抵抗 (R _{SET}) を接続し、ビデオ信号のフルスケール振幅を調整します。フルスケール電流出力と関係なくIRE関係が保たれることに注意してください。IOG (I _{SYNC} がIOGに接続されている場合) におけるR _{SET} とフルスケール出力電流との関係は以下ようになります。 $R_{\text{SET}} \text{ (}\Omega\text{)} = 12,082 \times V_{\text{REF}} \text{ (V)} / \text{IOG (mA)}$ R _{SET} とIOR、IOBのフルスケール出力電流との関係は以下ようになります。 $\text{IOR, IOB (mA)} = 8,628 \times V_{\text{REF}} \text{ (V)} / R_{\text{SET}} \text{ (}\Omega\text{)}$
COMP	補償ピン。内部リファレンス・アンプの補償ピンです。COMPとV _{AA} との間に0.1μFのセラミック・コンデンサを接続します。
V _{REF}	電圧リファレンス入力。このピンに外部の1.2V電圧リファレンスを接続します。外付の抵抗分圧回路を使用することはお奨めできません。アカップリングのためV _{REF} とV _{AA} との間に0.1μFのセラミック・コンデンサを接続しなければなりません。
V _{AA}	アナログ電源 (5V±5%)。ADV101のV _{AA} ピンはすべて接続します。
GND	グラウンド。GNDピンはすべて接続します。

仕様用語の説明

ブランキング・レベル

波形のSYNC部をビデオ部から分離するレベル。通常ビデオ信号の入口あるいは出口に適用されます。OIREユニットでは、このレベルでブラウン管がシャット・オフされ、最も黒い画像が表示されます。

カラー・ビデオ (RGB)

通常スペクトルのカラー画像を生成するには赤、緑、青の3原色を混合します。RGBモニタでは1色につき1個、すなわち計3個のDACが必要となります。

SYNC信号 (SYNC)

コンポジット・ビデオ信号の一部で、走査プロセスの同期をとるものです。

グレイ・スケール

ビデオ信号のリファレンス・ブラック・レベルとリファレンス・ホワイト・レベル間をレベル分けしたものです。8ビットDACの場合は256レベル、6ビットDACの場合は64レベルとなります。

回路と動作説明

ADV101は8ビット・レジスタ付きで3つの入力チャンネルを持った3個の8ビットD/Aコンバータを内蔵しています。また、リファレンス・アンプそしてBLANK、SYNC、REF WHITEのCRT制御機能も集積しています。

デジタル入力

24ビットのピクセル・データ (カラー情報) R0~R7、G0~G7、B0~B7が毎クロック・サイクルの立上りエッジでラッチされます。そのデータは3個の8ビットDACに格納され、3個のアナログ出力波形に変換されます。(図2参照)。

同様に3個のデジタル制御信号もアナログ・ビデオ出力にラッチされます。BLANK、SYNC、REF WHITEはCLOCKの立上りエッジでラッチされ、ピクセル・データの流れとの同期を保ちます。

BLANKとSYNC機能により、RGBビデオ出力にこれらのビデオ同期信号をエンコードすることが可能です。BLANKとSYNCデジタル入力により制御される適切に重み付けられた電流源を、アナログ出力に加えることで実現します。図3にADV101のアナログ出力とRGBビデオ波形を示します。アナログ・ビデオ波形へのSYNCとBLANKの影響も示します。

REF WHITE制御入力により、RGBビデオ出力はホワイト・レベルになります。この機能によりRGBビデオ出力にカーソルやクロス・ヘアのオーバーレイを行なうことができます。

ラスタースキャン

画像を生成・表示する最も基本的な方法で、画面表示するのに1行づつCRT面を走査するものです。

リファレンス・ブラック・レベル

ビデオ信号の負方向の最大レベル。

リファレンス・ホワイト・レベル

ビデオ信号の正方向の最大レベル

SYNCレベル

SYNC信号のピーク・レベル。

ビデオ信号

コンポジット・ビデオ信号のうちグレイ・スケールにしたがって変化する部分 (リファレンス・ホワイト・レベルとリファレンス・ブラック・レベル間)。目に見える部分に相当する画像信号を指すこともあります。

表1にBLANK、SYNCそしてREF WHITE信号の出力信号への影響の詳細を示します。

これらのデジタル入力はTTLロジック・レベルに対応するように規定されています。

クロック入力

ADV101のCLOCK入力は通常、システムのピクセル・クロック・レートです。これはドット・レートとしても知られています。ドット・レートとして必要なCLOCK周波数は画面の分解能によって以下のように決まります。

$$\text{ドット・レート} = (\text{水平解像度}) \times (\text{垂直解像度}) \times (\text{リフレッシュ・レート}) / (\text{リトレス・ファクタ})$$

水平解像度 = ピクセル数/ライン

垂直解像度 = ライン数/フレーム

リフレッシュ・レート = 水平走査レート。この周波数は画面がリフレッシュされるレートで、通常ノンインターレースのシステムでは60Hz、インターレースのシステムでは30Hzとなります。

リトレス・ファクタ = トータル・ブランキング時間ファクタです。各フレーム期間の1部ディスプレイがブランキングされることを考慮に入れてあります (例えば0.8)。

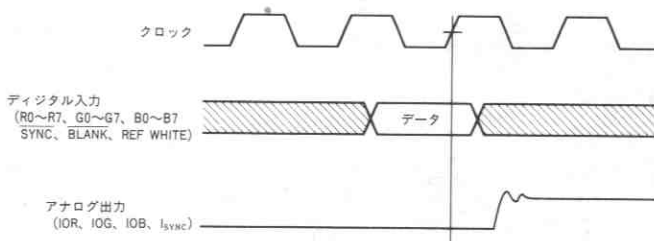


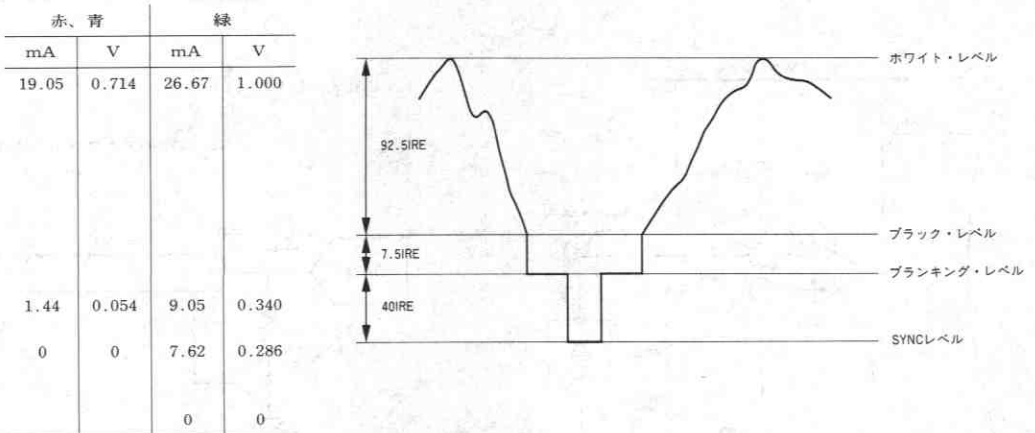
図2. ビデオ・データ入出力

したがって、解像度が1024×1024、ノンインターレース60Hzのリフレッシュ・レートと0.8のリトレース・ファクタを持つグラフィックス・システムでは以下のドット・レートとなります。

$$\begin{aligned} \text{ドット・レート} &= 1024 \times 1024 \times 60 / 0.8 \\ &= 78.6\text{MHz} \end{aligned}$$

したがって必要なCLOCK周波数は78.6MHzとなります。

“デジタル入力”の項で述べたように、ビデオ・データおよび制御入力はCLOCK信号の立上りエッジでADV101にラッチされます。ADV101のCLOCK入力はTTLバッファで駆動することを推奨します（例えば74F244）。



注

- 出力は2重終端の75Ω負荷に接続されています。
- $V_{REF} = 1.235\text{V}$ 、 $R_{SET} = 560\Omega$ 、 I_{SYNC} はIOGに接続。
- RS-343Aレベルと許容誤差はすべてのレベルに対して適用されます。

図3. RGBビデオ出力波形

項目	IOG (mA) ¹	IOR, IOB (mA)	REF WHITE	SYNC	BLANK	DAC 入力データ
ホワイト・レベル	26.67	19.05	1	1	1	xxH
ホワイト・レベル	26.67	19.05	0	1	1	FFH
ビデオ	ビデオ+9.05	ビデオ+1.44	0	1	1	データ
ビデオ・ブランキング	ビデオ+1.44	ビデオ+1.44	0	0	1	データ
ブラック・レベル	9.05	1.44	0	1	1	00H
ブラック・ブランキング	1.44	1.44	0	0	1	00H
ブランキング・レベル	7.62	0	0	1	0	xxH
SYNCレベル	0	0	0	0	0	xxH

注

- フルスケールIOG=26, 67mA時の代表値です。
 $V_{REF} = 1.235\text{V}$ 、 $R_{SET} = 560\Omega$ 、 I_{SYNC} はIOGに接続されています。

表1. ビデオ出力真値表

ビデオ信号の同期と制御

ADV101は単一のコンポジット・ビデオ同期 (SYNC) 入力制御を備えています。多くのグラフィックス・プロセッサとCRTコントローラは水平同期 (HSYNC)、垂直同期 (VSYNC) とコンポジット SYNCを生成することができます。

コンポジット SYNC信号を自動的に生成しないグラフィックス・システムでは、ロジック回路を追加することでコンポジット SYNC信号を生成することができます。

I_{SYNC} 電流出力は通常IOG出力に直接接続し、緑ビデオ・チャンネルに同期情報をエンコードします。ADV101のアナログ出力にSync情報をエンコードする必要のない場合には、SYNC入力はロジックLOWに接続し、 I_{SYNC} はアナログGNDに接続します。

リファレンス入力

ADV101には外部の1.23Vの電圧リファレンスが必要です。弊社のAD589は理想的なリファレンスです。この製品は入力電流50μAから5mAで1.23Vの固定出力電圧を供給する2端子、低価格、温度補償済みのバンドギャップ電圧リファレンスです。図4に代表的なリファレンス接続回路を示します。電圧リファレンスはADV101の V_{AA} と V_{REF} ピンの間に外付の1kΩ抵抗を通して V_{AA} から電流駆動を得ます。COMPピンと V_{AA} の間に0.1μFのセラミック・コンデンサが必要です。このコンデンサは内部のリファレンス・アンプの補償のために必要です。

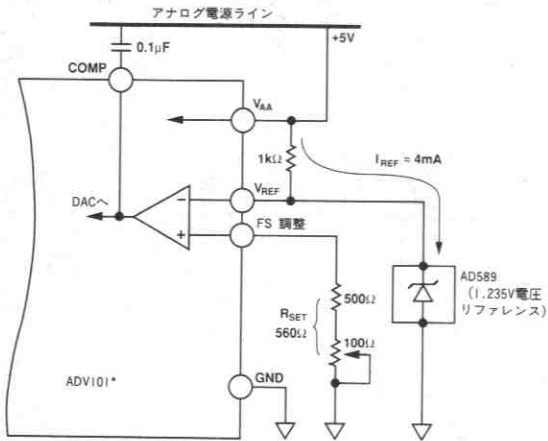
FS ADJUSTとGNDの間に接続する抵抗 R_{SET} により、以下のように出力ビデオ・レベルの振幅が決まります。

$$I_{OG} \text{ (mA)} = 12,082 \times V_{REF} \text{ (V)} / R_{SET} \text{ (}\Omega\text{)} \dots\dots\dots(1)$$

$$I_{OR}, I_{OB} \text{ (mA)} = 8,628 \times V_{REF} \text{ (V)} / R_{SET} \text{ (}\Omega\text{)} \dots\dots\dots(2)$$

SYNCが緑チャンネルにエンコードされていない場合には(1)式と(2)式は同様になります。

図4の回路のようにR_{SET}を可変にすると、アナログ出力ビデオレベルの精密な調整ができます。R_{SET}抵抗に560Ωの固定抵抗を使用すると、仕様のページに示したアナログ出力レベルとなります。これらの値は図3に示すRS-343Aのビデオ波形の値にも対応します。



*デカップリング回路を含むその他の回路は省略。

図4. リファレンス回路

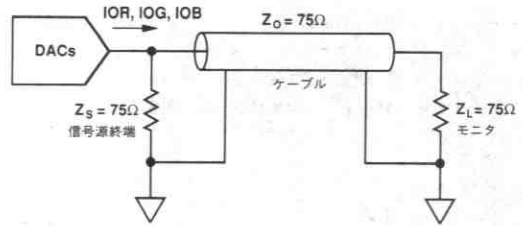
D/Aコンバータ

ADV101は3個のマッチングのとれたD/Aコンバータを内蔵しています。これらのDACは先進の高速セグメント方式を使用しています。個々のデジタル入力に対応するビット電流は、先進のデコード回路によりアナログ出力(ビット=1)またはGND(ビット=0)に接続されます。これらの回路はすべてモノリシック素子上に集積されているため、3個のDAC相互の特性のマッチングが最適化されています。特性のマッチングと共に、モノリシック構造内の同一電流源により単調増加性と低グリッチを保証しています。内蔵オペアンプによりフルスケール出力電流が温度と電源電圧の変化に対して安定化されています。

アナログ出力

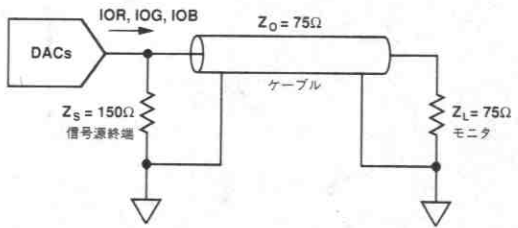
ADV101は赤、緑、青のビデオ信号に対応するアナログ出力を持っています。ビデオSync情報を緑信号にエンコードする必要がある場合には、4番目のアナログ出力(I_{SYNC})を使用することができます。この場合にはI_{SYNC}をI_{OG}に接続します。(ビデオ信号の同期と制御の項を参照)。

ADV101の赤、緑、青のアナログ出力は高インピーダンスの電流源です。これら3個のRGB電流出力のいずれも、2重終端された75Ωケーブルなどの37.5Ω負荷を直接駆動することができます。図5aにこれらのRGB出力のそれぞれを2重終端された75Ω負荷に接続する場合の設定を示します。この設定は75Ωモニタに対しRS-343Aビデオ



この終端は赤、緑、青のDACそれぞれについて行ないます。

図5 a. RS-343Aのアナログ出力終端



この終端は赤、緑、青のDACそれぞれについて行ないます。

図5 b. RS-170のアナログ出力終端

出力電圧レベルを生成する場合です。

75Ωモニタに対してRS-170ビデオレベルを駆動する方法を図5bに示します。DACの出力電流レベルは変わりませんが、個々のDACの信号源終端抵抗Z_Sは75Ωから150Ωに増加します。

RS-343AとRS-170を含む種々の出力設定に関する負荷終端についての詳細は、弊社のアプリケーション・ノート「Video Formats & Required Load Terminations」、(カタログ番号E1228-15-1/89)を参照してください。

図5aに示した3個のRGB出力で2重終端された75Ω負荷を駆動する場合のビデオ波形を図3に示します。この図ではグレイ・スケールレベル、黒レベルから白レベル、そしてSYNCとBLANKの割合を示します。これらの制御入力はアナログ出力に適正な重み付け電流を加え、ビデオ応用に必要な規定出力レベルを発生します。表Iに出力レベルがSYNCとBLANK入力によりどのように変化するかを示します。

グレイ・スケール動作

ADV101はスタンドアロンのグレイ・スケール(モノクローム)またはコンボジット・ビデオ応用に使用できます(例えば1チャンネルのみをビデオ情報に用います)。赤、緑、青の3個のうちどれか1つのチャンネルをデジタル・ビデオ・データの入力に使用します。2個の使用しないビデオ・データ・チャンネルはロジック0に接続します。

使用しないアナログ出力は、使用するチャンネルと同じ負荷で終端します。つまり、赤チャンネルを使用し、IORが75Ω負荷 (37.5Ω) で2重終端されている場合には、IOBとIOGは37.5Ωの抵抗で終端します (図6参照)。

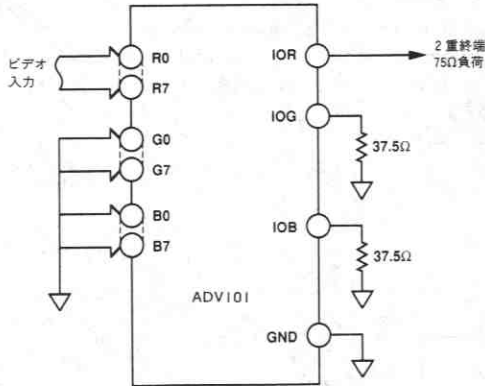


図6. スタンドアロンのグレイ・スケールまたはコンポジット・ビデオの入出力接続

ビデオ出力バッファ

ADV101は、ほとんどのモニター規格のもつ伝送ライン負荷を駆動できるよう仕様が規定されています。これらの負荷を駆動するためのアナログ出力設定はアナログ・インタフェースの項で述べ、図5に

示しました。しかし、応用によっては長い伝送ラインのケーブルを駆動する必要があります。10m以上のケーブル長では高周波のアナログ出力パルスを減衰させ、歪みが発生します。出力バッファを接続すればケーブル歪みある程度補償することができます。広いフルパワー帯域幅と2~4倍のゲインのバッファが必要となります。

これらのバッファは出力電圧振幅全体に対して十分な電流を供給できる必要があります。弊社ではこの用途に適したオペアンプとしてAD840シリーズ・モノリシック・オペアンプを販売しています。非常に高い周波数 (80MHz) 応用ではAD9617を推奨します。ライン・ドライバのバッファ回路についての詳細は関連のオペアンプのデータ・シートを参照ください。

バッファ・アンプを使用することにより、RS-343AとRS-170以外の方式への応用も可能です。バッファ回路のゲイン設定回路を変えることで任意のビデオ・レベルを得ることができます。

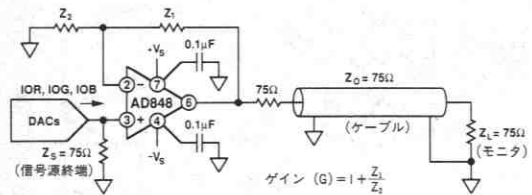


図7. 出力バッファにAD848を使用した例

基板レイアウトに関する注意

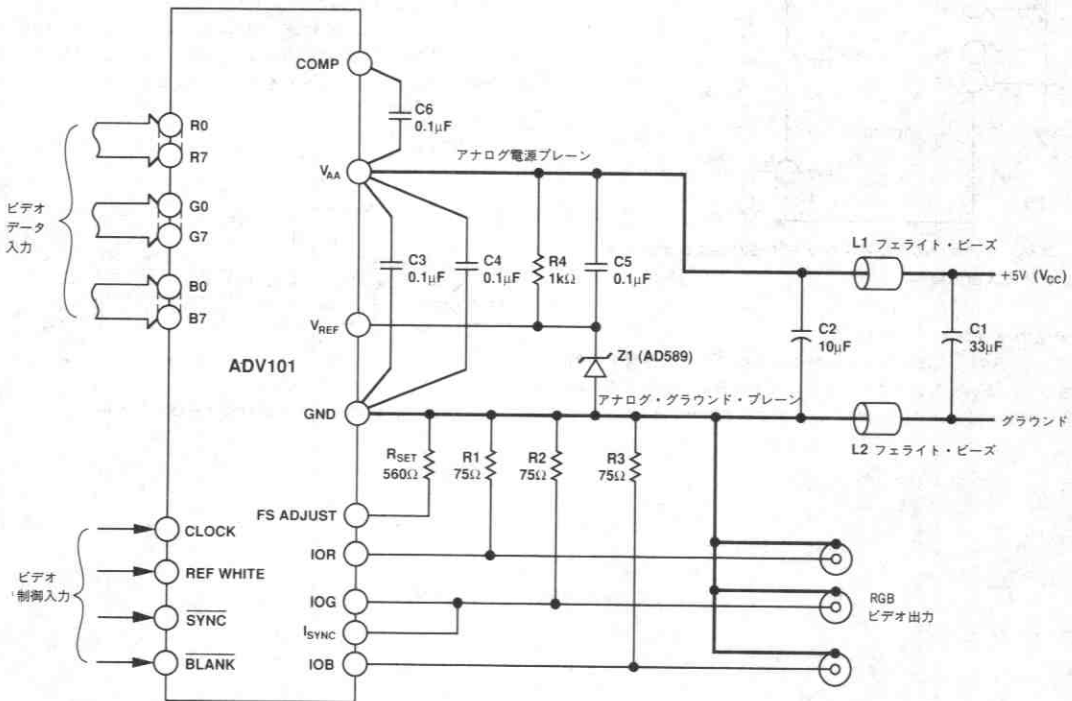
ADV101は放射および伝導ノイズの両方に対して最小のノイズ特性が得られるよう最適に設計されています。ADV101の優れたノイズ特性を得るためには、PCボードのレイアウトに多大な注意を払う必要があります。図8にADV101の推奨接続図を示します。

ADV101の電源およびグラウンド・ラインのノイズを最小にするようにレイアウトを最適化する必要があります。これはデジタル入力をシールドし、適切なデカップリングを行なうことによって実現します。誘導性リングングを最小にするためV_{AA}とGNDピンの間のリード線の長さは最短にします。

グラウンド・プレーン

ADV101と関連するアナログ回路は独立したグラウンド・プレーンを持っていなければなりません(アナログ・グラウンド・プレーン)。このグラウンド・プレーンは図8に示すようにフェライト・ビーズを通して1点でレギュラーPCBグラウンド・プレーンに接続します。このビーズはADV101から3インチ以内に置くようにします。

アナログ・グラウンド・プレーンはADV101のすべてのグラウンド・ピン、電圧リファレンス回路、電源バイパス回路、アナログ出力配線および出力アンプなどを取囲むように配置します。通常のPCBグラウンド・プレーンはADV101のグラウンド・ピンを除くすべてのデジタル信号配線を取巻くように配置します。



部品	説明	メーカー部品番号
C1	33µFタンタル・コンデンサ	FAIR-RITE27430011または村田BL01/02/03
C2	10µFタンタル・コンデンサ	DALE CMF-55C
C3, C4, C5, C6	0.1µFセラミック・コンデンサ	DALE CMF-55C
L1, L2	フェライト・ビーズ	DALE CMF-55C
R1, R2, R3	75Ω, 1%金属被膜抵抗	DALE CMF-55C
R4	1kΩ, 1%金属被膜抵抗	DALE CMF-55C
R _{SET}	560Ω, 1%金属被膜抵抗	DALE CMF-55C
Z1	1.235V電圧リファレンス	弊社 AD589JH

図8. 代表的なADV101の接続図と部品表

電源プレーン

PCボードのレイアウトには、アナログ回路とデジタル回路の2つの独立した電源プレーンを用意する必要があります。アナログ電源プレーンはADV101 (V_{AA}) と関連のすべてのアナログ回路を囲むようにします。この電源プレーンは図8に示すように通常のPCB電源プレーン (V_{CC}) にフェライト・ビーズを用いて1点で接続します。このビーズはADV101から3インチ以内に配置しなければなりません。

PCBの電源プレーンは基板上のすべてのデジタル・ロジック回路に電源を供給し、アナログ電源プレーンはADV101の電源ピン、リファレンス回路、出力アンプに電源を供給します。

PCBの電源およびグラウンド・プレーンは、アナログ電源プレーンとは重ならないようにします。PCB電源プレーンおよびグラウンド・プレーンをアナログ電源プレーンと重ならないようにすることによって、両プレーン間のノイズ・カプリングを減少させることができます。

電源デカップリング

アナログ電源プレーン上のノイズは、複数のデカップリング・コンデンサを使用することによってさらに減少できます。(図8参照)。

0.1 μ Fのセラミック・コンデンサを用いることで最適の特性が実現します。2グループの V_{AA} をそれぞれグラウンドに対して個別にデカップリングします。これはADV101に可能な限り近い位置にコンデンサを配置し、リード・インダクタンスを最小にするためコンデンサのリードを可能な限り短くすることによって行ないます。

ADV101は電源ノイズを除去させる回路を内蔵していますが、この効果は周波数が高くなるにしたがって小さくなることに注意すべきです。高い周波数のスイッチング電源を使用する場合には、電源ノイズを減少させるために配慮を払うことが必要です。DC電源フィルタ (村田BNX002) によりスイッチング電源とメインPCB間の

EMI抑制が可能です。あるいは3端子レギュレータの使用も有効です。

デジタル信号の接続

ADV101へのデジタル入力ではできるだけアナログ出力や他のアナログ回路から切離す必要があります。また、これらのデジタル信号ラインがアナログ電源プレーンと重なることがあってはいけません。

高速クロック・レートをサポートしているため、なるべくノイズを拾わないようにADV101までのクロック・ラインを短くして下さい。

デジタル入力に対するアクティブ・プルアップ抵抗はレギュラーPCB電源プレーン (V_{CC}) に接続し、アナログ電源プレーンに接続してはいけません。

アナログ信号の接続

ADV101はノイズの混入を最小限にし、インピーダンスの不整合による反射を抑えるため、できるだけ出力コネクタの近くに置く必要があります。

ビデオ出力信号は高周波における電源電圧変動除去比を最高にするためグラウンド・プレーンと重なるようにし、アナログ電源プレーンと重なることがあってはいけません。

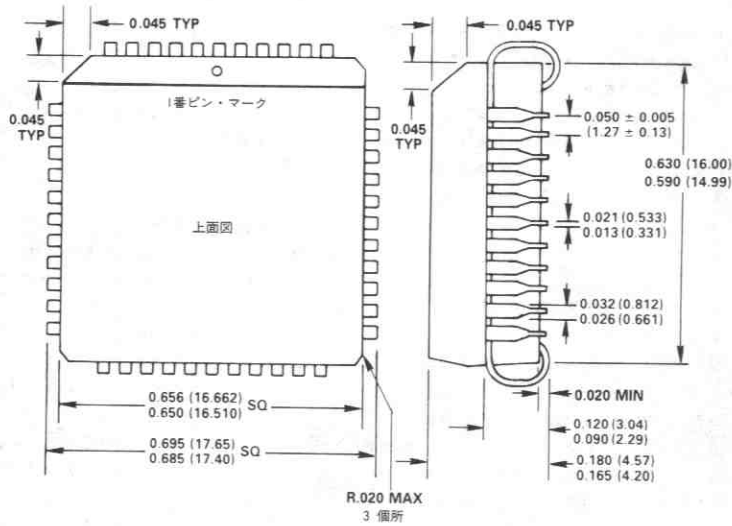
最も優れた性能を得るためにはアナログ出力から各々のGNDに75 Ω のソース終端抵抗を接続します(2重終端75 Ω 構成)。電流出力とGND間は反射を最小限に抑えるため、できるだけADV101の近くで終端抵抗を接続する必要があります。

PCB設計に関するその他の情報に関しては、弊社のアプリケーション・ノート "Design and Layout of a Video Graphics Systems for Reduced EMI" (カタログ番号E1309-15-10/89) を参照してください。

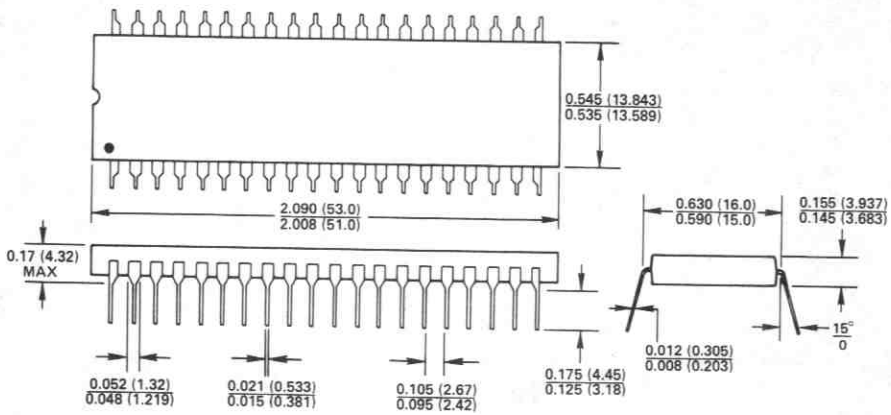
外形サイズ

サイズはインチと (mm) で示します。

44端子プラスチック・リード付きチップ・キャリア (P-44A)



40ピン・プラスチックDIP (N-40A)



1番ピンは点、割みまたは「1」で示します。
リードはハンダ・メッキのKOVARまたはアロイ42です。

特長

- 80MHzバイブライン動作
- トリプル8ビットD/Aコンバータ
- RS-343A/RS-170コンパチブル出力
- TTLコンパチブル入力
- +5V CMOSモノリシック構造
- 40ピンDIPまたは44ピンPLCCパッケージ
- 消費電力：400mW

応用

- 高分解能カラー・グラフィックス
- CAE/CAD/CAM
- 画像処理
- 計装
- ビデオ信号の再構成
- デスクトップ・パブリッシング

速度グレード

- 80MHz
- 50MHz
- 30MHz

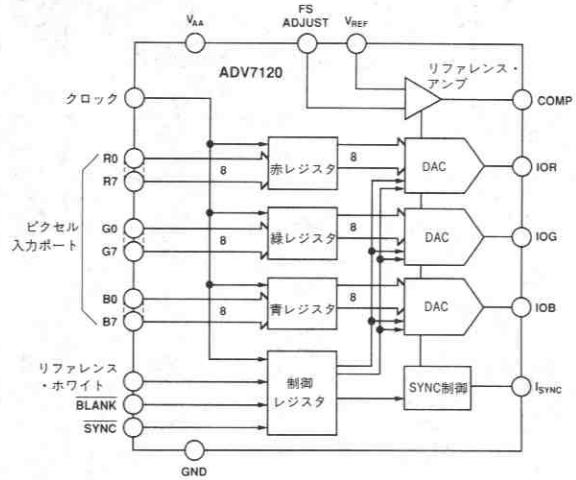
概要

ADV7120はモノリシックのデジタル/アナログ・ビデオ・コンバータです。この素子は特に高解像度カラー・グラフィックスとビデオ・システム用に設計されました。3個の高速8ビット・ビデオD/Aコンバータ(RGB)、標準TTL入力インタフェースと高インピーダンスのアナログ出力電流源から構成されています。

ADV7120は赤、緑、青のビデオ・データのための3個の独立した8ビットのピクセル入力ポートを備えています。ビデオ入力制御用にコンポジットSync、ブランキング、リファレンス・ホワイトが含まれています。動作のために必要なのは、単一の+5V電源、外部の1.23Vリファレンス、ピクセル・クロック入力のみです。

ADV7120は外部バッファなしにRS-343AとRS-170ビデオ規格とコンパチブルのRGBビデオ出力信号を生成できます。

ADV7120は+5V CMOSプロセスで製造されています。モノリシックCMOS構造により、低消費電力でより多くの機能を保証します。ADV7120には16mm幅の40ピン・プラスチックDIPと44ピン・プラスチック・リード付き(Jリード)チップ・キャリア(PLCC)のパッケージがあります。



ADV7120機能ブロック図

製品ハイライト

1. 高速ビデオ・リフレッシュ速度：80MHz。
2. 各種の高解像度カラー・グラフィックス・ビデオ・システムとコンパチブル。
3. 最大微分非直線性±0.5LSBで単調増加性を保証しています。積分非直線性は最大±1LSBで保証されています。

仕様

($V_{AA} = +5V \pm 5\%$, $V_{REF} = +1.235V$, $R_L = 37.5\Omega$, $C_L = 10pF$, $R_{SET} = 560\Omega$, I_{SYNC} はIOGに接続。特に指定のない限り、すべての仕様は $T_{min} - T_{max}$ の値。)

パラメータ	全バージョン	単位	試験条件/備考
スタティック特性 分解能 (個々のDAC) 精度 (個々のDAC) 積分非直線性、INL 微分非直線性、DNL グレイ・スケール誤差	8 ± 1 ± 0.5 ± 5	ビット LSB max LSB max グレイ・スケールの% max	単調増加性を保証 最大グレイ・スケール電流: $IOG = (V_{REF} * 12.082 / R_{SET}) \text{ mA}$ $IOR, IOB = (V_{REF} * 8.627 / R_{SET}) \text{ mA}$
入力コード	バイナリ		
デジタル入力 入力HI電圧、 V_{INH} 入力LOW電圧、 V_{INL} 入力電流、 I_N 入力容量 ² 、 C_{IN}	2 0.8 ± 1 10	V min V max μA max pF max	$V_{IN} = 0.4V$ または $2.4V$
アナログ出力 グレイ・スケール電流範囲 出力電流 白レベル (対ブランキング) 白レベル (対黒レベル) 黒レベル (対ブランキング) IOR、IOB のブランキング・レベル IOG のブランキング・レベル IOG の Sync レベル LSB の大きさ DAC 間のマッチング 出力コンプライアンス、 V_{OC} 出力インピーダンス、 R_{OUT}^2 出力容量、 C_{OUT}^2	15 22 17.69 20.40 16.74 18.50 0.95 1.90 0 50 6.29 9.5 0 50 69.1 5 -1 +1.4 100 30	mA min mA max mA min mA max mA min mA max μA min μA max mA min mA max μA min μA max μA typ % max V min V max k Ω typ pF max	代表値 19.05mA 代表値 17.62mA 代表値 1.44mA 代表値 $5\mu A$ 代表値 7.62mA 代表値 $5\mu A$ 代表値 2% $I_{OUT} = 0mA$
電圧リファレンス 電圧リファレンス範囲、 V_{REF} 入力電流、 I_{VREF}	1.14/1.26 -5	V min/V max mA typ	仕様性能時 $V_{REF} = 1.235V$
電源 V_{AA} I_{AA} 電源変動除去比 消費電力	5 125 100 0.5 625 500	V nom mA max mA max %/% max mW max mW max	代表値 80mA:80MHz バージョン 代表値 70mA:50MHz および 30MHz バージョン 代表値 0.12%/%/f=1kHz、COMP=0.1 μF 代表値 400mW:80MHz バージョン 代表値 350mW:50MHz および 30MHz バージョン
ダイナミック特性 グリッチ・インパルス ^{2,3} DACノイズ ^{2,3,4} アナログ出力スキュー	50 200 2	pV 秒 typ pV 秒 typ ns max	代表値 1ns

注

1. 温度範囲 ($T_{min} - T_{max}$): $0 - +70^\circ C$ 。
2. $+25^\circ C$ でサンプリング試験
3. TTL入力値は入力立上り/立下り時間 $\leq 3ns$ で $0 - 3V$ 、10%~90%のポイントで測定。
タイミングのリファレンス・ポイントは入出力に対し50%のポイント。図1のタイミング条件を参照。
4. この値にはクロックとデータのフィードスルー、そしてRGBアナログ・クロストークによる影響が含まれています。

仕様は予告なしに変更することがあります。

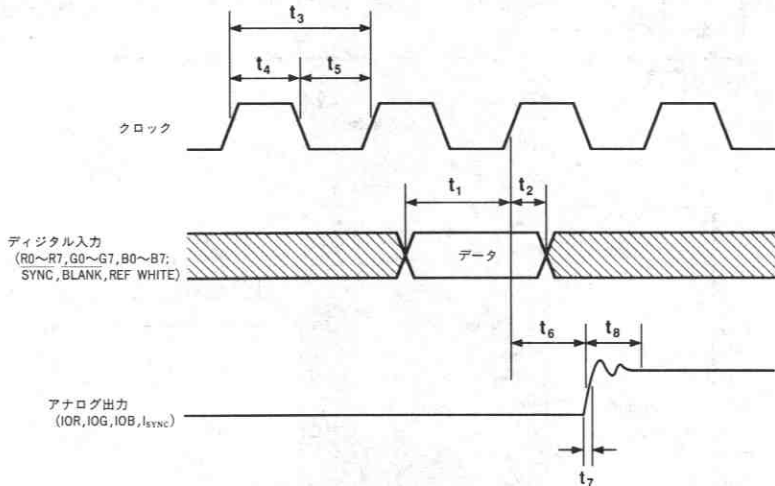
タイミング特性¹ ($V_{AA} = +5V \pm 5\%$, $V_{REF} = +1.235V$, $R_L = 37.5\Omega$, $C_L = 10pF$, $R_{SET} = 560\Omega$, I_{SYNC} はIOGに接続。特に指定のない限り、すべての仕様は $T_{min} - T_{max}$ ²の値。)

パラメータ	バージョン			単位	条件/備考
	80MHz	50MHz	30MHz		
f_{max}	80	50	30	MHz max	クロック・レート
t_1	3	6	8	ns min	データとコントロール・セットアップ時間
t_2	2	2	2	ns min	データとコントロール・ホールド時間
t_3	12.5	20	33.3	ns min	クロック・サイクル時間
t_4	4	7	9	ns min	クロック・パルス幅H時間
t_5	4	7	9	ns min	クロック・パルス幅LOW時間
t_6	30	30	30	ns max	アナログ出力遅延
	20	20	20	ns typ	
t_7	3	3	3	ns max	アナログ出力立上り/立下り時間
t_8 ³	12	15	15	ns typ	アナログ出力遷移時間

注

1. TTL入力値は入力立上り/立下り時間 $\leq 3ns$ で0~3V、10%~90%のポイントで測定。
タイミングのリファレンス・ポイントは入出力に対し50%のポイント。図1のタイミング条件を参照。
2. 温度範囲 ($T_{min} - T_{max}$): 0~+70°C。
3. +25°Cでサンプリング試験

仕様は予告なしに変更することがあります。



注

1. 出力遅延 (t_6) はクロックの立上りエッジの50%ポイントからフルスケール遷移の50%ポイントの間で測定されます。
2. 遷移時間 (t_8) は遷移のフルスケールの50%ポイントから最終出力値の2%以内に達するまでの時間です。
3. 出力立上り/立下り時間 (t_7) はフルスケール遷移の10%と90%ポイント間で測定されます。

図1. ビデオ入出力タイミング

推奨動作条件

パラメータ	記号	Min	Typ	Max	単位
電源	V_{AA}	4.75	5.00	5.25	V
動作周囲温度	T_A	0		+70	°C
出力負荷	R_L		37.5		Ω
リファレンス電圧	V_{REF}	1.14	1.235	1.26	V

オーダ・ガイド¹⁾

パッケージ・オプション	速 度		
	80MHz	50MHz	30MHz
プラスチックDIP (N-40A)	ADV7120KN80	ADV7120KN50	ADV7120KN30
PLCC ²⁾ (P-44A)	ADV7120KP80	ADV7120KP50	ADV7120KP30

注

1. デバイスはすべて0～+70°Cで仕様が規定されています。
2. PLCC：プラスチック・リード付きチップ・キャリア（Jリード）。

絶対最大定格*

V_{AA} -GND間	+7V
デジタル・ピン（任意）の電圧	GND-0.5V～ V_{AA} +0.5V
動作温度範囲 (T_A)	0～+70°C
保管温度範囲 (T_S)	-65～+150°C
接合温度 (T_J)	+175°C
ハンダ付け温度（5秒）	+260°C
IOR、IOB、IOG、 I_{SYNC} -GND間 ¹⁾	0V～ V_{AA}

注

*絶対最大定格を超えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスがある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

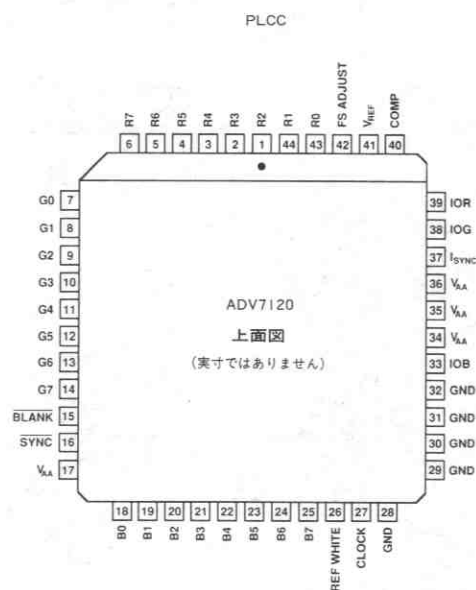
1. アナログ出力の任意の電源あるいはコンモンへの短絡時間は無制限です。

注意

この素子はESD (Electrostatic-Discharge) センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でシールドするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させる必要があります。



ピン配置



ピン機能の説明

ピン名称	機能
BLANK	コンポジット・ブランキング制御入力 (TTLコンパチブル)。この制御入力をロジック0にすると、IOR、IOB、IOGの各アナログ出力がブランキング・レベルになります。BLANK信号はCLOCK信号の立上りエッジでラッチされます。BLANKがロジック0の場合には、R0~R7、G0~G7、B0~B7、REF WHITEピクセルおよび制御入力は無視されます。
SYNC	コンポジットSync制御入力 (TTLコンパチブル)。SYNC入力をロジック0にすると、I _{SYNC} 出力の40 IRE電流源がオフになります。SYNCは他の制御やデータ入力をオーバライドしません。したがって、この信号はブランキング間隔の間のみアサートすべきです。SYNCはCLOCK信号の立上りエッジでラッチされます。
CLOCK	クロック入力 (TTLコンパチブル)。CLOCK信号の立上りエッジでR0~R7、G0~G7、B0~B7、SYNC、BLANK、REF WHITEのピクセル入力および制御入力がラッチされます。それがビデオ・システムのピクセル・クロックとなります。CLOCK入力は専用のTTLバッファで駆動する必要があります。
REF WHITE	リファレンス・ホワイト制御入力 (TTLコンパチブル)。この入力をロジック1を与えることで、IOR、IOG、IOB出力はピクセル入力データ (R0~R7、G0~G7、B0~B7) に関係なくホワイト・レベルとなります。REF WHITEはクロックの立上りエッジでラッチされます。
R0~R7、 G0~G7、 B0~B7	赤、緑、青ピクセル・データ入力 (TTLコンパチブル)。 ピクセル・データはCLOCKの立上りエッジでラッチされます。 R0、G0、B0がLSBです。使用しないピクセル・データ入力はレギュラーPCB電源またはグラウンド・プレーンに接続します。
IOR、 IOG、 IOB	赤、緑、青の電流出力です。これらの高インピーダンス電流源は2重終端された75Ω同軸ケーブルを直接駆動できます。これらの電流出力は使用、未使用に関係なく、それぞれ互いに同等の出力負荷で使用しなければなりません。
I _{SYNC}	Sync電流出力。この高インピーダンス電流出力源はIOG出力に直接接続できます。これによってSync情報を緑チャンネルにエンコードできます。I _{SYNC} はSYNCがロジック0のとき電流の出力を停止します。SYNCがロジック1の時にはI _{SYNC} の電流出力量は以下ようになります。 $I_{\text{SYNC}} \text{ (mA)} = 3,455 \times V_{\text{REF}} \text{ (V)} / R_{\text{SET}} \text{ (}\Omega\text{)}$ 緑チャンネルにSync情報が必要な場合には、I _{SYNC} はAGNDに接続します。
FS ADJUST	フルスケール調整制御。このピンとGNDとの間に抵抗 (R _{SET}) を接続し、ビデオ信号のフルスケール振幅を調整します。フルスケール電流出力と関係なくIRE関係が保たれることに注意してください。IOG (I _{SYNC} がIOGに接続されている場合) におけるR _{SET} とフルスケール出力電流との関係は以下ようになります。 $R_{\text{SET}} \text{ (}\Omega\text{)} = 12,082 \times V_{\text{REF}} \text{ (V)} / \text{IOG} \text{ (mA)}$ R _{SET} とIOR、IOBのフルスケール出力電流との関係は以下ようになります。 $\text{IOR, IOB} \text{ (mA)} = 8,628 \times V_{\text{REF}} \text{ (V)} / R_{\text{SET}} \text{ (}\Omega\text{)}$
COMP	補償ピン。内部リファレンス・アンプの補償ピンです。COMPとV _{AA} との間に0.1μFのセラミック・コンデンサを接続します。
V _{REF}	電圧リファレンス入力。このピンに外部の1.2V電圧リファレンスを接続します。外付の抵抗分圧回路を使用することはお奨めできません。デカップリングのためV _{REF} とV _{AA} との間に0.1μFのセラミック・コンデンサを接続しなければなりません。
V _{AA}	アナログ電源 (5V±5%)。ADV7120のV _{AA} ピンはすべて接続します。
GND	グラウンド。GNDピンはすべて接続します。

仕様用語の説明

ブランキング・レベル

波形のSYNC部をビデオ部から分離するレベル。通常ビデオ信号の入口あるいは出口に適用されます。0IREユニットでは、このレベルでブラウン管がシャット・オフされ、最も黒い画像が表示されます。

カラー・ビデオ (RGB)

通常スペクトルのカラー画像を生成するには赤、緑、青の3原色を混合します。RGBモニターでは1色につき1個、すなわち計3個のDACが必要となります。

SYNC信号 (SYNC)

コンポジット・ビデオ信号の一部で、走査プロセスの同期をとるものです。

グレイ・スケール

ビデオ信号のリファレンス・ブラック・レベルとリファレンス・ホワイト・レベル間をレベル分けしたものです。8ビットDACの場合は256レベル、6ビットDACの場合は64レベルとなります。

回路と動作説明

ADV7120は8ビット・レジスタ付きで3つの入力チャンネルを持った3個の8ビットD/Aコンバータを内蔵しています。また、リファレンス・アンプそしてBLANK、SYNC、REF WHITEのCRT制御機能も集積しています。

デジタル入力

24ビットのピクセル・データ (カラー情報) R0~R7、G0~G7、B0~B7が毎クロック・サイクルの立上りエッジでラッチされます。そのデータは3個の8ビットDACに格納され、3個のアナログ出力波形に変換されます。(図2参照)。

同様に3個のデジタル制御信号もアナログ・ビデオ出力にラッチされます。BLANK、SYNC、REF WHITEはCLOCKの立上りエッジでラッチされ、ピクセル・データの流れとの同期を保ちます。

BLANKとSYNC機能により、RGBビデオ出力にこれらのビデオ同期信号をエンコードすることが可能です。BLANKとSYNCデジタル入力により制御される適切に重み付けられた電流源を、アナログ出力に加えることで実現します。図3にADV7120のアナログ出力とRGBビデオ波形を示します。アナログ・ビデオ波形へのSYNCとBLANKの影響も示します。

REF WHITE制御入力により、RGBビデオ出力はホワイト・レベルになります。この機能によりRGBビデオ出力にカーソルやクロス・ヘアのオーバーレイを行なうことができます。

ラスタースキャン

画像を生成・表示する最も基本的な方法で、画面表示するのに1行づつCRT面を走査するものです。

リファレンス・ブラック・レベル

ビデオ信号の負方向の最大レベル。

リファレンス・ホワイト・レベル

ビデオ信号の正方向の最大レベル

SYNCレベル

SYNC信号のピーク・レベル。

ビデオ信号

コンポジット・ビデオ信号のうちグレイ・スケールにしたがって変化する部分 (リファレンス・ホワイト・レベルとリファレンス・ブラック・レベル間)。目に見える部分に相当する画像信号を指すこともあります。

表1にBLANK、SYNCそしてREF WHITE信号の出力信号への影響の詳細を示します。

これらのデジタル入力はTTLロジック・レベルに対応するように規定されています。

クロック入力

ADV7120のCLOCK入力は通常、システムのピクセル・クロック・レートです。これはドット・レートとしても知られています。ドット・レートとして必要なCLOCK周波数は画面の分解能によって以下のように決まります。

$$\text{ドット・レート} = (\text{水平解像度}) \times (\text{垂直解像度}) \times (\text{リフレッシュ・レート}) / (\text{リトレース・ファクタ})$$

水平解像度 = ピクセル数/ライン

垂直解像度 = ライン数/フレーム

リフレッシュ・レート = 水平走査レート。この周波数は画面がリフレッシュされるレートで、通常ノンインターレースのシステムでは60Hz、インターレースのシステムでは30Hzとなります。

リトレース・ファクタ = トータル・ブランキング時間ファクタです。各フレーム期間の1部ディスプレイがブランキングされることを考慮に入れています (例えば0.8)。

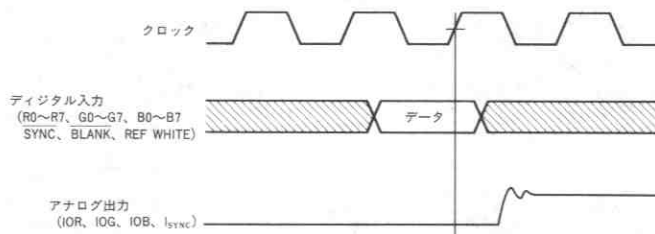


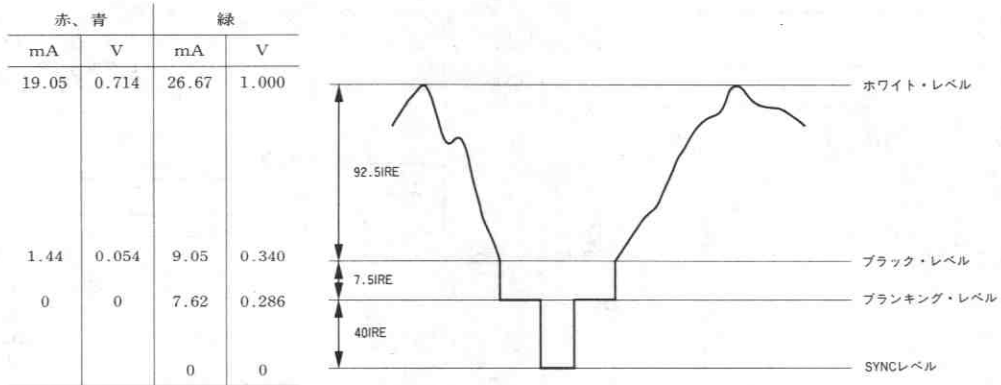
図2. ビデオ・データ入出力

したがって、解像度が1024×1024、ノンインターレース60Hzのリフレッシュ・レートと0.8のリトレース・ファクタを持つグラフィックス・システムでは以下のドット・レートとなります。

$$\begin{aligned} \text{ドット・レート} &= 1024 \times 1024 \times 60 / 0.8 \\ &= 78.6\text{MHz} \end{aligned}$$

したがって必要なCLOCK周波数は78.6MHzとなります。

“デジタル入力”の項で述べたように、ビデオ・データおよび制御入力はCLOCK信号の立上りエッジでADV7120にラッチされます。ADV7120のCLOCK入力はTTLバッファで駆動することを推奨します（例えば74F244）。



注

- 出力は2重終端の75Ω負荷に接続されています。
- $V_{REF}=1.235\text{V}$ 、 $R_{SET}=560\Omega$ 、 I_{SYNC} はIOGに接続。
- RS-343Aレベルと許容誤差はすべてのレベルに対して適用されます。

図3. RGBビデオ出力波形

項目	IOG (mA) ¹	IOR, IOB (mA)	REF WHITE	$\overline{\text{SYNC}}$	BLANK	DAC 入力データ
ホワイト・レベル	26.67	19.05	1	1	1	xxH
ホワイト・レベル	26.67	19.05	0	1	1	FFH
ビデオ	ビデオ+9.05	ビデオ+1.44	0	1	1	データ
ビデオブランキング、	ビデオ+1.44	ビデオ+1.44	0	0	1	データ
ブラック・レベル	9.05	1.44	0	1	1	00H
ブラックブランキング	1.44	1.44	0	0	1	00H
ブランキング・レベル	7.62	0	0	1	0	xxH
SYNCレベル	0	0	0	0	0	xxH

注

- フルスケールIOG=26.67mA時の代表値です。
 $V_{REF}=1.235\text{V}$ 、 $R_{SET}=560\Omega$ 、 I_{SYNC} はIOGに接続されています。

表1. ビデオ出力真値表

ビデオ信号の同期と制御

ADV7120は単一のコンポジット・ビデオ同期 ($\overline{\text{SYNC}}$) 入力制御を備えています。多くのグラフィックス・プロセッサとCRTコントローラは水平同期 (HSYNC)、垂直同期 (VSYNC) とコンポジット SYNCを生成することができます。

コンポジット SYNC信号を自動的に生成しないグラフィックス・システムでは、ロジック回路を追加することでコンポジット $\overline{\text{SYNC}}$ 信号を生成することができます。

I_{SYNC} 電流出力は通常IOG出力に直接接続し、緑ビデオ・チャンネルに同期情報をエンコードします。ADV7120のアナログ出力にSync情報をエンコードする必要のない場合には、 $\overline{\text{SYNC}}$ 入力はロジック LOWに接続し、 I_{SYNC} はアナログGNDに接続します。

リファレンス入力

ADV7120には外部の1.23Vの電圧リファレンスが必要です。弊社のAD589は理想的なリファレンスです。この製品は入力電流50μAから5mAで1.23Vの固定出力電圧を供給する2端子、低価格、温度補償済みのバンドギャップ電圧リファレンスです。図4に代表的なリファレンス接続回路を示します。電圧リファレンスはADV7120の V_{AA} と V_{REF} ピンの間に外付の1kΩ抵抗を通して V_{AA} から電流駆動を得ます。COMPピンと V_{AA} の間に0.1μFのセラミック・コンデンサが必要です。このコンデンサは内部のリファレンス・アンプの補償のために必要です。

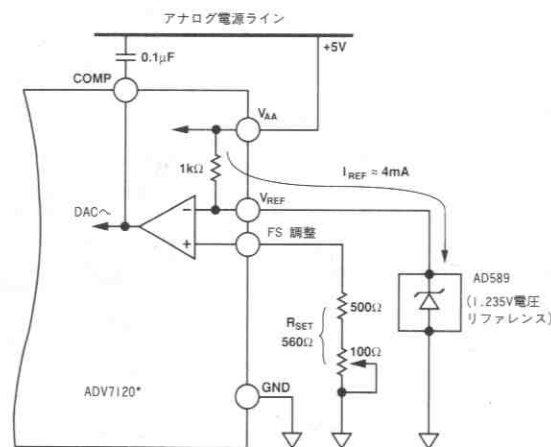
FS ADJUSTとGNDの間に接続する抵抗 R_{SET} により、以下のように出力ビデオ・レベルの振幅が決まります。

$$IOG \text{ (mA)} = 12,082 \times V_{REF} \text{ (V)} / R_{SET} \text{ (}\Omega\text{)} \dots\dots\dots(1)$$

$$IOR, IOB \text{ (mA)} = 8,628 \times V_{REF} \text{ (V)} / R_{SET} \text{ (}\Omega\text{)} \dots\dots\dots(2)$$

SYNCが緑チャンネルにエンコードされていない場合には(1)式と(2)式は同様になります。

図4の回路のようにR_{SET}を可変にすると、アナログ出力ビデオレベルの精密な調整ができます。R_{SET}抵抗に560Ωの固定抵抗を使用すると、仕様のページに示したアナログ出力レベルとなります。これらの値は図3に示すRS-343Aのビデオ波形の値にも対応します。



*デカップリング回路を含むその他の回路は省略。

図4. リファレンス回路

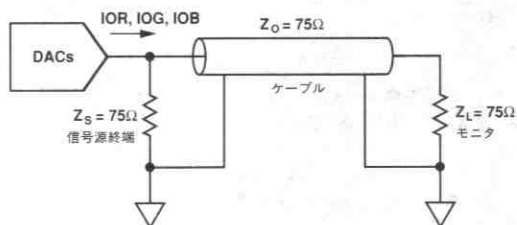
D/Aコンバータ

ADV7120は3個のマッチングのとれたD/Aコンバータを内蔵しています。これらのDACは先進の高速セグメント方式を使用しています。個々のデジタル入力に対応するビット電流は、先進のデコード回路によりアナログ出力(ビット=1)またはGND(ビット=0)に接続されます。これらの回路はすべてモノリシック素子上に集積されているため、3個のDAC相互の特性のマッチングが最適化されています。特性のマッチングと共に、モノリシック構造内の同一電流源により単調増加性と低グリッチを保証しています。内蔵オペアンプによりフルスケール出力電流が温度と電源電圧の変化に対して安定化されています。

アナログ出力

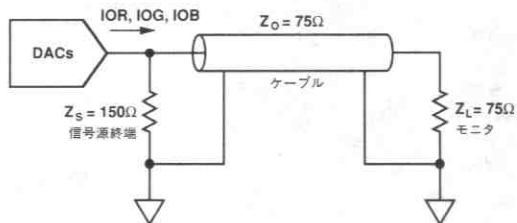
ADV7120は赤、緑、青のビデオ信号に対応するアナログ出力を持っています。ビデオSync情報を緑信号にエンコードする必要がある場合には、4番目のアナログ出力(I_{SYNC})を使用することができます。この場合にはI_{SYNC}をIOGに接続します。(ビデオ信号の同期と制御の項を参照)。

ADV7120の赤、緑、青のアナログ出力は高インピーダンスの電流源です。これら3個のRGB電流出力のいずれも、2重終端された75Ωケーブルなどの37.5Ω負荷を直接駆動することができます。図5aにこれらのRGB出力のそれぞれを2重終端された75Ω負荷に接続する場合の設定を示します。この設定は75Ωモニタに対しRS-343Aビデ



この終端は赤、緑、青のDACそれぞれについて行います。

図5 a. RS-343Aのアナログ出力終端



この終端は赤、緑、青のDACそれぞれについて行います。

図5 b. RS-170のアナログ出力終端

オ出力電圧レベルを生成する場合です。

75Ωモニタに対してRS-170ビデオレベルを駆動する方法を図5bに示します。DACの出力電流レベルは変わりませんが、個々のDACの信号源終端抵抗Z_sは75Ωから150Ωに増加します。

RS-343AとRS-170を含む種々の出力設定に関する負荷終端についての詳細は、弊社のアプリケーション・ノート「Video Formats & Required Load Terminations」、(カタログ番号E1228-15-1/89)を参照してください。

図5aに示した3個のRGB出力で2重終端された75Ω負荷を駆動する場合のビデオ波形を図3に示します。この図ではグレイ・スケールレベル、黒レベルから白レベル、そしてSYNCとBLANKの割合を示します。これらの制御入力アナログ出力に適正な重み付け電流を加え、ビデオ応用に必要な規定出力レベルを発生します。表1に出力レベルがSYNCとBLANK入力によりどのように変化するかを示します。

グレイ・スケール動作

ADV7120はスタンドアロンのグレイ・スケール(モノクローム)またはコンポジット・ビデオ应用到使用できます(例えば1チャンネルのみをビデオ情報に用います)。赤、緑、青の3個のうちどれか1つのチャンネルをデジタル・ビデオ・データの入力に使用します。2個の使用しないビデオ・データ・チャンネルはロジック0に接続します。

使用しないアナログ出力は、使用するチャンネルと同じ負荷で終端します。つまり、赤チャンネルを使用し、IORが75Ω負荷（37.5Ω）で2重終端されている場合には、IOBとIOGは37.5Ωの抵抗で終端します（図6参照）。

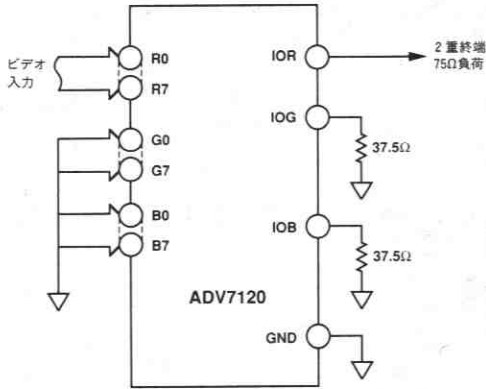


図6. スタンドアロンのグレイ・スケールまたはコンポジット・ビデオの入出力接続

ビデオ出力バッファ

ADV7120は、ほとんどのモニタ規格のもつ伝送ライン負荷を駆動できるよう仕様が規定されています。これらの負荷を駆動するためのアナログ出力設定はアナログ・インタフェースの項で述べ、図5に

示しました。しかし、応用によっては長い伝送ラインのケーブルを駆動する必要があります。10m以上のケーブル長では高周波のアナログ出力パルスを減衰させ、歪みが発生します。出力バッファを接続すればケーブル歪みをある程度補償することができます。広いフルパワー帯域幅と2~4倍のゲインのバッファが必要となります。

これらのバッファは出力電圧振幅全体に対して十分な電流を供給する必要があります。弊社ではこの用途に適したオペアンプとしてAD840シリーズ・モノリシック・オペアンプを販売しています。非常に高い周波数（80MHz）応用ではAD9617を推奨します。ライン・ドライバのバッファ回路についての詳細は関連のオペアンプのデータ・シートを参照ください。

バッファ・アンプを使用することにより、RS-343AとRS-170以外の方式への応用も可能です。バッファ回路のゲイン設定回路を変えることで任意のビデオ・レベルを得ることができます。

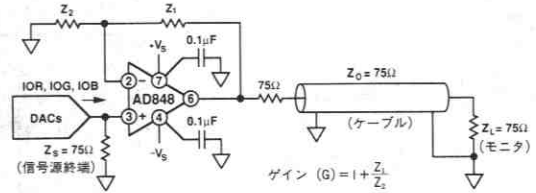


図7. 出力バッファにAD848を使用した例

基板レイアウトに関する注意

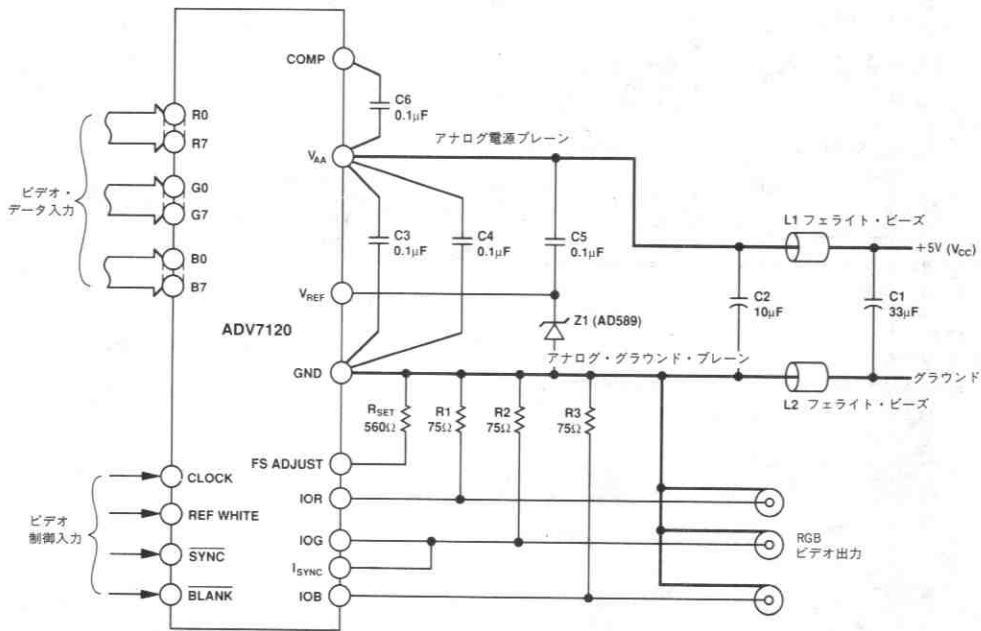
ADV7120は放射および伝導ノイズの両方に対して最小のノイズ特性が得られるよう最適に設計されています。ADV7120の優れたノイズ特性を得るためには、PCボードのレイアウトに多大な注意を払う必要があります。図8にADV7120の推奨接続図を示します。

ADV7120の電源およびグラウンド・ラインのノイズを最小にするようにレイアウトを最適化する必要があります。これはデジタル入力をシールドし、適切なデカップリングを行なうことによって実現します。誘導性リンギングを最小にするため V_{AA} とGNDピンの間のリード線の長さは最短にします。

グラウンド・プレーン

ADV7120と関連するアナログ回路は独立したグラウンド・プレーンを持っていない限りなりません（アナログ・グラウンド・プレーン）。このグラウンド・プレーンは図8に示すようにフェライト・ビーズを通して1点でレギュラーPCBグラウンド・プレーンに接続します。このビーズはADV7120から3インチ以内に置くようにします。

アナログ・グラウンド・プレーンはADV7120のすべてのグラウンド・ピン、電圧リファレンス回路、電源バイパス回路、アナログ出力配線および出力アンプなどを取囲むように配置します。通常のPCBグラウンド・プレーンはADV7120のグラウンド・ピンを除くすべてのデジタル信号配線を取巻くように配置します。



部品	説明	メーカー部品番号
C1	33µFタンタル・コンデンサ	
C2	10µFタンタル・コンデンサ	
C3, C4, C5, C6	0.1µFセラミック・コンデンサ	
L1, L2	フェライト・ビーズ	FAIR-RITE274300111または村田BL01/02/03
R1, R2, R3	75Ω, 1%金属被膜抵抗	DALE CMF-55C
R _{SET}	560Ω, 1%金属被膜抵抗	DALE CMF-55C
Z1	1.235V電圧リファレンス	弊社 AD589JH

図8. 代表的なADV7120の接続図と部品表

電源プレーン

PCボードのレイアウトには、アナログ回路とデジタル回路の2つの独立した電源プレーンを用意する必要があります。アナログ電源プレーンはADV7120 (V_{AA}) と関連のすべてのアナログ回路を取囲むようにします。この電源プレーンは図8に示すように通常のPCB電源プレーン (V_{CC}) にフェラライト・ビーズを用いて1点で接続します。このビーズはADV7120から3インチ以内に配置しなければなりません。

PCBの電源プレーンは基板上のすべてのデジタル・ロジック回路に電源を供給し、アナログ電源プレーンはADV7120の電源ピン、リファレンス回路、出力アンプに電源を供給します。

PCBの電源およびグラウンド・プレーンは、アナログ電源プレーンとは重ならないようにします。PCB電源プレーンおよびグラウンド・プレーンをアナログ電源プレーンと重ならないようにすることによって、両プレーン間のノイズ・カプリングを減少させることができます。

電源デカップリング

アナログ電源プレーン上のノイズは、複数のデカップリング・コンデンサを使用することによってさらに減少できます。(図8参照)。

0.1 μ Fのセラミック・コンデンサを用いることで最適の特性が実現します。2グループの V_{AA} をそれぞれグラウンドに対して個別にデカップリングします。これはADV7120に可能な限り近い位置にコンデンサを配置し、リード・インダクタンスを最小にするためコンデンサのリードを可能な限り短くすることによって行ないます。

ADV7120は電源ノイズを除去させる回路を内蔵していますが、この効果は周波数が高くなるにしたがって小さくなることに注意すべきです。高い周波数のスイッチング電源を使用する場合には、電源ノイズを減少させるために配慮を払うことが必要です。DC電源フィルタ (村田BNX002) によりスイッチング電源とメインPCB間の

EMI抑制が可能です。あるいは3端子レギュレータの使用も有効です。

デジタル信号の接続

ADV7120へのデジタル入力にはできるだけアナログ出力や他のアナログ回路から分離する必要があります。また、これらのデジタル信号ラインがアナログ電源プレーンと重なることがあってはいけません。

高速クロック・レートをサポートしているため、なるべくノイズを拾わないようにADV7120までのクロック・ラインを短くして下さい。

デジタル入力に対するアクティブ・プルアップ抵抗はレギュラーPCB電源プレーン (V_{CC}) に接続し、アナログ電源プレーンに接続してはいけません。

アナログ信号の接続

ADV7120はノイズの混入を最小限にし、インピーダンスの不整合による反射を抑えるため、できるだけ出力コネクタの近くに置く必要があります。

ビデオ出力信号は高周波における電源電圧変動除去比を最高にするためグラウンド・プレーンと重なるようにし、アナログ電源プレーンと重なることがあってはいけません。

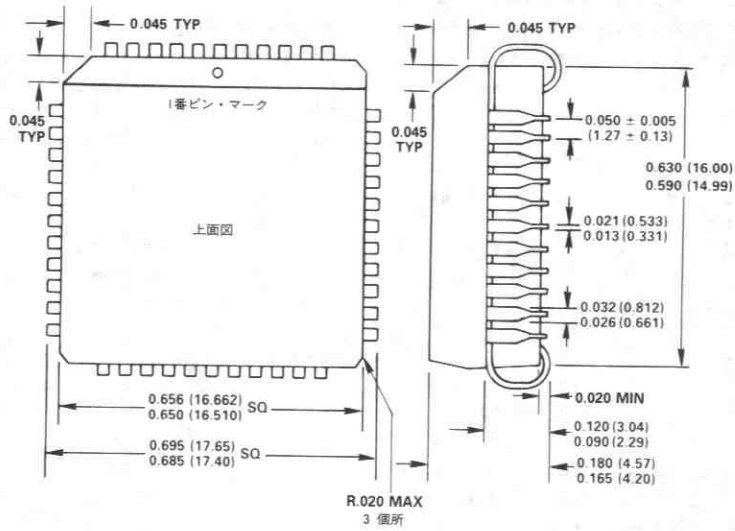
最も優れた性能を得るためにはアナログ出力から各々のGNDに75 Ω のソース終端抵抗を接続します(2重終端75 Ω 構成)。電流出力とGND間は反射を最小限に抑えるため、できるだけADV7120の近くで終端抵抗を接続する必要があります。

PCB設計に関するその他の情報に関しては、弊社のアプリケーション・ノート "Design and Layout of a Video Graphics Systems for Reduced EMI" (カタログ番号E1309-15-10/89) を参照してください。

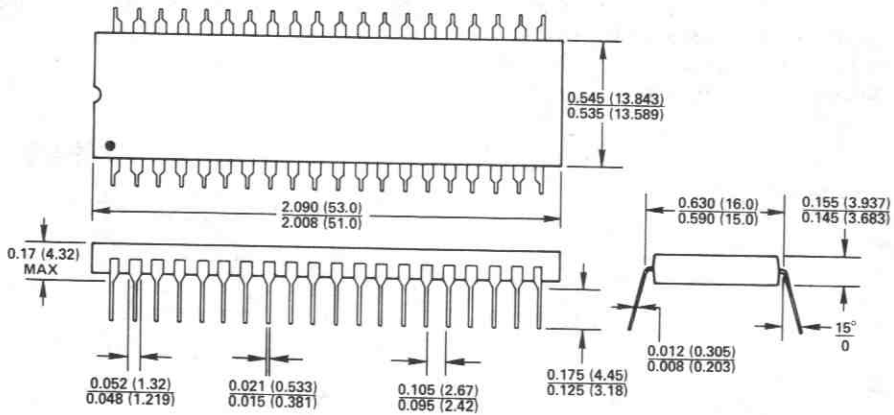
外形サイズ

サイズはインチと (mm) で示します。

44端子プラスチック・リード付きチップ・キャリア (P-44A)



40ピン・プラスチックDIP (N-40A)



1番ピンは点、刻みまたは“1”で示します。
リードはハンダ・メッキのKOVARまたはアロイ42です。

ADV7121/ADV7122
特長

80MHzバイブライン動作
 トリプル10ビットD/Aコンバータ
 RS-343A/RS-170コンパチブル出力
 TTLコンパチブル入力
 +5V CMOSモノリシック構造
 40ピンDIPパッケージ (ADV7121)
 44ピンPLCCパッケージ (ADV7122)
 消費電力：400mW

応用

高品位テレビジョン (HDTV)
 高解像度カラー・グラフィックス
 CAE/CAD/CAM
 画像処理
 計装
 ビデオ信号の再構成

速度グレード

80MHz
 50MHz
 30MHz

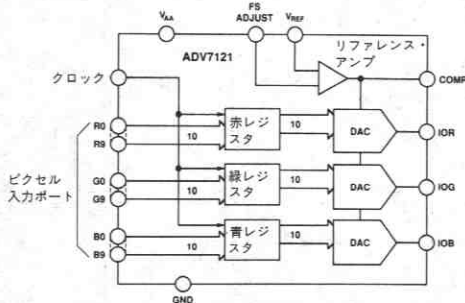
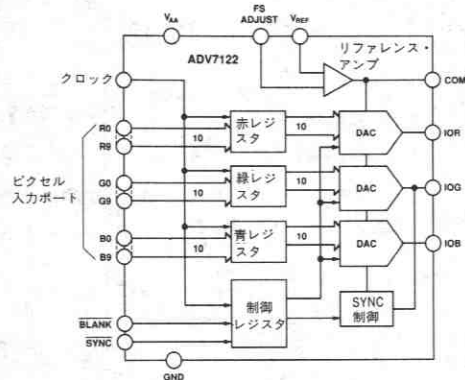
概要

ADV7121/ADV7122はモノリシック・チップのビデオ・スピードD/Aコンバータです。この素子は特に高解像度カラー・グラフィックスおよび高品位テレビジョン (HDTV) を含むビデオ・システム用に設計されました。3個の高速10ビット・ビデオD/Aコンバータ (RGB)、標準TTL入力インタフェースと高インピーダンス・アナログ出力電流源から構成されています。

ADV7121/ADV7122は赤、緑、青のビデオ・データのための3個の独立した10ビットのピクセル入力ポートを備えています。動作のために必要なのは、単一の+5V電源、外部1.23Vリファレンス、ピクセル・クロック入力のみです。ADV7122は、さらにビデオ入力制御用のコンポジットSYNCおよびBLANK制御線を備えています。

ADV7121/ADV7122はRS-343AとRS-170ビデオ規格にコンパチブルなRGBビデオ出力信号、およびSMPTE 240Mを含むほとんどのプロダクション・システムのHDTVビデオ規格に準拠したRGBビデオ出力信号を生成できます。

ADV7121/ADV7122は+5V CMOSプロセスで製造されています。モノリシックCMOS構造により、低消費電力でより多くの機能を保証します。ADV7121のパッケージは16mm幅の40ピン・プラスチックDIPです。ADV7122のパッケージは44ピン・プラスチック・リード付き (Jリード) チップ・キャリア (PLCC) です。


ADV7121機能ブロック図

ADV7122機能ブロック図
製品ハイライト

1. 高速ビデオ・リフレッシュ・レート：80MHz。
2. 10ビットの単調増加性を保証。10ビットの分解能により、ガンマ補正やコントラストの強調などのリニアライズ機能が実現可能です。
3. RS-343A/RS-170およびHDTVの規格として提案されているSMPTE 240Mを含む各種の高解像度カラー・グラフィックス・システムとコンパチブル。

ADV7121

仕様

($V_{AA} = +5V \pm 5\%$ 、 $V_{REF} = +1.235V$ 、 $R_L = 37.5\Omega$ 、 $C_L = 10pF$ 、 $R_{SET} = 560\Omega$ 。
特に指定のない限り、すべての仕様は $T_{min} - T_{max}$ ¹の値。)

パラメータ	Jバージョン	Kバージョン	単位	試験条件/備考
スタティック特性				
分解能 (個々のDAC)	10	10	ビット	
精度 (個々のDAC)				
積分非直線性、INL	± 3	± 2	LSB max	
微分非直線性、DNL	$+1.5/-1.0$	± 1	LSB max	単調増加性を保証
グレイ・スケール誤差	± 5	± 5	グレイ・スケール の% max	最大グレイ・スケール電流 = $(V_{REF} * 7,969/R_{SET})$ mA
バイナリ			バイナリ	
入力コード				
デジタル入力				
入力HI電圧、 V_{INH}	2	2	V min	
入力LOW電圧、 V_{INL}	0.8	0.8	V max	
入力電流、 I_{IN}	± 1	± 1	μA max	$V_{IN} = 0.4V$ または $2.4V$
入力容量、 C_{IN} ²	10	10	pF max	
アナログ出力				
グレイ・スケール電流範囲	15 22	15 22	mA min mA max	
出力電流				
白レベル	16.74 18.50	16.74 18.50	mA min mA max	代表値17.62mA
黒レベル	0 50	0 50	μA min μA max	代表値5 μA
LSBサイズ	17.28	17.28	μA typ	
DAC間のマッチング	5	5	% max	代表値2%
出力コンプライアンス、 V_{OC}	-1 +1.4	-1 +1.4	V min V max	
出力インピーダンス、 R_{OUT} ²	100	100	k Ω typ	
出力容量、 C_{OUT} ²	30	30	pF max	$I_{OUT} = 0mA$
電圧リファレンス				
電圧リファレンス範囲、 V_{REF}	1.14/1.26	1.14/1.26	V min/V max	仕様性能時 $V_{REF} = 1.235V$
入力電流、 I_{VREF}	-5	-5	mA typ	
電源				
V_{AA}	5	5	V nom	
I_{AA}	125 100	125 100	mA max mA max	代表値80mA:80MHzバージョン 代表値70mA:50MHzおよび35MHzバージョン
電源変動除去比 ²	0.5	0.5	%/% max	代表値0.12%/%-f=1kHz、COMP=0.1 μF
消費電力	625 500	625 500	mW max mW max	代表値400mW:80MHzバージョン 代表値350mW:50MHzおよび35MHzバージョン
ダイナミック特性				
グリッチ・インパルス ^{2,3}	50	50	pV 秒 typ	
DACノイズ ^{2,3,4}	200	200	pV 秒 typ	
アナログ出力スキュー	2	2	ns max	代表値1ns

注

1 温度範囲 ($T_{min} - T_{max}$): $0 \sim +70^\circ C$ 。

2 $+25^\circ C$ でサンプリング試験

3 TTL入力値は入力立上り/立下り時間 $\leq 3ns$ で $0 \sim 3V$ 、10%~90%の点で測定。

タイミングの基準点は入出力に対し50%のポイント。図1のタイミング条件を参照。

4 この値にはクロックとデータのフィードスルー、そしてRGBアナログ・クロストークによる影響が含まれています。

仕様は予告なしに変更することがあります。

ADV7122

仕様

($V_{AA} = +5V \pm 5\%$, $V_{REF} = +1.235V$, $R_L = 37.5\Omega$, $C_L = 10pF$, $R_{SET} = 560\Omega$ 。特に指定のない限り、すべての仕様は $T_{min} - T_{max}$ の値。)

パラメータ	Jバージョン	Kバージョン	単位	試験条件/備考
スタティック特性 分解能 (個々のDAC) 精度 (個々のDAC) 積分非直線性、INL 微分非直線性、DNL グレイ・スケール誤差	10	10	ビット	単調増加性を保証 最大グレイ・スケール電流: $I_{OG} = (V_{REF} * 12,082 / R_{SET}) mA$ $I_{OR}, I_{OB} = (V_{REF} * 8,627 / R_{SET}) mA$
	± 3 $\pm 1.5 / -1.0$ ± 5	± 2 ± 1 ± 5	LSB max LSB max グレイ・スケールの% max	
入力コード デジタル入力 入力HI電圧、 V_{INH} 入力LOW電圧、 V_{INL} 入力電流、 I_{IN} 入力容量、 C_{IN}^2	2 0.8 ± 1 10	2 0.8 ± 1 10	バイナリ V min V max μA max pF max	$V_{IN} = 0.4V$ または $2.4V$
アナログ出力 グレイ・スケール電流範囲 出力電流 白レベル (フランキンク・レベルに対して) 白レベル (黒レベルに対して) 黒レベル (フランキンク・レベルに対して) 黒レベル (IOR, IOB) 黒レベル (IOG) Sync レベル (IOG) LSBサイズ DAC間のマッチング 出力コンプライアンス、 V_{OC} 出力インピーダンス、 R_{OUT}^2 出力容量、 C_{OUT}^2	15 22 17.69 20.40 16.74 18.50 0.95 1.90 0 50 6.29 9.5 0 50 17.28 5 -1 +1.4 100 100	15 22 17.69 20.40 16.74 18.50 0.95 1.90 0 50 6.29 9.5 0 50 17.28 5 -1 +1.4 100 30	mA min mA max mA min mA max mA min mA max μA min μA max mA min mA max μA min μA max μA typ % max V min V max k Ω typ pF max	代表値19.05mA 代表値17.62mA 代表値1.44mA 代表値5 μA 代表値7.62mA 代表値5 μA 代表値2% $I_{OUT} = 0mA$
電圧リファレンス 電圧リファレンス範囲、 V_{REF} 入力電流、 I_{VREF}	1.14/1.26 -5	1.14/1.26 -5	V min/V max mA typ	仕様性能時 $V_{REF} = 1.235V$
電源 V_{AA} I_{AA} 電源変動除去比 ² 消費電力	5 125 100 0.5 625 500	5 125 100 0.5 625 500	V nom mA max mA max %/ % max mW max mW max	代表値80mA:80MHzバージョン 代表値70mA:50MHzおよび35MHzバージョン 代表値0.12%/ %: $f = 1kHz$, COMP = 0.01 μF 代表値400mW:80MHzバージョン 代表値350mW:50MHzおよび35MHzバージョン
ダイナミック特性 グリッチ・インパルス ^{2,3} DACノイズ ^{2,5,4} アナログ出力スキュー	50 200 2	50 200 2	pV 秒 typ pV 秒 typ ns max	代表値1ns

注

1 温度範囲 ($T_{min} - T_{max}$): $0 - +70^\circ C$ 。

2 $+25^\circ C$ でサンプリング試験

3 TTL入力値は入力立上り/立下り時間 $\leq 3ns$ で $0 - 3V$, 10% - 90% の点で測定。

タイミングの基準点は入出力に対し50%のポイント。図1のタイミング条件を参照。

4 この値にはクロックとデータのフィードスルー、そしてRGBアナログ・クロストークによる影響が含まれています。

仕様は予告なしに変更することがあります。

タイミング特性¹

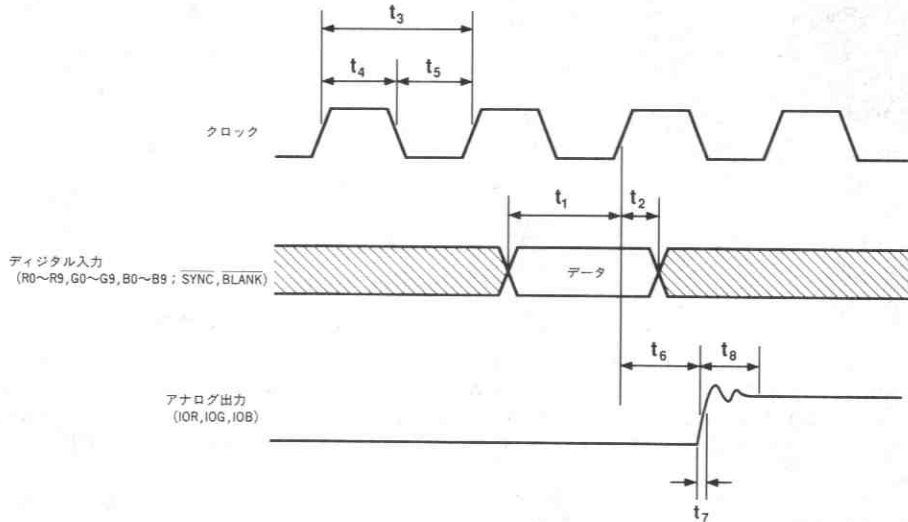
($V_{AA} = +5V \pm 5\%$, $V_{REF} = +1.235V$, $R_L = 37.5\Omega$, $C_L = 10pF$, $R_{SET} = 560\Omega$ 。
特に指定のない限り、すべての仕様は $T_{min} - T_{max}$ ² の値。)

パラメータ	バージョン			単位	条件/備考
	80MHz	50MHz	30MHz		
f max	80	50	30	MHz max	クロック・レート
t ₁	3	6	8	ns min	データとコントロール・セットアップ時間
t ₂	2	2	2	ns min	データとコントロール・ホールド時間
t ₃	12.5	20	33.3	ns min	クロック・サイクル時間
t ₄	4	7	9	ns min	クロック・パルス幅HI時間
t ₅	4	7	9	ns min	クロック・パルス幅LOW時間
t ₆	30	30	30	ns max	アナログ出力遅延
	20	20	20	ns typ	
t ₇	3	3	3	ns max	アナログ出力立上り/立下り時間
t ₈ ³	12	15	15	ns typ	アナログ出力遷移時間

注

- 1 TTL入力値は入力立上り/立下り時間 $\leq 3ns$ で $0 \sim 3V$ 、10%~90%の点で測定。
タイミングの基準点は入出力に対し50%のポイント。図1のタイミング条件を参照。
- 2 温度範囲 ($T_{min} - T_{max}$): $0 \sim +70^\circ C$ 。
- 3 $+25^\circ C$ でサンプリング試験

仕様は予告なしに変更することがあります。



注

1. 出力遅延 (t_6) はクロックの立上りエッジの50%点からフルスケール遷移の50%点の間で測定されます。
2. 遷移時間 (t_8) はフルスケール遷移の50%点から最終値の2%以内に達するまでの時間です。
3. 出力立上り/立下り時間 (t_7) はフルスケール遷移の10%点と90%点の間で測定されません。
4. SYNCおよびBLANKデジタル入力は、ADV7121にはありません。

図1. ビデオ入出力タイミング

推奨動作条件

パラメータ	記号	Min	Typ	Max	単位
電源	V_{AA}	4.75	5.00	5.25	V
動作周囲温度	T_A	0		+70	$^\circ C$
出力負荷	R_L		37.5		Ω
リファレンス電圧	V_{REF}	1.14	1.235	1.26	V

ADV7121/ADV7122

オーダ・ガイド¹⁾

パッケージ・オプション	速度			精度	
	80MHz	50MHz	30MHz	DNL	INL
プラスチック DIP (N-40A)	ADV7121JN80	ADV7121JN50	ADV7121JN30	±1.5	±3
	ADV7121KN80	ADV7121KN50	ADV7121KN30	±1	±2
PLCC ²⁾ (P-44A)	ADV7122JP80	ADV7122JP50	ADV7122JP30	±1.5	±3
	ADV7122KP80	ADV7122KP50	ADV7122KP30	±1	±2

注

- 1 デバイスはすべて0~+70°Cで仕様が規定されています。
- 2 PLCC: プラスチック・リード付きチップ・キャリア (Jリード)。

絶対最大定格*

V _{AA} -GND間	+7V
全デジタル・ピンの電圧	GND-0.5V~V _{AA} +0.5V
動作温度範囲 (T _A)	0~+70°C
保管温度範囲 (T _S)	-65~+150°C
接合温度 (T _J)	+175°C
ハンダ付け温度 (5秒)	+260°C
IOR、IOB、IOG-GND間 ¹⁾	0V~V _{AA}

注

*絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

- 1 アナログ出力の任意の電源やコモンへの短絡時間は無制限です。

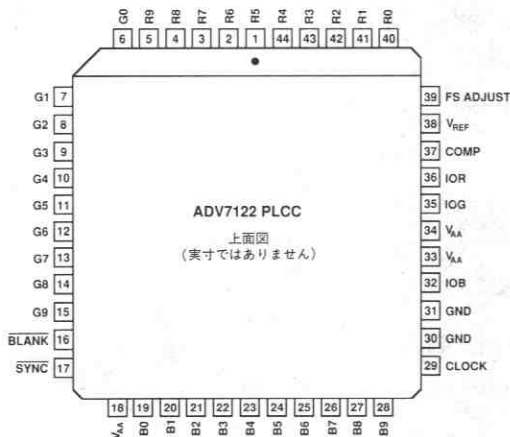
注意

この素子はESD(Electrostatic-Discharge)センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させる必要があります。



ピン配置

PLCC (P-44A) パッケージ



DIP (N-40A) パッケージ



ピン機能の説明

ピン名称	機能
BLANK*	コンボジット・ブランキング制御入力 (TTLコンパチブル)。この制御入力へのロジック0入力により、IOR、IOB、IOGの各アナログ出力がブランキング・レベルになります。BLANK信号はCLOCK信号の立上りエッジでラッチされます。BLANKがロジック0の間、R0~R9、G0~G9、B0~B9のピクセル入力は無視されます。
SYNC*	コンボジットSYNC制御入力 (TTLコンパチブル)。SYNC入力へのロジック0入力により、内部的にIOGアナログ出力に接続されている40 IRE電流源がオフになります。SYNCは他の制御やデータ入力をオーバーライドしません。したがってこの信号はブランキング間隔の間のみアサートすべきです。SYNCはCLOCK信号の立上りエッジでラッチされます。緑チャンネルにSYNC情報が不要の場合には、SYNC入力はロジック0に接続しておきます。
CLOCK	クロック入力 (TTLコンパチブル)。CLOCK信号の立上りエッジでR0~R9、G0~G9、B0~B9、SYNCおよびBLANKのピクセル入力および制御入力がラッチされます。これはビデオ・システムのピクセル・クロック・レートとなります。CLOCK入力は専用のTTLバッファで駆動する必要があります。
R0~R9、 G0~G9、 B0~B9	赤、緑、青のピクセル・データ入力 (TTLコンパチブル)。ピクセル・データはCLOCKの立上りエッジでラッチされます。R0、G0、B0がLSBです。使用しないピクセル・データ入力はPCB電源またはグラウンド・プレーンに接続します。
IOR、IOG、IOB	赤、緑、青の電流出力です。これらの高インピーダンス電流源は2重終端された75Ω同軸ケーブルを直接駆動できます。これらの電流出力は使用、未使用に関係なく、それぞれ互いに同等の出力負荷で使用しなければなりません。
FS ADJUST	フルスケール調整制御。このピンとGNDとの間に抵抗 (R_{SET}) を接続し、ビデオ信号のフルスケール振幅を調整します。フルスケール電流出力と関係なくIRE関係が保たれることに注意してください。IOG (I_{SYNC} がIOGに接続されている場合) における R_{SET} とフルスケール出力電流との関係は以下のようになります。 $R_{SET} (\Omega) = 12,082 \times V_{REF} (V) / IOG (mA)$ R_{SET} とIOR、IOG、IOBのフルスケール出力電流との関係は以下のようになります。 $IOG^* (mA) = 12,082 \times V_{REF} (V) / R_{SET} (\Omega)$ (SYNCがアクティブ時) $IOR, IOB (mA) = 8,628 \times V_{REF} (V) / R_{SET} (\Omega)$ SYNCを使用していない場合、つまりSYNCが常にLOWである時、IOGの式はIORおよびIOBの場合と同様になります。 $IOR, IOG, IOB (mA) = 7,969 \times V_{REF} (V) / R_{SET} (\Omega)$
COMP	補償ピン。内部リファレンス・アンプの補償ピンです。COMPと V_{AA} との間に0.1 μ Fのセラミック・コンデンサを接続します。
V_{REF}	電圧リファレンス入力。このピンに外部の1.23V電圧リファレンスを接続します。外付の抵抗分圧回路を使用することはお奨めできません。デカップリングのため V_{REF} と V_{AA} との間に0.1 μ Fのセラミック・コンデンサを接続しなければなりません。
V_{AA}	アナログ電源 (5V \pm 5%)。ADV7121/ADV7122の V_{AA} ピンはすべて接続します。
GND	グラウンド。GNDピンはすべて接続します。

* SYNCおよびBLANKピンはADV7121にはありません。

ADV7121/ADV7122

用語の説明

ブランキング・レベル

波形のSYNC部をビデオ部から分離するレベル。通常ビデオ信号の入口あるいは出口に適用されます。0 IREユニットでは、このレベルでブラウン管がシャット・オフされ、最も黒い画像が表示されません。

カラー・ビデオ (RGB)

通常スペクトルのカラー画像を生成するには赤、緑、青の3原色を混合します。RGBモニタでは1色につき1個、すなわち計3個のDACが必要となります。

SYNC信号 (SYNC)

コンポジット・ビデオ信号の一部で、走査プロセスの同期をとるものです。

グレイ・スケール

ビデオ信号のリファレンス・ブラック・レベルとリファレンス・ホワイト・レベル間をレベル分けしたものです。10ビットDACの場合には1024レベル、8ビットDACの場合には256レベルとなります。

回路と動作説明

ADV7121/ADV7122は、3個の入力チャンネルに3個の10ビットD/Aコンバータを持ちそれぞれに10ビット・レジスタを備えています。また、内部にリファレンス・アンプを集積しています。ADV7122は、CRT制御機能であるBLANKおよびSYNCも備えています。

デジタル入力

30ビットのピクセル・データ (カラー情報) R0~R9、G0~G9、B0~B9が、各クロック・サイクルの立上りエッジでデバイス内にラッチされます。そのデータは3個の10ビットDACに送られ、3個のアナログ (RGB) 出力波形に変換されます。(図2参照)。

ADV7122はさらに制御信号を備えており、これらも同様にアナログ・ビデオ出力にラッチされます。BLANKおよびSYNCは、ピクセル・データの流れとの同期を保つために、CLOCKの立上りエッジでそれぞれラッチされます。

BLANKとSYNC機能により、RGBビデオ出力にこれらのビデオ同期信号をエンコードすることが可能です。BLANKとSYNCデジタル入力のロジック・レベルにより制御される適切に重み付けられた電流源をアナログ出力に加えることで実現します。図3にADV7121/ADV7122のアナログ出力とRGBビデオ波形を示します。アナログ・ビデオ波形へのSYNCとBLANKの影響も示します。

表1にBLANKおよびSYNC信号の出力信号への影響の詳細を示します。

ラスタ・スキャン

画像を生成・表示する最も基本的な方法で、画面表示するのに1行づつCRT面を走査するものです。

リファレンス・ブラック・レベル

ビデオ信号の負方向の最大レベル。

リファレンス・ホワイト・レベル

ビデオ信号の正方向の最大レベル。

SYNCレベル

SYNC信号のピーク・レベル。

ビデオ信号

コンポジット・ビデオ信号のうちグレイ・スケールにしたがって変化する部分 (リファレンス・ホワイト・レベルとリファレンス・ブラック・レベル間)。目に見える部分に相当する画像信号を指すこともあります。

これらのデジタル入力はTTLロジック・レベルに対応するように規定されています。

クロック入力

ADV7121/ADV7122のCLOCK入力は通常、システムのピクセル・クロック・レートです。これはドット・レートとしても知られています。ドット・レートとして必要なCLOCK周波数は画面の解像能によって以下のように決まります。

$$\begin{aligned} \text{ドット・レート} &= (\text{水平解像度}) \times (\text{垂直解像度}) \times \\ & \quad (\text{リフレッシュ・レート}) / \\ & \quad (\text{リトレース・ファクタ}) \end{aligned}$$

水平解像度

=ピクセル数/ライン

垂直解像度

=ライン数/フレーム

リフレッシュ周波数

=水平走査周波数。この周波数は画面がリフレッシュされる周波数で、通常ノンインターレースのシステムで60Hz、インターレースのシステムでは30Hzとなります。

リトレース・ファクタ

=トータル・ブランキング時間ファクタです。各フレーム期間の一部ディスプレイがブランキングされることを考慮に入れています (例えば0.8)。

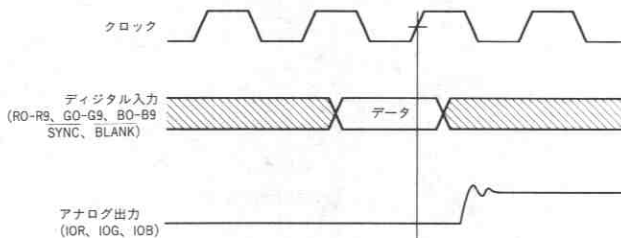


図2. ビデオ・データ入出力

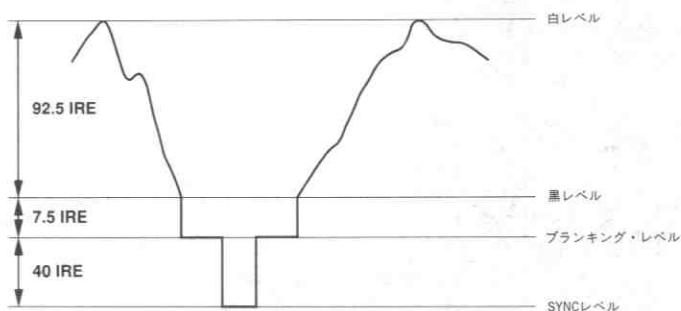
したがって、解像度が1024×1024、ノンインターレース60Hzのリフレッシュ・レートと0.8のリトレース・ファクタを持つグラフィックス・システムでは以下のドット・レートとなります。

$$\begin{aligned} \text{ドット・レート} &= 1024 \times 1024 \times 60 / 0.8 \\ &= 78.6\text{MHz} \end{aligned}$$

したがって必要なCLOCK周波数は78.6MHzとなります。

デジタル入力の項で述べたように、ビデオ・データおよび制御入力はCLOCK信号の立上りエッジでADV7121/ADV7122にラッチされます。ADV7121/ADV7122のCLOCK入力はTTLレベルバッファで駆動することを推奨します（例えば74F244）。

赤、青		緑	
mA	V	mA	V
19.05	0.714	26.67	1.000
1.44	0.054	9.05	0.340
0	0	7.62	0.286
		0	0



注

1. 出力は2重終端された75Ω負荷に接続されています。
2. $V_{REF}=1.235\text{V}$ 、 $R_{SET}=560\Omega$ 。
3. RS-343Aレベルと許容誤差はすべてのレベルに対して適用しています。

図3. RGBビデオ出力波形

項目	IOG (mA) ¹	IOR, IOB (mA)	SYNC	BLANK	DAC 入力データ
ホワイト・レベル	26.67	19.05	1	1	FFH
ビデオ	ビデオ+9.05	ビデオ+1.44	1	1	データ
ビデオーブランキング	ビデオ+1.44	ビデオ+1.44	0	1	データ
ブラック・レベル	9.05	1.44	1	1	00H
ブラックーブランキング	1.44	1.44	0	1	00H
ブランキング・レベル	7.62	0	1	0	xxH
SYNCレベル	0	0	0	0	xxH

注

- 1 フルスケールIOG=26.67mA時の代表値です。
 $V_{REF}=1.235\text{V}$ 、 $R_{SET}=560\Omega$ 、 I_{SYNC} はIOGに接続されています。

表1 a. ADV7122ビデオ出力真理値表

項目	IOR, IOG, IOB (mA) ¹	DAC 入力データ
ホワイト・レベル	17.62	FFH
ビデオ	ビデオ	データ
ビデオーブラック	ビデオ	データ
ブラック・レベル	0	00H

注

- 1 フルスケール=17.62mA時の代表値です。
 $V_{REF}=1.235\text{V}$ 、 $R_{SET}=560\Omega$ 。

表1 b. ADV7121ビデオ出力真理値表

ADV7121/ADV7122

ビデオ信号の同期と制御

ADV7122は単一のコンポジット・ビデオ同期 (SYNC) 入力制御を備えています。多くのグラフィックス・プロセッサやCRTコントローラは水平同期 (HSYNC)、垂直同期 (VSYNC) とコンポジット SYNC を生成することができます。

コンポジット SYNC 信号を自動的に生成しないグラフィックス・システムではロジック回路を追加することでコンポジット SYNC 信号を生成することができます。

SYNC 電流は内部的に IOG 出力に直接接続されているため、ビデオ同期情報は緑ビデオ・チャンネルにエンコードされています。ADV7122のアナログ出力に同期情報をエンコードする必要のない場合には、SYNC 入力はロジック LOW に接続します。

リファレンス入力

ADV7121/ADV7122には外部の1.23Vの電圧リファレンスが必要です。弊社のAD589は理想的なリファレンスです。この製品は入力電流50μAから5mAで1.23Vの固定出力電圧を供給する2端子、低価格、温度補償付きのバンドギャップ電圧リファレンスです。図4に代表的なリファレンス接続回路を示します。電圧リファレンスはADV7121/ADV7122のV_{AA}とV_{REF}ピンの間に内蔵の1kΩ抵抗を通してV_{AA}から電流駆動を得ます。COMPピンとV_{AA}の間に0.1μFのセラミック・コンデンサが必要です。このコンデンサは内部のリファレンス・アンプの補償のために必要です。

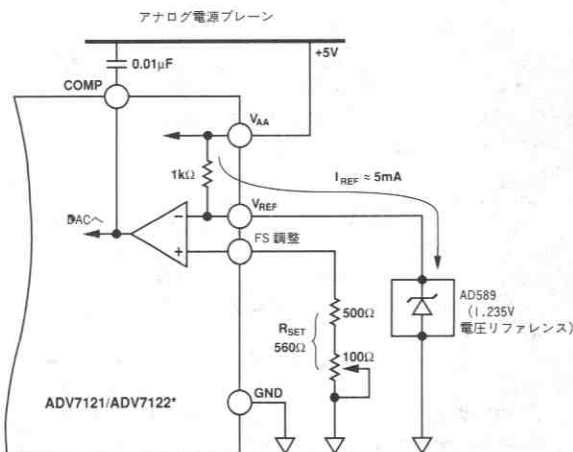
FS ADJUST と GND の間に接続する抵抗 R_{SET} によって、ADV7122は式1と2により、ADV7121は式3により、それぞれ出力ビデオ・レベルの振幅が決まります。

$$IOG^* \text{ (mA)} = 12,082 \times V_{REF} \text{ (V)} / R_{SET} \text{ (}\Omega\text{)} \dots\dots\dots(1)$$

$$IOR, IOB \text{ (mA)} = 8,628 \times V_{REF} \text{ (V)} / R_{SET} \text{ (}\Omega\text{)} \dots\dots\dots(2)$$

$$IOR, IOG, IOB \text{ (mA)} = 7,969 \times V_{REF} \text{ (V)} / R_{SET} \text{ (}\Omega\text{)} \dots\dots\dots(3)$$

* ADV7122においてSYNCを用いる場合にのみ適用されます。SYNCが緑チャンネルにエンコードされない場合には、(1)式と(2)式は同様になります。



*デカップリング回路を含むその他の回路は省略しています。

図4. リファレンス回路

図4の回路のようにR_{SET}を可変にすると、アナログ出力ビデオ・レベルの精密な調整ができます。R_{SET}抵抗に560Ωの固定抵抗を使用すると、仕様のページに示すアナログ出力レベルとなります。これらの値は図3に示すRS-343Aのビデオ波形の値にも対応します。

D/Aコンバータ

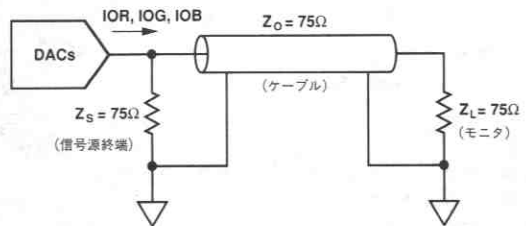
ADV7121/ADV7122は3個のマッチングのとれた10ビットD/Aコンバータを内蔵しています。これらのDACは先進の高速セグメント方式を使用しています。各デジタル入力に対応するビット電流は、先進のデコード回路によりアナログ出力 (ビット=1) またはGND (ビット=0) に接続されます。これらの回路はすべてモノリシック素子上に集積されているため、3個のDAC相互の特性マッチングが最適化されています。特性のマッチングと共に、モノリシック構造内の同一電流源により単調増加性と低グリッチを保証しています。内蔵オペアンプによりフルスケール出力電流が温度と電源電圧の変化に対して安定化されています。

アナログ出力

ADV7121/ADV7122は赤、緑、青のビデオ信号に対応するアナログ出力を持っています。

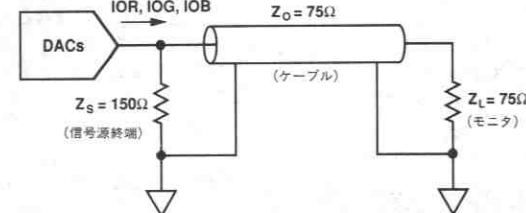
ADV7121/ADV7122の赤、緑、青のアナログ出力は高インピーダンスの電流源です。これら3個のRGB電流出力のいずれも、2重終端された75Ωケーブルなどの37.5Ω負荷を直接駆動することができます。図5aにこれらのRGB出力のそれぞれを2重終端された75Ω負荷に接続する場合の設定を示します。この設定は75Ωモニタに対しRS-343Aビデオ出力電圧レベルを生成する場合です。

75ΩモニタでRS-170ビデオ・レベルを駆動する場合を図5bに示します。DACの出力電流レベルは変わりませんが、個々のDACの信号源終端抵抗Z_Sは75Ωから150Ωに増加します。



この終端は赤、緑、青のDACそれぞれについて行ないます。

図5a. RS-343Aのアナログ出力終端



この終端は赤、緑、青のDACそれぞれについて行ないます。

図5b. RS-170のアナログ出力終端

RS-343AとRS-170を含む各種の出力設定に関する負荷終端についての詳細は、弊社のアプリケーション・ノート“Video Formats & Required Load Terminations”（カタログ番号E1228-15-1/89）を参照してください。

図5aに示した3個のRGB出力で2重終端された75Ω負荷を駆動する場合のビデオ波形を図3に示します。この図ではグレイ・スケール・レベル、黒レベルから白レベル、そしてADV7122におけるSYNCとBLANKの割合を示します。これらの制御入力にはアナログ出力に適正な重み付けの電流を重畳し、ビデオ応用に必要な規定出力レベルを発生します。表1に出力レベルがSYNCとBLANK入力によりどのように変化するかを示します。

グレイ・スケール動作

ADV7121/ADV7122はスタンドアロンのグレイ・スケール（モノクローム）またはコンポジット・ビデオ应用到使用できます（例えば1チャンネルのみをビデオ情報に用います）。赤、緑、青の3個のうちどれか1つのチャンネルをデジタル・ビデオ・データの入力に使用します。2個の使用しないビデオ・データ・チャンネルはロジック0に接続します。使用しないアナログ出力は、使用するチャンネルと同じ負荷で終端します。つまり、赤チャンネルを使用しIORが75Ω負荷（37.5Ω）で2重終端されている場合には、IOBとIOGは37.5Ωの抵抗で終端します（図6参照）。

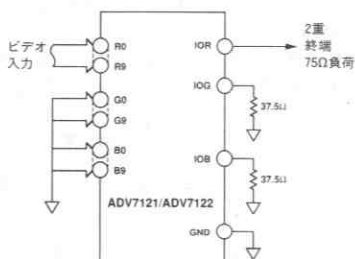


図6. スタンドアロンのグレイ・スケールまたはコンポジット・ビデオのための入出力接続

基板レイアウトに関する注意

ADV7121/ADV7122は放射および伝導ノイズの両方に対して低いノイズ特性が得られるよう最適に設計されています。ADV7121/ADV7122の優れたノイズ特性を得るためには、PCボードのレイアウトに多大な注意を払う必要があります。図8に、ADV7121/ADV7122の推奨接続図を示します。

ADV7121/ADV7122の電源およびグラウンド・ラインのノイズを最小にするようにレイアウトを最適化する必要があります。これはデジタル入力をシールドし、適切なデカップリングを行なうことによって実現します。誘導によるリンギングを最小にするためV_{AA}とGNDピンの間のリード線の長さは最短にします。

グラウンド・プレーン

ADV7121/ADV7122と関連するアナログ回路は独立したグラウンド・プレーンを持っていないため（アナログ・グラウンド・プレーン）。このグラウンド・プレーンは図8に示すようにフェライト・ビーズを通して1点でレギュラーPCBグラウンド・プレーンに接続します。このビーズはADV7121/ADV7122から3インチ以内に置くようにします。

アナログ・グラウンド・プレーンはADV7121/ADV7122のすべて

ビデオ出力バッファ

ADV7121/ADV7122は、ほとんどのモニタ規格のもつ伝送ライン負荷を駆動できるよう仕様が規定されています。これらの負荷を駆動するためのアナログ出力設定はアナログ・インタフェースの項で述べ、図5に示しました。しかし、応用によっては長い伝送ラインのケーブルを駆動する必要があります。10m以上のケーブル長では高周波のアナログ出力パルスを減衰させ、歪みが発生します。出力バッファを接続すればケーブル歪みをある程度補償することができます。広いフルパワー帯域幅と2~4倍のゲインのバッファが必要となります。これらのバッファは出力電圧振幅全体に対して十分な電流を供給できることが必要です。弊社ではこの用途に適したオペアンプとしてAD840シリクス・モノリシック・オペアンプを販売しています。非常に高い周波数（80MHz）応用ではAD9617を推奨します。ライン・ドライバのバッファ回路についての詳細は関連のオペアンプのデータ・シートを参照してください。

バッファ・アンプを使用することにより、RS-343AとRS-170以外の方式での応用も可能です。バッファ回路のゲイン設定回路を変えることにより任意のビデオ・レベルを得ることができます。

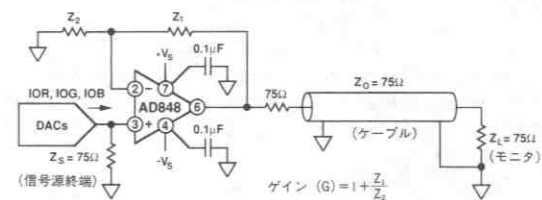


図7. 出力バッファにAD848を使用した例

のグラウンド・ピン、電圧リファレンス回路、電源バイパス回路、アナログ出力配線および出力アンプなどを取囲むように配置します。

通常のPCBグラウンド・プレーンはADV7121/ADV7122のグラウンド・ピンを除くすべてのデジタル信号配線を取巻くように配置します。

電源プレーン

PCボードのレイアウトには、アナログ回路とデジタル回路の2つの独立した電源プレーンを用意する必要があります。アナログ電源プレーンはADV7121/ADV7122（V_{AA}）と関連のすべてのアナログ回路を取囲むようにします。この電源プレーンは図8に示すように通常のPCB電源プレーン（V_{CC}）とフェライト・ビーズを用いて1点で接続します。このビーズはADV7121/ADV7122から3インチ以内に配置しなければなりません。

PCBの電源プレーンは基板上のすべてのデジタル・ロジック回路に電源を供給し、アナログ電源プレーンはADV7121/ADV7122の電源ピン、リファレンス回路、出力アンプに電源を供給します。

PCBの電源およびグラウンド・プレーンは、アナログ電源プレーンとは部分的にも重ならないようにします。PCB電源プレーンおよびグラウンド・プレーンをアナログ電源プレーンと重ならないよう

ADV7121/ADV7122

にすることによって、両プレーン間のノイズ結合を減少させることができます。

電源デカップリング

アナログ電源プレーン上のノイズは、複数のデカップリング・コンデンサを使用することによってさらに減少します。(図8参照)。

0.1 μ Fのセラミック・コンデンサを用いることで最適の特性が実現します。2グループのV_{AA}をそれぞれグラウンドに対して個別にデカップリングします。これはデバイスに可能な限り近い位置にコンデンサを配置し、リード・インダクタンスを最小にするためコンデンサのリードを可能な限り短くすることによって行ないます。

ADV7121/ADV7122は電源ノイズを除去させる回路を内蔵していますが、この効果は周波数が高くなるにしたがって小さくなることに注意すべきです。高い周波数のスイッチング電源を使用する場合には、電源ノイズを減少させるために配慮を払うことが必要です。DC電源フィルタ(村田BNX002)によりスイッチング電源とメインPCB間のEMI抑制が可能です。あるいは3端子レギュレータの使用も有効です。

デジタル信号の接続

ADV7121/ADV7122へのデジタル入力ラインはできるだけアナログ出力や他のアナログ回路から切離す必要があります。また、これらの入力信号ラインがアナログ電源プレーンと重なることがあ

ってはけません。

高速クロック・レートをサポートしているため、なるべくノイズを拾わないようにADV7121/ADV7122までのクロック・ラインを短くして下さい。

デジタル入力に対するアクティブ・プルアップ終端抵抗はレギュレータPCB電源プレーン(V_{CC})に接続し、アナログ電源プレーンに接続してはいけません。

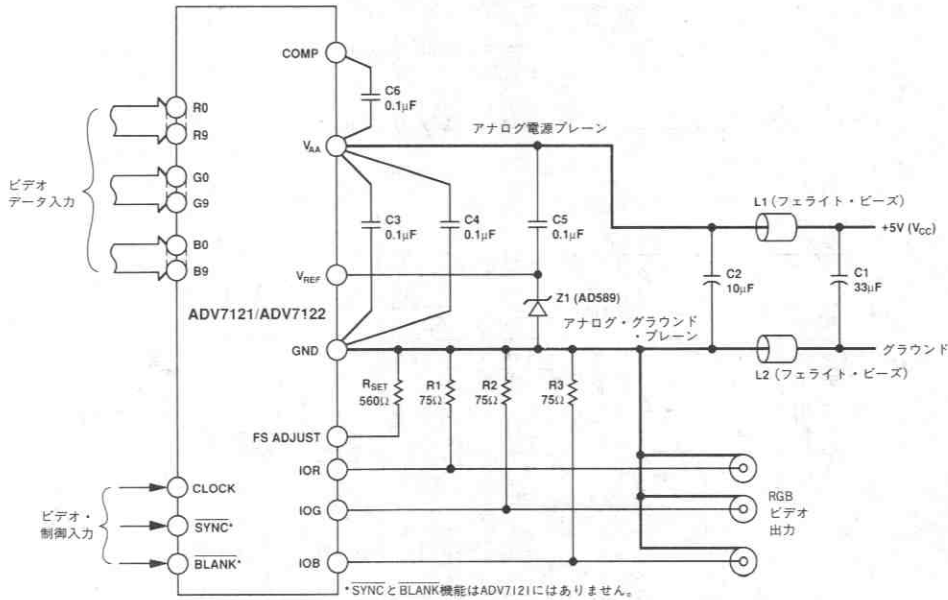
アナログ信号の接続

ADV7121/ADV7122はノイズの混入を最小限にし、インピーダンスの不整合による反射を抑えるため、できるだけ出力コネクタの近くに置く必要があります。

ビデオ出力信号は高周波における電源電圧変動除去を最大にするためグラウンド・プレーンと重なるようにし、アナログ電源プレーンと重なることがあってはいけません。

最も優れた性能を得るためにはアナログ出力から各々のGNDに75 Ω のソース終端抵抗を接続します(2重終端75 Ω 構成)。反射を最小限に抑えるため、できるだけADV7121/ADV7122の近くに終端抵抗を接続する必要があります。

PCB設計に関するその他の情報に関しては、弊社のアプリケーション・ノート "Design and Layout of a Video Graphics Systems for Reduced EMI" (カタログ番号E1309-15-10/89) を参照してください。



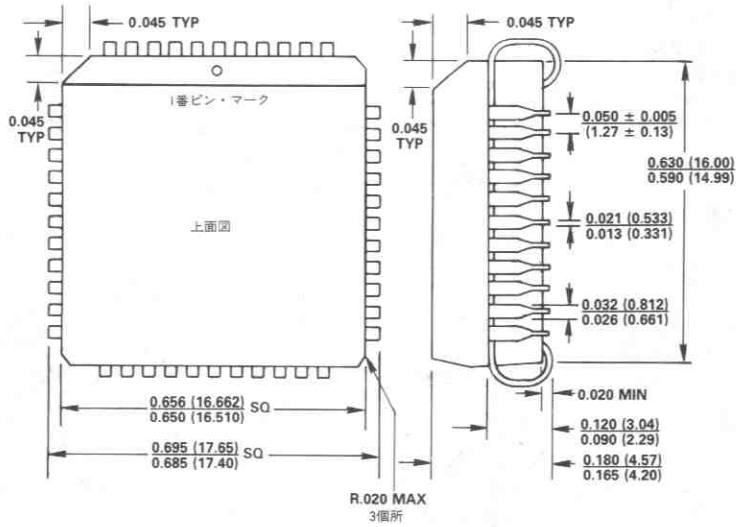
部品	説明	メーカー部品番号
C1	33 μ Fタンタル・コンデンサ	
C2	10 μ Fタンタル・コンデンサ	
C3, C4, C5, C6	0.1 μ Fセラミック・コンデンサ	
L1, L2	フェライト・ビーズ	FAIR-RITE27430011または村田BL01/02/03
R1, R2, R3	75 Ω 1%金属被膜抵抗	DALE CMF-55C
R _{SET}	560 Ω 1%金属被膜抵抗	DALE CMF-55C
Z1	1.235V電圧リファレンス	弊社 AD589JH

図8. 代表的なADV7121/ADV7122の接続図と部品表

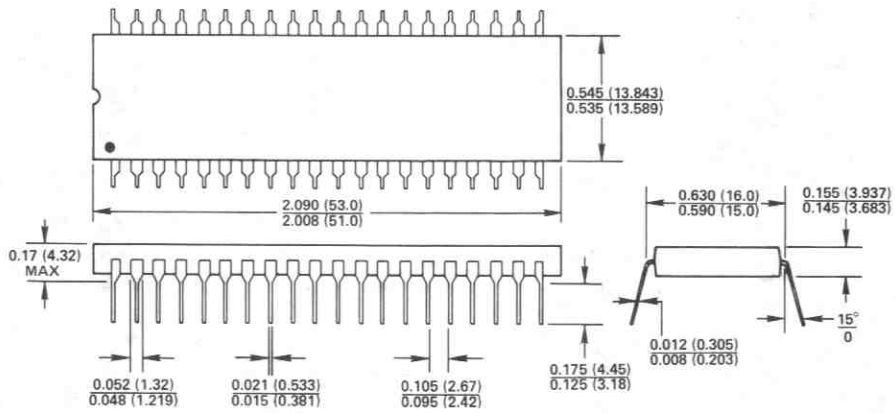
外形サイズ

サイズはインチと (mm) で示します。

44端子プラスチック・リード付きチップ・キャリア (P-44A)



40ピン・プラスチックDIP (N-40A)



1番ピンは点、刻みまたは“1”で示します。
リードはハンダ・メッキのKOVARまたはアロイ42です。

特長

- 8個のポテンショメータの代替として使用可能
- 1MHz 4象限乗算帯域幅
- 信号反転が不要
- 低いゼロ出力誤差
- 独立した8チャンネル
- 3線シリアル入力
- 500kHzのアップデート・データ・ロード・レート
- ±3Vの出力振幅
- ミッドスケール・プリセット、0V出力

応用

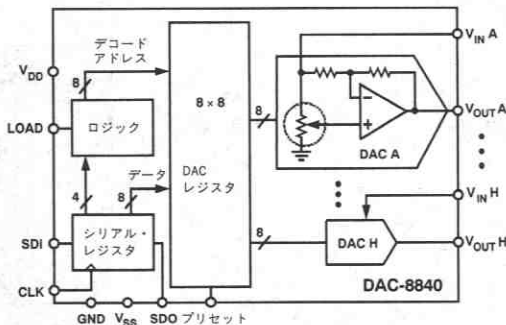
- 自動調整
- トリマの置換え使用
- ダイナミック・レベル調整
- 特殊波形の生成/変調

概要

DAC-8840は、1個で8つの汎用デジタル制御電圧調整デバイスとして機能します。新設計のTrimDAC™は、トリマ機能の置換えとしての使用が可能です。DAC-8840は1MHzまでの帯域幅信号のACまたはDCゲイン制御に理想的です。4象限乗算は、ビデオ収束回路にしばしば見られる信号反転や変調に有効です。

DAC-8840の内部には、8つの電圧出力型CMOS D/Aコンバータが内蔵されており、それぞれに独立したリファレンス入力があります。各DACには個々の出力状態を保持するDACレジスタがあります。これらのDACレジスタは、標準3線シリアル入力デジタル・インタフェースからロードされる内部のシリアル・パラレル・シフト・レジスタにより更新されます。シリアル入力レジスタ内にクロック同期で入力されるデータ・ワード長は、12ビットです。このデータ・ワードはデコードされ、最初の4ビットによって、後続の8ビットをロードするDACレジスタのアドレスが決まります。シリアル・レジスタの反対側にあるシリアル・データ出力ピンにより、外部デコード・ロジックの追加を必要とせずに、複数のDACを用いる応用に簡単にデジタイズ・チェーン構成とすることが可能です。

TrimDACはAnalog Devices, Inc.の登録商標です。



DAC-8840機能ブロック図

DAC-8840の消費電力は、±5V電源で190mWにすぎません。5V単一電源応用についてはDAC-8841を利用してください。

DAC-8840のパッケージは24ピンのプラスチックDIP、サーティップおよびSOICが用意されています。-55~+125°C動作に対応するMIL-STD/883モデルのデータシートについてはお問合わせください。

仕様

(特に指定のない限り、DAC-8840Fにおいて $V_{DD}=+5V$ 、 $V_{SS}=-5V$ 、全 $V_{INX}=+3V$ 、 $T_A=-40^{\circ}C\sim+85^{\circ}C$)

パラメータ	記号	条件	Min	Typ	Max	単位
スタティック精度		仕様はすべてDAC A、B、C、D、E、F、G、Hに適用されます。				
分解能	N		8			ビット
積分非直線性	INL			$\pm 1/4$	± 1	LSB
微分非直線性	DNL				± 1	LSB
出力オフセット	V_{DZE}	全デバイス単調増加性 PR=0、D=80 _H に設定		3	25	mV
出力オフセット・ドリフト	TCV_{BZ}	PR=0、D=80 _H に設定		10		$\mu V/^{\circ}C$
リファレンス入力		全入力 V_{INX} に適用				
電圧範囲	IVR	注1	± 3			V
入力抵抗	R_{IN}	D=2B _H 、コードに依存	3	6		k Ω
入力容量	C_{IN}	D=FF _H 、コードに依存		19	30	pF
DAC出力		全出力 V_{OUTX} に適用				
電圧範囲	OVR	$R_L=10k\Omega$	± 3			V
出力電流	I_{OUT}	$\Delta V_{OUT} < 1LSB$	± 5	± 10		mA
容量性負荷	C_L	発振なし			200	pF
ダイナミック性能		全DACに適用				
乗算ゲイン帯域幅	GBW	$V_{INX}=100mV$ p-p 10%~90%を測定	1	2.5		MHz
スルーレート						
正	SR+	$\Delta V_{OUTX}=+6V$	1.3	4.0		V/ μs
負	SR-	$\Delta V_{OUTX}=-6V$	1.3	2.5		V/ μs
全高調波歪み	THD	$V_{INX}=4V$ p-p、D=FF _H 、 $f=1kHz$ 、 $f_{LB}=80kHz$		0.01		%
スポット・ノイズ電圧	e_n	$f=1kHz$		0.17		$\mu V/\sqrt{Hz}$
出力セットリング時間	t_s	$\pm 1LSB$ 誤差幅、D=0~FF _H		3.5	6	μs
チャンネル間クロストーク	C_T	隣接チャンネル間測定 $f=100kHz$	60	80		dB
デジタル・フィードスルー	Q	$V_{INX}=0V$ 、D=0~255 ₁₀		6		nVs
電源						
電源電流	I_{DD}	PR=0V		19	26	mA
負電源電流	I_{SS}	PR=0V		19	26	mA
消費電力	P_{DISS}			190	260	mW
DC電源変動除去比	PSRR	PR=0V、 $\Delta V_{DD}=\pm 5\%$		0.0002	0.01	%/%
電源範囲	PSR	V_{DD} 、 $ V_{SS} $	4.75	5.00	5.25	V
デジタル入力						
ロジックHIレベル	V_{IH}		2.4			V
ロジックLOWレベル	V_{IL}				0.8	V
入力電流	I_L				± 10	μA
入力容量	C_{IL}			7	10	pF
入力コーディング						オフセット・バイナリ
デジタル出力						
ロジックHIレベル	V_{OH}	$I_{OH}=-0.4mA$	3.5			V
ロジックLOWレベル	V_{OL}	$I_{OL}=1.6mA$			0.4	V

注

1. 最大入力電圧は常に V_{DD} より2V小さくなります。

仕様は予告なしに変更することがあります。

タイミング特性

(特に指定のない限り、DAC-8840Fにおいて $V_{DD}=+5V$ 、 $V_{SS}=-5V$ 、全 $V_{INX}=+3V$ 、 $T_A=-40^{\circ}C\sim+85^{\circ}C$)

パラメータ	略称	最小	最大	単位
入力クロック・パルス幅	t_{CH} 、 t_{CL}	80		ns
データ・セットアップ時間	t_{DS}	40		ns
データ・ホールド時間	t_{DH}	20		ns
CLK-SDO伝播遅延	t_{PD}		120	ns
DACレジスタ・ロード・パルス幅	t_{LD}	70		ns
プリセット・パルス幅	t_{PR}	50		ns
クロック・エッジロード時間	t_{CKLD}	30		ns
ロード・エッジ次のクロック・エッジ	t_{LDCK}	60		ns

ウエハ・テスト・リミット

(特に指定のない限り、 $V_{DD}=+5V$ 、 $V_{SS}=-5V$ 、全 $V_{INX}=+3V$ 、 $T_A=+25^{\circ}C$)

パラメータ	略称	条件	DAC-8840GBC リミット値	単位
積分非直線性	INL		± 1	LSB max
微分非直線性	DNL	全デバイス単調増加性	± 1	LSB max
出力オフセット	V_{BZE}	$\overline{PR}=0$ 、 $D=80_H$ 設定	25	mV max
入力抵抗 (V_{INX})	R_{IN}	$D=2B_H$ 、コードに依存	3	k Ω min
DAC出力電圧範囲	OVR	$R_L=10k\Omega$	± 3	V min
DAC出力電流	I_{OUT}	$\Delta V_{OUT} < 1LSB$	± 5	mA min
スルーレート		10%~90%を測定		
正	SR+	$\Delta V_{OUTX}=+6V$	1.3	V/ μ s min
負	SR-	$\Delta V_{OUTX}=-6V$	1.3	V/ μ s min
正電源電流	I_{DD}	$\overline{PR}=0V$	26	mA max
負電源電流	I_{SS}	$\overline{PR}=0V$	26	mA max
DC電源変動除去比	PSRR	$\overline{PR}=0V$ 、 $\Delta V_{DD}=\pm 5\%$	0.01	%/% max
ロジック入力HI	V_{IN}		2.4	V min
ロジック入力LOW	V_{IL}		0.8	V max
ロジック入力電流	I_L		± 10	μ A max
ロジック出力HI	V_{OH}	$I_{OH}=-0.4mA$	3.5	V min
ロジック出力LOW	V_{OL}	$I_{OL}=1.6mA$	0.4	V max

注
電氣的テストは上図の規準に従ってウエハ・プローブで実施されています。組立方法や標準歩留り損失の違いがあるため、パッケージング後の歩留りは標準ダイ製品に対して保証されません。サンプル・ロット・アセンブリと検査を通じたダイ・ロットの品質に関する仕様については、ご相談ください。

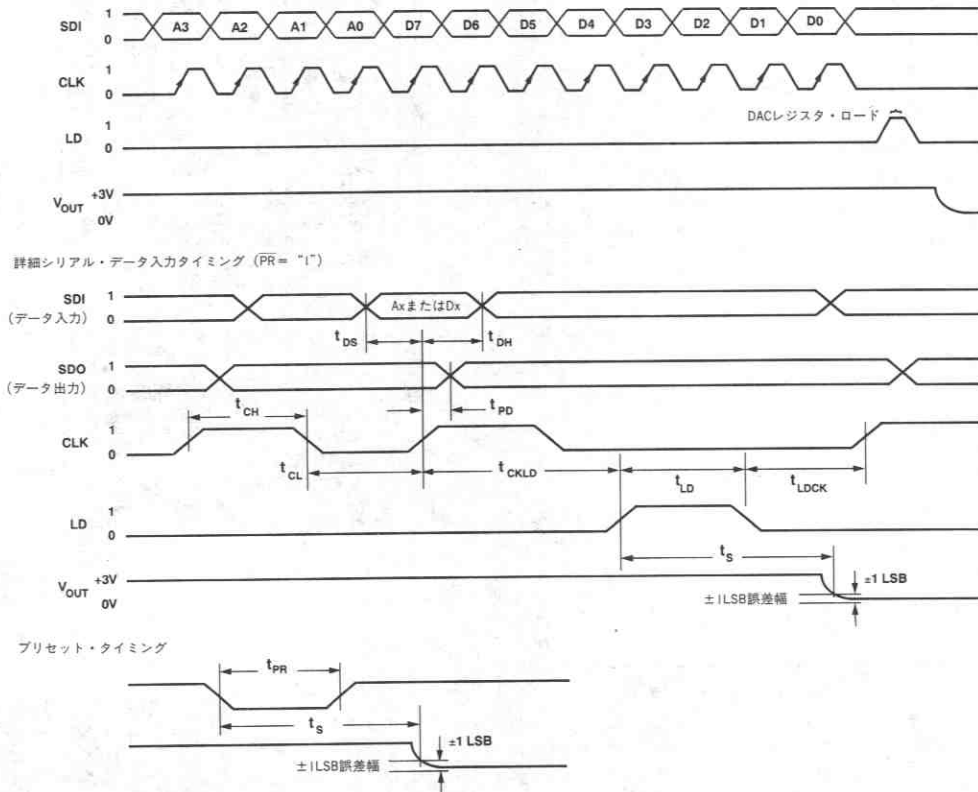


図1. タイミング図

DAC-8840ピン説明

ピン番号	名称	機能説明
1	V _{OUTC}	DAC C出力
2	V _{OUTB}	DAC B出力
3	V _{OUTA}	DAC A出力
4	V _{INB}	DAC Bリファレンス入力
5	V _{INA}	DAC Aリファレンス入力
6	GND	グラウンド
7	PR	プリセット入力、アクティブLOW 全DACレジスタ=80 _H
8	V _{INE}	DAC Eリファレンス入力
9	V _{INF}	DAC Fリファレンス入力
10	V _{OUTE}	DAC E出力
11	V _{OUTF}	DAC F出力
12	V _{OUTG}	DAC G出力
13	V _{OUTH}	DAC H出力
14	V _{ING}	DAC Gリファレンス入力
15	V _{INH}	DAC Hリファレンス入力
16	LD	DACレジスタ・ロード・ストロープ信号。 シリアル入力レジスタからデコードされた DACレジスタにデータを転送するための アクティブHI入力。表1参照。
17	CLK	シリアル・クロック入力、立上りエッジで 動作
18	SDO	シリアル・データ出力、アクティブ・ト テム・ボール出力
19	V _{SS}	-5V電源
20	SDI	シリアル・データ入力
21	V _{DD}	+5V電源
22	V _{IND}	DAC Dリファレンス入力
23	V _{INC}	DAC Cリファレンス入力
24	V _{OUTD}	DAC D出力

ピン配置

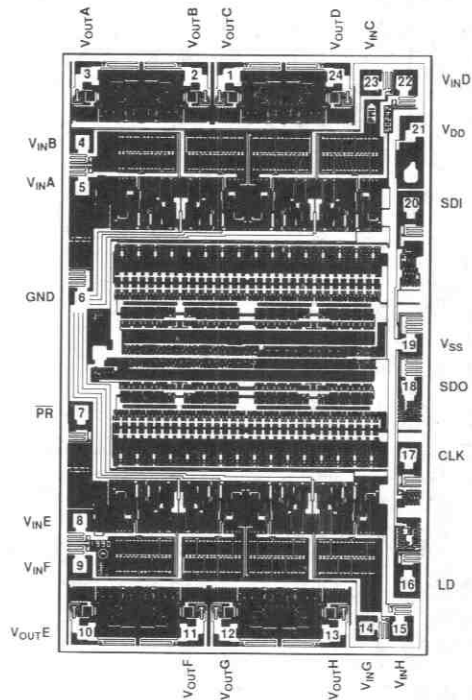


ダイス仕様

ダイスのサイズ：0.117×0.185インチ、21.645平方mil
(2.9718×4.699mm、13.964平方mm)
ダイの裏面は電気的にV_{DD}にコモンです

絶対最大定格

- (特に指定のない限り、T_A=+25°C)
- V_{DD}-GND間 -0.3、+7V
 - V_{SS}-GND間 +0.3、-7V
 - V_{INX}-GND間 V_{DD}、V_{SS}
 - V_{OUTX}-GND間 V_{DD}、V_{SS}
 - 回路短絡I_{OUTX}-GND間 無制限
 - デジタル入出力電圧-GND間 V_{DD}、V_{SS}
 - 動作温度範囲
 - 拡張温度産業用：DAC-8840F -40～+85°C
 - 最大ジャンクション温度 (T_J max) +150°C
 - 保管温度 -65～+150°C
 - リード温度 (ハンダ付け10秒) +300°C
 - パッケージの電力消費 (T_JMax-T_A)/θ_{JA}
 - 熱抵抗θ_{JA}
 - サーティップ 64°C/W
 - プラスチックDIP 57°C/W
 - SOIC-24 70°C/W



注意

この素子はESD (electrostatic discharge) センシティブ・デバイスです。ディジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると、永久破壊を起こすことがあります。使用しないデバイスは、導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させる必要があります。



代表的な性能特性 DAC-8840

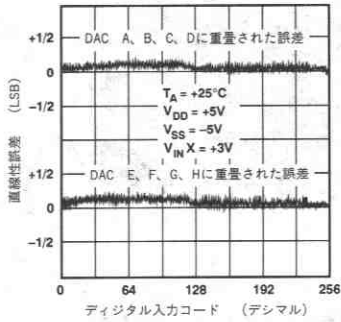


図2. 直線性誤差対デジタル入力コード

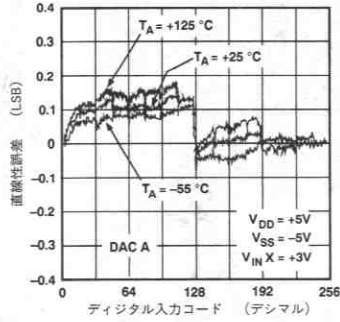


図3. 直線性誤差対デジタル・コード対温度

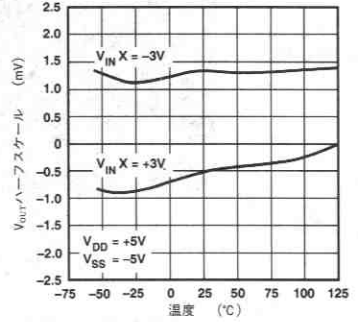


図4. V_{OUT} ハーフスケール (80 μ) 対温度

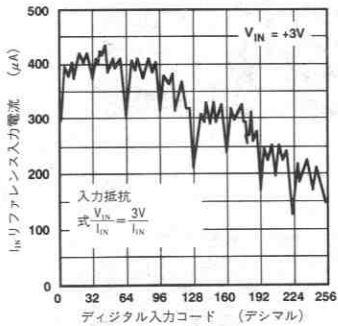


図5. 入力抵抗対コード

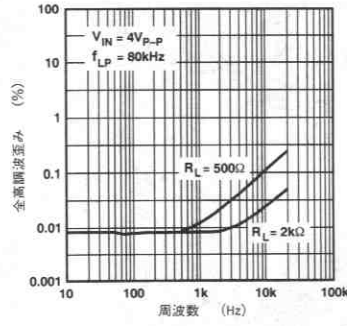


図6. 全高調波歪み対周波数

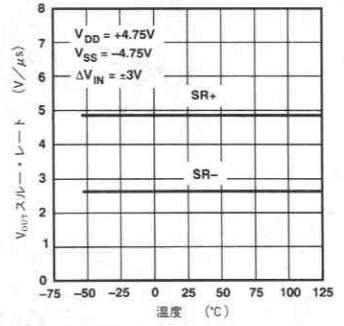


図7. V_{OUT} スルー・レート対温度

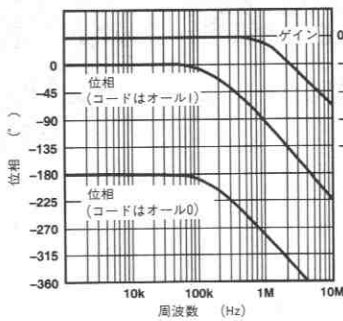


図8. ゲインおよび位相対周波数 (デジタル入力は0または255₁₀)

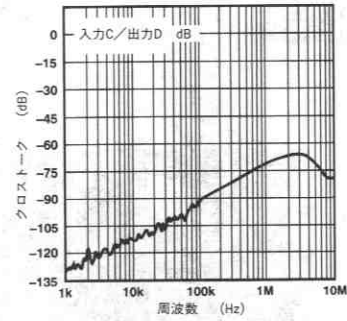


図9. DACクロストーク対周波数

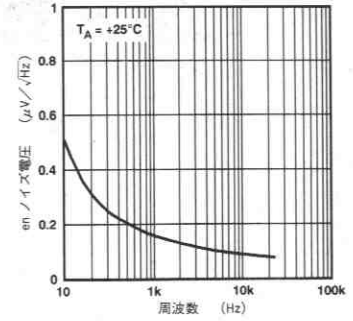


図10. 電圧ノイズ密度対周波数

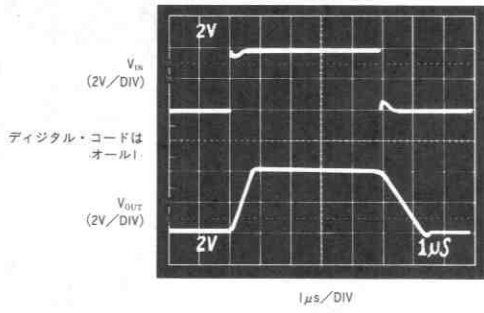


図11. パルス応答

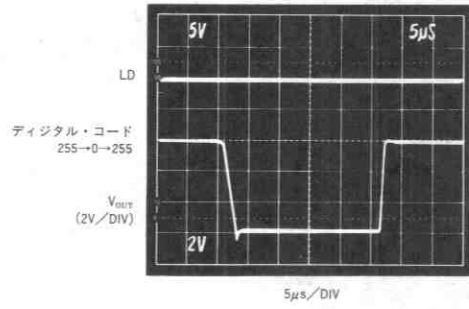


図12. セットリング時間

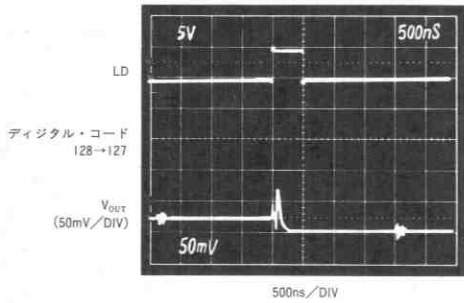


図13. 最悪ケースの1LSBデジタル・ステップ変動

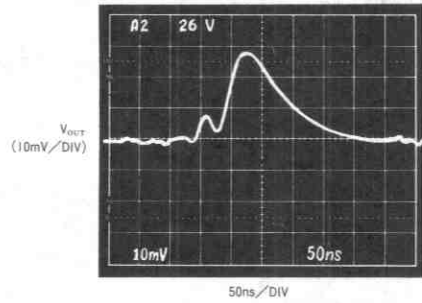


図14. デジタル・フィードスルー

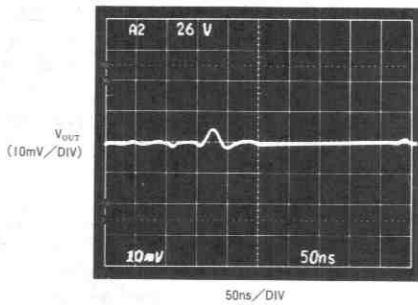


図15. デジタル・クロストーク

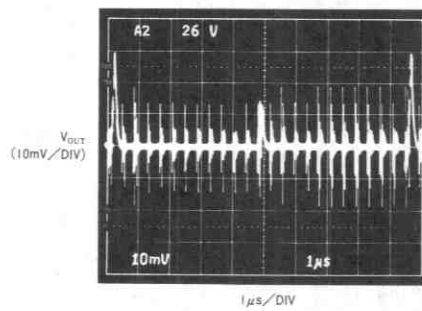


図16. クロック・フィードスルー

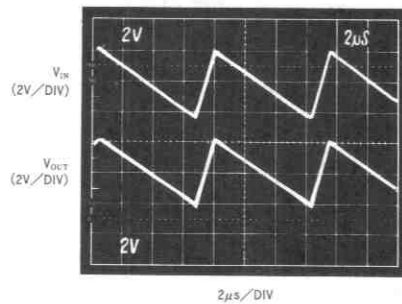


図17. 128kHzのこぎり波形

DAC-8840

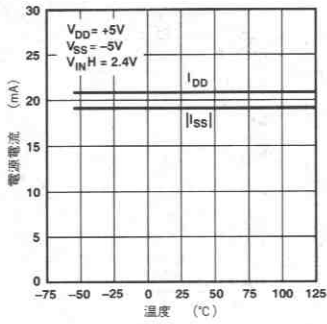


図18. 電源電流対温度

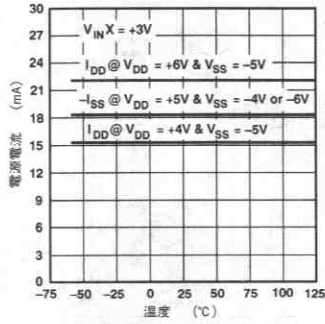


図19. 電源電流対電源電圧対温度

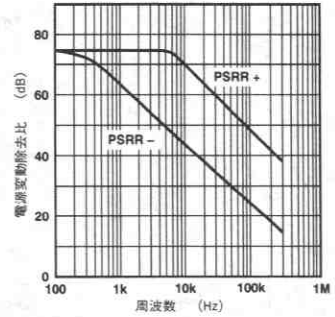


図20. PSRR対周波数

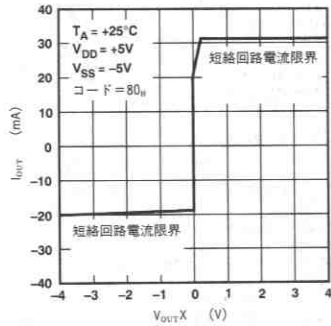


図21. DAC出力電流対V_{OUTX}

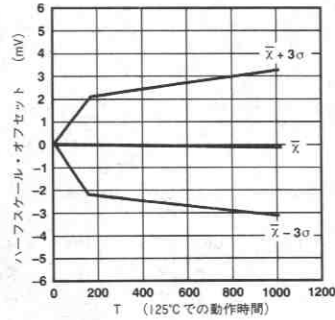


図22. パーンインにより加速された出力ドリフト変化

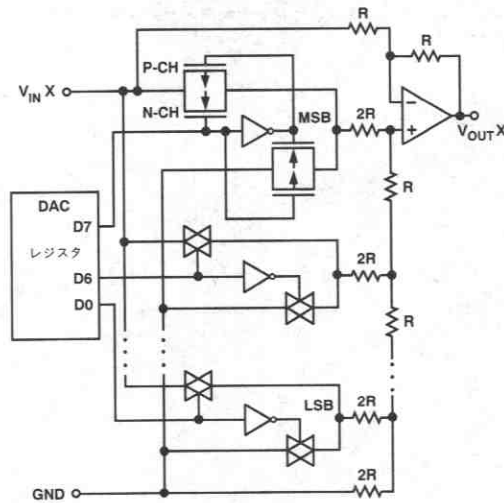


図23. DAC-8840 TrimDACの等価回路

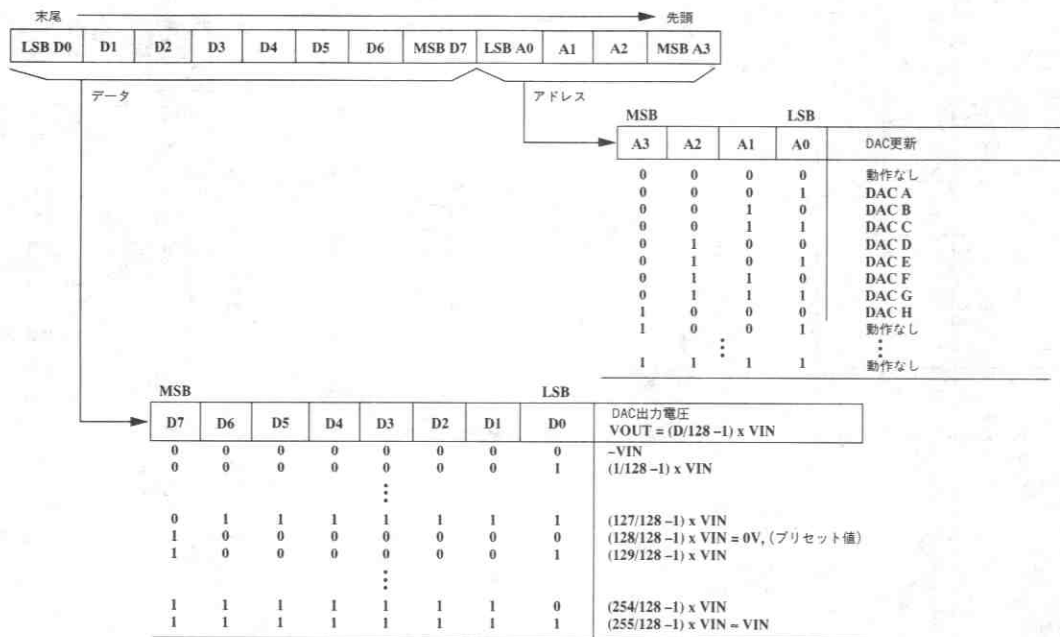


表 1. シリアル入力デコード表

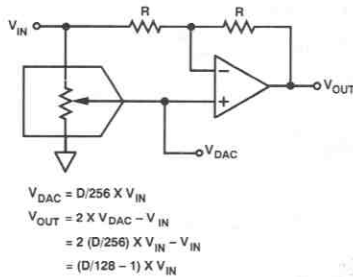
SDI	CLK	LD	PR	入力シフト・レジスタ動作
X	L	L	H	NOP
X		L	H	SDIピンから1ビット・シフト入力 (ピン20) SDOピンから1ビット・シフト出力 (ピン18)
X	X	L	L	オールDACレジスタ=80h
X	L	H	H	シリアル・レジスタ・データをDAC (X) レジスタ にロード

*SDIピンにシフト入力されるデータは、12クロック後、SDOピンに現れます。

表 2. ロジック制御入力真理値表

回路動作

DAC-8840は、3端子接続モードで使われていたポテンショメータの置換え用に設計された汎用、マルチチャネルのACおよびDC信号用レベル調整デバイスです。プログラマブルな信号レベル制御が可能な8つの独立したチャネルが、24ピン・パッケージ・デバイスで可能です。出力は完全にバッファされ、外部負荷の駆動として5mAまでの出力駆動電流を供給可能です。図24に示すDACとアンプの接続により、 V_{IN} に供給された入力信号とデジタル入力制御ワードの4象限乗算を実行します。またDAC-8840は、4象限乗算チャネルにおいて1MHzのゲイン帯域幅積をもっています。±5V電源で動作し、±3Vのアナログ入出力が可能です。



DAC-8840入出力電圧範囲

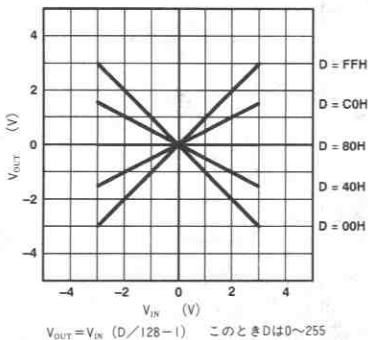


図24. DACとアンプの接続による4象限乗算

制御用マイクロプロセッサとのインタフェースを単純化するために、レイアウト上も効率的な3線シリアル・データ・インタフェースを採用しています。このインタフェースは、ほとんどのマイクロコンピュータやマイクロプロセッサ・システムと容易に接続可能です。3線インタフェースは、クロック (CLK)、シリアル・データ入力 (SDI)、ロード (LD) ストローブ・ピンによって構成されます。内部のDACレジスタ値を変更するために用いられる12ビットの入力データ・ワードは、4ビットのアドレスと8ビットのデータから構成されます。このワードの組合わせにより、他のチャネルを妨害せずと与えられた時間ですべてのDACレジスタの内容を変更することができます。シリアル・データ出力SDOピンにより、システムにアドレス・デコード用チップを付加することなく、複数のDAC-8840のカスケード接続が容易になります。電源投入時にプリセット (\overline{PR}) ピンにロジックLOWレベルを与えることで、全DACレジスタ値を 80_{H} に強制します。このとき全バッファ・アンプ出力は強制的に0Vと

なります。この非同期入力ピン \overline{PR} は、DACレジスタ値をハーフスケール・コードの 80_{H} に強制的にセットするため、いつでもアクティブにすることができます。これは一般的に汎用の調整手続きを開始する上で便利です。

ACまたはDC信号レベルの調整

DAC-8840の4象限乗算動作を図24に示します。DC動作では、デジタル入力 V_{IN} と V_{OUT} 間の関係式は次の通りです。

$$V_{OUT} (D) = (D/128 - 1) \times V_{IN} \quad (1)$$

このときDは、0~255の10進数です。

V_{IN} にDC入力を3Vに固定した際に発生する実際の出力電圧を表IIIにまとめます。

10進数入力 (D)	$V_{OUT} (D)$	備考 ($V_{IN}=3V$)
0	-3.00V	フルスケール反転
1	-2.98	
127	-0.02	ゼロ出力
128	0.00	
129	0.02	フルスケール (FS)
254	2.95	
255	2.98	

表III.

DACレジスタに255 (2進数でオール1) がロードされているとき、出力極性は入力極性と同一であることに着目してください。また、出力が正確に入力電圧と同じではないということにも注意してください。これはR-2RラダーDAC構造を採用したこと起因します。DACレジスタに0をロードした時、出力極性は反転し、結果的に入力電圧 V_{IN} の大きさと等しくなります。この例の構成でDACをセットアップしたときに測定される実際の電圧は、DAC-8840の仕様±1LSB直線性誤差の範囲内で変化するでしょう。電圧誤差の計算値は±0.023V (=±3V/128) となります。

V_{IN} が正弦波のようなAC信号である場合、回路性能を表わすために式 (2) を用いることができます。

$$V_{OUT} (t, D) = (D/128 - 1) \times A \sin(\omega t) \quad (2)$$

このとき $\omega = 2\pi f$ 、Aは正弦波の振幅、D=10進数入力コードです。式 (2) の伝達特性は、信号 V_{IN} の振幅及び位相によって決まります。DACにオール0がロードされているとき、出力正弦波は入力正弦波に関して180°シフトします。この強力な乗算能力が変調や波形の調整、振幅制御などの広い範囲で利用できます。

リファレンス入力 (V_{IN}A、B、C、D、E、F、G、H)

8個の独立したV_{IN}入力端子は、コードに依存する入力抵抗をもっています。その最悪ケースの最小値は電気的特性の表に示すように3kΩです。代表的な性能特性のセクションで示す「リファレンス入力電流対コード」というタイトルのグラフ(図5)は、増加変化の様子を示しています。この入力抵抗を駆動するために適したアンプを使用してください。また、並列に19pF typの入力容量を接続してください。これらのリファレンス入力はDCだけでなく、AC電圧も入力可能です。これは、DACの設計において双方向のアナログ・スイッチを組込むことによって可能になります(図23参照)。DACスイッチの動作は、トランジェント入力負荷を最小とするため、ブレイク・ピフォー・メイクで動作するように設計されています。リファレンス入力電圧範囲は、ほぼ負電源電圧(V_{SS})から正電源電圧(V_{DD})の2V付近まで動作できます。すなわち、動作入力電圧範囲は次のように示されます。

$$V_{SS} + 0.5V < V_{INX} < (V_{DD} - 2V) \quad (3)$$

DAC出力 (V_{OUT}A、B、C、D、E、F、G、H)

8個のD/Aコンバータ出力はDAC-8840の内蔵アンプによって完全にバッファされています。このアンプは100pFを並列に接続して1kΩ負荷までを駆動可能です。しかしながら、内部デバイスの電力消費を最小にするため、可能であればより大きな負荷抵抗とすることを推奨します。アンプの出力段はGNDに短絡することができます。しかし、連続短絡回路動作を避けるようにしてください。

バッファの出力インピーダンスは低く、アナログ入力チャネル間のクロストークを最小に抑えます。チャネル間のアナログ・クロストークのグラフ(図9)は、代表的な性能特性のセクションに示しています。1MHzにおいて72dBのチャネル間アイソレーションを実現しています。アナログ・チャネル間をガードしたり、電源バイパス・コンデンサを用いるなど、適切な回路レイアウトを行ってください。1~10μFのタンタル・コンデンサと0.01μFのセラミック・コンデンサを並列に接続することにより、入力周波数帯域に対して良好な電源バイパス特性を実現します。

デジタル・インタフェース

DAC-8840の4つのデジタル入力ピン(CLK、SDI、LD、 \overline{PR})は、TTLおよび5V CMOSロジックとコンパチブルです。SDO出力ピンは、CMOSロジックの応用で良好なファンアウトを提供し、数個のDAC-8840を容易に駆動できます。

ロジック制御入力の真理値表(表II)に、内部の12ビット・シリアル入力レジスタにデータをシフトさせる方法を示します。CLKが立上りエッジ・センシティブな入力であることに注意してください。ブレッドボード・レベルでの製品評価時に機械的スイッチを用いる場合、フリップフロップまたは他の適切な方法によってスイッチのバウンスを除去してください。

必要なアドレスとデータの入力形式はシリアル入力デコード表(表I)に定義しています。アクティブHIのロード・ストロープ(LD)がアクティブとなっても、DAC-8840内には無動作(NOP)あるいはアクティブの8個のアドレス状態があることに注意してください。このNOPは、複数のDACをカスケード接続する応用において、しかもそのうちの1つのDAC出力を更新する必要がある場合に用いられます。データ更新を必要としないパッケージはNOPアドレス、すなわちオール0を受信するはずですが、シリアル入力シフト・レジスタへのロードはCLK入力ピンにおいて12クロックで実行されます。SDI入力ピンのデータはタイミング図(図1)に示すデータ・セットアップやデータ・ホールド時間の要求を満足しなければなりません。

12番目のクロック・パルス後、DAC-8840にシリアル・レジスタの内容をデコードし、目標のDACレジスタを8ビット・データ・ワードで更新するために、プロセッサはLDストロープをアクティブとする必要があります。これは13番目の立上りクロック・エッジの前に行なう必要があります。タイミング条件は電気的特性の表や図1のタイミング図に示します。12個のクロック・エッジ後、SDI側でシフト・レジスタに最初にロードされたデータが、シフト・レジスタ出力SDOに現われます。

デジタル入力ピンを通してデジタル・フィードスルーが生じます。DACレジスタを更新する必要があるときのみ、クロックの動作はアナログ信号チャネル上のデジタル・フィードスルーの影響を最小にします。電気的特性の表に示すDACスイッチ・フィードスルーは、V_{INX}入力をグラウンドに接続し、オール0とオール1間でデータ・コードを循環することによって測定しています。この条件下で、フィードスルー6nVsが選択されたDACチャネルの出力上で測定されました。隣接チャネル間では、InVs以下のデジタル・クロストークが測定されました。代表的な性能特性のセクションに示すデジタル・フィードスルーの写真はこれらの特性を示しています。(図14、15、16)

図25は複数パッケージのために容易にカスケード接続ができる1個のDAC-8840の3線インタフェースを示します。

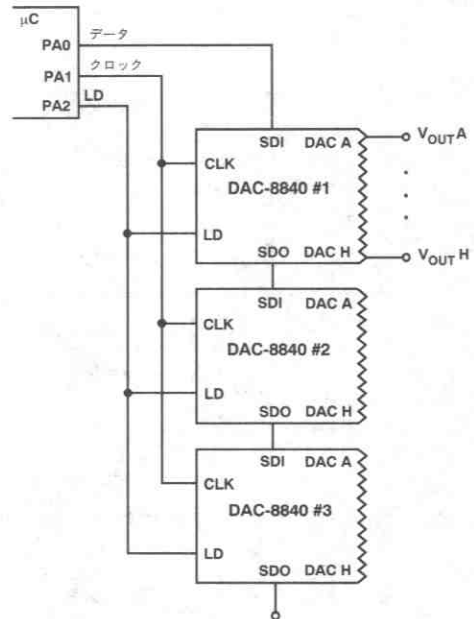


図25. 3線インタフェースによる複数DAC-8840のアップデート

型名	温度範囲	パッケージ・オプション
DAC-8840FP	-40~+85°C	プラスチックDIP
DAC-8840FW	-40~+85°C	サーディップ
DAC-8840FS	-40~+85°C	SOIC
DAC-8840GBC	25°C	ゲイス

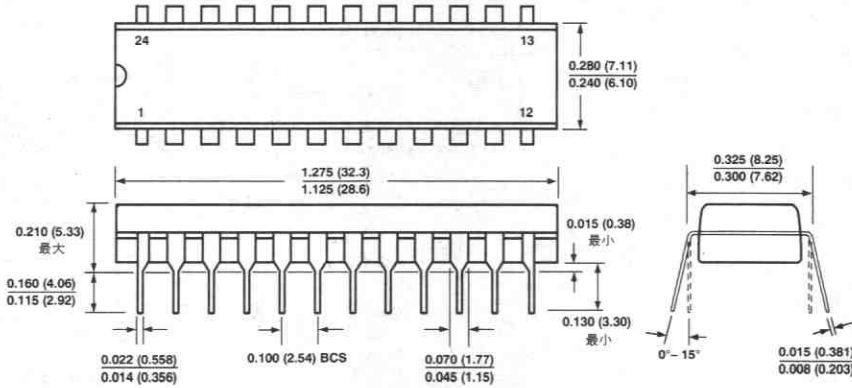
MIL-STD 883に完全に適合するデバイスであるDAC-8840BW/883のデータシートについては、お問合わせください。

DAC-8840オーダ・ガイド

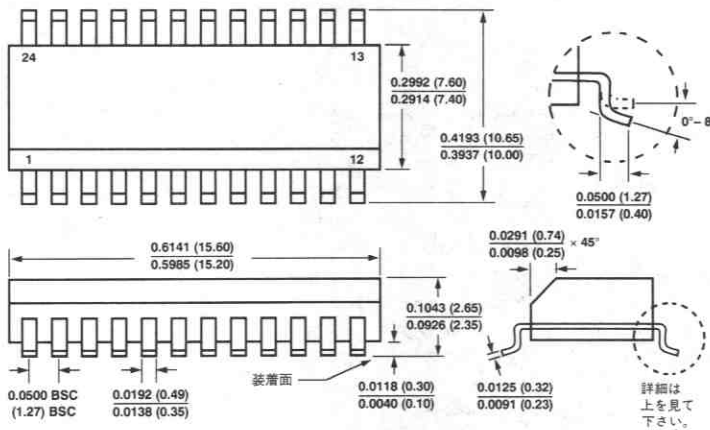
外形サイズ

サイズはインチと (mm) で示します。

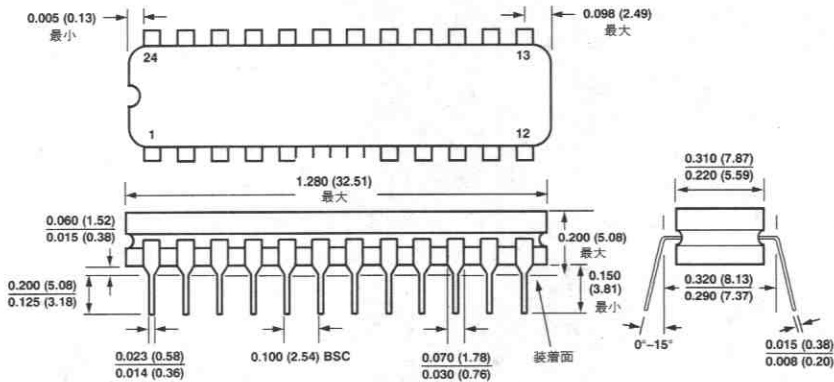
24ピン・スキニー・プラスチックDIPパッケージ



24ピン・ワイドSOICパッケージ



24ピン・スキニー・サーディップ・パッケージ



特長

- 8個のポテンショメータの代替として使用可能
- +5V単一電源動作
- 1MHz 2象限乗算帯域幅
- 信号反転が不要
- 独立した8チャンネル
- 3線シリアル入力
- 500kHzのアップデート・データ・ロード・レート
- ±3Vの出力振幅
- ミッドスケール・プリセット
- ローパワー：95mW

応用

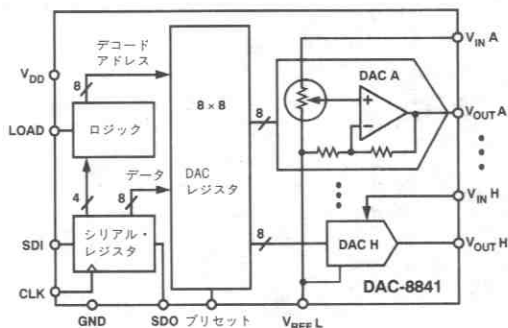
- トリマの置換え使用
- ダイナミック・レベル調整
- 特殊波形の生成/変調
- プログラマブル・ゲイン・アンプ

概要

DAC-8841は、1個で8つの汎用ディジタル制御電圧調整デバイスとして機能します。新設計のTrimDAC™は、トリマー機能の置換えとしての使用が可能です。DAC-8841は1MHzまでの帯域幅信号のACまたはDCゲイン制御に理想的です。

DAC-8841の内部には、8つの電圧出力型CMOS D/Aコンバータが内蔵されており、それぞれに独立したリファレンス入力があります。各DACには個々の出力状態を保持するDACレジスタがあります。これらのDACレジスタは、標準3線シリアル入力ディジタル・インタフェースからロードされる内部のシリアル・パラレル・シフト・レジスタにより更新されます。シリアル入力レジスタ内にクロック同期で入力されるデータ・ワード長は、12ビットです。このデータ・ワードはデコードされ、最初の4ビットによって、後続の8ビットをロードするDACレジスタのアドレスが決まります。シリアル・レジスタの反対側にあるシリアル・データ出力ピンにより、外部デコード・ロジックの追加を必要とせずに、複数のDACを用いる応用で簡単にデジー・チェーン構成とすることが可能です。

TrimDACはAnalog Devices, Inc.の登録商標です。



DAC-8841機能ブロック図

DAC-8841の消費電力は、+5V電源で95mWにすぎません。デュアル電源应用についてはDAC-8840を利用してください。

DAC-8841のパッケージは24ピンのプラスチックDIP、サーディップおよびSOICが用意されています。-55～+125°C動作に対応するMIL-STD/883モデルのデータシートについてはお問合わせください。

仕様

(特に指定のない限り、DAC-8841Fにおいて $V_{DD}=+5V$ 、全 $V_{INX}=+1.5V$ 、 $V_{REFL}=0V$ 、 $T_A=-40^{\circ}C\sim+85^{\circ}C$)

パラメータ	記号	条件	Min	Typ	Max	単位
スタティック精度		仕様はすべてDAC A、B、C、D、E、F、G、Hに適用されます。				
分解能	N		8			ビット
積分非直線性	INL	注1		$\pm 1/2$	± 1.5	LSB
微分非直線性	DNL	全デバイス単調増加性、注1			± 1	LSB
ハーフスケール出力電圧	V_{HS}	$\overline{PR}=0V$ 、 $D=80_H$ に設定	1.475	1.500	1.525	V
ゼロスケール出力電圧	V_{ZS}	デジタル・コード=00 _H		20	100	mV
出力電圧ドリフト	TCV_{HS}	$\overline{PR}=0$ 、 $D=80_H$ に設定		10		$\mu V/^{\circ}C$
信号入力		全入力 V_{INX} または V_{REFL} に適用				
入力電圧範囲	IVR		0		1.5	V
入力抵抗	R_{IN}	$D=55$ 、コードに依存	4	10		k Ω
入力容量	C_{IN}	コードに依存		19	30	pF
REF Low抵抗	R_{REFL}	$D=AB_H$ ；コードに依存	0.3	0.75		k Ω
REF Low容量	C_{REFL}	コードに依存		190	250	pF
DAC出力		全出力 V_{OUTX} に適用				
電圧範囲	OVR	$R_L=10k\Omega$	0		3	V
出力電流	I_{OUT}	$\Delta V_{OUT} < 25mV$ 、 $V_{INX}=1.375V$ 、 $\overline{PR}=0V$	± 5	7		mA
容量性負荷	C_L	発振なし			200	pF
ダイナミック性能		全DACに適用				
乗算ゲイン帯域幅	GBW	$V_{INX}=100mV$ p-p+1.0Vdc	1	2.5		MHz
スルーレート		10%~90%を測定				
正	+SR	$\Delta V_{OUTX}=+3V$	1.3	4.0		V/ μs
負	-SR	$\Delta V_{OUTX}=-3V$	1.3	2.5		V/ μs
全高調波歪み	THD	$V_{INX}=1V_{p-p}+1.0Vdc$ 、 $D=FF_H$ 、 $f=1kHz$ 、 $f_{LP}=80kHz$		0.01		%
スポット・ノイズ電圧	e_n	$f=1kHz$		0.17		$\mu V/\sqrt{Hz}$
出力セトリング時間	t_s	$\pm 1LSB$ 誤差幅、 $8_{10}\sim 255_{10}$		3.5	6	μs
チャンネル間クロストーク	C_T	隣接チャンネル間測定 $f=100kHz$	60	70		dB
デジタル・フィードスルー	Q	$V_{REFL}=+1.5V$ 、 $D=0\sim FF_H$		6		nVs
電源						
正の電源電流	I_{DD}	$\overline{PR}=0V$		19	26	mA
消費電力	P_{DISS}			95	130	mW
DC電源変動除去比	PSRR	$\overline{PR}=0V$			0.01	%/%
電源範囲	PSR	V_{DD}	4.75	5.00	5.25	V
デジタル入力						
ロジックHIレベル	V_{IH}		2.4			V
ロジックLOWレベル	V_{IL}			0.8		V
入力電流	I_L			± 10		μA
入力容量	C_{IL}			8		pF
入力コーティング				バイナリ		
デジタル出力						
ロジックHIレベル	V_{OH}	$I_{OH}=-0.4mA$	3.5			V
ロジックLOWレベル	V_{OL}	$I_{OL}=1.6mA$		0.4		V

注

1. INLとDNLの試験では、ゼロスケール出力電圧によりコード0~7での動作は含まれていません。 V_{REFL} で100mVを超えるバイアス電圧については、INLとDNLはすべてのコードで維持されています。

仕様は予告なしに変更することがあります。

タイミング特性

(特に指定のない限り、DAC-8841Fにおいて、 $V_{DD}=+5V$ 、全 $V_{INX}=+1.5V$ 、 $V_{REFL}=0V$ 、 $T_A=-40^{\circ}C\sim+85^{\circ}C$)

パラメータ	略称	最小	最大	単位
入力クロック・パルス幅	t_{CH} 、 t_{CL}	80		ns
データ・セットアップ時間	t_{DS}	40		ns
データ・ホールド時間	t_{DH}	20		ns
CLK-SDO伝播遅延	t_{PD}		120	ns
DACレジスタ・ロード・パルス幅	t_{LD}	70		ns
プリセット・パルス幅	t_{PR}	50		ns
クロック・エッジロード時間	t_{CKLD}	30		ns
ロード・エッジ次のクロック・エッジ	t_{LDCK}	60		ns

ウエハ・テスト・リミット

(特に指定のない限り、 $V_{DD} = +5V$ 、全 $V_{INX} = +1.5V$ 、 $V_{REFL} = 0V$ 、 $T_A = +25^\circ C$)

パラメータ	略称	条件	DAC-8841GBC リミット値	単位
積分非直線性	INL		± 1.5	LSB max
微分非直線性	DNL	全デバイス単調増加性	± 1	LSB max
ハーフスケール出力電圧	V_{HS}	$PR=0$ 、 $D=80_H$ 設定	1.475/1.525	V min/max
入力抵抗 (V_{INX})	R_{IN}	$D=55_H$ 、コードに依存	4	k Ω min
REF Low抵抗	R_{REFL}	$D=AB_H$ ；コードに依存	0.3	k Ω min
DAC出力電圧範囲	OVR	$R_L = 10k\Omega$	3	V min
DAC出力電流	I_{OUT}	$\Delta V_{OUT} < 25mV$	± 5	mA min
スルーレート		10%~90%を測定		
正	SR+	$\Delta V_{OUTX} = +3V$	1.3	V/ μs min
負	SR-	$\Delta V_{OUTX} = -3V$	1.3	V/ μs min
正電源電流	I_{DD}	$PR=0V$	26	mA max
DC電源変動除去比	PSRR	$PR=0V$ 、 $\Delta V_{DD} = \pm 5\%$	0.01	%/% max
ロジック入力HI	V_{IH}		2.4	V min
ロジック入力LOW	V_{IL}		0.8	V max
ロジック入力電流	I_L		± 10	μA max
ロジック出力HI	V_{OH}	$I_{OH} = -0.4mA$	3.5	V min
ロジック出力LOW	V_{OL}	$I_{OL} = 1.6mA$	0.4	V max

注

電気的テストは上図の規準に従ってウエハ・プローブで実施されています。組立方法や標準歩留り損失の違いがあるため、パッケージング後の歩留りは標準ダイ製品に対して保証されません。サンプル・ロット・アセンブリと検査を通じたダイ・ロットの品質に関する仕様については、ご相談ください。

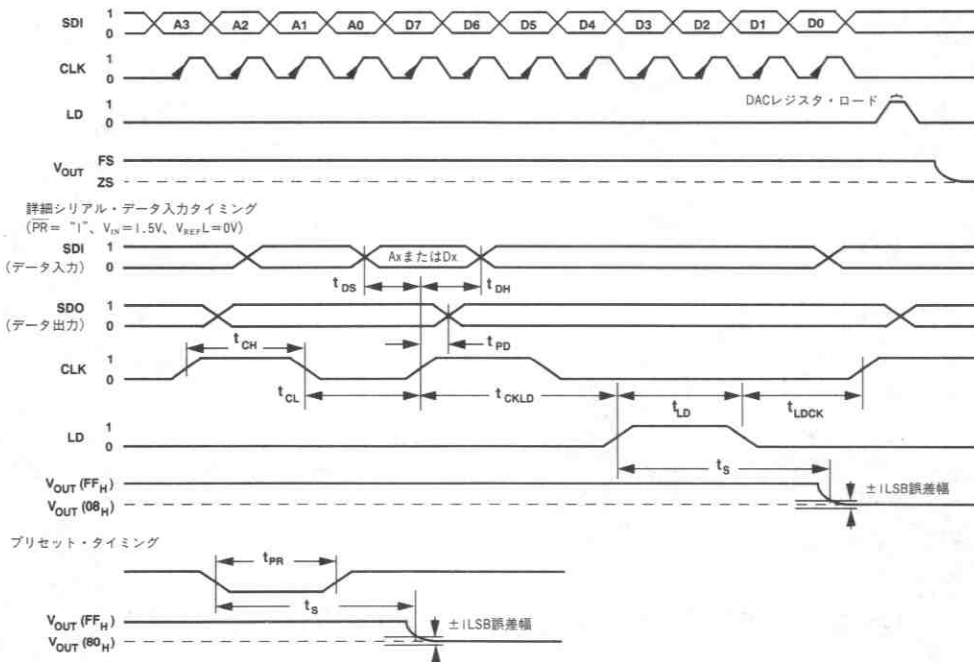


図1. タイミング図

DAC-8841ピン説明

ピン番号	名称	機能説明
1	V _{OUT} C	DAC C出力
2	V _{OUT} B	DAC B出力
3	V _{OUT} A	DAC A出力
4	V _{IN} B	DAC Bリファレンス入力
5	V _{IN} A	DAC Aリファレンス入力
6	V _{REF} L	DAC入力リファレンスLOW
7	PR	プリセット入力、アクティブLOW 全DACレジスタ=80 _H
8	V _{IN} E	DAC Eリファレンス入力
9	V _{IN} F	DAC Fリファレンス入力
10	V _{OUT} E	DAC E出力
11	V _{OUT} F	DAC F出力
12	V _{OUT} G	DAC G出力
13	V _{OUT} H	DAC H出力
14	V _{IN} G	DAC Gリファレンス入力
15	V _{IN} H	DAC Hリファレンス入力
16	LD	DACレジスタ・ロード・ストロブ信号。 シリアル入力レジスタからデコードされた DACレジスタにデータを転送するための アクティブHI入力。表1参照。 シリアル・クロック入力、立上りエッジで 動作
17	CLK	シリアル・データ出力、アクティブ・ト テム・ポール出力
18	SDO	グラウンド
19	GND	シリアル・データ入力
20	SDI	+5V電源
21	V _{DD}	DAC Dリファレンス入力
22	V _{IN} D	DAC Cリファレンス入力
23	V _{IN} C	DAC D出力
24	V _{OUT} D	

ピン配置



ダイス仕様

ダイスのサイズ : 0.117×0.185インチ、21,645平方mil
(2.9718×4.699mm、13.964平方mm)
ダイの裏面は電氣的にV_{DD}にコモンです

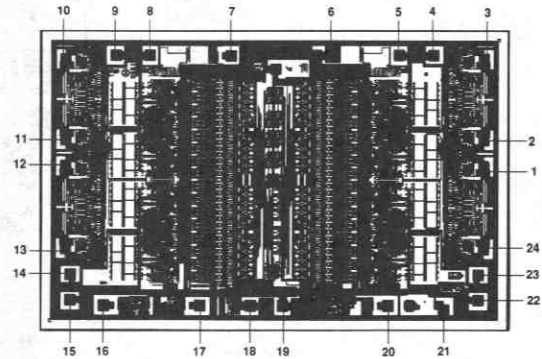
絶対最大定格

(特に指定のない限り、T_A = +25°C)

V _{DD} -GND間0.3、+7V
V _{IN} X-GND間V _{DD}
V _{REF} L-GND間V _{DD}
V _{OUT} X-GND間V _{DD}
回路短絡I _{OUT} X-GND間無制限
デジタル入出力電圧-GND間V _{DD}
動作温度範囲	
拡張温度産業用 : DAC-8841F-40 ~ +85°C
最大ジャンクション温度 (T _J max)+150°C
保管温度-65 ~ +150°C
リード温度 (ハンダ付け10秒)+300°C
パッケージシの電力消費(T _J Max-T _A)/θ _{JA}

熱抵抗θ_{JA}

サーディップ64°C/W
プラスチックDIP57°C/W
SOIC-2470°C/W



1. V _{OUT} C	13. V _{OUT} H
2. V _{OUT} B	14. V _{IN} C
3. V _{OUT} A	15. V _{IN} H
4. V _{IN} B	16. LD
5. V _{IN} A	17. CLK
6. V _{REF} L	18. SDO
7. PR	19. GND
8. V _{IN} E	20. SDI
9. V _{IN} F	21. V _{DD}
10. V _{OUT} E	22. V _{IN} D
11. V _{OUT} F	23. V _{IN} C
12. V _{OUT} G	24. V _{OUT} D

注意

この素子はESD (electrostatic discharge) センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると、永久破壊を起こすことがあります。使用しないデバイスは、導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させることが必要です。



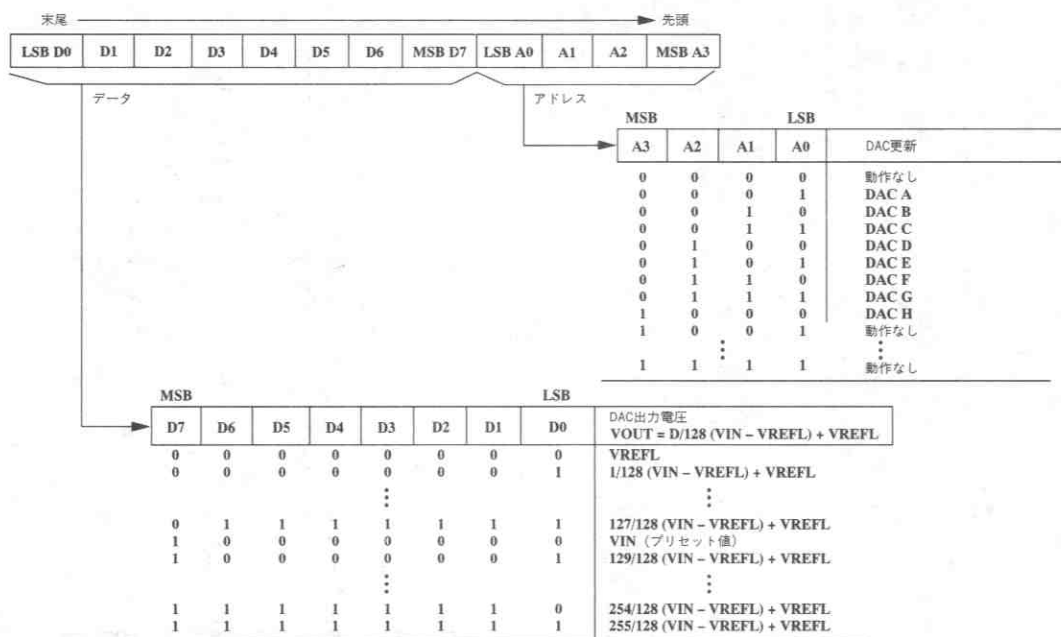


表1. シリアル入力デコード表

SDI	CLK	LD	PR	入力シフト・レジスタ動作
X	L	L	H	NOP
X		L	H	SDIピンから1ビット・シフト入力 (ピン20) SDOピンから1ビット・シフト出力 (ピン18)
X	X	L	L	オールDACレジスタ=80H
X	L	H	H	シリアル・レジスタ・データをDAC (X) レジスタ にロード

*SDIピンにシフト入力されるデータは、12クロック後、SDOピンに現れます。

表II. ロジック制御入力真値表

代表的な性能特性 DAC-8841

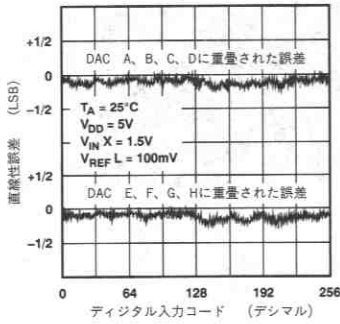


図2. 直線性誤差対デジタル入力コード

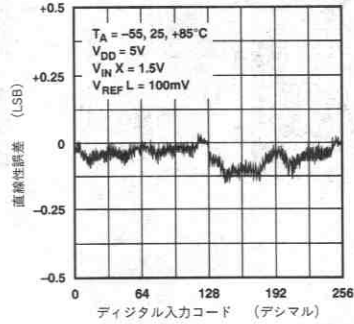


図3. 直線性誤差対デジタル・コード対温度

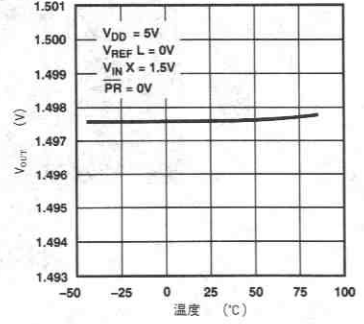


図4. ハーフスケール対温度

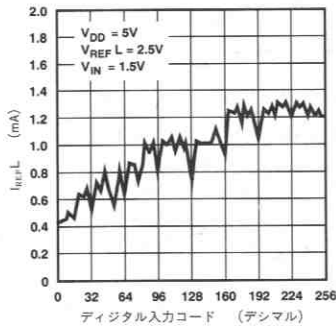


図5. IREFL入力電流対デジタル・コード

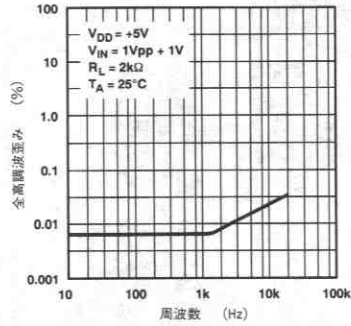


図6. 全高調波歪み対周波数

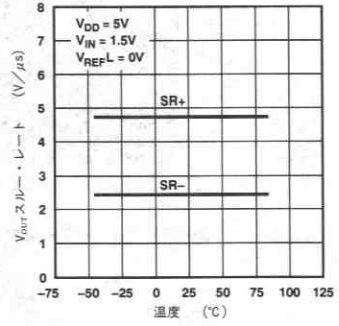


図7. VOUTスルー・レート対温度

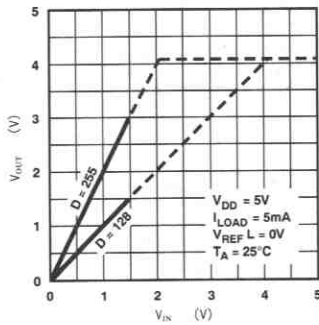


図8. フルスケール出力 (正飽和)

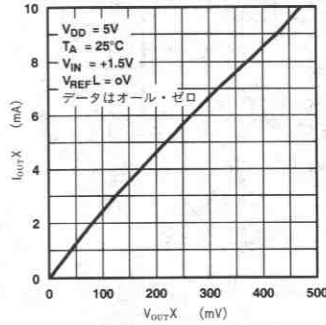


図9. ゼロスケール出力の詳細

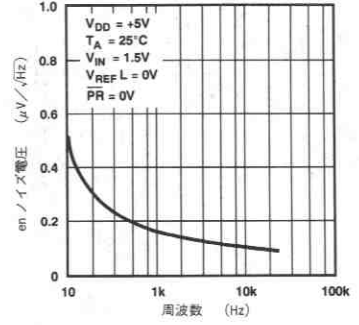


図10. 電圧ノイズ密度対周波数

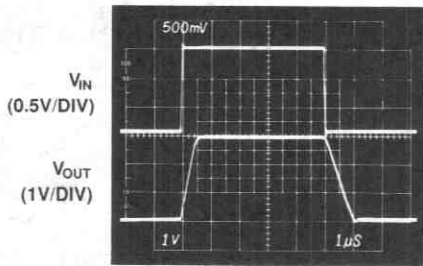
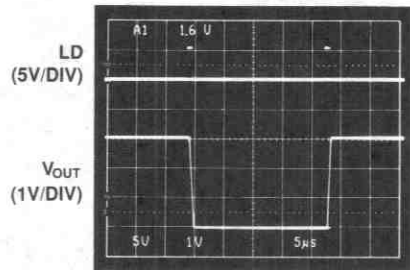
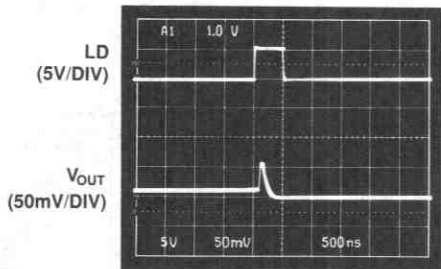


図11. パルス応答



DIGITAL CODE = 255 → 8 → 255

図12. セトリング時間



DIGITAL CODE = 128 → 127

図13. 最悪ケースの1LSBデジタル・ステップ変動

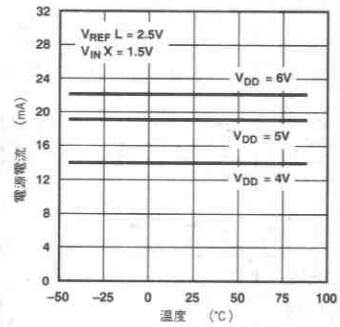


図14. 電源電流対温度

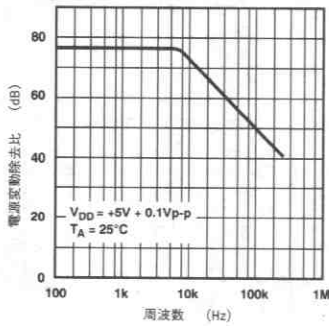


図15. PSRR対周波数

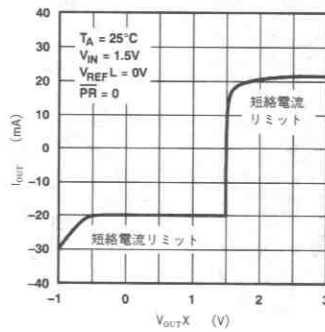


図16. DAC出力電流対 V_{OUTX}

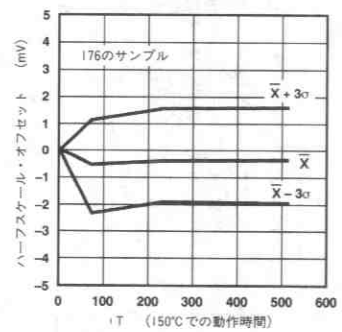


図17. パーンインにより加速された出カドリフト変化

回路動作

DAC-8841は、3端子接続モードで使われていたポテンショメータの置換え用に設計された汎用、マルチチャネルのACおよびDC信号用レベル調整デバイスです。プログラマブルな信号レベル制御が可能な8つの独立したチャネルが、24ピン・パッケージ・デバイスで可能です。出力は完全にバッファされ、外部負荷の駆動として5mAまでの出力駆動電流を供給可能です。図18に示すDACとアンプの接続により、 V_{IN} に供給された入力信号とデジタル入力制御ワードの2象限乗算を実行します。またDAC-8841は、2象限乗算チャネルにおいて1MHzのゲイン帯域幅積をもっています。+5V電源で動作し、+1.5Vのアナログ入力、+3Vのアナログ出力が可能です。

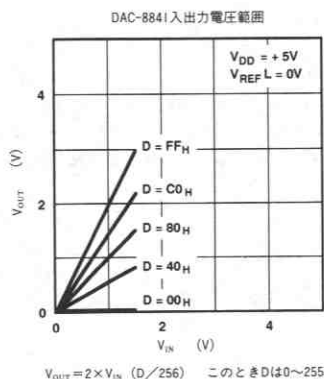
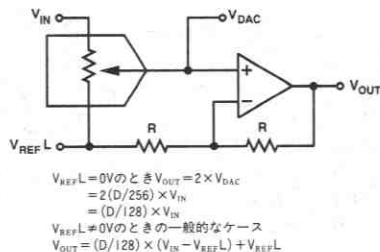


図24. DACとアンプの接続による2象限乗算

制御用マイクロプロセッサとのインタフェースを単純化するために、レイアウト上も効率的な3線シリアル・データ・インタフェースを採用しています。このインタフェースは、ほとんどのマイクロコンピュータやマイクロプロセッサシステムと容易に接続可能です。3線インタフェースは、クロック (CLK)、シリアル・データ入力 (SDI)、ロード (LD) ストローブ・ピンによって構成されます。内部のDACレジスタ値を変更するために用いられる12ビットの入力データ・ワードは、4ビットのアドレスと8ビットのデータから構成されます。このワードの組み合わせにより、他のデバイスを妨害せずに与えられた時間ですべてのDACレジスタの内容を変更することができます。シリアル・データ出力SDOピンにより、システムにアドレス・デコード用チップを付加することなく、複数のDAC-8841のカスケード接続が容易になります。電源投入時にプリセット (PR) ピンにロジックLOWレベルを与えることで、全DACレジスタ値を80_Hに強制します。このとき全バッファ・アンプ出力は強制的にハーフスケールに等しくなります。

伝達式(1)にプリセット条件(80_H)で V_{OUT} が V_{IN} に等しいことを示しています。この非同期入力ピンPRは、DACレジスタ値をハーフスケール・コードの80_Hに強制的にセットするため、いつでもアクティブにすることができます。これは一般的に汎用の調整手続きを開始する上で便利です。

ACまたはDC信号レベルの調整

DAC-8841の2象限乗算動作を図18に示します。DC動作では、デジタル入力 V_{IN} と V_{OUT} 間の関係式は次の通りです。

$$V_{OUT} (D) = (D/128) \times (V_{IN} - V_{REF L}) + V_{REF L} \quad (1)$$

このときDは、0~255の10進数です。

V_{IN} にDC入力を1.5Vに固定し、 $V_{REF L}$ を0Vとした際に発生する実際の出力電圧を表IIIにまとめます。

10進数入力 (D)	$V_{OUT} (D)$	備考 ($V_{IN}=1.5V, V_{REF L}=0V$)
0	0.000V*	ゼロスケール
1	0.012*	
2	0.024*	
127	1.488	ハーフスケール = V_{IN}
128	1.500	
129	1.512	
254	2.976	フルスケール (FS) $\approx 2 \times V_{IN}$
255	2.988	

*「グラウンドまわりの動作」を参照

表III.

DACレジスタに255 (2進数でオール1) がロードされているとき、出力極性は入力極性と同一であることに着目してください。また、出力が正確に入力電圧の2倍と同じではないということにも注意してください。これはR-2RラダーDAC構造を採用したこと起因します。DACレジスタに0をロードした時、出力は $V_{REF L}$ の大きさと等しくなります。この例の構成でDACをセットアップしたときに測定される実際の電圧は、DAC-8841の仕様±1LSB直線性誤差の範囲内で変化するでしょう。電圧誤差の計算値は±0.012Vとなります。

グラウンドまわりの動作：内部バッファアンプの入力段はグラウンド以下の電位で機能しますが、出力段は内部グラウンド電圧より低い電位を取込むことができません。DACの出力を内部グラウンド電位またはそれ以下の電圧としようとする、飽和状態となり、グラウンドに対して50Ωの抵抗のような状態となります。出力に生じる飽和電圧の代表値は20mVです (図9を参照)。最悪のケースで100mVのゼロスケール電圧仕様がこの飽和による影響を反映しており、これには内部グラウンド抵抗、無負荷時電源電流、バッファ・シンク電流の最悪のケースでの予想変動が含まれています。この飽和による影響を回避するために、直線性はコード8₁₀と255₁₀の間で測定されています。要約すると、 $V_{REF L}=0V$ のとき、各DACの伝達関数はコード8とコード255間の直線となります。0~7の入力コードでは、ゼロスケール出力電圧領域でDACの出力がいくらか飽和します。したがって、 $V_{REF L}$ が0Vのとき、デジタル・コードを0から1に変えても出力電圧は変わりません。

信号入力 (V_{IN}A、B、C、D、E、F、G、H)

8個の独立したV_{IN}入力端子は、コードに依存する入力抵抗をもって、その最悪ケースの最小値は電気的特性の表に示しています。この入力抵抗を駆動するために適したアンプを使用してください。また、並列に規定の入力容量を接続してください。これらのリファレンス入力はDCだけでなく、AC電圧も入力可能です。これは、DACの設計において双方向のアナログ・スイッチを組み合わせることによって可能になります(図19参照)。DACスイッチの動作は、トランジエント入力負荷を最小とするため、ブレイク・ビフォー・メイクで動作するように設計されています。リファレンス入力電圧範囲は、グラウンド(GND)から1.5Vまで動作できます。すなわち、V_{REFL}=0Vのとき動作入力電圧範囲は次のように示されます。

$$0V < V_{INX} < 1.5V \quad (2)$$

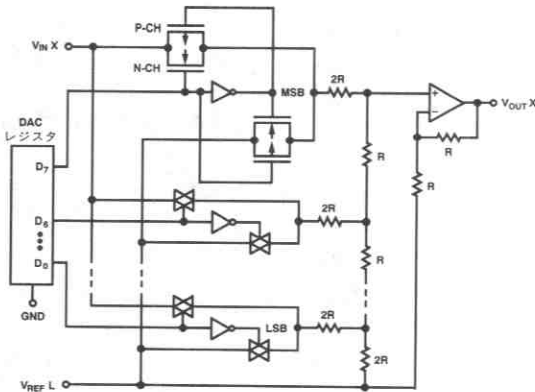


図19. DAC-8841等価回路(1チャンネル)

リファレンス入力はV_{DD}までの入力電圧に対応することができます。しかし、内部アンプのゲイン2の構成により、入力電圧が1.5VおよびV_{REFL}=0Vのとき、回路の出力電圧が最大規定値3Vに達してしまいます(図18を参照)。

リファレンスLOW入力V_{REFL}はDACの最下端です(図18を参照)。この入力は通常グラウンドに接続されていますが、グラウンドより高くバイアスすることが可能です。V_{REFL}がグラウンドより高くバイアスされているとき、その値とV_{INX}の値を式(3)に基づいて選択する必要があります。

$$V_{OUT} \leq V_{DD} - 2V \quad (3)$$

一般的な場合、V_{INX}とV_{REFL}のV_{DD}に対するヘッドルームの制限は式(4)で得られます。

$$V_{INX}, V_{REFL} \leq V_{DD} - 2V \quad (4)$$

上式に基づいて、V_{INX}とV_{REFL}のある組み合わせ条件の下でのみ動作させることができます。図20の斜線の部分が理論的に動作可能な範囲です。V_{REFL}はV_{INX}よりも高くバイアスできるということに注意して下さい。直線性はリファレンス電圧および電源の状態とともに変動します。出力の対称なAC信号が必要な場合には、V_{INX}の対称AC入力はV_{REFL}にオフセットする必要があります。そうすれば、出力信号はV_{REFL}基準となります。

例えば、1Vに等しいV_{REFL}のバイアスによって、V_{IN}には1V_{P-P}のAC入力信号が得られます。この入力信号はDACのデータ設定に応じて減衰されるか、あるいはゲイン2倍となります。

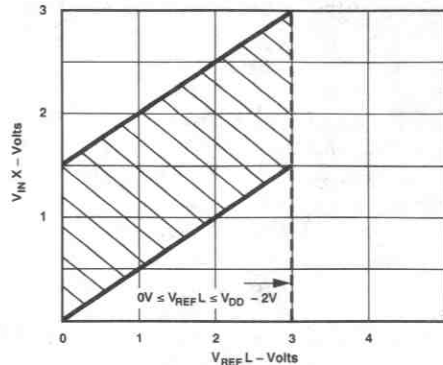


図20. 入力電圧動作の境界

DAC出力 (V_{OUT}A、B、C、D、E、F、G、H)

8個のD/Aコンバータ出力はDAC-8841の内蔵アンプによって完全にバッファされています。このアンプは200pFを並列に接続して1kΩ負荷までを駆動可能です。しかしながら、内部デバイスの電力消費を最小にするため、可能であればより大きな負荷抵抗とすることを推奨します。アンプの出力段はGNDに短絡することができます。しかし、連続短絡回路動作を避けるようにしてください。図16のDAC出力電流対V_{OUTX}のグラフを参照して下さい。

アンプの出力はすべての負荷条件および温度範囲でV_{DD}の2V以内で動作するように保証されています。バッファの出力インピーダンスは低く、アナログ入力チャネル間のクロストークを最小に抑えます。100kHzにおいて70dBのチャネル間アイソレーションを実現しています。アナログ・チャネル間をガードしたり、電源バイパス・コンデンサを用いるなど、適切な回路レイアウトを行ってください。1~10μFのタンタル・コンデンサと0.01μFのセラミック・コンデンサを並列に接続することにより、入力周波数帯域に対して良好な電源バイパス特性を実現します。

デジタル・インタフェース

DAC-8841の4つのデジタル入力ピン(CLK、SDI、LD、 \overline{PR})は、TTLおよび5V CMOSロジックとコンパチブルです。SDO出力ピンは、CMOSロジックの応用に良好なファンアウトを提供し、数個のDAC-8841を容易に駆動できます。

ロジック制御入力の真理値表(表II)に、内部の12ビット・シリアル入力レジスタにデータをシフトさせる方法を示します。CLKが立上りエッジ・センシティブな入力であることに注意してください。ブレッドボード・レベルでの製品評価時に機械的スイッチを用いる場合、フリップフロップまたは他の適切な方法によってスイッチのパウンスを除去してください。

必要なアドレスとデータの入力形式はシリアル入力デコード表(表I)に定義しています。アクティブHIのロード・ストローブ(LD)がアクティブとなっても、DAC-8841内には無動作(NOP)あるいはアクティブの8個のアドレス状態があることに注意してください。このNOPは、複数のDACをカスケード接続する応用において、しかもそのうちの1つのDAC出力を更新する必要がある場合に用いられます。シリアル入力シフト・レジスタへのロードはCLK入力ピンにおいて12クロックで実行されます。SDI入力ピンのデータはタイミング図(図1)に示すデータ・セットアップやデータ・ホールド時間の要求を満足しなければなりません。12番目のクロック・パルス後、DAC-8841にシリアル・レジスタの内容をデコードし、目標のDACレジスタを8ビット・データ・ワードで更新するために、プロセ

DAC-8841

サはLDストロブをアクティブとする必要があります。これは13番目の立上りクロック・エッジの前に行なう必要があります。タイミング条件は電気的特性の表や図1のタイミング図に示します。12個のクロック・エッジ後、SDI側でシフト・レジスタに最初にロードされたデータが、シフト・レジスタ出力SDOに現われます。

デジタル入力ピンを通してデジタル・フィードスルーが生じます。DACレジスタを更新するときのみ、クロックの動作はアナログ信号チャネル上のデジタル・フィードスルーの影響を最小にします。

図21は複数パッケージのために容易にカスケード接続ができる1個のDAC-8841の3線インタフェースを示します。

DAC-8841オーダ・ガイド

型名	温度範囲	パッケージ・オプション
DAC-8841FP	-40 ~ +85°C	プラスチックDIP
DAC-8841FW	-40 ~ +85°C	サーディップ
DAC-8841FS	-40 ~ +85°C	SOIC
DAC-8841GBC	-40 ~ +85°C	ゲイス

MIL-STD 883に完全に適合するデバイスであるDAC-8841BW/883のデータシートについては、お問い合わせください。

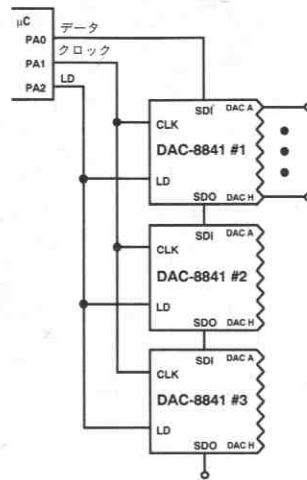
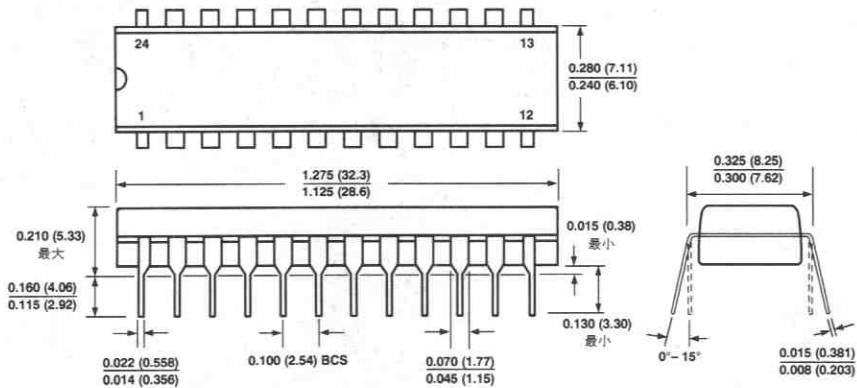


図21. 3線インタフェースによる複数DAC-8841のアップデート

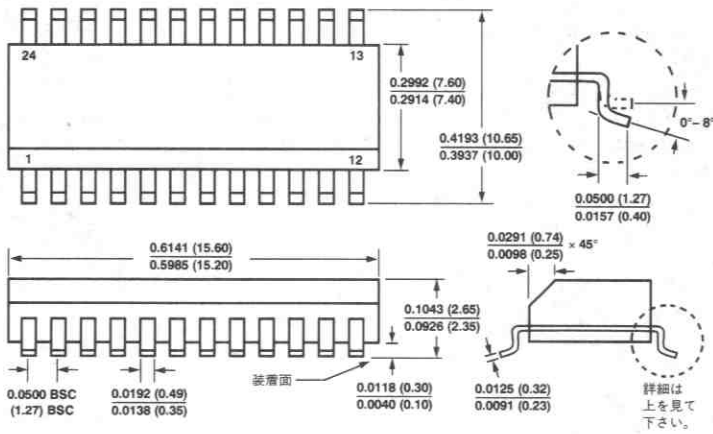
外形サイズ

サイズはインチと (mm) で示します。

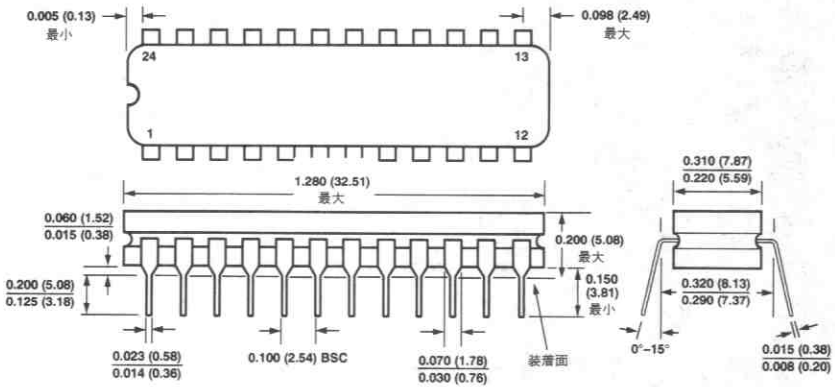
24ピン・スキニー・プラスチックDIPパッケージ



24ピン・ワイドSOICパッケージ



24ピン・スキニー・サーディップ・パッケージ



A/Dコンバータ

目次

	ページ
セレクション・ガイド	416
AD671 モノリシック12ビット高速2MHz A/Dコンバータ	419
AD674B 全機能内蔵, 高速12ビットA/Dコンバータ	434
AD678 12ビット200KSPSサンプリングA/Dコンバータ	446
AD679 14ビット100KSPSサンプリングA/Dコンバータ	460
AD779 14ビット100KSPSサンプリングA/Dコンバータ	473
AD1378 全機能内蔵, 広動作温度範囲 高速16ビットA/Dコンバータ	485
AD1382 16ビット, 500kHzサンプリングA/Dコンバータ	493
AD1674 12ビット, 100KSPSサンプリングA/Dコンバータ	509
AD1876 16ビット, 100KSPSサンプリングA/Dコンバータ	523
AD7572A LCCMOS 高速12ビットA/Dコンバータ	535
AD7586 LCCMOS12ビット, 1 μ s ADC	547
AD7701 LCCMOSシグマ・デルタ型16ビットA/Dコンバータ	563
AD7703 LCCMOSシグマ・デルタ型20ビットA/Dコンバータ	579
AD7769 LCCMOS 2CH8ビット・アナログI/Oポート	595
AD7868 LCCMOS全機能内蔵12ビット・アナログI/Oシステム	611
AD7869 LCCMOS全機能内蔵14ビット・アナログI/Oシステム	627
AD7870 LCCMOS12ビット, 100kHzサンプリングADC	643
AD7871 LCCMOS全機能内蔵14ビット・サンプリングADC	662
AD7872 LCCMOS全機能内蔵14ビット・サンプリングADC	662
AD7874 LCCMOS 4チャンネル, 12ビット同時サンプリング・データ収集システム	678
AD7875 LCCMOS12ビット, 100kHzサンプリングADC	643
AD7876 LCCMOS12ビット, 100kHzサンプリングADC	643
AD7880 LCCMOS, +5V単一電源動作, ローパワー12ビット・サンプリングADC	694
AD9014 14ビット, 10MSPS A/Dコンバータ	709
AD9058 デュアル8ビット高速50MSPS A/Dコンバータ	721

セレクション・ガイド

A/Dコンバータ

汎用ADC

モデル	分解能 (ビット)	変換 時間 μs	内蔵 SHA BW kHz ¹	リファレンス 電圧 内蔵/外付け	バス インタフェース (ビット) ²	パッケージ オプション ³	温度 ⁴ 範囲	特長	掲載ページ ⁵
PM-0820	8	1.3	6.4	+5V, 外付け	8, μP	N, P, Q, R	I, M	CMOS, ハーフフラッシュ	—
AD7569	8	2	200	内蔵	8, μP	E, N, P, Q, R	C, I, M	CMOS, アナログI/Oポート	D12-132
AD7669	8	2	200	内蔵	8, μP	N, P, R	C, I, M	CMOS, I/Oポート, 2DAC付き	D12-132
ADC-908	8	6.0		-10V, 外付け	8, μP	E, N, Q, R	C, I, M	CMOS, +5V動作	P11-7
AD670	8	10		内蔵	8, μP	D, E, N, P	C, I, M	計装用アンプ, リファレンス内蔵	D12-36
AD7576	8	10		1.23V, 外付け	8, μP	E, N, P, Q	C, I, M	CMOS, 低価格	D12-171
PM-7574	8	15.0		-10V, 外付け	8, μP	E, N, Q, R	C, I, M	CMOS, +5V動作	P11-69
AD570	8	25		内蔵	8	D	C, M		D12-15
AD673	8	30		内蔵	8, μP	D, N, P	C, M		—
AD579	10	1.8		10V, 内蔵	10/シリアル	D	C, I	高速, ローパワー	—
ADC-910	10	6.0		2.5V, 外付け	8, 10, μP	Q	C, I, M	バイポーラ, 高速	P11-19
AD571	10	25		内蔵	10	D	C, M		D12-17
AD573	10	30		内蔵	8/10, μP	D, N, P	C, M		D12-19
AD575	10	30		内蔵	シリアル	D, N	C, M	シリアル出力	D12-33
●AD671-500	12	0.5		5V, 外付け	12	D, N	C, M	12ビット, 500ns	419
●AD671-750	12	0.75		5V, 外付け	12	D, N	C, M	12ビット, 750ns	419
●AD7586	12	1	500	-4V, 外付け	12, μP	D, N, P	C, I	CMOS, 12ビット, 1MHz	547
AD578	12	3		10V, 内蔵	12	D	C, M	12ビット, 3μs	—
●AD7572A	12	3		-5.25V, 内蔵	8/12, μP	E, N, Q, R	C, I, M	AD7572の改良版	535
AD7672	12	3		-5V, 外付け	12, μP	E, N, P, Q	C, I, M	CMOS, -12V, +5V電源	D12-199
AD7572	12	5		-5.25V, 内蔵	12, μP	E, N, P, Q	C, I, M	CMOS, 12ビットADC	D12-152
AD ADC84/85	12	10		6.3V, 内蔵	12	D	C, I, M	業界標準品	D12-393
●AD7880	12	12	33	5V, 外付け	12, μP	N, Q, R	I	12ビット・サンプリング, ローパワー	694
ADC-912	12	12.5		-5V, 外付け	12, μP	N, Q, R	C, M	CMOS, 低トランジション・ノイズ	P11-31
AD674A	12	15		10V, 内蔵	8/12, μP	D	C, M	全機能内蔵	D12-48
●AD674B	12	15		10V, 内蔵	8/12, μP	D, N	C, I, M	AD674Aの低価格版	434
AD572	12	25		10V, 内蔵	12	D	I, M	12ビット逐次比較型	—
AD ADC80	12	30		6.3V, 内蔵	12	D	I	業界標準品	D12-391
AD574A	12	35		10V, 内蔵	8/12, μP	D, E, N, P	C, M	リファレンス, クロック内蔵, 業界標準品	D12-22
AD7578	12	100		5V, 外付け	12, μP	D, N	C, I, M	CMOS, 1LSB精度	—
AD7582	12	100		5V, 外付け	12, μP	D, E, N, P	C, I, M	CMOS, 1LSB総合誤差	D12-195
ADC1131	14	12		内蔵	14	モジュール	C	14ビット高速ADC	—
ADC1130	14	25		内蔵	14	モジュール	C	14ビット高速ADC	—
AD1377	16	10	X	内蔵	16, シリアル	D	C	高分解能, 高速16ビットADC	D12-93
AD1376	16	15		内蔵	16, シリアル	D	C	高分解能, 高速16ビットADC	D12-85
●AD1378	16	17		内蔵	16, シリアル	D	M	広い動作温度範囲	485
ADC1140	16	35		10V, 内蔵	16	モジュール	C	-25~+85°C動作	—
AD ADC71	16	50		6.3V, 内蔵	16	D	C	業界標準品	—
AD ADC72	16	50		6.3V, 内蔵	16	D	C, I	業界標準品	—
●AD7701	16	—	10Hz	外付け(2.5V)	シリアルμP	N, Q, R	I, M	16ビット・シグマ・デルタADC	563
AD1170	18	1000		5V, 内蔵	8	N	C	7~22ビット設定可能	D12-70
●AD7703	20	—	10Hz	2.5V, 外付け	シリアルμP	N, Q, R	I, M	20ビット・シグマ・デルタADC	579
AD1175K	22	50ms		6.95V, 内蔵/外付け	8	モジュール	C	22ビット積分型ADC	D12-82

注1. Xは内部SHAの帯域幅がkHzで規定されていないことを示します。

2. μPはマイクロプロセッサ・インタフェース機能を示します。同時にバス・インタフェース・データ・フォーマットも示します。例えば、12ビット・コンバータで8/12, μPは8ビット・バスまたはパラレル12ビットにデータがフォーマット化できることを意味します。

3. パッケージ: D=セラミックDIP, E=セラミック・リードレス・チップ・キャリア, M=メタルDIP, N=プラスチックDIP, P=プラスチック・リード付きチップ・キャリア(PLCC), Q=サーディップ, Z=セラミック・リード付きチップ・キャリア, R=SOIC

4. 温度範囲: C=0~+70°C, I=-40~+85°C(従来製品では-25~+85°Cの場合もあります), M=-55~+125°C

5. Dはデータブック1990/1991年版, PはPrecision Monolithics Divisionデータブック, そしてモデル名に●印のある製品は本データブック追補版に掲載されています。

太字で示すモデルは新規設計に最適な製品です。

サンプリングADC

モデル	分解能 (ビット)	変換 時間 μ s max	内蔵 SHA BW kHz ^{typ}	リファレンス 電圧 内蔵/外付け	バス インタフェース (ビット) ²	パッケージ オプション ³	温度 範囲 ⁴	特長	掲載ページ ⁵
AD7821	8	0.66	100	0-5V, 外付け	8, μ P	N, P, Q, E, R	C, I, M	CMOS, バイポーラ/ユニポーラ動作	D12-241
AD7820	8	2	7	0-5V, 外付け	8, μ P	E, N, P, Q, R	C, I, M	CMOS, 8ビット・サンプリング	D12-229
AD7575	8	5	50	1.23V, 外付け	8, μ P	E, N, P, Q	C, I, M	CMOS, 低価格	D12-168
AD7579	10	18.5	25	2.5V, 外付け	8, μ P	E, N, P, Q	C, I, M	CMOS, 10ビット・サンプリング	D12-179
AD7580	10	18.5	25	2.5V, 外付け	10, μ P	E, N, P, Q	C, I, M	CMOS, 10ビット・サンプリング	D12-179
AD9005	12	0.1	38000	内蔵	12	M	C, M	高速12ビットADC, 5MSPSユーロカード	D12-312
AD9003	12	1	10000	内蔵	12	M	C	12ビット, 1MSPS ADC	D12-304
●AD678	12	5	1000	5V, 内蔵	8/12, μ P	D, N, P	C, M	BiMOS, 高インピーダンス入力, AC/DC規定	446
AD1332	12	8	125	-5V, 内蔵	12, μ P	D	I, M	12ビット125kHzサンプリング	D15-31
●AD7868	12	8	500	内蔵(+3V)	シリアル, μ P	N, Q, R	C, I, M	CMOS, 12ビットI/Oポート	611
●AD7870	12	8	500	3V, 内蔵	8/12/シリアル, μ P	N, P, Q, R	C, I, M	CMOS, 100kHzスループット	643
●AD7875	12	8	500	内蔵(+3V)	8/12/シリアル, μ P	N, P, Q	C, I, M	CMOS, 12ビット, \pm 5V入力	643
●AD7876	12	8	500	内蔵(+3V)	8/12/シリアル, μ P	N, Q, R	I, M	CMOS, 12ビット, \pm 5V入力	643
AD7878	12	8	500	3V, 内蔵	12, μ P	E, N, P, Q	C, I, M	CMOS, 100kHzスループット, FIFO内蔵	D12-282
AD1334	12	15	235	-5V, 内蔵	12, μ P	D	I	4CH, 65kHz, 12ビット・サンプリング	D15-48
●AD1674	12	10	500	10V, 内蔵	8/12, μ P	D, N	C, I, M	AD574Aとピン・コンパチブル	509
●AD7869	14	8	500	内蔵(+3V)	シリアル, μ P	N, Q, R	C, I, M	CMOS, 14ビットI/Oポート	627
●AD9014	14	0.1	50000	内蔵	14	ボード	C	10.24MSPS, スプリアスフリーD レンジ	709
●AD679	14	10	1000	5V, 内蔵	8, μ P	D, N, P	C, I, M	BiMOS, 高インピーダンス, AC/DC規定	460
●AD779	14	10	1000	5V, 内蔵	14, μ P	D, N	C, I, M	BiMOS, 高インピーダンス, AC/DC規定	473
●AD7871	14	10	500	3V, 内蔵	8/14/シリアル, μ P	N, P, Q	C, I, M	CMOS, 14ビット	662
●AD7872	14	10	500	3V, 内蔵	シリアル, μ P	N, Q, R	C, I, M	CMOS, 14ビット, シリアル出力	662
●AD1382	16	2	2200	10V, 内蔵	8, μ P	D	C	高速16ビット	493
●AD1876	16	10	X	5V, 外付け	シリアル	D, N	C	16ピンDIP	523
AD1380	16	20	900	内蔵	16/シリアル	D	C	低価格	D12-101

多チャンネルADC

モデル	分解能 (ビット)	CH数	変換 時間 μ s	SHA BW kHz ¹	リファレンス 電圧 内蔵/外付け	バス インタフェース (ビット) ²	パッケージ オプション ³	温度 範囲 ⁴	特長	掲載ページ ⁵
●AD7769	8	2	2.5	200	外付け	8, μ P	N, P	C	CMOS, 2CHアナログ I/Oポート	595
AD7824	8	4	2.5	10	0-5V, 外付け	8, μ P	N, Q	C, I, M	CMOS, T/H内蔵	D12-254
AD7828	8	8	2.5	10	0-5V, 外付け	8, μ P	E, N, P, Q	C, I, M	CMOS, T/H内蔵	D12-254
AD7581	8	8	66.7		-10V, 外付け	8, μ P	D, N	C, I	CMOS	—
●AD7874	12	4	7.5	500	内蔵(+3V)/外付け	12, μ P	N, P, Q	C, I, M	CMOS, 4CH同時サンパ リング	678
AD1334	12	4	15	235	-5V, 内蔵	12, μ P	D	I, M	DSPインタフェース	D15-48
AD7582	12	4	100		4V-6V, 外付け	12, μ P	D, E, N, P	C, I, M	CMOS, 1LSB精度	D12-195

高速ADC

モデル	分解能 (ビット)	フルパワー スループット MSPS min	フルパワー BW MHz typ	リファレンス 電圧 内蔵/外付け	バス インタフェース (ビット) ²	パッケージ オプション ³	温度 範囲 ⁴	特長	掲載ページ ⁵
AD9006	6	470	550	\pm 1V, 外付け	6, μ P	E, Z	C, M	470MSPS, 6ビットADC	D12-320
AD9016	6	470	550	\pm 1V, 外付け	6, μ P	C, M	C, M	470MSPS, 6ビットADC	D12-320
AD9000	6	50	20	0.5-2V, 外付け	6	D, Q	C, M	低エラーレート	—
AD9028	8	300	250	-2V, 外付け	8	E	C, M	300MSPS, 8ビットADC	D12-355
AD9038	8	300	250	-2V, 外付け	8	E	C, M	300MSPS, 5ビットADC	D12-355
AD770	8	200	250	\pm 2V, 外付け	8	D	C, M	広帯域, エラー補正	D12-58
AD9002	8	125	160	0.1-(2.1)外付け	8	D, E	I, M	ローパワー, 低入力容量	D12-299
AD9012	8	75	180	-2V, 外付け	8	Q, E	I, M	TTLコンパチブル出力	D12-335
AD9048	8	35	15	-2V, 外付け	8, μ P	N, P, Q, Z	C, M	35MSPS, 8ビット・ビデオADC	D12-367
AD9502	8	13	7.5	内蔵	8	M	I	RS-170ビデオ・ディジタイザ	D12-387
●AD9058	8	50	175	+2, 内蔵	8	D, J, P	C, M	デュアル8ビット, TTL出力	721
AD9020	10	60	175	\pm 1.75, 外付け	10	E, Z	C, M	10ビット, TTL出力	D12-343
AD9060	10	75	175	\pm 1.75, 外付け	10	E, Z	C, M	10ビット, ECL出力	D12-375

注1. Xは内部SHAの帯域幅がkHzで規定されていないことを示します。

2. μ Pはマイクロプロセッサ・インタフェース機能を示します。同時にバス・インタフェース・データ・フォーマットも示します。例えば、12ビット・コンバータで8/12, μ Pは8ビット・バスまたはパラレル12ビットにデータがフォーマット化できることを意味します。

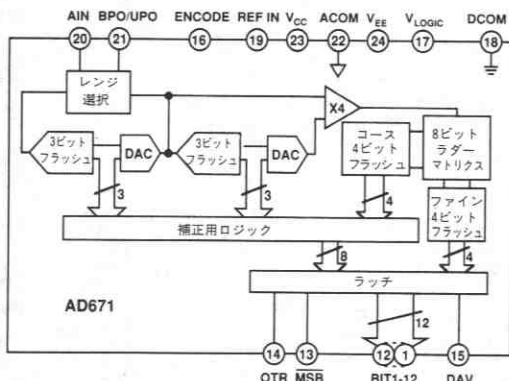
3. パッケージ: D=セラミックDIP, E=セラミック・リードレス・チップ・キャリア, J=Jリード・セラミック, M=メタルDIP,

N=プラスチックDIP, P=プラスチック・リード付きチップ・キャリア(PLCC), Q=サーディップ,
Z=セラミック・リード付きチップ・キャリア, R=SOIC

4. 温度範囲: C=0~+70°C, I=-40~+85°C (従来製品では-25~+85°Cの場合もあります), M=-55~+125°C

5. Dはデータブック1990/1991年版, PはPrecision Monolithics Divisionデータブック, そしてモデル名に●印のある製品は本データブック追補版に掲載されています。

太字で示すモデルは新規設計に最適な製品です。

特長
12ビット分解能
24ピン・スキニー-DIPパッケージ
変換時間: 500ns max (AD671J/K-500)
750ns max (AD671J/K-750)
低消費電力: 475mW
入力範囲: ユニポーラ (0~+5V、0~+10V)、バイポーラ (±5V)
2の補数またはオフセット・バイナリ出力
アウト・オブ・レンジ出力付き

AD671 機能ブロック図
概要

AD671は最高2MHz(変換時間500ns)の変換レートをもつ高速・モノリシック12ビットA/Dコンバータです。高速バイポーラ/CMOSプロセスと新規のアーキテクチャにより、従来のハイブリッド製品よりもはるかに優れた速度と消費電力を実現しました。さらに、モノリシック構造のため信頼性が向上し、システムの信頼性の向上とコスト低減が実現できます。

AD671ではサブレンジング・フラッシュ変換技術と、変換サイクルの最初の部分で起こり得るエラーを補正するデジタル・エラー補正技術を使用しています。内蔵のタイミング・ジェネレータにより内部での4回のフラッシュ・サイクル毎にストローブ・パルスを発生し、適切なセットリング時間でのフラッシュ間サブレンジ電圧の増幅が保証されます。コンバータの制御には1つのENCODEパルスを使用します。

AD671の性能は、リニア部の高速・低雑音のバイポーラ回路とロジック部のローパワーCMOS回路により実現されています。弊社独自のABCMOS-1プロセスにより、シングルチップ上に高速バイポーラと2 μ m CMOSデバイスが集積されています。高精度と温度安定性を得るため、レーザ・トリムされた薄膜抵抗が使用されています。

AD671には2つの変換速度と性能別グレードがあります。それぞれ0~+70°Cの温度範囲で仕様が規定され、パッケージは7.6mm幅の24ピン・セラミックまたはプラスチックDIPパッケージです。

製品のハイライト

1. AD671は2MHzのA/D変換機能をコンパクトな24ピンDIPパッケージで提供します。
2. 入力信号範囲はピン接続により、0~+5V、0~+10V、±5Vの3種類が選択できます。入力抵抗は1.5k Ω です。電源電圧は+5Vと-5Vで、消費電力の代表値は500mW以下です。
3. DC精度と温度ドリフト特性の必要に応じて+5Vの外部リファレンスを使用することができます。
4. ユニポーラ、バイポーラ・オフセットまたはバイポーラ2の補数形式の出力フォーマットを選択できます。
5. OUT OF RANGE出力ビットにより、入力信号がAD671の入力範囲を越えていることを示します。

DC仕様

(特に指定のない限り、 $T_{min} \sim T_{max}$ 、 $V_{CC} = +5V \pm 5\%$ 、 $V_{LOGIC} = +5V \pm 10\%$ 、 $V_{EE} = -5V \pm 5\%$ 、 $V_{REF} = +5.000V$)

パラメータ	AD671J-500			AD671K-500			単位
	Min	Typ	Max	Min	Typ	Max	
分解能	12			12			ビット
精度 (+25°C)							
積分非直線性 (INL)			±4			±2	LSB
$T_{min} \sim T_{max}$			±4			±2	LSB
微分非直線性 (DNL)							ビット
$T_{min} \sim T_{max}$	10			12			ビット
ノームス・コード		10ビット保証			12ビット保証		
ユニポーラ・オフセット ¹			±4			±4	LSB
バイポーラ・ゼロ ¹			±10			±10	LSB
ゲイン誤差 ²		0.1	0.25		0.1	0.25	%FSR
温度係数 ³							
ユニポーラ・オフセット			±10			±5	ppm/°C
バイポーラ・ゼロ			±15			±15	ppm/°C
ゲイン誤差			±15			±10	ppm/°C
アナログ入力							
入力範囲							
バイポーラ	-5		+5	-5		+5	V
ユニポーラ	0		+5	0		+5	V
	0		+10	0		+10	V
入力抵抗							
10V範囲	1.0	1.5	2.0	1.0	1.5	2.0	kΩ
5V範囲	0.5	0.75	1.0	0.5	0.75	1.0	kΩ
入力容量		10			10		pF
リファレンス入力抵抗	2.4	3.5	4.7	2.4	3.5	4.7	kΩ
電源							
電源変動除去比 ⁴							
$V_{CC} (+5V \pm 0.25V)$			±1			±1	LSB
$V_{LOGIC} (+5V \pm 0.5V)$			±1			±1	LSB
$V_{EE} (-5V \pm 0.25V)$			±1			±1	LSB
動作電圧							
V_{CC}	+4.75		+5.25	+4.75		+5.25	V
V_{LOGIC}	+4.5		+5.5	+4.5		+5.5	V
V_{EE}	-5.25		-4.75	-5.25		-4.75	V
動作電流							
I_{CC}		46	56		46	56	mA
I_{LOGIC}^5		3	6		3	6	mA
I_{EE}		46	56		46	56	mA
消費電力		475	621		475	621	mW
温度範囲							
定格	0		+70	0		+70	°C

注

1. 外付ポテンショメータでゼロ調整が行えます。オフセット/ゲイン校正の説明を参照ください。
2. フルスケール範囲 (FSR) は0~5V範囲については5V、0~10V範囲と-5V~+5V範囲については10Vです。
3. 25°C ~ T_{min} および25°C ~ T_{max} です。
4. DC電源電圧の変化に対するゲイン誤差の変化です。
5. スタティックな条件で試験されています。 I_{LOGIC} と変換速度および出力負荷との関係については図12を参照ください。

仕様は予告なしに変更することがあります。

太字の仕様は最終電気試験において0°C、+25°C、+70°Cの各温度で電源電圧の最悪値で全数検査されています。これらの試験結果は出荷品質レベルの計算に用いられています。minおよびmaxの定格値はすべて保証されていますが、太字の仕様のみが試験されています。

DC仕様

(特に指定のない限り、 $T_{min} \sim T_{max}$ 、 $V_{CC} = +5V \pm 5\%$ 、 $V_{LOGIC} = +5V \pm 10\%$ 、 $V_{EE} = -5V \pm 5\%$ 、 $V_{REF} = +5.000V$ の値)

パラメータ	AD671J-750			AD671K-750			単位	
	Min	Typ	Max	Min	Typ	Max		
分解能	12			12			ビット	
精度 (+25°C)								
積分非直線性 (INL) $T_{min} \sim T_{max}$	±2			±1			LSB	
微分非直線性 (DNL) $T_{min} \sim T_{max}$	±2			±1			LSB	
ノーマス・コード ユニポーラ・オフセット ¹ バイポーラ・ゼロ ¹ ゲイン誤差 ²	11	11ビット保証		12	12ビット保証		ビット	
		0.1	0.25		0.1	0.25	%FSR	
温度係数 ³								
ユニポーラ・オフセット	±10			±5			ppm/°C	
バイポーラ・ゼロ	±15			±15			ppm/°C	
ゲイン誤差	±15			±10			ppm/°C	
アナログ入力								
入力範囲								
バイポーラ	-5	+5		-5	+5		V	
ユニポーラ	0	+5		0	+5		V	
	0	+10		0	+10		V	
入力抵抗								
10V範囲	1.0	1.5	2.0	1.0	1.5	2.0	kΩ	
5V範囲	0.5	0.75	1.0	0.5	0.75	1.0	kΩ	
入力容量	10			10			pF	
リファレンス入力抵抗	2.4	3.5	4.7	2.4	3.5	4.7	kΩ	
電源								
電源変動除去比 ⁴								
V_{CC} (+5V ± 0.25V)	±1			±1			LSB	
V_{LOGIC} (+5V ± 0.5V)	±1			±1			LSB	
V_{EE} (-5V ± 0.25V)	±1			±1			LSB	
動作電圧								
V_{CC}	+4.75	+5.25		+4.75	+5.25		V	
V_{LOGIC}	+4.5	+5.5		+4.5	+5.5		V	
V_{EE}	-5.25	-4.75		-5.25	-4.75		V	
動作電流								
I_{CC}	46		56	46		56	mA	
I_{LOGIC} ⁵	3		6	3		6	mA	
I_{EE}	46		56	46		56	mA	
消費電力	475			475			621	mW
温度範囲								
定格	0			0			+70	°C

注

1. 外付ポテンショメータでゼロ調整が行えます。オフセット/ゲイン較正の説明を参照ください。
2. フルスケール範囲 (FSR) は0-5V範囲については5V、0-10V範囲と-5V~+5V範囲については10Vです。
3. 25°C ~ T_{min} および 25°C ~ T_{max} です。
4. DC電源電圧の変化に対するゲイン誤差の変化です。
5. スタティックな条件で試験されています。 I_{LOGIC} と変換速度および出力負荷との関係については図12を参照ください。

仕様は予告なしに変更することがあります。

太字の仕様は最終電気試験において0°C、+25°C、+70°Cの各温度で電源電圧の最悪値で全数検査されています。これらの試験結果は出荷品質レベルの計算に用いられています。minおよびmaxの定格値はすべて保証されていますが、太字の仕様のみが試験されています。

仕様

デジタル仕様 (全グレードについて、特に指定のない限り、 $T_{min} \sim T_{max}$ 、 $V_{CC} = +5V \pm 5\%$ 、 $V_{LOGIC} = +5V \pm 10\%$ 、 $V_{EE} = -5V \pm 5\%$ 、 $V_{REF} = +5.000V$ の値)

パラメータ	略称	Min	Typ	Max	単位
ロジック入力					
HIレベル入力電圧	V_{IH}	+2.0			V
LOWレベル入力電圧	V_{IL}			+0.8	V
HIレベル入力電流 ($V_{IN} = V_{LOGIC}$)	I_{IH}	-10		+10	μA
LOWレベル入力電流 ($V_{IN} = 0V$)	I_{IL}	-10		+10	μA
入力容量	C_{IN}		5		pF
ロジック出力					
HIレベル出力電圧 ($I_{OH} = 0.5mA$)	V_{OH}	+2.4			V
LOWレベル出力電圧 ($I_{OL} = 1.6mA$)	V_{OL}			+0.4	V
出力容量	C_{OUT}		5		pF

太字の仕様は最終試験において全数検査されています。これらの試験結果は出荷品質レベルの計算に用いられています。minおよびmaxの定格値はすべて保証されていますが、太字の仕様のみが試験されています。仕様は予告なしに変更することがあります。

スイッチング仕様 (全グレードについて、特に指定のない限り、 $T_{min} \sim T_{max}$ 、 $V_{CC} = +5V \pm 5\%$ 、 $V_{LOGIC} = +5V \pm 10\%$ 、 $V_{EE} = -5V \pm 5\%$ 、 $V_{IL} = 0.8V$ 、 $V_{IH} = 2.0V$ 、 $V_{OL} = 0.4V$ 、 $V_{OH} = 2.4V$ の値)

パラメータ	略称	Min	Typ	Max	単位
変換時間					
(AD671-500)	t_C		475	500	ns
(AD671-750)	t_C		725	750	ns
ENCODE HIパルス幅	t_{ENC}	20		50	ns
ENCODE LOWパルス幅	t_{ENCL}	20			ns
DAVパルス幅					
(AD671-500)	t_{DAV}	100		200	ns
(AD671-750)	t_{DAV}	100		300	ns
ENCODE立下りエッジ遅延	t_F	0			ns
変換開始遅延時間	t_R	0			ns
DAVの立下りエッジからのデータおよびOTRの遅延時間	t_{DD}^1	20	75		ns
DAVの立上りエッジまでのデータおよびOTRの有効時間	t_{SS}^2	20	75		ns

注
 t_{DD}^1 は各出力ピンに25pFの容量負荷を接続した状態でDAVの立下りエッジの電圧レベルが0.8Vに達してから、出力電圧レベルが0.4Vまたは2.4Vに達するまでの時間の測定値です。
 t_{SS}^2 は各出力ピンに25pFの容量負荷を接続した状態で出力電圧レベルが0.4Vまたは2.4Vに達してからDAV信号の立上りエッジが2.4Vの電圧レベルに達するまでの時間の測定値です。

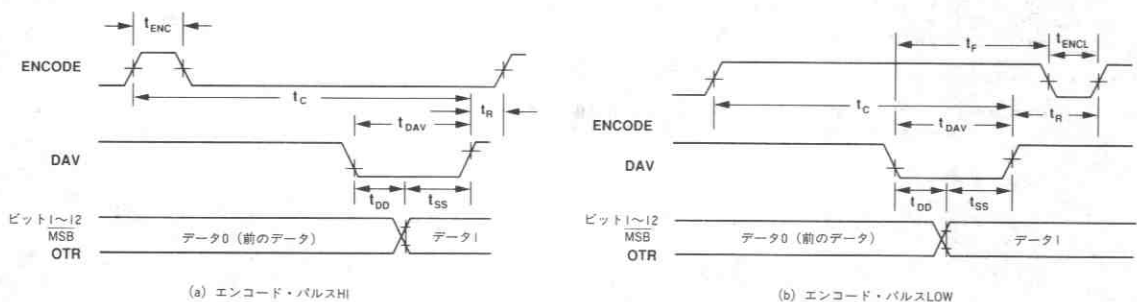


図1. AD671のタイミング図

絶対最大定格*

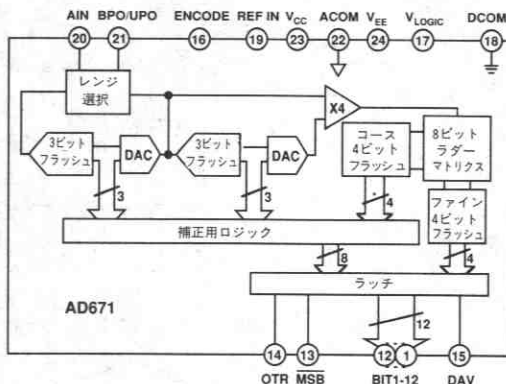
パラメータ	基準電位	Min	Max	単位
V _{CC}	ACOM	-0.5	+6.5	V
V _{EE}	ACOM	-6.5	+0.5	V
V _{LOGIC}	DCOM	-0.5	+6.5	V
ACOM	DCOM	-1.0	+1.0	V
V _{CC}	V _{LOGIC}	-6.5	+6.5	V
ENCODE	DCOM	-0.5	V _{LOGIC} +0.5	V
REF IN	ACOM	-0.5	V _{CC} +0.5	V
AIN	ACOM	-6.5	11.0	V
BPO/UPO	ACOM	-6.5	V _{CC} +0.5	V
接合温度			+175	°C
保管温度		-65	+150	°C
リード温度 (10秒)		+300		°C

注
*絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

ピン説明

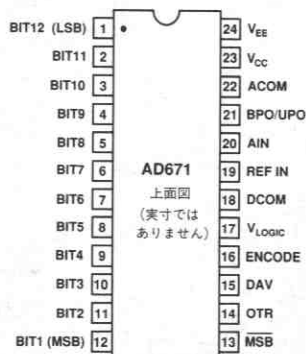
略称	ピン番号	タイプ	名称と機能
ACOM	22	P	アナログ・グラウンド
AIN	20	AI	アナログ入力信号
BIT1 (MSB)	12	DO	最上位ビット
BIT2~BIT11	11~2	DO	データ・ビット2~11
BIT12 (LSB)	1	DO	最下位ビット
BPO/UPO	21	AI	バイポーラまたはユニポーラの選択ピン。 0~+5Vスパンの場合にはAINに接続。 0~+10Vスパンの場合にはACOMに接続。 -5V~+5Vスパンの場合にはREF INに接続。
DAV	15	DO	データ有効出力。DAV信号の立上りエッジは変換終了を示し、現在のデータを外部レジスタにラッチすることに使用可能です。 DAVの立下りエッジは直前のデータの外部レジスタへの書込みに使用できます。
DCOM	18	P	デジタル・グラウンド
ENCODE	16	DI	AD671はENCODEパルスの立上りエッジで変換を開始します。
MSB	13	DO	最上位ビット信号を反転した信号です。 2の補数の出力データ・フォーマットを供給します。
OTR	14	DO	コード0の立上がりエッジまたはコード4095の立下りエッジでアウト・オブ・レンジ信号がアクティブHIになります。出力データ・フォーマット表IIIを参照。
REF IN	19	AI	+5Vリファレンス入力
V _{CC}	23	P	+5Vアナログ電源
V _{EE}	24	P	-5Vアナログ電源
V _{LOGIC}	17	P	+5Vデジタル電源

タイプ: AI=アナログ入力
DI=デジタル入力
DO=デジタル出力
P=電源



AD671 機能ブロック図

ピン配置



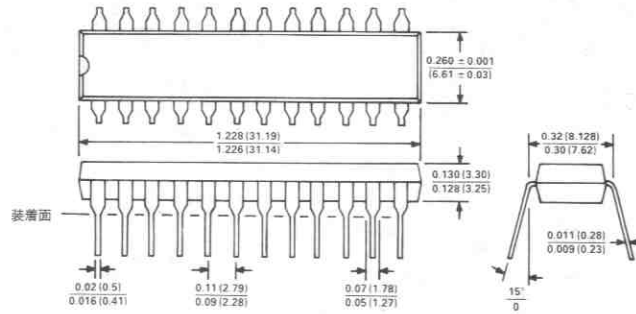
オーダ・ガイド

型名	直線性	温度範囲
AD671JN-500	±4LSB	0~+70°C
AD671KN-500	±2LSB	0~+70°C
AD671JD-500	±4LSB	0~+70°C
AD671KD-500	±2LSB	0~+70°C
AD671JN-750	±2LSB	0~+70°C
AD671KN-750	±1LSB	0~+70°C
AD671JD-750	±2LSB	0~+70°C
AD671KD-750	±1LSB	0~+70°C

外形サイズ

単位はインチと (mm)

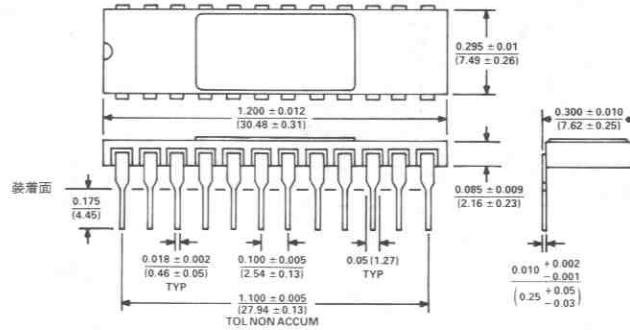
24ピン・プラスチックDIP (サフィックスN)



注

1. Pin 1 はドットまたは刻みで示します。
2. プラスチックDIPのリードはMIL-M-38510規定に準拠しハンダ付けまたはスズメッキが施されています。

24ピン・セラミックDIP (サフィックスD)



注

1. Pin 1 はドットまたは刻みで示します。
2. セラミックDIPのリードはMIL-M-38510規定に準拠し金またはスズメッキが施されています。

注意

この素子はESD (Electrostatic Discharge) センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、未接続のデバイスが高いエネルギーの静電界にさらされると永久破壊を起すことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させる必要があります。



仕様の説明

積分非直線性 (INL)

INLはゼロからフルスケールまでに引かれた直線からの個々のコードの偏差です。ゼロ点は最初のコード遷移(オール0からLSBのみ1への変化点)の1/2LSB前(10Vスパンで1.22mV)の点です。フルスケールは最後のコード遷移(オール1への変化点)の1/2LSB後の点です。偏差は個々のコードの下部遷移と真の直線との間で測定されます。

微分非直線性 (DNL、ノーマス・コード)

ノーマス・コードを保証する規定では、アナログ入力レベルが増加するに従いすべてのコードも単調に増加しなければなりません。このため、コードの幅はすべて有限でなければなりません。10ビット分解能に対してノーマス・コードを保証することは、全動作範囲でビット1~10により表現される1024個すべてのコードが存在するという事です。11または12ビット分解能に対してノーマス・コードを保証することは、全動作範囲でそれぞれ2048個および4096個すべてのコードが存在するということを示します。

ユニポーラ・オフセット

最初のコード遷移はアナログ・コモン電位の1/2LSB上のレベルで発生します。ユニポーラ・オフセットはこの点と実際の遷移点との偏差として定義されています。このオフセットは後に述べるように調整することができます。ユニポーラ・オフセットの温度係数は、調整の有無に関わらず温度による遷移点の最大変化を表わします。

バイポーラ・ゼロ

バイポーラ・モードではメジャー・キャリ遷移(0111 1111 1111から1000 0000 0000への変化)はアナログ・コモンから1/2LSB下のアナログ値で起こります。バイポーラ・オフセット誤差と温度係数は、温度変化に対する誤差の初期偏差と最大変化を規定します。

ゲイン誤差

最後のコード遷移(1111 1111 1110から1111 1111 1111)はフルスケール定格値の1/2LSB下のアナログ値(10Vフルスケールで9.9963V)で起こります。ゲイン誤差は最後の遷移レベルの実際値と理想値との差です。ゲイン誤差は図7, 8, 9に示すようにゼロに調整することができます。

温度係数

ユニポーラ・オフセット、バイポーラ・ゼロ、そしてゲイン誤差の温度係数は初期温度(+25°C)の値と T_{min} または T_{max} の値との最大変化を規定します。

電源変動除去比

電源誤差のデバイスの特性への影響はゲインの小さな変化のみです。定格表には電源の各限界に対する初期値からの最大のフルスケール変化が示されています。

信号ノイズおよび歪み(S/N+D)比

S/N+Dは入力信号のrms値とナイキスト周波数以下の範囲のそれ以外のすべての周波数成分の測定値のrms和の比です。高調波成分は含まれますが、DC成分は含まれません。S/N+Dの値はデシベルで表わされます。

有効ビット数(ENOB)

ENOBは $SNR=6.02N+1.8dB$ の公式から導かれます。ここでNは有効ビット数です。

全高調波歪み(THD)

THDは第1から第6までの高調波成分のrms和と測定入力信号のrms値の比の値であり、%またはデシベルで表わされます。

ピーク・スプリアスまたはピーク高調波成分

ピーク・スプリアスまたはピーク高調波成分は周波数成分のうち入力信号とDC成分を除く最も大きい成分です。この値はフルスケール入力信号のrms値に関してデシベルで表わされます。

動作説明

AD671ではサブレンジング・アーキテクチャが使用されています。A/D変換は4個の独立したステップ(フラッシュ)で行なわれます。アナログ入力信号は中間的な電圧にサブレンジングされ、減算DACによる複数フラッシュを使用することで最終的な12ビットの結果を得ます(AD671の機能ブロック図を参照)。

AD671はAIN(ピン20)、REFIN(ピン19)、そしてBPO/UPO(ピン21)を図2のように結線することでユニポーラ(0~+5V、0~+10V)およびバイポーラ(±5V)入力範囲に設定することができます。

AD671の変換サイクルは単にENCODEピン(ピン16)をアクティブHIにするだけで開始されます。ENCODEパルスの立上りエッジによって変換が開始されます。ENCODEパルスの立下りエッジは、ENCODEの立上りエッジまたはDAVの立下りエッジから50ns以内の期間に入るよう規定されています。この期間内に規定することにより、変換の最終期間に発生するデジタル・ノイズの結合を防ぐことができます。内蔵のタイミング発生回路により、内部タイミングを正確に制御します。

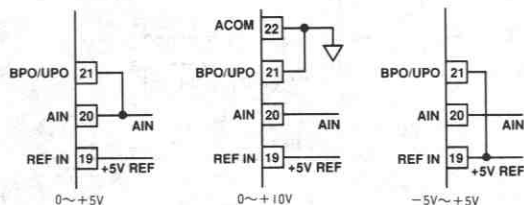


図2. 入力範囲の設定

ENCODE信号を受け取ると、最初の3ビット・フラッシュがアナログ入力電圧を変換します。この3ビットの結果はエラー補正ロジック・レジスタを通り、セグメント電流出力DACへ入力されます。このDAC出力は抵抗(レンジ/スパン選択部内)を通してAINに接続されています。AIN電圧からDAC出力を減算することで、フルスケールのアナログ入力の1/8以下の大きさのサブレンジ電圧が得られます。2番目のフラッシュは、先のDACと1ビットだけオーバーラップするように入力レンジが設定されています。このオーバーラップはフラッシュ変換による誤差のために設けられています。最初のサブレンジ電圧は2番目の3ビット・フラッシュおよび4倍ゲインの高速差動アンプの非反転入力に接続されます。2番目のフラッシュの結果はエラー補正ロジック・レジスタを通り、2番目のセグメント電流出力

DACに入力されます。2番目のDAC出力は差動アンプの反転入力に接続されています。差動アンプ出力は2ステップの最終8ビット・フラッシュに入力されます。この8ビット・フラッシュは、コースおよびファイン・フラッシュ・コンバータから構成されています。4ビットのコース・フラッシュ・コンバータの変換結果はDAC2の1ビットとオーバーラップが設定されています。この結果はエラー補正ロジック・レジスタに入力され、4ビットのファイン・フラッシュ・コンバータのスパン電圧を決定する16個の抵抗のうちの1個を選択します。4ビットのファイン・フラッシュ・コンバータの出力結果は出力ラッチに直接接続されています。

AD671は入力電圧がアナログ入力範囲を越えた場合にはアウト・オブ・レンジの状態を表示することができます。アウト・オブ・レンジ・ハイまたはロー状態の場合にはOTR (ピン14) がアクティブHIとなります。設定した入力範囲よりもアナログ入力電圧が高いときにはビット1~12はすべてHIとなり、設定した入力範囲よりもアナログ入力電圧が低いときにはビット1~12はすべてLOWとなります。

AD671の使用

AD671のアナログ入力の駆動

AD671では、電圧をアナログ入力電圧から減算するため非常に高速な電流出力DACを使用しています。このためアナログ入力に非常に高速な電流変動が現われます。AD671のアナログ入力を駆動する信号源は、ダイナミックに変動する負荷に対し入力電圧を保持する能力を持っている必要があることを認識してください。AD671が変換サイクルを開始すると減算DACはアナログ入力の信号源から最大5mA (図3参照) の電流をシンクします。この信号源はこの電流変動に対し、AD671が最終的な12ビットの決定を行なう前に1LSB以下の範囲に入力電圧をセトリングさせなければなりません。

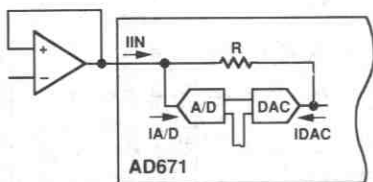


図3. アナログ入力の駆動

逐次比較型ADCでは、個々の逐次変換のビット決定以前に入力電圧が1/12ビットLSB以下の範囲に安定していなければなりません。AD671では3回目のフラッシュ変換 (約200ns) までに12ビット以内にセトリングすることだけが必要です。サンプル・ホールド・アンプ (SHA) を必要とするような応用ではSHAのホールド・モードのセトリング時間をこの200nsのウィンドウ内に重ねることにより、システムのトータル・スループットを向上させることができます。非常に有効です。高速SHAの応用についてはディスクリートのサンプル・ホールドの項を参照ください。

入力バッファ・アンプ

オペアンプのクローズ・ループ出力インピーダンスはオープン・ループ出力インピーダンス (通常数100Ω) をその周波数におけるループ・ゲインで割ったものに等しくなります。フォロワ接続のオ

アンプのループ・ゲインは十分に高いため、特に入力信号の周波数が低い場合にはクローズ・ループ出力インピーダンスは無視できるほど小さくなると言われてはいますが、より高い周波数ではオープン・ループ・ゲインは低下し、出力インピーダンスが増加するため瞬間的なアナログ入力の電圧を低下させ、誤差が生じます。

AD671の広帯域、高速セトリングの入力アンプにはAD841、AD843、AD845、AD847を推奨します。AD841はユニティ・ゲイン安定性があり、フォロワ接続を推奨できるオペアンプです。AD843とAD845はFET入力のため高速サンプル・ホールド・アンプとして、AD847は低消費電力で高速のバッファとして使用できます。図4にAD841でAD671を駆動した例を示します。図に示すように、アナログ入力電圧はACOMピンを基準電位として接続します。

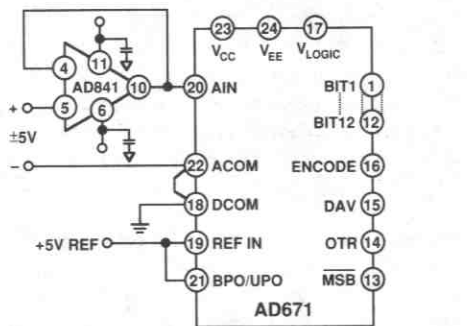


図4. 入力バッファ・アンプ

リファレンス入力

AD671では標準の+5Vリファレンスを使用します。このリファレンス電圧の初期精度と温度安定性はシステムの要求に適合するよう選択できます。アナログ入力と同じように、高速で変化する入力依存の電流がリファレンス入力ピン (REF IN、ピン19) で変動されますが、アナログ入力と異なり、リファレンス入力ピンにコンデンサを接続すれば+5Vの一定の電圧に保持されます。推奨のリファレンスは出力バッファアンプ付き+5V高精度リファレンスAD586です。図5にAD671を±5V入力範囲に設定した例を示します。リファレンス入力ピンに接続した6.8μFのコンデンサによって、ダイナミックな負荷変動の条件下で電圧を+5V一定に保ちます。AD586に1μFのノイズ低減コンデンサを追加すると、広帯域の出力ノイズをさらに抑えることができます。グラウンドの電圧降下を最小にするため、AD586のグラウンド・ピンはAD671のACOMピンに可能な限り近く接続します。推奨のプリント基板のレイアウトについては図20、21、22を参照ください。

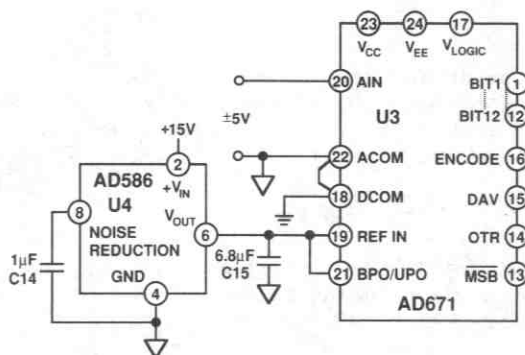
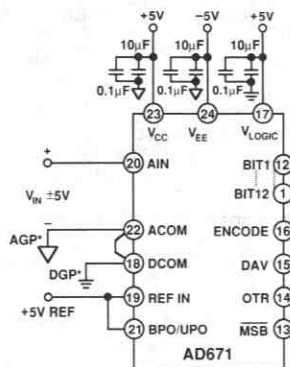


図5. AD586をAD671のリファレンス入力に接続した例

グラウンド接続とデカップリング

正しいグラウンド配線とデカップリングは高速、高分解能のシステムでは基本となります。AD671ではシステムのアナログ・グラウンドとデジタル・グラウンド電流の処理を最適化するためアナログとデジタルのグラウンドを分離しています。AD671ではほとんどの電流を V_{CC} (+5V、ピン23) から V_{EE} (-5V、ピン24) に流し、ACOM (ピン22) からの電流を最小にするよう設計されています。さらに、アナログ・グラウンド電流を最小にすることで、グラウンドの大きな電圧降下による電位を低減します。この効果はグラウンド・プレーンや幅広いグラウンド・パターンを持たないシステムで特に有効です。また、ACOMはコードに依存しないよう設定されているため、入力に関係するアナログ・グラウンドの電圧降下や誤差も減少します。外部リファレンス (REFIN、ピン19) とフルスケール入力信号 (AIN、ピン20) から供給される入力電流も、そのほとんどが V_{EE} に流れます。高速デジタル回路の設計ではCMOSの“グラウンド・バウンス” 反射を避けるため、適切なデジタル回路のグラウンド技術も重要です。図6に正しいレイアウトのためのグラウンドとデカップリング方法を示します。

プリント基板のパターン設計を行なう前に参照すべきグラウンドとデカップリングのガイドラインを表1にまとめます。



* グラウンド・プレーンの使用を推奨します。

図6. AD671のグラウンドとデカップリング

ユニポラ (0~+10V) の較正

AD671はオフセット、ゲイン誤差と直線性誤差を最小にするよう出荷時に調整されています。応用によってはAD671のオフセットとゲイン誤差を外部からゼロ調整する必要があります。この調整はBPO/UPO (ピン21) とREFIN (ピン19) の電圧を調整することで行ないます。このような応用には高精度ピン・プログラマブル電圧リファレンスAD588の使用が最適です。AD588にはリファレンス・セルとAD671のオフセットとゲイン調整ができるように接続可能な3個のアンプを内蔵しています。AD671の0~+10Vの入力範囲の設定でオフセットとゲイン誤差を較正することのできる推奨回路を図7に示します。

AD671は、あるコードに対する正確なアナログ入力があるコードの中央 (コードの上部遷移と下部遷移の間) に在るように定格値 $1/2$ LSBのオフセットを持っています。したがって最初の遷移 (0000 0000 から0000 0000 0001) は $+1/2$ LSB (10V範囲で1.22

電源	説明
デカップリング	
コンデンサの値	0.1µF (セラミック) と10µF (タantal)。(リード・インダクタンスを減少させるため表面実装チップ・コンデンサの使用を推奨します。)
コンデンサの位置	それぞれのグラウンド・プレーンに対し、正負電源ピンから直接接続します。
グラウンドの方法	
アナログ・グラウンド	グラウンド・プレーンまたは広いグラウンド・リターンをアナログ電源に接続します。
デジタル・グラウンド	グラウンド・プレーンまたは広いグラウンド・リターンをデジタル電源に接続します。
アナログとデジタルのグラウンド	AD671で一点接続します。

表1. グラウンドとデカップリングの指針

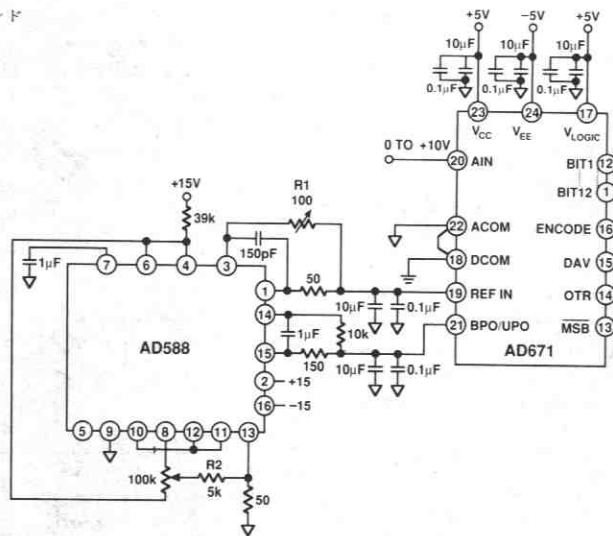


図7. ユニポラ (0~+10V) 較正

mV)の入力レベルで発生します。オフセット調整抵抗R2を使用する場合には上に述べたように調整しなければなりません。特定のシステムの必要に応じて異なるオフセットを設定することもできます。この回路では約±50mVのオフセット調整範囲があります。

ゲイン調整は定格フルスケール値から $1/2$ LSB下の信号 (10V範囲で9.9963V) を加えて行ないます。最後の遷移 (1111 1111から1111 1111 1111) にはR1を調整します。

ユニポラ (0~+5V) の較正

図8に0~+5V入力範囲の較正回路を示します。この動作モードでは、優れた特性と安定性を持ち、オプションの精密調整が可能な高精度+5V電圧リファレンスAD586の使用が最適です。ダイナミックに変化するリファレンス入力の負荷条件に対し+5Vを保つために、AD845 (16MHz、低消費電力、低価格オペアンプ) を使用しています。

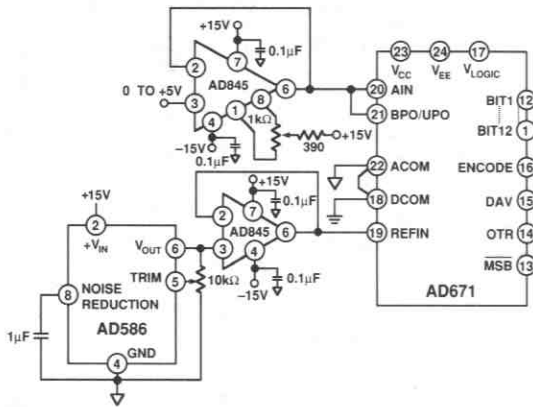


図8. ユニポラ (0~+5V) 較正回路

AD671のオフセット誤差はAD671の前段または信号調整回路などのアナログ入力経路で調整し、信号調整回路に起因するオフセット誤差を除去しなければなりません。図8ではAD671の前段でオフセット誤差を調整する方法を示しています。AD586はオプションの微調整モードに設定し、+6/-2% (+240/-80LSB) のゲイン調整を可能にしています。オフセットおよびゲイン誤差の調整は、アナログ入力値が10V範囲の値の半分になるだけで、あとはユニポラ10V範囲の調整と同様です。

バイポラ (±5V) の較正

図9にバイポラ入力範囲の設定を示します。AD588をデュアル+5V出力の設定で使用します。+5Vリファレンスの片方はAD671のゲイン調整のため、もう片方はバイポラ・オフセット調整のためBPO/UPO入力に加えられています。

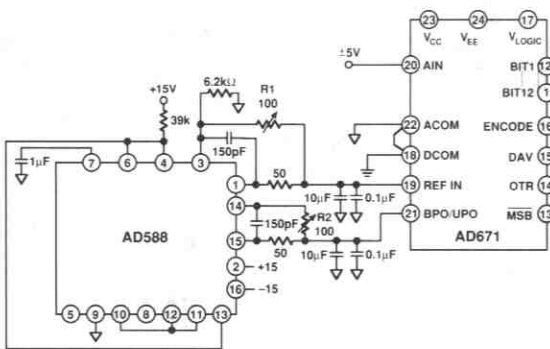


図9. バイポラ (±5V) 較正回路

バイポラの較正はユニポラの較正と同様です。まず、負のフルスケールの1/2LSB上の信号(-4.9988V)を加え、最初の遷移(0000 0000から0000 0000 0001)が起こるようにR1を調整します。次に正のフルスケールの1/2LSB下の入力信号(+4.9963V)を加え、最後の遷移(1111 1111 1110から1111 1111 1111)を引き起こすようR2を調整します。

出力ラッチ

トライ・ステート出力付きオクタルDタイプ、エッジトリガ・ラッチ74HC574をAD671に接続する回路を図10に示します。このラッチはデータ信号の完全性を保ちながら高容量性負荷(例えばバス・ラインやI/Oポートなど)を駆動できます。574ラッチの最大セットアップ時間とホールド時間は20ns (t_{in} および t_{ss} の最小値)以下でなければなりません。この条件を満足するためにはHC、S、AS、ALS、F、BCT型のロジック・ファミリを推奨します。AD671からの新しいデータはDAV (ピン24) 出力パルスの立上がりエッジでラッチされます。7404型インバータを使用してDAV出力を反転すれば前のデータをラッチすることができます。推奨のプリント基板レイアウトに関しては図20、21、22を参照ください。

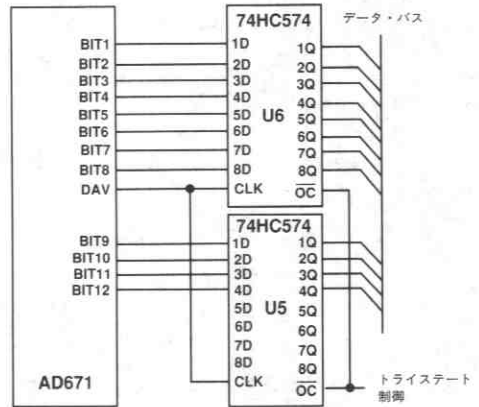


図10. AD671と出力ラッチの接続

アウト・オブ・レンジ

アナログ入力電圧がコンバータの入力範囲(0~+5V、0~+10V、±5V)を越えた場合にはアウト・オブ・レンジ状態となります。アナログ入力電圧がアナログ入力範囲内にある場合にはOTR (ピン14)はLOWとなっています。アナログ入力電圧が±フルスケール出力コードの中心値よりも1/2LSBの大ききで入力範囲を越えた場合にはOTRはHIとなり、HI状態を保持します。OTRはアナログ入力が入力範囲内に戻り、新しい変換が完了するまでHIとなります。OTRとMSBおよびMSB出力をANDすれば、アウト・オブ・レンジがオーバーレンジかアンダーレンジかを検出できます。図11のオーバー/アンダー・レンジ回路の真理値表を表IIに示します。AD671の前段でプログラマブルなゲイン調整を必要とするシステムでは、ただちにアウト・オブ・レンジ状態を検出することができ、ゲイン選択のための遅延を除去することができます。

OTR	MSB	アナログ入力の状態
0	0	入力範囲内
0	1	入力範囲内
1	0	アンダーレンジ
1	1	オーバーレンジ

表II. アウト・オブ・レンジの真理値表

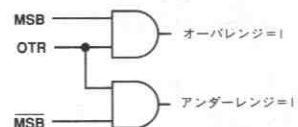


図11. オーバーレンジとアンダーレンジの検出ロジック

出力データ・フォーマット

AD671はMSBおよびMSB出力を持っているため、ユニポーラ入力範囲では正の真のストレート・バイナリと、バイポーラ入力範囲では正の真のオフセット・バイナリまたは2の補数形式の出力を用いることができます。ストレート・バイナリのコード形式は正極性の入力信号のみを取扱うシステムで用いられます。ストレート・バイナリ・コーディングをバイポーラ入力信号に使用すると、0Vの入力信号に対し、出力コードは2048となります。この場合には真の入力

電圧値を決めるためアプリケーション・ソフトウェアで2048を減算しなければなりません。ほとんどのプロセッサでは、算術演算を符号付き整数で行っており、この形式のデータを仮定しています。2の補数フォーマットはソフトウェアの負担を最小にすることができ、DMA動作などの高速データ転送では特に重要です。CPUはデータ変換に煩わされることがないため、総合的なシステムのスループットを向上させることができます。

入力範囲	コード形式	アナログ入力	デジタル出力	OTR
0~+5V	ストレート・バイナリ	$\leq -0.00061V$	0000 0000 0000	1
		0V	0000 0000 0000	0
		+5V	1111 1111 1111	0
		$\geq +5.00061V$	1111 1111 1111	1
0~+10V	ストレート・バイナリ	$\leq -0.00122V$	0000 0000 0000	1
		0V	0000 0000 0000	0
		+10V	1111 1111 1111	0
		$\geq +10.00122V$	1111 1111 1111	1
-5V~+5V	オフセット・バイナリ	$\leq -5.00122V$	0000 0000 0000	1
		-5V	0000 0000 0000	0
		0V	1000 0000 0000	0
		+5V	1111 1111 1111	0
		$\geq +5.00122V$	1111 1111 1111	1
-5V~+5V	2の補数 (MSBを使用)	$\leq -5.00122V$	1000 0000 0000	1
		-5V	1000 0000 0000	0
		0V	0000 0000 0000	0
		+5V	0111 1111 1111	0
		$\geq +5.00122V$	0111 1111 1111	1

表III. 出力データ・フォーマット

I_{Logic} と変換速度の関係

図12にデジタル出力の各容量性負荷におけるロジック電源電流の代表値と変換速度の関係を示します。

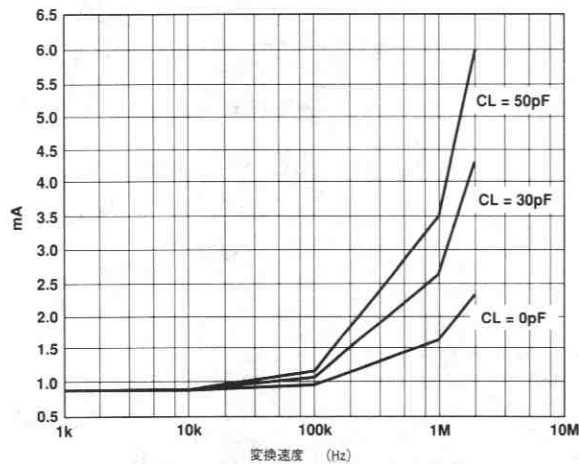


図12. デジタル出力の各容量性負荷における I_{Logic} 対変換速度

高性能サンプル・ホールド・アンプ (SHA)

AD671の高速性を十分に発揮するためには、高速のアクイジション能力と高精度のサンプル・ホールド・アンプ (SHA) が不可欠です。一つの方法としてはHTC-0300AなどのハイブリッドのSHAを使用することですが、図13に示すようなコスト効率のよい回路を用いる方がよいでしょう。このディスクリートによるSHAは非常に少ない部品点数で済み、0.01%の精度に対して350ns以下で信号を収集することが可能です。AD671と組み合わせれば500kHzまでの帯域幅の信号を12ビット精度で変換することが可能です。

回路説明

図13に示したディスクリートSHAはクロース・ループ、非反転方式で $5V_{FDD}$ の入力を扱えます。AD671の10V入力スパンに適合するために、このSHAの総合ゲインは+2としてあります。SHAの入力バッファとして0.01%のセトリング時間110nsのAD841を使用します。この回路には超高速DMOSスイッチ (Q1~Q4) を内蔵しているSD5001も使用しています。このディスクリートSHAの最適な特性の表現には、AD845オペアンプの高CMRR、低入力オフセット電流、高速セトリング時間特性がすべて重要な特長となっています。

サンプル・モードではSD5001のQ1とQ3が閉となっています (Q2とQ4は開です)。主として時定数 $R9 \cdot C28$ で決まる速度でC28が入力電圧レベルまで充電されます。同時にC29は250Ωの抵抗を通してグラウンドに接続されます。回路が対称でスイッチ容量が一致していることをベースに、C28がC29と等しい値の場合にはQ1からの電荷注入はQ3からの電荷注入におよそ等しくなります。結果のベテスタル誤差はAD845には同相信号として加えられます。ベテスタル誤差をさらに低下させる必要のある場合にはVR2、R13、R14、C34を追加します。

ホールド・モードではフィードスルーを減少させるためQ2とQ4を閉とします (Q1とQ3は開)。入力信号は500kHzまでの周波数での入力信号に対しては-78dB減衰します。AD845はC28の電圧をバッファし、AD671の入力を駆動するのに必要な広帯域、低インピーダンス出力を供給します。

漏れ電流によってC28とC29に同様のドループが発生します。ベテスタル誤差と同じようにドループはAD845には同相信号として現われ、その影響は回路の備えている差動機能によって大幅に減少します。電圧ドループは $5\mu V/\mu s$ typです。

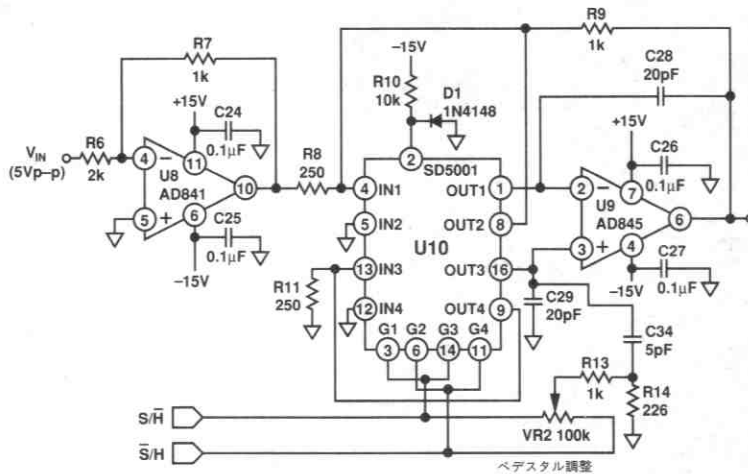


図13. ディスクリートによる高速サンプル・ホールド・アンプ

タイミング

図14にディスクリートSHAのタイミング条件を示します。

コンプリメンタリなS/H入力はHCMOSコンパチブルですが、高めのゲート入力電圧を用いることでDMOSスイッチの抵抗が低下するため特性が向上します。SHAが0.01%精度にセトリングする前に変換を開始することに注意しなければなりません。このディスクリートSHAは変換開始後150nsまでの間はAD671の入力電圧に12ビット精度が必要ないという利点を利用してあります。推奨のプリント基板レイアウトについては図20、21、22を参照ください。

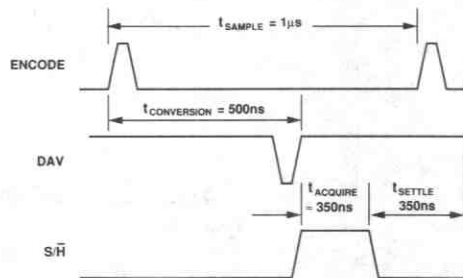


図14. AD671とディスクリートSHAのタイミング図

ダイナミック特性

ほとんどのサンプリング応用では、システムのダイナミック特性はSHAの性能によって制限されます。SHAのダイナミック特性はシステムのサンプリング条件を満たすように選択できます。図13のディスクリットSHAを使用した時のFFTの代表的特性を図15と16に示します。

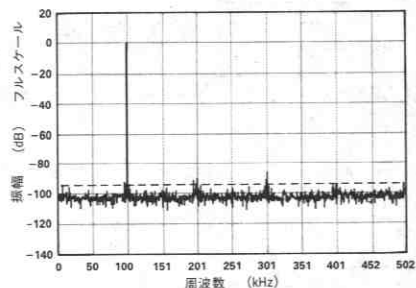


図15. AD671とディスクリットSHAの代表的FFT特性。

$F_{IN} = 100\text{kHz}$

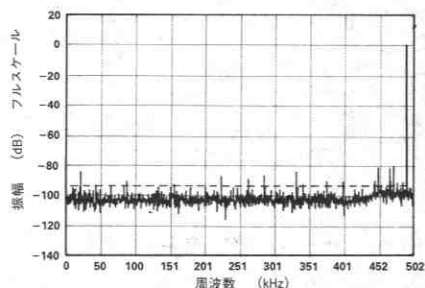


図16. AD671とディスクリットSHAの代表的FFT特性。

$F_{IN} = 500\text{kHz}$

ダイナミック特性 ($@+25^{\circ}\text{C}$, $V_{CC} = +5\text{V}$, $V_{LOGIC} = +5\text{V}$, $V_{EE} = -5\text{V}$, $f_{SAMPLE} = 1\text{MSPS}$ 、図14のディスクリットSHAを使用して試験)

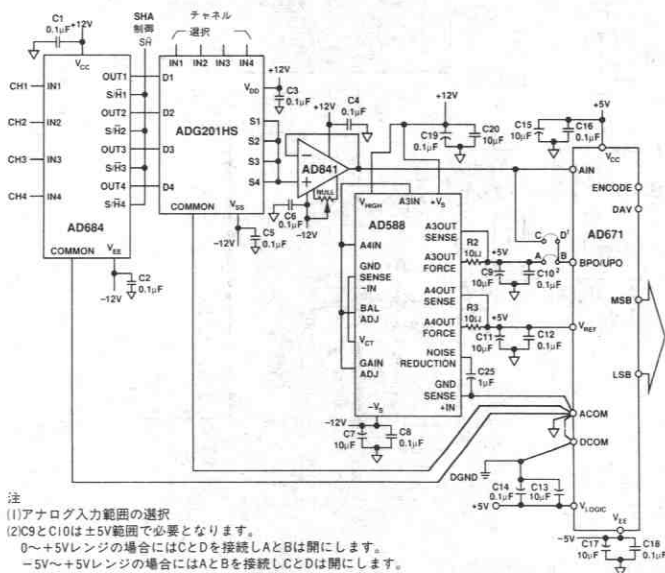
モデル	AD671JD-500	
	Typ	単位
有効ビット数 (ENOB)		
$F_{IN} = 100\text{kHz}$	11.3	ビット
$F_{IN} = 490\text{kHz}$	11.2	ビット
信号・ノイズと歪み (S/N+D) 比		
$F_{IN} = 100\text{kHz}$	70	dB
$F_{IN} = 490\text{kHz}$	68	dB
全高調波歪み (THD)		
$F_{IN} = 100\text{kHz}$	-80	dB
$F_{IN} = 490\text{kHz}$	-75	dB
ピーク・スプリアス (DC~490kHz)	-79	dB
ピーク高調波成分 (DC~490kHz)	-76	dB

注

1. 特に指定のない限り、 f_{IN} の振幅 = $-0.2\text{dB}@100\text{kHz}$ および $-0.9\text{dB}@490\text{kHz}$ 。バイポーラ・モードでの特性。その他に関しては仕様表を参照のこと。

マルチチャネル・データ収集システム

高速クワッド・サンプル・ホールド・アンプAD684はマルチチャネルのデータ・アキュイジション応用に最適です。図17にAD684 (SHA)、ADG201HS (マルチプレクサ)、AD588 (リファレンス) とAD671を使用した代表的なデータ・アキュイジション回路を示します。AD684は4つのアナログ入力を同時サンプリングするように設定されています。個々に保持されたアナログ入力電圧をマルチプレクサで選択し、AD841でバッファします。AD671はバイポーラ入力範囲 ($\pm 5\text{V}$) に設定されています。



注

- (1) アナログ入力範囲の選択
- (2) C9とC10は $\pm 5\text{V}$ 範囲で必要となります。
 $0 \sim +5\text{V}$ レンジの場合にはCとDを接続しAとBは開にします。
 $-5\text{V} \sim +5\text{V}$ レンジの場合にはAとBを接続しCとDは開にします。

図17. AD684とAD671を使用したデータ・アキュイジション・システム

AD671とADSP-2100Aのインタフェース

図18にAD671とADSP-2100Aとのインタフェースを示します。クロック周波数12.5MHzの2100Aは1命令を80nsで実行します。AD671は連続的なサンプリングを行なうように設定されています。AD671のDAV出力は各変換終了時に有効となります。DAVは2個の574オクタルDラッチに変換結果をラッチするのに使用できます。プロセッサの割り込み (IRQ3) を発生させるためにサンプリング・クロックの立下りエッジを使用しています。割り込みがかかるとADSP-2100AはDMAバスにアドレスを出力してデータ・メモリの読出しを開始します。デコードされたアドレスによってラッチのOE信号を発生し、プロセッサはラッチ出力をDMAバスを通して読みます。変換結果は1回のプロセッサ・サイクル以内に読み込まれます。

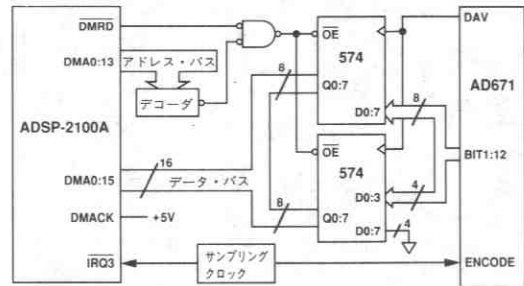


図18. AD671-ADSP-2100Aインタフェース

AD671とADSP-2101/ADSP-2102のインタフェース

図19は、サンプリング・クロックでプロセッサの割り込み (IRQ2) を発生していることを除けば2100Aのインタフェースと同様です。割り込みがかかるとADSP-2101Aはアドレス (A) バスにアドレスを出力して、データ・メモリの読出しを開始します。デコードされたアドレスによってラッチのOE信号を発生し、プロセッサはラッチ出力をデータ (D) バスを通して読みます。したがって変換結果はプロセッサ・サイクル以内に読み込まれます。

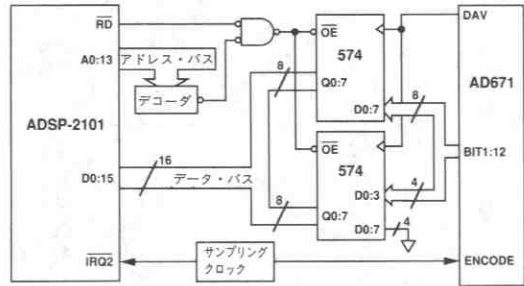


図19. AD671-ADSP-2101/ADSP-2102インタフェース

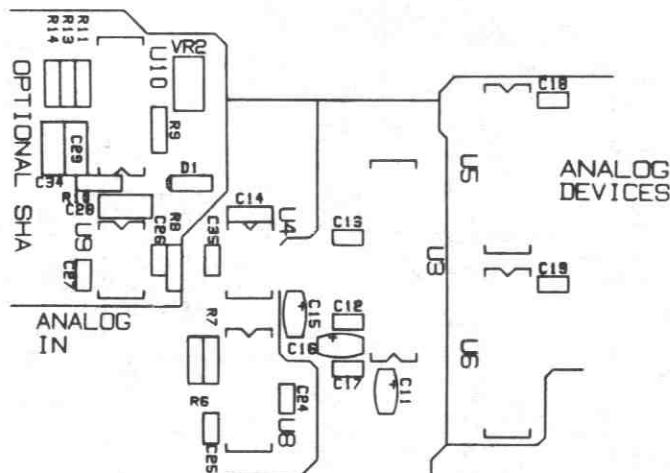


図20. 図5、10、13のプリント基板のシルク・スクリーンと部品配置図

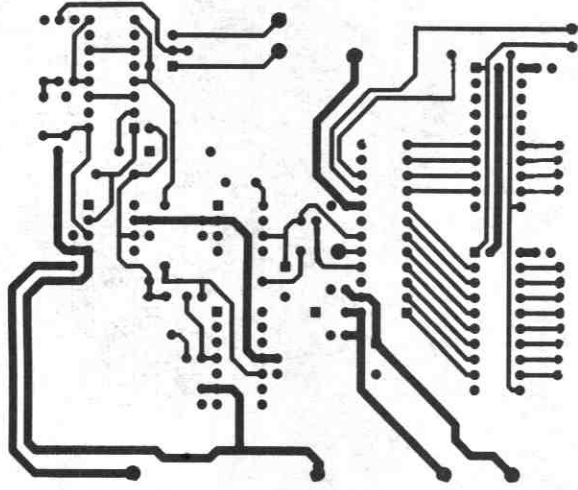


図21. 図5、10、13のプリント基板の部品面のパターン図

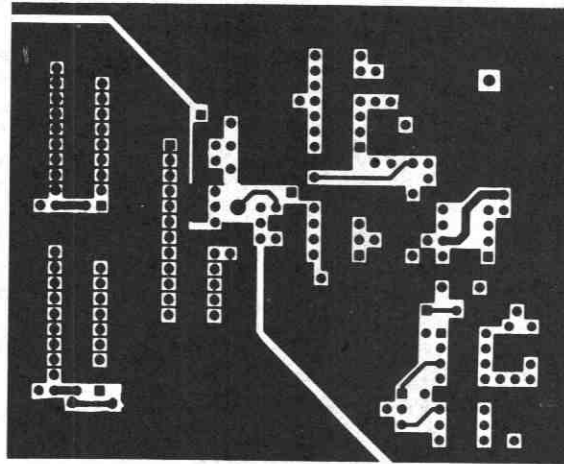
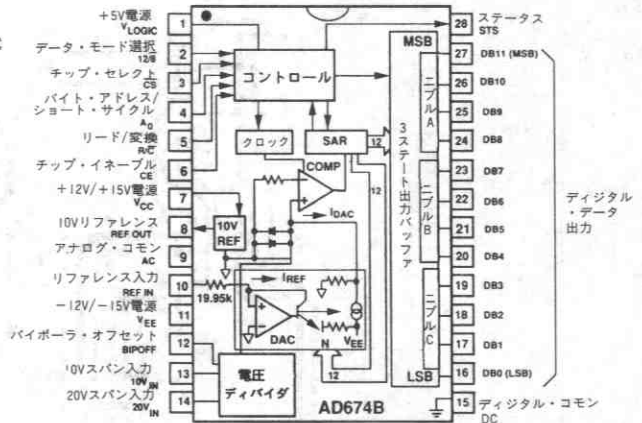


図22. 図5、10、13のプリント基板のハンダ面のパターン図

特長

- リファレンスおよびクロック内蔵の完全モノリシック12ビットADC
- 業界標準ピン配置
- AD574Aの高速バージョン
- AD674Aの低価格バージョン
- 8ビットおよび16ビット・マイクロプロセッサ・インタフェース
- 15 μ s (最大) の変換時間
- ± 5 V, ± 10 V, 0-10V, 0-20V入力範囲
- 一般用、産業用、軍用の温度範囲グレード



機能ブロック図

概要

AD674 Bは全機能内蔵の12ビット逐次比較型A/Dコンバータで、スリーステート出力バッファ回路により8ビットおよび16ビット・マイクロプロセッサ・バスとのダイレクト・インタフェースが可能です。高精度電圧リファレンスとクロックが内蔵されているので、電源と制御信号だけで動作させることができます。

AD674 Bは業界標準製品のAD574AおよびAD674Aとピン・コンパチブルで、AD574 Aより高速に変換およびバス・アクセスを行なうことができ、AD674 Aより低価格です。

AD674 Bは、弊社独自のBiMOS IIプロセスを使用して高性能バイポーラ・アナログ回路とデジタルCMOSロジックをワンチップに集積しています。オフセット、直線性およびスケールリング誤差は、薄膜レジスタのアクティブ・レーザ・トリミングによって最小限に抑えられています。

5つのグレードがあります。AD674 B JおよびKグレードは、0°Cから70°Cの温度範囲で仕様が規定されています。AおよびBグレードは-40°Cから+85°Cで仕様が規定され、AD674 B Tグレードは-55°Cから+125°Cで仕様が規定されています。JおよびKグレードは、28ピン・プラスチックDIPです。その他のグレードは、28ピン・ハーメチック・シールド・セラミックDIPです。表面実装オプションおよびMIL-SITD-883 クラスBスクリーニング製品についてはお問い合わせください。

製品ハイライト

1. 業界標準ピン配置：AD674Bは、業界標準製品AD574AおよびAD674Aと同じピン配置となっています。
2. アナログ動作：高精度のレーザ・トリミングされたスケールリングおよびバイポーラ・オフセット抵抗により、0~+10Vと0~+20Vのユニポーラそして-5~+5Vと-10~+10Vバイポーラの4つの校正レンジが可能です。AD674 Bは+5Vおよび ± 12 Vまたは ± 15 Vの電源で動作します。
3. フレキシブルなデジタル・インタフェース：オンチップのマルチプル・スリーステート出力バッファおよびインタフェース・ロジックによって、ほとんどのマイクロプロセッサと直接接続ができます。12ビットの出力データは1つの12ビット・ワードとしてもまた8ビットずつ2バイトとしても（一方のバイトが8データ・ビットをもち、他方に残りの4データ・ビットと0000が入る）出力することができます。
4. 内蔵のリファレンスは最大1%の誤差と標準10ppm/°Cの温度係数を持ち、10.00Vに調整されています。このリファレンスは外部出力が可能で、リファレンスおよびバイポーラ・オフセット抵抗に必要な量を十分満足する2.0mAまで駆動することができます。

仕様

(特に指定のない限り、 $T_{min} \sim T_{max}$, $V_{CC} = +15V \pm 10\%$ または $+12V \pm 5\%$, $V_{LOGIC} = +5V \pm 10\%$,
 $V_{EE} = -15V \pm 10\%$ または $-12V \pm 5\%$)

モデル	AD674BJ			AD674BK			単位
	Min	Typ	Max	Min	Typ	Max	
分解能			12			12	ビット
直線性誤差			± 1			$\pm 1/2$	LSB
微分直線性誤差 (ノーマスコードが保証される最小分解能)	12			12			ビット
ユニポーラ・オフセット ¹ @ +25°C			± 2			± 2	LSB
バイポーラ・オフセット ¹ @ +25°C			± 6			± 4	LSB
フルスケール校正誤差 ^{1,2} @ +25°C (REF OUTからREF INに50Ω固定抵抗)		0.1	0.25		0.1	0.25	FSの%
温度範囲	0		+70	0		+70	°C
温度ドリフト ³ (内部リファレンス使用)							
ユニポーラ・オフセット			± 2			± 1	LSB
バイポーラ・オフセット			± 2			± 1	LSB
フルスケール校正			± 6			± 2	LSB
電源変動除去比 フルスケール校正での最大変化 $V_{CC} = 15V \pm 1.5V$ または $12V \pm 0.6V$ $V_{LOGIC} = 5V \pm 0.5V$ $V_{EE} = -15V \pm 1.5V$ または $-12V \pm 0.6V$			± 2 $\pm 1/2$ ± 2			± 1 $\pm 1/2$ ± 1	LSB LSB LSB
アナログ入力 入力レンジ							
バイポーラ	-5		+5	-5		+5	V
ユニポーラ	-10		+10	-10		+10	V
	0		+10	0		+10	V
	0		+20	0		+20	V
入力インピーダンス							
10Vスパン	3	5	7	3	5	7	kΩ
20Vスパン	6	10	14	6	10	14	kΩ
電源 動作範囲							
V_{LOGIC}	+4.5		+5.5	+4.5		+5.5	V
V_{CC}	+11.4		+16.5	+11.4		+16.5	V
V_{EE}	-16.5		-11.4	-16.5		-11.4	V
動作電流							
I_{LOGIC}		3.5	7		3.5	7	mA
I_{CC}		5.5	9		5.5	9	mA
I_{EE}		10	14		10	14	mA
消費電力		250	425		250	425	mW
内部リファレンス電圧 出力電流(外部負荷可能) (変換中は外部負荷を変化させないこと)	9.9	10.0	10.1	9.9	10.0	10.1	V mA

注

- ゼロ調整可能
- 内部電圧リファレンス誤差を含む。
- +25°C値から T_{min} または T_{max} 値の最大変化

太字で示す仕様は最終電気テストで全製品を T_{min} , +25°C, T_{max} の条件下でテストしています。これらのテスト結果によって出荷時の品質レベルが決定されます。すべてのmin値, max値は保証しますが、全製品についてテストされているのは太字の項目に限られます。

仕様は予告なしに変更することがあります。

モデル	AD674BA			AD674BB			AD674BT			単位
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
分解能	12			12			12			ビット
直線性誤差 @ +25°C	±1			±1/2			±1/2			LSB
$T_{min} \sim T_{max}$	±1			±1/2			±1			LSB
微分直線性誤差										
(ノーマスコードが保証される最小分解能)	12			12			12			ビット
ユニポーラ・オフセット ¹ @ +25°C	±2			±2			±2			LSB
バイポーラ・オフセット ¹ @ +25°C	±6			±3			±3			LSB
フルスケール校正誤差 ^{1,2} @ +25°C (REF OUTからREF INに50Ω固定抵抗)	0.1	0.25		0.1	0.125		0.1	0.25		FSの%
温度範囲	-40	+85		-40	+85		-55	+125		°C
温度ドリフト ³ (内部リファレンス使用)										
ユニポーラ・オフセット	±2			±1			±1			LSB
バイポーラ・オフセット	±2			±1			±2			LSB
フルスケール校正	±8			±5			±7			LSB
電源変動除去比										
フルスケール校正での最大変化										
$V_{CC} = 15V \pm 1.5V$ または $12V \pm 0.6V$	±2			±1			±1			LSB
$V_{Logic} = 5V \pm 0.5V$	±1/2			±1/2			±1/2			LSB
$V_{EE} = -15V \pm 1.5V$ または $-12V \pm 0.6V$	±2			±1			±1			LSB
アナログ入力										
バイポーラ	-5	+5		-5	+5		-5	+5		V
	-10	+10		-10	+10		-10	+10		V
ユニポーラ	0	+10		0	+10		0	+10		V
	0	+20		0	+20		0	+20		V
入力インピーダンス										
10Vスパン	3	5	7	3	5	7	3	5	7	kΩ
20Vスパン	6	10	14	6	10	14	6	10	14	kΩ
電源										
動作範囲										
V_{Logic}	+4.5	+5.5		+4.5	+5.5		+4.5	+5.5		V
V_{CC}	+11.4	+16.5		+11.4	+16.5		+11.4	+16.5		V
V_{EE}	-16.5	-11.4		-16.5	-11.4		-16.5	-11.4		V
動作電流										
I_{Logic}	3.5		7	3.5		7	3.5		7	mA
I_{CC}	5.5		9	5.5		9	5.5		9	mA
I_{EE}	10		14	10		14	10		14	mA
消費電力	250		425	250		425	250		425	mW
内部リファレンス電圧	9.9	10.0	10.1	9.9	10.0	10.1	9.9	10.0	10.1	V
出力電流(外部負荷可能)			2.0			2.0			2.0	mA
(変換中は外部負荷を変化させないこと)										

注

1. ゼロ調整可能
2. 内部電圧リファレンス誤差を含む。
3. +25°C値から T_{min} または T_{max} 値の最大変化

太字で示す仕様は最終電気テストで全製品を T_{min} 、+25°C、 T_{max} の条件下でテストしています。これらのテスト結果によって出荷時の品質レベルが決定されます。すべてのmin値、max値は保証しますが、全製品についてテストされているのは太字の項目に限られます。

仕様は予告なしに変更することがあります。

デジタル仕様

(全グレードについて、 $T_{min} \sim T_{max}$, $V_{CC} = +15V \pm 10\%$ または $+12V \pm 5\%$, $V_{LOGIC} = +5V \pm 10\%$, $V_{EE} = -15V \pm 10\%$ または $-12V \pm 5\%$)

パラメータ	テスト条件	Min	Max	単位
ロジック入力				
V_{IH}	高レベル入力電圧	+2.0	$V_{LOGIC} + 0.5V$	V
V_{IL}	低レベル入力電圧	-0.5	+0.8	V
I_{IH}	高レベル入力電流	-10	+10	μA
I_{IL}	低レベル入力電流	-10	+10	μA
C_{IN}	入力容量		10	pF
ロジック出力				
V_{OH}	高レベル出力電圧	+2.4		V
V_{OL}	低レベル出力電圧		+0.4	V
I_{OZ}	高Z漏れ電流	-10	+10	μA
C_{OZ}	高Z出力容量		10	pF

スイッチング仕様

(全グレードについて特に指定のない限り、 $T_{min} \sim T_{max}$, $V_{CC} = +15V \pm 10\%$ または $+12V \pm 5\%$, $V_{LOGIC} = +5V \pm 10\%$, $V_{EE} = -15V \pm 10\%$ または $-12V \pm 5\%$)

変換開始のタイミング (図1)

パラメータ	記号	Min	Typ	Max	単位
変換時間					
8ビット・サイクル	t_C		8	10	μs
12ビット・サイクル	t_C		12	15	μs
CEからのSTS遅延 @ +25°C	t_{DSC}		200	250	ns
$T_{min} \sim T_{max}$					ns
CEのパルス幅 @ +25°C	t_{HEC}	50			ns
$T_{min} \sim T_{max}$		75			ns
CSからCEのセットアップ	t_{SSC}	50			ns
CEハイ中のCSロー @ +25°C	t_{HSC}	50			ns
$T_{min} \sim T_{max}$		75			ns
R/CからCEのセットアップ	t_{SRC}	50			ns
CEハイ中のR/Cロー @ +25°C	t_{HRC}	50			ns
$T_{min} \sim T_{max}$		150			ns
A0からCEのセットアップ	t_{SAC}	0			ns
CEハイ中のA0有効	t_{HAC}	50			ns

リード・タイミング: 完全制御モード (図2)

パラメータ	記号	Min	Typ	Max	単位
アクセス時間					
$C_L = 100 pF$	t_{DD}^1		75	150	ns
CEロー後のデータ有効	t_{HD}	25			ns
出力フロート遅延	t_{HL}^2			150	ns
CSからCEのセットアップ	t_{SSR}	50			ns
R/CからCEのセットアップ	t_{SRR}	0			ns
A0からCEのセットアップ	t_{SAR}	50			ns
CEロー後のCS有効	t_{HSR}	0			ns
CEロー後のR/Cハイ	t_{HRR}	60			ns
CEロー後のA0有効	t_{HAR}	50			ns

注

- t_{nb} は図3 aの負荷回路を使って測定され、出力が0.4Vまたは2.4Vに達するまでに要する時間を表わします。
- t_{nl} は図3 bの負荷が与えられた時にデータ・ラインが0.5V変化するのに要する時間を表わします。

太字で示す仕様は最終電気テストで全製品をテストしています。これらのテスト結果によって出荷時の品質レベルが決定されます。すべてのmin値、max値は保証しますが、全製品についてテストされているのは太字の項目に限られます。

仕様は予告なしに変更することがあります。

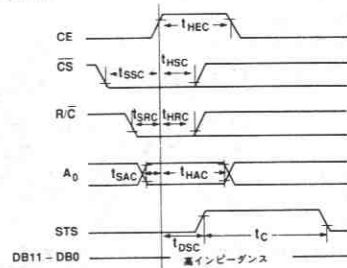


図1. 変換開始のタイミング

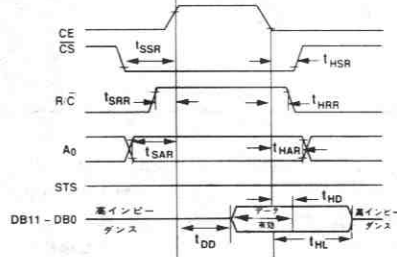


図2. リード・サイクルのタイミング

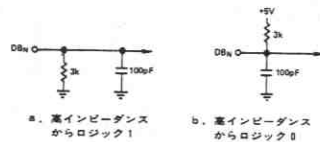


図3 a. アクセス時間テストの負荷回路

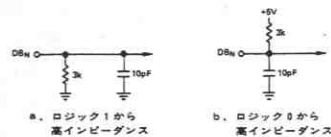


図3 b. 出力フロート遅延テストの負荷回路

タイミング: スタンドアロン・モード (図4 aおよび4 b)

パラメータ	記号	Min	Typ	Max	単位
データ・アクセス時間	t_{DDR}			150	ns
ローR/Cパルス幅	t_{HRL}	50			ns
R/CからのSTS遅延 (+25°C)	t_{DS}		200		ns
$T_{min} \sim T_{max}$			250		ns
R/Cロー後のデータ有効	t_{HDR}	25			ns
データ有効後のSTS遅延	t_{HS}	30	200	600	ns
ハイR/Cパルス幅	t_{HRH}	150			ns

仕様は予告なしに変更することがあります。

絶対最大定格*

V_{CC} 対デジタル・コモン	0 ~ +16.5V
V_{EE} 対デジタル・コモン	0 ~ -16.5V
V_{LOGIC} デジタル・コモン	0 ~ +7V
アナログ・コモン対デジタル・コモン	±1V
デジタル入力対デジタル・コモン	-0.5 ~ $V_{LOGIC} + 0.5V$
アナログ入力対アナログ・コモン	$V_{EE} \sim V_{CC}$
20V _{IN} 対アナログ・コモン	±24V
REF OUT	コモンへ連続短絡
	V_{CC} へ瞬時短絡
ジャンクション温度	+175°C
消費電力	825mW
リード温度、ハンダ付け	300°C, 10秒
保管温度	-85°C ~ +150°C

*これらの条件を越えた場合、デバイスに永久的な損傷を与えることがあります。これは単に定格を示したもので、これらの条件あるいは動作仕様を示した値以上の条件下でデバイスが正常に機能することを意味するものではありません。絶対最大定格の条件に長時間さらされた場合、デバイスの信頼性は保証できません。

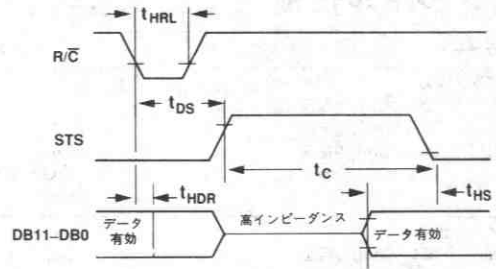


図4 a. スタンド・アロン・モード・タイミング (R/Cロー・パルス)

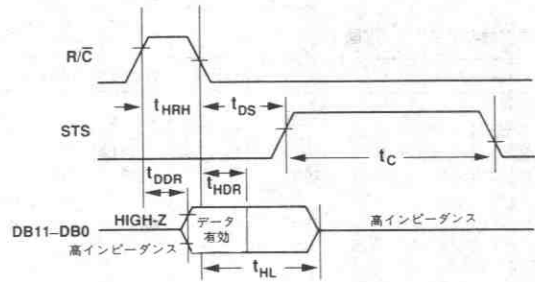


図4 b. スタンド・アロン・モード・タイミング (R/Cハイ・パルス)

注意

この素子はESD(Electrostatic-Discharge)センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させる必要があります。



仕様の説明

直線性誤差

直線性誤差は“ゼロ”と“フルスケール”を結ぶ直線からの各コードの偏差を表わします。“ゼロ”点は最初のコード遷移（オール0からLSBのみ1への変化点）の1/2 LSB（10Vスパンで1.22 mV）前の点を、“フルスケール”点は最後のコード遷移（オール1への変化点）の1/2 LSB後の点を意味します。直線からの偏差は各々のコードの中心から測定します。

AD674 BK、BおよびTモデルでは最大非直線性が±1/2 LSBに保証されています。これらのモデルの場合は、あるコード幅の中心にあるアナログ値が正しいデジタル出力コードになることとなります。コード幅の上部遷移または下部遷移に近い値は次の上または下のデジタル出力コードになる可能性があります。AD674 BJとAモデルでは最大誤差が±1 LSBに保証されています。これらのモデルの場合は、あるコード幅に入るアナログ値は正しいコードかその隣接コードのどちらかになることとなります。

直線性誤差はユーザでは調整できません。

微分直線性誤差（ノーマス・コード）

ノーマス・コードが保証されるのはアナログ入力レベルが増すごとにすべてのコードが単調増加性を示すことが必要です。したがって、各コードは有限幅をもたなければなりません。12ビット分解能に対してノーマス・コードが保証されるAD674 Bの場合は、全動作温度範囲で4096のすべてのコードが存在します。

ユニポーラ・オフセット

最初の遷移はアナログ・コモン電位の1/2 LSB上のレベルで起こりますが、ユニポーラ・オフセットはこのレベルと実際の遷移点との偏差を表わします。このオフセットは後述する方法によってキャンセルすることができます。ユニポーラ・オフセット温度係数は外部調整を行った（または行わない）場合の温度による遷移点の最大変化を表わします。

バイポーラ・オフセット

バイポーラ・モードではアナログ・コモン電位の1/2 LSB下のアナログ値に対して最大の桁上げ遷移（0111 1111 1111から1000 0000 0000）が起こらなければなりません。バイポーラ・オフセット誤差はその初期偏差を、またバイポーラ・オフセット温度係数は温度による誤差の最大変化を表わします。

量子化誤差

A/Dコンバータは±1/2 LSBの固有の量子化誤差を有しています。この誤差が生まれるのは量子化プロセスの基本的な特徴であり、特定の分解能をもったコンバータについてこれを除去することはできません。

左詰めデータ

AD674 Bで採用しているデータ・フォーマットは左詰めです。これはデータがアナログ入力をフルスケールに対する分数（0～4095/4096）として表現することを意味します。フルスケール点はMSBの左側のバイナリ・ポイント4095に相当します。

フルスケール校正誤差

最後の遷移（1111 1111 1110から1111 1111 1111）はフルスケールの1/2 LSB以下のアナログ値に対して起こりますが（10,000 Vフルスケール時9,9963 V）、フルスケール校正誤差は最後の遷移における理想レベルと実際のレベルの偏差を表わします。この誤差はフルスケールの0.05～0.1%が標準ですが、図7と8に示した方法により調整することができます。ただし、初期誤差の調整を行っても行わなくても温度によってフルスケール校正誤差が発生します。各モデルの温度係数は内部10Vリファレンスを用いた時のフルスケール・ゲインの初期値からの最大変化を表わします。

温度ドリフト

フルスケール校正、ユニポーラ・オフセット、バイポーラ・オフセットの温度ドリフトは初期値（±25°C）からT_{min}またはT_{max}の範囲での最大変化を表わします。

電源変動除去比

AD674 Bの標準仕様は+5.00Vおよび±15.00Vまたは±12.00V電源の使用を想定しています。電源誤差がデバイスの性能に及ぼす唯一の影響はフルスケール校正にわずかな変化を与えることで、これによってすべての下位コードに直線的な変化が生じます。仕様の値は各範囲内の電源における初期値から最大フルスケール変化を示します。

コード幅

コード幅はA/Dコンバータの基本特性の1つで、所定のデジタル出力コードに対応するアナログ入力値の範囲を表わします。コード幅の値は1 LSBに相当し、12ビットADCではフルスケール・レンジ10Vで2.44mVに等しくなります。

AD674B ビン機能の説明

記号	ピン番号	タイプ	名前と機能
AGND	9	P	アナログ・グラウンド (コモン)
A ₀	4	DI	バイト・アドレス/ショート・サイクル。 変換がA ₀ がアクティブLOWでスタートしたときは、完全12ビット変換サイクルが起動します。A ₀ が変換スタートの間でアクティブHIGHのときは、8ビットの短い変換サイクルになります。12/8 LOWでリード (R/C=1) の間、A ₀ =LOWが8MSBをイネーブルし、A ₀ =HIGHでDB3-DB0をイネーブルしてDB7-DB4=0を設定します。
BIP OFF	12	AI	バイポーラ・オフセット。50Ω抵抗器を介してバイポーラ動作に対してREF OUTに、ユニポーラ動作に対してはアナログ・コモンに接続します。
CE	6	DI	チップ・イネーブル。チップ・イネーブルはアクティブHIGHであり、変換またはリード動作を開始するために使用されます。
\overline{CS}	3	DI	チップ・セレクト。チップ・セレクトはアクティブLOWです。
DB11-DB8	27-24	DO	データ・ビット11から8。12ビットおよび8ビットのフォーマット両方において (12/8およびA ₀ ピン参照)、これらのピンはデータの上位4ビットを供給します。
DB7-DB4	23-20	DO	データ・ビット7から4。これらのピンは、12ビットのフォーマットにおいてはデータの中間4ビットを供給します。これらのピンは、8ビットのフォーマットにおいてはA ₀ がLOWのとき中間4ビットを供給し、また、A ₀ がHIGHのときオールゼロを供給します。
DB3-DB0	19-16	DO	データ・ビット3から0。12ビットおよび8ビットの両フォーマットにおいて、これらのピンはA ₀ がLOWのときはデータの低位4ビットを供給します。A ₀ がHIGHのときはディセーブルとなります。
DGND	15	P	デジタル・グラウンド (コモン)
REF OUT	8	AO	+10Vのリファレンス出力
R/C	5	DI	リード/変換。完全制御モードにおいて、R/Cはリード動作に対してアクティブHIGHであり、変換動作に対してアクティブLOWです。スタンド・アロン・モードにおいては、R/Cの立下りエッジで変換を開始します。
REF IN	10	AI	リファレンス入力は通常動作では、50Ω抵抗器を介して+10Vのリファレンスに接続されます。
STS	28	DO	変換処理中、ステータスはアクティブHIGHであり、変換が終了するとステータスはLOWになります。
V _{CC}	7	P	+12V/+15Vのアナログ電源
V _{EE}	11	P	-12V/-15Vのアナログ電源
V _{LOGIC}	1	P	+5Vロジック電源
10V _{IN}	13	AI	10Vのスパイン入力、0から+10Vのユニポーラ・モードまたは-5Vから+5Vのバイポーラ・モード。20VのスパインでAD674Bを使用するときは、10V _{IN} は接続しないでください。
20V _{IN}	14	AI	20Vのスパイン入力、0から+20Vのユニポーラ・モードまたは-10Vから+10Vのバイポーラ・モード。10VスパインでAD674Bを使用するときは、20V _{IN} は接続しないでください。
12/8	2	DI	12/8ピンは、デジタル出力データを2つの8ビット・ワード (12/8 LOW) または1つの12ビット・ワード (12/8 HIGH) とするかを決定します。

タイプ: A I = アナログ入力
 A O = アナログ出力
 D I = デジタル入力
 D O = デジタル出力
 P = 電源



回路動作

AD674 Bは全機能内蔵の12ビットA/Dコンバータで、外部部品なしで完全な逐次比較型のA/D変換機能を実現することができます。AD674 Bのブロック図を図5に示します。

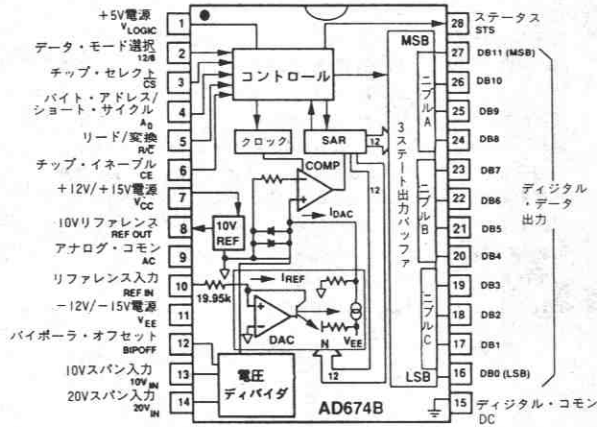


図5. AD674Bのブロック図

制御部が命令を受け変換を始めると(後述)、まずクロックをイネーブル状態にし、逐次比較レジスタ(SAR)をオール0にリセットします。一度変換サイクルに入ると、停止させたり再スタートさせることはできず、出力バッファからのデータ読取りもできません。SARはクロックに同期して変換シーケンスを実行し、終了すると変換終了フラグを制御部に帰します。制御部はクロックをディスエーブルし、出力ステータス・フラグをローの状態にし、外部コマンドによるデータ読取りを可能にします。

変換サイクルでは内部12ビット電流出力DACがSARにしたがってMSBからLSBまで順次動作し、ディバイダ・ネットワークを通して入力信号電流に正確に対応する出力電流を供給します。コンパレータは各ビットの重みづけをもつ電流を加えることによって、DACの合計電流が入力電流よりも大きくなるか小さくなるかを判定し、入力電流より小さい時はそのビットをオンのままにし、大きい時はそのビットをオフにします。全ビットのチェックが終わると、SARのなかの12ビット・バイナリ・コードは正確に入力信号の $\pm 1/2$ LSB内となります。

温度補償されたリファレンスは主要な電圧リファレンスをDACに供給するもので、時間と温度に対して優れた安定性を備えています。このリファレンスは10.00 V $\pm 1\%$ にトリミングされており、リファレンス入力抵抗(0.5 mA)とバイポーラ・オフセット抵抗(0.5 mA)の駆動に必要な電流に加え、0.2 mAまでの電流を外部負荷に供給することができます。変換中はすべてのAD674 Bリファレンス外部負荷は一定でなければなりません。薄膜抵抗はDACのフルスケール電流出力にマッチングするよう調整されています。入力ディバイダ・ネットワークは、10Vまたは20Vの入力範囲を持ちます。バイポーラ・オフセット抵抗はユニポーラ動作時には接地し、バイポーラ動作時には10リファレンスに接続します。

AD674Bのアナログ入力の駆動

AD674 Bは逐次比較型のA/Dコンバータで、変換サイクル中、ADCの入力電流はDACのテスト電流により約1 MHzのレートで変調されます。したがって、AD674 Bを駆動する信号源は負荷条件がダイナミックに変化する時、一定の出力電圧を維持できなければなりません。

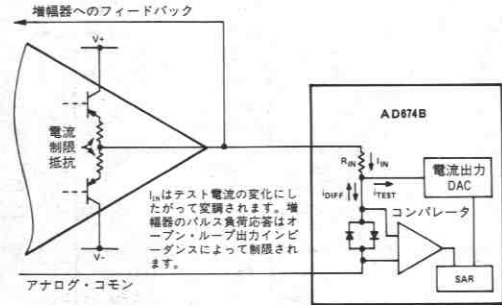


図6. オペアンプとAD674Bのインタフェース

オペアンプのクローズ・ループ出力インピーダンスはオープン・ループ出力インピーダンス(通常、数100 Ω)を対象とする周波数のループ・ゲインで割ったものに等しくなります。通常、特に低周波の場合は、フォロワ接続オペアンプのループ・ゲインが高く、クローズ・ループ出力インピーダンスは無視できるほど小さな値になると考えられますが、AD674 Bを駆動する増幅器は1 MHzのループ・ゲインがクローズ・ループ出力インピーダンスを小さくするほど高いか、オープン・ループ出力インピーダンスが低くなければなりません。これに 대응するオペアンプとしては、AD711などの広帯域オペアンプがあります。サンプル・ホールド・アンプが必要な時は、モノリシックのAD585が良いでしょう。AD585の出力バッファがAD674 Bの入力をダイレクトに駆動します。もっと良い方法はAD674 Bと同一ピン配置の10 μ s サンプリングA/DコンバータAD1674を使用することです。

電源のデカップリングおよびレイアウトについて

AD674 Bの電源がフィルタされ、レギュレーションがよく、高周波ノイズをもっていないことが必要です。ノイズを含む電源を使うと、出力コードの不安定を招きます。また12ビット精度を必要とする場合は、出力中に存在するスパイクを除去する方を講じない限り、スイッチング電源は使わない方がよいでしょう。数mVのノイズでも12ビットADCでは数カウント分の誤差になって現れることを覚えておいてください。

すべての電源ピンにはデカップリング・コンデンサを使用してください。+5V電源のデカップリング・コンデンサはピン1からピン15(デジタル・コモン)に直接接続し、+V_{CC}と-V_{EE}ピンはアナログ・コモン(ピン9)に直接デカップリングします。デカップリング・コンデンサとしては、4.7 μ Fのタンタル・タイプと0.1 μ Fのセラミック・ディスク・タイプを並列接続するのが適切です。

レイアウトの際には、AD674 Bとアナログ入力回路の接続をできるだけロジック回路から離す必要があります。このため、ワイヤ・ラップの回路構成を用いることはお勧めできません。プリント基板のレイアウトおよび製作には細心の注意が必要です。

アナログ回路の詳細

ユニポーラ・レンジ接続方法

AD674 Bには完全な12ビットA/D変換を実現するのに必要なすべての能動部品が内蔵されています。したがって、ほとんどの場合、他に必要なものは電源(+5V、+12/+15V、-12/-15V)、アナログ入力および変換開始コマンド(後述)の3つだけです。

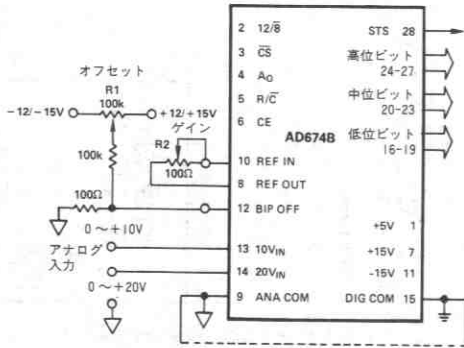


図7. ユニポーラ入力接続

AD674 Bのすべての薄膜抵抗は絶対校正精度にトリミングされているので、多くの応用で調整トリミングをする必要がありません。各モデルの絶対精度は仕様表に示してあります。例えば無調整の場合、ゼロ・オフセット誤差は最大 ± 2 LSBに、フルスケール誤差は最大 $\pm 0.25\%$ (10LSB)に保証されています。オフセット調整が必要でない場合は、ピン12を直接ピン9に接続することができます。ピン12に接続される2つの抵抗とトリマは必要ありません。もしフルスケール調整が必要でない場合は、 $50\Omega \pm 1\%$ の金属被膜抵抗をピン8と10の間に接続します。

アナログ入力は0~+10V入力レンジの時はピン13と9の間に、0~+20V入力レンジの時はピン14と9の間に接続します。AD674 Bは電源電圧を超える入力信号にも問題なく適応します。10Vスパン入力の場合、LSBの公称値は2.44mVとなり、20Vスパン入力の場合は4.88mVとなります。10.24Vレンジ(2.5mV/ビット)が必要な時は、ゲイン・トリマ(R2)を50 Ω 抵抗に変え、ピン13(アナログ入力)に200 Ω トリマを接続します(フルスケール・レンジを20.48Vとする場合(5mV/ビット)はピン14に500 Ω トリマを接続します)。次に述べるゲイン調整はこれらのトリマによって行われます。公称入力インピーダンスはピン13が5k Ω 、ピン14が10k Ω です。

ユニポーラ校正

ユニポーラ・レンジの接続方法を図7に示します。AD674 Bはオフセットが1/2LSBに調整されているので、あるコードに対する確実なアナログ入力値はそのコード(このコードの上部遷移と下部遷移の間)の中心の値になります。したがって、正しく調整されていれば最初の遷移(0000 0000 0000から0000 0000 0001)は $\pm 1/2$ LSB入力レベル(10Vレンジの場合1.22mV)に対して起こりません。

ピン12がピン9に接続されている場合、デバイスは仕様範囲内でこのように動作します。オフセット・トリマ(R1)を使う時は、上述のように調整してください(ただし、システムの必要に応じて異なるオフセット値を設定できます)。この回路は約 ± 15 mVのオフセット調整レンジをもちます。

フルスケール調整を行なうには、フルスケールより1/2LSB低い信号(10Vレンジでは9.9963V)を入力させて、最後の遷移(1111 1111 1110から1111 1111 1111)が起こるようにR2を調整します。

バイポーラ動作

バイポーラ・レンジの接続方法を図8に示します。ここでもユニポーラ・レンジの時と同様、オフセットとゲインが仕様値で十分ならば、トリマの1つまたは両方を $50\Omega \pm 1\%$ の固定抵抗に変えることができます。バイポーラ校正はユニポーラ校正と同様、アナログ入力を印加して行います。まず負のフルスケールより1/2LSB高い信号(± 5 Vレンジの場合-4.9988V)を入力させ、最初の遷移(0000 0000 0000から0000 0000 0001)が起こるようにR1を調整し、次に正のフルスケールより1/2LSB低い信号(± 5 Vレンジでは+4.9963V)を入力させ、最後の遷移(1111 1111 1110から1111 1111 1111)が起こるようにR2を調整します。

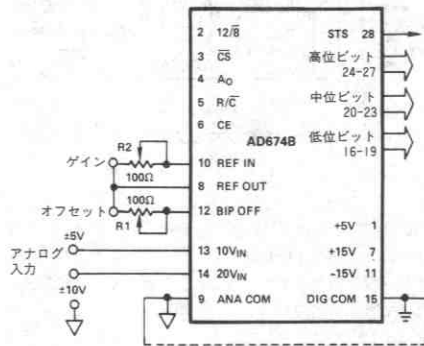


図8. バイポーラ入力接続

グラウンド接続について

ピン9のアナログ・コモンは内部リファレンスに対するグラウンド基準ポイントで、AD674 Bの高品位グラウンドです。これはシステムのアナログ基準ポイントに直接接続します。デジタル・ノイズの多い環境下でAD674 Bの高精度機能を完全に実現するためには、アナログ・コモンとデジタル・コモンをパッケージ近くで接続する必要があります。また状況によってはピン15のデジタル・コモンのもも都合のよいグラウンド基準ポイントに接続できる場合があります。この場合はデジタル電源リターンが望ましいでしょう。

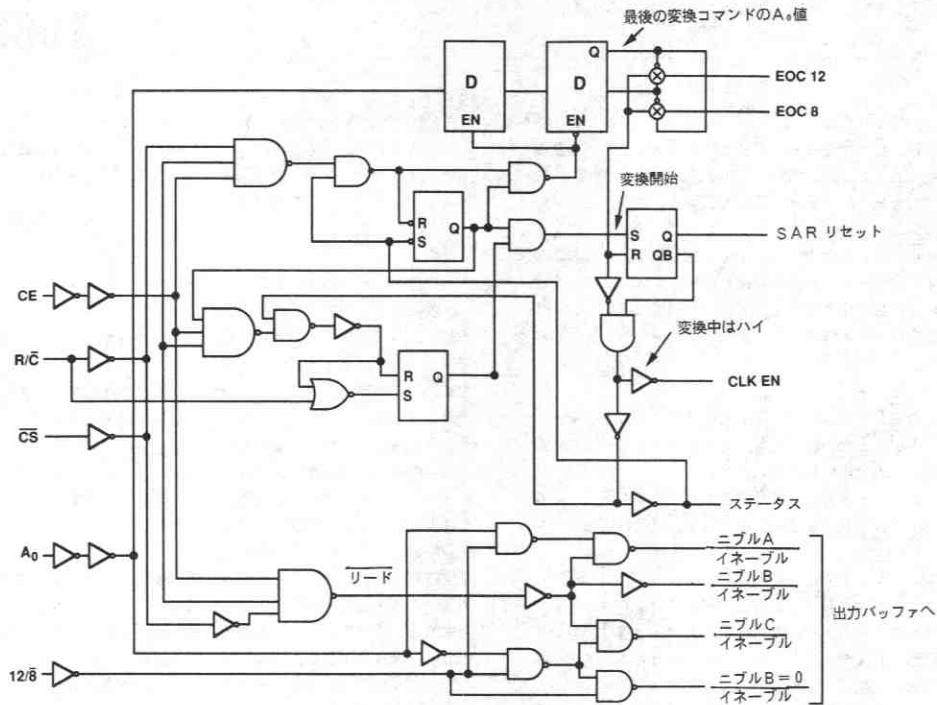


図9 等価内部ロジック回路

制御ロジック

AD674 Bはマイクロプロセッサ・システムに一般的に用いられている信号を使って変換開始およびデータ・リード動作を行うロジックを内蔵しています。図9はAD674 Bの内部ロジック回路を示したものです。

制御信号CE、 \overline{CS} および R/\overline{C} によってコンバータの動作が制御されます。CEと \overline{CS} が有効の時、 R/\overline{C} がデータ・リード中か($R/\overline{C}=1$)変換中か($R/\overline{C}=0$)を決定します。またレジスタ制御入力A₀と $12/\overline{8}$ は変換ビット長とデータ・フォーマットを決定します。A₀がローで変換が開始された場合は、完全12ビット変換サイクルが実行され、A₀がハイで開始された場合は、短い8ビット変換サイクルが実行されます。データ・リード動作中はA₀により、スリーステート・バッファに変換結果の上位8ビットが出力されているか(A₀=0)それとも下位4ビットが出力されているか(A₀=1)が示されます。出力データの構成が2つの8ビット・ワードか単一の12ビット・ワードかは $12/\overline{8}$ ピンの接続方法によって決まりますが(デジタル・コモンに接続されている場合、8ビット・モード、V_{LOGIC}に接続されている場合、12ビット・モード)、8ビット・モードの場合、A₀がハイの時出力されるバイトには変換結果の下位4ビットが入り、残りの4ビットには0が入ります。このようにデータを重複出力することにより、外部スリーステート・バッファを使わなくてもダイレクトに8ビット・バスとインタフェースできます。

出力信号STSはコンバータのステータスを示します。STSは変換開始でハイになり、変換サイクルの終了と共にローに戻ります。

CE	\overline{CS}	R/\overline{C}	$12/\overline{8}$	A ₀	動作
0	X	X	X	X	動作なし
X	1	X	X	X	動作なし
1	0	0	X	0	12ビット変換の開始
1	0	0	X	1	8ビット変換の開始
1	0	1	1	X	12ビット・パラレル出力イネーブル
1	0	1	0	0	上位8ビット・イネーブル
1	0	1	0	1	下位4ビット+0000イネーブル

表1. AD674Bの真理値表

AD674Bは、完全制御モードまたはスタンド・アロン・モードの2つのモードのうちいずれかで動作できます。完全制御モードではAD674Bの制御信号すべてを使用しています。これは、単一データ・バスでマルチプル・デバイスをアドレス・デコードするシステムに有効です。スタンド・アロン・モードは専用入力ポートをもつシステムに有効です。概して言えば、スタンド・アロン・モードは、より高精度ベースで変換開始コマンドを出すことができ、したがって、より精度の高い結果を生み出すことができます。次の節ではこれらの2つのモードについて更に詳しく説明します。

完全制御モード

チップ・イネーブル (CE)、チップ・セレクト (\overline{CS}) およびリード/変換 (R/\overline{C}) は変換モードまたはリード・モードを制御するために使用されます。CE または \overline{CS} のどちらかが、変換を開始するために使用できます。CE および \overline{CS} が両方ともアクティブのときの R/\overline{C} のステートにより、データ・リード ($R/\overline{C}=1$) または変換 ($R/\overline{C}=0$) 処理中であるかを決定します。CE および \overline{CS} がアクティブになる前に、 R/\overline{C} は LOW でなければなりません。 R/\overline{C} が HIGH の場合は、リード動作が即時に発生し、システム・バスの衝突を招く可能性があります。

スタンドアロン・モード

AD674 B はスタンドアロン・モードで動作させることができ、専用の入力ポートがあるため、完全なバス・インタフェース機能を必要としないシステムで用いられています。

スタンドアロン・モードでは、完全制御モードよりも概して高精度な変換スタート・コマンドを出すことができ、精度の向上につながります。

スタンドアロン・モードでは、CE と $12/8$ がハイに、 \overline{CS} と A_0 がローに固定され、変換は R/\overline{C} によって制御されます。 R/\overline{C} がハイの時、スリーステート・バッファがイネーブルとなり、ローになると変換が開始されます。このことは制御信号としてハイ・パルスとロー・パルスの2種類が可能であることを示します。ロー・パルスを使った場合の動作が図4 a です。この場合、 R/\overline{C} の立下がりエッジで出力が高インピーダンス状態となり、変換サイクルの終了後、有効ロジック・レベルに復帰します。STS 信号は R/\overline{C} がローになって、200 ns 後にハイとなり、データが有効になって 200 ns 後にローに戻ります。

図4 b はハイ・パルスによって変換が開始される場合で、データ・ラインは R/\overline{C} がハイの間だけイネーブルとなります。 R/\overline{C} の立下りエッジで次の変換が開始され、データ・ラインはスリーステートに戻ります (次のハイ・パルスまで維持されます)。

変換のタイミング

変換がスタートすると、STS ラインが HIGH になります。変換スタート・コマンドは、変換サイクルが終了するまで無視されます。出力データ・バッファは STS が LOW になる 1.2 μ s 前までイネーブルできます。STS ラインは変換サイクルの終りに LOW に戻ります。

レジスタ制御入力、 A_0 および $12/8$ が変換長およびデータ・フォーマットを制御します。変換が A_0 LOW で開始された場合、完全 12 ビット変換サイクルが開始されます。変換開始の間 A_0 が HIGH の場合は、8 ビットの短い変換サイクルとなります。データ・リード動作の間、変換結果の 8 MSB ($A_0=0$) または 4 LSB ($A_0=1$) を含むスリーステート・バッファがイネーブルされるかを A_0 で決定します。 $12/8$ ピンは出力データを 2 つの 8 ビット・ワード ($12/8$ を LOW に固定) とするか、または 1 つの 12 ビット・ワード ($12/8$ を HIGH に固定) とするかを決定します。

8 ビット・モードにおいては、 A_0 が HIGH の場合、バイト・アドレスには変換結果の下位 4 ビットが入り、残りの 4 ビットには 0 が入ります。このようにデータを重複出力することにより、外部スリーステート・バッファを使わなくてもダイレクトに 8 ビット・バスとインタフェースできます。

A/D コンバータのインタフェース一般に関して

一般的な A/D コンバータのインタフェース・ルーチンには種々の動作が含まれます。まず ADC アドレスへの書き込みにより変換が開始されます。ほとんどの IC タイプの ADC では、変換に 1 命令サイクル以上要するので、プロセサは変換サイクルが終了するのを待たなければなりません。もちろん、変換の終了後でなければ有効データを読むことはできません。AD674 B には変換中であることを示すための出力信号 (STS) があり、プロセサは外部スリーステート・バッファ (または他の入力ポート) を介してリードすることによって、この信号をポーリングすることができます。またシステムにおいてタイミングの重要性が高く (ただし AD674 B の最大変換時間はわずか 15 μ s です) ADC の変換サイクル中にプロセサが他のタスクを処理しなければならない時は、STS 信号を割込み発生用として使用することもできます。他のウェイトング方法としては、ADC が変換に 15 μ s かかるとみなして、15 μ s のプロセサ・タイムに相当する NOP 命令を挿入する方法があります。

変換が終了すると、データを読出すことができます。コンバータのデータ・ビット数が出力バスのビット数より大きい場合は、データ・フォーマットの選択が必要で、多重リード動作が行われます。AD674 B は $12/8$ 入力の設定によって 8 ビット・データ・バスにも 16 ビット・データ・バスにもダイレクトにインタフェースできる内部ロジックを内蔵しています。16 ビット・バスを使った応用の場合 ($12/8$ がハイ)、データ・ライン (DB11~DB0) はデータ・バスの上位 12 ビットまたは下位 12 ビットに接続し、残りの 4 ビットはソフトウェアによってマスクします。8 ビット・データ・バスとのインタフェース ($12/8$ がロー) は左詰め形式で行われます。偶数アドレス (A_0 がロー) には上位 8 ビット (DB11~DB4) が、奇数アドレス (A_0 がハイ) には下位 4 ビット (DB3~DB0) が出力されます。奇数アドレスの上位 4 ビットは 0000 となるのでビット・マスク命令を使う必要はありません。

左詰め 8 ビット・バス・インタフェースを右詰めに直すことはできません。

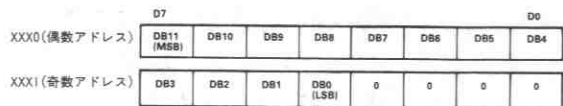


図10. 8 ビット・バス用データ・フォーマット

AD674B オーダ・ガイド

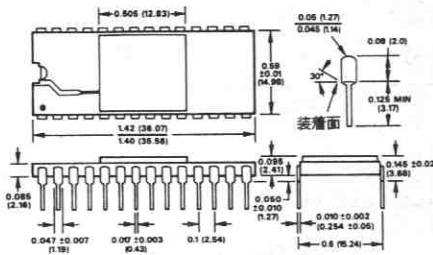
モデル	温度範囲	INL ($T_{min} \sim T_{max}$)	パッケージ	パッケージ オプション*
AD674BJN	0 ~ +70°C	±1 LSB	プラスチックDIP	N-28A
AD674BKN	0 ~ +70°C	±1/2 LSB	プラスチックDIP	N-28A
AD674BAD	-40°C ~ +85°C	±1 LSB	セラミックDIP	D-28A
AD674BBD	-40°C ~ +85°C	±1/2 LSB	セラミックDIP	D-28A
AD674BDT	-55°C ~ +125°C	±1 LSB	セラミックDIP	D-28A

* N=プラスチック DIP ; D=セラミック DIP

外形サイズ

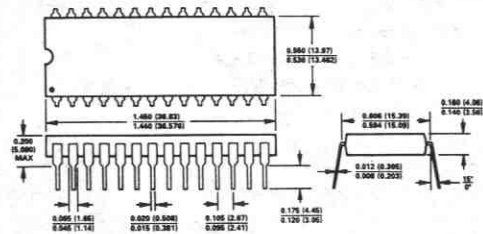
サイズはインチと (mm) で示しています。

28ピン・セラミックDIPパッケージ (D-28A)



リードNo.1はドットによって識別

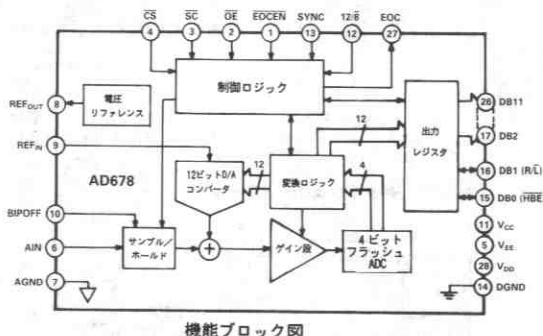
28ピン・プラスチックDIPパッケージ (N-28A)



リードNo.1はドットまたは刻みによって識別
リードはハンダ付けカス・メッキによるアロイ42または銅。

特長

- AC&DC性能を完全規定 (K, B, Tグレード)
- 200 k変換/秒
- 1 MHzフルパワー帯域幅
- 500 kHzフルリニア帯域幅
- 72 dB S/N+D (Kグレード)
- 2の補数形式のデータ・フォーマット (バイポーラ・モード)
- ストレート・バイナリ形式のデータ (ユニポーラ・モード)
- 入力インピーダンス: 10M Ω
- 8ビットまたは16ビット・バスとインタフェース
- リファレンスおよびクロック内蔵
- 10Vユニポーラまたはバイポーラ入力レンジ
- 一般用, 産業用, 軍用 温度範囲のグレードを用意。



概要

AD678 はサンプル/ホールド・アンプ (SHA)、マイクロプロセサ・コンパチブル・バス・インタフェース、電圧リファレンスおよびクロック発生回路を内蔵した12ビット・モノリシックA/Dコンバータです。

AD678 はS/N+D比、THD、IMDなどのAC (あるいはダイナミック) パラメータが規定されています。これらのパラメータはAD678 が入力信号のスペクトルにどう影響するかを示すものであるため、信号処理応用で重要となります。さらに、AD678 K, B, Tグレードでは計測応用で重要となるDCパラメータが完全に規定されています。

AD678 ではデジタル・インタフェース・フォーマットを選択することができます。12ビット・データを16ビット・バスによって1回のリード動作でアクセスすることも、8ビット・バスによって2回のリード動作 (8+4、右詰めまたは左詰め) でアクセスすることもできます。データ形式はユニポーラ・モードの場合にはストレート・バイナリ、バイポーラ・モードでは2の補数形式です。入力は10Vのフルスケール・レンジをもち、フルパワー帯域幅は1 MHz、フルリニア帯域幅は500 kHzです。高入力インピーダンス (10M Ω) なので、バッファされていない信号源に直接接続しても信号の品質が劣化することはありません。

AD678 は弊社のBiMOSプロセスをベースに、低消費電力のCMOSロジックと高精度、低ノイズのバイポーラ回路を集積したもので、レーザ・トリムの薄膜抵抗により高精度を実現しています。また、高速性、高分解能を実現するためのフラッシュ・コンバータ回路とエラー補正を含むサブレンジング・アルゴリズムを採用しています。

AD678 は+5Vおよび \pm 12V電源で動作し、消費電力は745 mWです。28ピン・プラスチックDIPと15mm幅のセラミックDIPを用意しています。MIL-STD-883 CクラスBスクリーニング製品も供給可能です。

製品ハイライト

1. 高集積: AD678 は高速サンプル/ホールド・アンプ (SHA)、ADC、5Vリファレンス、クロックおよびデジタル・インタフェースをワンチップ上に内蔵したことによって、必要な外部部品を最小限に抑えることができます。これによりディスクリート設計では不可能な完全規定のサンプリングA/D機能を実現します。
2. 仕様: AD678 K, B, TグレードではACおよびDC性能が、完全に規定され、試験が施されています。AD678 J, A, SグレードではAC性能が規定され、試験が施されています。DC精度仕様は代表値で示されています。DC仕様 (INL, ゲイン, オフセットなど) は計測制御応用で重要となります。AC仕様 (S/N+D比, THD, IMDなど) は信号処理応用で重要となります。
3. 使いやすさ: ピンアウトはボード・レイアウトを行ないやすいように設計され、出力はリード・サイクルの選択 (1回または2回) により、16ビット・バスにも8ビット・バスにも対応します。出荷時にトリミングが施されているので、規定性能を得るために校正モードに設定したり、外部トリミングを行なう必要はありません。
4. 高信頼性: AD678 には弊社独自開発の低電力モノリシックBiMOS技術が使用されています。したがって、マルチチップやハイブリッド設計に比較して長期信頼性が保証されます。

仕様

AC仕様

(特に指定のない限り $T_{min} \sim T_{max}$, $V_{CC} = +12V \pm 5\%$, $V_{EE} = -12V \pm 5\%$, $V_{DD} = +5V \pm 10\%$,
 $f_{SAMPLE} = 200 \text{ KSPS}$, $f_{IN} = 10.06 \text{ kHz}$)¹

パラメータ	AD678J/A/S			AD678K/B/T			単位
	Min	Typ	Max	Min	Typ	Max	
S/N+歪み (S/N+D) 比 ²							
-0.5 dB入力 (-0 dB入力基準)	70	71		72	73		dB
-20dB入力 (-20dB入力基準)		51			53		dB
-60dB入力 (-60dB入力基準)		11			13		dB
全高調波歪み (THD) ³		-88	-80		-88	-80	dB
		0.004	0.010		0.004	0.010	%
ピーク・スプリアスまたはピーク高調波成分		-87	-80		-87	-80	dB
フルパワー帯域幅		1			1		MHz
フルリニア帯域幅	500			500			kHz
相互変調歪み (IMD) ⁴							
2次項		-85	-80		-85	-80	dB
3次項		-90	-80		-90	-80	dB

- 注
- 特に指定のない限り、 f_{IN} レベルは-0.5dB(9.44V_{p-p}) バイポーラ・モード・フルスケールとします。測定はすべて-0dB(9.997V_{p-p}) 入力信号を基準としています。
 - 高周波の場合および入力レベルが異なる場合については、図13と14を参照ください。
 - 図12を参照ください。
 - $f_A = 9.08\text{kHz}$, $f_B = 9.58\text{kHz}$, $f_{SAMPLE} = 200 \text{ KSPS}$ 。図16と“仕様の説明”を参照ください。

仕様は予告なしに変更することがあります。

デジタル仕様

(全グレードについて、 $T_{min} \sim T_{max}$, $V_{CC} = +12V \pm 5\%$, $V_{EE} = -12V \pm 5\%$, $V_{DD} = +5V \pm 10\%$)

パラメータ	テスト条件	Min	Max	単位
ロジック入力				
V_{IH} : 高レベル入力電圧		2.4	V_{DD}	V
V_{IL} : 低レベル入力電圧		0	0.8	V
I_{IH} : 高レベル入力電流	$V_{IN} = V_{DD}$	-10	+10	μA
I_{IL} : 低レベル入力電流	$V_{IN} = 0 \text{ V}$	-10	+10	μA
C_{IN} : 入力容量			10	pF
ロジック出力				
V_{OH} : 高レベル出力電圧	$I_{OH} = 0.1 \text{ mA}$	4.0		V
	$I_{OH} = 0.5 \text{ mA}$	2.4		V
V_{OL} : 低レベル出力電圧	$I_{OL} = 1.6 \text{ mA}$		0.4	V
I_{OZ} : 高Z漏れ電流	$V_{IN} = 0$ または V_{DD}	-10	+10	μA
C_{OZ} : 高Z出力容量			10	pF

- 注
- 太字で示した仕様は、すべてのデバイスについて最終電気試験を行なっていることを示しています。J,Kグレードは0°C、+25°C、+70°C、A、Bグレードは-40°C、+25°C、+85°C、S,Tグレードは-55°C、+25°C、+125°Cでの最悪の電源電圧条件下です。この試験の結果は出荷時の品質レベルを算出するのに用いられます。min値およびmax値はすべて保証されますが、試験されているのは太字で示したものに限られます。

仕様は予告なしに変更することがあります。

DC仕様

(特に指定のない限り、 $T_{min} \sim T_{max}$, $V_{CC} = +12V \pm 5\%$, $V_{EE} = -12V \pm 5\%$, $V_{DD} = +5V \pm 10\%$)

パラメータ	AD678J			AD678K			単位
	Min	Typ	Max	Min	Typ	Max	
温度範囲	0		+70	0		+70	°C
精度							
分解能	12			12			ビット
積分非直線性(INL)		±1			±0.7	±1	LSB
微分非直線性(DNL)	12			12			ビット
ユニポーラ・ゼロ誤差($\theta+25^{\circ}\text{C}$) ¹		±4			±2	±3	LSB
バイポーラ・ゼロ誤差($\theta+25^{\circ}\text{C}$) ¹		±4			±3	±5	LSB
ゲイン誤差($\theta+25^{\circ}\text{C}$) ^{1, 2}		±4			±3	±6	LSB
温度ドリフト							
ユニポーラ・ゼロ ³		±2			±2	±4	LSB
バイポーラ・ゼロ ³		±2			±2	±4	LSB
ゲイン ³		±4			±4	±6	LSB
ゲイン ⁴		±2			±2	±4	LSB
アナログ入力							
入力レンジ							
ユニポーラ・レンジ	0		+10	0		+10	V
バイポーラ・レンジ	-5		+5	-5		+5	V
入力抵抗		10			10		MΩ
入力容量		10			10		pF
入力セトリング時間			1			1	μs
アパーチャ遅延		10			10		ns
アパーチャジッタ		150			150		ps
内部リファレンス電圧							
出力電圧 ⁵	4.98		5.02	4.98		5.02	V
外部負荷							
ユニポーラ・モード			+1.5			+1.5	mA
バイポーラ・モード			+0.5			+0.5	mA
電源							
電源変動除去比							
$V_{CC} = +12V \pm 5\%$		±2				±2	LSB
$V_{EE} = -12V \pm 5\%$		±2				±2	LSB
$V_{DD} = +5V \pm 10\%$		±2				±2	LSB
動作電流							
I_{CC}		18	20		18	20	mA
I_{EE}		25	34		25	34	mA
I_{DD}		8	12		8	12	mA
消費電力		560	745		560	745	mW

注

- 1.ゼロに調整可能。図6と図7を参照してください。
- 2.内部電圧リファレンスの誤差を含みます。
- 3.内部電圧リファレンスのドリフトを含みます。
- 4.内部電圧リファレンスのドリフトを除きます。
- 5.最大外部負荷を適用。

太字で示した仕様は、すべてのデバイスについて最終電気試験を行なっていることを示しています(0°C, +25°C, +70°Cでの最悪の電源電圧条件)。この試験の結果は出荷時の品質レベルを算出するのに使用されます。min 値およびmax 値はすべて保証されますが、試験されているのは太字で示したものに限られます。

仕様は予告なしに変更することがあります。

仕様

DC仕様

(特に指定のない限り、 $T_{min} \sim T_{max}$, $V_{CC} = +12V \pm 5\%$, $V_{EE} = -12V \pm 5\%$, $V_{DD} = +5V \pm 10\%$)

パラメータ	AD678A			AD678B			単位
	Min	Typ	Max	Min	Typ	Max	
温度範囲	-40		+85	-40		+85	°C
精度							
分解能	12			12			ビット
積分非直線性(INL)		±1			±0.7	±1	LSB
微分非直線性(DNL)	12			12			ビット
ユニポーラ・ゼロ誤差($@+25^{\circ}\text{C}$) ¹		±4			±2	±3	LSB
バイポーラ・ゼロ誤差($@+25^{\circ}\text{C}$) ¹		±4			±3	±5	LSB
ゲイン誤差($@+25^{\circ}\text{C}$) ^{1,2}		±4			±3	±6	LSB
温度ドリフト							
ユニポーラ・ゼロ ³		±4			±4	±6	LSB
バイポーラ・ゼロ ³		±4			±4	±6	LSB
ゲイン ³		±7			±7	±9	LSB
ゲイン ⁴		±4			±4	±6	LSB
アナログ入力							
入力レンジ							
ユニポーラ・レンジ	0		+10	0		+10	V
バイポーラ・レンジ	-5		+5	-5		+5	V
入力抵抗		10			10		MΩ
入力容量		10			10		pF
入力セトリング時間			1			1	μs
アパーチャ遅延		10			10		ns
アパーチャ・ジッタ		150			150		ps
内部リファレンス電圧							
出力電圧 ⁵	4.98		5.02	4.98		5.02	V
外部負荷							
ユニポーラ・モード			+1.5			+1.5	mA
バイポーラ・モード			+0.5			+0.5	mA
電源							
電源変動除去比							
$V_{CC} = +12V \pm 5\%$		±2			±2		LSB
$V_{EE} = -12V \pm 5\%$		±2			±2		LSB
$V_{DD} = +5V \pm 10\%$		±2			±2		LSB
動作電流							
I_{CC}		18	20		18	20	mA
I_{EE}		25	34		25	34	mA
I_{DD}		8	12		8	12	mA
消費電力		560	745		560	745	mW

注

- 1.ゼロに調整可能。図6と図7を参照してください。
- 2.内部電圧リファレンスの誤差を含みます。
- 3.内部電圧リファレンスのドリフトを含みます。
- 4.内部電圧リファレンスのドリフトを除きます。
- 5.最大外部負荷を適用。

太字で示した仕様は、すべてのデバイスについて最終電気試験を行なっていることを示しています(-40°C, +25°C, +85°Cでの最悪の電源電圧条件)。この試験の結果は出荷時の品質レベルを算出するのに使用されます。min 値およびmax 値はすべて保証されますが、試験されているのは太字で示したものに限られます。

仕様は予告なしに変更することがあります。

DC仕様

(特に指定のない限り、 $T_{min} \sim T_{max}$, $V_{CC} = +12V \pm 5\%$, $V_{EE} = -12V \pm 5\%$, $V_{DD} = +5V \pm 10\%$)

パラメータ	AD678S			AD678T			単位
	Min	Typ	Max	Min	Typ	Max	
温度範囲	-55		+125	-55		+125	°C
精度							
分解能	12			12			ビット
積分非直線性(INL)		±1			±0.7	±1	LSB
微分非直線性(DNL)	12			12			ビット
ユニポーラ・ゼロ誤差(@+25°C) ¹		±4			±2	±3	LSB
バイポーラ・ゼロ誤差(@+25°C) ¹		±4			±3	±5	LSB
ゲイン誤差(@+25°C) ^{1, 2}		±4			±3	±6	LSB
温度ドリフト							
ユニポーラ・ゼロ ³		±7			±7	±9	LSB
バイポーラ・ゼロ ³		±7			±7	±9	LSB
ゲイン ³		±11			±11	±14	LSB
ゲイン ⁴		±7			±7	±9	LSB
アナログ入力							
入力レンジ							
ユニポーラ・レンジ	0		+10	0		+10	V
バイポーラ・レンジ	-5		+5	-5		+5	V
入力抵抗		10			10		MΩ
入力容量		10			10		pF
入力セトリング時間			1			1	μs
アパーチャ遅延		10			10		ns
アパーチャ・ジッタ		150			150		ps
内部リファレンス電圧							
出力電圧 ⁵	4.98		5.02	4.98		5.02	V
外部負荷							
ユニポーラ・モード			+1.5			+1.5	mA
バイポーラ・モード			+0.5			+0.5	mA
電源							
電源変動除去比							
$V_{CC} = +12V \pm 5\%$		±2				±2	LSB
$V_{EE} = -12V \pm 5\%$		±2				±2	LSB
$V_{DD} = +5V \pm 10\%$		±2				±2	LSB
動作電流							
I_{CC}		18	20		18	20	mA
I_{EE}		25	34		25	34	mA
I_{DD}		8	12		8	12	mA
消費電力		560	745		560	745	mW

注

- 1.ゼロに調整可能。図6と図7を参照してください。
- 2.内部電圧リファレンスの誤差を含みます。
- 3.内部電圧リファレンスのドリフトを含みます。
- 4.内部電圧リファレンスのドリフトを除きます。
- 5.最大外部負荷を適用。

太字で示した仕様は、すべてのデバイスについて最終電気試験を行なっていることを示しています(-55°C, +25°C, +125°Cでの最悪の電源電圧条件)。この試験の結果は出荷時の品質レベルを算出するのに使用されます。min値およびmax値はすべて保証されますが、試験されているのは太字で示したものに限られます。

仕様は予告なしに変更することがあります。

タイミング仕様

(特に指定のない限り、

すべてのグレードにおいて、 $T_{min} \sim T_{max}$, $V_{CC} = +12V \pm 5\%$, $V_{EE} = -12V \pm 5\%$, $V_{DD} = +5V \pm 10\%$)

パラメータ	略称	Min	Max	単位
SC遅延	t_{SC}	50		ns
変換時間	t_C		4.6	μs^2
変換レート ¹	t_{CR}		5	μs^3
			5.5	μs^3
変換パルス幅	t_{CP}	195		ns
オーバーチャージ遅延	t_{AD}	5	20	ns
ステータス遅延	t_{SD}	0	400	ns
アクセス時間 ⁴	t_{BA}		100	ns
フロート遅延 ⁵	t_{FD}	10	80	ns
アップデート遅延	t_{UD}		200	ns
フォーマット・セットアップ ⁶	t_{FS}	100		ns
OE遅延 ⁷	t_{OE}	20		ns
リード・パルス幅 ⁸	t_{RP}	100		ns^2
		195		ns^3
変換遅延	t_{CD}	150		ns
EOCEN遅延	t_{EO}	50		ns

注

1. アクイジション時間を含む
2. 12ビット (パラレル) リード・モード (図5を参照)。
3. 8ビット (2バイト) リード・モード (図4を参照)。
4. OE/EOCEN(0.8V)の立下りエッジからデータ・ライン/EOCが2.0Vまたは0.8Vに達するまでを測定したもの。図3を参照; $C_{OUT} = 100pF$
5. OE/EOCEN(2.0V)の立上りエッジから出力電圧が0.5V変化するまでを測定したもの。図3を参照; $C_{OUT} = 10pF$
6. 図4と5を参照

仕様は予告なしに変更することがあります。

太字で示した仕様は、すべてのデバイスについて最終電気試験を行っていることを示しています。(J,Kグレードは0°C, +25°C, +70°C, A,Bグレードは-40°C, +25°C, +85°C, S,Tグレードは-55°C, +25°C, +125°Cでの最悪の電源電圧条件下です)。

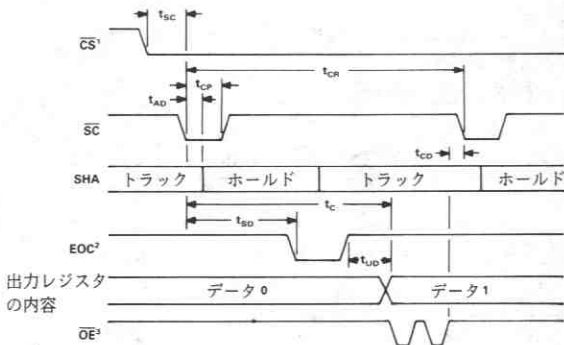
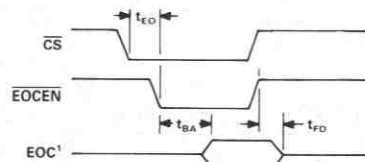


図1. 変換タイミング

注

1. 非同期モードの場合、 \overline{CS} の状態は変換動作に影響を与えません。詳細は変換開始の真値表を参照してください。
2. $EOCEN = LOW$ (図2)。同期モードの場合、EOCはリステート出力です。非同期モードの場合、EOCはオープン・ドレイン出力です。
3. 変換中、データをイネーブルしてはいけません。



注

1. 詳細はエンド・オブ・コンバート (EOC) の項を参照してください。

図2. EOCのタイミング

テスト	V_{CP}	C_{OUT}
アクセス時間 (高ZからロジックLOW)	5V	100 pF
フロート時間 (ロジックHIGHから高Z)	5V	10 pF
アクセス時間 (高ZからロジックHIGH)	0V	100 pF
フロート時間 (ロジックLOWから高Z)	0V	10 pF

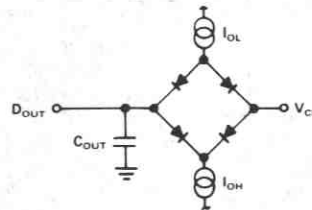


図3. バス・タイミング仕様のための負荷回路

変換制御

同期モード (SYNC=HIGH) で変換を開始するには、チップ・セレクト (CS) と変換開始 (SC) を、どちらも LOW に設定する必要があります。CS は SC を LOW にする t_{cs} 前に LOW に設定しなければなりません。非同期モード (SYNC=LOW) の場合は、変換は CS のステートに関係なく SC を LOW に設定することにより開始されます。

変換が開始される前は、エンド・オブ・コンバート (EOC) が HI、サンプル/ホールドがトラック・モードとなります。変換が始まると、サンプル/ホールドはホールド・モードに、EOC は LOW になり、変換中であることを示します。変換シーケンスの間、サンプル/ホールドはトラック・モードに戻り、次のサンプリングに備えます。変換が終了すると、EOC が HI になります。

トラック・モードでは、サンプル/ホールドは $\pm 0.01\%$ (12ビット) に対して最大 $1\mu s$ でセトリングします。AD678 は次の変換の $1\mu s$ 以上前にトラック・モードに入るので、このアクイジション時間がスループット・レートに影響することはありません。マルチチャンネル・システムで最大スループット・レートが必要な場合は、EOC が LOW になると同時に入力チャンネルを切換えられます。

12ビット・モードのコード形式 (1 LSB = 2.44 mV)

ユニポーラ・モード (ストレート・バイナリ)		バイポーラ・モード (2の補数)	
V_{IN}^*	出力コード	V_{IN}^*	出力コード
0 V	000...0	-5.000 V	100...0
5.000 V	100...0	-0.002 V	111...1
9.9976 V	111...1	0.000 V	000...0
		+2.500 V	010...0
		+4.9976 V	011...1

*コード・センタ

出力イネーブル真理値表

12ビット・モード (12 $\bar{8}$ = HIGH)

入力 (CS U OE)	出力 DB11-DB0
1	高Z
0	12ビット出力イネーブル

8ビット・モード (12 $\bar{8}$ = LOW)

	入力			出力							
	R/L	HBE	(CS U OE)	DB11...DB4							
	X	X	1	← 高Z →							
ユニポーラ モード	1	0	0	0	0	0	0	a	b	c	d
	1	1	0	e	f	g	h	i	j	k	l
	0	0	0	a	b	c	d	e	f	g	h
	0	1	0	i	j	k	l	0	0	0	0
バイポーラ モード	1	0	0	a	a	a	a	a	b	c	d
	1	1	0	e	f	g	h	i	j	k	l
	0	0	0	a	b	c	d	e	f	g	h
	0	1	0	i	j	k	l	0	0	0	0

注

1 = HI 電圧レベル a = MSB.
0 = LOW 電圧レベル l = LSB.
X = 不定
U = 論理OR

エンド・オブ・コンバート

非同期モードでは、エンド・オブ・コンバート (EOC) はオープン・ドレイン出力 (最小 $3K\Omega$ のプルアップ抵抗が必要です) であり、エンド・オブ・コンバート・イネーブル (EOCEN) によって動作が許可されます。同期モードでは EOC はスリー・ステート出力で、EOCEN と CS によって動作が許可されます。(変換ステータスの真理値表を参照ください)。アクセス・タイミング (t_{SA}) とフロート・タイミング (t_{FD}) は、これらが $10pF$ の出力容量とプルアップ抵抗で形成する時定数の関数となる非同期モードでは適用されません。

変換開始の真理値表

	入力			ステータス
	SYNC	CS	SC	
同期モード	1	1	X	変換なし
	1	0	1	変換開始
	1	1	0	変換開始 (非推奨条件)
	1	0	0	連続変換 (非推奨条件)
非同期モード	0	X	1	変換なし
	0	X	1	変換開始
	0	X	0	連続変換 (非推奨条件)

注

1 = HI 電圧レベル

0 = LOW 電圧レベル

X = 不定

1 = HIGH から LOW への遷移。 $t = t_{CF}$ の間 LOW を維持しなければなりません。

変換ステータスの真理値表

	入力			出力	ステータス
	SYNC	CS	EOCEN	EOC	
同期モード	1	0	0	0	変換中
	1	0	0	1	変換不可能
	1	1	X	高Z	不定
	1	X	1	高Z	不定
非同期モード*	0	X	0	0	変換中
	0	X	0	高Z	変換不可能
	0	X	1	高Z	不定

注

1 = HI 電圧レベル

0 = LOW 電圧レベル

X = 不定

* 非同期モードでは、EOC はプルアップ抵抗を必要とします。

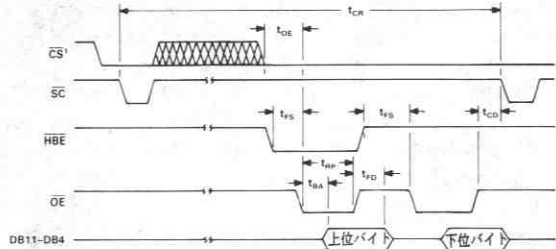
出カインープル動作

データ・ビット (DB11~DB0) は3ステート出力で、チップ・セレクト (\overline{CS}) と出力インープル (\overline{OE}) によってインープルされます。 \overline{CS} は \overline{OE} を LOW にする t_{OE} 前に LOW にする必要があります。ビット DB1 (R/\overline{L}) と DB0 (HBE) は双方向性です。12ビット・モードではデータ出力ビットとなり、8ビット・モードでは出力レジスタの形式を定義するための入力となります。ユニポーラ・モード (BIPOFF 端子を AGND 端子に接続) の場合、出力コード形式はストレート・バイナリです。バイポーラ・モード (BIPOFF 端子を REF_{OUT} 端子に接続) の場合、出力コード形式は2の補数です。

EOCがHIGHになると、出力レジスタには前の変換結果が含まれます。現在の変換結果を出力レジスタにロードするには、時間 t_{UP} が必要です (図1参照)。 \overline{CS} を LOW にした後 \overline{OE} を t_{OE} の間 LOW にすると、出力レジスタの内容をデータ・ビットにのせます。次の \overline{SC} 命令を出力する前に、 \overline{OE} を HIGH にした後、 t_{CD} の時間が必要です。8ビットおよび12ビット・リード・モードで出力レジスタを更新するためには、出力インープル (\overline{OE}) をトグルする必要があります。

図4に示すように8ビット・リード・モード (12/8モード=LOW) ではDB11~DB4だけが8ビット・バスに対する出力ラインとして使われます。出力は2段階に分かれて先ず上位バイトが、次に下位バイトが読出されます。ハイ・バイト・インープル (HBE) が出力シーケンスを制御します。12ビットの変換結果は R/\overline{L} のステートにしたがって右または左詰めされます。8ビット・リード・モードでは変換レートが $5.5 \mu s$ となることに注意してください。12ビット・リード・モード (12/8=HIGH) では1回のリード動作でDB11~DB0の12の出力ビットすべてに対してアクセスが行なわれ、16ビット・バスにインタフェースします。

図5に出力タイミングの関係を示します。 \overline{SC} パルスを $5 \mu s$ より短いインターバルで送るべきではないという点で、 t_{CR} には注意を払う必要があります。 \overline{SC} が $5 \mu s$ より高速にアサートされると、変換精度が劣化することがあります。この理由により、連続変換モードで動作させようとして \overline{SC} を LOW にしてはいけません。



注1. 非同期モードの場合、 \overline{OE} は \overline{CS} と関係がありません。

図4. 出力タイミング (8ビット・リード・モード)

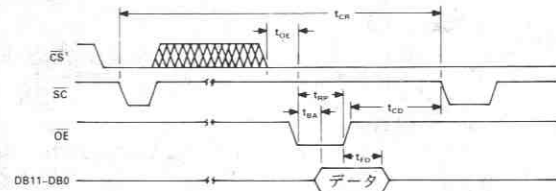


図5. 出力タイミング (12ビット・リード・モード)

電源投入

変換シーケンスが1個の \overline{SC} 命令で構成される場合は、パワーアップした後内部ロジックをリセットしてください。

使用上の説明

入力接続と校正

AD678の入力インピーダンスは高い (10M Ω) ため、高インピーダンスのソースや、チャンネル間ミスマッチングが最大1000 Ω のマルチプレクサと容易にインタフェースできます。10Vp-pのフルスケール入力レンジは、信号電圧の大部分を、ADCの精度を劣化させるような分圧回路を要せずに受入れます。

AD678はオフセット、ゲインおよび直線性誤差を最小限に抑えるよう出荷時調整が施されています。ユニポーラ・モードの場合、必要な外部部品は50 Ω \pm 1%抵抗だけです。バイポーラ・モードでは2つの抵抗が必要となります。オフセット、ゲインが重要な場合は、これらの部品を省くこともできます。

オフセットとゲイン誤差をさらに精密にトリミングする必要のあるアプローチもあります。以下のセクションではこのような種々の状況での適切な手順について説明します。

ユニポーラ・レンジ入力

オフセットとゲインの誤差は図6のような回路構成で調整できます。この回路で約 $\pm 25mV$ ($\pm 10LSB$) のオフセット調整レンジと $\pm 0.5\%$ ($\pm 20LSB$) のゲイン調整レンジが可能です。

最初の遷移 (0000 0000 0000から0000 0000 0001) は $+1/2LSB$ の入力レベル (10Vレンジではグラウンドから1.22mV上) で起きなければなりません。ユニポーラ・ゼロをこの公称値にトリミングするには、AINに1.22mVの信号を印加し、最初の遷移が検出されるまでR1を調整します。

ゲインのトリムはR2を調整します。公称値が必要ななら、フルスケール (10Vレンジでは9.9963V) より $1/2LSB$ 下の信号を印加し、最終遷移 (1111 1111 1110から1111 1111 1111) が検出されるまでR2を調整します。

オフセットの調整が必要なければ、BIPOFFは必ずAGNDに接続してください。ゲイン調整が必要なければ、R2を固定50 Ω \pm 1%の金属被膜抵抗に置換えてください。REF_{OUT}をREF_{IN}に直接接続した場合、ゲイン誤差は約1%増えます。

バイポーラ・レンジ入力

バイポーラ・モード用の接続を図7に示します。このモードではデータ出力コード形式は2の補数形式になります。この回路ではオフセット・トリム・レンジが約 $\pm 25mV$ ($\pm 10LSB$)、ゲイン・トリム・レンジが $\pm 0.5\%$ ($\pm 20LSB$) です。

AD678の精度限界でアプリケーションに十分対応できる場合は、一方または両方のトリム・ポットを50 Ω \pm 1%の固定抵抗に置き替えることができます。ピンを短絡させた場合、新たに加わるオフセットおよびゲイン誤差は約1%です。

バイポーラ・ゼロを正常値にトリミングするには、ミッドレンジの $1/2LSB$ 以下の信号 ($\pm 5V$ レンジでは $-1.22mV$) を印加してメジャ・キャリア遷移 (1111 1111 1111から0000 0000 0000) が起こるまでR1を調整します。ゲインをトリミングするには、フルスケールの $1/2LSB$ 下の信号 ($\pm 5V$ レンジでは $+4.9963V$) を印加し、最後の正遷移 (0111 1111 1110から0111 1111 1111) が

起こるようにR2を調整します。これらのトリミングは相互に影響するため、収束するまでには何度も繰り返して行なわなければならないこともあります。

バイポーラ・ゼロ・トリム（ミッドスケールにおける誤差）の代わりにバイポーラ・オフセット・トリム（負フルスケールにおける誤差）を実施することにより、同じ回路で1パス校正を行なうことができます。すなわち、負のフルスケールの1/2 LSB上の信号（±5 Vレンジでは-4.9988 V）を印加して、負フルスケール遷移（1000 0000 0000から1000 0000 0001）が起こるまでR1を調整し、その後、上述した方法でゲイン誤差トリミングを行ないます。

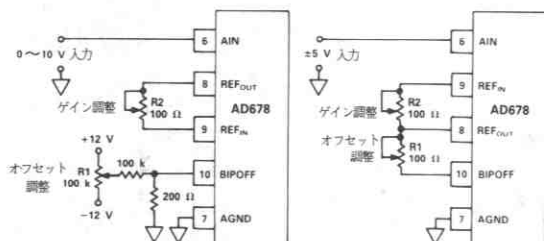


図6. ユニポーラ入力接続のゲイン、オフセットのトリミング
図7. バイポーラ入力接続のゲイン、オフセットのトリミング

ボード・レイアウト

高分解能のデータ・コンバータを使って設計を行なう場合、ボード・レイアウトに十分注意を払う必要があります。最初の課題はトレースのインピーダンスです。12ビット・レベルで5 mAの電流が0.5 Ωのトレースを流れると、2.5 mVの電圧降下が起こり、これは10Vフルスケール・スパンの場合、1 LSBに相当します。グラウンドの電位降下に加え、特に高精度アナログ信号がデジタル信号と同一ボードに混在している時は、誘導性結合および容量性結合を考慮しなければなりません。さらにACノイズを去除するために、電源にはデカップリングが必要です。

アナログ信号とデジタル信号が同じ経路を共有してはいけません。各々別個のアナログ・リターンおよびデジタル・リターンを必要とし、これらは各々の信号の近くに配置します。この方法を用いることによって比較的狭いエリアを囲む信号ループが形成され、高周波ノイズの誘導結合を最小限に抑えることができます。信号経路を低インピーダンスにするには、プリント基板のパターンを広くすること、ワイヤの径を大きくすること、またグラウンド・プレーンを使うことが必要です。アナログ・グラウンド・プレーンとデジタル・グラウンド・プレーンを別々に設け、グラウンド・ループを除去するため1点で接続するようにすることも必要です。アナログ信号はできるだけデジタル信号から離して配線し、デジタル信号と直角に交わるようにします。

AD678にはユーザがレイアウトを容易に行なうための機能が数多く用意されています。アナログ入出力関係の端子（ V_{EE} 、AIN、AGND、REF_{OUT}、REF_{IN}、BIPOFF及び V_{CC} ）はデジタル信号から分離させやすいように1ヶ所にまとめられています。またAINの10MΩの入力インピーダンスは入力トレースのインピーダンス誤差を最小限に抑えます。さらに、グラウンド電流が最小限になるよう入念に回路構成が行なわれています。AGNDを流れる電流は200 μAで、コードによって変動することはありません。DGNDを流れる電流はDB11～DB0およびEOCのリターン電流によって決まります。

電源のデカップリング

AD678の電源は十分フィルタにかけ、さらに十分安定化され、高周波ノイズを完全に除去していなければなりません。スイッチング電源はスパイクを発生させ、アナログ・システムにノイズを誘導させる可能性があるため、避けてください。

デカップリング・コンデンサはすべての電源ピンにできるだけ近接させて配置します。10 μFタンタル・コンデンサと0.1 μFディスク・セラミック・コンデンサを並列に接続すると、広い周波数レンジにわたり十分なデカップリング効果を得ることができます。電源ピンはAGNDに対して直接デカップリングする必要があります。

コンデンサのリードとコンバータの各電源ピンおよび共通・ピンの間の線路長をできるだけ短くするよう配慮することも必要です。回路レイアウトはAD678、アナログ入力回路および接続がロジック回路から可能なかぎり離れるように設計しなければなりません。AD678の周辺にアナログ・グラウンド・プレーンを置くと、大きなスイッチング・グラウンド電流から分離することができます。したがって、ワイヤラッピングによる回路製作は望ましいものではありません。プリント回路を使って入念に設計を行なってください。

グラウンド接続

1個のAD678を別々のアナログおよびデジタル・グラウンド・プレーンで使用する時は、可能なかぎりリード長を短くして、アナログ・グラウンド・プレーンとAGNDおよびデジタル・グラウンド・プレーンとDGNDを接続します。そして、AD678でAGNDとDGNDを接続します。AD678を数個使用する時、またはアナログ電源を他の部品と共用する時は、アナログ・リターンとデジタル・リターンを各チップ上でなく電源上で接続します。これにより大きなグラウンド・ループがノイズの誘導結合を引起したり、デジタル電流がアナログ・システムに流込むことを避けることができます。

AD678とマイクロプロセサのインタフェース

AD678はそのI/O機能によって汎用およびDSPマイクロプロセサ・バスとのダイレクトなインタフェースが可能です。非同同期変換制御機能により、十分なフレキシビリティが得られ、最小限の外部部品で制御することができます。

以下の例はAD678の代表的なインタフェース構成を示したものです。

AD678とTMS320C25のインタフェース

図8はAD678をTMS320C25のI/O空間にマッピングしたものです。変換ポート8にOUT命令を出力することにより開始されます。EOCステータスと変換結果はポート8に対するIN命令で読込まれます。IS、ポート8およびMSCによりプロセサREADY入力を設定することによってウェイトが挿入されます。この構成では20MHzのプロセサ・クロック速度がサポートされ、各AD678リード命令の後にNOP命令を挿入すれば、40MHzにも対応することができます。

AD678と80186のインタフェース

図9はAD678と80186マイクロプロセサとのインタフェース例を示します。このインタフェースでは80186のDMAコントローラによりAD678の出力をマイクロプロセサを介さずに任意長のRAMベースのFIFOバッファに転送します。

このアプリケーションではAD678が非同同期モードで動作するので、マイクロプロセサのクロックとは独立に外部トリガ・ソースによって変換が開始されます。各変換の後、AD678のEOC信号がチャンネル1(DRQ1)に対してDMA要求を出します。続いて、DMAリード動作により割込みラッチがリセットされます。システム設計者はDMA要求が次の変換を終わるまでに満たされるように、DMAチャンネルに対して十分なプライオリティを割り当てる必要があります。この構成では6MHzと8MHzの80186プロセサを使用することができます。

AD678と弊社のDSPチップADSP-2101のインタフェース

図10はAD678とADSP-2101のインタフェース例を示しています。クロック周波数が12.5MHz、命令の実行が1サイクル80nsで、デジタル・シグナル・プロセサが3ウェイト・ステートでAD678インタフェースをサポートしています。

コンバータはサンプリング・クロックを使って非同同期で動作するように構成されます。各変換の終了時にAD678のEOC出力がアサートされ、割込みがかけられます。割込みがかけられると、ADSP-2101は即時にFOピンをローにアサートし、NOPを実行します。次のサイクルでプロセサはDMAバスにアドレスを送り、データ・メモリ・リード動作を開始します。デコードされたアドレスはコンバータに対してOE入力を生成し、変換結果の上位バイトがデータ・バスを通して読取られます。リード動作は3ウェイト・ステートで拡張され、開始後4プロセサ・サイクル(320ns)以内で完了します。次にADSP-2101はFOピンをハイにアサートし、NOP命令を実行します。これにより、プロセサは下位バイトのデータの読取りを開始することができます。このリード動作は最初の動作と同じ方法で実行され、次の320ns間で完了します。

AD678と弊社のDSPチップADSP-2100Aインタフェース

図11はAD678とADSP-2100Aのインタフェース例を示しています。クロック周波数が12.5MHz、命令の実行が1サイクル80nsで、デジタル・シグナル・プロセサが3ウェイト・ステートでAD678データ・メモリ・インタフェースをサポートしています。コンバータはサンプリング・クロックを使って非同同期で動作するように構成されます。各変換の終了時にAD678のEOC出力がアサートされ、割込みがかけられます。割込みがかけられると、ADSP-2100Aは即時にHBEをアサートするデータ・メモリ・ライト命令を実行します。次のサイクルでNOPが実行されます。引続くサイクルで、プロセサはDMAバスにアドレスを送り、データ・メモリ・リード(上位バイト・リード)動作を開始します。デコードされたアドレスはコンバータに対してOE入力を生成します。OEはロジックラッチとともに、DMACKの生成でADSP-2100A

を強制的に3サイクル・ウェイト・ステートにするために使用します。このようにしてリード動作が開始し、4プロセサ・サイクル(320ns)以内で完了します。HBEは上位バイト・リードの間、解放されます。これにより、上位バイト・リードが完了すると同時にプロセサは下位バイトのデータを読取ることができます。下位バイト・リード動作は最初の動作と同じ方法で実行され、次の320ns間で完了します。

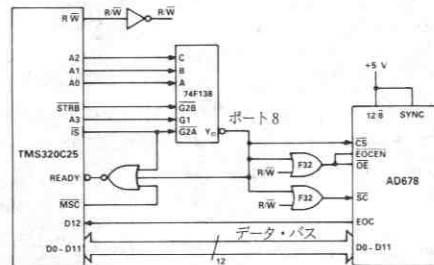


図8. AD678とTMS320C25のインタフェース

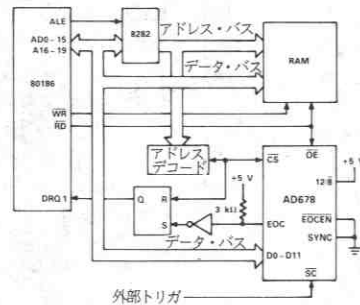


図9. AD678と80186DMAのインタフェース

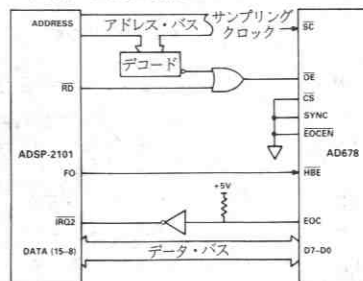


図10. AD678とADSP-2101のインタフェース

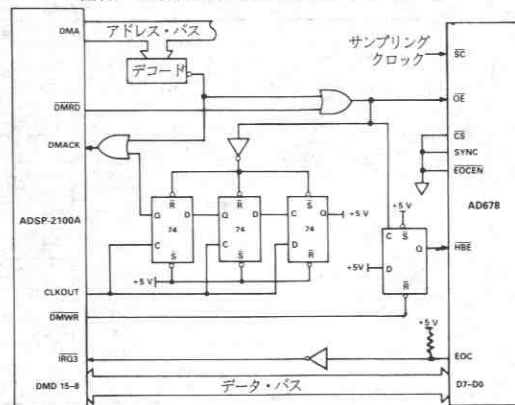
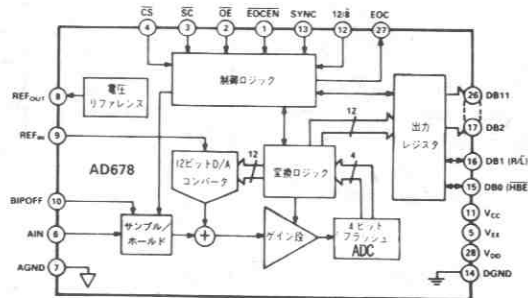


図11. AD678とADSP-2100Aのインタフェース

AD678のピン機能説明

記号	ピン番号	タイプ	名称と機能
AGND	7	P	アナログ・グラウンド。これはAINのみのグラウンド・リターンです。
AIN	6	A1	アナログ信号入力。
BIPOFF	10	A1	バイポーラ・オフセット。+10V入力のユニポーラ・モード（ストレート・バイナリ・コード出力）の場合はAGNDに接続し、±5V入力のバイポーラ・モード（2の補数コード出力）の場合はREF _{OUT} に接続します。図7と図8を参照してください。
\overline{CS}	4	D1	チップ・セレクト。アクティブLOW。
DGND	14	P	デジタル・グラウンド。
DB11-DB4	26-19	DO	データ・ビット11~4。12ビット出力フォーマット（12 $\overline{8}$ ピンを参照）の時はデータの上位8ビットを出力し、8ビット出力フォーマットの時は12ビット全部を2バイトに分けて出力します（R/ \overline{L} ピンを参照）。アクティブHIGH。
DB3, DB2	18, 17	DO	データ・ビット3と2。12ビット出力フォーマット時、データ・ビット3とデータ・ビット2を出力します。アクティブHIGH。8ビット出力フォーマットの時は未定義で、V _{DD} に接続します。
DB1 (R/ \overline{L})	16	DO	12ビット出力フォーマットの時、データ・ビット1になります。アクティブHIGH。
DB0(HBE)	15	DO	12ビット出力フォーマットの時、データ・ビット0になります。アクティブHIGH。
EOC	27	DO	エンド・オブ・コンバート。変換開始時にLOWとなり、変換が終了するとHIGHになります。非同期モードの場合、EOCはオープン・ドレイン出力で、3 k Ω の外部プルアップ抵抗が必要です。EOCのゲーティングに関しては、EOCENおよびSYNCピンの説明を参照してください。
\overline{EOCEN}	1	DI	エンド・オブ・コンバート・イネーブル。EOCピンをイネーブルします。アクティブLOW。
HBE (DB0)	15	DI	8ビット出力フォーマットの時、ハイ・バイト・イネーブルになります。LOWの時上位バイトが、HIGHの時下位バイトが出力されます。
\overline{OE}	2	DI	出力イネーブル。 \overline{OE} の立下りエッジで12ビット出力フォーマットの時はDB11~DB0が、8ビット出力フォーマットの時はDB11~DB4がイネーブルされます。 \overline{CS} によってゲートされます。アクティブLOWです。
REF _{IN}	9	AI	リファレンス入力。+5V入力により、10Vフルスケール・レンジが得られます。
REF _{OUT}	8	AO	+5Vリファレンス出力。通常動作の場合は50 Ω の抵抗を介してREF _{IN} に接続します。
R/ \overline{L} (DB1)	16	DI	8ビット形式の時、右/左詰めを指定。12ビットの変換結果を16ビット・フィールドに揃えてセットします。右詰め出力の時は、V _{DD} に、左詰め出力の時はDGNDに接続します。
\overline{SC}	3	DI	変換開始。アクティブLOW。ゲーティングに関してはSYNCピンの説明を参照してください。
SYNC	13	DI	同期制御。V _{DD} に接続すると（同期モード）、 \overline{SC} 、EOCおよび \overline{EOCEN} が \overline{CS} によってゲートされます。DGNDに接続すると（非同期モード）、 \overline{SC} と \overline{EOCEN} は \overline{CS} から独立となり、EOCはオープン・ドレイン出力となります。非同期モードの場合、EOCには3 k Ω の外部プルアップ抵抗が必要です。
V _{CC}	11	P	+12Vアナログ電源。
V _{EE}	5	P	-12Vアナログ電源。
V _{DD}	28	P	+5Vデジタル電源。
12 $\overline{8}$	12	DI	12/8ビット出力フォーマットを指定します。HIGHに固定すると、出力フォーマットがパラレル12ビット出力となり、LOWに固定すると、8ビット・バイト・リードとなります。

タイプ: AI = アナログ入力。
 AO = アナログ出力。
 DI = デジタル入力 (TTL/5V CMOSコンパチブル)。
 DO = デジタル出力 (TTL/5V CMOSコンパチブル)。DOピンはすべて3ステート・ドライバです。
 P = 電源。

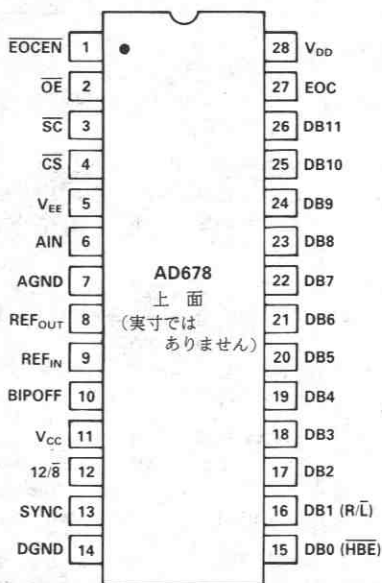


機能ブロック図

絶対最大定格*

仕様	基準	Min	Max	単位
V _{CC}	AGND	-0.3	+18	V
V _{EE}	AGND	-18	+0.3	V
V _{CC}	V _{EE}	-0.3	+26.4	V
V _{DD}	DGND	0	+7	V
AGND	DGND	-1	+1	V
A _{IN} , REF _{IN}	AGND	-12	+12	V
REF _{IN}	V _{EE}	0	V _{CC}	V
REF _{IN}	V _{CC}	V _{EE}	0	V
デジタル入力	DGND	-0.5	+7	V
デジタル出力	DGND	-0.5	V _{DD} +0.3	V
最大ジャンクション温度			175	°C
動作温度				
JとKグレード		0	+70	°C
AとBグレード		-40	+85	°C
SとTグレード		-55	+125	°C
保管温度		-65	+150	°C
リード温度 (最大10秒)			+300	°C

ピン配置



* “絶対最大定格” に示す条件を越えるストレスは、デバイスに永久的な損傷を与える場合があります。これは単に定格を示したもので、これらの条件あるいは動作仕様に示した値を越える条件下でデバイスが機能することを意味するものではありません。絶対最大定格の条件に長時間さらされた場合、デバイスの信頼性は保証できません。

静電気感度

AD678 には、大きな分散ダイオードとポリシリコン・シリーズ抵抗による入力保護回路があり、高エネルギーの静電気放電（人体モデル）と高速な低エネルギーの静電気放電（帯電デバイス・モデル）の両方を消滅します。MIL-STD-883Cの方式3015.2により、AD678 はカテゴリ1のデバイスに分類されています。機能障害や性能劣化を防ぐためには、適切な静電気保護を講ずることを強くお勧めします。4000ボルトもの高電圧が人体や計測機器などに帯電し、検出されることなく放電することがあります。不使用のデバイスは導電性の緩衝材またはシャントに格納し、デバイスを取り出すときには緩衝材をソケットに対してディスチャージしてください。静電気保護対策に関する詳細は、弊社の「ESDマニュアル」を参照してください。



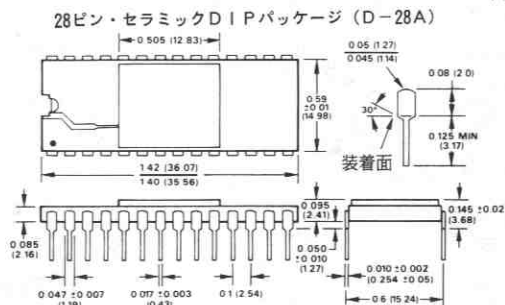
AD678 オーダー・ガイド

モデル*	パッケージ	温度範囲*	テスト及び規定仕様
AD678JN	28ピン・プラスチックDIP	0 ~ +70°C	AC
AD678KN	28ピン・プラスチックDIP	0 ~ +70°C	AC + DC
AD678JD	28ピン・セラミックDIP	0 ~ +70°C	AC
AD678KD	28ピン・セラミックDIP	0 ~ +70°C	AC + DC

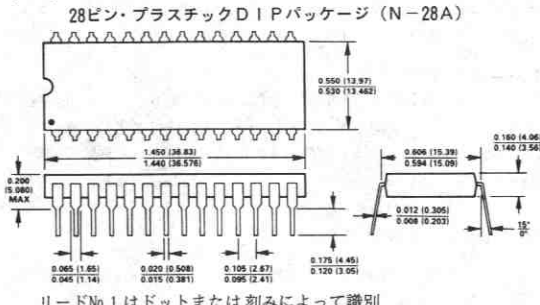
*産業用グレード（A, B）と軍用グレード（S, T）については、弊社にお問い合わせください。

外形サイズ

単位はインチ（mm）



リードNo.1はドットによって識別



リードNo.1はドットまたは刻みによって識別
リードはハンダ付けカス・メッキによるアロイ42または銅。

ナイキスト周波数

ナイキスト・サンプリング定理により、コンバータの“ナイキスト周波数”とは、コンバータのサンプリング周波数の半分である入力周波数のことです。

信号対ノイズ+歪み(S/N+D)比

S/N+Dは入力信号の測定値のrmsと、高調波を含みDC成分を除いた、ナイキスト周波数以下の他のすべてのスペクトル成分のrms和との比です。

全高調波歪み(THD)

THDは入力信号の最初の6つの高調波成分の和のrmsと、フルスケール入力信号のrms値との比であり、パーセンテージまたはデシベルで表します。ナイキスト周波数以上の入力信号や高調波に関しては、エリヤシング成分が使われます。

ピーク・スプリアスまたはピーク高調波成分

ピーク・スプリアスまたはピーク高調波成分は、入力信号とDC成分以外の最大のスペクトル成分のことです。この値はフルスケール入力信号のrms値との比としてデシベルで表します。

相互変調歪み(IMD)

2つの周波数 f_a と f_b の正弦波入力に対して、非直線性をもつデバイスはどれでも、歪み積をつくり出します。 m, n を0, 1, 2, 3, ... とすると、歪みのオーダーは $(m+n)$ であり、周波数の和と差は $m f_a \pm n f_b$ です。相互変調の項は m と n がゼロでない場合に存在します。たとえば、2次の項は $(f_a + f_b)$ と $(f_a - f_b)$ であり、3次の項は $(2 f_a + f_b)$, $(2 f_a - f_b)$, $(f_a + 2 f_b)$ および $(f_a - 2 f_b)$ です。IMD積は入力信号の計測値のrmsの和と、歪みの項のrms和との比として、デシベルで表します。コンバータに適用される2つの周波数は等しい大きさであり、それらの和のピーク値はフルスケール(9.44V_{rms})から-0.5dBです。IMD積は0dBの入力信号に正規化されます。

帯域幅

フルパワー帯域幅は、再構成された基本周波数成分の大きさがフルスケール入力に対して3dB減衰する入力周波数です。

フルリニア帯域幅は、サンプル・ホールド・アンプ(SHA)のスルー・レートの限界に達するような入力周波数です。

このときに、再構成される基本周波数成分の劣化レベルは-0.1dB未満です。この周波数を超えると、サンプリングされた入力信号の歪みが急激に大きくなります。

AD678は入力帯域幅を最適化するように設計されており、コンバータのナイキスト周波数を大きく超えるような入力信号周波数は、アンダーサンプリングします。入力信号が適切に帯域制限されていれば、入力信号のスペクトルの内容は回復できます。

アパーチャ遅延時間

アパーチャ遅延時間はSHAの性能の目安であり、スタート・コンパート(SC)の立下がりエッジから、入力信号が変換に向けて確定するまでの時間です。同期モードでは、アパーチャ遅延時間を最小化するために、チップセレクト(CS)がSCより前にLOWにならなければなりません。

アパーチャ・ジッタ

アパーチャ・ジッタは、サンプルごとのアパーチャ遅延時間の変動であり、A/Dコンバータへの入力上にノイズとして現れます。

入力セトリング時間

セトリング時間はSHAが高速にスルーする信号に追従できる能力を示します。これは、フルスケール・ステップ入力後のトラック・モードで、変換の保証仕様精度が達成されるまでにかかる最大時間として定義されています。

微分非直線性(DNL)

理想的なADCではコードの遷移は1LSBごとです。微分非直線性は、この理想値からの偏差です。これはしばしば、ノーマスコードが保証される分解能に関して規定されます。

ユニポーラ・ゼロ誤差

ユニポーラ・モードでは、最初の遷移はアナログ・グラウンドから $1/2$ LSB上のレベルで起きなければなりません。ユニポーラ・ゼロ誤差は、実際の遷移のこの点からの偏差です。この誤差は、入力の接続と校正の節で述べるように、調整可能です。

バイポーラ・ゼロ誤差

バイポーラ・モードでは、メジャ・キャリア遷移(1111 1111 1111から0000 0000 0000への遷移)は、アナログ・グラウンドから $1/2$ LSB下のアナログ値で起きなければなりません。バイポーラ・ゼロ誤差は実際の遷移のこの点からの偏差です。この誤差は、入力の接続と校正の節で述べるように、調整可能です。

ゲイン誤差

最後の遷移は公称フルスケール(0~10Vレンジで9.9963V, ± 5 Vレンジで4.9963V)の $11/2$ LSB下のアナログ値で発生しなければなりません。ゲイン誤差は、最初と最後の遷移における実際のレベルと、その理想的なレベルとの偏差です。この誤差は、入力の接続と校正の節で述べるように、調整可能です。

積分非直線性(INL)

リニアなADCの理想的な伝達関数は“ゼロ”と“フルスケール”を結ぶ直線として定義されます。ゼロ・ポイントは最初のコード遷移から $1/2$ LSB前のポイントです。“フルスケール”は最後のコード遷移から $11/2$ LSB後のポイントと定義されます。積分非直線性は直線からのコードの最大偏差です。各コードの偏差はコードの中心から測定しています。

電源変動除去比

電源の変動は、コンバータの直線性に対してではなく、フルスケール遷移に影響を与えます。この仕様は電源電圧の公称値からの変化による、フルスケール遷移ポイントの最大変化として定義されます。

温度ドリフト

この仕様は初期値(@25°C)からT_{min}またはT_{max}での値の最大変化として定義されます。

ダイナミック特性

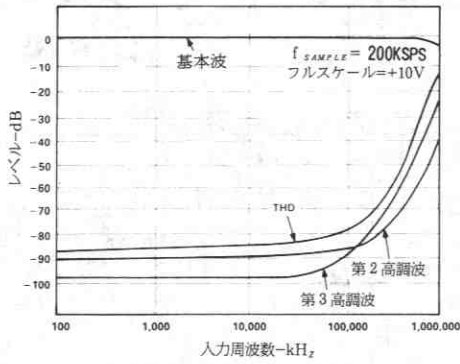


図12. 入力周波数対高調波歪み

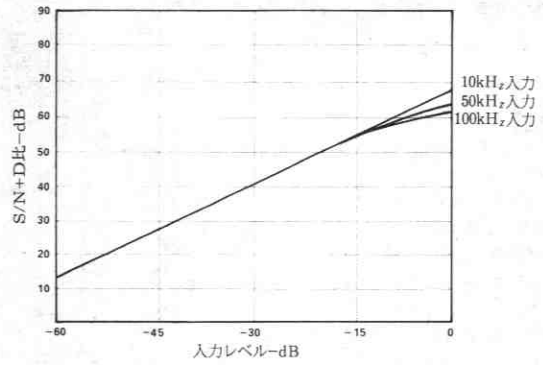


図13. 入力レベル対S/N+D ($f_{SAMPLE} = 200KSPS$)

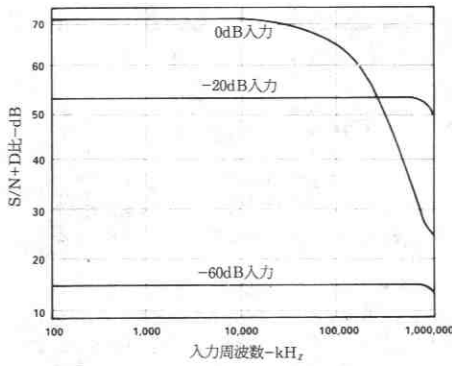


図14. 入力レベルと入力周波数対S/N+D

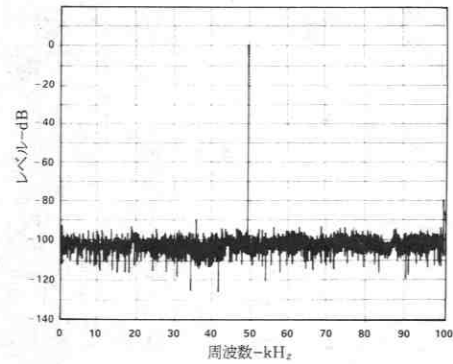


図15. 200KSPS, $f_{IN} = 49.902kHz$ 時の非平均2048ポイントFFT

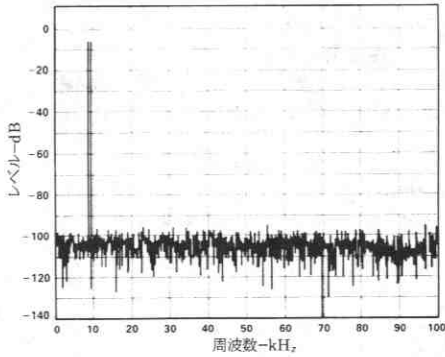


図16. $f_{IN} = 9.08kHz$ (fa), $9.58kHz$ (fb)時のIMD

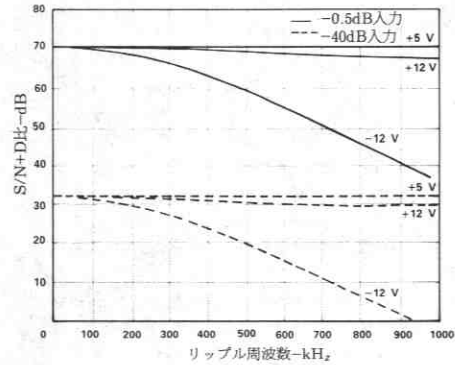
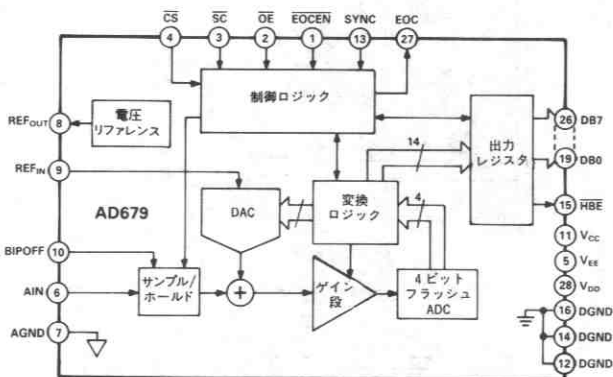


図17. 電源電圧変動除去特性 ($f_{IN} = 10kHz$, $f_{SAMPLE} = 200KSPS$, $V_{RIPPLE} = 0.1V_{P-P}$)

特長

- 完全に規定されたACおよびDC特性 (K、B、Tグレード)
- 100k 変換/秒
- 1MHzフルパワー帯域幅
- 500kHzフルリニア帯域幅
- 80dBのS/N+D比 (Kグレード)
- 2の補数データ・フォーマット (バイポーラ・モード)
- ストレート・バイナリ・データ・フォーマット (ユニポーラ・モード)
- 10MΩの入力インピーダンス
- 8ビット・バス・インタフェース (16ビット・インタフェースについてはAD779を参照ください)
- リファレンスとクロック内蔵
- 10Vのユニポーラまたはバイポーラ入力レンジ
- 12ビット、200k SPS ADC AD678とピン・コンパチブル



AD679 機能ブロック図

概要

AD679はサンプル・ホールド・アンプ (SHA)、マイクロプロセッサ・コンパチブル・バス・インタフェース、電圧リファレンス、およびクロック生成回路から構成されている、14ビットの多目的モノリシックA/Dコンバータです。

AD679は、信号処理応用で重要なS/N+D比、THDおよびIMDなどのAC (またはダイナミック)パラメータ仕様が完全に規定されています。さらに、AD679K、BおよびTグレードは、計測応用で重要なDCパラメータが完全に規定されています。

14のデータ・ビットは、2回のリード操作 (8+6) でアクセスされ、データは左詰めされています。データ・フォーマットは、ユニポーラ・モードではストレート・バイナリで、バイポーラ・モードでは2の補数形式のバイナリです。入力フルスケール・レンジは10Vであり、フルパワー帯域幅は1MHz、フルリニア帯域幅は500kHzです。入力インピーダンスが高い (10MΩ) ため、バッファリングされていないソースに直接接続でき、信号の劣化も生じません。変換は、マイクロプロセッサの制御またはシステム・クロックと非同期の外部クロックいずれかで開始できます。

この製品は、弊社独自開発のBiMOSプロセスによって製造されています。そして低電圧のCMOSロジック、低ノイズ・高精度のバイポーラ回路、および高精度を実現するレーザ・トリミングされた薄膜抵抗の組合せによって構成されています。このコンバータは再帰的サブレンジング・アルゴリズムを採用しており、エラー補正や、高速で高い分解能を実現するためのフラッシュ変換回路が含まれています。

AD679は+5Vと±12V電源で動作し、消費電力は745mWです。28ピンのプラスチックDIPと15mm幅のセラミックDIPの両タイプがあります。表面実装パッケージについては、お問合わせください。

MIL-STD-883CクラスBスクリーニング製品も用意しています。

製品ハイライト

1. **高集積化** : AD679は高速サンプル・ホールド・アンプ (SHA)、ADC、5Vのリファレンス、クロック、デジタル・インタフェースをワンチップに搭載することによって、外付け部品点数の最小化を図っています。これによって、ディスクリット設計では得られない、完全なサンプリングA/D機能を実現しています。
2. **仕様** : AD679 K、BおよびTグレードではACおよびDCパラメータが完全に規定され、テストされています。AD679 J、AおよびSグレードでは、ACパラメータが完全に規定され、テストされています。DC精度仕様は代表値として示します。DC仕様 (例えば、INL、ゲインおよびオフセット) は、計測制御応用で重要です。AC仕様 (例えば、S/N+D比、THDおよびIMD) は、信号処理応用で重要です。
3. **使いやすさ** : ボード・レイアウトが容易にできるピン配置になっており、2つの読み取り出力により、8ビット・バスとの互換性が実現されています。出荷時に調整が行なわれているので、規定の性能を実現するために、校正モードや外部調整は不要です。
4. **信頼性** : AD679は弊社独自開発のモノリシックBiMOS技術を使用して製造されています。これにより、マルチチップやハイブリッド設計の製品よりも長期の信頼性が得られます。
5. **回路のグレード・アップ** : AD679は12ビット、200KSPSのAD678ADCと同じピン配置構成となっています。

仕様

AC仕様

(特に指定のない限り、 $T_{min} \sim T_{max}$, $V_{CC} = +12V \pm 5\%$, $V_{EE} = -12V \pm 5\%$, $V_{DD} = +5V \pm 10\%$,
 $f_{SAMPLE} = 100KSPS$, $f_{IN} = 10.009kHz$)¹

パラメータ	AD679J/A/S			AD679K/B/T			単位
	Min	Typ	Max	Min	Typ	Max	
信号/ノイズ+歪みの比 (S/N+D) ²							
-0.5 dB 入力 (基準入力-0 dB)	78	79		80	81		dB
-20 dB 入力 (基準入力-20 dB)	58	59		60	61		dB
-60 dB 入力 (基準入力-60 dB)	18	19		20	21		dB
全高調波歪み (THD) ³							
@ +25°C		-90	-84		-90	-84	dB
$T_{min} \sim T_{max}$		0.003	0.006		0.003	0.006	%
		-88	-82		-88	-82	dB
		0.004	0.008		0.004	0.008	%
ピーク・スプリアスまたはピーク高調波成分		-90	-84		-90	-84	dB
フルパワー帯域幅		1			1		MHz
フルリニア帯域幅	500			500			kHz
相互変調歪み (IMD) ⁴							
2次積		-90	-84		-90	-84	dB
3次積		-90	-84		-90	-84	dB

- 注
 1. 特に指定のない限り、 f_{IN} の大きさは-0.5 dB (9.44V p-p) バイポーラ・モード・フルスケール。特に指定のない限り、すべての測定値は-0 dB (9.97V p-p) の基準入力信号に基づいています。
 2. 高周波および他の振幅の入力信号に関しては図15を参照ください。
 3. 高周波および他の振幅の入力信号に関しては図13と図14を参照ください。
 4. $f_A = 9.08kHz$, $f_B = 9.56kHz$, $f_{SAMPLE} = 100KSPS$ 。仕様の説明の項を参照ください。

仕様は予告なしに変更することがあります。

デジタル仕様

(すべてのデバイス・タイプで $T_{min} \sim T_{max}$, $V_{CC} = +12V \pm 5\%$, $V_{EE} = -12V \pm 5\%$, $V_{DD} = +5V \pm 10\%$)

パラメータ	テスト条件	Min	Max	単位
ロジック入力				
V_{IH} 高レベル入力電圧		2.4	V_{DD}	V
V_{IL} 低レベル入力電圧		0	0.8	V
I_{IH} 高レベル入力電流	$V_{IN} = 5V$	-10	+10	μA
I_{IL} 低レベル入力電流	$V_{IN} = 0V$	-10	+10	μA
C_{IN} 入力容量			10	pF
ロジック出力				
V_{OH} 高レベル出力電圧	$I_{OH} = 0.1mA$	4.0		V
	$I_{OH} = 0.5mA$	2.4		V
V_{OL} 低レベル出力電圧	$I_{OL} = 1.6mA$		0.4	V
I_{OZ} 高Zリーク電流	$V_{IN} = 0$ または 5V	-10	+10	μA
C_{OZ} 高Z出力容量			10	pF

- 注
 太字で示されている仕様は、すべてのデバイスに対して、0°C、+25°C、+70°C (J、Kグレード)；-40°C、+25°C、+85°C (A、Bグレード)；-55°C、+25°C、+125°C (S、Tグレード) の条件下での最悪の場合の電源電圧における最終的な電気的テストの結果です。これらのテスト結果は、最終的な品質の計算に用いられています。MinおよびMaxの仕様はすべて保証されていますが、太字の数値のみがテスト済みです。

仕様は予告なしに変更することがあります。

DC仕様 (特に指定のない限り、 $T_{min} \sim T_{max}$, $V_{CC} = +12V \pm 5\%$, $V_{EE} = -12V \pm 5\%$, $V_{DD} = +5V \pm 10\%$)

パラメータ	AD679J/A/S			AD679K/B/T			単位
	Min	Typ	Max	Min	Typ	Max	
温度範囲							
J, Kグレード	0		+70	0		+70	°C
A, Bグレード	-40		+85	-40		+85	°C
S, Tグレード	-55		+125	-55		+125	°C
精度							
分解能	14			14			ビット
積分非直線性 (INL)		±2			±1	±2	LSB
微分非直線性 (DNL)	14			14			ビット
ユニポーラ・ゼロ誤差 ¹ (@+25°C)		0.08			0.05	0.07	% FSR*
バイポーラ・ゼロ誤差 ¹ (@+25°C)		0.08			0.05	0.07	% FSR
ゲイン誤差 ^{1,2} (@+25°C)		0.12			0.09	0.11	% FSR
温度ドリフト							
ユニポーラ・ゼロ ³							
J, Kグレード		0.04			0.04	0.05	% FSR
A, Bグレード		0.05			0.05	0.07	% FSR
S, Tグレード		0.09			0.09	0.10	% FSR
バイポーラ・ゼロ ³							
J, Kグレード		0.02			0.02	0.04	% FSR
A, Bグレード		0.04			0.04	0.05	% FSR
S, Tグレード		0.08			0.08	0.09	% FSR
ゲイン⁴							
J, Kグレード		0.09			0.09	0.11	% FSR
A, Bグレード		0.10			0.10	0.16	% FSR
S, Tグレード		0.20			0.20	0.25	% FSR
ゲイン⁴							
J, Kグレード		0.04			0.04	0.05	% FSR
A, Bグレード		0.05			0.05	0.07	% FSR
S, Tグレード		0.09			0.09	0.10	% FSR
アナログ入力							
入力範囲							
ユニポーラ・モード	0		+10	0		+10	V
バイポーラ・モード	-5		+5	-5		+5	V
入力抵抗		10			10		MΩ
入力容量		10			10		pF
入力セトリング時間			1.5			1.5	μs
アパーチャ遅延時間		10			10		ns
アパーチャジッタ		150			150		ps
内部電圧リファレンス							
出力電圧 ⁵	4.98		5.02	4.98		5.02	V
外部負荷							
ユニポーラ・モード			+1.5			+1.5	mA
バイポーラ・モード			+0.5			+0.5	mA
電源							
電源変動除去比							
$V_{CC} = +12V \pm 5\%$		±6			±6		LSB
$V_{EE} = -12V \pm 5\%$		±6			±6		LSB
$V_{DD} = +5V \pm 10\%$		±6			±6		LSB
動作電流							
I_{CC}		18	20		18	20	mA
I_{EE}		25	34		25	34	mA
I_{DD}		8	12		8	12	mA
消費電力		560	745		560	745	mW

注

1. ゼロ調整可能。図5と図6を参照ください。
2. 内部電圧リファレンス誤差を含みます。
3. 内部電圧リファレンス・ドリフトを含みます。
4. 内部電圧リファレンス・ドリフトを除きます。
5. 最大外部負荷適用

★%FSR=フル・スケール・レンジのパーセンテージ

太字で示されている仕様は、すべてのデバイスに対して、 T_{min} 、25°C、 T_{max} の条件下での最悪の場合の電源電圧における最終的な電氣的テストの結果です。これらのテスト結果は、最終的な品質の計算に用いられています。Min およびMax の仕様はすべて保証されていますが、太字の数値のみがテスト済みです。

仕様は予告なしに変更することがあります。

タイミング仕様 (すべてのデバイス・タイプで $T_{min} \sim T_{max}$, $V_{CC} = +12V \pm 5\%$, $V_{EE} = -12V \pm 5\%$, $V_{DD} = +5V \pm 10\%$)

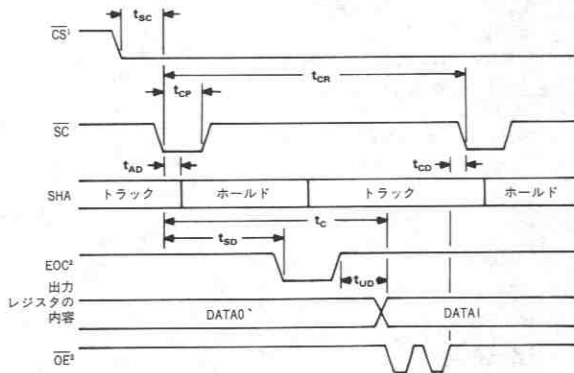
パラメータ	記号	Min	Max	単位
SC遅延時間	t_{SC}	50		ns
変換時間	t_C		8.5	μ s
変換レート ¹	t_{CR}		10	μ s
変換パルス幅	t_{CP}	195		ns
アパーチャ遅延時間	t_{AD}	5	20	ns
ステータス遅延時間	t_{SD}	0	400	ns
アクセス時間 ²	t_{BA}	0	100	ns
フロート遅延時間 ³	t_{FD}	10	80	ns
アップデート遅延時間	t_{UD}	0	200	ns
フォーマット・セットアップ	t_{FS}	100		ns
OE遅延時間	t_{OE}	20		ns
リード・パルス幅	t_{RP}	195		ns
変換遅延時間	t_{CD}	400		ns
EOCEN遅延時間	t_{EO}	50		ns

注

1. アクイジション時間を含みます。
2. OE/EOCENの立下がりエッジ (0.8V) から、データ・ライン/EOCが2.0Vまたは0.8Vを交差するまでの時間を測定。図4を参照ください。 $C_{OUT} = 100\text{pF}$ です。
3. OE/EOCENの立下がりエッジ (2.0V) から、出力電圧が0.5V変化するまでの時間を測定。図4を参照ください。 $C_{OUT} = 10\text{pF}$ です。

太字で示されている仕様は、すべてのデバイスに対して、0°C、+25°C、+70°C (J、Kグレード) ; -40°C、+25°C、+85°C (A、Bグレード) ; -55°C、+25°C、+125°C (S、Tグレード) の条件下での最悪の場合の電源電圧における最終的な電気的テストの結果です。これらのテスト結果は、最終的な品質の計算に用いられていません。MinおよびMaxの仕様はすべて保証されていますが、太字の数値のみがテスト済みです。

仕様は予告なしに変更することがあります。



注

1. 非同期モードにおいては、CSの状態は動作に影響しません。詳細については、変換開始の真理表を参照ください。
2. EOCEN=LOWです。同期モードにおいては、EOCはスリー・スタート出力となります。非同期モードでは、EOCはオープン・ドレイン出力です。変換に関する真理表を参照ください。
3. 変換中は、データをイネーブルしないようにします。

図1. 変換のタイミング

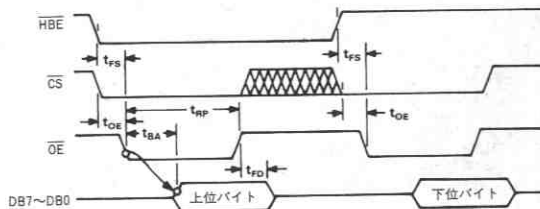
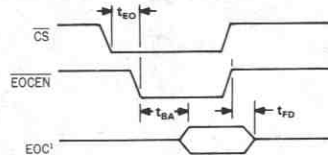


図2. 出力のタイミング



注

1. EOCは、同期モードではスリー・スタート出力であり、非同期モードではオープン・ドレイン出力です。アクセス・タイミング (t_{BA}) とフロート・タイミング (t_{FD}) は、これらのタイミングが10pFの出力容量、プルアップ抵抗によって形成される時定数の関数となる非同期モードでは適用されません。

図3. EOCのタイミング

テスト	V_{CP}	C_{OUT}
ハイ・インピーダンスからロジックLOWまでのアクセス時間	5V	100pF
ロジックHIGHからハイ・インピーダンスまでのフロート時間	5V	10pF
ハイ・インピーダンスからロジックHIGHまでのアクセス時間	0V	100pF
ロジックLOWからハイ・インピーダンスまでのフロート時間	0V	10pF

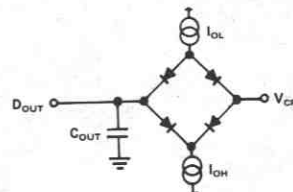


図4. バス・タイミング測定用負荷回路

変換の制御

同期モード (SYNC=HIGH) では、変換を開始するためにチップ・セレクト (CS) とスタート・コンバート (SC) がともに LOW にならなければなりません。CS は SC が LOW になる t_{oe} 前に LOW にならなければなりません。非同期モード (SYNC=LOW) では、CS の状態とは関係なく、SC を LOW にすることによって変換が開始されます。

変換が開始される前は、エンド・オブ・コンバート (EOC) は HIGH であり、サンプル・ホールドはトラック・モードにあります。変換が開始されると、サンプル・ホールドはホールド・モードとなり、EOC が LOW になって、変換中であることを示します。変換の間に、サンプル・ホールドがトラック・モードに戻り、次のサンプルの収集が始まります。

トラック・モードでは、サンプル・ホールドは最大 1.5 μs 以内で ±0.003% (14ビット) に安定します。AD679 は、次の変換の 2 μs 以上前にトラック・モードに戻るため、アキュジション時間はスループット・レートに影響しません。マルチ・チャンネルのシステムにおいては、最大限のスループット・レートを得るために、EOC が LOW になった時点で即時に入力チャンネルを切替えることができます。EOC が HIGH になると、出力レジスタには前の変換結果が含まれます。現在の変換結果を出力レジスタにロードするには時間 t_{up} が必要です (図 1 参照)。CS が LOW になって t_{oe} の間 OE を LOW にすると、出力レジスタの内容が出力データ・ビット (DB7-DB0) 上に現れます。OE が HIGH になってから次の SC 命令の発行までには t_{co} の時間をおく必要があります。SC が LOW を維持している場合は、変換精度が劣化します。そのため、連続変換モードで動作させようとするときは、SC を LOW にしないでください。

変換開始真理表

	入力			ステータス
	SYNC	CS	SC	
同期モード	1	1	X	無変換
	1	0	↓	変換スタート
	1	↓	0	変換スタート (非推奨)
	1	0	0	連続変換 (非推奨)
非同期モード	0	X	1	無変換
	0	X	↓	変換スタート
	0	X	0	連続変換 (非推奨)

注

1=HIGH 電圧レベル

0=LOW 電圧レベル

X=無関係

↓=HIGH から LOW への立下がり。t_{cr} 間 LOW でなければならぬ。

14ビット・モードの符号化フォーマット (1LSB=0.61mV)

ユニポーラ・コーディング (ストレート・バイナリ)		バイポーラ・コーディング (2の補数)	
V _{IN} *	出力コード	V _{IN} *	出力コード
0	000...0	-5.00000V	100...0
5.00000V	100...0	-0.00061V	111...1
9.99939V	111...1	0	000...0
		+2.50000V	010...0
		+4.99939V	011...1

*コードセンター

エンド・オブ・コンバート

非同期モードでは、エンド・オブ・コンバート (EOC) はオープン・ドレイン出力 (最小 3 kΩ のプルアップ抵抗が必要) であり、エンド・オブ・コンバート・イネーブル (EOCEN) によって動作が許可されます。同期モードでは EOC はスリー・ステート出力で、EOCEN と CS によって動作が許可されます。変換真理値表を参照ください。アクセス・タイミング (t_{BA}) とフロート・タイミング (t_{FO}) は、これらが外部負荷容量とプルアップ抵抗が形成する時定数の関数となる非同期モードでは適用されません。

出力イネーブル動作

データ・ビット (DB7~DB0) はスリート・ステートの出力であり、チップ・セレクト (CS) とアウトプット・イネーブル (OE) によりイネーブルされます。CS は OE が LOW になる t_{oe} 前に LOW にならなければなりません。アウトプット・イネーブル (OE) は出力レジスタを更新するためにトグルしなければなりません。

出力は、16ビットのワードとして、まずハイ・バイト、次にロー・バイトという 2 ステップで読み取られます。ハイ・バイト・イネーブル (HBE) が出力シーケンスを制御します。14ビットの変換結果は、16ビットのフィールド内で左詰めされています。

ユニポーラ・モード (BIPOFF を AGND に接続) では、出力のコーディングはストレート・バイナリです。バイポーラ・モード (BIPOFF を REF_{OUT} に接続) では、出力コーディングは 2 の補数形式のバイナリです。

電源投入

電源投入後に内部ロジックをリセットするために、SC 命令 1 つから成る変換シーケンスを 1 回実行する必要があります。

変換ステータス真理表

	入力			出力	
	SYNC	CS	EOCEN	EOC	ステータス
同期モード	1	0	0	0	変換中
	1	0	0	1	変換中でない
	1	1	X	高Z	どちらか
	1	X	1	高Z	どちらか
非同期モード*	0	X	0	0	変換中
	0	X	0	高Z	変換中でない
	0	X	1	高Z	どちらか

注

1=HIGH 電圧レベル

0=LOW 電圧レベル

X=無関係

*非同期モードでは、EOC はプルアップ抵抗を必要とします。

出力イネーブル真理表

	入力		出力							
	HBE	(CS U OE)	DB7...DB0							
	X	1	←高Z→							
ユニポーラ	0	0	a	b	c	d	e	f	g	h
バイポーラ	1	0	i	j	k	l	m	n	0	0

注

1=HIGH 電圧レベル

0=LOW 電圧レベル

X=無関係

U=論理OR

データの形式は、ユニポーラ・モードではストレート・バイナリ、バイポーラ・モードでは 2 の補数形式のバイナリです。

使用上の説明

入力の接続と校正

AD679の入力インピーダンスは高い(10MΩ)ため、高インピーダンスのソースや、チャンネル間ミスマッチが最大300Ωのマルチプレクサと、容易にインタフェースできます。10V p-pのフルスケール入力レンジは、信号電圧の大部分を、ADCの精度を劣化させるような分圧回路を要せずに受入れます。

AD679は、オフセット、ゲインおよび直線性誤差を最小限にするように製造過程で調整されています。ユニポーラ・モードにおいては、必要な唯一の外部部品は、50Ω±1%の抵抗だけです。バイポーラ・モードでは2つの抵抗が必要です。オフセットおよびゲインが特に重要でない場合(いくつかのACアプリケーションのように)は、これらの部品さえも必要ありません。

一部のアプリケーションでは、オフセットとゲインの誤差を完全に除去する必要があります。以下の節において、さまざまな状況に対する補正手順を説明します。

バイポーラ・レンジの入力

バイポーラ・モード用の接続を図5に示します。このモードでは、データ出力コーディングは2の補数のバイナリです。この回路で約±25mVのオフセット調整レンジ(±40LSB)と±0.5%のゲイン調整レンジ(±80LSB)を可能とします。

AD679の精度がアプリケーションにとって充分であるなら、トリムポットのどちらか、または両方を、50Ω±1%の固定抵抗器に置換えることができます。これらのピンをショートさせたときには、オフセットとゲインの誤差が約80LSB増えます。

バイポーラ・ゼロをその公称値へとトリムするには、ミッドレンジ(±5Vレンジの場合で-0.305mV)から1/2LSB下の信号を印加し、メジャー・キャリヤ遷移(11 1111 1111 1111から00 0000 0000 0000へ)が検出されるまでR1を調整します。ゲインをトリムするには、フルスケール(±5Vレンジで+4.9991V)から1/2LSB下の信号を印加し、最終正遷移(01 1111 1111 1110から01 1111 1111 1111へ)が起きるようにR2を調整します。これらのトリミングは互いに相関しているため、収束させるためには何度かの繰返しが必要なることもあります。

同じ回路を使って、バイポーラ・ゼロ・トリム(ミッドスケール誤差)の代わりにバイポーラ・オフセット・トリム(マイナス・フルスケール誤差)を行なうことにより、ワンパスの校正ができます。最初に、マイナス・フルスケール(±5Vレンジで-4.9997V)から1/2LSB上の信号を印加し、マイナス・フルスケール遷移(10 0000 0000 0000から10 0000 0000 0001へ)が検出されるまでR1を調整します。次に上で述べたようにゲイン誤差調整を行ないます。

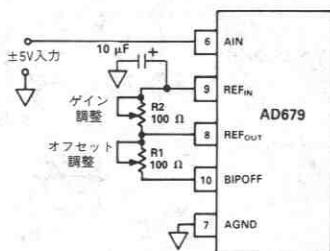


図5. ゲイン・トリムとオフセット・トリムのバイポーラ入力接続

ユニポーラ・レンジの入力

オフセットとゲインの誤差は図6のような回路構成で調整できます。この回路で約±25mV(±40LSB)のオフセット調整レンジと±0.5%(±80LSB)のゲイン調整レンジが可能です。

公称オフセットが1/2LSBなので、各コードに対応するアナログ・レンジは、そのコードの中間に中心があります(その上と下のコードへの遷移の中途)。したがって公称では、最初の遷移(00 0000 0000 0000から00 0000 0000 0001へ)は+1/2LSBの入力レベル(10Vレンジに対してグラウンドから0.305mV)で起きなければならない。ユニポーラ・ゼロをこの公称値へとトリムするには、AINに0.305mVの信号を印加し、最初の遷移が検出されるまでR1を調整します。

ゲインのトリムはR2を調整します。公称値が必要ななら、フルスケール(10Vレンジに対して9.9997V)より1/2LSB下の信号を印加し、最終遷移(11 1111 1111 1110から11 1111 1111 1111へ)が検出されるまでR2を調整します。

オフセットの調整が必要なければ、BIPOFFは必ずAGNDに直接接続してください。ゲイン調整が必要なければ、R2を50Ω±1%の金属被膜抵抗器に置換えてください。REF_OUTをREF_INに直接接続した場合、ゲイン誤差は約1%増えます。

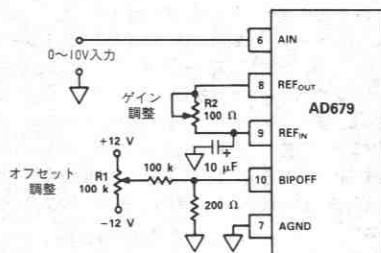


図6. ゲイン・トリムとオフセット・トリムのユニポーラ入力接続

リファレンスのデカップリング

REF_IN(ピン9)とグラウンドの間に10µFのタンタル・コンデンサを接続することをお勧めします。これは、電圧リファレンスからの広帯域ノイズをフィルタし、S/N+D比を改善する効果があります。

基板のレイアウト

高分解能のデータ・コンバータを設計する際には基板のレイアウトに細心の注意が必要です。トレース・インピーダンスが重要な問題です。0.5Ωのトレース中の1.22mAの電流で0.6mVの電圧低下が生じ、これは10Vフルスケール・スパンの14ビット・レベルで1LSBに相当します。グラウンド・ドロップに加え、とくに高精度のアナログ信号とデジタル信号が同一の基板上に存在するときは、誘導性と容量性のカプリングを考慮に入れなければならない。最後に電源も、ノイズをフィルタするためにデカップリングする必要があります。

アナログ信号とデジタル信号が同じ経路を共有してはいけません。各信号はその近所に適切なアナログまたはデジタル帰還路がなければなりません。この方法を使えば信号ループは小さな領域を占め、ノイズの誘導性カプリングを最小にすることができます。低インピーダンスの信号経路を確保するには、広いプリント基板のトラック、太いゲージ・ワイヤ、そしてグラウンド・プレーンの採用を強くお勧めします。アナログとデジタルでグラウンド・プレーン

ンを別にし、接続点を1個所にしてグラウンド・ループを最小化することも重要です。アナログ信号とデジタル信号の配線はできるだけ離し、直角に交差させなければなりません。

AD679にはユーザのレイアウトを支援する機能がいくつかあります。アナログ・ピン(V_{ER}、A_{IN}、AGND、REF_{OUT}、REF_{IN}、BIPOFF、V_{CC})は隣接していて、アナログをデジタル信号から隔離しやすくなっています。さらにA_{IN}の10MΩの入力インピーダンスにより、入力トレースのインピーダンス誤差を最小にできます。最後に、細心の回路設計によって、グラウンド電流が最小化されています。AGNDを流れる電流は200μAで、コードによる変動はありません。DGNDを流れる電流はDB7~DB0とEOCの帰還電流に支配されます。

電源デカップリング

AD679の電源は十分にフィルタされ、良好に整流された高周波ノイズのないものでなければなりません。スイッチング電源は、アナログ・システムにノイズを導入する可能性のあるスパイクを発生する傾向があるので、お勧めできません。

デカップリング用のコンデンサは、電源ピンとアナログ・グラウンドとを最短距離で結ぶように配線します。10μFのタンタル・コンデンサと0.1μFのセラミック・コンデンサを並列につないだものが、デカップリング用として適しています。

コンデンサのリード線と電源装置、ピンとの間のトレースを最短にするよう努めるべきです。回路レイアウトでは、AD679と関連するアナログ入力回路および接続回路を、ロジック回路からできるだけ離すよう、努めてください。AD679の周囲にアナログ・グラウンド・プレーンを置くことによって、大きなスイッチング・グラウンド電流を隔離できるでしょう。これらの理由から、ワイヤラップによる回路構成はお勧めできません。細心設計のプリント回路をお勧めします。

グラウンド接続

1つのAD679に対してアナログとデジタルで別々のグラウンド・プレーンを使う場合、アナログ・グラウンド・プレーンはAGNDに、デジタル・グラウンド・プレーンはDGNDに接続し、リード線はできるだけ短くします。次にAGNDとDGNDをAD679で接続します。複数のAD679を使う場合、あるいはAD679が他の部品とアナログ電源を共有する場合は、アナログとデジタルの帰還を各チップにおいてではなく、電源のところの1個所で接続します。これは、グラウンド・ループが大きくなることを防ぎ、デジタル電流がアナログ・システムに流れることを防ぎます。

外部電圧リファレンスの使用法

AD679は、オンチップ電圧リファレンスを特長としています。温度変化に対するゲイン精度を向上させるために、オンチップ・リファレンスの代わりに高性能の外部電圧リファレンスを使用することができます。

AD588およびAD588は、高分解能コンバータと共に使用するのに適している定評のあるリファレンスです。AD588は低コストのリファレンスであり、埋め込みツェナ構成を使用して低ノイズおよび低ドリフトを提供します。AD588は高性能のリファレンスであり、レーザ・トリムされた薄膜抵抗とともに、イオン打ち込み埋め込みツェナ・ダイオードを使用して低オフセットと低ドリフトを実現しています。

図7に、バイポーラ入力モードにおいてAD679とAD588を使用した回路を示します。0から+70°Cの範囲で、AD588のLグレードは、25°Cにおける初期値から2.25mV以下の出力変化を示します。REF_{IN}(ピン9)は、その入力をファクタ2でスケールリングします。したがって、この変化は実際上4.5mVとなります。AD679に適用した場合は、絶対ゲイン・ドリフトが0.09%FSRとなります。これは、オンチップ・リファレンスの0.11%FSRを上回る性能です。ノイズ・リダクション・コンデンサ、C_Nが示されています。このコンデンサは、AD588出力の広帯域ノイズを低減します。これによって、AD679のACおよびDC性能が全体に最適化されます。

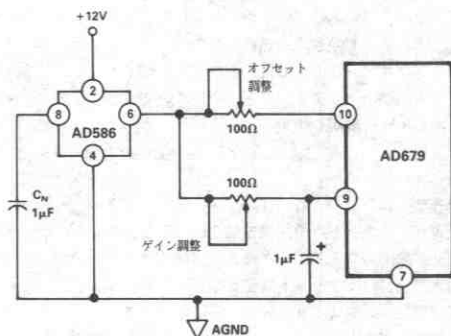


図7. ゲイン・トリムおよびオフセット・トリムによるバイポーラ入力

図8に、AD588リファレンスを使用したユニポーラ入力モードにおけるAD679を示します。AD588出力は、0から70°Cの範囲において25°Cの初期値から0.65mVの高精度を有しています。これは、AD679において0.06%FSRのトータル・ゲイン・ドリフトとなり、オンチップ・リファレンスの性能0.11%FSRを遙かに上回る性能です。ピン4、6および7におけるノイズ・リダクション・ネットワークが示されています。1μF抵抗はAD588ツェナおよびアンプ・セルの内部抵抗、および外部抵抗とともにロー・パス・フィルタを形成しています。これによって、AD588の高周波(1MHzまで)ノイズを除去してAD679に最適なACおよびDC性能を実現しています。

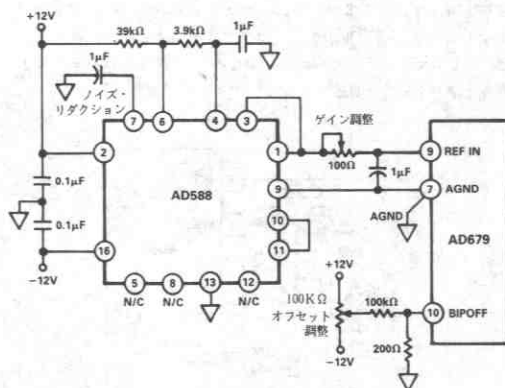


図8. ゲイン・トリムおよびオフセット・トリムによるユニポーラ入力

絶対最大定格*

仕様	基準	Min	Max	単位
V _{CC}	AGND	-0.3	+18	V
V _{EE}	AGND	-18	+0.3	V
V _{CC}	V _{EE}	-0.3	+26.4	V
V _{DD}	DGND	0	+7	V
AGND	DGND	-1	+1	V
AIN, REF _{IN}	AGND	V _{EE}	V _{CC}	V
デジタル入力	DGND	-0.5	+7	V
デジタル出力	DGND	-0.5	V _{DD} +0.3	V
最大接合温度			175	°C
動作温度				
J, Kグレード		0	+70	°C
A, Bグレード		-40	+85	°C
S, Tグレード		-55	+125	°C
保存温度		-65	+150	°C
リード温度 (最大10秒)			+300	°C

*これらの値を超えるストレスはデバイスに永久的な損傷を与えることがあります。これらはストレスに関する定格を示すものであり、動作条件の定格を含んではおりません。これらの値での長期にわたる使用は、デバイスの信頼性に影響を与えることがあります。

ピン配置



静電気感度

AD679には、大きな分散ダイオードとポリシリコン・シリーズ抵抗による入力保護回路があり、高エネルギーの静電気放電(人体モデル)と高速な低エネルギーの静電気放電(帯電デバイス・モデル)の両方を消散します。MIL-STD-883Cの方式3015.2により、AD679はカテゴリ1のデバイスに分類されています。

機能障害や性能劣化を防ぐためには、適切な静電気保護を講ずることを強くお勧めします。4000ボルトもの高電圧が人体や計測機器などに帯電し、検出されることなく放電することがあります。不使用のデバイスは導電性の緩衝材またはシャントに格納し、デバイスを取り出すときには緩衝材をソケットに対してディスチャージしてください。静電気保護対策に関する詳細は、弊社の「ESDマニュアル」を参照してください。



オーダ・ガイド¹

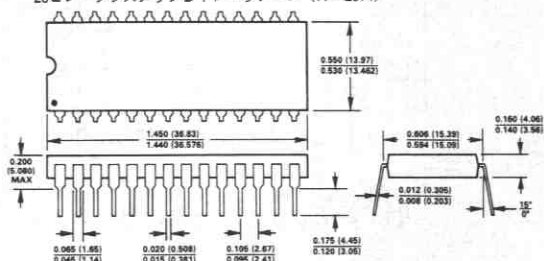
モデル ²	パッケージ (すべて28ピン)	温度範囲 ³	テストおよび規定仕様
AD679JN	プラスチックDIP	0~+70°C	AC
AD679KN	プラスチックDIP	0~+70°C	AC + DC
AD679JD	セラミックDIP	0~+70°C	AC
AD679KD	セラミックDIP	0~+70°C	AC + DC

- 注
 1. 18ビット・バスへの1サイクル・リード(14ビット)インターフェースについてはAD779を参照してください。
 2. 産業用(A, B)グレードおよび軍用(S, T)グレードについては、お問い合わせください。

外形サイズ

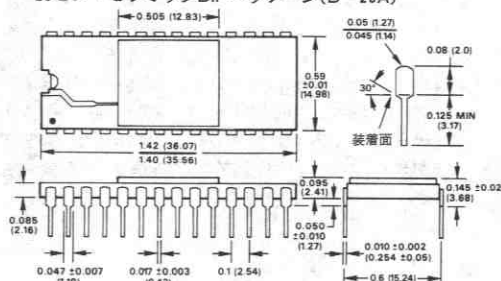
サイズはインチと(mm)で示しています。

28ピン・プラスチックDIPパッケージ(N-28A)



ピンNo.1はドットまたはノッチで示す
 リードはハンダ付けまたはスズ・メッキの施された
 アロイ42または銅

28ピン・セラミックDIPパッケージ(D-28A)



ピンNo.1はドットで示す

AD679とマイクロプロセサとのインタフェース

AD679は汎用DSPとマイクロプロセサのバスとダイレクトにインタフェースできるI/O機能をもっています。非同期変換を使えば、外付けハードウェアを最小に抑えつつ、完全なフレキシビリティと制御を実現できます。

以下にAD679のインタフェースの代表的な構成を示します。

AD679とTMS320C25

図9では、AD679がTMS320C25のI/O空間にマップされています。AD679の変換はポート1へのOUT命令で起動します。EOCのステータスと変換結果はポート1へのIN命令で読みます。プロセサのREADYへの、 \overline{IS} 、ポート1、MSCからの入力によって、1つのウェイトが挿入されます。アドレス線A0はHBEに接続されており、データの上位バイトと下位バイトの選択のためのデコーディング機能を実現します。この回路構成では、プロセサの20MHzのクロック速度がサポートされており、AD679の各リード命令の後に1つのNOP命令を置けば、40MHzもサポートできます。

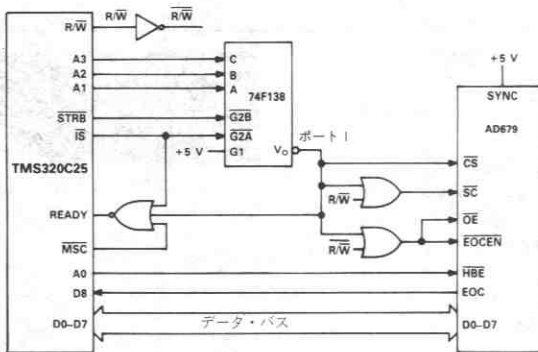


図9 AD679とTMS320C25のインタフェース

AD679と80186

図10にAD679と80186マイクロプロセサとのインタフェースを示します。このインタフェースでは、80186に内蔵されているDMAコントローラにより、AD679の出力をRAM上の任意の長さのFIFOバッファに、マイクロプロセサを介することなく転送します。

このアプリケーションの構成では、AD679は非同期モードで動作します。この場合、変換はマイクロプロセサのクロックとは独立の外部トリガによって起動されます。毎回変換の後でAD679のEOC信号がチャンネル1(DRQ1)へのDMAリクエストを生成します。これに続くDMA READによってAD679のデータの上位と下位のバイトが処理され、割込みラッチがリセットされます。システム設計者はこのDMAチャンネルに十分な優先権を与えることによって、次の変換が終了する前に確実にDMAリクエストがサービスされるようにしなければなりません。この回路構成では6MHzと8MHzの80186プロセサを使用できます。

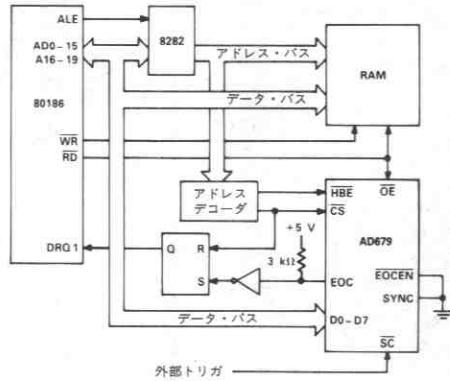


図10 AD679と80186のDMAインタフェース

AD679と弊社のDSPチップADSP-2101

図11にAD679とADSP-2101とのインタフェースを示します。12.5MHzのクロック周波数および1サイクル80nsの命令実行によって、デジタル・シグナル・プロセサが3つのウェイト・ステートでAD679のインタフェースをサポートします。

サンプリング・クロックを使用して非同期で動作するようにコンバータは構成されています。AD679のEOC出力は、各変換の最後にアサートされ、割込みを引き起こします。割込みによって、ADSP-2101は即時にFOピンをローにし、NOPを実行します。次のサイクルで、プロセサはDMAバスにアドレスを与えることにより、データ・メモリの読み取りを開始します。デコード・アドレスは、コンバータに対して \overline{OE} を生成し、変換結果の上位バイトはデータ・バスを通して読み取られます。3つのウェイト・ステートで読み取り動作が拡張され、そして開始されて4プロセサ・サイクル(320ns)以内で終了します。次にADSP-2101はFOピンをハイにして、NOP命令を出します。

これによって、プロセサがデータのバイトの読み取りを開始できるようにします。リード動作は最初と同様な方法で実行され、続く320nsの間に終了します。

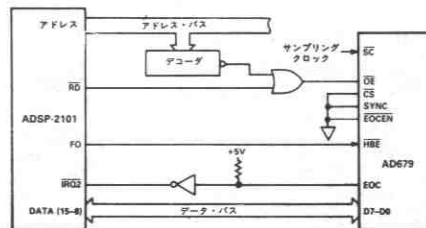


図11 AD679とADSP-2101のインタフェース

AD679と弊社のDSPチップADSP-2100A

図12にAD679とADSP-2100Aとのインタフェースを示します。このデジタル・シグナル・プロセッサは12.5MHzのクロック周波数および1サイクル80nsの命令実行サイクルで動作し、3つのハードウェア・ウェイト・ステートによりAD679のデータ・メモリとのインタフェースをサポートします。

コンバータは、サンプリング・クロックによる非同期動作として構成されています。AD679のEOC出力は、各変換の終了時にアサートされ、割込みを引き起こします。割込みによって、ADSP-2100Aは、HBEをアサートするデータ・メモリの書込み命令を即時に実行します。次のサイクルで、NOPが実行されます。次のサイクルでプロセッサは、DMAバス上にアドレスを供給することにより、データ・メモリのリード（上位バイトのリード）を開始します。デコードされたアドレスがコンバータ用のOEを生成します。OEは他のロジック回路やラッチとともに、DMACKを生成してADSP-2100Aを3サイクルのウェイト・ステートにします。したがって、リード操作は開始から終了まで4サイクル（320ns）以内です。“上位バイト・リード”の間はHBEがリリースされます。これによってプロセッサは、“上位バイト・リード”が終わるとただちにデータの下位バイトを読むことができます。下位バイトのリードも最初と同じように行われ、次の310nsの間に終了します。

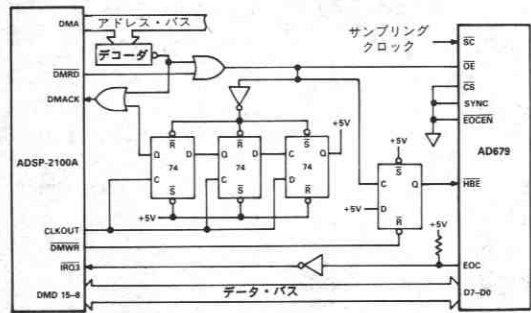
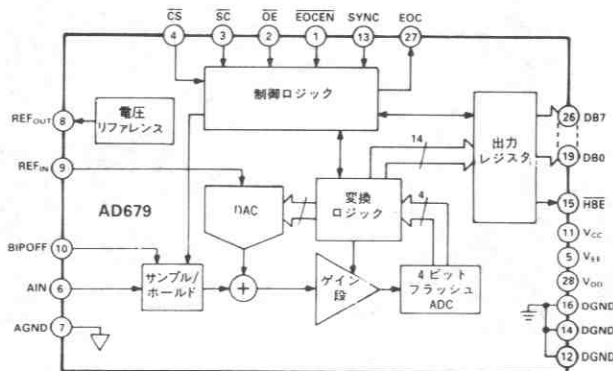


図12. AD679とADSP-2100Aのインタフェース

AD679のピン機能説明

記号	ピン番号	タイプ	名前と機能
AGND	7	P	アナログ・グラウンド。AIN専用のグラウンド・リターン。
AIN	6	AI	アナログ信号入力。
BIPOFF	10	AI	バイポーラ・オフセット。+10V入力のユニポーラ・モードでストレート・バイナリ出力コーディングに対してはAGNDに接続。±5V入力のバイポーラ・モードで2の補数バイナリ出力コーディングに対してはREF _{OUT} に接続。
\overline{CS}	4	DI	チップセレクト。LOWでアクティブ。
DGND	12, 14	P	デジタル・グラウンド。
DB7-DB0	26-19	DO	データ・ビット。これらのピンが全14ビットを2バイト(8+6ビット)で出力します。HIGHでアクティブ。
EOC	27	DO	エンド・オブ・コンバート。変換がスタートするとEOCはLOWになり、変換が終了するとHIGHになります。非同期モードではEOCはオープン・ドレイン出力であり、3kΩの外部プルアップ抵抗を必要とします。EOCのゲーティングに関しては、 \overline{EOCEN} とSYNCを参照ください。
\overline{EOCEN}	1	DI	エンド・オブ・コンバート・イネーブル。EOCピンをイネーブルします。LOWでアクティブ。
\overline{HBE}	15	DI	ハイバイト・イネーブル。LOWのとき上位バイトが出力されています。HIGHのときは(直前に読まれた上位バイトの)下位バイトが出力されています。
\overline{OE}	2	DI	アウトプット・イネーブル。 \overline{OE} の立下がり方でDB7~DB0がイネーブルとなります。 \overline{CS} とゲートされています。LOWでアクティブです。
REF _{IN}	9	AI	リファレンス入力。+5Vの入力が10Vのフルスケール・レンジを与えます。
REF _{OUT}	8	AO	+5Vのリファレンス出力。通常の動作ではREF _{IN} に接続されます。
\overline{SC}	3	DI	スタート・コンバート。LOWでアクティブ。ゲーティングに関してはSYNCピンを参照ください。
SYNC	13	DI	SYNC制御。V _{DD} に接続されると(同期モード) \overline{SC} と \overline{EOCEN} が \overline{CS} によりゲートされます。DGNDに接続されると(非同期モード) \overline{SC} と \overline{EOCEN} は、 \overline{CS} から独立となり、EOCはオープン・ドレイン出力となります。非同期モードではEOCは外付け3kΩのプルアップ抵抗を必要とします。
V _{CC}	11	P	+12Vアナログ電源。
V _{EE}	5	P	-12Vアナログ電源。
V _{DD}	28	P	+5Vデジタル電源。
-	16	U	DGNDに接続します。
-	17-18	U	これらのピンは使用しません。DGNDまたはV _{DD} に接続します。

タイプ: AI=アナログ入力。
 AO=アナログ出力。
 DI=デジタル入力 (TTLおよび5V CMOSコンパチブル)。
 DO=デジタル出力 (TTLおよび5V CMOSコンパチブル)。DOピンはすべてスリーステートのドライバです。
 P=電源。
 U=不使用。



AD679 機能ブロック図

仕様の説明

ナイキスト周波数

ナイキストのサンプリング定理によれば、コンバータの“ナイキスト周波数”とは、コンバータのサンプリング周波数の半分である入力周波数のことです。

信号/ノイズ+歪み比 (S/N+D)

S/N+Dは入力信号の計測値rmsと、高調波を含みDC成分を除いた、ナイキスト周波数以下の他のすべてのスペクトル成分のrms和との比です。

全高調波歪み (THD)

THDは入力信号の最初の6つの高調波成分の和のrmsと、フルスケール入力信号のrms値との比であり、パーセンテージまたはデシベルで表わします。ナイキスト周波数以上の入力信号や高調波に関しては、エアリング成分が使われます。

ピーク・スプリアスまたはピーク高調波成分

ピーク・スプリアスまたはピーク高調波成分は、入力信号とDC成分以外の最大のスペクトル成分のことです。この値はフルスケール入力信号のrms値との比をデシベルで表わします。

相互変調歪み (IMD)

2つの周波数 f_a と f_b の正弦波入力に対して、非直線性をもつデバイスはどれでも、歪み積をつくり出します。 m, n を0, 1, 2, 3...とすると、歪みのオーダーは $(m+n)$ であり、周波数の和と差は $m f_a \pm n f_b$ です。相互変調の項は m と n がゼロでない場合に存在します。たとえば、2次の項は $(f_a + f_b)$ と $(f_a - f_b)$ であり、3次の項は $(2 f_a + f_b), (2 f_a - f_b), (f_a + 2 f_b)$ および $(f_a - 2 f_b)$ です。IMD積は入力信号の計測値のrmsの和と、歪みの項のrms和との比として、デシベルで表わします。コンバータに適用される2つの周波数は等しい大きさであり、それらの和のピーク値はフルスケール (9.44Vp-p) から-0.5 dBです。IMD積は0 dBの入力信号に正規化されます。

帯域幅

フルパワー帯域幅は、再構成された基本周波数成分の大きさがフルスケール入力に対して3 dB減衰する入力周波数です。

フルリニア帯域幅は、サンプル・ホールド・アンプ (SHA) のスルー・レートの限界に達するような入力周波数です。このときに、再構成される基本周波数成分の劣化レベルは-0.1 dB未満です。この周波数を超えると、サンプリングされた入力信号の歪みが急激に大きくなります。

AD679は入力帯域幅を最適化するように設計されており、コンバータのナイキスト周波数を大きく超えるような入力信号は、アンダーサンプリングします。

アパーチャ遅延時間

アパーチャ遅延時間はSHAの性能の目安であり、スタート・コンバータ (SC) の立上がりエッジから、入力信号が変換に向けて確定するまでの時間です。同期モードでは、アパーチャ遅延時間を最小化するために、チップセレクト (CS) がSCより前にLOWにならなければなりません。

アパーチャ・ジッタ

アパーチャ・ジッタは、サンプルごとのアパーチャ遅延時間の変動であり、A/Dコンバータへの入力上にノイズとして現れます。

入力セトリング時間 セトリング時間はSHAが高速にスルーする信号に追従できる能力を示します。これは、フルスケール・ステップ入力の後のトラック・モードで、変換の保証仕様精度が達成されるまでにかかる最大時間として定義されます。

微分非直線性 (DNL)

理想的なADCではコードの遷移は1LSBごとです。微分非直線性は、この理想値からの偏差です。これはしばしば、ノミスコード (NMC) が保証される分解能に関して規定されます。

積分非直線性 (INL)

リニアなADCにおける理想的な伝達関数は、「ゼロ」と「フルスケール」の間に引かれた直線です。「ゼロ」として使用されるポイントは、最初のコード遷移の1/2LSB前で発生します。「フルスケール」は、最後のコード遷移の1/2LSB後のレベルとして定義されます。積分直線性誤差は、直線からのコードの最大偏差です。それぞれのコードの偏差はそのコードの中央から測定されます。直線性誤差はユーザでは調整できないことに注意してください。

電源変動除去比

電源の変動は、フルスケール遷移に影響を及ぼしますが、コンバータの直線性には影響しません。電源変動除去比は、公称値から電源電圧が変化することによって起こるフルスケール遷移ポイントにおける最大の変化です。

温度ドリフト

これは、初期値 (@+25°C) からTminまたはTmaxの値へ変わるパラメータにおける最大の変化です。

ユニポーラ・ゼロ誤差

ユニポーラ・モードでは、最初の遷移はアナログ・グラウンドから1/2LSB上のレベルで起きなければなりません。ユニポーラ・ゼロ誤差は、実際の遷移のこの点からの偏差です。この誤差は、入力の接続と校正の節で述べるように、調整可能です。

バイポーラ・ゼロ誤差

バイポーラ・モードでは、メジャー・キャリア遷移 (11 1111 1111 1111から00 0000 0000 0000への遷移) は、アナログ・グラウンドから1/2LSB下のアナログ値で起きなければなりません。バイポーラ・ゼロ誤差は実際の遷移のこの点からの偏差です。この誤差は、入力の接続と校正の節で述べるように、調整可能です。

ゲイン誤差

最後の遷移は公称フルスケール (0-10Vレンジに対して0.9991ボルト、±5Vレンジに対して4.9991ボルト) から1/2LSB下のアナログ値で起きなければなりません。ゲイン誤差は、最後の遷移における実際のレベルと、ゼロ誤差を取去った理想的なレベルとの偏差です。この誤差は、入力の接続と校正の節で述べるように、調整可能です。

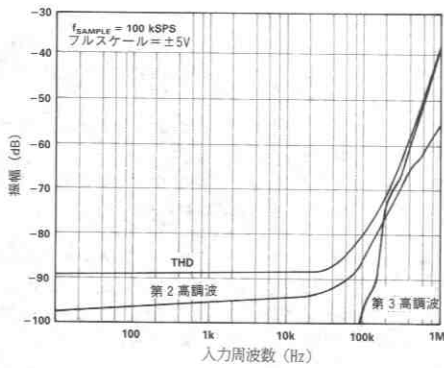


図13. 入力周波数と高調波歪みの関係 (-0.5 dB 入力)

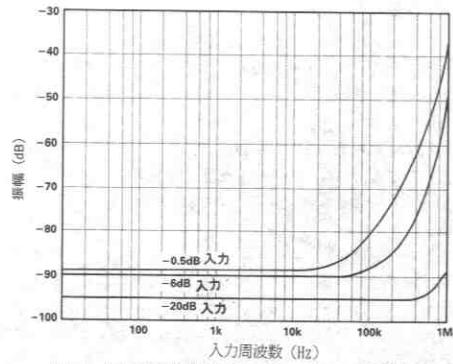


図14. 入力周波数およびそのレベルと全高調波歪みの関係

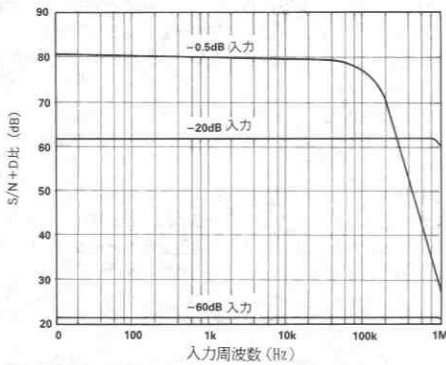


図15. 入力周波数およびそのレベルとS/N+Dの関係

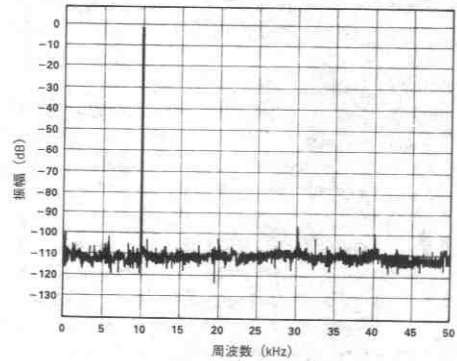


図16. 100 KSPS時の5プロット平均2048ポイントFFT ($f_{IN}=10.009$ kHz)

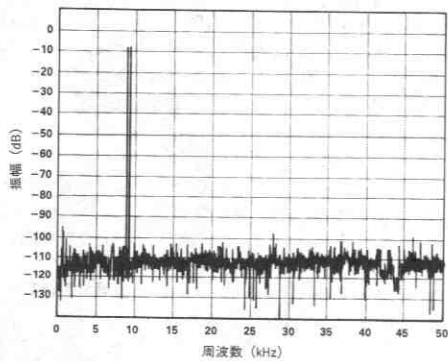


図17. 100 KSPS時のIMD非平均プロット。 $f_{IN}=9.08$ kHz (f_a)、
9.58 kHz (f_b)

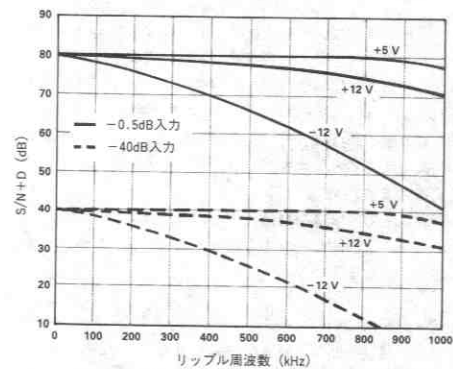


図18. 電源変動除去比 ($f_{IN}=10$ kHz, $f_{SAMPLE}=100$ KSPS, $V_{RIPPLE}=0.1$ Vp-p)

AD779

特長

完全に規定されたACおよびDC特性 (K、B、Tグレード)

100k変換/秒

1 MHzフルパワー帯域幅

500 kHzフルリニア帯域幅

80dBのS/N+D比 (Kグレード)

2の補数データ・フォーマット (バイポーラ・モード)

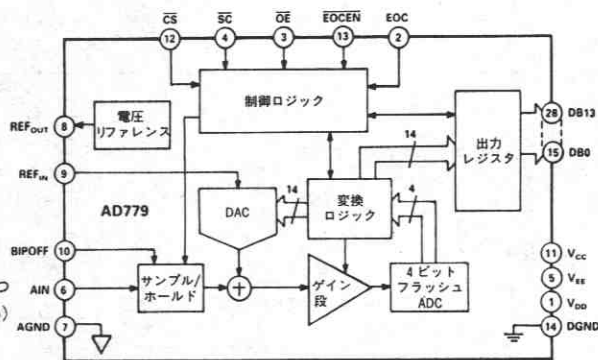
ストレート・バイナリ・データ・フォーマット (ユニポーラ・モード)

10MΩの入力インピーダンス

16ビット・バス・インタフェース (8ビット・インタフェースについてはAD679を参照ください)

リファレンスとクロック内蔵

10Vのユニポーラまたはバイポーラ入力レンジ



AD779 機能ブロック図

概要

AD779 はサンプル・ホールド・アンプ (SHA)、マイクロプロセッサとコンパチブルなバス・インタフェース、電圧リファレンス、およびクロック生成回路から構成されている、14ビットの多目的モノリシックA/Dコンバータです。

AD779 は、信号処理応用で重要なS/N+D比、THDおよびIMDなどのAC (またはダイナミック) パラメータ仕様が完全に規定されています。また、AD779 K、BおよびTグレードでは、計測応用で重要なDCパラメータが完全に規定されています。

14のデータ・ビットは、16ビット・バスを介した1回のリード操作でアクセスされ、データは左詰めされています。データ・フォーマットは、ユニポーラ・モードではストレート・バイナリで、バイポーラ・モードでは、2の補数形式のバイナリです。入力フルスケール・レンジは10Vであり、フルパワー帯域幅は1 MHzフルリニア帯域幅は500 kHzです。入力インピーダンスが高い (10MΩ) ため、バッファリングされていないソースに直接接続でき、信号の劣化も生じません。

この製品は、弊社独自開発のBiMOSプロセスによって製造されています。そして低電圧のCMOSロジック、低ノイズ・高精度のバイポーラ回路、および高精度を実現するレーザ・トリミングされた薄膜抵抗の組合わせによって構成されています。このコンバータは再帰的サブレンジング・アルゴリズムを採用しており、エラー補正や、高速で高い分解能を実現するためのフラッシュ変換回路が含まれています。

AD779は+5Vと±12V電源で動作し、消費電力は最大745mWです。28ピンのプラスチックDIPと15mm幅のセラミックDIPの両タイプがあります。表面実装パッケージについては、お問い合わせください。

MIL-STD-883CクラスBスクリーニング製品も用意しています。

製品ハイライト

- 高集積化:** AD779 は高速サンプル・ホールド・アンプ (SHA)、ADC、5Vのリファレンス、クロック、デジタル・インタフェースをワンチップに搭載することによって、外付け部品点数の最少化を図っています。これによって、ディスクリート設計では得られない、完全なサンプリングA/D機能を実現しています。
- 仕様:** AD779 K、BおよびTグレードは、ACおよびDCパラメータが完全に規定されてテストされています。AD779 J、AおよびSグレードは、ACパラメータが完全に規定されてテストされています。DC精度仕様は代表値として示しています。DC仕様 (例えば、INL、ゲインおよびオフセット) は、計測・制御応用で重要です。AC仕様 (例えば、S/N+D比、THDおよびIMD) は、信号処理応用で重要です。
- 使いやすさ:** ボード・レイアウトが容易にできるピン配置になっており、単一サイクルの読取り出力により、16ビット・バスとの互換性が実現されています。出荷時に調整が行われているので、規定の性能を実現するために、校正モードや外部調整は不要です。
- 信頼性:** AD779 は弊社独自開発のモノリシックBiMOS技術を使用して製造されています。これにより、マルチチップやハイブリッド設計の製品よりも長期の信頼性が得られます。

仕様

AC仕様

(特に指定のない限り、 $T_{min} \sim T_{max}$, $V_{CC} = +12V \pm 5\%$, $V_{EE} = -12V \pm 5\%$, $V_{DD} = +5V \pm 10\%$, $f_{SAMPLE} = 100KSPS$, $f_{IN} = 10.009kHz$)¹

パラメータ	AD779J/A/S			AD779K/B/T			単位
	Min	Typ	Max	Min	Typ	Max	
信号とノイズ・歪みの比 (S/N+D) ²							
入力-0.5dB (基準入力-0dB)	78	79		80	81		dB
入力-20dB (基準入力-20dB)	58	59		60	61		dB
入力-60dB (基準入力-60dB)	18	19		20	21		dB
全高調波歪み (THD) ³							
@ +25°C		-90	-84		-90	-84	dB
$T_{min} \sim T_{max}$		0.003	0.006		0.003	0.006	%
		-88	-82		-88	-82	dB
		0.004	0.008		0.004	0.008	%
ピーク・スプリアスまたはピーク高調波成分		-90	-84		-90	-84	dB
フルパワー帯域		1			1		MHz
フルリニア帯域		500			500		kHz
相互変調歪み (IMD) ⁴							
2次積		-90	-84		-90	-84	dB
3次積		-90	-84		-90	-84	dB

注

- 特に指定のない限り、 f_{IN} の大きさは-0.5dB (9.44V p-p) バイポーラ・モード・フルスケール。特に指定のない限り、すべての測定値は-0dB (9.997 V p-p) の基準入力信号に基づいています。
- 高周波および他の振幅の入力信号に関しては図15を参照ください。
- 高周波および他の振幅の入力信号に関しては図13と図14を参照ください。
- $f_A = 9.08kHz$ 、 $f_B = 9.58kHz$ 、 $f_{SAMPLE} = 100KSPS$ 。仕様の説明の項を参照ください。

仕様は予告なしに変更することがあります。

デジタル仕様

(すべてのデバイス・タイプで $T_{min} \sim T_{max}$, $V_{CC} = +12V \pm 5\%$, $V_{EE} = -12V \pm 5\%$, $V_{DD} = +5V \pm 10\%$)

パラメータ	テスト条件	Min	Max	単位
ロジック入力				
V_{IH} 高レベル入力電圧		2.7	V_{DD}	V
V_{IL} 低レベル入力電圧		0	0.8	V
I_{IH} 高レベル入力電流	$V_{IN} = V_{DD}$	-10	+10	μA
I_{IL} 低レベル入力電流	$V_{IN} = 0V$	-10	+10	μA
C_{IN} 入力容量			10	pF
ロジック出力				
V_{OH} 高レベル出力電圧	$I_{OH} = 0.1mA$	4.0		V
	$I_{OH} = 0.5mA$	2.4		V
V_{OL} 低レベル出力電圧	$I_{OL} = 1.6mA$		0.4	V
I_{OZ} 高Zリーク電流	$V_{IN} = V_{DD}$	-10	+10	μA
C_{OZ} 高Z出力容量			10	pF

注

太字で示されている仕様は、すべてのデバイスに対して、0°C、+25°C、+70°C (J、Kグレード)；-40°C、+25°C、+85°C (A、Bグレード)；-55°C、+25°C、+125°C (S、Tグレード) の条件下での最悪の場合の電源電圧における最終的な電気的テストの結果です。これらのテスト結果は、最終的な品質の計算に用いられています。MinおよびMaxの仕様はすべて保証されていますが、太字の数値のみがテスト済みです。

仕様は予告なしに変更することがあります。

DC仕様

(特に指定のない限り、 $T_{min} \sim T_{max}$, $V_{CC} = +12V \pm 5\%$, $V_{EE} = -12V \pm 5\%$, $V_{DD} = +5V \pm 10\%$)

パラメータ	AD779J/A/S			AD779K/B/T			単位
	Min	Typ	Max	Min	Typ	Max	
温度範囲							
J、Kグレード	0		+70	0		+70	°C
A、Bグレード	-40		+85	-40		+85	°C
S、Tグレード	-55		+125	-55		+125	°C
精度							
分解能	14			14			ビット
積分非直線性 (INL)		±2			±1	±2	LSB
微分非直線性 (DNL)							ビット
ユニポーラ・ゼロ誤差 ¹ (@+25°C)	14			14			ビット
バイポーラ・ゼロ誤差 ¹ (@+25°C)		0.08			0.05	0.07	% FSR*
ゲイン誤差 ^{1,2} (@+25°C)		0.08			0.05	0.07	% FSR
温度ドリフト		0.12			0.09	0.11	% FSR
ユニポーラ・ゼロ ³							
J、Kグレード							
A、Bグレード		0.04			0.04	0.05	% FSR
S、Tグレード		0.05			0.05	0.07	% FSR
バイポーラ・ゼロ ³		0.09			0.09	0.10	% FSR
J、Kグレード							
A、Bグレード		0.02			0.02	0.04	% FSR
S、Tグレード		0.04			0.04	0.06	% FSR
ゲイン ³		0.08			0.08	0.09	% FSR
J、Kグレード							
A、Bグレード		0.09			0.09	0.11	% FSR
S、Tグレード		0.10			0.10	0.16	% FSR
ゲイン ⁴		0.20			0.20	0.25	% FSR
J、Kグレード							
A、Bグレード		0.04			0.04	0.05	% FSR
S、Tグレード		0.05			0.05	0.07	% FSR
J、Kグレード		0.09			0.09	0.10	% FSR
アナログ入力							
入力範囲							
ユニポーラ・モード	0		+10	0		+10	V
バイポーラ・モード	-5		+5	-5		+5	V
入力抵抗		10			10		MΩ
入力容量		10			10		pF
入力セトリング時間			1.5			1.5	μs
オーバーチャージ遅延時間		10			10		ns
オーバーチャージジッタ		150			150		ps
内部電圧リファレンス							
出力電圧 ⁵	4.98		5.02	4.98		5.02	V
外部負荷							
ユニポーラ・モード			+1.5			+1.5	mA
バイポーラ・モード			+0.5			+0.5	mA
電源							
電源変動除去比							
$V_{CC} = +12V \pm 5\%$		±6			±6		LSB
$V_{EE} = -12V \pm 5\%$		±6			±6		LSB
$V_{DD} = +5V \pm 10\%$		±6			±6		LSB
動作電流							
I_{CC}		18	20		18	20	mA
I_{EE}		25	34		25	34	mA
I_{DD}		8	12		8	12	mA
消費電力		560	745		560	745	mW

注

1. ゼロ調整可能。図5と図6を参照ください。
2. 内部電圧リファレンス誤差を含みます。
3. 内部電圧リファレンス・ドリフトを含みます。
4. 内部電圧リファレンス・ドリフトを除きます。
5. 最大外部負荷を適用。

★%FSR = フル・スケール・レンジのパーセント

太字で示されている仕様は、すべてのデバイスに対して、 T_{min} 、 25°C 、 T_{max} の条件下での最悪の場合の電源電圧における最終的な電気的テストの結果です。これらのテスト結果は、最終的な品質の計算に用いられます。MinおよびMaxの仕様はすべて保証されていますが、太字の数値のみがテスト済みです。

仕様は予告なしに変更することがあります。

タイミング仕様

(すべてのデバイス・タイプで $T_{min} \sim T_{max}$, $V_{CC} = +12V \pm 5\%$, $V_{EE} = -12V \pm 5\%$, $V_{DD} = +5V \pm 10\%$)

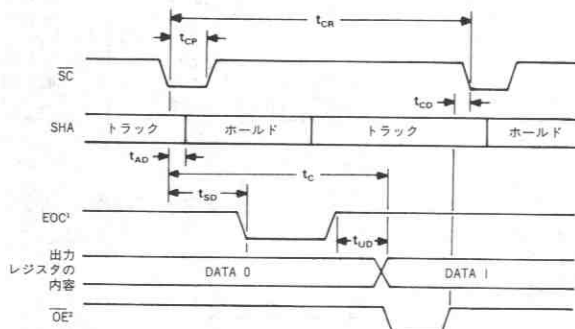
パラメータ	記号	Min	Max	単位
変換レート ¹	t_{CR}		10	μs
変換パルス幅	t_{CP}	195		ns
アパーチャ遅延時間	t_{AD}	5	20	ns
変換時間	t_C	5	8.5	μs
ステータス遅延時間	t_{SD}	0	400	ns
アクセス時間 ²	t_{BA}	0	100	ns
フロート遅延時間 ¹	t_{FD}	10	80	ns
アップデート遅延時間	t_{UD}	0	200	ns
OE遅延時間	t_{OE}	20		ns
リード・パルス幅	t_{RP}	100		ns
変換遅延時間	t_{CD}	400		ns

注

1. アクイジション時間を含みます。
2. OE/EOCENの立下がりエッジ (0.8V) から、データ・ライン/EOCが 2.0Vまたは 0.8Vを交差するまでの時間を測定。図4を参照ください。 $C_{OUT} = 100 pF$ です。
3. OE/EOCENの立下がりエッジ (2.0V) から、出力電圧が 0.5V変化するまでの時間を測定。図4を参照ください。 $C_{OUT} = 10 pF$ です。

太字で示されている仕様は、すべてのデバイスに対して、 T_{min} 、 $25^\circ C$ 、 T_{max} の条件下での最悪の場合の電源電圧における最終的な電気的テストの結果です。これらのテスト結果は、最終的な品質の計算に用いられます。MinおよびMaxの仕様はすべて保証されていますが、太字の数値のみがテスト済みです。

仕様は予告なしに変更することがあります。



注

1. EOCEN=LOWです。
2. 変換中は、データをイネーブルしないようにします。

図1. 変換のタイミング

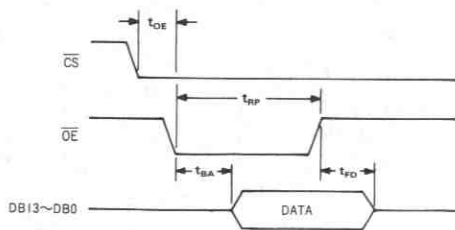


図2. 出力のタイミング

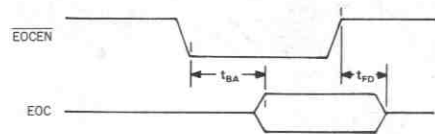


図3. EOCのタイミング

テスト	V_{CP}	C_{OUT}
ハイ・インピーダンスからロジックLOWまでのアクセス時間	5V	100pF
ロジックHIGHからハイ・インピーダンスまでのフロート時間	0V	10pF
ハイ・インピーダンスからロジックHIGHまでのアクセス時間	0V	100pF
ロジックLOWからハイ・インピーダンスまでのフロート時間	5V	10pF

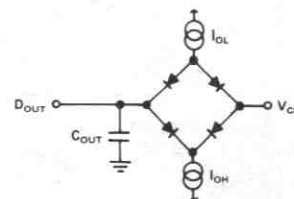


図4. バス・タイミング測定用負荷回路

変換の制御

変換が開始される前は、エンド・オブ・コンバート (EOC) は HIGH であり、サンプル・ホールドはトラック・モードにあります。CS の状態に拘わらず、SC を LOW にすることによって変換が開始されます。

変換が開始された後、サンプル・ホールドはホールド・モードになり、EOC は LOW となって、変換実行中であることを示します。変換の間に、サンプル・ホールドはトラック・モードに戻り、次のサンプルの収集を開始します。

トラック・モードでは、サンプル・ホールドは最大 $1.5\mu\text{s}$ 以内で $\pm 0.003\%$ (14ビット) に安定します。AD779 は、次の変換の $2\mu\text{s}$ 以上前にトラック・モードに戻るため、アキュイジション時間がスループット・レートに影響を与えることはありません。マルチ・チャンネルのシステムにおいては、最大限のスループット・レートを得るために、EOC が LOW になった時点で即時に入力チャンネルを切換えることができます。

変換が終わると、EOC は HIGH になり、 t_{UD} 後に変換結果が出力レジスタにロードされます。OE を LOW にすることにより、出力レジスタの内容を出力データ・ビット (DB13~DB0) に乗せることができます。OE が HIGH になってから次の SC 命令の発行までには t_{CD} の時間をおく必要があります。これによって内部論理の状態がリセットされ、次の変換におけるアパーチャ・ジッタを最小にします。

SC が LOW を維持している場合は、変換精度が劣化します。そのため、連続変換モードで動作させようとするときは、SC を LOW にしないでください。

エンド・オブ・コンバート

エンド・オブ・コンバート (EOC) はスリー・ステート出力であり、エンド・オブ・コンバート・イネーブル (EOCEN) によって動作が許可されます。

出力イネーブル操作

データ・ビット (DB13~DB0) はスリー・ステートの出力であり、チップ・セレクト (CS) とアウトプット・イネーブル (OE) によってイネーブルされます。CS は、OE が LOW になる t_{OE} 前に LOW とする必要があります。OE は、出力レジスタを更新するためにトグルされなければなりません。出力は14ビット長であり、単一サイクルでリードされます。

ユニポーラ・モード (BIPOFF を AGND に接続) では、出力のコーディングはストレート・バイナリです。バイポーラ・モード (BIPOFF を REF_{OUT} に接続) では、出力コーディングは2の補数形式のバイナリです。

電源投入

電源投入後に内部論理をリセットするために、SC 命令1つから成る変換シーケンスを1回実行する必要があります。

14ビット・モードの符号化フォーマット (1LSB=0.61mV)

ユニポーラ・コーディング (ストレート・バイナリ)		バイポーラ・コーディング (2の補数)	
V _{IN}	出力コード	V _{IN}	出力コード
0.00000 V	000...0	-5.00000 V	100...0
5.00000 V	100...0	-0.00061 V	111...1
9.99939 V	111...1	0.00000 V	000...0
		+2.50000 V	010...0
		+4.99939 V	011...1

変換真理値表

モード	入力				出力		状態
	SC	EOCEN	CS	OE	EOC	DB13..DB0	
変換開始	1 0	X X	X X	X X			無変換 変換開始 連続変換 (お勧めできません)
変換状態	X X X	0 0 1	X X X	X X X	0 1 高Z		変換中 変換中以外 どちらか
データ・アクセス	X X X	X X X	X 1 0	1 X 0		高Z 高Z MSB..LSB	スリー・ステート スリー・ステート データ出力

注

1=HIGH電圧レベル

0=LOW電圧レベル

X=無関係

⚡=HIGHからLOWへの立下がり。t_{CP}間LOWでなければならない。

使用上の説明

入力の接続と校正

AD779の入力インピーダンスは高い(10M Ω)ため、高インピーダンスのソースや、チャンネル間ミスマッチが最大300 Ω のマルチプレクサと、容易にインタフェースできます。10V p-pのフルスケール入力レンジは、信号電圧の大部分を、ADCの精度を劣化させるような分圧回路を要さず受入れます。

AD779は、オフセット、ゲインおよび直線性誤差を最小限にするように製造過程で調整されています。ユニポーラ・モードにおいては、必要な唯一の外部部品は、50 Ω \pm 1%の抵抗だけです。バイポーラでは2つの抵抗が必要です。オフセットおよびゲインが特に重要でない場合は、これらの部品さえも必要ありません。

一部のアプリケーションでは、オフセットとゲインの誤差をより正確に除去する必要があります。以下の節に、このようなさまざまな状況に対する補正手順を説明します。

バイポーラ・レンジの入力

バイポーラ・モード用の接続を図5に示します。このモードでは、データの出力コーディングは2の補数のバイナリです。この回路で約 \pm 25mVのオフセット調整レンジ(\pm 40LSB)と \pm 0.5%のゲイン調整レンジ(\pm 80LSB)を可能とします。

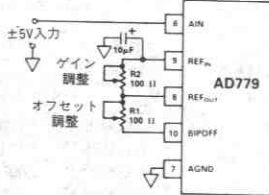


図5.ゲイン・トリムとオフセット・トリムのバイポーラ入力接続

AD779の精度がアプリケーションにとって充分であるなら、トリムポットのどちらか、または両方を、50 Ω \pm 1%の固定抵抗器に置換えることができます。これらのピンをショートさせたときには、オフセットとゲインの誤差が約80LSB増えます。

バイポーラ・ゼロをその公称値へとトリムするには、ミッドレンジ(\pm 5Vレンジの場合で-0.305mV)から1/2LSB下の信号を印加し、メジャー・キャリー遷移(111111111111から000000000000へ)が検出されるまでR1を調節します。ゲインをトリムするには、フルスケール(\pm 5Vレンジで+4.9991V)から1/2LSB下の信号を印加し、最終正遷移(011111111110から011111111111へ)が起きるようにR2を調節します。これらのトリミングは互いに相関しているため、収束させるためには、何度かの繰返しが必要なおもあります。

同じ回路を使って、バイポーラ・ゼロ・トリム(ミッドスケール誤差)の代わりにバイポーラ・オフセット・トリム(マイナス・フルスケール誤差)を行なうことにより、ワンパスの校正ができます。最初に、マイナス・フルスケール(\pm 5Vレンジで-4.9997V)から1/2LSB上の信号を印加し、マイナス・フルスケール遷移(100000000000から100000000001へ)が検出されるまでR1を調節します。次に上に述べたようにゲイン誤差調整を行います。

ユニポーラ・レンジの入力

オフセットとゲインの誤差は図6のような回路構成で調整できます。この回路で約 \pm 25mV(\pm 40LSB)のオフセット調整レンジ

と \pm 0.5%(\pm 80LSB)のゲイン調整が可能です。

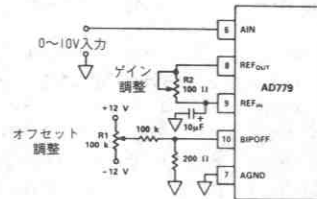


図6.ゲイン・トリムとオフセット・トリムのユニポーラ入力接続

公称では、最初の遷移(000000000000から000000000001へ)は+1/2LSBの入力レベル(10Vレンジに対してグラウンドから0.305mV)で起きなければなりません。ユニポーラ・ゼロをこの公称値へとトリムするには、AINに0.305mVの信号を印加し、最初の遷移が検出されるまでR1を調整します。

ゲインのトリムはR2を調整します。公称値が必要なら、フルスケール(10Vレンジに対して9.9997V)より1/2LSB下の信号を印加し、最終遷移(111111111110から111111111111へ)が検出されるまでR2を調整します。

オフセットの調整が必要なければ、BIPOFFは必ずAGNDに直接接続してください。ゲイン調整が必要なければ、R2を50 Ω \pm 1%の金属被膜抵抗に置換えてください。REF_OUTをREF_INに直接接続した場合、ゲイン誤差は約1%増えます。

リファレンスのデカップリング

REF_IN(ピン9)とグラウンドの間に10 μ Fのタンタル・コンデンサを接続することをお勧めします。これは電圧リファレンスからの広帯域ノイズをフィルタし、S/N+D比を改善する効果があります。

基板のレイアウト

高分解能のデータ・コンバータを設計する際には基板のレイアウトに細心の注意が必要です。トレース・インピーダンスが重要な問題です。0.5 Ω のトレース中の1.22mAの電流で0.6mVの電圧低下が生じ、これは10Vフルスケール・スパンの14ビット・レベルで1LSBに相当します。グラウンド・ドロップに加え、とくに高精度のアナログ信号とデジタル信号が同一の基板上に存在するときは、誘導性と容量性のカプリングを考慮に入れなければなりません。最後に電源も、ノイズをフィルタするためにデカップリングする必要があります。

アナログ信号とデジタル信号が同じ経路を共有してはいけません。各信号はその近所に適切なアナログまたはデジタル帰還路がなければなりません。この方法を使えば信号ループは小さな領域を占め、ノイズの誘導性カプリングを最小にすることができます。低インピーダンスの信号経路を確保するには、広いプリント基板のトラック、太いゲージ・ワイヤ、そしてグラウンド・プレーンの採用を強くお勧めします。アナログとデジタルでグラウンド・プレーンを別にし、接続点を1箇所にしてグラウンド・ループを最小化することも重要です。アナログ信号とデジタル信号の配線はできるだけ離し、直角に交差させなければなりません。

AD779にはユーザのレイアウトを支援する機能がいくつかあります。アナログ・ピン(V_{EE}, AIN, AGND, REF_OUT, REF_IN, BIPOFF, V_{CC})は隣接していて、アナログをデジタル信号から隔離しやすくなっています。さらにAINの10M Ω

の入カインピーダンスにより、入力トレースのインピーダンス誤差を最小にできます。最後に、細心の回路設計によって、グラウンド電流が最小化されています。AGNDを流れる電流は $200\mu\text{A}$ で、コードによる変動はありません。DGNDを流れる電流はDB13-DB0とEOCの帰還電流に支配されます。

電源デカップリング

AD779の電源は十分にフィルタされ、良好に整流された高周波ノイズのないものでなければなりません。スイッチング電源は、アナログ・システムにノイズを導入する可能性のあるスパイクを発生する傾向があるので、お勧めできません。

デカップリング用のコンデンサは、電源ピンにできるだけ近くに配置します。 $10\mu\text{F}$ のタンタル・コンデンサと $0.1\mu\text{F}$ のセラミック・コンデンサを並列につないだものが、デカップリング用として適しています。

コンデンサのリード線と電源装置、ピンとの間のトレースを最短にするよう努めるべきです。回路レイアウトでは、AD779と関連するアナログ入力回路および接続回路を、ロジック回路からできるだけ離すよう、努めてください。AD779の周囲にアナログ・グラウンド・プレーンを配置することによって、大きなスイッチング・グラウンド電流を隔離することができます。これらの理由から、ワイヤラップによる回路構成はお勧めできません。細心設計のプリント回路をお勧めします。

グラウンド接続

1つのAD779に対してアナログとデジタルで別々のグラウンド・プレーンを使う場合、アナログ・グラウンド・プレーンはAGNDに、デジタル・グラウンド・プレーンはDGNDに接続し、リード線はできるだけ短くします。次にAGNDとDGNDをAD779で接続します。複数のAD779を使う場合、あるいはAD779が他の部品とアナログ電源を共有する場合は、アナログとデジタルの帰還を各チップにおいてではなく、電源のところの1箇所ですべて接続します。これはグラウンド・ループが大きくなることを防ぎ、デジタル電流がアナログ・システムに流れることを防ぎます。

外部電圧リファレンスの使用方法

AD779は、オンチップ電圧リファレンスを特徴としています。温度変化に対するゲイン精度を向上させるために、オンチップ・リファレンスの代わりに高性能の外部電圧リファレンスを使用することができます。

AD586およびAD588は高精度コンバータと共に使用するのに適している定評のあるリファレンスです。AD586は低コストのリファレンスであり、埋め込みツェナ構成を使用して低ノイズおよび低ドリフトを提供します。AD588は高性能のリファレンスであり、レーザ・トリムされた薄膜抵抗とともに、イオン打ち込みの埋め込みツェナ・ダイオードを使用して低オフセットと低ドリフトを実現しています。図7に、バイポーラ入力モードにおいてAD779とAD586を使用した回路を示します。0から+70°Cの範囲では、AD586のLグレードは、25°Cにおける初期値から 2.25mV 以下の出力変化を示します。REF IN (ピン9)は、その入力をファクタ2でスケールリングします。したがって、この変化は実際上 4.5mV となります。AD779に適用した場合は、総ゲイン・ドリフトが0.09% FSRとなります。これは、オンチップ・リファレンスの0.11%

FSRを上回る性能です。ノイズ・リダクション・コンデンサ、 C_N が示されています。このコンデンサは、AD586出力の広帯域ノイズを低減します。これによって、AD779のACおよびDC性能が全体的に最適化されます。

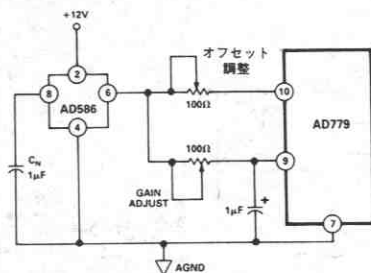


図7. ゲイン・トリムおよびオフセット・トリムによるバイポーラ入力

図8に、AD588リファレンスを使用したユニポーラ入力モードにおけるAD779を示します。AD588出力は、0から70°Cの範囲において25°Cの初期値から 0.65mV の高精度を有しています。これは、AD779において0.06% FSRのトータル・ゲイン・ドリフトとなり、オンチップ・リファレンスの性能0.11% FSRを遙かに上回る性能です。ピン4、6および7におけるノイズ・リダクション・ネットワークが示されています。 $1\mu\text{F}$ 抵抗はAD588ツェナおよびアンプ・セルの内部抵抗、および外部抵抗とともにロー・パス・フィルタを形成しています。これによって、AD588の高周波 (1MHz まで)ノイズを除去してAD779に最適なACおよびDC性能を実現します。

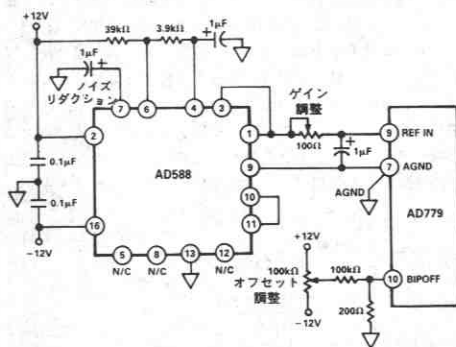


図8. ゲイン・トリムおよびオフセット・トリムによるユニポーラ入力

AD779とマイクロプロセッサとのインタフェース

AD779は汎用DSPマイクロプロセッサのバスとダイレクトにインタフェースできるI/O機能をもっています。非同相変換の制御機能により、わずかな外付けハードウェアによって、完全なフレキシビリティと制御を実現できます。

以下にAD779のインタフェースの代表的な構成を示します。

AD779 と TMS320C25

図9では、AD779がTMS320C25のI/O空間にマップされています。AD779の変換はポート1へのOUT命令で開始されます。EOCのステータスと変換結果はポート1へのIN命令で読み込まれます。プロセサのREADY入力に対して、 \overline{IS} 、ポート1、MSCから信号を発生することにより、ウェイト・スタートが1つ挿入されます。この回路構成では、プロセサの20MHz₂のクロック速度がサポートされており、AD779の各リード命令の後にNOP命令を1つ置くことによって、40MHz₂動作も可能となります。

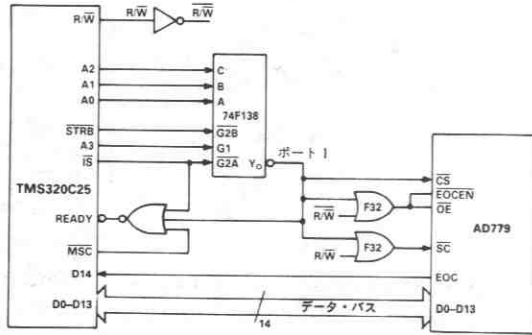


図9. AD779とTMS320C25のインタフェース

AD779と80186

図10は、AD779と80186マイクロプロセサとのインタフェースを示しています。このインタフェースでは、80186に内蔵されているDMAコントローラにより、AD779の出力をRAMベースの任意の長さのFIFOバッファに、マイクロプロセサを介することなく転送します。

このアプリケーションの構成では、AD779は非同期モードで動作します。この場合、変換はマイクロプロセサのクロックとは独立の外部トリガ・ソースによって起動されます。毎回の変換の後で、AD779のEOC信号がチャンネル1(DRQ1)に対するDMA要求となります。これに続くDMA READによって割込みラッチがリセットされます。システム設計者はこのDMAチャンネルに十分な優先権を与えることによって、次の変換が終了する前に、確実にDMA要求がサービスされるようにしなければなりません。この回路構成では6MHz₂と8MHz₂の80186プロセサを使用できます。

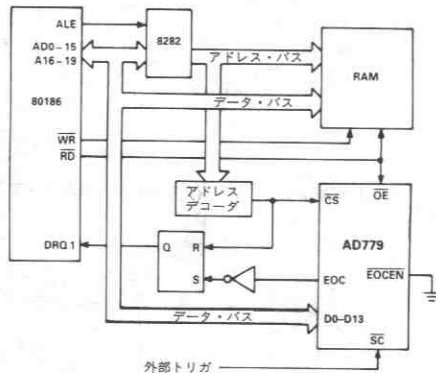


図10. AD779と80186のDMAインタフェース

AD779とZ80

AD779はZ80プロセサのI/O空間またはメモリマップI/Oとインタフェースできます。図11はI/O空間の場合の例であり、ここではAD779が複数のポート・アドレスを専有し、EOCステータスとデータ・リードを別々にポーリングできるようにしています。

Z80で便利なのは、I/O操作の間に1つのウェイトが自動的に挿入されることです。これでAD779はクロックが最大8MHz₂のZ80プロセサとインタフェースできます。

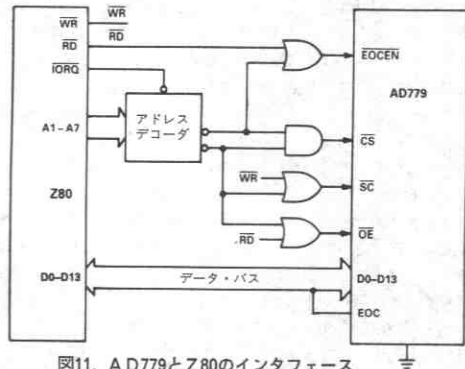


図11. AD779とZ80のインタフェース

AD779とADSP-2100A

図12は、AD779とADSP-2100Aとのインタフェースを示しています。このデジタル・シグナル・プロセサは1.25MHz₂のクロック周波数および1サイクル80nsの命令実行サイクルで動作し、2つのハードウェア・ウェイト・スタートによりAD779のデータ・メモリとのインタフェースをサポートします。

コンバータは、サンプリング・クロックによって非同期に動作します。AD779のEOC出力が毎回の変換終了時点でアサートされ、割込みが発生します。ADSP-2100Aはこの割込みに反応してただちに、DMAバス上にアドレスを供給することにより、データ・メモリのリードを開始します。デコードされたアドレスが、コンバータ用のOEを生成します。またOEは他のロジックやラッチとともにDMACKを生成し、ADSP-2100Aを2サイクルのウェイト・スタート状態にします。したがってリード動作には、開始から終了まで3サイクル(240ns)かかることになります。

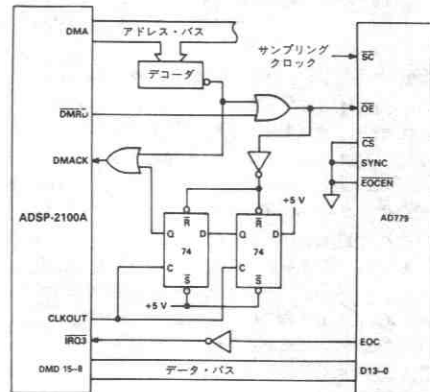


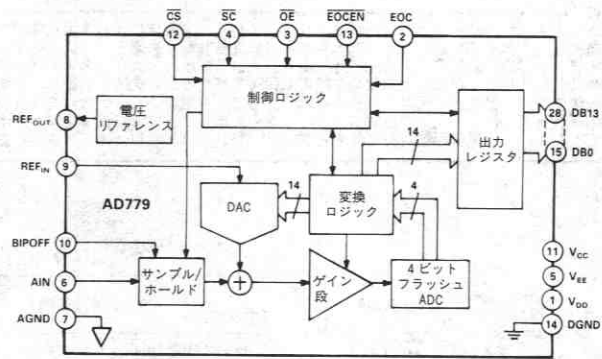
図12. AD779とADSP-2100Aのインタフェース

AD779のピン機能説明

記号	ピン番号	タイプ	名前と機能
AGND	7	P	アナログ・グラウンド。AIN専用のグラウンド・リターン。
AIN	6	AI	アナログ信号入力。
BIPOFF	10	AI	バイポーラ・オフセット。+10V入力のユニポーラ・モードでストレート・バイナリ出力コーディングに対してはAGNDに接続。±5V入力のバイポーラ・モードで2の補数バイナリ出力コーディングに対してはREF _{OUT} に接続。
\overline{CS}	12	DI	チップセレクト。LOWでアクティブ。
DGND	14	P	デジタル・グラウンド。
DB13-DB0	28-15	DO	データ・ビット。これらのピンが全14ビットを1つの14ビット・パラレルで出力します。HIGHでアクティブ。
EOC	2	DO	エンド・オブ・コンバート。変換がスタートするとEOCはLOWになり、変換が終了するとHIGHになります。EOCはスリーステート出力です。EOCのゲーティングに関しては、EOCENを参照ください。
EOCEN	13	DI	エンド・オブ・コンバート・イネーブル。EOCピンをイネーブルします。LOWでアクティブ。
\overline{OE}	3	DI	アウトプット・イネーブル。 \overline{OE} の立下がりです。データ・ビットがイネーブルとなります。LOWでアクティブです。
REF _{IN}	9	AI	リファレンス入力。+5Vの入力が10Vのフルスケール・レンジを与えます。
REF _{OUT}	8	AO	+5Vのリファレンス出力。通常の動作ではREF _{IN} に接続されます。
SC	4	DI	スタート・コンバート。LOWでアクティブ。
V _{CC}	11	P	+12Vアナログ電源。
V _{EE}	5	P	-12Vアナログ電源。
V _{DD}	1	P	+5Vデジタル電源。

タイプ：AI=アナログ入力。
 AO=アナログ出力。
 DI=デジタル入力
 DO=デジタル出力。DOピンはすべてスリーステートのドライバです。
 P=電源。

ピン配置



AD779 機能ブロック図

絶対最大定格*

仕様	基準	Min	Max	単位
V _{CC}	AGND	-0.3	+18	V
V _{EE}	AGND	-18	+0.3	V
V _{CC}	V _{EE}	-0.3	+26.4	V
V _{DD}	DGND	0	+7	V
AGND	DGND	-1	+1	V
AIN, REF _{IN}	AGND	V _{EE}	V _{CC}	V
デジタル入力	DGND	-0.5	+7	V
デジタル出力	DGND	-0.5	V _{DD} + 0.3	V
最大接合温度			175	°C

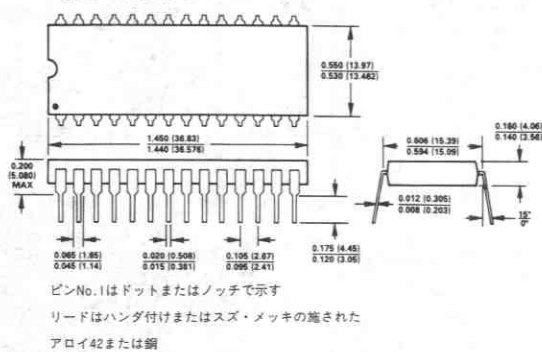
仕様	基準	Min	Max	単位
動作温度				
J, Kグレード		0	+70	°C
A, Bグレード		-40	+85	°C
S, Tグレード		-55	+125	°C
保存温度		-65	+150	°C
リード温度 (最大10秒)			+300	°C

*これらの値を超えるストレスはデバイスに永久的な損傷を与えることがあります。これらはストレスに関する定格を示すものであり、動作条件の定格を含んではおりません。これらの値での長期にわたる使用は、デバイスの信頼性に影響を与えることがあります。

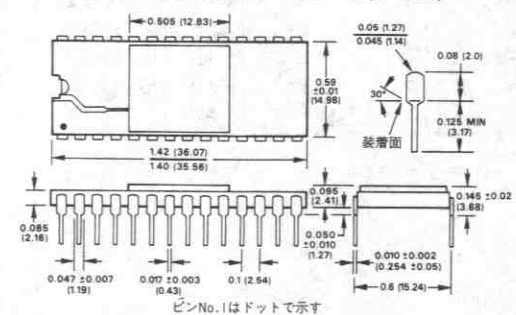
外形サイズ

サイズはインチと (mm) で示しています。

28ピン・プラスチックDIPパッケージ (N-28A)



28ピン・セラミックDIPパッケージ (D-28A)



静電気感度

AD779には、大きな分散ダイオードとポリシリコン・シリーズ抵抗による入力保護回路があり、高エネルギーの静電気放電 (人体モデル) と高速な低エネルギーの静電気放電 (帯電デバイス・モデル) の両方を消散します。MIL-STD-883 Cの方式3015.2により、AD779はカテゴリ1のデバイスに分類されています。機能障害や性能劣化を防ぐためには、適切な静電気保護を講ずることを強くお勧めします。4000ボルトもの高電圧が人体や計測機器などに帯電し、検出されことなく放電することがあります。不使用のデバイスは導電性の緩衝材またはシャントに格納し、デバイスを取り出すときには緩衝材をソケットに対してディスチャージしてください。静電気保護対策に関する詳細は、弊社の「ESDマニュアル」を参照してください。



オーダ・ガイド¹

モデル ²	パッケージ (すべて28ピン)	温度範囲 ²	テストおよび規定仕様
AD779JN	プラスチックDIP	0 ~ +70°C	AC
AD779KN	プラスチックDIP	0 ~ +70°C	AC + DC
AD779JD	セラミックDIP	0 ~ +70°C	AC
AD779KD	セラミックDIP	0 ~ +70°C	AC + DC

注

- 8ビット・バスへの2サイクル・リード (8+16ビット) インタフェースに関しては、AD679のデータ・シートを参照ください。
- 産業用 (A, B) グレードおよび軍用 (S, T) グレードについては、お問い合わせください。

ナイキスト周波数

ナイキストのサンプリング定理によれば、コンバータの“ナイキスト周波数”とは、コンバータのサンプリング周波数の半分である入力周波数のことです。

信号/ノイズ+歪み比 (S/N+D)

S/N+Dは入力信号のフルスケールのrms値と、高調波を含むDC成分を除いた、ナイキスト周波数以下の他のすべてのスペクトル成分のrms値との比です。

全高調波歪み (THD)

THDは入力信号の最初の6つの高調波成分の和のrms値と、フルスケール入力信号のrms値との比であり、パーセンテージまたはデシベルで表わします。ナイキスト周波数以上の入力信号や高調波に関しては、エアリング成分が使われます。

ピーク・スプリアスまたはピーク高調波成分

ピーク・スプリアスまたはピーク高調波成分は、入力信号とDC成分以外の最大のスペクトル成分のことです。この値はフルスケール入力信号のrms値との比としてデシベルで表わします。

相互変調歪み (IMD)

2つの周波数 f_a と f_b の正弦波入力に対して、非直線性をもつデバイスはどれでも、歪み積をつくり出します。 m, n を0, 1, 2, 3...とすると、歪みのオーダーは $(m+n)$ であり、周波数の和と差は $m f_a \pm n f_b$ です。相互変調の項は m と n がゼロでない場合に存在します。たとえば、2次の項は (f_a+f_b) と (f_a-f_b) であり、3次の項は $(2 f_a+f_b)$ と $(2 f_a-f_b)$ 、 $(f_a+2 f_b)$ および $(f_a-2 f_b)$ です。IMD積は入力信号の計測値のrms値の和と、歪みの項のrms値との比として、デシベルで表わします。コンバータに適用される2つの周波数は等しい大きさであり、それらの和のピーク値はフルスケール(0.44V_{pp})から-0.5dBです。IMD積は0dBの入力信号に正規化されます。

帯域幅

フルパワー帯域幅は、再構成された基本周波数成分の大きさがフルスケール入力に対して3dB減衰する入力周波数です。

フルリニア帯域幅は、サンプル・ホールド・アンプ(SHA)のスルー・レートの限界に達するような入力周波数です。このときに、再構成される基本周波数成分の劣化レベルは-0.1dB未満です。この周波数を超えると、サンプリングされた入力信号の歪みが急激に大きくなります。

AD779は入力帯域幅を最適化するよう設計されており、コンバータのナイキスト周波数を大きく超えるような入力信号周波数は、アンダーサンプリングします。

アパーチャ遅延時間

アパーチャ遅延時間はSHAの性能の目安であり、スタート・コンパート(SC)の立下がりエッジから、入力信号が変換に向けて確定するまでの時間です。

アパーチャ・ジッタ

アパーチャ・ジッタは、サンプルごとのアパーチャ遅延時間の変動であり、A/Dコンバータへの入力上にノイズとして現われます。

入力セトリング時間

セトリング時間はSHAが高速にスルーする信号に追従できる能力を示します。これはフルスケール・ステップ入力後のトラック・モードで、変換の保証仕様精度が達成されるまでにかかる最大時間として定義されています。

微分非直線性 (DNL)

理想的なADCではコードの遷移1LSBごとです。微分非直線性は、この理想値からの偏差です。これはしばしば、ノーマスコード(NMC)が保証される分解能に関して規定されます。

積分非直線性 (INL)

リニアなADCにおける理想的な伝達関数は、「ゼロ」と「フル・スケール」の間に引かれた直線です。「ゼロ」として使用されるポイント、最初のコード遷移の1/2LSB前で発生します。「フル・スケール」は、最後のコード遷移の11/2LSB後のレベルとして定義されます。積分直線性誤差は、直線からのコードの最大偏差です。それぞれのコードの偏差はそのコードの中央から測定されます。

直線性誤差はユーザでは調整できないことに注意してください。

電源変動除去比

電源の変動は、フル・スケール遷移に影響を及ぼしますが、コンバータの直線性には影響しません。電源変動除去比は、公称値からの電源電圧が変化したことによって起こるフル・スケール遷移のポイントにおける最大変化です。

温度ドリフト

これは、初期値(@+25°C)から T_{min} または T_{max} の値へ変わるパラメータにおける最大の変化です。

ユニポーラ・ゼロ誤差

ユニポーラ・モードでは、最初の遷移はアナログ・グラウンドから1/2LSB上のレベルで起きなければなりません。ユニポーラ・ゼロ誤差は、実際の遷移のこの点からの偏差です。この誤差は、入力の接続と校正の節で述べるように、調整可能です。

バイポーラ・ゼロ誤差

バイポーラ・モードでは、メジャー・キャリー遷移(11 1111 1111 1111 から00 0000 0000 0000 への遷移)は、アナログ・グラウンドから1/2LSB下のアナログ値で起きなければなりません。バイポーラ・ゼロ誤差は実際の遷移のこの点からの偏差です。この誤差は、入力の接続と校正の節で述べるように、調整可能です。

ゲイン誤差

最後の遷移は公称フルスケール(0-10Vレンジに対して9.9991ボルト、±5Vレンジに対して4.9991ボルト)から1/2LSB下のアナログ値で起きなければなりません。ゲイン誤差は、最後の遷移における実際のレベルと、ゼロ誤差を取去った理想的なレベルとの偏差です。この誤差は、入力の接続と校正の節で述べるように、調整可能です。

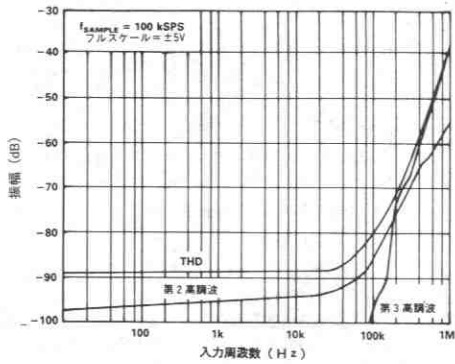


図13 入力周波数と高調波歪みの関係 (-0.5dB入力)

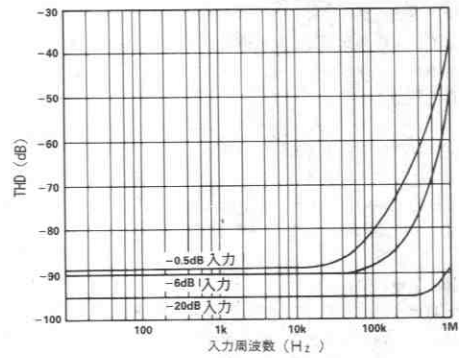


図14 入力周波数およびそのレベルと全高調波歪みの関係

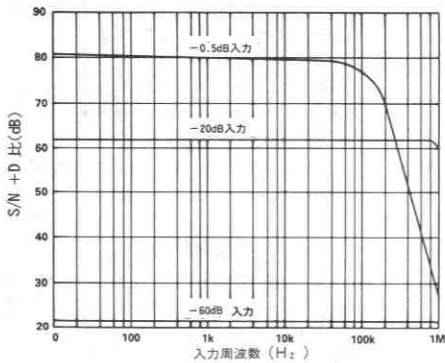


図15. 入力周波数およびそのレベルとS/N+Dの関係

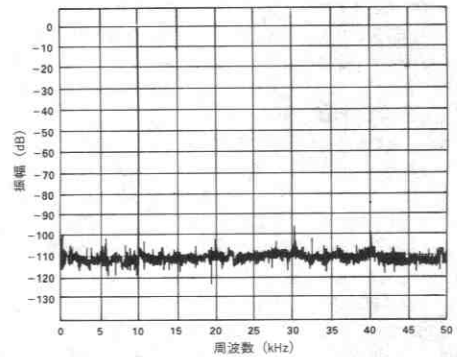


図16 100 KSPS時の5プロット平均2048ポイントFFT ($f_{IN}=10.009$ kHz)

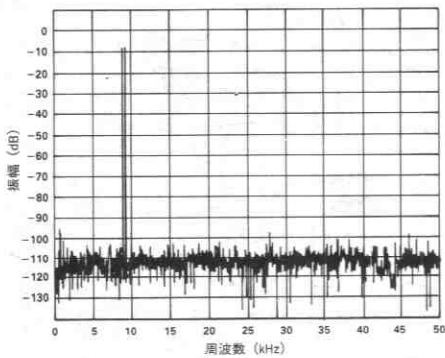


図17. 100KSPS時のIMD非平均プロット $\omega f_{IN} = 9.08$ kHz (f_a), 9.58 kHz (f_b)

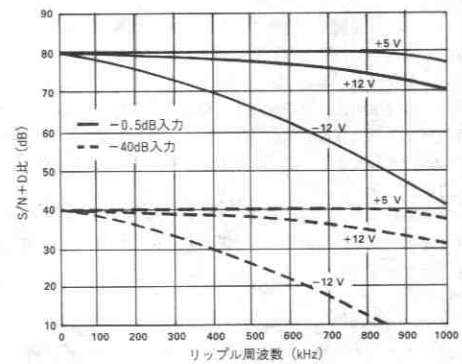


図18. 電源変動除去比 ($f_{IN}=10$ kHz, $f_{SAMPLE}=100$ KSPS, $V_{RIPPLE}=0.1$ Vp-p)

特長

- リファレンスおよびクロックを内蔵した16ビットA/Dコンバータ
- 動作温度範囲で $\pm 0.003\%$ の最大非直線性を保証
- MIL-STD-883スクリーニング製品を用意
- 高速変換: $17\mu\text{s}$ max (16ビット)
- ショート・サイクル機能
- パラレルおよびシリアル出力
- 低消費電力: 800mW max
- 業界標準のピン配置
- 軍用温度範囲で仕様を規定

概要

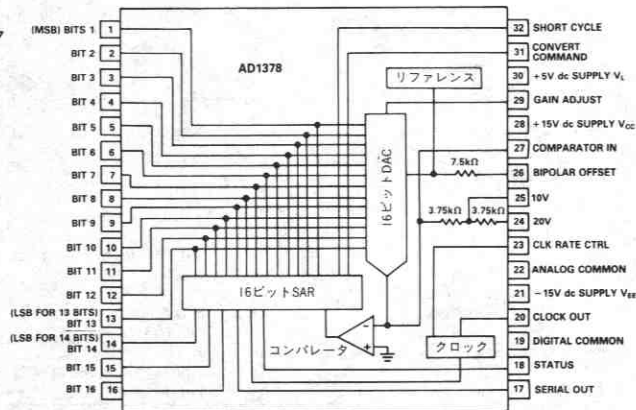
AD1378は16ビット分解能のハイブリッドA/Dコンバータで、リファレンス、クロック、レーザ・トリミングされた薄膜部品を内蔵しています。パッケージはコンパクトな32ピン・セラミックDIPです。薄膜スケール抵抗の使用によって、アナログ入力レンジを $\pm 2.5\text{V}$ 、 $\pm 5\text{V}$ 、 $\pm 10\text{V}$ 、 $0\sim+5\text{V}$ 、 $0\sim+10\text{V}$ 、 $0\sim+20\text{V}$ とすることが可能です。

このデバイスの最も重要な性能特性は、FSRの $\pm 0.003\%$ maxの直線性誤差と14ビットの場合で $15\mu\text{s}$ maxの変換時間です。この性能は、先進の設計と独自のモノリシックD/Aコンバータ・チップの使用で実現しています。レーザ・トリミングされた薄膜抵抗の使用によって、直線性と広い温度範囲でのノーマス・コードを保証しています。

AD1378はパラレルおよびシリアル両形式でデータを出力し、対応するクロックおよびステータス出力も同時に供給されます。デジタル入出力はすべてTTLコンパチブルです。

応用

AD1378は従来より広い温度範囲で14ビットの精度を必要とするアプリケーションに最適なデバイスです。代表的なアプリケーションとしては、医療および分析計装、産業用ロボット用高精度測定、自動試験装置 (ATE)、マルチチャネル・データ収集システム、サーボ制御システムおよび最小のスペースで優れた安定性と広いダイナミック・レンジを必要とするあらゆる応用があげられます。


AD1378機能ブロック図
製品ハイライト

1. AD1378は16ビット分解能を $\pm 0.003\%$ 以下 (25°C) (Sグレードの場合は $\pm 0.006\%$)の最大直線性誤差で実現します。
2. 変換時間は、ショート・サイクル機能により、14ビットの場合 $14\mu\text{s}$ typ、16ビットの場合 $16\mu\text{s}$ に設定できます。
3. AD1378の出力は2つのバイナリ・コードが可能です。ユニポーラ入力電圧レンジではコンプリメンタリ・ストレート・バイナリ (CSB) そしてバイポーラ入力レンジの場合はコンプリメンタリ・オフセット・バイナリ (COB)です。ピン1 (MSB)を反転することにより、コンプリメンタリ2の補数(CTC)コードが得られます。
4. このハイブリッド設計に使用されている独自のチップにより、広い温度範囲での優れた安定性が実現され、チップ数が少ないため高い信頼性が実現されています。
5. AD1378はリファレンスおよびクロックを内蔵し、また外部クロック調整ピンとシリアル出力を備えています。

仕様

(特に指定のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $+5\text{V}$ における代表値)

モデル	AD1378SD	AD1378TD	単位
分解能	16 (最大)	*	ビット
アナログ入力			
電圧レンジ			
バイポーラ	$\pm 2.5, \pm 5, \pm 10$	*	V
ユニポーラ	$0 \sim +5, 0 \sim +10, 0 \sim +20$	*	V
インピーダンス (直接入力)			
$0 \sim +5\text{V}, \pm 2.5\text{V}$	1.88	*	k Ω
$0 \sim +10\text{V}, \pm 5.0\text{V}$	3.75	*	k Ω
$0 \sim +20\text{V}, \pm 10\text{V}$	7.50	*	k Ω
デジタル入力 ¹			
変換コマンド	50ns (最小)の正パルスの立下りエッジで変換開始		
ロジック・ローディング	1	*	LS TTL負荷
伝達特性 ²			
精度			
ゲイン誤差	$\pm 0.05^3$ (± 0.1 max)	*	%
オフセット誤差			
ユニポーラ	$\pm 0.05^3$ (± 0.1 max)	*	% FSR ⁴
バイポーラ	$\pm 0.05^3$ (± 0.2 max)	*	% FSR
直線性誤差 (最大)	± 0.006	± 0.003	% FSR
固有量子化誤差	$\pm 1/2$	*	LSB
微分直線性誤差	± 0.003	*	% FSR
電源感度			
$\pm 15\text{V dc}$ ($\pm 0.75\text{V}$)	0.001 (0.003 max)	*	% FSR/% ΔV_S
$+5\text{V dc}$ ($\pm 0.25\text{V}$)	0.001 (0.005 max)	*	% FSR/% ΔV_S
変換時間 ⁵			
14ビット	14 (最大15)	*	μs
16ビット	16 (最大17)	*	μs
ウォームアップ時間	1分	*	分
ドリフト			
ゲイン	± 15 (max)	± 5 (± 15 max)	ppm/ $^\circ\text{C}$
オフセット			
ユニポーラ	± 2 (± 4 max)	± 2 (± 4 max)	ppm FSR/ $^\circ\text{C}$
バイポーラ	± 10 (max)	± 3 (± 10 max)	ppm FSR/ $^\circ\text{C}$
直線性	± 2 (3 max)	± 0.3 (2 max)	ppm FSR/ $^\circ\text{C}$
ノームス・コードを保証する温度範囲	$-55 \sim +125$ (13ビット)	$-55 \sim +125$ (14ビット)	$^\circ\text{C}$
デジタル出力 ¹			
(コードはすべてコンプリメンタリ)			
パラレル/シリアル			
出力コード ⁶			
ユニポーラ	CSB	*	
バイポーラ	COB, CTC ⁷	*	
出力駆動	5	*	LS TTL負荷
ステータス	変換中ロジック"1"	*	
ステータス出力駆動	5 (最大)	*	LS TTL負荷
内部クロック ⁸	5 (最大)	*	LS TTL負荷
クロック出力駆動	1040	*	kHz
電源			
消費電力	645 (最大 800)	*	mW
定格アナログ電圧	$\pm 15 \pm 0.75$ (max)	*	Vdc
定格デジタル電圧	$+5 \pm 0.25$ (max)	*	Vdc
供給電流、 $+15\text{V dc}$	$+25$ (max)	*	mA
供給電流、 -15V dc	-40 (max)	*	mA
供給電流、 $+5\text{V dc}$	$+25$ (max)	*	mA
温度範囲			
仕様	$-55 \sim +125$	*	$^\circ\text{C}$
保管	$-65 \sim +150$	*	$^\circ\text{C}$

注

- 入力に対しては、ロジック"0" = 最大0.8V、ロジック"1" = 最小2.0V。デジタル出力の場合、ロジック"0" = 最大+0.4V、ロジック"1" = 最小2.7V。
- $\pm 10\text{V}$ および $0 \sim +10\text{V}$ レンジで試験
- ゼロに調整可能。
- フルスケール・レンジ
- 変換時間は、分解能を低くして「ショート・サイクル」機能により短くすることができます。
- CSB—コンプリメンタリ・ストレート・バイナリ。COB—コンプリメンタリ・オフセット・バイナリ。CTC—コンプリメンタリ2の補数
- CTCのコードはMSB (ピン1) を反転することにより得られます。
- ピン23のクロック・レート・コントロールはデジタル・グラウンドに接続。

*仕様はAD1378SDと同じです。

仕様は予告なしに変更することがあります。

AD1378

絶対最大定格*

電源電圧	±18V
ロジック電源電圧	+7V
アナログ入力 (ピン24と25)	±25V
デジタル入力	+5.5V
接合温度	+175°C
保管温度	-65 ~ +150°C

リード温度 (ハンダ付け、10秒).....+300°C

* 「絶対最大定格」に示す値を超えるストレスは、デバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスを絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

注意

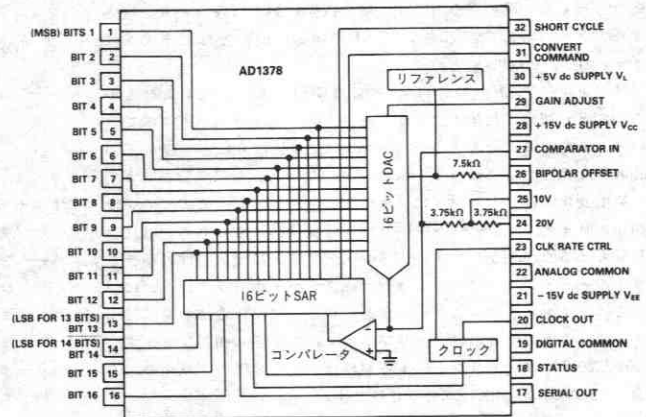
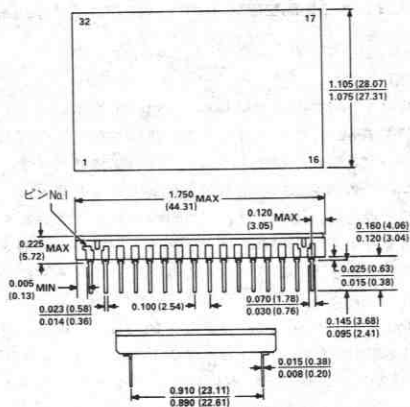
この素子はESD (electrostatic discharge) センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは、導電性のフォームまたはシャントを用いて保存してください。フォームから取りはずす場合、デバイスを搭載するソケットにフォームを接触させて放電してください。



外形サイズ

単位はインチ (mm) で示します。

32リード・ボトム・ブレイズ・セラミックDIP (DH-32E)



AD1378機能ブロック図

オーダ・ガイド

モデル	最大直線性誤差	温度範囲	パッケージ
AD1378SD	0.006% FSR	-55 ~ +125°C	セラミック
AD1378TD	0.003% FSR	-55 ~ +125°C	セラミック

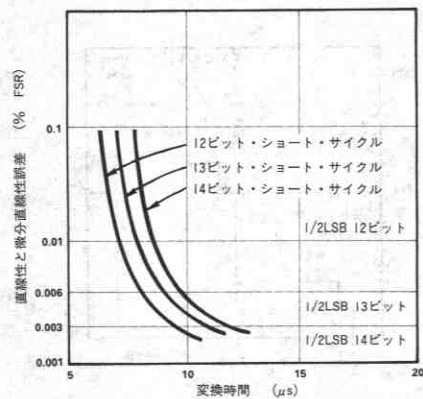


図1. AD1378の非直線性と変換時間

動作原理

16ビット変換により、連続したアナログ量は 2^{16} の分離したレンジに分けられます。所定の量子中に含まれるすべてのアナログ量は、通常その中心値に割り当てられた一つのデジタル・コードで表わされます。したがって量子化の結果、分解能の大小に関係する $\pm 1/2$ LSB以内の不確かさが当然生じ、さらに種々の変換誤差がこれに付加されます。

実際の変換誤差はリニア回路に起因するアナログ誤差、ラグーおよびスケール回路のマッチング特性およびトラッキング特性、基準電圧の誤差、電源電圧変動等が組合わさったものです。マッチングおよびトラッキング誤差はスケール回路を内蔵した、モノリシックDACを使用することにより最小とすることができます。仕様ではゲイン誤差はFSRの $\pm 0.2\%$ 、オフセット誤差はFSRの $\pm 0.1\%$ となっています。これらの誤差は図3および図4に示すような外部トリミング回路を設けることによりゼロとすることができます。ユニポーラ・レンジについての直線性誤差はアナログ入力0、つまりデジタル出力0の点とフルスケールの点を結ぶ直線すなわち理想変換特性からの偏差として定義されます。直線性誤差はDACの抵抗比に起因するものであり、調整は不可能で、A/Dコンバータの精度にとって最も重要なものです。微分直線性誤差は各コードに対応するステップの幅の理想的な1 LSBの幅との偏差として定義されます。(図2を参照)

モノニック動作のためには微分直線性誤差は1 LSBよりも小さいことが要求されます。しかしモノニック・コンバータはミスコードを生じることがあります。AD1378は仕様表に示す様にその許容温度範囲全域においてミスコードのないことを保証しています。

温度変化に伴うドリフトにはオフセット、ゲイン、直線性の3種類があります。オフセット・ドリフトは変換特性を右あるいは左へ移動させる原因となります。ゲイン・ドリフトは変換特性の傾きをユニポーラ・レンジについてはゼロ点を、バイポーラ・レンジについてはマイナス・フルスケール点を中心として変化させる原因となります。最悪の場合には、ドリフトはこれら3種の和となります。しかし統計的にはドリフトによる誤差はこれら3種の2乗和の平方根(RSS)となり、次の式で示されます。

$$RSS = \sqrt{\epsilon_G^2 + \epsilon_0^2 + \epsilon_L^2}$$

ϵ_G = ゲイン・ドリフト誤差 (ppm/°C)

ϵ_0 = オフセット・ドリフト誤差 (FSRのppm/°C)

ϵ_L = 直線性誤差 (FSRのppm/°C)

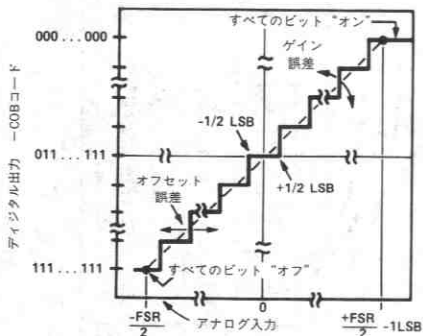


図2. 理想バイポーラA/Dコンバータの伝達特性

動作説明

コンバート・スタート・コマンドを受けると、AD1378はアナログ入力電圧を相当する16ビットの2進数に変換します。この変換は次のようにして行われます。16ビットの逐次比較レジスタ(SAR)の16ビットの出力は、AD1378のビット出力ピンおよびフィードバックDACの対応するビット入力に接続されています。

アナログ入力フィードバックDACの出力と1ビットずつ、つきつぎに(MSBが最初に、LSBが最後に)比較されます。各ビットの比較がなされ、その時のコンパレータの状態に従って、そのビットを保持するか消去するかが決定されます。

ゲイン調整

ゲイン調整回路は図3に示すように、100ppm/°Cのポテンショメータを $\pm V_s$ 間に接続し、その中間端子を300k Ω の抵抗を介してピン29に接続することにより構成されます。

外部調整を行わない場合にはピン27(オフセット調整)およびピン29(ゲイン調整)は、いずれもオープンのままにしてください。

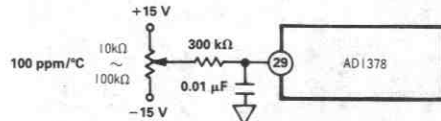


図3. ゲイン調整回路 ($\pm 0.15\%$ FSR)

オフセット調整

ゼロ調整回路はすべてのレンジに対し、100ppm/°Cのポテンショメータを $\pm V_s$ 間に接続し、その中間端子を1.8M Ω の抵抗を介してピン27(コンパレータ入力)に接続することにより構成されます。図4に示すように、この固定抵抗の許容量は問題ではありません。カーボン抵抗器で一般的には十分です。-1200ppm/°Cの温度係数をもつカーボン抵抗器を使用した場合、オフセットの温度係数は最悪の状態、すなわちオフセット調整用ポテンショメータのどちらか一端を使用する場合に、 $32LSB_{14} \times 61ppm/LSB_{14} \times 1200ppm/°C$ = フルスケールの2.3ppm/°Cとなります。しかし一般的にオフセット調整は $\pm 16LSB_{14}$ 以上要求されることはありませんので、カーボン抵抗器を使用した場合のオフセット温度係数は、フルスケールの1ppm/°Cを超えることはありません。

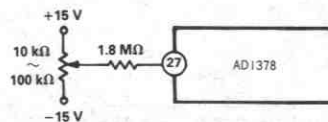


図4. オフセット調整回路 ($\pm 0.3\%$ FSR)

図5に示すように金属被膜抵抗器(温度係数 $< 100ppm/°C$)を使用したオフセット調整回路を使用すればオフセットの温度係数をほとんどゼロに近づけることができます。

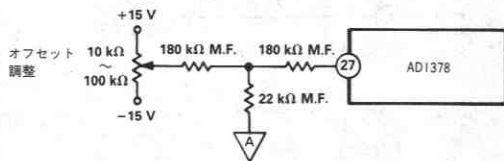
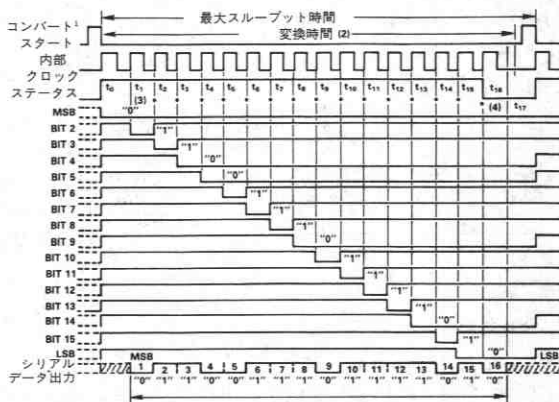


図5. 低温度係数オフセット調整回路

上記いずれの回路を採用する場合でも、ピン27に接続される抵抗器はできるだけピン近くに配置し、接続線を短くしなければなりません。ピン27（コンパレータ入力）は外部ノイズに対し極めて敏感です。したがってアナログ・コモンによりガードしなければなりません。

タイミング

図6にタイミング図を示します。コンバート・スタート信号を受けると、ステータス・フラグがセットされます。これは変換が進行中であることを示します。これは、また一方ではクロック・ゲートの禁止を解除して17サイクルだけ、クロックを動作させます。SARのすべてのパラレル・ビット、ステータスのフリップフロップ、クロック・ゲートの禁止信号はすべてコンバート・スタート信号の立下りで初期化されます。 t_0 時に B_{15} はリセットされ、 B_2-B_{16} はすべてセットされます。 t_1 時には B_1 は保持が決定され、 B_2 は必ずリセットされます。こうしたシーケンスが t_{16} まで、つまり B_{16} (LSB、この図の場合は保持)までつきつぎに続けられます。ステータス・フラグがリセットされると、変換が完了し、パラレル出力データが有効になったことを示します。ステータス・フラグがリセットされると、クロック・ゲートは禁止となり、クロック出力はロー・ロジック“0”に保持されます。つぎの変換が始まるまでクロック出力はローのまま保持されます。パラレル出力データの各ビットは対応するクロックの立上りと同時に有効になります。



- 注1. コンバート・スタート・パルス幅は50ns minで、変換中はローである必要があります。変換は、変換コマンドの立下りエッジで初期化されます。
 2. 14ビットで15 μ s、13ビットで14 μ s (最大値)。
 3. MSB決定
 4. クロックは、最後のビット決定の後、ローを保持します。

図6. タイミング図 (バイナリ・コード 0110011101111010)

デジタル出力データ

TTLストレージ・レジスタからのパラレルおよびシリアル・データは真論理です (ロジック“1”=0V、ロジック“0”=2.4V)。パラレル・データ出力のコーディングはユニポーラ・レンジに対してはコンプリメンタリ・バイナリで、バイポーラ・レンジに対してはコンプリメンタリ・オフセット・バイナリです。パラレル・データはステータス・フラグがロジック“0”に変化する少なくとも20ns前に有効になります。これによりステータス・フラグが“1”から“0”に変化するところをデータ転送開始の信号として使用することが可能になります。パラレル・データ出力はクロックが立上ると変化します。

シリアル出力コードも、ユニポーラ入力レンジの場合はコンプリメンタリ・バイナリで、バイポーラ入力レンジの場合はコンプリメンタリ・オフセット・バイナリです。シリアル出力は、NRZ (Non-Return-to-Zero) フォーマットのビット逐次 (MSBからLSB) 信号です。シリアルおよびパラレル・データ出力とも、データ信号の状態はクロックの各立上がりエッジで変わります。シリアル・データはクロックの立上がりエッジ後120ns有効であり、従って図8に示すように、クロックの立下りエッジでデータ受取りレジスタに直接クロックすることができません。16ビットの全変換サイクルにはクロックの立下りエッジが17回発生します。クロックの最初の立下りエッジで無効ビットがレジスタにシフト・インされますが、これは最後の立下りエッジでシフト・アウトされます。変換期間の終了時には受取りシフト・レジスタの各ビット位置に全シリアル・データ・ビットが正しく転送されています。

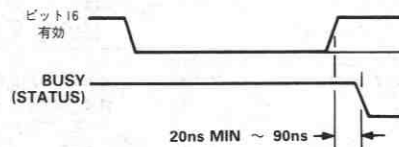


図7. LSB有効からSTATUSフラグが“LOW”になるまで

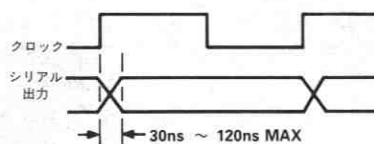


図8. クロック“HI”からシリアル出力が有効になるまで

ショート・サイクル入力

ショート・サイクル入力ピン、ピン32を用いれば図11に示すタイミング・サイクルを希望するビットまでの変換が完了した時点で終わらせることができます。これにより16ビットまでの分解能を必要としない応用の場合には変換所要時間を短縮することが可能となります。たとえば10ビットの分解能を要求される場合には、ピン32はピン11 (ビット11出力) に接続します。このようにすると、変換サイクルはビット10が決定された後に、ステータス・フラグがリセットし、終了します (図5のタイミング図)。ショート・サイクルの結果法と8、10、12、13、14、15ビットの各々の場合の変換所要時間は、933kHzのクロックの場合、表1に示すようになります。

ビット	分解能 (%FSR)	最大変換 時間(μs)	ステータス	ショート
			・フラグ リセット	・サイクル ビン32の接続
16	0.0015	17.1	t ₁₆	接続せず(オープン)
15	0.003	16.1	t ₁₅	16
14	0.006	15.0	t ₁₄	15
13	0.012	13.9	t ₁₃	14
12	0.024	12.9	t ₁₂	13
10	0.100	10.7	t ₁₀	11
8	0.390	8.6	t ₈	9

表1 ショート・サイクル結線

入カスケーリング

AD1378のアナログ入力は入力信号レンジの最大値にできるだけ近くなるようにスケーリングしなければなりません。このようにすればA/Dコンバータの分解能を最高に発揮させることができます。入力信号は表2に示すように接続してください。回路の詳細については図9を参照して下さい。

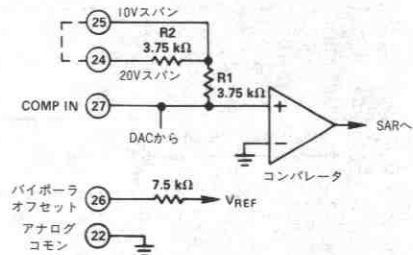


図9 AD1378入カスケーリング回路

入力信号	出力コード	ピン26 接続	ピン24 接続	入力信号 接続
±10V	COB	27	入力信号	24
±5V	COB	27	オープン	25
±2.5V	COB	27	27	25
0 ~ +5V	CSB	22	27	25
0 ~ +10V	CSB	22	オープン	25
0 ~ +20V	CSB	22	入力信号	24

注 ピン27はノイズに対し極端に敏感なので、アナログ・コモンによりガードしなければなりません。

表2 AD1378入カスケーリング結線法

テスト・コード MSB LSB	レンジ	ローサイド遷移値				
		±10V	±5V	±2.5V	0 ~ +10V	0 ~ +5V
000...000*	＋フル・スケール	+10V -3/2LSB	+5V -3/2LSB	+2.5V -3/2LSB	+10V -3/2LSB	+5V -3/2LSB
011...111	中間値	0 -1/2LSB	0 -1/2LSB	0 -1/2LSB	+5V -1/2LSB	+2.5V -1/2LSB
111...110	－フル・スケール	-10V +1/2LSB	-5V +1/2LSB	-2.5V +1/2LSB	0V +1/2LSB	0V +1/2LSB

*ここに示す電圧は指定コードへの遷移点の値です。

注 各レンジおよび分解能に対応するLSBの値については表4を参照してください。

表3 校正コードに対応する遷移点の電圧

アナログ入力レンジ		±10V	±5V	±2.5V	0V ~ +10V	0V ~ +5V
コード種類		COB*	COB*	COB*	CSB***	CSB***
最下位ビット (LSB)	$\frac{FSR}{2^n}$	$\frac{20V}{2^n}$	$\frac{10V}{2^n}$	$\frac{5V}{2^n}$	$\frac{10V}{2^n}$	$\frac{5V}{2^n}$
	n=8	78.13mV	39.06mV	19.53mV	39.06mV	19.53mV
	n=10	19.53mV	9.77mV	4.88mV	9.77mV	4.88mV
	n=12	4.88mV	2.44mV	1.22mV	2.44mV	1.22mV
	n=13	2.44mV	1.22mV	0.61mV	1.22mV	0.61mV
	n=14	1.22mV	0.61mV	0.31mV	0.61mV	0.31mV
	n=15	0.61mV	0.31mV	0.15mV	0.31mV	0.15mV

注

* COB=コンプリメンタリ・オフセット・バイナリ

** CTC=コンプリメンタリ2の補数。これはMSBを反転することにより得られます。

*** CSB=コンプリメンタリ・ストレート・バイナリ

表4 入力電圧レンジとLSBの値

校正 (14ビット分解能の例)

図3と図4に示す外付けのゼロ調整およびゲイン調整用ポテンショメータが校正のために用いられます。これら、2つの調整の相互作用を避けるため、ゼロ調整を必ず先に行ない、つぎにゲイン調整を行なわなければなりません。ゼロ調整はアナログ入力の最小値近傍で行ないます(ユニポーラ・レンジでは0、バイポーラ・レンジではマイナス・フルスケール)。ゲイン調整はアナログ入力レンジの最高値近傍で行ないます。

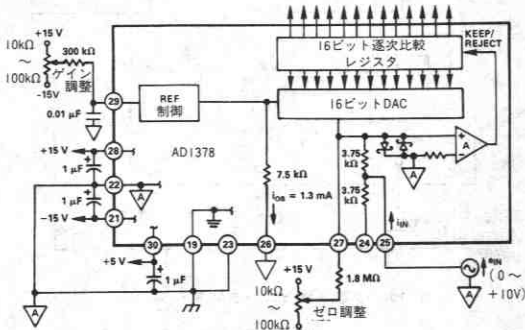
0 ~ +10Vレンジの場合

アナログ入力を+1LSB₁₄=0.00061Vにセットします。デジタル出力が11111111111110となるようにゼロ調整を行ないます。ゼロ調整はこれで完了します。つぎにアナログ入力を+FSR-2LSB=+9.99878Vにセットします。ゲイン調整をデジタル出力が0000000000001となるように行ないます。これでフル・スケールのゲイン調整が完了します。ハーフ・スケールの校正をチェックします。この際にはアナログ入力を+5.00000Vとし、デジタル出力コ

ードは0111111111111111とします。

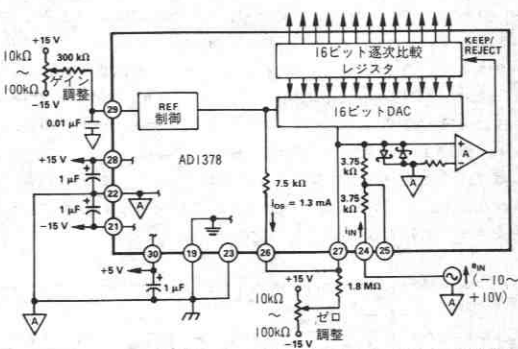
-10V~+10Vレンジの場合

アナログ入力を-9.99878Vにセットします。デジタル出力が1111111111110 (コンプリメンタリ・オフセット・バイナリ・コード) となるよう、ゼロ調整を行ないます。つぎにアナログ入力を9.99756Vにセットし、デジタル出力が000000000000001 (コンプリメンタリ・オフセット・バイナリ・コード) となるようにゲイン調整を行ないます。ハーフ・スケール校正のチェックとしてアナログ入力を0.00000Vにセットします。デジタル出力は0111111111111 (コンプリメンタリ・オフセット・バイナリ・コード) でなければなりません。



注 アナログ・グラウンド(▽)とデジタル・グラウンド(★)とは内部接続されています。外部で接続しなければなりません。

図10. 0~+10Vユニポラ入力レンジの場合のアナログおよび電源接続法



注 アナログ・グラウンド(▽)とデジタル・グラウンド(★)とは内部接続されています。外部で接続しなければなりません。

図11. -10V~+10Vバイポラ入力レンジの場合のアナログおよび電源接続法

その他のレンジの場合

代表的な例として、0~+10V、および-10V~+10Vレンジの場合のデジタル出力のコードは上に述べた通りです。0~+5V、-2.5V~+2.5V、-5V~+5Vレンジについては0~+10Vおよび-10V~+10Vレンジについてのコードをそれぞれ1/2倍することにより得ることができます。これは表3に示すとおりです。

ゼロおよびフルスケールの校正は上述のスタティックな方法によりおよそ±1/2LSBの精度で行なわれます。アナログ入力電圧に小さなサイン波または三角波を重ねることにより出力校正用コードの上下に繰返し振らせることができ、これにより各量子レベルの中心点をより正確に求めることができます。

グラウンド、デカップリングおよびレイアウトについての注意

データ収集に使用される部品の多くはデバイスの内部で相互に接続されていない2個あるいはそれ以上のグラウンド・ピンを備えています。これらのグラウンドは、ロジック・パワー・リターン、アナログ・コモン (アナログ・パワー・リターン)、アナログ信号グラウンドと呼ばれています。AD1378の場合、ピン19とピン22はコンバータに出来る限り近い1点で結線しなければなりません。コンバータの下側に強固なアナログ・グラウンド・プレーンを備えるのが最も望ましい方法です。電流はプリント基板のパターン中を流れますが、これらのパターンは抵抗インダクタンスを持っているため、AD1378のグラウンド・ピンとシステムのアナログ・グラウンド点との間には数100mVの電圧が発生することがあります。高分解能のコンバータにおいてノイズおよびコンバータからシステム・グラウンド点までの間の電圧降下損失を最小にするため、グラウンド・パターンは独立した幅の広いものでなければなりません。このようにすればAD1378において、電源電流およびその他のデジタル・ロジック・ゲートからのリターンはアナログ信号と共通のリターン・バスを通ることはなくなります。もしそうでない場合には、計測誤差が生じることがあります。

AD1378の各電源端子はデバイスにできる限り近い点で容量的にデカップリングしなければなりません。通常1μFのコンデンサと0.1μFのコンデンサとを並列に用いれば十分です。アナログ用電源はアナログ・グラウンドに、ロジック電源はロジック・グラウンドにバイパスしなければなりません。

メタルケースは電源および電気信号を基準にして、グラウンドに接続されています。ケースを外部的にグラウンドに接続してはいけません。

クロック・レート制御

AD1378は図12と13に示すようにクロック・レート・コントロール・ピン (ピン23) をポテンショメータ (TCR<100ppm/°C) に結線することにより、より短い変換時間で動作させることができます。しかしながら直線性および微分直線性誤差は、図1に示すようにスピードの増大と共に増加します。

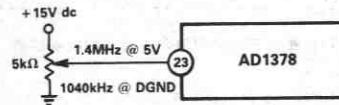


図12. クロック・レート制御回路

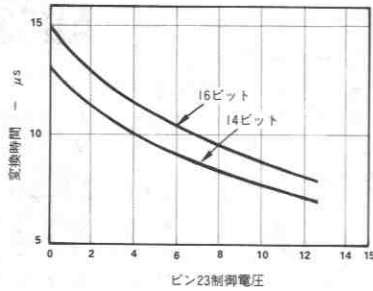


図13. 変換時間対制御電圧

高分解能データ収集システム

AD386とAD1378を用いた高分解能データ収集システムの、主要部分の詳細を図14に示します。変換はCONVERT STARTパルスの立下りエッジにより開始します。このエッジはAD1378のSTATUSラインを“HI”にします。そしてこのインバータはAD386をホールド・モードにします。STATUSは変換中は“HI”を保持し、変換終了時に“LOW”に戻ります。これによりAD386は再びトラック・モードになります。

CONVERT STARTの立下りエッジによりA/Dコンバータの入力に過渡が生じ、それによりこの回路が非直線性を示す可能性があります。このエッジはA/Dコンバータの内部DACをリセットします。その結果生じる過渡は、SHAの現在の出力電圧とA/Dコンバータの前回の交換結果に依存します。図14の回路では、CONVERT STARTの立下りエッジによりSHAを(A/DのSTATUS出力を介して)ホールド・モードにし、SHAのトラック・ホールド遷移と同時にリセット過渡が生じます。タイミングのスキューと容量性カップリングは、SHAにサンプリングされる信号に追加される過渡信号を生じ、非直線性の原因となります。

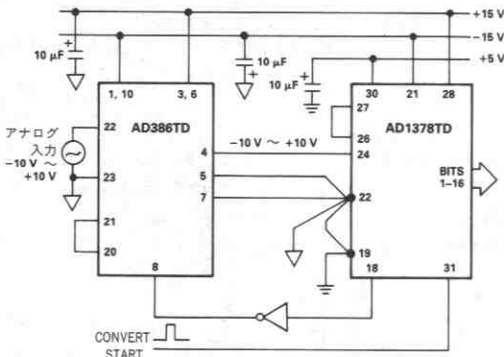


図14. 基本データ収集システムの内部接続

より確かなアプローチは図15に示すように、フリップ・フロップを付加することです。CONVERT STARTの立下りエッジにより、A/Dリセット過渡が始まる前にT/Hをホールド・モードにします。STATUSの立下りエッジでAD386をトラック・モードに戻します。システムのスループットはCONVERT STARTパルスを長くすると低下します。スループットは次の式で計算されます。

$$\text{スループット} = \frac{1}{T_{ACQ} + T_{CONV} + T_{CS}}$$

ここでは T_{ACQ} はT/Hのアクイジション時間、 T_{CONV} はA/D変換に要する時間、 T_{CS} はCONVERT STARTの時間です。AD1378とAD386を組合わせることにより、軍用温度範囲の全域にわたって50 kHz以上のスループットを得ることができます。CONVERT STARTの幅がA/Dの変換時間と比較して小さい場合には、T/Hドレープ誤差は無視できます。

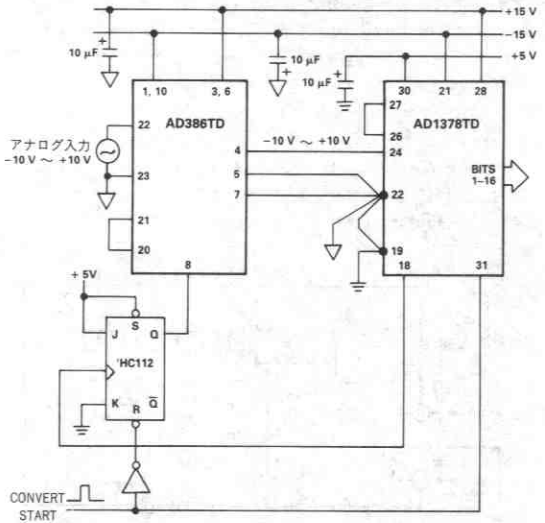
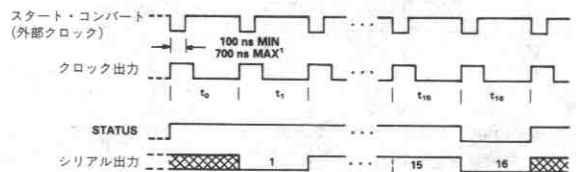


図15. 改善されたデータ収集システム

低い変換速度でのAD1378の使用

A/Dを外部クロックと同期させるため、AD1378を低変換速度で動作させたい場合もあります。これは、クロック・レートを内部クロック・レートよりも下げてSTART CONVERTに入力することによって実現できます。このクロックは、図16に示すような幅の小さい負パルスでなければなりません。パルス幅は100ns以上とし、700nsを超えないようにしてください。立下りエッジのすぐ後に立上がりエッジがくるため、内部クロック・パルスが禁止されます。それにより、AD1378は正常に機能することができ、16クロック・パルス後に変換が終了し、17クロック・パルスでシリアル出力が終わります。STATUSコマンドは正常に機能し、最初のクロック・パルス後に“HI”に遷移し、17番目のクロック・パルスの後に“LOW”に下がります。このようにして外部クロックを使用して、AD1378を低変換速度で制御することができます。



注1 外部CLKレートCTRL (ピン23)はグラウンドに落とす。

図16. 外部クロックで使用する場合のタイミング図

特長

- ワンパッケージ・ハイブリッドIC
- 16ビット分解能
- サンプリング・レート：500kHz
- S/N比：90dB @5.0kHz(min)
- THD：-90dB @5.0kHz(min)
- 積分非直線性：0.0015% FSR typ
- ±5、±10Vバイポーラ入力
- ゼロ・オフセットの自動キャリブレーション機能付き

応用

- 医療用画像処理
 - CAT
 - MRI
- 振動解析
- PMU (ATE)
- 波形/過渡特性レコーダ
- 解析/計装装置
- ソナー
- レーダ

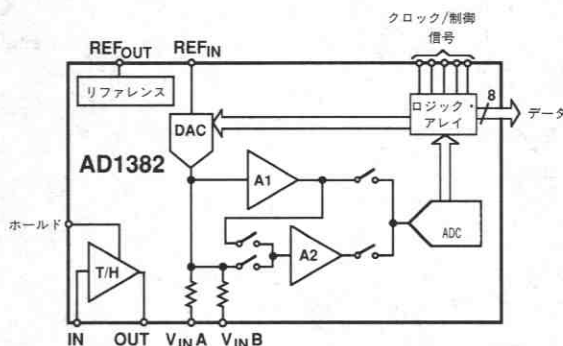
概要

AD1382はワンパッケージの全機能内蔵型500kHz、16ビットのサンプリングA/Dコンバータです。高分解能、高速のコンバータにより、抜群のノイズ特性と歪み特性、優れたINLおよびDNL特性を兼ね備えています。

AD1382は±5Vと±10Vの入力範囲で低雑音と歪み特性を保証しています。AD1382には低ノイズ、低歪みのトラック・ホールドと3パスのデジタル補正サブレンジングADCが組み込まれています。高精度薄膜抵抗と新規の専用DACにより優れたダイナミック特性とDC特性が得られました。

出力データは8ビットのCMOS/TTLコンパチブルのデータ・バス上に多重化され出力されます。

AD1382には±5V、±15Vの4電源と10MHzの外部クロックが必要です。消費電力は標準で2.8Wです。入力範囲は±5Vおよび±10Vの2種類を選択可能です。適切なグラウンドとワンパッケージ化により、規定された特性を実現するPCBを容易に設計することができます。



AD1382機能ブロック図

仕様

(特に指定のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $V_{DD} = +5\text{V}$ 、 $V_{SS} = -5\text{V}$ 、10MHz外部クロック、ウォームアップ 5分間)

パラメータ	AD1382KD			単位
	Min	Typ	Max	
分解能	16			ビット
アナログ入力				
入力範囲		±5, ±10		V
入力インピーダンス	2.45	2.5	2.55	kΩ
伝達特性				
(ADC/トラック・ホールドを含む)				
積分非直線性 ¹		±0.0015		%FSR ²
微分非直線性 ¹		±0.0006		%FSR
ミス・コード			なし	
ゲイン誤差 ³		±0.07	±0.15	%FSR
バイポーラ・ゼロ ³		±0.03	±0.10	%FSR
PSRR		±0.006	±0.10	%FSR/V
ノイズ ⁴		55		μV RMS
ダイナミック特性				
±5V FSR、 $V_{IN} = -0.4\text{dB}$				
サンプリング・レート			500	kHz
S/N比 ⁵				
f=5kHz	90	93		dB
f=100kHz	90	92		dB
f=200kHz	88	91		dB
ピーク歪み				
f=5kHz	-90	-98		dB
f=100kHz	-88	-93		dB
f=200kHz	-82	-85		dB
全高調波歪み ⁶				
f=5kHz	-90	-96		dB
f=100kHz	-88	-92		dB
f=200kHz	-82	-85		dB
ダイナミック特性				
±10V FSR、 $V_{IN} = -0.4\text{dB}$				
サンプリング・レート			500	kHz
S/N比 ⁵				
f=5kHz	90	95		dB
f=100kHz	90	94		dB
f=200kHz	88	93		dB
ピーク歪み				
f=5kHz	-90	-98		dB
f=100kHz	-80	-87		dB
f=200kHz	-74	-81		dB
全高調波歪み ⁶				
f=5kHz	-90	-96		dB
f=100kHz	-80	-87		dB
f=200kHz	-74	-81		dB

注

- 積分直線性はFFTから計算されたものです。微分直線性はヒストグラムから得られます。
- FSR：フルスケール範囲
- ゼロに調整可能です。
- 小信号FFTから得られたノイズで、量子化ノイズを削除したものです。
- SNR：基本波とノイズから第2～9高調波を引いたものとの比です。
- THDには基本波の第2～9高調波を含みます。
- オーバーチャージ・ディレイはホールド・コマンド入力の立上りエッジからトラック・ホールドのスイッチが開くまでの時間です。
- 保証されていますが、100%製造試験は行なわれていません。
- 10MHzクロックの時のタイミングです。図13と図14を参照。
- ケースと周囲温度との温度差は30°Cとしました。ヒートシンクなしの自然空冷で動作させた場合、AD1382のケースの温度は周囲温度約+30°Cで安定します。弊社の校正試験はこの条件で行なわれています。詳細な解説は応用の項を参照ください。

仕様は予告なしに変更されることがあります。

パラメータ	AD1382KD			単位
	Min	Typ	Max	
デジタル入力				
入力電圧				
V_{IL}			0.8	V
V_{IH}	2.0			V
入力電流			± 200	μA
入力容量		2		pF
スタート・コマンド				
セットアップ時間、 t_{SCS}	10	3		ns
ホールド時間、 t_{SCH}	10	0		ns
オートゼロ				
セットアップ時間、 t_{AZS}	10	0		ns
ホールド時間、 t_{AZH}	20	6		ns
クロック				
周波数	2.5		10	MHz
デューティ・サイクル	40		60	%
アンバーチャ・ディレイ ⁷		7		ns
デジタル出力 ^{8,9}				
出力電圧				
$V_{OL} @ I_{OL} = 3.2mA$		0.2	0.4	V
$V_{OH} @ I_{OH} = -3.2mA$	2.4	4.5		V
出力容量		10		pF
出力インヒビット時リーク電流			± 200	μA
データ・イネーブル時				
セットアップ時間、 t_{DVS}	75	150		ns
ホールド時間、 t_{DVH}	25	50		ns
ホールド・コマンド時間、 t_H		1300		ns
ホールド・コマンド・ディレイ、 t_{HD}		6		ns
データ・ストロブ・パルス幅、 t_{DS}		200		ns
データ・ストロブ・ディレイ、 t_{DSB}		1650		ns
出力コード	オフセット・バイナリまたは2の補数			
温度特性 ^{8,10}				
動作温度範囲	0		70	°C
仕様温度範囲	10		40	°C
ミス・コード			なし	
ゲイン・ドリフト		8	15	ppm/°C
オフセット・ドリフト		5	15	ppm/°C
微分直線性		0.3		ppm/°C
内部リファレンス				
電圧	9.990		10.010	V
電流	2	10		mA
電源				
動作範囲				
$\pm V_S$	14.25		15.75	V
$+V_{DD}$	4.75		5.25	V
$-V_{SS}$	-5.25		-4.75	V
消費電流				
$+V_S$		50	73	mA
$-V_S$		45	65	mA
$+V_{DD}$		115	160	mA
$-V_{SS}$		160	200	mA
消費電力		2.8	3.9	W

絶対最大定格*

+V _s -AGND18V
-V _s -AGND-18V
V _{DD} -PGND7V
V _{SS} -PGND-7V
AGND-PGND±0.3V
アナログ入力±V _s
デジタル入力-0.3V~V _{DD} +0.3V
出力短絡時間	
リファレンス出力無制限
トラック・ホールド出力1秒間
デジタル出力任意の一つの出力に対し1秒間
周囲温度 (動作時)0°C~+70°C
保管温度範囲-65°C~+150°C

注

*絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスがある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

AD1382のピン接続

AD1382は48ピン・ボトム・ブレース・セラミック・バスタブ・パッケージです。ピン機能は以下の通りです。

ピン割	機能	ピン割	機能
1	クロック入力	48	V _{DD2} (+5V電源)
2	電源グラウンド	47	電源グラウンド
3	B1/B9 MSB	46	V _{SS2} (-5V電源)
4	B2/B10	45	オート・ゼロ
5	B3/B11	44	B1セレクト
6	B4/B12	43	電源グラウンド
7	B5/B13	42	電源グラウンド
8	B6/B14	41	DNC
9	B7/B15	40	ゲイン調整端子
10	B8/B16 LSB	39	+10Vリファレンス出力
11	V _{DD1} (+5V信号)	38	-V _{S1} (-15V)
12	電源グラウンド	37	信号グラウンド
13	V _{SS1} (-5V信号)	36	+V _{S1} (+15V)
14	信号グラウンド	35	信号グラウンド
15	データ・ストロープ	34	DNC
16	HI/LOバイト・セレクト	33	DNC
17	OE データ・イネーブル	32	+10Vリファレンス入力
18	変換スタート	31	V _{INB}
19	ホールド・コマンド出力	30	V _{INA}
20	信号グラウンド	29	オフセット調整端子
21	+V _{S2} (+15V)	28	DNC
22	ホールド・コマンド入力	27	トラック・ホールド出力
23	-V _{S2} (-15V)	26	信号グラウンド
24	電源グラウンド	25	トラック・ホールド入力

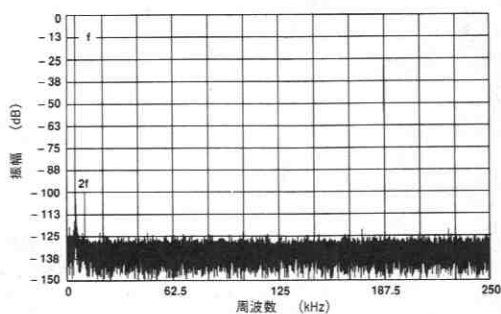
DNC=無接続

注意

この素子はESD(Electrostatic-Discharge)センシティブ・デバイスです。デジタル入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させる必要があります。

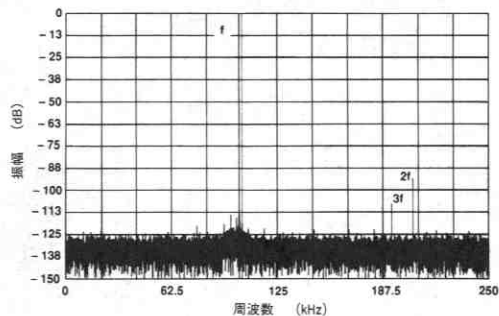


AD1382のダイナミック特性



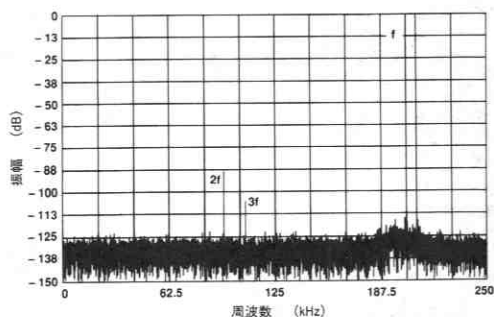
サンプリング・レート	500.000kHz
入力周波数	5.279410kHz
入力振幅	-0.3dB
2次高調波	-99.8dB
3次高調波	-116.9dB
4次高調波	-117.1dB
SNR	93.1dB
THD	-99.2dB

図1. フルスケール正弦波解析図、±5Vレンジ、16384点FFT



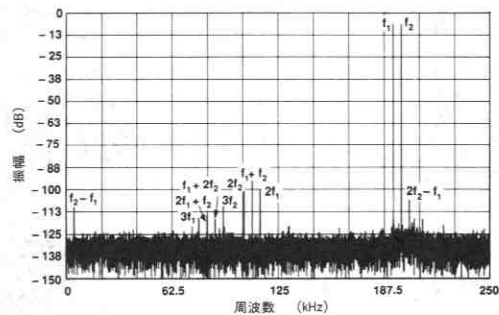
サンプリング・レート	500.000kHz
入力周波数	102.50855kHz
入力振幅	-0.4dB
2次高調波	-93.0dB
3次高調波	-107.4dB
4次高調波	-115.6dB
SNR	92.5dB
THD	-92.7dB

図2. フルスケール正弦波解析図、±5Vレンジ、16384点FFT



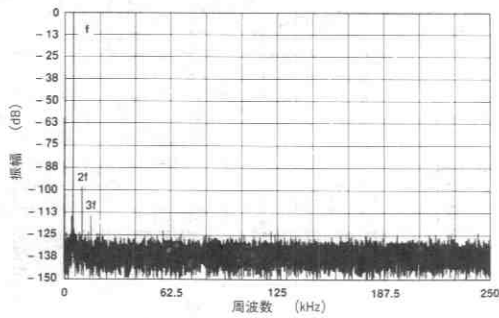
サンプリング・レート	500.000kHz
入力周波数	202.54516kHz
入力振幅	-0.4dB
2次高調波	-88.2dB
3次高調波	-104.7dB
4次高調波	-112.4dB
SNR	91.5dB
THD	-88.0dB

図3. フルスケール正弦波解析図、±5Vレンジ、16384点FFT



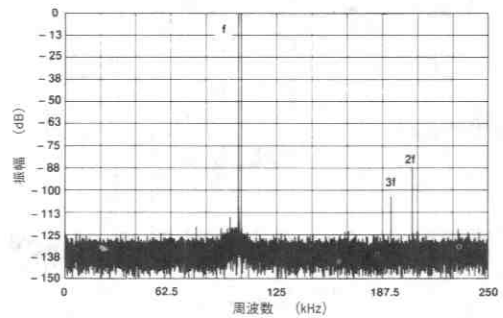
f_1 周波数	192.77954kHz		
f_1 振幅	-6.1dB		
f_2 周波数	197.54028kHz		
f_2 振幅	-6.0dB		
$f_2 - f_1$	-110.2dB	$f_2 + 2f_1$	-116.0dB
$f_2 + f_1$	-94.9dB	$2f_1$	-100.8dB
$2f_2 - f_1$	-106.0dB	$2f_2$	-101.2dB
$2f_1 - f_2$	-128.0dB	$3f_1$	-117.2dB
$f_1 + 2f_2$	-116.8dB	$3f_2$	-109.6dB

図4. 混変調特性、±5Vレンジ、16384点FFT、500kHzサンプリング・レート



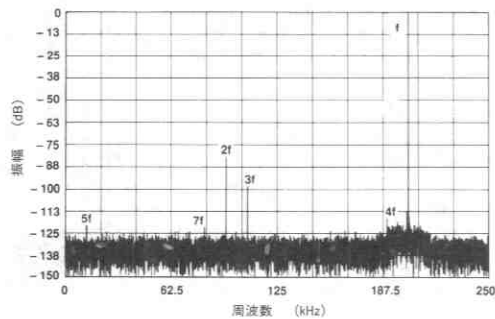
サンプリング・レート	500.000kHz
入力周波数	5.279541kHz
入力振幅	-0.3dB
2次高調波	-98.3dB
3次高調波	-112.9dB
4次高調波	-116.9dB
SNR	94.8dB
THD	-97.9dB

図5. フルスケール正弦波解析図、±10Vレンジ、16384点FFT



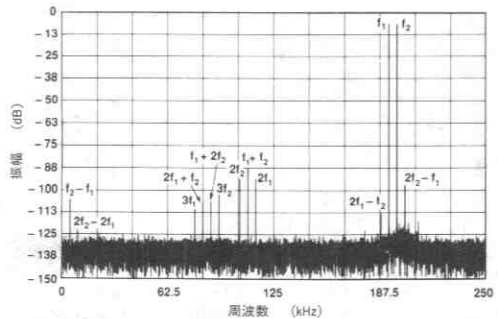
サンプリング・レート	500.000kHz
入力周波数	102.50855kHz
入力振幅	-0.4dB
2次高調波	-86.9dB
3次高調波	-103.4dB
4次高調波	-118.1dB
SNR	94.1dB
THD	-86.8dB

図6. フルスケール正弦波解析図、±10Vレンジ、16384点FFT



サンプリング・レート	500.000kHz
入力周波数	202.54516kHz
入力振幅	-0.4dB
2次高調波	-81.6dB
3次高調波	-98.2dB
4次高調波	-112.4dB
SNR	93.0dB
THD	-81.5dB

図7. フルスケール正弦波解析図、±10Vレンジ、16384点FFT



f_1 周波数	192.77954kHz	f_2 周波数	197.54028kHz
f_1 振幅	-6.1dB	f_2 振幅	-6.0dB
$f_2 - f_1$	-105.1dB	$f_2 + f_1$	-106.2dB
$f_2 + f_1$	-87.3dB	$2f_1$	-93.5dB
$2f_2 - f_1$	-96.9dB	$2f_2$	-93.7dB
$2f_1 - f_2$	-127.0dB	$3f_1$	-110.5dB
$f_1 + 2f_2$	-106.3dB	$3f_2$	-102.2dB

図8. 混変調特性、±10Vレンジ、16384点FFT、500kHzサンプリング・レート

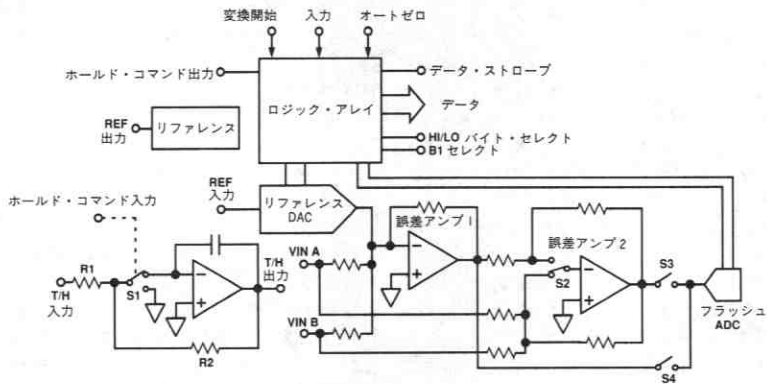


図9. AD1382の機能ブロック図

動作原理

AD1382は3バス・サブレンジング方式を使用して変換を行います。高品位部品によって構成された回路方式により、ADC、トラック・ホールド・アンプ、低ノイズ・リファレンスがひとつのハーメチック・パッケージに内蔵されており、基板設計を簡素化することができます。AD1382のT/HとADC部は独立した回路であり、分離したピンがパッケージから出されています。この機能の分離によりアプリケーション上のフレキシビリティが増すこととなります。AD1382の機能ブロック図を図9に示します。

高精度T/Hは低ノイズ、高性能のハイブリッド・アンプと高速アナログ・スイッチで構成されています。T/Hはトラック・モードでは反転アンプとして動作します。ホールド・モードではサンプリング・ジャンクション・スイッチS1によってアナログ入力を切離し、アンプの反転入力オフにされるため出力は一定になります。またS1によってR1とR2の接続もグラウンドに接続されるため、信号のフィードスルーが最小になります。すべてのスイッチング動作がグラウンドの近くで行なわれるため、基本的な誤差はアナログ入力レベルから独立した値となります。したがって非直線性と歪みは非常に小さくなります。

AD1382のサブレンジング設計の心臓部は、高精度リファレンスDACと8ビット・フラッシュADCから構成されています。個々のバスの間、フラッシュADCによりコード化された電圧を発生させるため、アナログ入力とDAC出力との間には高速アンプが接続されています。必要なタイミングの生成、制御、計算はロジック・アレイによって行なわれます。

変換スタート信号がHIになった後、最初のクロックの立上りエッジで変換が開始されます(この時点で直前の変換が終了します)。ホールド・コマンドがHIになるとT/Hがホールド・モードとなります。T/Hにより取り込まれた信号はS2とS3、誤差アンプ2を通り、フラッシュADCに入力されます。この信号経路では誤差アンプ2は実際にはADC入力信号を分圧し、フラッシュADCの入力範囲内に保ちます。100nsのセトリング時間の後、フラッシュADCが動作を開始します。8ビットの変換結果がロジック・アレイに取り込まれ、リファレンスDACのMSB側に与えられます。

誤差アンプ1は2回目のバスの間、リファレンスDAC出力と保持された入力信号の差を増幅します。この誤差信号はS4を通じてフラッシュADCに加えられ、誤差アンプ1がセトリングした後再びADCが変換を開始します。新しく得られた8ビットの変換結果により、以前の変換結果を補正し、この中間結果の精度を13ビットまで増加させます。これに引き続きリファレンスDAC出力も更新されま

す。3回目のバスでは両方の誤差アンプが動作します。誤差アンプ2で誤差アンプ1の出力を増幅するため、S2が切替わります。S3は誤差アンプ2の出力をフラッシュADCに接続します。DAC出力と両方の誤差アンプがセトリングした後、フラッシュADCが最後の変換を開始します。3回目のフラッシュ変換の結果と今までの13ビット・ワードをまとめて16ビットの結果とします。3回目のフラッシュ変換の終了から50ns後にT/Hはトラック・モードに戻り、誤差アンプ2は再び分圧器として接続され、次の変換に備えます。

出力データは2バイト・8ビット・データとしてデータ・バスに出力され、ホスト・システムがこれを読み出します。データ転送は、データ・ストローブ出力と同期して行われ、ストローブ信号の立上りエッジに最初のバイトが出力され、立下りエッジに2番目のバイトが出力されます。上位/下位バイト選択入力によりどちらのバイトが最初に出力されるかを選択します。B1の選択により、2の補数とオフセット・バイナリ・データの両方のデータ形式のMSB極性を設定します。

AD1382の接続と動作

アナログ入力

アナログ入力はトラック・ホールド入力(ピン25)に接続します。ピン・プログラマブルにより $\pm 5V$ と $\pm 10V$ の2つの入力電圧範囲を設定できます。以下のようにトラック・ホールド出力を $V_{IN,A}$ と $V_{IN,B}$ に接続します。

入力範囲	$V_{IN,A}$	$V_{IN,B}$
$\pm 5V$	トラック・ホールド出力に接続	トラック・ホールド出力に接続
$\pm 10V$	トラック・ホールド出力に接続	アナログ信号グラウンドに接続

$\pm 5V$ 入力の設定では高調波歪みが小さくなり、 $\pm 10V$ 入力の設定ではノイズが小さくなります。

AD1382の低ノイズ特性と歪み特性はほとんどの信号源の特性を上回っています。この優れた特性をシステム・レベルでも保つためにはグラウンド、バイパス、信号源のそれぞれについて配慮が必要です。低歪みのためには低インピーダンスの広帯域の信号源が必要です。AD1382と比較できるほどの信号の忠実度を持つモノリシック・アンプは、低い周波数のものでもあまりありません。広帯域になるとノイズが増加しSNRが低下します。ノイズと歪みをより低下させる方法に関しては、「AD1382の試験」の項を参照ください。

グラウンド

AD1382の最良の性能を実現するためには、正しい電源とグラウンド接続の取扱いが重要です。理想的なグラウンド接続は単一で強固な低インピーダンスのグラウンド・プレーンをデバイスの近くに配置し、すべてのグラウンドと電源のバイパスの接続を可能とすることです。これによりグラウンド・ノイズが可能な限り小さくなり、AD1382内部の高感度の回路に対する干渉が最小になります。たとえば、ホールド・コマンド信号は電源グラウンドに対してリファレンスされるため、アパーチャ・ジッタは電源グラウンド・ノイズにより劣化します。AD1382と外部のユーザ・システム間のデジタル・インタフェースも重要です。最適の性能を得るためには以下の方法が有効です。これらの解説は一般的なものであり、他の高性能のアナログ/デジタル回路にも同様に適用することができます。

AD1382はシステムの3つの部分と接続します。それは入力信号、電源、デジタル・インタフェースです。システムの設計者はグラウンド電流の大きさと種類、それらが静的なものかダイナミックなものか、を判断しなければなりません。システムのブロック図は最良の性能を発揮するためにグラウンドをどのように接続しなければならないかを理解する助けになります。図10に通常のシステムにおけるAD1382の推奨グラウンド接続を示します。

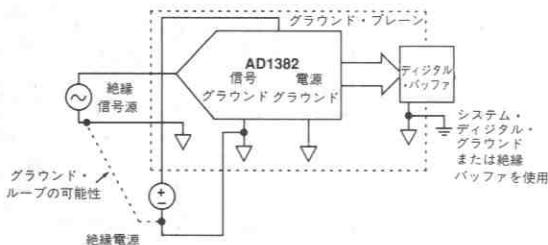


図10. AD1382のグラウンド接続

AD1382では約40mAのトータル・グラウンド電流が流れます。この電流の大部分は電源グラウンドに流れます。また、電源グラウンドには大きなダイナミック電流が流れます。信号グラウンドには主として低いレベルの静的な (dc) 電流が流れます。厚膜構造に固有の抵抗成分とインダクタンス成分によりグラウンド電流との間で相互作用を起こし性能の低下を招くことがあるため、信号グラウンドと電源グラウンドはハイブリッド回路の内部で分離されています。1LSBの電位は156 μ Vと小さいことに注意してください。

グラウンド抵抗が大きい場合にはAD1382のグラウンド電流が信号源とAD1382との間に流れ込むことを防ぐよう注意しなければなりません。信号源がAD1382と同一ボードにある場合にはグラウンド・プレーンの使用によりグラウンド抵抗が非常に低いものとなるため通常は問題となりません。

信号源とADCが同じ電源を使用している場合には信号源グラウンドと電源電流について考慮しなければなりません。AD1382、信号源、電源によって作られるグラウンド・ループによって大きな誤差が発生することがあります。

AD1382のグラウンド・プレーンとシステムのデジタル・グラウンドとの接続点はAD1382から離れた場所で行います。このことにより雑音の乗ったシステム・グラウンド電流がADCの重要な部品に流れることを防ぐことができます。非常に雑音の多い環境ではアナログ回路全体を分離の方が良い結果が得られます。図10にデジタル・バッファによる分離を示します。このバッファはADCのグラウンドを乱すことなく抵抗性または容量性の負荷を駆動することができます。システムのデジタル・グラウンドとADCのグラウン

ド・プレーンをデジタル・バッファで一点接続すれば、ADCと信号源の間で分離された別個の電源を用いることが効果的になります。

電源とバイパス

AD1382には以下のような4個の電源ピンがあります。

± 5 Vアナログ	(V_{DD1}/V_{SS1})
± 15 V	($+V_{S1}/-V_{S1}$)
± 15 V	($+V_{S2}/-V_{S2}$)
± 5 V電源	(V_{DD2}/V_{SS2})

同一値の電源電圧にはひとつの電源を使用することができます (例えば V_{DD1} 、 V_{DD2} を同一の $+5$ V電源に用いることができます)。4個の ± 5 V電源ピンはそれぞれ独立した低インピーダンスの正しくバイパスされた接続線で中央の電源ノードに接続しなければなりません。これは個々のピンに大きな過渡電流が流れるため必要です。これらのダイナミック電流がコモン電源経路に流れるとクロストークを起こし、AD1382の雑音を増加させます。2組の ± 15 V電源はこの方式で分ける必要はありません。

個々のAD1382の電源ピンは0.01 μ Fから0.1 μ Fの高品質のセラミック・コンデンサでグラウンド・プレーンにバイパスします。このコンデンサはリード長を最短にするためにAD1382に可能な限り近づけて配置します。 V_{DD} と V_{SS} ピンはそれぞれ10 μ Fの固体タンタル・コンデンサでAD1382の近くでグラウンド・プレーンへバイパスします。また $\pm V_{S2}$ (ピン21と23) に接続する10 μ Fのバイパス・コンデンサも必要です。これらの電源配線の様子を図11に示します。

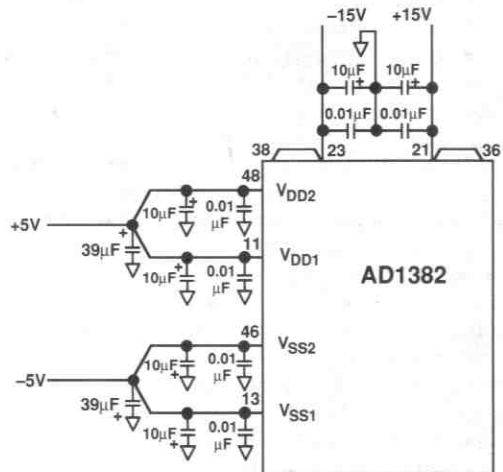


図11. 推奨のAD1382の電源配線。10 μ Fおよび0.01 μ FのコンデンサはすべてAD1382に近い所に配置しなければなりません。すべてのグラウンド接続はグラウンド・プレーンに接続します。

電源はすべてリニア電源でなければなりません。スイッチング電源は大きな高周波雑音を高感度のアナログ信号経路に混入し、AD1382の特性を劣化させるため推奨できません。

同一電圧の電源ピンは0.3V以上の電位差があってははいけません。

信号グラウンドと電源グラウンドのそれぞれに別個のグラウンド・プレーンを使用する場合には、それぞれの電源を以下のグラウンドにバイパスします。

電源	グラウンド
±5Vアナログ	信号グラウンド
±15V (+V _{S1} /-V _{S1})	信号グラウンド
±15V (+V _{S2} /-V _{S2})	電源グラウンド
±5V電源	電源グラウンド

AD1382のクロック信号として+5V電源の水晶発振器を使用する場合には配慮が必要です。これらの素子は大きな電源雑音を発生するため、正しいバイパスが必要です。発振器の電源はセラミックと固体タンタル・コンデンサの両方で最短のリード長でバイパスしなければなりません。発振器の発生する過渡波形の分離とローパス・フィルタのため、+5V電源と直列に10Ωの抵抗を入れることも効果的です。

リファレンス

AD1382は温度係数5ppm/°C typの高性能の内部リファレンスを備えています。通常、リファレンス出力ピン（ピン39）はリファレンス入力ピン（ピン32）に接続します。必要ならば外部リファレンスをリファレンス入力ピンに接続することもできます。リファレンス入力ピンはほとんど無視できるくらいの電流しか必要としません。リファレンス入力電圧は+11Vを越えてはならず、-0.3V以上の電位を保たなければなりません。リファレンス出力にはバイパスは不要で、容量性負荷を接続してはいけません。外部リファレンスを使用する場合にはAD1382のS/N比を劣化させないため、低雑音のリファレンスを使用しなければなりません。

リファレンス出力はAD1382の性能を低下させることなく2mAまでのDCレベル・ソース電流を出力することができます。

デジタル・インタフェース

10MHzクロック

AD1382は安定な外部クロックを必要とします。10MHzクロックで500kサンプル/秒のサンプリング・レートとなります。ADCはク

ロックと同期して動作するため、クロックの位相ノイズはアバーチャ時間のジッタとして現われます。より低いクロック周波数を用いる場合にはそれに比例してサンプリング・レートが低くなります。

必要な10MHzクロック信号の発生にスタンダードTTLあるいはCMOSの水晶発振器モジュールを使用することができます。これらの発振器はしばしば大きな電源過渡ノイズを発生します。発振器の電源はセラミックと固体タンタル・コンデンサの両方で最短のリード長でグラウンドにバイパスしなければなりません。発振器の発生する過渡波形の分離とローパス・フィルタのため、+5V電源と直列に10Ωの抵抗を入れることも効果的です。図12を参照ください。

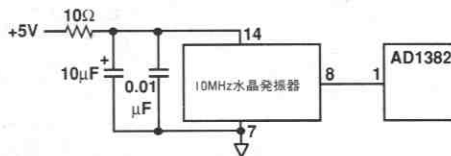
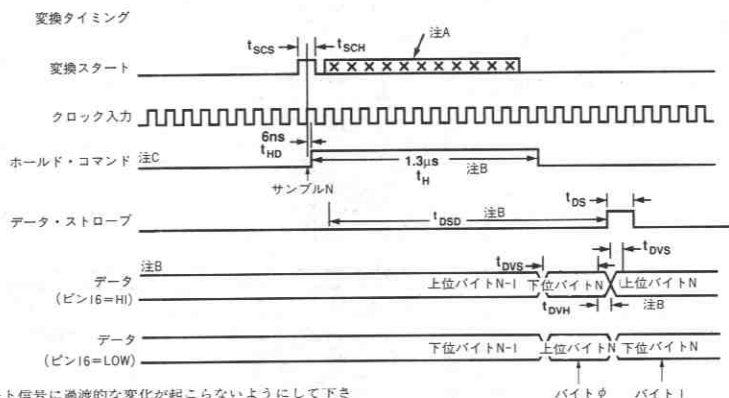


図12. クロック・ノイズの分離。バイパス・コンデンサは発振器にできるだけ近い配置にしなければなりません。

変換スタート（ピン18）

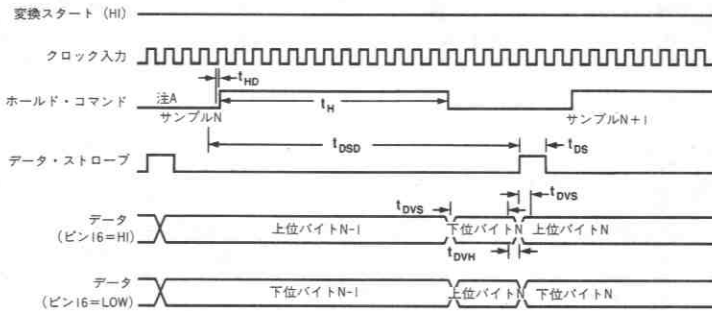
同期動作モード

変換スタート信号はフリップ・フロップのデータ入力として動作します。変換開始信号がHIになった後の最初のクロックの立上りエッジで変換が開始されます（タイミング条件が合っている場合）。このエッジによりホールド・コマンド出力がHIになり、T/Hがホールド・モードになります。同期動作のためにはホールド・コマンド出力（ピン19）はホールド・コマンド入力（ピン22）に接続しなければなりません。変換開始信号をHIのままに保てば500kHzの変換速度で連続的な変換が行われます。より低い変換速度が必要な場合には10MHzクロックを分周し、変換スタート入力を駆動するために使用することができます。このことにより、低い変換速度でのクロック同期モードの変換が実現します。同期変換モードのタイミングを図13と図14に示します。



- 注
A. この期間には変換スタート信号に過渡的な変化が起こらないようにして下さい。
B. ここに示されたタイミングは10MHzクロックによるものであり、タイミングはクロック期間に比例します。
C. ホールド・コマンド出力はホールド・コマンド出力に接続します。

図13. 変換スタート信号による変換のタイミング



注A. ホールド・コマンド入力はホールド・コマンド出力に接続します。

図14. フリー・ランニングによる変換のタイミング

ある期間のデータを捉えるためのゲート信号として、変換スタート信号を使うことができます。変換スタート信号の立上りエッジと立下りエッジにより、変換したい期間の開始と終了を規定できます。

変換スタート信号のタイミングにはいくつかの制限があります。変換スタート・ピンの変化はホールド・コマンド出力の立上りエッジ以前から700nsの期間とこのエッジの後から100nsに限定しなければなりません。このことにより変換開始と高感度の内部回路部とのカップリングを最小にすることができます。

非同期動作モード

同期動作はシステム・クロックに対する最大のノイズ除去比を与えます。しかし応用によっては変換スタート入力によりT/Hのトラック・ホールド遷移を直接制御することによりAD1382を非同期に動作させる必要があります。このような場合は、図15に示すような2入力ORゲートにより実現することができます。変換開始信号の立上りエッジによりT/Hはホールド・モードになりますが、この変換スタート信号の変化の後の最初のクロックの立上りエッジまで変換サイクルは開始されません。この接続での最大の変換開始パルス幅は800nsです。

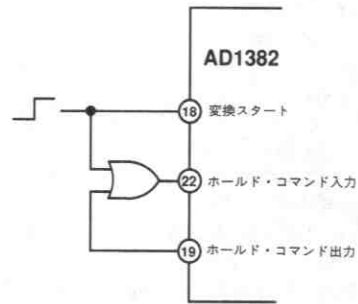


図15. クロックと非同期に入力信号をサンプリングするためのAD1382の接続

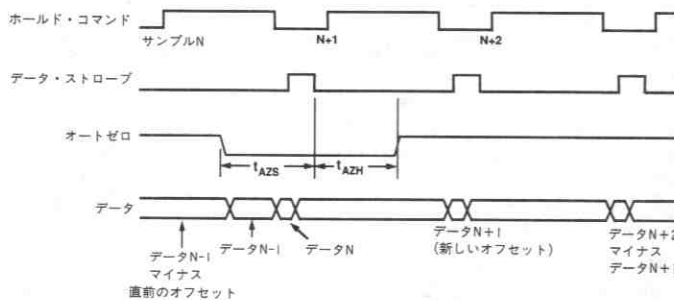


図16. オートゼロ・サイクル動作

出力データ

出力データは2つのバイト・データに分割され、8ビット・データ・バスに出力されます。データはデータ・ストロブ信号（ピン15）のエッジには安定であることが保証されています。上位/下位バイト・セレクト（ピン16）によりどちらのバイトが先に出力されるか制御されます。上位/下位バイト・セレクトがHIの場合にはバイト0はB9～B16で、バイト1がB1～B8となります。上位/下位バイト・セレクトがLOWの時にはデータ・バイトの順序が逆になります。バイト0とバイト1はタイミング図（図13）に規定されています。B1は再構成された16ビット・データの最上位ビットです。

B1セレクト（ピン44）により、2の補数形式かオフセット・バイナリ形式かを選択します。B1セレクトがLOWの時2の補数データとなります。データ・バスを高インピーダンス状態にするためOEを使用します。データ出力はアクティブLOWです。

入力範囲を越えた場合にはAD1382の演算ユニットは飽和し、すべて0またはすべて1となります。

オートゼロ（ピン45）

トラック・ホールドとADCの内部オフセットおよび外部オフセットをデジタル補正するため、オートゼロ機能が用いられます。オートゼロを使用するためには、変換をゼロにする以前にトラック・ホールド入力をゼロ・リファレンスに接続します。この接続はAD1382の外部でユーザが行う必要があります。この接続の抵抗値はそれほど低い必要はありませんが、1000Ω以下でなければなりません。オートゼロ・サイクルではAD1382の入力が0点（通常0V）の時デジタル出力を強制的に正確に0とします。（ここでは2の補数形式を使用しているものとします。オフセット・バイナリ形式のデータ形式が選択されているときには、オートゼロによりミッドスケールとなります。）オートゼロ動作はゼロ変換のデジタル・データを保持し、その後の変換結果からそれを減算することで行なわれます。この動作によって、AD1382の飽和しない最大入力範囲のうち、入力範囲設定とオフセット極性によって決まる片方のダイナミック・レンジがわずかに減少します。

オートゼロ機能はデータ・ストロブ出力の立下りエッジにオートゼロ入力（ピン45）をLOWにすることで有効になります。オフセット・データはオートゼロ入力が高になつてから最初のデータ・ストロブ・パルスの立下りエッジで取り込まれます。このオフセット・データはデータ・ストロブ・パルス期間中、AD1382のデータ・バスに出力されます。オートゼロ動作を図16に示します。この後のすべてのA/D変換結果はオートゼロ入力が高である間はオフセット・データによりデジタル的に校正されます。オートゼロがLOWになるとオフセット・レジスタはクリアされ、データ出力レジスタの値は校正なしの値に戻ります。図17にオートゼロのタイミング条件を示します。オートゼロは電源投入から最初の1回の変換が終わるまでは実行できません。

オートゼロ入力をLOWに保てば、オートゼロ機能は禁止されません。



図17. オートゼロ入力のセットアップおよびホールド時間

ゲイン調整（ピン40）

AD1382の内部リファレンスはゲイン調整端子に加えられる電圧を変化させることにより調整できます。このピンへの入力インピーダンスは通常20kΩ±20%です。ピン40での1Vの変化はリファレンス電圧で約10mVの変化となります。AD1382の性能を低下させずにリファレンスを±150mV調整することができます。最も簡単なゲイン調整回路は±15V電源の間にポテンショメータを接続し、ブラシをゲイン調整ピンに接続することです。ゲイン調整端子を通してノイズがADCに流れ込まないよう注意が必要です。

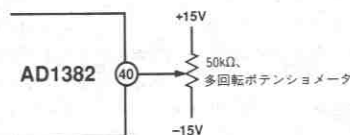


図18a. AD1382のゲイン調整回路

オフセット調整（ピン29）

ADCのオフセット電圧はオフセット調整端子に加える電圧によって調整できます。調整感度は通常0.005%FSR/Vで、入力インピーダンスは20kΩ±20%です。オフセット調整を最も簡単に行なう方法は、±15V電源の間にポテンショメータを接続し、ブラシをオフセット調整端子に接続することです。オフセット調整端子を通してノイズがADCに流れ込まないよう注意が必要です。

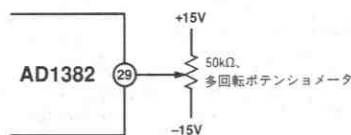


図18b. AD1382のオフセット調整回路

応用上の注意

実装と熱に関する配慮

AD1382は広い温度範囲で動作しますが、ケース温度を40～70℃の範囲に保つことで最良の特性が得られます。この温度範囲は通常、ヒートシンクを用いず穏やかな空気の流れの中で得られます。このような条件ではケース温度は周囲より約20℃上昇します。リファレンスDACの直線性のドリフトのため、仕様温度範囲外では特性はゆるやかに低下します。

システムの熱設計あるいは実際の応用において、ヒートシンクが必要な場合もあります。薄い熱伝導性の板をパッケージの下に敷き、グラウンド・プレーンに熱を逃すこともできます。この板は金属的な弾力のある熱伝導物質で作られています。弾力のある物質は機械的なストレスが少なく、基板とAD1382の両方に密着して熱伝導を改善します。これらの物質はサーマル・コンパウンドを必要としないという利点も持っています。

AD1382の試験

AD1382は非常に低歪み、低ノイズであるため、これまでの試験方法によって試験することは困難です。出力コードの数量とアナログ・デジタル変換方式の特性のため、特性のスタティック試験は特にやっかいなものとなります。エラー補正付きのサブレンジング・コンパクタ回路はその伝達関数のあらゆる点でエラーを発生する可能性があり、完全な試験のためにはすべてのコードを試す必要があります。

適当な回数ですべてのコードを測定するためにはヒストグラムによる方法が便利です。ヒストグラムの作成は決して短時間では終了ませんが、統計的に保証された結果を得るためには20万回の変換(40秒)しか必要としません。

FFTに基づく歪みとダイナミック・レンジの試験は最も有効な試験です。この試験では入力周波数に対しノイズと非直線性を数量化します。この結果からADCの規定のダイナミック特性を決定する積分および微分非直線特性を算出することができます。MRI CTのような優れたダイナミック応答を必要とするシステムではFFT試験による結果は特に重要です。FFTによって、静的な直線性試験では得ることのできない特性の問題も解決できます。

FFT試験を行なう場合に問題となるのはADCの動作帯域幅にわたって非常に高純度の正弦波を必要とすることです。入手可能な最良の波形発生器ですらAD1382の試験に必要な十分に低ノイズと低歪みの信号を発生することができません。ADCのクロックとフェーズ・ロックを掛けることのできる波形発生器もほとんどありません。フェーズ・ロックにより、ウィンドウ処理と不要スペクトラムの混入なしにFFTのデータ・ウィンドウ内で入力正弦波の有回数回のサイクルを得ることができます。

FFTのために現在入手できる最も優れた波形発生器はB&K社の1051(または1049)型です。この発生器では250kHzまでの周波数で0.001Hzの分解能でプログラム出力を得ることができます。この発生器の歪み特性は20kHz以下の周波数ではAD1382よりも優れていますが、100kHz以上の周波数では低下します。ノイズ特性は全周波数帯で問題となり、AD1382の帯域幅内では約-85dBとなっています。フィルタを使用すればノイズと歪みは満足できるレベルまで低下します。狭帯域のパス・フィルタにより、高調波は-100dB以下まで低下します。エア・ギャップ付きの大きなポット・コアに巻いたインダクタを使用すればきわめてリニアな特性となり、コイルを注意深く巻けば低損失で低い浮遊容量となります。このようなフィルタにより、通過帯域外ではノイズは無視できる値まで減少し、実際のADC特性よりもはるかに低くなります。このようなフィルタを使用しなければ、例えばオーバーチャージの影響は観測することができません。

図1~8に示したFFT特性はこれまでに説明した方法で測定しました。これらの試験はAD1382のダイナミック特性を保証するための通常の製造試験の一部として行なわれます。

高インピーダンス入力

入力にマルチプレクサを使用する応用の場合には、AD1382の入力インピーダンス2.5kΩをバッファし、マルチプレクサのON抵抗の非直線性によって生じる歪みを排除しなければなりません。バッファ・アンプの選択は入力信号の性質によります。

“スタティック”な応用

入力が低周波またはDCの場合にはアンプのノイズ、CMRR直線性、セトリング時間が最も重要となります。たとえばCATスキャン画像装置で光電流の積分によって信号を発生するような場合が当てはまります。ノイズにより最終的なシステムの分解能が制限されま

す。AD1382は55μVrms typの入力換算ノイズ特性です。総合システム・ノイズを計算するにはバッファの発生するノイズを2乗平均計算で加えなければなりません。たとえばバッファ・アンプが18μVrmsのノイズを発生する場合にはシステム全体のノイズ・レベルは $\sqrt{18^2+55^2}=58\mu\text{Vrms}$ となり、増加量はわずかな値です。より詳しいシステム・ノイズ・レベルを計算するためにはバッファの成分と等価ノイズ帯域幅が必要となります。AD1382の等価ノイズ帯域幅は2.2MHzです。[Low Noise Electronic Design] (C.D.Motchenbacher and F.C.Fitchen, John Wiley and Sons, New York, 1973)にはノイズ分析と計算の詳細な解説があります。

バッファ・アンプのCMRRは、CMRRの値が信号レベルと独立している限り、大きなゲイン誤差となります。このゲイン誤差の大きさはCMRRの実際の値と直接関係します。60dBのCMRRを持ったアンプは0.1%のゲイン誤差を持ちます。信号レベルと関係なく一定のレベルである限りCMRRの精密な値は重要ではありません。入力レベルに対するCMRRの変動が非直線性を劣化させます。CMRRの値(dB)が小さいほどこの値の変動が重要になってきます。あるアンプのCMRRが-10Vから+10Vの入力信号レベルに対応して100dBから110dBまで変動してもそれによって発生する非直線性は無視できますが、同じ入力範囲に対してCMRRが60dBから70dBまで変動する場合には大きな問題となります。

バッファのセトリング時間はシステムのスループットに影響を与えます。バッファのセトリング時間が約1.7μsより小さければ、システムのサンプリング・レートは500kHzを保てます。ホールド・コマンド入力(ピン22)の立上りエッジでAD1382のSHAがホールド・モードに入った直後に入力チャネルを切替えることができます。

“ダイナミック”な応用

ダイナミックな応用のためにはバッファの選択が重要になります。アンプの高調波歪み特性がノイズ、CMRR直線性やセトリング特性と同じく重要となります。非反転接続のアンプのTHDを規定している製造メーカはほとんどありません。これらはたとえ得られたとしても10Vp-p以上の信号レベルや1kHz以上の周波数条件ではまったく規定されていません。いくつかの製造メーカから販売されているアンプを、その用途に必要な増幅度と周波数の特性で選択することが重要です。

このような特性評価はスペクトラム・アナライザを用いることで容易に行なうことができます。基本波の周波数に同調したノッチ・フィルタによって測定精度を大幅に向上させることができます。出力データのFFTを実行することによりAD1382を測定デバイスとして使用することもできます。AD1382の試験の項の信号源についての説明を参照ください。

ユニポーラ動作

AD1382には直接のユニポーラ入力機能はありません。ユニポーラ入力は図19と20の回路を使用することで実現します。入力インピーダンスが低くてもよい時には図19の回路が最適です。マルチプレクサを使用した応用では図20の回路を使用すべきです。ユニポーラ動作での高インピーダンス入力もアンプの選択によって可能です。

データ・バス・インタフェース

AD1382のデータ出力はCMOSの4mAまでのドライバであり、システム・データ・バスと直接接続するよう考慮されていません。容量性のデータ・バスを充電電圧すると、大きな電源過渡波形とグラウンド・スパイクを発生することになり、AD1382の動作に影響を与え、結果的に間違ったデータが得られます。AD1382をバスから切離すため、レジスタやバッファを使用すべきです。バッファ・デバ

スはAD1382に近づけて配置し、コンバータのデータ出力に存在する容量性負荷を最小にしなければなりません。バッファを使用する場合にはAD1382のOE入力を常にグラウンドに落とせば簡易化できます。図21に代表的な16ビット・バスとのインタフェースを示します。

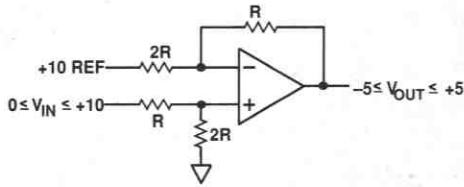


図19. ユニポラーバイポーラ変換回路 (低入力インピーダンス)

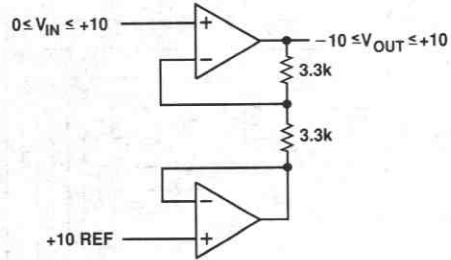


図20. 高入力インピーダンス、ユニポラーバイポーラ変換回路

評価用基板のレイアウト

図22~27にAD1382評価用ボードのレイアウトを示します。このレイアウトにはこれまでの章で説明したグラウンド、電源配分、インタフェース方法などを盛り込んであります。この4層のレイアウトの広範囲に渡るグラウンド・プレーンと電源プレーンの使用により、AD1382の最良の特性が得られます。

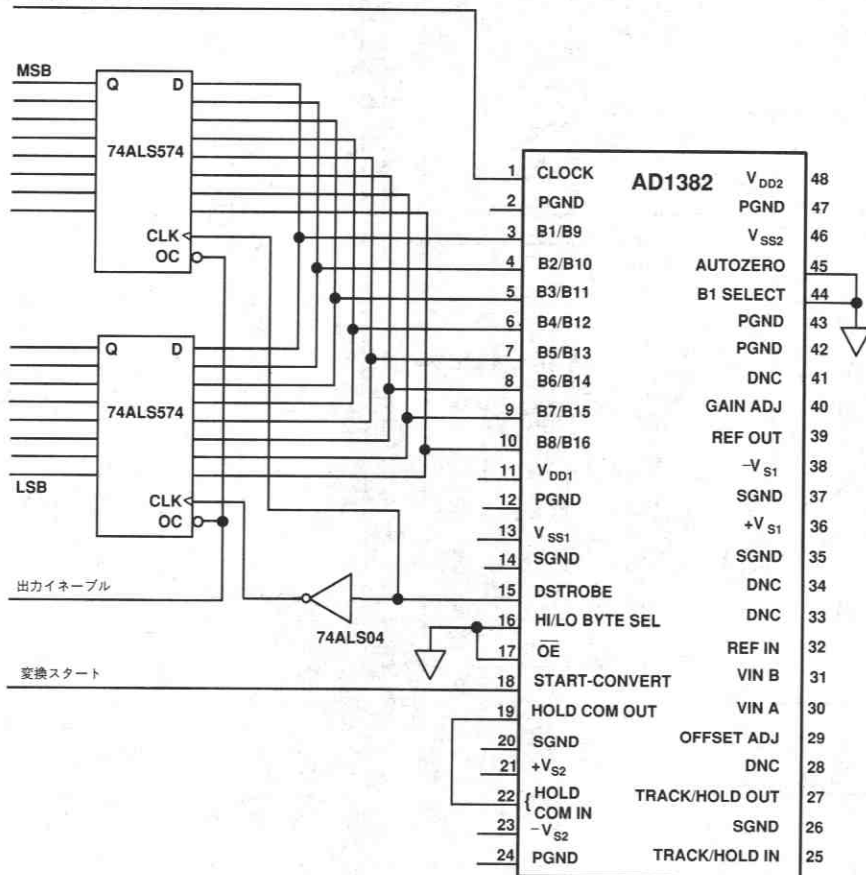


図21. AD1382の基本的なデジタル・インタフェース (16ビットの2の補数データ、オートゼロは使用していません)。

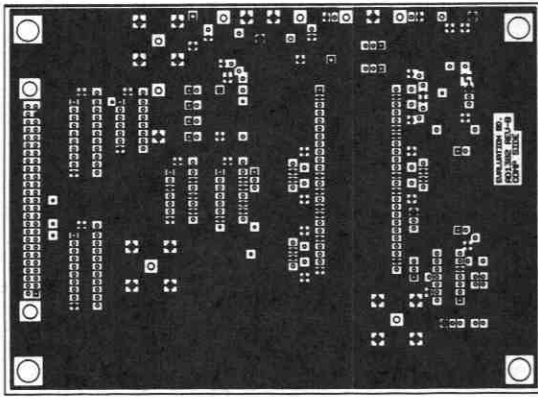


図23. AD1382評価用ボードのレイアウト、レイヤ1 (部品面)

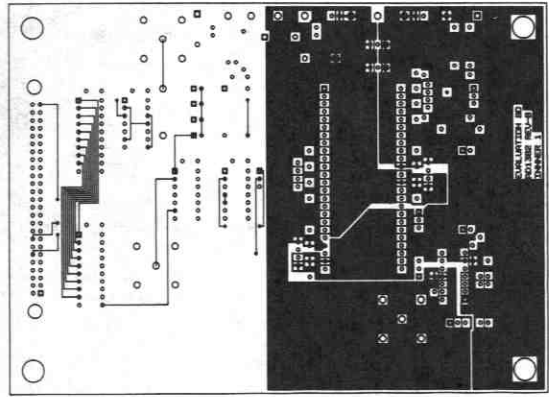


図24. AD1382評価用ボードのレイアウト、レイヤ2

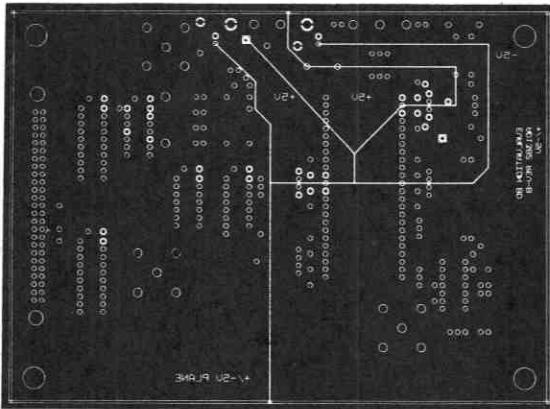


図25. AD1382評価用ボードのレイアウト、レイヤ3

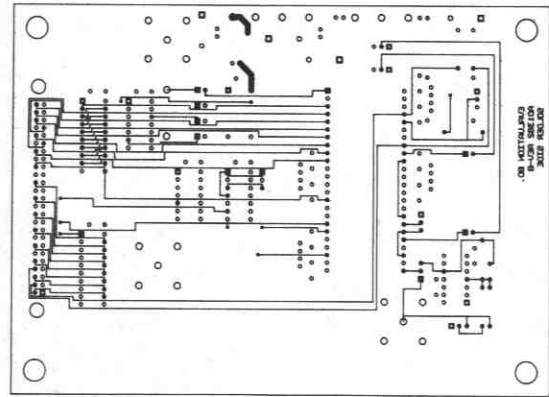


図26. AD1382評価用ボードのレイアウト、レイヤ4 (ハンダ面)

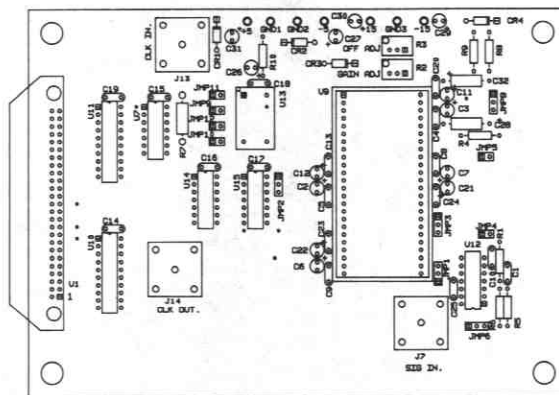


図27. AD1382評価用ボードのシルク図

AD1382評価用ボードの部品リスト

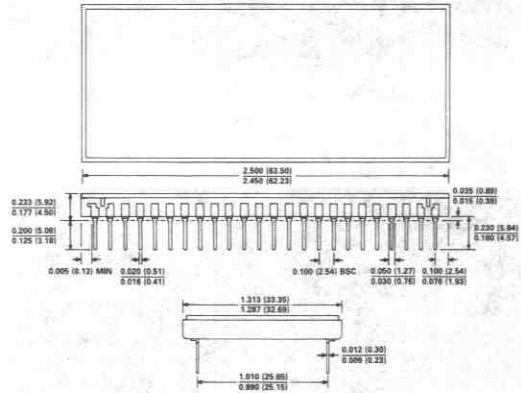
数量	記号	説明 (製造メーカ/部品番号)
1	C1	セラミック・コンデンサ、10pF、50V (マロリー-CEC100J)
13	C2, C3, C6, C7, C11, C12, C21, C22, C26, C27, C29~C31	タンタル・コンデンサ、10μF、35V (マロリー-TDL106K035S1D)
16	C4, C5, C8~C10, C13~C20, C23~C25	セラミック・コンデンサ、0.1μF、100V (ムラタ・エリー RPE122Z5U104 M100V)
2	C28, C32	タンタル・コンデンサ、39μF、10V (ケメット T110B396K010AS)
4	CR1~CR4	1N4001ダイオード
3	J7, J13, J14	BNC、メス、PCマウント (ボモナ4578)
8	JMP2~JMP6, JMP8, JMP9, JMP13	ジャンパ、2ポジション (3M 929950-00)
3	R1, R5, R6	RN55C抵抗、2.00k
2	R2, R3	50k 20回転、トリムポット (パナソニック3299W-1-503)
2	R4, R9	RN55C抵抗、10.0k
1	R7	カーボン抵抗、100Ω、1/2W
1	R10	RN55C抵抗、10Ω
1	U7	74ALS74
1	U9	AD1382KD (アナログ・デバイセス)
2	U10, U11	74ALS574
1	U12	AD842KN (アナログ・デバイセス)
1	U13	10MHz DIP水晶発振器
1	U14	74ALS04
1	U15	74ALS32
2	—	ソケット・ストリップ (SPC MPS1 P-32-GG)
1	—	ピン・ストリップ (3M 929647-01-36)
1	—	ソケット、14ピン発振器用 (オーガット 504-AG10D)
4	—	ソケット、14ピン (オーガット 514-AG11D)
2	—	ソケット、20ピン (オーガット 520-AG11D)
2	—	イジェクタ・ラッチ (3M 3505-3)
1	—	50ピン・コネクタ (3M 3433-5002)
2	—	ネジ、2-56×1/2
2	—	六角ナット、2-56

オーダ・ガイド

モデル	温度範囲	パッケージ・オプション
AD1382KD	周囲温度10°C ~ 40°C (ケース温度40°C ~ 70°C)	DH-48A

外形サイズ

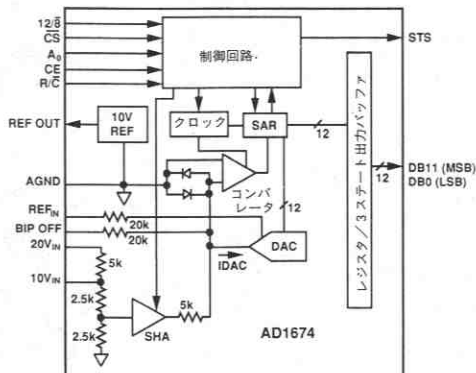
サイズはインチと(mm)で示します。



48ピン・ボトム・ブレース・セラミックDIP

特長

全機能内蔵のモノリシック12ビット、10 μ sサンプリングADC
サンプル・ホールド・アンプ内蔵
業界標準のピン配置
8 および16ビット・マイクロプロセッサ・インタフェース
ACおよびDC仕様が完全規定および試験済み
ユニポーラおよびバイポーラ入力
 $\pm 5V$ 、 $\pm 10V$ 、 $0 \sim +10V$ 、 $0 \sim +20V$ の入力レンジ
一般用、産業用および軍用温度範囲のグレードを用意



AD1674機能ブロック図

概要

AD1674は全機能内蔵の多目的12ビットA/Dコンバータで、サンプル・ホールド・アンプ (SHA)、10Vリファレンス、クロックおよびマイクロプロセッサ・インタフェース用の3ステート出力バッファを備えています。

AD1674は業界標準製品であるAD574AやAD674Aとピン・コンパチブルで、しかもサンプリング機能を内蔵し、高速変換レートを実現しています。内蔵SHAはコンバータのナイキスト帯域幅の全域において12ビット精度をサポートする広い入力帯域幅を備えています。

AD1674は、(S/N+D比、THD、IMDなどの)ACパラメータおよび(オフセット、フルスケール誤差などの)DCパラメータについて完全に仕様が規定されています。AD1674は、そのACおよびDC仕様性能により、信号処理や一般的なDC計測分野の応用に理想的です。

AD1674は、高性能バイポーラ・アナログ回路とデジタルCMOSロジックを同一のゲイ上に集積化することが可能な弊社独自のBi-CMOS IIプロセスによって製造されています。

AD1674には5つの性能別グレードが用意されています。AD1674JとKは $0 \sim +70^{\circ}\text{C}$ の温度範囲において仕様が規定されています。AとBグレードは $-40 \sim +85^{\circ}\text{C}$ において、AD1674Tは $-55 \sim +125^{\circ}\text{C}$ において仕様が規定されています。JおよびKグレードは28ピン・プラスチックDIPです。他のグレードは28ピンのハーメチック・シールド・セラミックDIPです。表面実装用およびMIL-STD-883CクラスBスクリーニング製品についてはお問い合わせください。

製品のハイライト

1. 業界標準のピン配置: AD1674のピン配置は、業界標準品のAD574AやAD674Aと同一です。スタンドアロン動作モードでは、AD1674はAD574AやAD674Aと同様のインタフェースを行いません。完全制御モードでは、制御タイミングが多少異なります。
2. 内蔵SHA: AD1674はコンバータのナイキスト帯域幅を完全にサポートするSHAを内蔵しています。SHAのデータ・アクイジションのためのウェイト・ステートは不要です。
3. DCおよびAC仕様: 従来のDC仕様に加えて、AD1674は全高調波歪み、S/N比、入力帯域幅などの周波数領域でのACパラメータについても完全に仕様が規定されています。これらのパラメータは完全に試験され、保証されています。
4. アナログ動作: 高精度のレーザ・トリミングされたスケールリング及びバイポーラ・オフセット用抵抗によって、4つの校正済み入力レンジ: $0 \sim +10V$ および $0 \sim +20V$ ユニポーラ、 $-5V \sim +5V$ および $-10V \sim +10V$ バイポーラが可能です。AD1674は $+5V$ および $\pm 12V$ または $\pm 15V$ 電源で動作します。
5. フレキシブルなデジタル・インタフェース: オンチップのマルチモード3ステート出力バッファおよびインタフェース・ロジックによって、ほとんどのマイクロプロセッサと直接に接続することができます。

仕様

DC仕様

(特に指定のない限り、 $T_{min} \sim T_{max}$ 、 $V_{CC} = +15V \pm 10\%$ または $+12V \pm 5\%$ 、 $V_{LOGIC} = +5V \pm 10\%$ 、 $V_{EE} = -15V \pm 10\%$ または $-12V \pm 5\%$)

パラメータ	AD1674J			AD1674K			単位		
	Min	Typ	Max	Min	Typ	Max			
分解能	12			12			ビット		
積分非直線性 (INL)	±1			±1/2			LSB		
微分非直線性 (DNL)									
ノーマリスコード	12			12			ビット		
ユニポーラ・オフセット ¹ @25°C	±3			±2			LSB		
バイポーラ・オフセット ¹ @25°C	±6			±4			LSB		
フルスケール誤差 ^{1,2} @25°C (REF OUT-REF IN 50Ω固定抵抗付き)	0.1	0.25		0.1	0.25		FSRの%		
温度範囲	0			+70			°C		
温度ドリフト ³									
ユニポーラ・オフセット ²	±2			±1			LSB		
バイポーラ・オフセット ²	±2			±1			LSB		
フルスケール誤差 ²	±6			±3			LSB		
電源変動除去比									
$V_{CC} = 15V \pm 1.5V$ または $12V \pm 0.6V$	±2			±1			LSB		
$V_{LOGIC} = 5V \pm 0.5V$	±1/2			±1/2			LSB		
$V_{EE} = -15V \pm 1.5V$ または $-12V \pm 0.6V$	±2			±1			LSB		
アナログ入力									
入力レンジ									
バイポーラ	-5		+5	-5		+5	V		
	-10		+10	-10		+10	V		
ユニポーラ	0		+10	0		+10	V		
	0		+20	0		+20	V		
入力インピーダンス									
10Vスパン	3	5	7	3	5	7	kΩ		
20Vスパン	6	10	14	6	10	14	kΩ		
電源									
動作電圧									
V_{LOGIC}	+4.5			+4.5			V		
V_{CC}	+11.4			+11.4			V		
V_{EE}	-16.5			-16.5			V		
動作電流									
I_{LOGIC}	5	8		5	8		mA		
I_{CC}	10	14		10	14		mA		
I_{EE}	14	18		14	18		mA		
消費電力	385			385			575	mW	
内部リファレンス電圧	9.9			9.9			10.0	10.1	V
出力電流 (外部負荷可能)	2.0			2.0			2.0	mA	
(変換中は外部負荷を変動させないこと)									

注

- 1.ゼロに調整可能。
- 2.内部リファレンスの誤差を含みます。
- 3.25°Cでの値から T_{min} または T_{max} での値までの最大変化。

太字で示す仕様は全製品につき、 T_{min} 、+25°C、 T_{max} において電源電圧の最悪値において最終電気試験を行なっています。これらの試験の結果は出荷品質レベルの算出に用いています。すべてのminおよびmaxの値は保証されていますが、試験されているのは太字で示す値のみです。

仕様は予告なしに変更することがあります。

パラメータ	AD1674A			AD1674B			AD1674T			単位
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
分解能	12			12			12			ビット
積分非直線性 (INL) @25°C $T_{min} \sim T_{max}$	±1			±1/2			±1/2			LSB
微分非直線性 (DNL) ノーマス・コード	±1			±1/2			±1			LSB
ユニポーラ・オフセット ¹ @25°C	±2			±2			±2			LSB
バイポーラ・オフセット ¹ @25°C	±6			±3			±3			LSB
フルスケール誤差 ^{1,2} @25°C (REF OUT - REF IN 50Ω固定抵抗付き)	0.1 0.25			0.1 0.125			0.1 0.125			FSRの%
温度範囲	-40 +85			-40 +85			-55 +125			°C
温度ドリフト ³										
ユニポーラ・オフセット ²	±2			±1			±1			LSB
バイポーラ・オフセット ²	±2			±1			±2			LSB
フルスケール誤差 ²	±8			±5			±7			LSB
電源変動除去比										
$V_{CC} = 15V \pm 1.5V$ または $12V \pm 0.6V$	±2			±1			±1			LSB
$V_{LOGIC} = 5V \pm 0.5V$	±1/2			±1/2			±1/2			LSB
$V_{EE} = -15V \pm 1.5V$ または $-12V \pm 0.6V$	±2			±1			±1			LSB
アナログ入力										
入力レンジ										
バイポーラ	-5		+5	-5		+5	-5		+5	V
	-10		+10	-10		+10	-10		+10	V
ユニポーラ	0		+10	0		+10	0		+10	V
	0		+20	0		+20	0		+20	V
入力インピーダンス										
10Vスパン	3	5	7	3	5	7	3	5	7	kΩ
20Vスパン	6	10	14	6	10	14	6	10	14	kΩ
電源										
動作電圧										
V_{LOGIC}	+4.5 +5.5			+4.5 +5.5			+4.5 +5.5			V
V_{CC}	+11.4 +16.5			+11.4 +16.5			+11.4 +16.5			V
V_{EE}	-16.5 -11.4			-16.5 -11.4			-16.5 -11.4			V
動作電流										
I_{LOGIC}	5 8			5 8			5 8			mA
I_{CC}	10 14			10 14			10 14			mA
I_{EE}	14 18			14 18			14 18			mA
消費電力	385 575			385 575			385 575			mW
内部リファレンス電圧	9.9	10.0	10.1	9.9	10.0	10.1	9.9	10.0	10.1	V
出力電流 (外部負荷可能) (変換中は外部負荷を変動させないこと)	2.0			2.0			2.0			mA

AC仕様

(特に指定のない限り、 $T_{min} \sim T_{max}$ 、 $V_{CC} = +15V \pm 10\%$ または $+12V \pm 5\%$ 、 $V_{LOGIC} = +5V \pm 10\%$ 、 $V_{EE} = -15V \pm 10\%$ または $-12V \pm 5\%$ 、 $f_{SAMPLE} = 100kSPS$ 、 $f_{IN} = 10kHz$ 、スタンダードローン・モード)

パラメータ	AD1674J/A			AD1674K/B/T			単位
	Min	Typ	Max	Min	Typ	Max	
S/N+歪み (S/N+D) 比 ^{2,3}	69	70		70	71		dB
全高調波歪み (THD) ⁴		-90	-82		-90	-82	dB %
			0.008			0.008	
ピーク・スプリアスまたはピーク高調波成分		-92	-82		-92	-82	dB
フルパワー帯域幅		1			1		MHz
フルリニア帯域幅		500			500		kHz
相互変調歪み (IMD) ⁵							
2次積		-90	-80		-90	-80	dB
3次積		-90	-80		-90	-80	dB
SHA (全タイミング仕様に含まれます)							
アパーチャ遅延		15			15		ns
アパーチャ・ジッタ		150			150		ps
アクイジション時間		1			1		μ s

デジタル仕様

(全グレードについて、 $T_{min} \sim T_{max}$ 、 $V_{CC} = +15V \pm 10\%$ または $+12V \pm 5\%$ 、 $V_{LOGIC} = +5V \pm 10\%$ 、 $V_{EE} = -15V \pm 10\%$ または $-12V \pm 5\%$)

パラメータ	テスト条件	Min	Max	単位
ロジック入力				
V_{IH} HIレベル入力電圧		+2.0	$V_{LOGIC} + 0.5V$	V
V_{IL} LOWレベル入力電圧		-0.5	+0.8	V
I_{IH} HIレベル入力電流 ($V_{IN} = 5V$)	$V_{IN} = V_{LOGIC}$	-10	+10	μ A
I_{IL} LOWレベル入力電流 ($V_{IN} = 0V$)	$V_{IN} = 0V$	-10	+10	μ A
C_{IN} 入力容量			10	pF
ロジック出力				
V_{OH} HIレベル出力電圧	$I_{OH} = 0.5mA$	+2.4		V
V_{OL} LOWレベル出力電圧	$I_{OL} = 1.6mA$		+0.4	V
I_{OZ} ハイ・インピーダンス時漏れ電流	$V_{IN} = 0 \sim V_{LOGIC}$	-10	+10	μ A
C_{OZ} ハイ・インピーダンス時出力容量			10	pF

注

- 特に指定のない限り、 f_{IN} の振幅は $-0.5dB$ ($9.44V_{P-P}$)、 $10V$ バイポーラ・モード。
特に指定のない限り、すべての測定値は $-0dB$ ($9.997V_{P-P}$)の入力信号を基準にしています。
- ワースト・ケースでの温度における1分間のウォームアップ後の仕様。
- 他の入力周波数および振幅については図12、13を参照してください。
- 図11を参照してください。
- $f_a = 9.08kHz$ 、 $f_b = 9.58kHz$ 、 $f_{SAMPLE} = 100kHz$ 。「仕様の説明」の項と図15を参照してください。

太字で示す仕様は全デバイスにつき、 T_{min} 、 $+25^\circ C$ 、 T_{max} において最悪の場合の電源電圧において最終電気試験を行っています。これらの試験の結果は出荷品質レベルの算出に用いています。すべてのminおよびmaxの値は保証されていますが、試験されているのは太字で示す値のみです。

仕様は予告なしに変更することがあります。

スイッチング仕様

(特に指定のない限り、すべてのグレードで $T_{min} \sim T_{max}$ 、 $V_{CC} = +15V \pm 10\%$ または $+12V \pm 5\%$ 、 $V_{LOGIC} = +5V \pm 10\%$ 、 $V_{EE} = -15V \pm 10\%$ または $-12V \pm 5\%$ 、 $V_{IL} = 0.4V$ 、 $V_{IH} = 2.4V$)

コンバータ変換開始タイミング (図1)

パラメータ	記号	Min	Typ	Max	単位
変換時間					
8ビット・サイクル	t_c		7	8	μS
12ビット・サイクル	t_c		9	10	μS
CEからSTSの遅延@25°C	t_{DSC}			200	ns
$T_{min} \sim T_{max}$				250	ns
CEのパルス幅@25°C	t_{HEC}	50			ns
$T_{min} \sim T_{max}$		75			ns
CS-CEセットアップ時間	t_{SSC}	50			ns
CE HI期間でのCS LOW時間@25°C	t_{HSC}	50			ns
$T_{min} \sim T_{max}$		75			ns
R/C-CEセットアップ時間	t_{SRC}	50			ns
CE HI期間でのR/C LOW時間@25°C	t_{HRC}	50			ns
$T_{min} \sim T_{max}$		150			ns
A0-CEセットアップ時間	t_{SAC}	0			ns
CE HI期間でのA ₀ 有効時間	t_{HAC}	50			ns

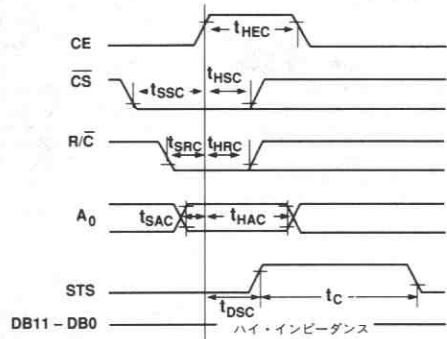


図1. 変換開始タイミング

リード・タイミング：完全制御モード (図2)

パラメータ	記号	Min	Typ	Max	単位
アクセス時間					
$C_L = 100pF$	t_{DD}^1		75	150	ns
CE LOW後のデータ有効時間	t_{HD}	25			ns
出力フローティング遅延	t_{HL}^2			150	ns
CS-CEセットアップ時間	t_{SSR}	50			ns
R/C-CEセットアップ時間	t_{SRR}	0			ns
A0-CEセットアップ時間	t_{SAR}	50			ns
CE LOW後のCS有効時間	t_{HSR}	0			ns
CE LOW後のR/C HI時間	t_{HRR}	60			ns
CE LOW後のA ₀ 有効時間	t_{HAR}	50			ns

注

- t_{DD} は図3に示す負荷回路を用いて測定されており、出力が0.4Vまたは2.4Vに達するまでに必要な時間として定義されています。
- t_{HL} は図3に示す負荷回路を接続した際にデータ・ラインが0.5V変化するまでに必要な時間として定義されています。

太字で示す仕様は全製品につき、 T_{min} 、+25°C、 T_{max} において電源電圧の最悪値において最終電気試験を行なっています。これらの試験の結果は出荷品質レベルの算出に用いています。すべてのminおよびmax値は保証されていますが、テストされているのは太字で示す仕様のみです。

仕様は予告なしに変更されることがあります。

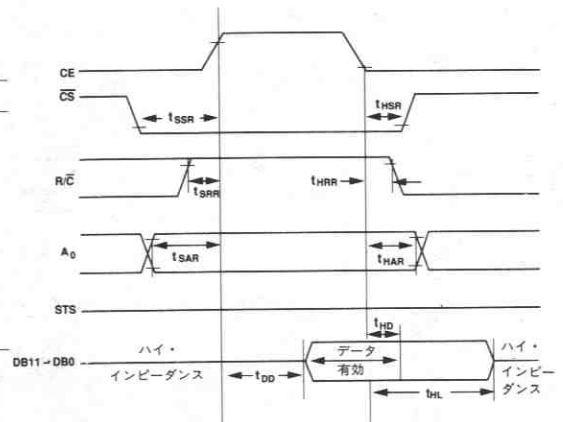


図2. リード・タイミング

試験内容	V_{CP}	C_{OUT}
アクセス時間のハイ・インピーダンス→ロジックLOW	5V	100pF
フロート時間のロジックHI→ハイ・インピーダンス	0V	10pF
アクセス時間のハイ・インピーダンス→ロジックHI	0V	100pF
フロート時間のロジックLOW→ハイ・インピーダンス	5V	10pF

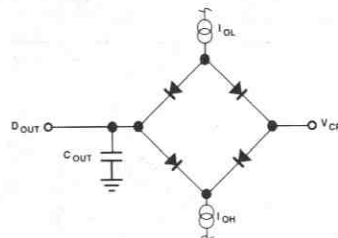


図3. バス・タイミング仕様のための負荷回路

リード・タイミング：スタンダアローン・モード（図4 aおよび4 b）

パラメータ	記号	Min	Typ	Max	単位
データ・アクセス時間	t_{DDR}			150	ns
R/C LOWパルス幅	t_{HRL}	50			ns
R/CからSTSの遅延@25°C	t_{DS}			200	ns
$T_{min} \sim T_{max}$				250	ns
R/C LOW後のデータ有効時間	t_{HDR}	25			ns
データ有効後のSTS遅延	t_{HS}	0.6	0.8	1.2	μs
R/C HIパルス幅	t_{HRH}	150			ns

太字で示す仕様は全製品につき、 T_{min} 、+25°C、 T_{max} において電源電圧の最悪値において最終電気試験を行なっています。これらの試験の結果は出荷品質レベルの算出に用いています。すべてのminおよびmaxの値は保証されていますが、テストされているのは太字で示す仕様のみです。

仕様は予告なしに変更されることがあります。

絶対最大定格*

V_{CC} ～デジタル・コモン	0～+16.5V
V_{EE} ～デジタル・コモン	0～-16.5V
V_{Logic} ～デジタル・コモン	0～+7V
アナログ・コモン～デジタル・コモン	±1V
デジタル入力～デジタル・コモン	-0.5V～ $V_{Logic}+0.5V$
アナログ入力～アナログ・コモン	$V_{EE}-V_{CC}$
$20V_{IN}$ ～アナログ・コモン	±24V
REF OUT	コモンに連続短絡 V_{CC} に瞬時短絡
ジャンクション温度	+175°C
消費電力	825mW
リード温度、ハンダ付け	300°C、10秒間
保管温度	-65～+150°C

*絶対最大定格を超えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスがある項目についての絶対最大定格の状態に長時間さらすと、デバイスの信頼性に影響を与えます。

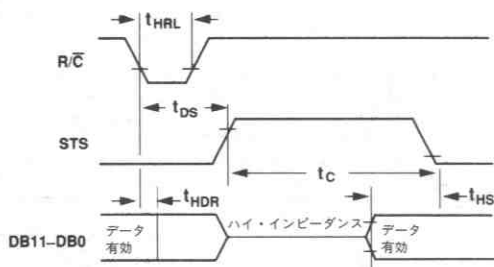


図4 a. スタンダアローン動作モード・タイミング、R/CへのLOWパルス

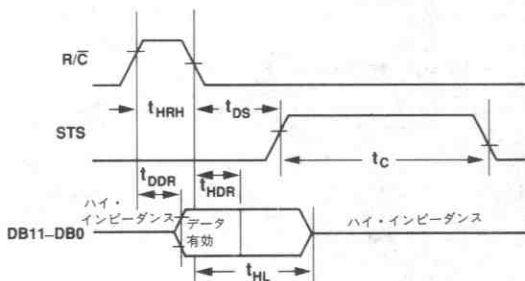


図4 b. スタンダアローン動作モード・タイミング、R/CへのHIパルス

注意

この素子はESD(Electrostatic-Discharge)センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させる必要があります。



仕様の説明

積分非直線性 (INL)

理想的なADCの伝達関数は「ゼロ」と「フルスケール」間を結ぶ直線です。「ゼロ」として用いられる点は、最初のコード遷移から1/2 LSB前にあります。「フルスケール」点は最後のコード遷移から1 - 1/2 LSB後のレベルとして定義されています。積分非直線性はこの直線からの最悪のケースの偏差です。各コードの偏差はそのコードの中心で測定されます。

微分非直線性 (DNL)

ノーマス・コードを保証する仕様では、アナログ入力レベルが増加するに従ってすべてのコードが単調増加性を示すことが必要です。このため、コードの幅はすべて有限でなければなりません。AD1674は12ビットの分解能についてノーマス・コードを保証しており、全動作温度範囲で4096のすべてのコードが存在します。

ユニポーラ・オフセット

最初のコード遷移はアナログ・コモン1/2 LSB上のレベルで発生します。ユニポーラ・オフセットは、+25°Cでのこの点と実際の遷移点との偏差として定義されています。このオフセットは図6に示すように調整することができます。

バイポーラ・オフセット

バイポーラ・モードでは最大の桁上げ遷移 (0111 1111 1111 から1000 0000 0000) はアナログ・コモン1/2 LSB下のアナログ値に対して起こります。バイポーラ・オフセット誤差は、+25°Cでの実際の遷移のその点からの偏差の仕様です。このオフセットは図7に示すように調整することができます。

フルスケール誤差

最後のコード遷移 (1111 1111 1110 から1111 1111 1111) はフルスケール定格値の1 - 1/2 LSB下のアナログ値 (10Vフルスケールで9.9963V) に対して起こります。フルスケール誤差は、25°Cでの最後の遷移の実際のレベルと理想レベルとの偏差です。フルスケール誤差は図6、7に示すようにゼロに調整することができます。

温度ドリフト

フルスケール誤差、ユニポーラ・オフセット、バイポーラ・オフセットの温度ドリフトは、初期値 (+25°C) から T_{min} または T_{max} の範囲での最大変化の仕様です。

電源変動除去比

電源誤差のデバイスの特性への影響は、フルスケールでのわずかな変化のみです。仕様表には名範囲内の電源における初期値からの最大のフルスケール変化が示されています。

周波数領域での試験

AD1674は正弦波の入力と2048ポイントの高速フーリエ変換(FFT)による出力結果の分析によってダイナミック試験が実施されています。ADCのサンプリング周波数およびアナログ入力周波数が互いに整数比の関係を持つコヒーレント・サンプリングが用いられています。これによって入力サイクルの全数を捕捉でき、デバイスのダイナミック特性の一部をマスクする恐れのあるウィンドウ処理やデジタル・フィルタ処理を行うことなく直接的なFFT処理が可能になります。さらに、公約数をもたない周波数を選択することによって、サンプル・シーケンスに存在する異なるADCコードの数を

最大化しています。このプライム・コヒーレント・サンプリングと呼ばれる方式を用いることによって、コンバータの真の周波数領域での応答の測定が、正確で再現性をもつものになっています。

ナイキスト周波数

ナイキストのサンプリング定理に基づき、コンバータの「ナイキスト周波数」とは、コンバータのサンプリング周波数の1/2の入力周波数です。

信号/ノイズおよび歪み比 (S/N+D)

S/N+Dは入力信号のrms値とナイキスト周波数以下の他のすべてのスペクトル成分の測定値のrms和の比です。高調波成分は含まれますが、DC成分は含まれません。S/N+Dの値はデシベルで表わされます。

全高調波歪み (THD)

THDは入力信号の最初の6つの高調波成分の和のrmsとフルスケール入力信号のrms値との比であり、%またはデシベルで表わされます。ナイキスト周波数を越える入力信号や高調波についてはエリクシング成分が用いられます。

相互変調歪み (IMD)

2つの周波数 f_a および f_b の正弦波入力に対して、非直線性をもつデバイスはどれでも、歪み積をつくり出します。 m, n を0, 1, 2, 3, ...とすると、歪みのオーダーは $(m+n)$ であり、周波数の和と差は $m f_a \pm n f_b$ です。相互変調の項は m と n がゼロでない場合に存在します。たとえば、2次の項は $(f_a + f_b)$ と $(f_a - f_b)$ であり、3次の項は $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ および $(f_a - 2f_b)$ です。IMD積は入力信号の計測値のrmsの和と、歪みの項のrms和との比として、デシベルで表わします。コンバータに適用される2つの周波数は等しい大きさであり、それらの和のピーク値はフルスケールから-0.5dBです。IMD積は0dBの入力信号について正規化されます。

フルパワー帯域幅

フルパワー帯域幅は、再構成された基本波の振幅がフルスケール入力に対して3dB減衰する入力周波数です。

フルリニア帯域幅

フルリニア帯域幅はSHAのスルーレートの限界に達する入力周波数です。この周波数では再構成された基本波の振幅は-0.1dB以下程度劣化します。この周波数を越えるとサンプリング入力信号の歪みは著しく増加します。

アパーチャ遅延

アパーチャ遅延はSHA性能の目安であり、リード/コンバート(R/C)の立下りエッジから入力信号が変換のためにホールドされるまでの時間です。

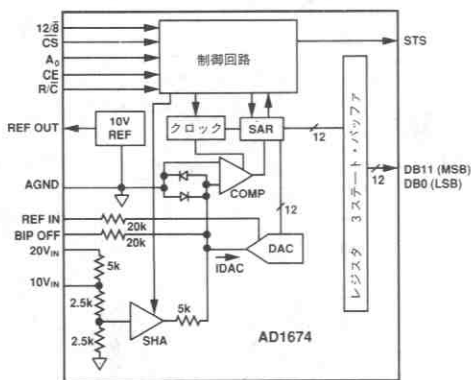
アパーチャ・ジッタ

アパーチャ・ジッタは、サンプルごとのアパーチャ遅延の変化であり、A/Dの入力上にノイズとして現われます。

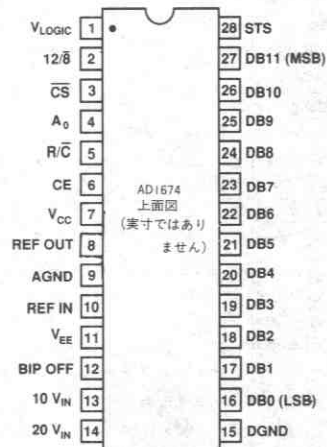
ピン機能説明

記号	ピン番号	タイプ	名称と機能
AGND	9	P	アナログ・グラウンド (コモン)。
A ₀	4	DI	バイト・アドレス/ショート・サイクル。A ₀ がアクティブLOWの状態では変換が開始された場合には完全12ビット変換サイクルが始まります。変換開始時にA ₀ がアクティブHIの場合、短縮された8ビット変換サイクルとなります。リード期間中 (R/C=1) で12/8がLOWのとき、A ₀ =LOWは上位8ビット (DB4-DB11) をイネーブルし、A ₀ =HIはDB3~DB0をイネーブルするとともにDB7~DB4を0にセットします。
BIP OFF	12	AI	バイポーラ・オフセット。このピンを50Ωの抵抗を通してREF OUTに接続するとバイポーラ動作となり、アナログ・コモンに接続するとユニポーラ動作となります。
CE	6	DI	チップ・イネーブル。チップ・イネーブルはアクティブHIであり、変換の開始またはリード動作のために用います。
\overline{CS}	3	DI	チップ・セレクト。チップ・セレクトはアクティブLOWです。
DB11~DB8	27~24	DO	データビット11~8。12ビットおよび8ビット形式のいずれの場合も (12/8とA ₀ ピンを参照)、これらのピンからデータの上位4ビットが出力されます。
DB7~DB4	23~20	DO	データビット7~4。12ビット形式では、これらのピンからデータの間4ビットが出力されます。8ビット形式では、A ₀ がLOWの場合に中間4ビットが出力され、A ₀ がHIの場合、オール・ゼロとなります。
DB3~DB0	19~16	DO	データビット3~0。12ビットおよび8ビット形式のいずれの場合も、A ₀ がLOWならばこれらのピンから下位4ビット・データが出力されます。これらはA ₀ がHIでディスエーブルされます。
DGND	15	P	デジタル・グラウンド (コモン)。
REF OUT	8	AO	+10Vリファレンス出力
R/C	5	DI	リード/コンバート。完全制御モードではR/CがアクティブHIでリード動作、アクティブLOWで変換動作となります。スタンドアローン・モードでは、R/Cの立下りエッジで変換が開始されます。
REF IN	10	AI	リファレンス入力は50Ωの抵抗を通して+10Vリファレンスに接続し、正常動作を行ないます。
STS	28	DO	ステータスは変換実行中はアクティブHIで、変換終了時にLOWとなります。
V _{CC}	7	P	+12V/+15Vアナログ電源
V _{EE}	11	P	-12V/-15Vアナログ電源
V _{LOGIC}	1	P	+5Vロジック電源
10V _{IN}	13	AI	10Vスパン入力、0~+10Vユニポーラ・モードまたは-5V~+5Vバイポーラ・モード。AD1674を20Vスパンで用いる場合、このピンは接続してはいけません。
20V _{IN}	14	AI	20Vスパン入力、0~+20Vユニポーラ・モードまたは-10V~+10Vバイポーラ・モード。AD1674を10Vスパンで用いる場合、このピンは接続してはいけません。
12/8	2	DI	12/8ピンによって、デジタル出力データの形式を、2つの8ビット・ワード (12/8=LOW) あるいは単一の12ビット・ワード (12/8=HI) に決定します。

タイプ: AI =アナログ入力
 AO =アナログ出力
 DI =デジタル入力
 DO =デジタル出力
 P =電源



AD1674機能ブロック図



ピン配置

動作説明

AD1674は全機能内蔵の12ビット10 μ sサンプリングA/Dコンバータです。AD1674のブロック図を前ページに示します。

制御回路に変換開始のコマンドが与えられると、制御回路はサンプル・ホールド・アンプ (SHA) をホールド・モードとし、クロックをイネーブルし、逐次比較レジスタ (SAR) をリセットします。変換サイクルが開始してしまうと、停止したり再スタートすることはできず、出力バッファからデータを得ることはできません。SARはクロックに同期して変換サイクルを実行し、変換が終了した時点で制御回路に変換終了フラグを返します。この時点で制御回路は、クロックの動作を禁止し、SHAをサンプル・モードに切替え、12ビット精度のデータ収集が可能になるようにSTSの立下りエッジを遅延します。そして制御回路は、SHAのアクイジション間隔の期間、外部コマンドによるデータ・リードを可能にします。

変換サイクルでは内部12ビット1mAフルスケール電流出力DACがSARにしたがってMSBからLSBまで順次動作し、SHAによりホールドされた入力信号電圧から5k Ω 入力抵抗を通る入力信号電流に正確に対応する出力電流を供給します。SHAの入力スケリング抵抗は入力電圧を10V入力スパンでは2、20V入力スパンでは4分圧し、いずれのスパンにおいても5k Ω 抵抗を通して出力電流が1mAフルスケールを維持するようにします。コンバータは各ビットの重みづけをもつ電流を加えることによって、DACの合計電流が入力電流より大きくなるか小さくなるかを判定し、入力電流より小さい時

そのビットをオンのままとし、大きい時はそのビットをオフにします。全ビットのチェックが終わると、SARのなかの12ビット・バイナリ・コードは正確に入力信号の1/2LSB内となります。

制御ロジック

AD1674には完全制御モードとスタンダアローン・モードの2つの動作モードがあります。完全制御モードではAD1674のすべての制御信号を利用しており、単一のデータバス上にアドレス・デコードによって複数のデバイスを接続するシステムに便利です。スタンダアローン・モードは専用の入力ポートが用意されているシステムに有効であり、完全なバス・インタフェース機能を必要としません。表IはAD1674の真理値表で、図5は内部ロジック回路を示しています。

CE	\overline{CS}	R/C	12/8	A ₀	動作
0	X	X	X	X	動作なし
X	1	X	X	X	動作なし
1	0	0	X	0	12ビット変換の開始
1	0	0	X	1	8ビット変換の開始
1	0	1	1	X	12ビット・パラレル出力イネーブル
1	0	1	0	0	上位8ビット・イネーブル
1	0	1	0	1	下位4ビット+0000イネーブル

表I. AD1674の真理値表

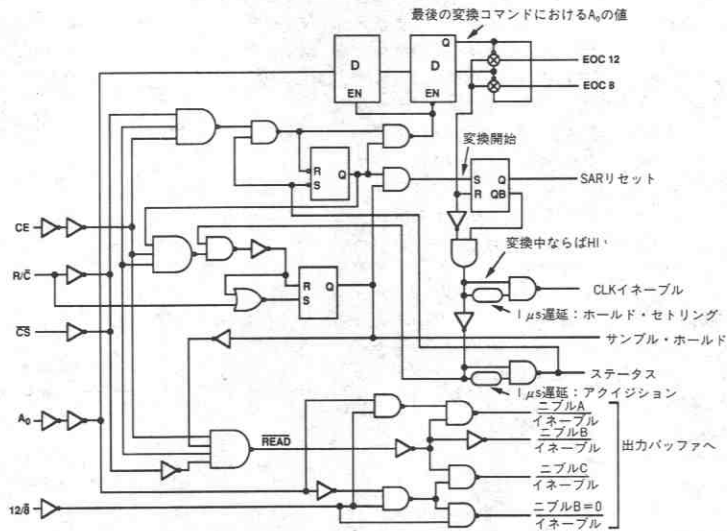


図5. 内部ロジック等価回路

完全制御モード

完全制御モードでは、AD1674のタイミング条件はAD674Aと多少異なっています。これらの差異を表IIに示します。完全制御モードでのAD1674のタイミングはAD674Aの応用に沿って見ていく必要があります。

仕様	AD674A	AD1674
t_{HRC}	50ns (min)	50ns @ 25°C 150ns $T_{min} \sim T_{max}$
t_{HRR}	0ns (min)	60ns
t_{PSC}	200ns (max)	200ns @ 25°C 250ns $T_{min} \sim T_{max}$
t_{HS}	600ns (max)	1 μ s

表II

チップ・イネーブル (CE)、チップ・セレクト (\overline{CS}) およびリード/コンバート ($\overline{R/\overline{C}}$) は変換またはリード・モード動作の制御に用いられます。CEまたは \overline{CS} のどちらかが変換の開始に用いることができます。SHA制御への遅延が最も小さいのは $\overline{R/\overline{C}}$ 入力 (図5参照) による変換の開始です。SHAの精度はスタンドアロン動作モードでの使用に最適化されており、その結果、表IIに示すような完全制御モード動作との差異が生じています。CEおよび \overline{CS} の両方がアサートされているときの $\overline{R/\overline{C}}$ の状態によって、データ・リード ($\overline{R/\overline{C}}=1$) または変換 ($\overline{R/\overline{C}}=0$) が進行中であるかが決定されます。CEおよび \overline{CS} の両方をアサートする前には、 $\overline{R/\overline{C}}$ はLOWにしておくべきです。 $\overline{R/\overline{C}}$ がHIになっていると、瞬間的にリード動作が起こり、システム・バス上でデータの衝突が発生する可能性があります。

スタンドアロン・モード動作

AD1674は完全なバス・インタフェース機能が不要な専用入力ポートをもつシステムに有効なスタンドアロン・モード動作で用いることができます。スタンドアロン・モードの応用では、一般に完全制御モードに比べてより正確に変換開始コマンドを与えることができます。これによって変換制御に起因するアーチャ・ジッタが減少し、AC性能が向上します。

スタンドアロン・モードでは、AD1674の制御インタフェースはAD674Aと同一です。CEと12/8をHIにし、 \overline{CS} とA0をLOWに結線し、変換は $\overline{R/\overline{C}}$ によって制御します。3ステート・バッファは $\overline{R/\overline{C}}$ がHIのときにイネーブルされ、 $\overline{R/\overline{C}}$ の立下り時に変換が開始します。このことは制御信号としてハイ・パルスとロー・パルスの2種類が可能であることを示します。ロー・パルスを使った場合の動作が図4aです。この場合、 $\overline{R/\overline{C}}$ の立下りエッジで出力が高インピーダンス状態となり、変換サイクルの終了後、有効ロジック・レベルに復帰します。STS信号は $\overline{R/\overline{C}}$ がローになって、200ns後にHIとなり、データが有効になって1 μ s後にローに戻ります。

図4bはハイ・パルスによって変換が開始される場合で、データ・ラインは $\overline{R/\overline{C}}$ がHIの間だけイネーブルとなります。 $\overline{R/\overline{C}}$ の立下りエッジで次の変換が開始され、データ・ラインはスリーステートに戻ります ($\overline{R/\overline{C}}$ の次のハイ・パルスまで維持されます)。

変換タイミング

変換が開始されると、STSラインはHIになります。この変換サイクルが終了するまで変換開始コマンドは無視されます。出力データ・バッファはSTSの立下りよりも1.2 μ s早くイネーブルすることができます。STSラインは変換サイクルの終了時にLOWに戻ります。

レジスタ制御入力A0および12/8により、変換の長さやデータ形式

を制御します。A0=LOWで変換を開始した場合には、完全12ビット変換サイクルが開始します。変換開始時にA0=HIであった場合、より短い8ビット変換サイクルとなります。

データ・リード動作ではA0によって、3ステート・バッファの保持している変換結果の上位8ビット ($A_0=0$) あるいは下位4ビット ($A_0=1$) のどちらかをイネーブルするかが決まります。12/8ピンによって、出力データの構成が2つの8ビット・ワード (12/8をLOW) かあるいは単一の12ビット・ワード (12/8をHI) かが決まります。8ビット・モードにおいては、 $A_0=HI$ 時のバイト・アドレスでは変換結果の最下位4ビットは4つのゼロを伴います。このようなデータ構成によって、データ・ラインをオーバーラップすることが可能となり、外部スリーステート・バッファの必要性なしに8ビット・バスに直接インタフェースすることができます。

入力の接続と校正

AD1674は10V_{FS}と20V_{FS}のフルスケール入力レンジにより、ADCの精度を損なう可能性のある分圧ネットワークを外部に設けることなくほとんどの信号電圧を受入れます。

AD1674はオフセット誤差、直線性誤差およびフルスケール誤差を最小化するために出荷時にトリミングが施されています。多くの応用で校正のためのトリミングが不要であり、AD1674は仕様表に示す精度リミットを実現します。

応用によってはオフセット誤差とフルスケール誤差をトリミングによって完全に除去する必要があります。以下の節では種々の状況における正しいトリミング手順を説明しています。

ユニポーラ・レンジの入力

図6にAD1674のユニポーラ入力モードでの外部接続を示します。最初出力コード遷移 (0000 0000 0000から0000 0000 0001) は公称では、入力レベルが+1/2LSB (10Vレンジではグラウンドから+1.22mV、20Vレンジでは+2.44mV) の時に起こります。ユニポーラ・オフセットをこの公称値にトリムするためには+1/2LSB信号を、10Vレンジではピン13とグラウンドの間に、20Vレンジではピン14とグラウンドの間に与え、最初の遷移が発生するまでR1を調整します。オフセットのトリムが不要の場合、ピン12はピン9に直接に接続できるため、ピン12の2つの抵抗とトリマは不要になります。

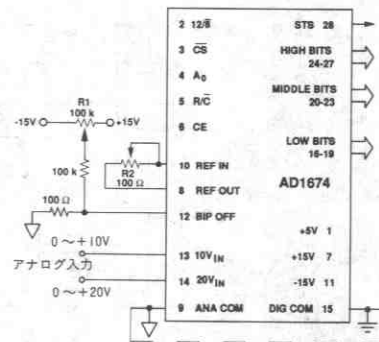


図6. ゲインおよびオフセット調整のユニポーラ入力接続

フルスケールのトリミングは、公称フルスケール（10Vレンジで9.9963V）より $-1/2\text{LSB}$ の信号を与え、最後のコード遷移（1111 1111から1111 1111 1111）が起きるまでR2を調整することによって行ないます。フルスケール調整が不要の場合は、R2を $50\Omega \pm 1\%$ の固定金属被膜抵抗に置き換えてください。REF OUTがREF INに直接に接続されている場合、フルスケール誤差は約1%増加します。

バイポーラ・レンジの入力

図7にバイポーラ入力モードの接続を示します。

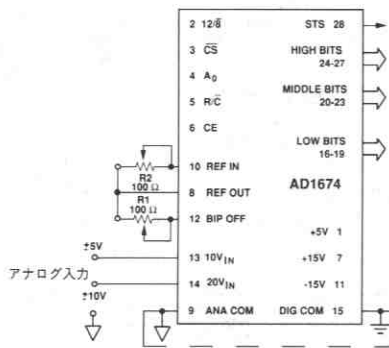


図7. ゲインおよびオフセット調整のバイポーラ入力接続

AD1674の仕様精度がアプリケーションにとって充分であるなら、トリムポットのどちらか、または両方を $50\Omega \pm 1\%$ の固定抵抗器に置換することができます。これらのピンをショートさせたときには、オフセットとゲインの誤差が約1%増えます。

バイポーラ・オフセットをその公称値にトリムするには、ミッドレンジ（ $\pm 5\text{V}$ レンジの場合で -1.22mV ）から $1/2\text{LSB}$ 下の信号を印加し、メジャー・キャリヤ遷移（0111 1111 1111から1000 0000 0000）が検出されるまでR1を調節します。フルスケール誤差をトリムするには、フルスケール（ $\pm 5\text{V}$ レンジで $+4.9963\text{V}$ ）から $1/2\text{LSB}$ 下の信号を印加し、最終正遷移（1111 1111 1111から1111 1111 1111）が起きるようにR2を調節します。これらのトリミングは互いに相関しているため、収束させるためには何度かの繰返しが必要なこともあります。

同じ回路を使って、バイポーラ・オフセット・トリム（ミッドスケール誤差）の代わりにマイナス・フルスケール・トリムを行なうことにより、ワンパスの校正ができます。最初に、マイナス・フルスケール（ $\pm 5\text{V}$ レンジで -4.9988V ）から $1/2\text{LSB}$ 上の信号を印加し、マイナス・フルスケール遷移（0000 0000 0001から0000 0000 0000）が検出されるまでR1を調節します。次に上記に述べたようにゲイン誤差調整を行ないます。

リファレンスのデカップリング

REF IN（ピン10）とグラウンド間に、 $10\mu\text{F}$ のタンタル・コンデンサを接続することをお勧めします。これは、電圧リファレンスからの広帯域ノイズをフィルタし、S/N+D比を改善する効果があります。

基板レイアウト

高分解能のデータ・コンバータを設計する際には基板のレイアウトに細心の注意が必要です。トレース・インピーダンスが最大の問題です。12ビット・レベルでは、 0.5Ω のトレース中の 5mA の電流で

2.5mV の電圧降下が生じ、これは、 10V フルスケール・スパンで1LSBに相当します。グラウンド・ドロップに加え、とくに高精度のアナログ信号とデジタル信号が同一の基板上に存在するときには、誘導性と容量性カプリングを考慮に入れなければなりません。最後に電源も、ACノイズをフィルタするためにデカップリングする必要があります。

AD1674は広帯域のサンプリング・フロントエンドを備えています。このことは、非サンプリング型の（あるいは帯域制限されたサンプリングを行なう）ADCでは無視されるような高周波ノイズをAD1674は“見る”ことを意味しています。したがって、AD1674のアナログ入力において、デカップリングあるいはアンチエリアシング・フィルタを用い、このような高周波ノイズを除去しようとすることは重要です。

アナログ信号とデジタル信号が同じ経路を共有してはいけません。各信号はその至近に適切なアナログまたはデジタルの帰還路がなければなりません。この手法を使えば信号ループは小さな領域を占め、ノイズの誘導性カプリングを最小にすることができます。低インピーダンスの信号経路を確保するには、広いプリント基板のトラック、太いゲージ・ワイヤ、そしてグラウンド・プレーンの採用を強くお勧めします。アナログとデジタルでグラウンド・プレーンを別にし、接続点を1個所にしてグラウンド・ループを最小化することも重要です。アナログ信号とデジタル信号の配線はできるだけ離し、直角に交差させなければなりません。

AD1674にはユーザのレイアウトを支援する機能がいくつかあります。アナログ・ピンは隣接していて、デジタル信号から隔離しやすくなっています。細心の回路設計によって、グラウンド電流が最小化されています。AGNDを流れる電流は 2.2mA で、コードによる変動はありません。DGNDを流れる電流はDB11~DB0の帰還電流に支配されます。

電源のデカップリング

AD1674の電源は十分にフィルタされ、良好に整流された高周波ノイズのないものでなければなりません。スイッチング電源は、アナログ・システムにノイズを導入する可能性のあるスパイクを発生する傾向があるので、お勧めできません。

デカップリング用のコンデンサは、電源ピンとグラウンドとを最短距離で結ぶように配線します。 $10\mu\text{F}$ のタンタル・コンデンサと $0.1\mu\text{F}$ のディスク・セラミック・コンデンサを並列につないだものが、デカップリング用として適しています。

コンデンサのリード線と電源装置、コモン・ピンとの間のトレースを最短にするよう努めるべきです。回路レイアウトでは、AD1674と関連するアナログ入力回路および接続回路を、論理回路からできるだけ離すよう、努めてください。AD1674の周囲にアナログ・グラウンド・プレーンを置くことによって、大きなスイッチング・グラウンド電流を隔離できるでしょう。これらの理由から、ワイヤ・ラップによる回路構成はお勧めできません。細心設計のプリント回路をお勧めします。

グラウンド接続

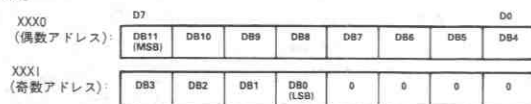
1つのAD1674に対してアナログとデジタルで別々のグラウンド・プレーンを使う場合、アナログ・グラウンド・プレーンはAGNDに、デジタル・グラウンド・プレーンはDGNDに接続し、リード線はできるだけ短くします。次にAGNDとDGNDをAD1674で接続します。複数のAD1674を使う場合、あるいはAD1674が他の部品とアナログ電源を共有する場合、アナログとデジタルの帰還を各チップにおいてではなく、電源のところの1個所で接続します。グラウンドを1個所で接続することによって、グラウンド・ループが大

きくなることを防ぎ、デジタル電流がアナログ・グラウンドに流れることを防ぎます。

A/Dコンバータのインタフェース一般に関して

一般的なA/Dコンバータのインタフェース・ルーチンには種々の動作が含まれます。まずADCアドレスへの書込みにより変換が開始されます。ほとんどのICタイプのADCでは、変換に1命令サイクル以上要するので、プロセッサは変換サイクルが終了するのを待たなければなりません。もちろん、変換の終了後でなければ有効データを読むことはできません。AD1674には変換中であることを示すための出力信号（STS）があり、プロセッサは外部スリーステート・バッファ（または他の入力ポート）を介してリードすることによって、この信号をポーリングすることができます。またシステムにおいてタイミングの重要性が高く（ただしAD1674の最大変換時間はわずか10 μ sです）ADCの変換サイクル中にプロセッサが他のタスクを処理しなければならない時は、STS信号を割り込み発生用として使用することもできます。他のウェイトング方法としては、ADCが変換に10 μ sかかるものとみなして、10 μ sのプロセッサ・タイムに相当するNOP命令を挿入する方法があります。

変換が終了すると、データを読み出すことができます。8ビット分解能（またはそれ以下）のADCの場合、1度のデータ・リード動作で十分です。コンバータのデータ・ビット数が出力バスのビット数より大きい場合は、データ・フォーマットの選択が必要で、多重リード動作が必要です。AD1674は12/8入力の設定によって8ビット・データ・バスにも16ビット・データ・バスにもダイレクトにインタフェースできる内部ロジックを内蔵しています。16ビット・バスを使った応用の場合（12/8がハイ）、データ・ライン（DB11~DB0）はデータ・バスの上位12ビットまたは下位12ビットに接続し、残り4ビットはソフトウェアによってマスクします。8ビット・データ・バスとのインタフェース（12/8がロー）は上位8ビット（DB11~DB4）が出力されます。奇数アドレス（A0がハイ）には下位4ビット（DB3~DB0）が出力されます。奇数アドレスの上位4ビットは0000となるのでビット・マスク命令を使う必要がありません。



8ビット・バス用データ・フォーマット

8085Aとのインタフェース

図8にAD1674を8085Aからの制御による完全制御モードで動作

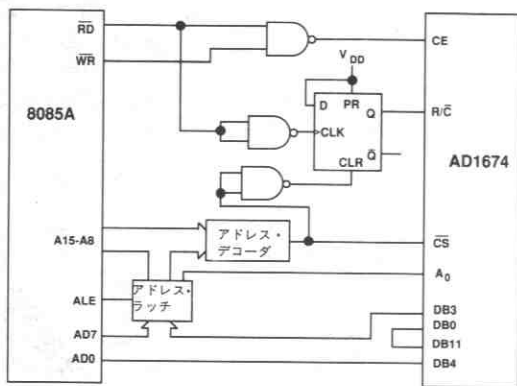


図8. R/C遅延制御付き8085A-AD1674インタフェース

させる際の接続を示します。これは、表IIや関連セクションで解説した、既存のAD674Aの応用をAD1674に置き換える際の、必要となるタイミング変更の実施例を示しています。図9は変換開始タイミング図で、図10は読出しタイミング図です。

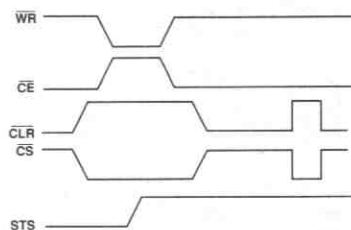


図9. 8085A変換開始タイミング

変換開始サイクルはWR信号が立下がることによる、CEの立上りエッジで開始します。これに先だってCLR信号をLOWレベルにすることにより、R/CはLOWにセットされます。CLRがHIになった際も、次のCLKの立上りエッジまでR/CはLOWのままになっています。

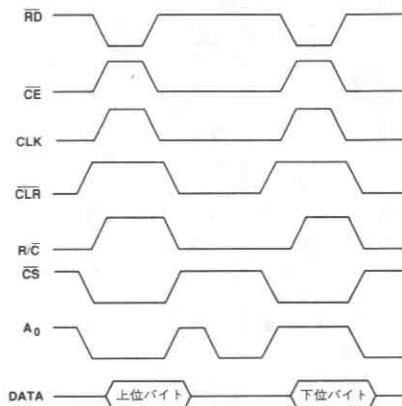


図10. 8085Aの読出しタイミング

上位バイトが先に読み出されます。読出しサイクルはRDの立下りによって開始されます。これによってCEがHIとなります。CSは既にLOWになっており、DフロップのCLRとPRをHIにします。これによって、R/CはCLKの立上りエッジでHIになります。R/Cは、CSがHIになることによってCLRをLOWにし、DフロップのQをLOWにするまでLOWにはなりません。下位バイトの読出し時にも同様のサイクルが繰返されます。

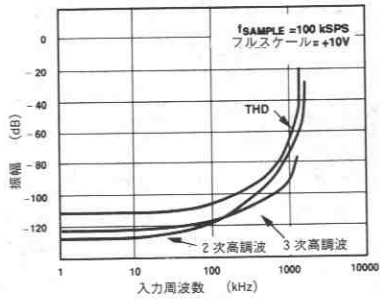


図11. 高調波歪みの周波数特性

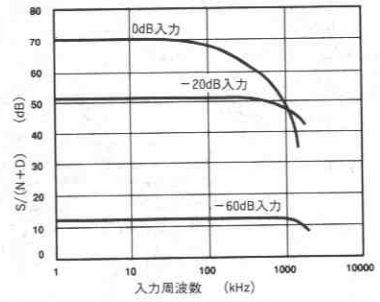


図12. $S/(N+D)$ 対入力周波数と振幅

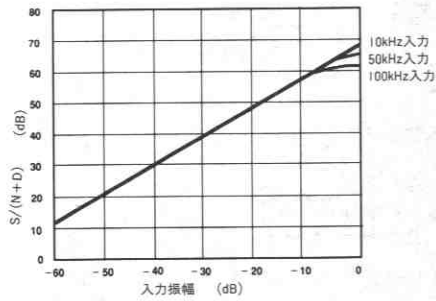


図13. $S/(N+D)$ 対入力振幅

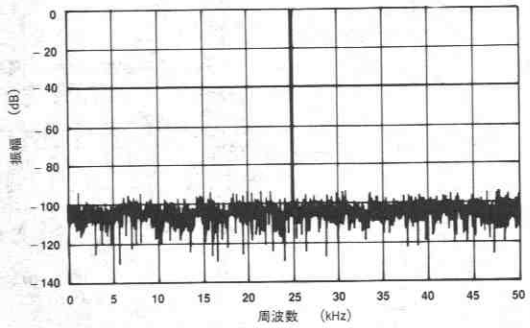


図14. 100kSPS、 $f_{IN} = 25.049\text{kHz}$ における非平均化2048ポイントFFTプロット

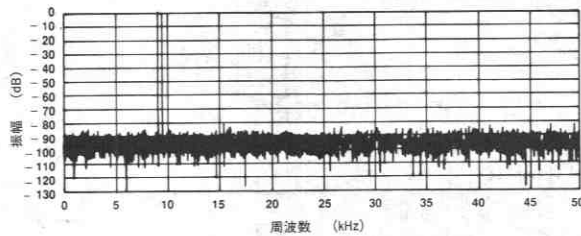


図15. $f_{IN} = 9.08\text{kHz}$ (f_a)、 9.58kHz (f_b) におけるIMDプロット

AD1674オーダ・ガイド

モデル	温度範囲	積分非直線性 ($T_{min} \sim T_{max}$)	S/(N+D) ($T_{min} \sim T_{max}$)	パッケージ* オプション
AD1674JK	0 ~ +70°C	±1LSB	69dB	N-28A
AD1674KN	0 ~ +70°C	±1/2LSB	70dB	N-28A
AD1674AD	-40 ~ +85°C	±1LSB	69dB	D-28A
AD1674BD	-40 ~ +85°C	±1/2LSB	70dB	D-28A
AD1674TD	-55 ~ +125°C	±1LSB	70dB	D-28A

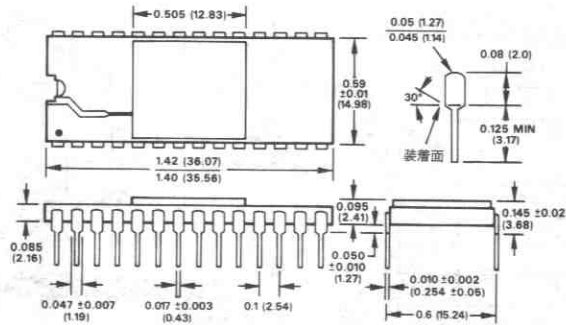
注

*N=プラスチックDIP、D=ハーメチック・セラミックDIP

外形サイズ

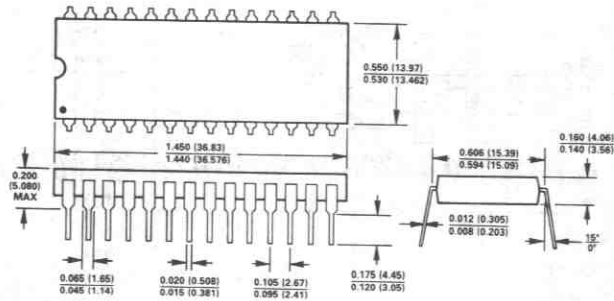
サイズはインチと(mm)で示します。

28ピン・セラミックDIPパッケージ (D-28A)



ピンNo.1はドットで示します。

28ピン・プラスチックDIPパッケージ (N-28A)



ピンNo.1はドットまたは刻みで示します。

リードはハンダ付けまたはスズ・メッキのアロイ42または銅です。

特長

自動校正機能

THD : 0.002%

S/(N+D) : 90dB

フルパワー帯域幅 : 1MHz

サンプル&ホールド機能内蔵

2倍のオーバーサンプリング機能 (オーディオ応用向け)

16ピンDIPパッケージ

2の補数形式のシリアル出力

低い入力容量 : 50pF typ

対ノイズ性能を向上するAGNDセンス機能

概要

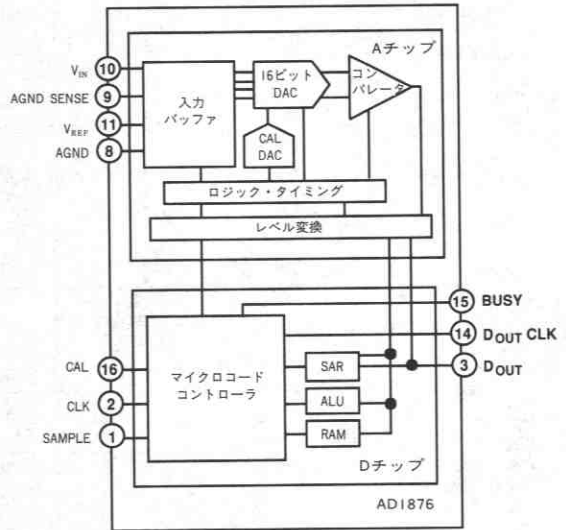
AD1876はスイッチド・キャパシタ/電荷再分散方式を用いて100kSPSの変換レート (全変換時間は10 μ s) を実現した、16ビット・シリアル出力型サンプリングA/Dコンバータです。性能は内蔵の自動校正機能による内部非直線性のデジタル補正によって最適化されています。

AD1876の回路は2つのモノリシック・チップから構成されています。弊社のDSP CMOSプロセスで製造のデジタル制御チップと、BiMOSIIプロセスで製造のアナログADCチップです。いずれのチップもワンパッケージに内蔵されています。

シリアル出力インタフェースには、外部クロックとサンプル・コマンド信号が必要です。外部クロック信号によって制御される出力データ・レートは最高2.08MHzです。出力データは2の補数形式で、MSBを先頭に出されます。このデータ形式は、オーディオ製品で利用されるNPC SM5805デジタル・デシメーション・フィルタと完全にコンパチブルです。また、AD1876は各種DSPプロセッサのデータ形式とも互換をとることができます。

AD1876のパッケージはコンパクトな16ピン・プラスチックDIPで、+5Vおよび \pm 12V電源で動作します。標準的な消費電力は235mWです。デジタル電源 (V_{DD}) はアナログ電源 (V_{EE} および V_{CC}) から分離されており、デジタル・クロストークが抑えられています。また、デジタル・グラウンドとアナログ・グラウンドも別個に用意されています。

AD1876機能ブロック図



AD1876仕様 $(T_{min} \sim T_{max}, V_{CC} = +12V \pm 5\%, V_{EE} = -12V \pm 5\%, V_{DD} = +5V \pm 10\%)^1$

パラメータ	AD1876J			単位
	Min	Typ	Max	
温度範囲	0		70	°C
全高調波歪み (THD) ²				
-0.05dB入力		-95	-88	dB
-20dB入力		0.002	0.004	%
-60dB入力		0.01		%
ダイナミック・レンジ、-60dB、A特性		-40		dB
1.0				%
ダイナミック・レンジ、-60dB、A特性		92		dB
信号ノイズおよび歪み(S/(N+D))比				
-0.05dB入力、A特性	83	90		dB
-0.05dB入力、帯域幅48kHz		87		dB
-20dB入力、A特性		71		dB
-20dB入力、帯域幅48kHz		67		dB
-60dB入力、A特性		32		dB
-60dB入力、帯域幅48kHz		28		dB
ピーク・スプリアスまたはピーク高調波成分		-99	-89	dB
相互変調歪み (IMD) ³				
2次項		-102		dB
3次項		-98		dB
フルパワー帯域幅		1		MHz
電圧リファレンス入力範囲 ⁴ (V_{REF})	3	5	7.0	V
アナログ入力 ⁵				
入力範囲 (V_{IN})			$\pm V_{REF}$	V
入力インピーダンス		*		
サンプリング中の入力容量		50*		pF
アパーチャ遅延		6		ns
アパーチャ・ジッタ		100		ps
電源				
動作時電流				
I_{CC}		9	12	mA
I_{EE}		9	12	mA
I_{DD}		3	12	mA
消費電力		235	350	mW

(注)

- 特に指定のない限り、 $V_{REF} = 5.00V$ 、変換レート=96kSPS、 $f_{IN} = 1.06kHz$ 、 $V_{IN} = -0.05dB$ 。測定値はすべて0dB (10V_{REF})の入力信号を基準としています。すべて校正後の値です。
 - 最初の19高調波を含んでいます。
 - $f_c = 1008Hz$ 、 $f_s = 1055Hz$ 。仕様の説明の項および図14を参照してください。
 - 推奨電圧リファレンス回路については「使用上の注意」の項を参照してください。他のリファレンス電圧の性能については図11を参照してください。
 - 推奨入力バッファ回路については「使用上の注意」の項を参照してください。
- *入力特性についての説明は「アナログ入力」の項を参照してください。

仕様は予告なしに変更することがあります。

太字で示す仕様はすべてのデバイスについて最悪の温度条件において最終電気的テストを行っています。これらのテストの結果は出荷製品の品質レベルの算出に用いられます。minおよびmax仕様はすべて保証されていますが、テストは太字のパラメータについてのみ行われています。

デジタル仕様

($T_{min} \sim T_{max}$, $V_{CC} = +12V \pm 5\%$, $V_{EE} = -12V \pm 5\%$, $V_{DD} = +5V \pm 10\%$)

パラメータ	テスト条件	Min	Typ	Max	単位
ロジック入力					
V_{IH} HIレベル入力電圧		2.4			V
V_{IL} LOWレベル入力電圧		-0.3		0.8	V
I_{IH} HIレベル入力電流	$V_{IH} = V_{DD}$	-10		+10	μA
I_{IL} LOWレベル入力電流	$V_{IL} = 0V$	-10		+10	μA
C_{IN} 入力容量				10	pF
ロジック出力					
V_{OH} HIレベル出力電圧	$I_{OH} = 0.1mA$	$V_{DD} - 1V$			V
	$I_{OH} = 0.5mA$	2.4			V
V_{OL} LOWレベル出力電圧	$I_{OL} = 1.6mA$			0.4	V

注)

仕様は予告なしに変更することがあります。

太字で示す仕様はすべてのデバイスについて最悪の温度条件において最終電氣的テストを行っています。これらのテストの結果は出荷製品の品質レベルの算出に用いられます。minおよびmax仕様はすべて保証されていますが、テストは太字のパラメータについてのみ行われています。

絶対最大定格*

$V_{CC} - V_{EE}$ 間	-0.3V ~ +26.4V	ハンダ付け	+300°C、10秒間
$V_{DD} - DGND$ 間	-0.3V ~ +7V	保管温度範囲	-60 ~ +100°C
$V_{CC} - AGND$ 間	-0.3 ~ +18V		
$V_{EE} - AGND$ 間	-18V ~ +0.3V		
AGND - DGND間	$\pm 0.3V$		
デジタル入力 - DGND間	0 ~ 5.5V		
アナログ入力、 $V_{REF} - AGND$ 間	$(V_{CC} + 0.3V) \sim (V_{EE} - 0.3V)$		

* 絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

ESD感度

AD1876は、分散ダイオードとポリシリコン直列抵抗から構成される入力保護回路を備えており、高エネルギー放電（人体モデル）および高速、低エネルギー・パルス（帯電デバイス・モデル）のいずれに対しても保護されています。AD1876は、MIL-STD-883C、方式3015.2によるESD分類のカテゴリー1に属しています。

機能的な損傷や性能の劣化を防ぐため、ESDに対する注意は怠らないでください。人体やテスト装置には4000V程度まで電荷を蓄積し、検出されることなく放電します。使用しないデバイスは導電性のマットやシャント上に保管し、マットからデバイスを取外す前に、使用ソケットで放電してください。ESDに関するより詳細な情報は弊社の「ESDマニュアル」を参照してください。



タイミング仕様¹

($T_{min} \sim T_{max}$, $V_{CC} = +12V \pm 5\%$, $V_{EE} = -12V \pm 5\%$, $V_{DD} = +5V \pm 10\%$, $V_{REF} = 5.00V$)

パラメータ	略称	Min	Typ	Max	単位
サンプリング・レート ²	$f_s = 1/t_s$	1		100	kSPS
サンプリング周期 ²	$t_s = 1/f_s$	10		1000	μs
アクイジション時間 (t_s に含む)	t_A	2			μs
校正時間	t_{CT}			5000	t_c
CLK周期	t_c	480			ns
CAL - BUSY遅延	t_{CALB}	0			ns
CLK - BUSY遅延	t_{CB}	50	120	175	ns
CLK - D_{OUT} ホールド時間	t_{CD}	10			ns
CLK HI	t_{CH}	160			ns
CLK LOW	t_{CL}	50			ns
D_{OUT} CLK LOW	t_{DCL}	30	80	200	ns
SAMPLE LOW - 最初のCLK遅延	t_{SC}	50			ns
CAL HI時間	t_{CALH}	4			t_c
CLK - D_{OUT} CLK	t_{CDH}	150	200	275	ns

注

1. タイミングについては、図1、図2、変換制御、自動校正の項を参照してください。

2. 外部クロック周波数に依存し、アクイジション時間と変換時間を含んでいます。サンプリング・レートの最小値/サンプリング周期の最大値の仕様は、内蔵サンプル&ホールドのドループによって規定されます。仕様よりも低速なレートで動作させると、性能が劣化することがあります。

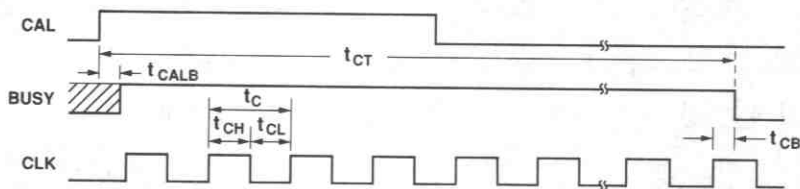


図1. AD1876校正タイミング

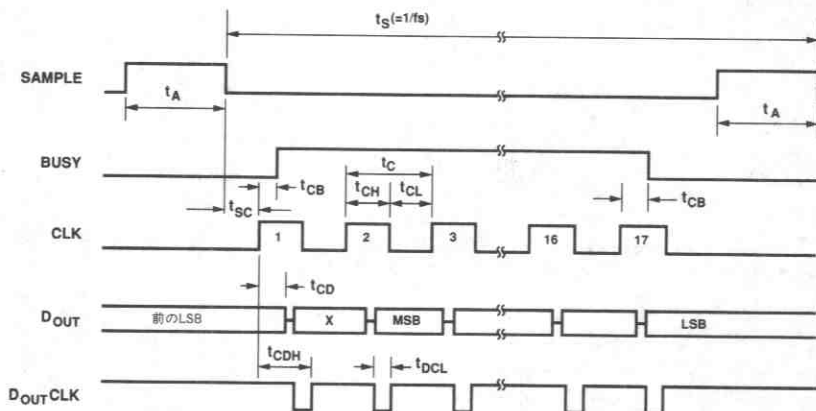


図2. AD1876の推奨変換タイミング

仕様の説明

ナイキスト周波数

ナイキストのサンプリング定理に基づき、コンバータの「ナイキスト周波数」は、コンバータのサンプリング周波数の1/2です。

全高調波歪み

全高調波歪み (THD) は、最初の19高調波成分のRMS和と、1kHzフルスケールの正弦波入力信号のRMS値の比であり、パーセント (%) またはデシベル (dB) で表現します。ナイキスト周波数以上の入力信号や高調波については、エアリング成分が用いられます。

信号-ノイズ+歪み比

信号-ノイズ+歪み (S/N+D) 比は、測定された入力信号のRMS値と、ナイキスト周波数以下の他のすべての成分 (高調波を含みますがDCは含みません) のRMS和の比です。

ダイナミック・レンジ歪み

ダイナミック・レンジ歪みは、歪みとノイズの和と、信号振幅-60dBの信号の比です。この場合、A特性フィルタが用いられます。ダイナミック・レンジ歪みの仕様値は、測定した比に60dBを加えた値です。

帯域幅

フルパワー帯域幅は、再構成された基本波の振幅がフルスケール入力に対して3dB減衰する入力周波数です。

相互変調歪み (IMD)

2つの周波数 f_a と f_b の正弦波入力に対して、非直線性をもつデバイスはどれでも、歪み積をつくり出します。m, nを0, 1, 2, 3...とすると、歪みのオーダーは $(m+n)$ であり、周波数の和と差は $mf_a \pm nf_b$ です。相互変調の項はmとnがゼロでない場合に存在します。たとえば、2次の項は (f_a+f_b) と (f_a-f_b) であり、3次の項は $(2f_a+f_b)$ 、 $(2f_a-f_b)$ 、 (f_a+2f_b) および (f_a-2f_b) です。IMD積は入力信号の測定値のrmsの和と、歪みの項のrms和との比として、デシベルで表わします。コンバータに適用される2つの周波数は等しい大きさであり、それらの和のピーク値はフルスケールから-0.05dBです。IMD積は0dBの入力信号に正規化されています。

アパーチャ遅延

アパーチャ遅延は、AD1876の内部サンプル・ホールドがオープンとなるためにSAMPLEがLOWとなつてから V_{IN} の値を保持するまでに必要な時間です。

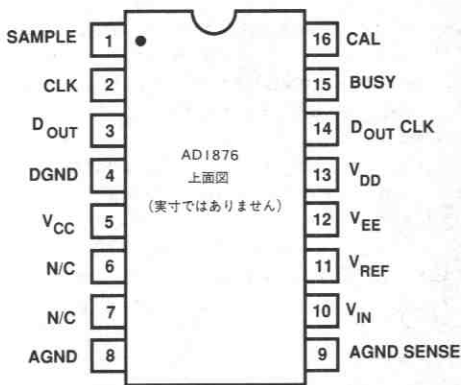
アパーチャ・ジッタ

アパーチャ・ジッタは、各サンプル間のアパーチャ遅延の変動です。

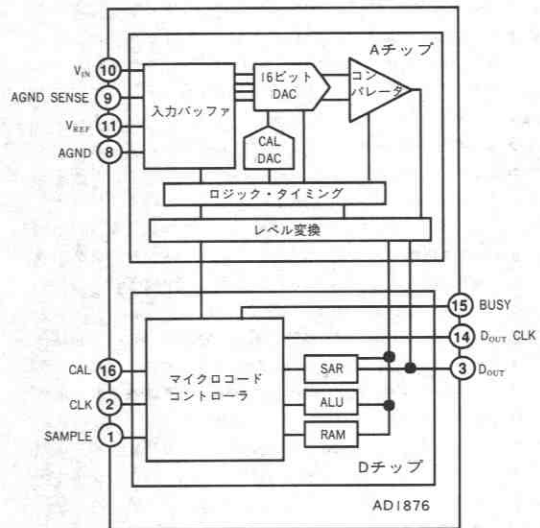
ピン機能の説明

ピン番号	名称	タイプ	説明
1	SAMPLE	DI	V_{IN} のアキュイジション制御ピン。変換の実行中、このピンは内部サンプル・ホールド・アンプの状態を制御し、変換を開始します（「変換制御」の項を参照）。校正中、SAMPLE はアクティブHIであり、 D_{OUT} (ピン3) をLOWにします。校正中に SAMPLE がLOWの時、 D_{OUT} は診断情報を出力します（「自動校正」の項を参照）。
2	CLK	DI	マスタ・クロック入力。AD1876では変換の実行のために17個のクロック・パルスが必要です。CLKは D_{OUT} CLK (ピン14) を供給するためにも用いられます。校正時には、5000個のクロック・パルスが与えられます。
3	D_{OUT}	DO	シリアル出力データ。2の補数形式。
4	DGND	P	デジタル・グラウンド。
5	V_{CC}	P	+12Vアナログ電源。
6	N/C	—	非接続
7	N/C	—	非接続
8	AGND	P/AI	アナログ・グラウンド
9	AGND SENSE	AI	アナログ・グラウンド・センス
10	V_{IN}	AI	アナログ入力電圧。AGND SENSE基準。
11	V_{REF}	AI	外部電圧リファレンス入力。AGND基準。
12	V_{EE}	P	-12Vアナログ電源。
13	V_{DD}	P	+5Vロジック電源。
14	D_{OUT} CLK	DO	D_{OUT} CLKの立上りエッジによって D_{OUT} (ピン3) のラッチを行います。 D_{OUT} CLKはCLKから供給されます。
15	BUSY	DO	コンバータのステータス信号。アクティブHIの時、変換または校正の実行中であることを示します。
16	CAL	DI	校正制御ピン（非同期）。

タイプ：AI=アナログ入力。
DI=デジタル入力。
DO=デジタル出力。
P=電源。



パッケージ・ピン配置



AD1876機能ブロック図

機能説明

AD1876はサンプル/ホールド入力回路、逐次比較レジスタ、グラウンド・センス回路、シリアル出力ポートおよびマイクロコントローラによる自動校正回路を内蔵しています。これらの機能はアナログ信号プロセッサとデジタル・コントローラの2つのモノリシック・チップに分割されています。いずれのチップもAD1876のパッケージに内蔵されています。

AD1876はアナログ入力電圧の決定のために、逐次比較法を用いています。AD1876は従来のレーザ・トリミングされた抵抗ラダーによる手法ではなく、コンデンサ・アレイによる電荷再分散手法を用いています。バイナリに重み付けられたコンデンサの配列によって入力値を分割し、真のアナログ・デジタル変換を実行します。コンデンサ・アレイによって外付け回路を追加することなくサンプル・ホールド機能を実現しています。

AD1876の内部自動校正回路はマイクロコントローラと校正用DACを用いており、コンデンサのミスマッチング誤差の測定と補償を行います。各誤差が判定されると、その値は内蔵メモリ (RAM) に格納されます。それ以降の変換時にはRAM内に格納されている値が用いられ、変換精度が高くなります。自動校正ルーチンは任意の時点で実行することができます。自動校正によってユーザーは調整を行う必要がなく、高性能が保証されます。詳細については後述します。

AD1876のもつ各種機能はマイクロコントローラによって制御されます。制御の内容としては、逐次比較処理、自動校正処理、サンプル/ホールド、シリアル・データ転送などがあります。

自動校正

AD1876の定格性能の実現に際しては、ユーザーによるトリムや調整が不要です。これは内蔵の自動校正によって実現されています。

自動校正シーケンスでは、サンプル・ホールドのオフセットは入力回路を内部的にグラウンド・センス回路に接続することによってゼロ調整されます。その結果得られるオフセット電圧が測定され、後で用いるためにRAMに格納されます。次に、最上位ビット (MSB) を示すコンデンサがリファレンス電圧に充電されます。そしてこの電荷は反転され、MSBコンデンサと他のすべての下位ビットによって構成される等しい電圧のコンデンサ間で共有されます。等しい大きさのコンデンサそれぞれの電荷の和の相違が、コンデンサ・ミスマッチングの大きさを表します。校正用DACが、そのミスマッチングをキャンセルするために適切な誤差補正電圧を加えます。この補正値もRAM内に格納されます。このプロセスは各コンデンサが残りのビットを表現する間、繰返されます。RAMに蓄積された値はその後の変換で変換結果の調整のために用いられます。

図1に示すように、CALがHIとなった時点でAD1876の内部回路はリセットされます。BUSYピンはHIで駆動され、校正の用意をします。これはハードウェアのナリセットであり、その時点で進行中の変換や校正はすべて中断されます。すべての状態から確実に校正に入ることを保証するため、CALピンは少なくとも4CLKサイクルの間、HIに保ってください。実際の校正はCALピンがLOWになってから開始し、5000クロック・サイクルまたは500nsecの連続するクロックで約2.5msecで終了します。

校正の実行中、SAMPLEピンの機能は変わります。SAMPLEピンがLOWになっている場合、D_{OUT}からは診断テスト情報が出力されます (ユーザーの使用を考慮したものではありません)。SAMPLEがHIになっている場合、D_{OUT}はLOWになります。いずれの場合においても、D_{OUT} CLKには連続的なパルスが出力されます。実際の校正プロセスにおいてSAMPLEピンが何も制御されない場合、校正についても通常の変換タイミングが用いられます。この場合も、

SAMPLEがLOWになっている期間にはD_{OUT}ピンからはテスト情報が出力されます。校正の終了時には常にBUSYがLOWになります。

以降シーケンスの直後には、AD1876の内部回路をクリアし、それ以降の変換精度を確保するため、ゲミーの変換を1度行ってください。

ほとんどの応用ではAD1876への電源投入時に一度校正を行うだけで十分です。ただし、この場合には電源と電圧リファレンスが十分に安定していることが必要です。

変換制御

図2に示すように、AD1876はSAMPLEおよびCLKの2つの信号によって制御されます。ただし、デバイスは既に校正されており、デジタルI/Oピンはタイミング図の最初に示すようなレベルにあることが仮定されています。

変換は、入力アキュジションと、16ビット内部逐次比較ルーチンの実行に必要な17クロック・パルスによって構成されます。アナログ入力はSAMPLE信号を最小アキュジション時間 t_A の間HIにすることによって取込まれます。実際には、SAMPLEピンをLOWにした瞬間のV_{IN}の電圧がサンプリングされます。AC信号のアキュジションにおいては不確実性 (ノイズ) を抑えるために、この立下りエッジがきちんと定義され、ジッタを含まないことを保証してください。このエッジにおいて、AD1876は変換を開始し、V_{IN}での入力は内部コンデンサ・アレイから切離され、SAMPLE入力は変換が終了する (BUSYがLOWになる) まで無視されます。最小で t_{SC} (SAMPLE-CLKセットアップ) の遅延の後、17個のクロック・サイクルが与えられます。BUSYは、CLKの最初の立下りエッジの後にHIになり、17番目のエッジ後にリセットされます。D_{OUT} およびD_{OUT} CLK出力は有効なCLKパルスの立下りエッジへの応答として生成されます。タイミング図に示すように、2の補数形式のデータがMSBを先頭に出されます。このデータは、D_{OUT} CLKの立下りエッジまたは、 $t_{CH} \geq t_{COH}$ からCLKの立下りエッジで入力します。AD1876は、BUSYがLOWになった以降のCLKを無視し、新たなサンプリングが行われるまでD_{OUT} とD_{OUT} CLKを変更しません。BUSYがLOWになった以降SAMPLEは無視されず、サンプル・ホールド回路の完全セットリングが可能なることから、最大のスループット・レートを得るために17番目のCLKパルスがHIの間においてもアキュジションを開始することができます。BUSYがLOWになった際にSAMPLEが既にHIの場合、アキュジションは即座に開始され、 t_A はその時点から始まります。

信号のアキュジションと変換の間、デジタル・フィードスルー・ノイズを避けるためにロジック入力に注意を払う必要があります。V_{IN}のサンプリング中はCLKは停止してください。連続的なCLKを用いている場合、V_{IN}を切離す瞬間、つまりSAMPLEの立下りエッジ (t_{SC} の仕様を参照) にCLKエッジが重ならないようにしてください。CLK (t_{CL}) のLOWレベル時間は最小でも100nsとし、立下りエッジへの遷移によって内部コンパレータのセットリングが妨害されないようにしてください (コンパレータの判定は有効なCLKの立下りエッジで毎回ラッチされます)。同様の理由で、変換中に (BUSYがLOWになるまでの間) SAMPLEピンのレベルを変化させないようにしてください。

コンパレータの電圧オフセットなどの内部的なDC誤差成分はサンプリングされ、内部コンデンサに格納され、必要に応じて誤差の補正に用いられます。これらの電圧はコンデンサに格納されることから漏れ出しによって減少するため、リフレッシュが必要です。この理由から、AD1876は最小の t_A 仕様に基づいて連続的に動作する必要があります。デバイスが長期間アイドル状態となった場合 (t_A

期間を超過した場合)、これらの補正電圧をリフレッシュするためにダミー変換サイクルが必要です。

BUSYは変換の実行中HIになり、変換終了時にLOWになります。2の補数形式のデータはMSBを先頭に出され、MSBデータは2番目のD_{OUT} CLKパルスの立上りエッジで有効となります。それ以降のデータは引き続きD_{OUT} CLKパルスの立上りエッジで有効になります。表1にAD1876の出力コーディングを示します。

V _{IN}	出力コード
一フル・スケール	100...00
一フル・スケール+1LSB	100...01
ミッドスケール-1LSB	111...11
ミッドスケール	000...00
ミッドスケール+1LSB	000...01
フルスケール-1LSB	011...10
フルスケール	011...11

表1. シリアル出力コーディング (2の補数形式)

AD1876に必要な信号を生成するための簡単な手法は、1つまたは複数のAD1876をNPC SM5805デジタル・フィルタに接続することです。このデバイスはAD1876を、オーディオ応用における2×F_sである96kHzのサンプリング・レートで動作させるために必要なすべての信号を供給します。応用の項でより詳しく説明します。

使用上の注意

電源とデカップリング

AD1876には3本の電源入力ピンがあります。V_{EE} およびV_{CC} は、ADCやSHAを含むAD1876のアナログ部に電源を供給します。V_{DD} は、シリアル出力ポートや自動校正コントローラなどを含むAD1876のデジタル部に電源を供給します。

すべての電源ピンにはデカップリング・コンデンサを接続してください。これらのコンデンサはできる限りパッケージ・ピンとグラウンド接続の近くに配置してください。ロジック電源 (V_{DD}) は0.1μFのセラミック・コンデンサによってデジタル・コモン (DGND) にデカップリングし、アナログ電源 (V_{EE} とV_{CC}) は4.7μFと0.1μFのタンタル・コンデンサを並列に用いて (図中のC1)、アナログ・コモン (AGND) にデカップリングしてください。コンデンサのリードとコンバータの電源やコモン・ピン間を接続する配線はできる限り短くしてください。以上の推奨のデカップリング方法を図3に示します。

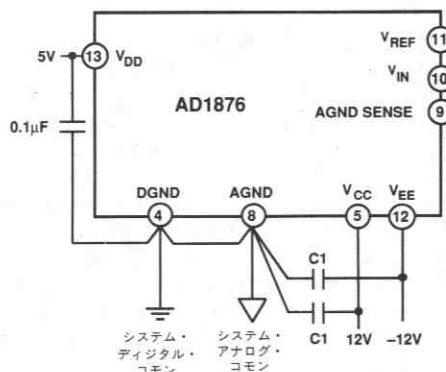


図3. AD1876のグラウンドおよびデカップリング方法

ほとんどの高性能アナログ回路では、電源の変動は回路の性能に望ましくない影響を及ぼします。弊社では、このデバイスを用いるあらゆるシステムに対して、十分に安定化され、1%以上のリップルを生じない電源を推奨しています。

ボード・レイアウト

高分解能のデータ・コンバータを設計する際にはボードのレイアウトに配慮する必要があります。トレースのインピーダンスは重要です。0.5Ωのトレースを通過する1.22mAの電流は0.6mVの電圧降下を生じます。この電圧は、10Vフルスケール・スパンを扱う16ビットのシステムでは4LSBに相当します。グラウンドの降下に加えて、高精度のアナログ信号とデジタル信号が同じボードを共有している場合、誘導性および容量性カップリングにも配慮する必要があります。そして、ACノイズをフィルタするために電源をデカップリングする必要があります。

アナログおよびデジタル信号が共通の帰還路を共有しないようにします。それぞれの信号には、近くに適切なアナログまたはデジタル帰還路を用意するようにします。これによって信号ループが囲むスペースが小さくなり、誘導性カップリングによるノイズを最小にします。信号経路のインピーダンスを低くするため、広いPCトラック、大きなゲージ・ワイヤ、そしてグラウンド・プレーンの使用を強くお勧めします。1点で相互に接続されている独立したアナログおよびデジタル・グラウンド・プレーンの採用もグラウンド・ループを最小にするためにお勧めします。アナログ信号の経路はできる限りデジタル信号から離し、それらが交差しないようにします。もし交差する場合には、必ず直角に交差するように配置してください。AD1876の周囲にグラウンド・プレーンを配置することによって大きなスイッチング・グラウンド電流から絶縁することができます。これらの理由からワイヤ・ラッピングによって回路を作成すべきではなく、注意深く設計したプリント回路を用いてください。

グラウンド接続

AD1876はアナログ・グラウンド (AGND)、デジタル・グラウンド (DGND) およびアナログ・グラウンド・センス (AGND SENSE) の3つのグラウンド・ピンを備えています。アナログ・グラウンド・ピンは、デバイスの「高品質」なグラウンド・リファレンス・ポイントです。アナログ・グラウンド・ピンはシステムのアナログ・コモン・ポイントに接続します。

AGND SENSEは入力信号のグラウンド・リファレンス・ポイントです。これによってシステムのアナログ・グラウンド・ポイントと入力信号のグラウンド・ポイントの間のおおきな差違が許容できます。しかしながら、定格性能を実現するためにはアナログ・グラウンド・ピンとアナログ・グラウンド・センス・ピン間の電位差は100mVを越えないようにしてください。

デジタル・グラウンド・ピンはAD1876のすべてのデジタル信号のリファレンス・ポイントです。このピンはシステムのデジタル・コモン・ポイントに接続してください。図3に示すように、アナログおよびデジタル・グラウンドはシステム内の1点で相互に接続してください。

電圧リファレンス

AD1876には外部電圧リファレンスが必要です。入力電圧範囲はこのリファレンス電圧によって決まります。一般に、nVのリファレンス電圧から±nVの入力電圧範囲が得られます。S/N比性能は入力

信号範囲に比例して向上します。AD1876は5.0Vリファレンス、±5Vのアナログ入力仕様で仕様が規定されています。定格性能を得ることのできる最大リファレンス電圧（最大アナログ入力範囲を得ることのできる電圧）は7.0Vです。この値を越えると、AD1876の内部入力バッファはフルスケール入力信号に対して歪みを生じるようになり、全体の性能が劣化します。しかしながら、フルスケール以下の入力については7.0V以上のリファレンス電圧を用いることができます。このことは、フルスケール時の性能よりも小信号性能が重視される応用で便利です。一定量のシステム・ノイズが存在していることから、（リファレンス電圧を大きくして）LSBの大きさを増すことは、歪みが生じる電圧以下の入力についてのS/(N+D)の実効性能を向上させます。図11は、S/(N+D)を入力振幅およびリファレンス電圧の関数として示しています。

変換の実行中、逐次比較アルゴリズムによってコンデンサの重み付けがさまざまなに変化するため、スイッチド・キャパシタ・アレイは電圧リファレンスにおける電流負荷をダイナミックに変化させます。駆動電流の変化に対してリファレンス電圧を一定に保つため、リファレンス回路の出力インピーダンスは低い必要があります。ほとんどの応用において、電圧リファレンスの出力は比較的高い周波数で低いインピーダンスをもつアンプでバッファする必要があります。（10μF以上の）コンデンサをV_{REF}とAGND間に接続することで、高周波成分の振幅が抑えられ、リファレンスに対する要求が緩和されます。

以下の2つの項では、標準的な設計手法を説明しています。

オーディオ応用向けの電圧リファレンス

オーディオ応用では、比較的狭い動作温度範囲で優れたAC性能が必要で、コストが低いこともまた重視されます。図4はこの目標を実現する1つの手法を示しています。電圧リファレンスは、標準的な値のツェナ・ダイオード、コンデンサ、抵抗およびオペアンプから構成されています。この単純な回路は価格の面で有利ですが、リファレンス電圧値は+12V電源の変動に対して敏感です。また、温度変化に伴うツェナノの値の変動もリファレンス電圧に影響します。R_{OPTION}は、ツェナノにオペアンプが供給できる以上の電流が必要な場合に、他の部品の選択に応じて必要となります。

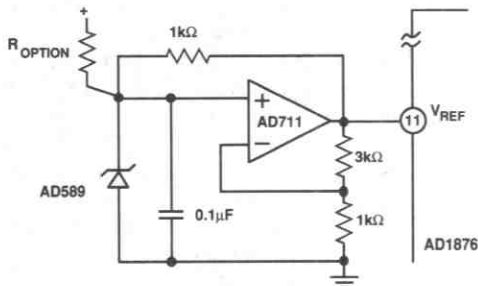


図4. 低価格電圧リファレンス回路

高精度計測向けの電圧リファレンス

オーディオ以外の応用では、温度に対する低ドリフト性能やスタティック精度が重要です。図5に、5V AD586を用いた電圧リファレンス回路を示します。AD586は低価格のリファレンスで、埋込みツェナ構造によって低ノイズ、低ドリフト性能を実現しています。0~+70°Cの範囲で、AD586Lは+25°Cの初期値に対して2.25mV以下の出力変動性能を有しています。ノイズ・リダクション・コンデンサC_Nは、AD586の出力の広帯域ノイズを低減し、AD1876の全体の性能を向上させます。

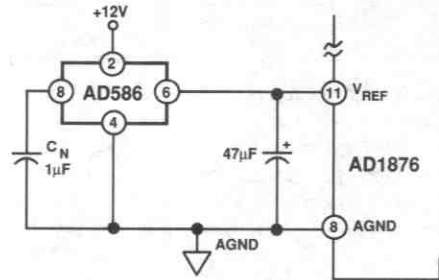


図5.

さらに高い性能が必要な場合、AD588リファレンスはより優れたドリフト、ノイズ性能、初期精度を有しています。AD588は、低オフセットとゲインのために、イオン注入埋込みツェナ・ダイオードとレーザ・トリムされた薄膜抵抗を組合わせています。AD588の出力は+25°Cにおける初期値に対し、0~+70°Cの範囲において0.65mV以内の精度を備えています。図6に示す回路は、ピン4、6、7にノイズ・リダクション回路を備えています。1μFのコンデンサ、AD588内部の抵抗および外部の3.9kΩの抵抗によってローパス・フィルタを形成しています。このフィルタによってAD588の広帯域（~1MHz）ノイズが抑えられ、AD1876の性能が最適化されます。

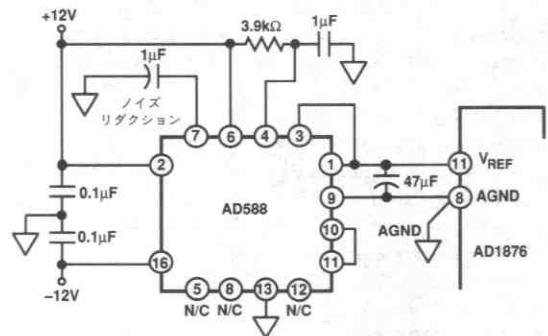


図6.

アナログ入力

先に述べたように、AD1876のアナログ入力電圧範囲は±V_{REF}です。グラウンド低下と同相除去比のため、V_{IN}およびV_{REF}入力はそれぞれのグラウンドをもっています。V_{REF}の基準はローカル・アナログ・システム・グラウンド（AGND）、V_{IN}の基準は入力信号のリモート・グラウンド・センスが可能なアナログ・グラウンド・センス・ピン（AGND SENSE）です。AGND SENSEを用いない場合、このピンはパッケージのAGNDに接続してください。定格性能を保つために、AGND SENSEとAGNDの電位差は100mV以内としてください。

AD1876のアナログ入力（V_{IN}、V_{REF}およびAGND SENSE）はダイナミック特性をもっています。変換サイクルが開始すると、これらのアナログ入力は内部の放電された50pFのコンデンサに接続されます。このコンデンサは対応するピンの電圧まで充電されます。このコンデンサはSAMPLEがLOWになると切離され、蓄積された電荷は以降のA/D変換に用いられます。外部ソースに対して要求されるこの初期充電電流を制限するため、数100nsの間、内部バッファ・アンプが入力とコンデンサ間に接続されます。この時間の間、入力ピンは標準的に20kΩの入力抵抗、10pFの入力容量と±40μAのバイアス電流を示します。次に、入力は充電されたばかりのコンデンサに直接にスイッチされ、SAMPLEがLOWになった後に十分に

安定します。この間、入力からは50pFのコンデンサしか見えません。サンプリングが行われると、入力は内部的にフロートとなり、外部入力ソースからは非常に高い入力抵抗しか見えず、標準的な寄生入力容量はわずかに2pFとなります。結果として、配慮すべき主要な入力特性は、内部バッファの接続時と切離し時に生じる高電流ステップのみとなります。

ほとんどの場合、AD1876の駆動には外部オペアンプが必要です。低コスト、低歪みが求められるAC応用では、図7に示すようにAD711を用いることができます。他には5532/5534シリーズがあります。多くのオペアンプは通常の負荷条件においても必要な低歪み性能をもたないため、オペアンプの選択には注意が必要です。

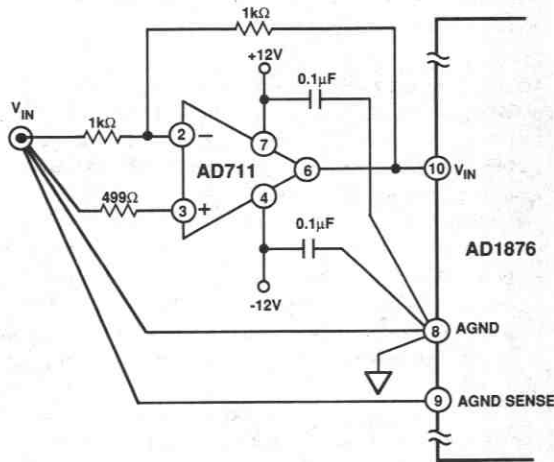


図 7.

AD1876のテスト

弊社では、AD1876の電気的性能を確認するために、高性能ミックスド・シグナルVLSIテスターを用いています。テスト・システムは2つの主要部である入力信号発生器、デジタル・データおよび制御部から構成されています。

信号発生部は、高純度、ノイズ・フリーの帯域制限された信号をデバイスの入力に与えます。入力周波数は1.06kHzです。テスト信号はバンドパス・フィルタを通して歪み成分を取除き、高性能オペアンプによってバッファされています。外部5.000Vのリファレンス電圧もこのセクションから供給されます。

テスターの制御部は、外部クロックおよび校正、変換、データ転送のための制御信号を発生します。また、このセクションにはテスト中のデバイスの実性能を算出するためのプロセッシング・ユニットが内蔵されています。

テストの手順は以下のようなステップを踏みます。まず、デバイス内のコントローラによって校正が行われます。次にテスト中のデバイスは入力波形をデジタル化します。この変換は、96kSPSのレートで実行され、変換結果のシリアル・データをテスターに送信します。テスターはテスト・データについてFFTを実行し、デバイスの実性能を決定します。

AC性能

先に述べたような方式によってAD1876のAC性能が測定されます。S/(N+D)、THDその他のACパラメータは、アナログ入力信号の周波数成分から受けるAD1876の影響を反映しています。図11~15に種々の条件下でのAD1876のAC性能を示します。

一般的に、数回の変換結果の平均をとることでノイズによる影響は抑えられ、S/(N+D)やTHDなどのパラメータは改善されます。AD1876を最大サンプリング・レート100kSPSで動作させ、変換結果のビット列をデジタル的にフィルタし、必要な帯域幅を得ることによって最適化された性能を得ることができます。これは広い周波数にわたって分布するノイズのうち、必要な周波数帯域のノイズ密度を抑えることによって成功しています。この件に関しては以下の項で説明します。

オーバーサンプリングとノイズ・フィルタ

コンバータのナイキスト・レートはサンプリング・レートの1/2と定義されています。これは、ある波形の情報を保存するためには必要な周波数帯域幅の少なくとも2倍のレートで信号のサンプリングを行う必要がある、というナイキストの定理に基づいています。オーバーサンプリングは変換に用いられる技法の一つであり、必要な周波数帯域幅の整数倍(2以上)のサンプリング周波数を用います。オーディオ応用では、AD1876は2倍のオーバーサンプリング・レートで動作します。

量子化システムではアナログ入力の情報の内容は、DCからコンバータのナイキスト周波数までの周波数スペクトラムで表されます。同じスペクトラムにはより高い周波数のエリアシング・ノイズ成分も含まれています。アンチエリアシングまたはローパス・フィルタをADCの入力に用いることにより、これらのノイズのうち高周波アナログ入力ノイズを除去することができます。しかしながら、AD1876によって生じる広帯域のノイズをアンチエリアシング・フィルタで取除くことはできません。AD1876によって生じるノイズはDCからナイキスト周波数まで分布しており、全体の影響を最小化することができます。

AD1876に起因するノイズの影響は、ナイキスト定理によって定義される周波数以上のレートでサンプリングを行うオーバーサンプリングによって取除くことができます。オーバーサンプリングを行うことで、必要な周波数帯域よりも広い範囲にノイズのエネルギーを分散させることが可能となり、注意深くデジタル・フィルタを選択することによって必要な帯域外のノイズ周波数を除去することができます。量子化プロセスでは、量子化ノイズと呼ばれる固有のノイズを生じます。このノイズの振幅はコンバータの分解能の関数であり、実現可能なS/N比の理論上の限界として表現できます。この限界は、 $S/(N+D) = (6.02n + 1.76 + 10 \log F_s / 2 F_n)$ dBであり、nはビット数で表現したコンバータの分解能、 F_s はサンプリング周波数、 F_n は必要な信号帯域幅です。オーディオ帯域の応用ではAD1876は2倍のオーバーサンプリング・レート(96kSPS)で動作する能力を備えています。この場合のS/(N+D)は、ナイキスト変換レートの48kSPS時に比べて標準的に3dB改善されます。また、オーバーサンプリングにはもう一つの利点があり、アンチエリアシング・フィルタの要求が減少します。まとめると、AD1876の性能の最適化を行う際には、最大サンプリング・レートの100kHzになるべく近い周波数で動作させ、変換結果のスペクトラムからデジタル・フィルタ処理によって不要な周波数成分を取除くことです。

DSPインタフェース

図8に、弊社のADSP-2101デジタル・シグナル・プロセッサとAD1876を用いる際の接続を示します。ADSP-2101のシリアル・ポート1 (SPORT1) のFO (フラグ・アウト) ピンをSAMPLEピンに接続し、データ・アキュイジションの制御に用います。ADSP-2101のタイマを用いてFOに正確なタイミングを与えることができます。

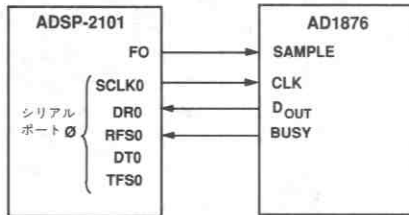


図8. ADSP-2101インタフェース

ADSP-2101のSPORT0のSCLKピンによってAD1876のCLK入力を供給します。クロックはAD1876の仕様にあわせて約2MHzにプログラムします。デジタル・フィードスルーを最小にするため、クロックの動作はデータ・アキュイジションの間 (SPORT0コントロール・レジスタのビット14を0にセットすることにより) 禁止します。クロックは禁止されるとフロートとなるため、12k~15kのプルダウン抵抗をSCLKに接続し、SAMPLEの立下りエッジでLOWであることを確実にします。変換レートを最大とするため、SAMPLEがLOW (ホールド・モード) になったら即座にシリアル・クロックを許可します。

AD1876のBUSY信号はRF0に接続し、新しいデータ・ワードが来たときにSPORT0に通知するようにします。SPORT0は、通常、外部、非反転フレーミング・モード構成とし、最後のデータ・ビットを受信した後に割込みを生成するようにプログラムすることができます。

ます。変換レートを最大にするため、最後のデータ・ビットを受信したら即座にSAMPLEをHIにします。

信号処理

AD1876とADSP-2101の組合わせでオーディオ・スペクトラム・アナライザを構成することができます。このシステムはサンプリング・レートに応じて、DC~50kHzまでの信号の分析を行うことができます。このシステムは、オーディオ分析に理想的で、振動分析にも使用することができます。

オーディオ・ディレイ・ライン

2つのAD1876、信号処理用マイクロコンピュータ、2つのAD1856オーディオDACを用いることで、高性能16ビット・ステレオ・ディレイ・ラインを構成することができます。遅延を生成するための内部バッファの大きさに応じて遅延時間を可変することができます。他の応用もソフトウェアを変更することによって可能です。例えばリバーブまたはエコー効果などが可能です。

AD1876とSM5805デジタル・フィルタ@2F_s

AD1876に必要な信号を生成するための簡単な方法は、1つ以上のAD1876をNPC SM5805デジタル・フィルタに接続することです。このデバイスはAD1876を、オーディオ応用における2×F_sに相当する96kHzで動作させるために必要なすべての信号を供給します。

群遅延を最小にするため、AD1876の入力は低次のアナログ・フィルタによってのみフィルタします。AD1876はフィルタ出力を2F_s (96kHz) でサンプリングします。エリアシングを防止するため、SM5805においてデータをシャープな0.5F_sのローリング・オフをもつリニア・フェーズ・フィルタによりフィルタします。変換結果データを48kSPSのサンプリング・レートにデシメーションします。

2つのチップのインタフェースは図9に示すように簡単です。(96kSPS動作の) AD1876への変換開始信号はSM5805のS/Hピンによって供給され、CLKはBCCピンから供給されます。図10に対応するタイミング図を示します。

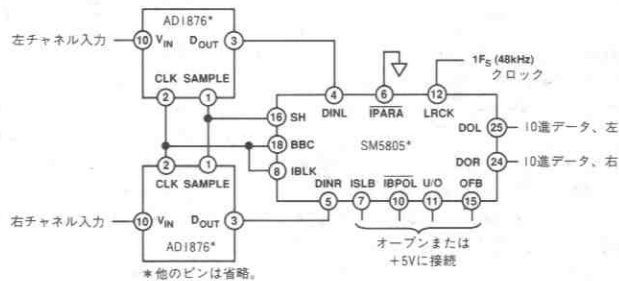


図9. AD1876とSM5805デジタル・フィルタの接続

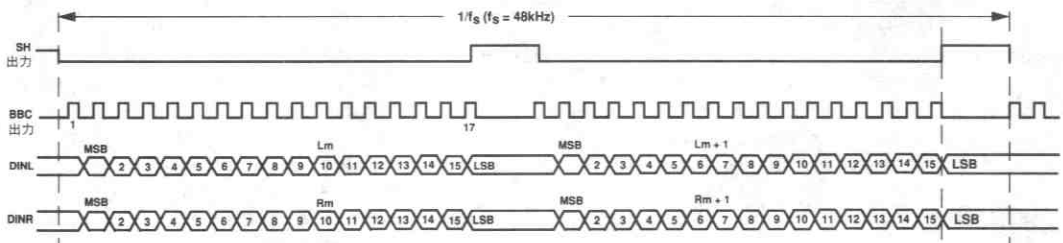


図10. SM5805タイミング図

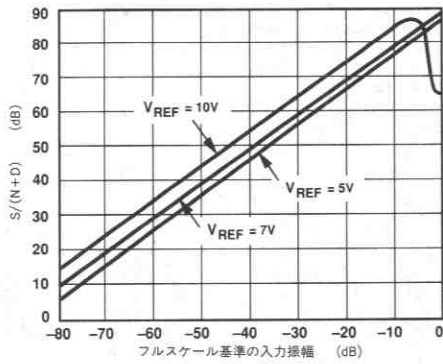


図11. $S/(N+D)$ 対 V_{REF} 対入力振幅

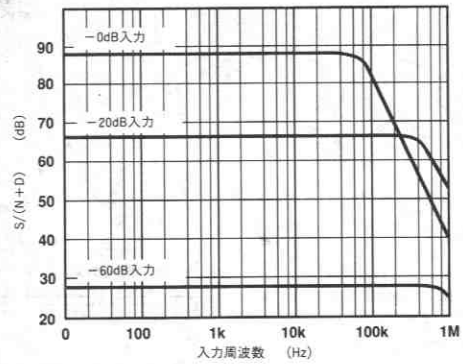


図12. $S/(N+D)$ 対入力周波数と振幅

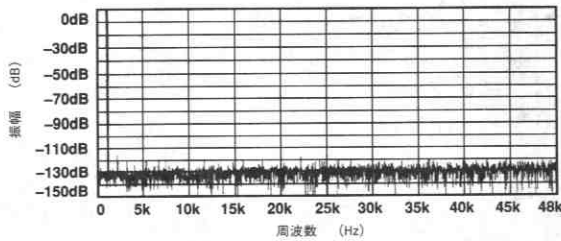


図13. 96kSPS、 $f_{IN} = 1.06\text{kHz}$ における4096ポイントFFT

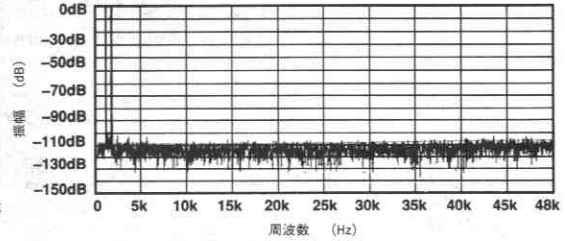


図14. 96kSPS、 $f_{IN} = 1008\text{Hz}$ (f_a)、 1055Hz (f_b) でのIMDプロット

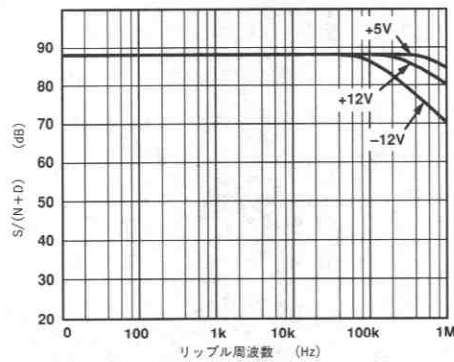


図15. 電源変動除去比 ($f_{IN} = 1.06\text{kHz}$ 、 $f_{SAMPLE} = 96\text{kSPS}$ 、 $V_{RIPPLE} = 0.3\text{V p-p}$)

AD1876オーダ・ガイド

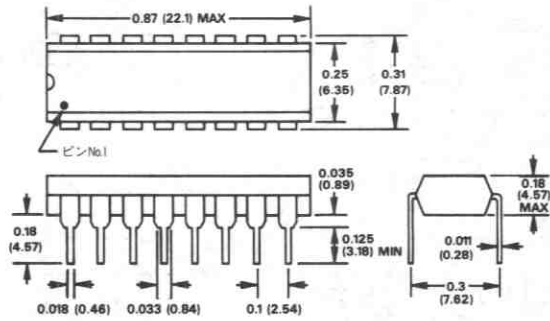
モデル	動作温度 範囲	THD dB	パッケージ	パッケージ オプション*
AD1876JN	0~+70°C	-95	プラスチック16ピンDIP	N-16

*N=スキニー・プラスチックDIP

外形サイズ

サイズはインチと (mm) で示します。

プラスチックDIP (N) パッケージ



特長

AD7572の改良バージョン

高速変換

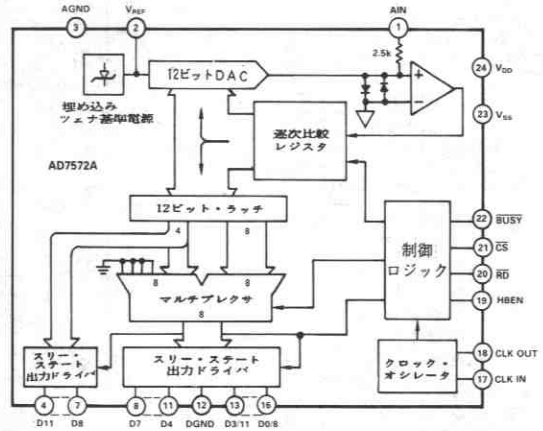
AD7572A X X03 : 3 μ s

AD7572A X X10 : 10 μ s

5V及び-12Vまたは-15V電源で動作
オフセットおよびゲイン誤差仕様の向上
プラスチックDIPで広い動作温度範囲
(-40°Cから+85°C)

低消費電力 : 100mW

小型 7.6mm幅24ピンDIPおよびSOICパッケージ



AD7572A機能ブロック図

概要

AD7572Aは、業界標準型AD7572に代わる改良バージョンです。AD7572A X X03では3 μ s、AD7572A X X10では10 μ sと変換時間の高速化が改良点として挙げられます。必要電源は5Vおよび-12Vまたは-15Vです。さらに追加の特徴として、オリジナルのAD7572を上回るオフセットおよびゲイン誤差仕様の向上があります。

AD7572Aは完全な12ビットA/Dコンバータで、CMOSパワレベルの低電力消費で高速の動作を達成しています。AD7572Aは高速のD/Aコンバータとコンパレータとを逐次比較ループ中に用いて、高速変換を実現しています。オン・チップの埋込み型ツェナ・ダイオードが安定した基準電圧を供給し、温度範囲全域にわたって低ドリフトの動作を保証し、ユーザ・トリムなしで仕様の精度を実現しています。クロック回路が内蔵されており、これはスタンダアロン動作のためにクリスタルと共に用いることもでき、またクロック入力には例えばマイクロプロセッサのクロックから分割するなどの外部クロック源により駆動することもできます。AD7572Aの基本的動作のために必要な外部部品は供給電源および基準電圧出力のためのデカップリング・コンデンサのみです。

AD7572Aはスリー・ステート・データ出力の高速デジタル・インタフェースを持ち、標準のマイクロプロセッサのリード (RD) およびデコードされたアドレス (CS) 信号により動作させることができます。インタフェース・タイミングとしては、AD7572Aは一般的なマイクロプロセッサと共に動作するために十分な高速性を有しており、スリー・ステート出力のイネーブル時間は90ns、バス解放時間は75nsです。

AD7572Aは弊社独自開発のリニア・コンパチブルCMOS (LCCMOS) プロセスにより製造されています。このプロセスは高度の全イオン注入プロセスであり、一つのチップ上に高速のCMOSロジックとリニアのバイポーラ回路とを集積化しています。これにより優れたリニア動作をCMOSの低消費電力で達成させることができます。

製品のハイライト

1. 高速変換
変換時間は3 μ sまたは10 μ sと高速ですのでAD7572AはDSPの応用および広帯域データ収集システム等の応用に最適です。
2. 広範囲な電源レンジ
AD7572Aは、5Vおよび-12Vまたは-15Vの電源で動作します。
3. マイクロプロセッサ・インタフェース
高速の使いやすいデジタル・インタフェースは90nsのスリー・ステート・バス・アクセス時間と75nsのバス解放時間を持ち、これによりAD7572Aはほとんどのマイクロプロセッサと容易にインタフェースすることができます。
4. 低電力
LCCMOS回路は+5Vおよび-12Vの電源で動作し、100mWという低い電力消費を特長としています。
5. 7.62mm幅24ピンDIPおよびSOICパッケージは、15.24mmmm幅28ピンDIPよりはるかにスペースの節約ができます。

仕様

($V_{DD} = +5V \pm 5\%$, $V_{SS} = -11.4V \sim -16.5V$, $AGND = DGND = 0V$, $f_{CLK} : AD7572A \times \times 03$ では $4.0MHz$, $AD7572A \times \times 10$ では $1.25MHz$ 。仕様は特に指定のない限り $T_{min} \sim T_{max}$ の範囲で適用。仕様はスロー・メモリ・モードの場合で適用。)

パラメータ	J, A バージョン ¹	Lバージョン ¹	Sバージョン ¹	単位	試験条件/備考
精度					
分解能	12	12	12	ビット	
積分非直線性@+25°C	± 1	$\pm 1/2$	± 1	LSB max	
$T_{min} \sim T_{max}$	± 1	$\pm 1/2$	± 1	LSB max	
微分非直線性	± 1	± 1	± 1	LSB max	
ミスコードなしを保証する最小分解能	12	12	12	ビット	
オフセット誤差@+25°C	± 2	± 2	± 2	LSB max	
$T_{min} \sim T_{max}$	± 4	± 4	± 4	LSB max	温度範囲での変化 $\pm 1 \text{ LSB typ}$
フルスケール (FS) 誤差 ² @+25°C	± 8	± 8	± 8	LSB max	FS = 5 V
フルスケール温度係数 ^{3,4}	45	25	45	ppm/°C max	理想の最終コード遷移 = FS - 3/2 LSB
アナログ入力					
入力電圧範囲	0 ~ +5	0 ~ +5	0 ~ +5	ボルト	バイポーラ動作の場合
入力電流	3.5	3.5	3.5	mA max	は図10および12を参照
内部基準電圧					
V_{REF} 出力@+25°C	-5.2/-5.3	-5.2/-5.3	-5.2/-5.3	V min/V max	-5.25V $\pm 1\%$
V_{REF} 出力温度係数	40	20	40	ppm/°C標準	(外部負荷は変換中に
出力電流シンク能力	550	550	550	$\mu\text{A max}$	変化してはいけません)
電源電圧変動除去比					
V_{DD} のみ	$\pm 1/2$	$\pm 1/2$	$\pm 1/2$	LSB標準	FS変化、 $V_{SS} = -12V$ または $-15V$
V_{SS} のみ	$\pm 1/2$	$\pm 1/2$	$\pm 1/2$	LSB標準	$V_{DD} = +4.5V \sim +5.5V$ FS変化、 $V_{DD} = 5V$ $V_{SS} = -11.4V \sim -16.5V$
ロジック入力					
CS, RD, HBEN, CLK IN					
V_{INL} , 入力ロー電圧	+0.8	+0.8	+0.8	V max	$V_{DD} = 5V \pm 5\%$
V_{INH} , 入力ハイ電圧	+2.4	+2.4	+2.4	V min	
C_{IN} , 入力容量 ⁵	10	10	10	pF max	
CS, RD, HBEN					
I_{IN} , 入力電流	± 10	± 10	± 10	$\mu\text{A max}$	$V_{IN} = 0 \sim V_{DD}$
CLK IN					
I_{IN} , 入力電流	± 20	± 20	± 20	$\mu\text{A max}$	$V_{IN} = 0 \sim V_{DD}$
ロジック出力					
D11-D0/8, BUSY, CLK OUT					
V_{OL} , 出力ロー電圧	+0.4	+0.4	+0.4	V max	$I_{SINK} = 1.6\text{mA}$
V_{OH} , 出力ハイ電圧	+4.0	+4.0	+4.0	V min	$I_{SOURCE} = 200\mu\text{A}$
D11-D0/8					
フローティング・ステート 漏れ電流	± 10	± 10	± 10	$\mu\text{A max}$	
フローティング・ステート 出力容量 ⁶	15	15	15	pF max	
変換時間					
AD7572A X X 03					
同期クロック	3.125	3.125	3.125	$\mu\text{s max}$	$f_{CLK} = 4 \text{ MHz}$.
非同期クロック	3/3.25	3/3.25	3/3.25	$\mu\text{s min}/\mu\text{s max}$	コントロール入力と同期
AD7572A X X 10					
同期クロック	10	10	-	$\mu\text{s max}$	$f_{CLK} = 1.25 \text{ MHz}$
非同期クロック	9.6/10.4	9.6/10.4	-	$\mu\text{s min}/\mu\text{s max}$	
電源					
V_{DD}	+5	+5	+5	V NOM	仕様の動作に対し $\pm 5\%$
V_{SS}	-12 ~ -15	-12 ~ -15	-12 ~ -15	V NOM	仕様の動作に対し $-11.4V \sim -16.5V$
I_{DD}^6	4	4	7	mA max	CS = RD = V_{DD} , AIN = 5V
I_{SS}^6	9	9	12	mA max	CS = RD = V_{DD} , AIN = 5V
消費電力	100	100	120	mW 標準	$V_{SS} = -12V$
	128/155	128/155	179/215	mW max	$V_{SS} = -12V / -15V$

注

1. 温度範囲は次の通り: J, Lバージョン : $0 \sim +70^\circ\text{C}$
Aバージョン : $-40 \sim +85^\circ\text{C}$
Sバージョン : $-55 \sim +125^\circ\text{C}$
2. 内部基準電圧の誤差を含む。
3. フルスケール温度係数 = $\Delta FS / \Delta T$, ここで ΔFS は T_{min} から T_{max} までのフル・スケール変化。
4. 内部基準電圧のドリフトを含む。
5. 確認のためサンプリング試験を実施。
6. 電源電流は AD7572A がインアクティブすなわち CS = RD = BUSY = ハイの場合に測定した値。

仕様は予告なしに変更することがあります。

タイミング特性¹ ($V_{DD} = 5V \pm 5\%$, $V_{SS} = -11.4V \sim -16.5V$)

パラメータ	+25°Cのリミット (全グレード)	T_{min} , T_{max} でのリミット (J, L, A グレード)	T_{min} , T_{max} でのリミット (Sグレード)	単位	条件/備考
t_1	0	0	0	ns min	\overline{CS} から \overline{RD} セットアップ時間
t_2	190	230	270	ns max	\overline{RD} から $BUSY$ までの伝播遅延
t_3^2	90	110	120	ns max	\overline{RD} 後のデータ・アクセス時間, $C_L = 20pF$
	125	150	170	ns max	\overline{RD} 後のデータ・アクセス時間, $C_L = 100pF$
t_4	t_3	t_3	t_3	ns min	\overline{RD} パルス幅
t_5	0	0	0	ns min	\overline{CS} から \overline{RD} までのホールド時間
t_6^2	70	90	100	ns min	$BUSY$ 後のデータ・セットアップ時間
t_7^3	15	15	15	ns min	バス解放時間
	75	85	90	ns max	
t_8	0	0	0	ns min	H \overline{BEN} から \overline{RD} までのセットアップ時間
t_9	0	0	0	ns min	H \overline{BEN} から \overline{RD} までのホールド時間
t_{10}	200	200	200	ns min	連続するリード動作間の遅延

注

- タイミング仕様は確認のため、+25°Cにおいてサンプリング試験しています。すべての入力コントロール信号は $t_1 = t_1 = 5ns$ (+5Vの10%から90%)で規定され、1.6Vのレベルから時間測定したものです。
- t_2 および t_6 は図1の負荷回路を用いて測定したもので、出力が 0.8Vまたは 2.4Vのレベルを交差するために必要な時間として定義されます。
- t_7 は図2の負荷回路を用いた場合にデータラインが 0.5V変化するまでに必要な時間として定義されます。仕様は予告なしに変更する場合があります。

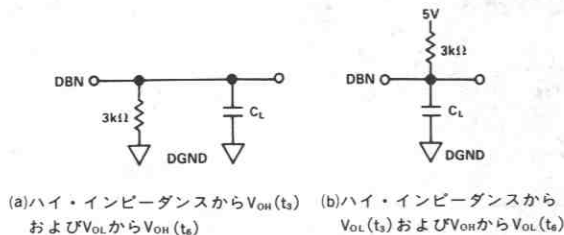


図1 アクセス時間測定のための負荷回路

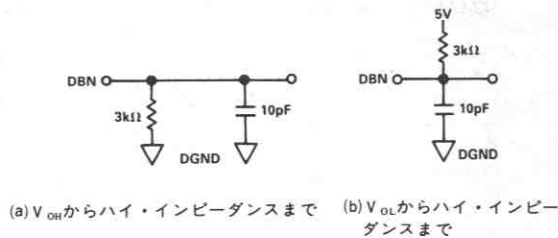


図2 出力フロート遅延測定のための負荷回路

絶対最大定格*

(特に指定のない限り、 $T_A = +25^\circ C$)

V_{DD} 対 DGND	-0.3V ~ +7V
V_{SS} 対 DGND	+0.3V ~ -17V
AGND 対 DGND	-0.3V, $V_{DD} + 0.3V$
A IN 対 AGND	-15V ~ +15V
デジタル入力電圧対 DGND (CLK IN, HBEN, RD, \overline{CS})	-0.3V, $V_{DD} + 0.3V$
デジタル出力電圧対 DGND (D11-D0/8, CLK OUT, BUSY)	-0.3V, $V_{DD} + 0.3V$

動作温度範囲

一般用 (J, Lバージョン)	0 ~ +70°C
産業用 (Aバージョン)	-40°C ~ +85°C
拡張温度用 (Sバージョン)	-55°C ~ +125°C
保存温度	-65°C ~ +150°C
リード温度 (はんだ付け, 10秒)	+300°C
+75°Cまでの消費電力 (すべてのパッケージ)	1,000mW
+75°C以上のディレーティング	10mW/°C

※ “絶対最大定格” に示す以上のストレスはデバイスを永久的に破損する場合があります。またこれらはストレスの定格のみを示すもので、これらの条件での、または仕様に示す条件以外での機能動作を暗示するものではありません。長時間絶対最大定格の条件下に置くことは、デバイスの信頼性に影響を及ぼすことがあります。

注意:

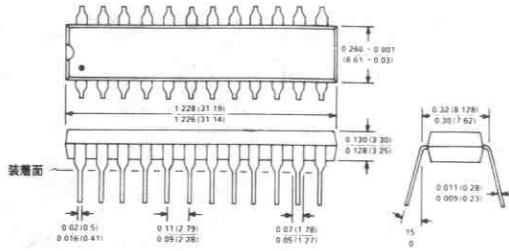
ESD(Electro-Static-Discharge)センシティブ・デバイス。デジタル制御入力にはツェナ・ダイオードで保護されていますが、どこにも接続されていないデバイスが高エネルギーの静電界により、永久的に破損する場合があります。使用しないデバイスは導電性フォームまたはシャントを用いて保存してください。フォームから取りはずす場合、デバイスを搭載するソケットにフォームを接触させて放電してください。



外形サイズ

サイズはインチと (mm) で示してあります。

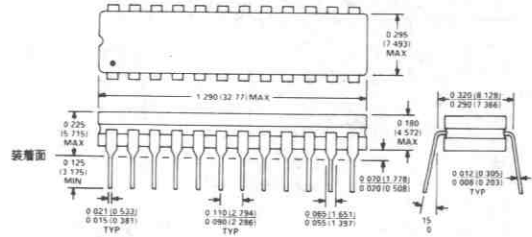
24ピン・プラスチックDIP (N-24)



注

1. リードNo1はドットまたは斜線で示しています。
2. プラスチック・リードは、MIL-M-38510規格に従ってはんだ付けまたはスズ/リード・メッキとしています。

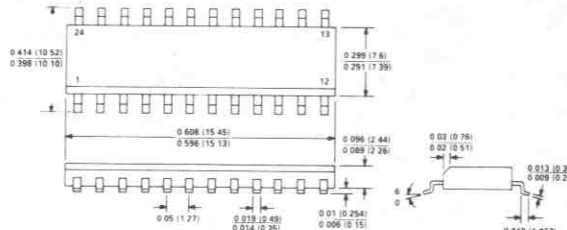
24ピン・サーディップ (Q-24)



注

1. リードNo1はドットまたは斜線で示しています。
2. サードリップリードはMIL-M-38510規格に従ってスズ・メッキまたははんだ付けとしています。

24ピン・プラスチックSOIC (R-24)



注

1. リードNo1はドットで示しています。
2. SOICリードは、MIL-M-38510規格に従ってスズ・メッキまたははんだ付けとしています。

オーダ・ガイド

変換時間 = 3 μ s

フルスケール TC	精度	0 ~ +70°C	-40°C ~ +85°C	-55°C ~ +125°C
45 ppm/°C 25 ppm/°C	±1 LSB ±1/2 LSB	プラスチックDIP AD7572AJN03 AD7572ALN03	プラスチックDIP AD7572AAN03	ハーメチックDIP AD7572ASQ03
45 ppm/°C	±1 LSB		ハーメチックDIP AD7572AAQ03	
45 ppm/°C 25 ppm/°C	±1 LSB ±1/2 LSB	SOIC ² AD7572AJR03 AD7572ALR03	SOIC ² AD7572AAR03	

変換時間 = 10 μ s

フルスケール TC	精度	0 ~ +70°C	-40°C ~ +85°C	
45 ppm/°C 25 ppm/°C	±1 LSB ±1/2 LSB	プラスチックDIP AD7572AJN10 AD7572ALN10	プラスチックDIP AD7572AAN10	
45 ppm/°C	±1 LSB	SOIC ² AD7572AJR10		

注

1. AD7572ASQ03は、/883 日標準の製品です。
2. スモール・アウトラインIC

ピン	名称	説明	ピン機能説明
1	A IN	アナログ入力	
2	V _{REF}	基準電源出力。AD7572Aは-5.25Vの基準電源を内蔵しています。	
3	AGND	アナログ・グラウンド	
4……11	D11……D4	スリー・ステート出力。CSおよびRDがローになった場合にアクティブとなります。	
13……16	D3/11……D0/8	個々のピンの機能はHBEN入力により変化します。	

データバス出力、CS および RD="ロー"

	ピン4	ピン5	ピン6	ピン7	ピン8	ピン9	ピン10	ピン11	ピン13	ピン14	ピン15	ピン16
名称*	D11	D10	D9	D8	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
HBEN="ロー"	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
HBEN="ハイ"	DB11	DB10	DB9	DB8	ロー	ロー	ロー	ロー	DB11	DB10	DB9	DB8

注
 * D11……D0/8 はADCのデータ出力ピンです。
 DB11……DB0 は12ビットの変換結果で、DB11が最上位ビットです。

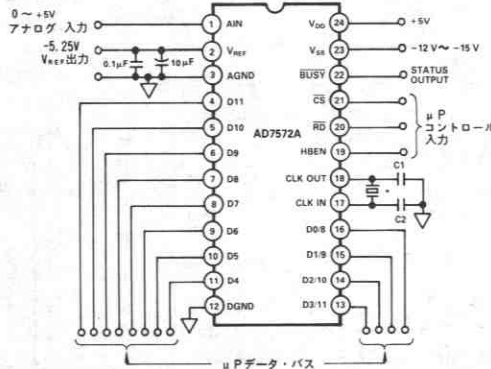
12	DGND	デジタル・グラウンド
17	CLK IN	クロック入力ピン。TTLコンパチブルな外部クロックをこのピンに入力することができます。またクリスタルまたはセラミックの共振器をCLK IN (ピン17) とCLK OUT (ピン18) との間に接続することもできます。
18	CLK OUT	クロック出力ピン。外部クロックを用いた場合にはCLK IN信号を反転したものがCLK OUTに現われます。クリスタル (共振器) を使用する場合についてはCLK IN (ピン17) の説明を参照のこと。
19	HBEN	ハイバイト・イネーブル入力 この入力の第一の機能は変換データの12ビットを下位D7~D0/8出力 (上位4ビットまたは下位8ビット) にマルチプレクスすることです。ピン4~11およびピン13~16の説明を参照のこと。またHBENがハイの場合は変換がディスエーブルになります。
20	RD	リード入力。この"ロー" アクティブの信号はCSと共に出力データのスリー・ステート・ドライバをイネーブルするのに用いられます。またCSおよびHBENがローになると変換が開始されます。
21	CS	チップ・セレクト入力。この"ロー" アクティブの信号はRDと共に出力データのスリー・ステート・ドライバをイネーブルするのに用いられます。またRDおよびHBENがローになると変換が開始されます。
22	BUSY	BUSY出力は変換のステータスを示すもので、変換の間BUSYは"ロー" になります。
23	V _{SS}	負電源、-12V~-15V
24	V _{DD}	正電源、+5V

ピン配置



動作図

AD7572Aの動作図を図3に示します。AD7572Aは12ビットの逐次比較型A/Dコンバータです。1個のクリスタル/セラミック共振子および数個のコンデンサを付加することにより、このデバイスはアナログ/デジタル変換の機能を実現します。



★注
 AD7572A××00-4.0MHz、クリスタル/セラミック共振器
 AD7572A××10-1.25MHz、クリスタル/セラミック共振器
 C1およびC2コンデンサの容量はクリスタル/セラミック共振器メーカーの指定する値です。標準的には30~100pFです。

図3 AD7572A動作図

コンバータの詳細

変換のスタートは \overline{CS} 、 \overline{RD} およびHBEN入力によりコントロールされます。変換のスタート時点で逐次比較レジスタ (SAR) がリセットされ、スリー・ステートのデータ出力がイネーブルとなります。変換サイクルが開始されると、これを再スタートさせることはできません。

変換の過程で内部の12ビットの電圧モードD/Aコンバータの出力はSAR (逐次比較レジスタ) により最上位ビット (MSB) から最下位ビット (LSB) まで順次アクセスされます。図4に示されるようにA IN入力はコンパレータの入力に2.5k Ω の抵抗を介して接続されています。同様な2.5k Ω の出力インピーダンスをもつD/Aコンバータもコンパレータの入力に接続されています。各ビットの判定がコンパレータ (ゼロ・クロス検出器) により行われますが、そこでは逐次、加えられる各ビットの和をD/Aコンバータの出力によりチェックします。最上位ビット (MSB) の判定は変換がスタートしてから2番目のCLK INの立下りエッジから80 ns (代表値) 後に行われ、これに続くビットの判定が次のCLK INエッジの立下りから約80ns後に行われ、変換が終了するまで続きます。変換の終了時点でD/Aコンバータの出力電流はA IN入力電流とバランスします。SARの内容 (12ビット・データ・ワード) はA IN入力信号を表し、これが12ビットのラッチにロードされます。

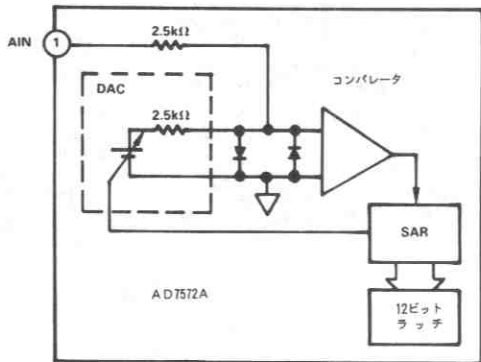


図4 AD7572A AIN入力

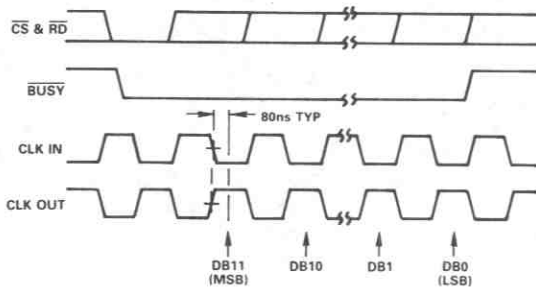


図5 CLK INに外部クロックを用いた場合の動作波形

コントロール入力の同期

\overline{RD} コントロール入力がA/Dコンバータのクロックと同期しないような応用例では変換時間は12~13CLK IN周期となります。これは変換がスタートしてもA/Dコンバータは実際の変換過程を開始するのにCLK INの最初の立下りエッジまで待っているからです。同期がない場合はこの遅延はゼロから1クロック時間まで

の間変化しうることになります。もし一定の変換時間が必要とされる場合は、次に述べる方法をとればAD7572A $\times\times$ 03については3.125 μ s、AD7572A $\times\times$ 10については10 μ sの変換時間が確保されます。この方法とは、変換を開始する時点で、RDをCLK INの立上り、またはCLK OUTの立下りエッジで“ロー”にすることです。

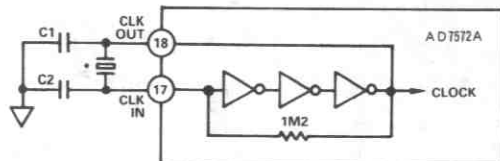
アナログ入力の駆動

変換期間中、A IN入力電流はD/Aコンバータの出力電流によりCLK IN周波数 (CLK IN=4MHzならば4MHz) に等しいレートで変調されます。アナログ入力電圧はこの期間中に固定されていなければなりません。つまり、低出力インピーダンスのオペアンプまたはサンプル・ホールド回路により駆動されなければなりません。オペアンプの出力インピーダンスはオープン・ループの出力インピーダンスを所定の周波数でのループ・ゲインで割った値に等しくなります。

AD7572AのA IN入力の駆動に適切なデバイスとしてAD845 オペアンプまたはAD585 サンプル・ホールドがあります。

内部クロック・オシレータ

図6にはAD7572Aの内部クロック発生回路を示します。クリスタルまたはセラミックの共振器をCLK IN (ピン17) およびCLK OUT (ピン18) の間に接続してA/Dコンバータのタイミング・クロックを供給できます。またクリスタル共振器を除いて、外部クロック源をCLK INに接続することもできます。外部クロックの場合、マーク/スペース比は45/55から55/45で可変できます。図5の波形に示されるようにCLK IN信号を反転したものが、CLK OUTピンに現れます。



★注
AD7572A $\times\times$ 03-4.0MHz、クリスタル/セラミック共振器
AD7572A $\times\times$ 10-1.25MHz、クリスタル/セラミック共振器
C1およびC2コンデンサの容量はクリスタル/セラミック共振器メーカーの指定する値です。
標準的には30~100pFです。

図6 AD7572A内部クロック回路

内蔵基準電源

AD7572Aは、 $-5.25V \pm 1\%$ となるように製造工程で調整されたオン・チップのパウファされた温度補償済みの埋め込み型ツェナ基準電源を内蔵しています。これはDACに内部で接続され、ピン2において外部負荷に対して550 μ Aまでの電流を供給することができます。

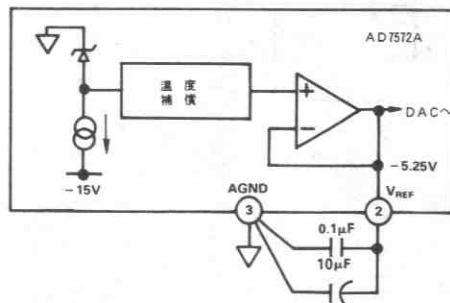


図7 AD7572Aの内部-5.25V基準電源

コード遷移ノイズを最小にするために、基準出力はコンデンサでデカップリングし、基準ダイオード (100nF セラミックと10μF タンタルを並列接続) からの広帯域ノイズをフィルタします。AD 7572の機能アップ対応として、AD7572Aを使用するアプリケーションもあります。

AD7572の推奨のリファレンスのデカップリングは、10Ω抵抗をコンデンサと直列に接続している点でAD7572Aとは異なります。この抵抗はAD7572Aの10μSバージョンの性能に何の影響も与えませんが、3μSバージョンの直線性に不都合な影響を及ぼします。したがって、AD7572の3μSアップグレードとしてAD7572Aを使用したアプリケーションでは、10Ω基準抵抗をワイヤ・リンクに換えなければなりません。

ユニポーラ動作

図8はAD7572Aの0~5V入力レンジの理想的な入力/出力特性を示したものです。コードの遷移は連続した整数LSB値の中心値で起こるように設計されています(すなわち1/2LSB、3/2LSB、5/2LSB……FS-3/2LSB)。出力コードはストレート・バイナリで1LSB=FS/4096=(5/4096)V=1.22mVです。

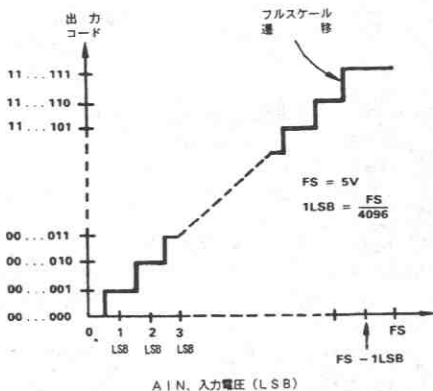
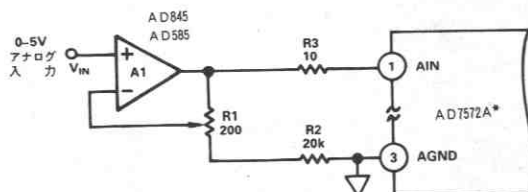


図8 AD7572Aの理想の入力/出力伝達特性

ユニポーラ・オフセット誤差およびフル・スケール誤差の調整

絶対的精度が重要である応用の場合、オフセット誤差およびフル・スケール誤差をゼロにすることができます。オフセット誤差はフル・スケール誤差より以前に調整されなければなりません。図9にフル・スケール誤差の調整用に付加する部品を示します。ゼロ・オフセットはAINを駆動するオペアンプ(図9中のA1)のオフセットを調整することにより達成されます。このためには0.81mV(1/2LSB)をVINに加え、オペアンプのオフセット電圧を調整し、



*わかりやすくするため、この場合必要でないピンは省いてあります。

図9 ゲイン誤差調整の0~+5Vユニポーラ動作

A/Dコンバータの出力コードが0000 0000 0000と0000 0000 0001との間にくるようにします。

フルスケール誤差をゼロにするにはアナログ入力 4.99817V (FS-3/2LSBまたは最終のコード遷移)をVINに加えR1を調整して、A/Dコンバータの出力コードが1111 1111 1110と1111 1111 1111との間にくるようにします。

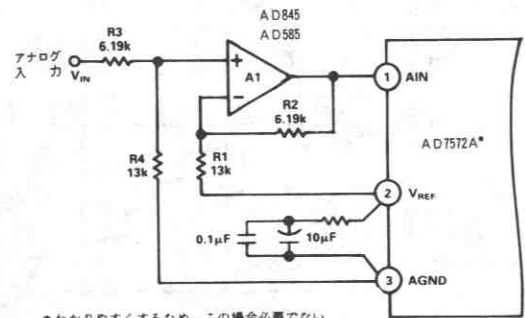
バイポーラ動作

図10および図12にAD7572Aのバイポーラ動作の方法を示します。どちらの回路においてもアナログ信号(VIN)を2.5Vだけオフセットさせるためにオペアンプを使用します。あるいはまた図24に示すようにオペアンプの代わりにサンプル・ホールド・デバイスを用いることもできます。オペアンプの伝達関数は次の通りです。

$$\text{図10: } AIN = (VIN + 2.5) V$$

$$\text{図12: } AIN = (-VIN + 2.5) V$$

どちらの回路もアナログ入力レンジは±2.5Vで、LSBの値は1.22mVです。出力コードは図10の場合はオフセット・バイナリ、図12の場合はコンプリメンタリ・オフセット・バイナリです。これらの場合のオフセット調整およびフル・スケール調整後の理想の伝達特性を図11および図13に示します。



*わかりやすくするため、この場合必要でないピンは省いてあります。

図10 AD7572Aのバイポーラ動作(出力コードはオフセット・バイナリ)

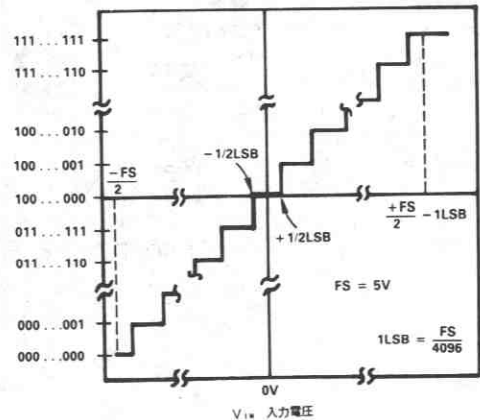
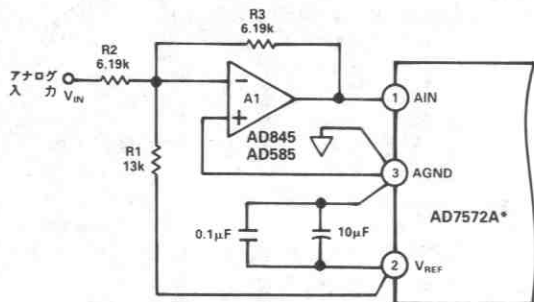


図11 図10のバイポーラ回路の理想の入力/出力伝達特性

± 2.5V以外の信号レンジに対しては図10中のR3およびR4、図12中のR2の値を変えることにより簡単に対応できます。これらの抵抗はAINにおける電圧レンジがA/Dコンバータの全ダイナミック・レンジ(すなわち0~5V)をカバーするように選ばず。すべての抵抗は温度係数がそろうように同じタイプで、同じメーカーのものを選ぶべきです。



*わかりやすくするため、この場合必要でないピンは省いてあります。

図12 AD7572Aのバイポーラ動作(出力コードはコンプリメンタリ・オフセット・バイナリ)

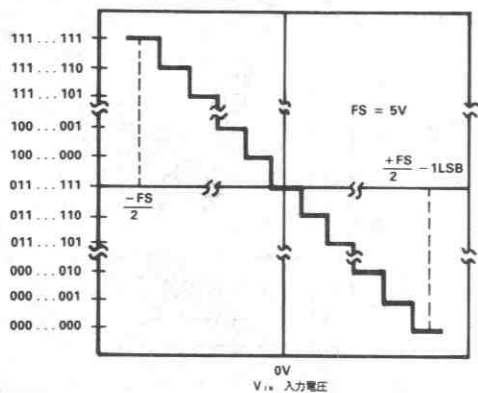


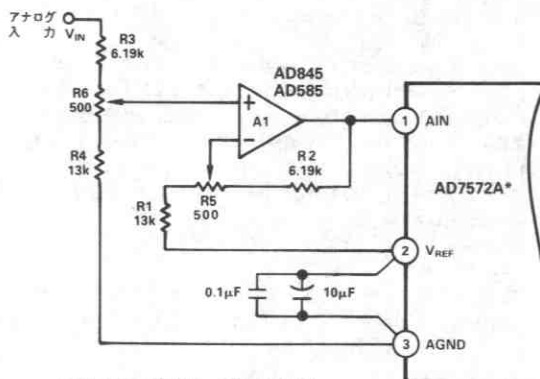
図13 図12のバイポーラ回路の理想の入力/出力伝達特性

オフセット誤差およびフルスケール誤差

多くのデジタル信号処理の応用例ではオフセット誤差およびフルスケール誤差はシステムの動作性能にほとんど、あるいは全く影響しません。代表的な例はデジタル・フィルタで、ここではアナログ信号が量子化されデジタル的に処理され、D/Aコンバータを用いてアナログ信号に戻されます。このような例ではオフセット誤差は、再生されたアナログ信号をac結合することにより取り除くことができます。フルスケール誤差の影響は直線的であり、入力信号のレンジがA/Dコンバータの全ダイナミック・レンジ内にある限り、問題とはなりません。デジタル信号処理で問題となるパラ

メータは微分非直線性であり、これはオフセット誤差およびフルスケール誤差とは無関係のものです。

絶対的な精度が要求される、計測を目的とする応用の場合には図14に示す方法により、オフセット誤差およびフルスケール誤差をゼロに調整することができます。



*わかりやすくするため、この場合必要でないピンは省いてあります。

図14 オフセット誤差およびフル・スケール誤差調整のAD7572Aのバイポーラ動作

バイポーラ・オフセット誤差およびフルスケール誤差の調整

図10のバイポーラ回路の場合、オフセット誤差およびフルスケール誤差は、図14に示すように、2個のポテンショメータR5およびR6を設けることにより調整することができます。オフセットはフルスケール誤差よりも前に調整しなければなりません。オフセット誤差の調整は V_{IN} に $0.61mV$ ($1/2$ LSB)を加え、R5を調整してA/Dコンバータの出力コードが1000 0000 0000と1000 0000 0001との間にくるようにします。

フルスケール誤差の調整の場合はアナログ入力を $2.49817V$ ($FS/2 - 3/2$ LSBまたは最終遷移点)とし、R6を調整してA/Dコンバータの出力が1111 1111 1110と1111 1111 1111との間にくるようにします。

図12の場合にはR1およびR2を可変とすることによりオフセット誤差およびフルスケール誤差を調整することができます。オフセットはフルスケール誤差の調整より以前に調整されなければなりません。オフセット誤差の調整は V_{IN} に $0.61mV$ を加えR1を調整して、A/Dコンバータの出力コードが0111 1111 1110と0111 1111 1111との間にくるようにします。

フルスケール誤差の調整は V_{IN} に $2.49817V$ を加え、R2を調整してA/Dコンバータの出力コードが0000 0000 0000と0000 0000 0001との間にくるようにします。

使用上の注意

高分解能または高速のA/Dコンバータにワイヤ・ラップ・ボードを使用することは勧められません。AD7572Aの性能を充分に発揮させるためにはプリント基板が必要です。プリント基板のレイアウトではデジタルとアナログの信号ラインをできるだけ離さなければなりません。特にデジタル信号ラインをアナログ信号ラインに沿わせておくことや、またAD7572Aの下側を通すことは避けなければなりません。アナログ入力はAGNDにより遮蔽されなければなりません。

ロジック・システム・グラウンドと分離された1点アナログ・グラウンド〔星状(スター)グラウンド〕が図15に示すようにピン3 (AGND) またはAD7572Aにできる限り近い所で接続されなければなりません。ピン12 (AD7572A DGND) およびその他のすべてのアナログ・グラウンドをこの1点アナログ・グラウンドに接続しなければなりません。他のデジタル・グラウンドは、このアナログ・グラウンド点に接続してはいけません。アナログおよびデジタル電源のコモン・リターンが低インピーダンスであることがA/Dコンバータを低ノイズで動作させるために不可欠であり、これらのラインのパターン幅はできる限り広くとるべきです。

ノイズ

A INへの入力信号リードおよびAGND (ピン3) からの信号リターン・リードは入力ノイズのカップリングを最小とするため、できる限り短くすべきです。もしこれができない場合には、信号源とA/Dコンバータの間をシールド線で結ぶことを推奨します。また信号源とA/Dコンバータのグラウンド電位の差は入力信号に直列の誤差として現れますから、グラウンド回路のインピーダンスをできるだけ低くするよう注意しなければなりません。

AD7572Aのデータ出力とコントロール信号とが常にアクティブなマイクロプロセッサ・バスに接続されている場合には変換結果の最下位ビットに誤差が生ずる可能性があります。この誤差はマイクロプロセッサから逐次比較コンパレータへのフィード・スルーによるものです。この問題は変換の間、マイクロプロセッサをWAIT状態におく(スロー・メモリ・モード・インタフェースの項を参照)か、またはAD7572Aのデータ・バスを隔離するスリー・ステート・バッファを設けることにより避けることができます。

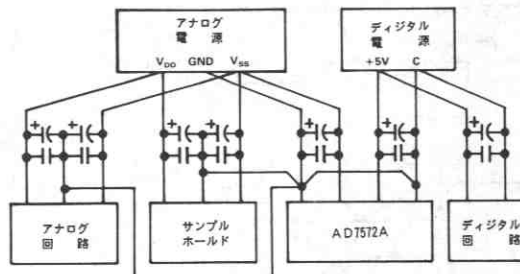


図15 電源グラウンド方法の実際

タイミングおよびコントロール

変換のスタートおよびデータ・リード動作は、AD7572Aの3種類のデジタル入力HBEN、CSおよびRDによりコントロールさ

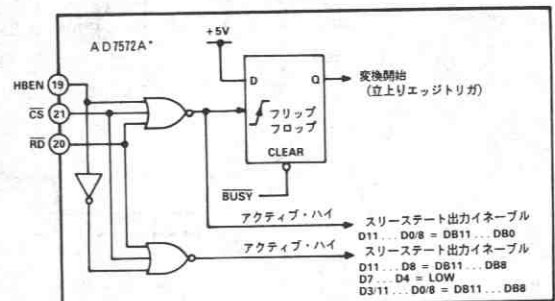
れます。図16はこれらコントロール入力に伴うロジック構造を示したものです。これら3種の信号は内部でゲートされ、変換を開始するためには、これら3種がすべてロジック“0”であることが必要です。変換が一度始動されると、この変換が完了するまで再スタートすることはできません。コンバータのステータスはBUSY出力で示され、この信号は変換の期間中“ロー”です。

図17~図20に示すような2種の動作モードがあります。スロー・メモリ・モードはWAIT状態にすることができるマイクロプロセッサ用に設計されたもので、一つのREAD動作によりCSおよびRDはローになり変換が開始され、変換が終了するとデータが読み出されます。

2番目はROMモードで、このモードではマイクロプロセッサをWAIT状態にする必要がありません。一つのREAD動作でCSとRDがローになり、変換が開始されますが、前の変換結果が読み出されます。

データ・フォーマット

出力データ・フォーマットは16ビット・マイクロプロセッサ用の完全パラレル・ロード (DB11.....DB0) の形かまたは8ビット・マイクロプロセッサ用の2バイト・ロードの形のどちらでもとることができます。データの形は常にLSBが最も右側にきます (16ビット・ワードの場合)。2バイト・リードの場合はデータ出力D7.....D0/8のみが使われます。バイトの選択は、HBEN入力により行われ、この信号により内部のマルチプレクサがコントロールされます。これにより12ビットの変換データが下位出力D7~D0/8上に上位4ビットまたは下位8ビットの形で現れ、これは2回のリード・サイクルで読み取られます。上位4ビットはスリー・ステート出力ドライバがターン・オンされたときには、つねにD11~D8上に現れます。



*注: D11...D0:8/A/Dコンバータのデータ出力ピン
DB11...DB0:12ビット変換結果

図16 コントロール入力CS、RDおよびHBENに対する内部ロジック

スロー・メモリ・モード、パラレル・リード (HBEN=ロー) スロー・メモリ・モード、パラレル・リードの場合のタイミング図とデータ・バス・ステータスを図17および表1に示します。CSおよびRDがローになると変換が開始され、AD7572AはBUSYを“ロー”にして変換中であることを示します。一つ前の変換結果がスリー・ステート・データ出力バス上に現れます。BUSYは変換完了と共に“ハイ”となり、出力ラッチは更新され変換結果がデータ出力D11~D0/8に現れます。

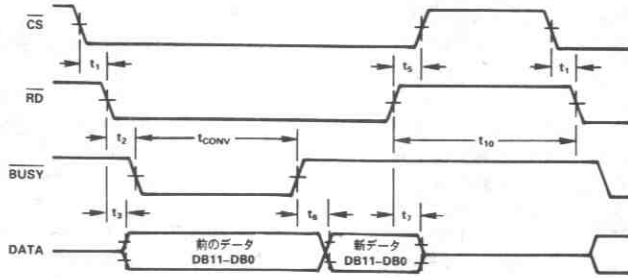


図17 スロー・メモリ・モード、パラレル・リード・タイミング図

A D7572A データ出力	D11	D10	D9	D8	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
リード	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0

表1 スロー・メモリ・モード、パラレル・リード、データ・バス・ステータス

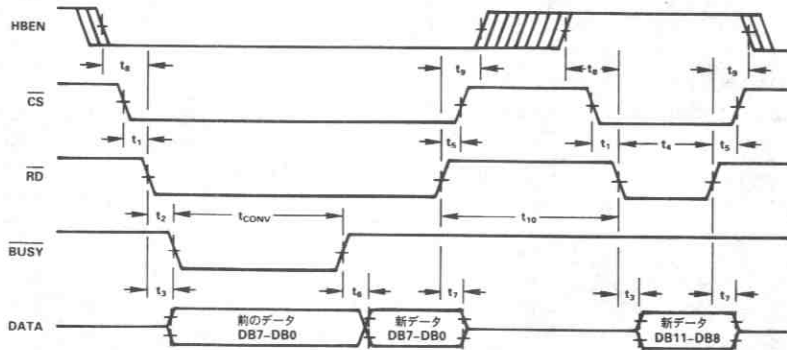


図18 スロー・メモリ・モード、2バイト・リード・タイミング図

A D7572A データ出力	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
最初のリード	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
2回目のリード	□ -	□ -	□ -	□ -	DB11	DB10	DB9	DB8

表2 スロー・メモリ・モード、2バイト・リード、データ・バス・ステータス

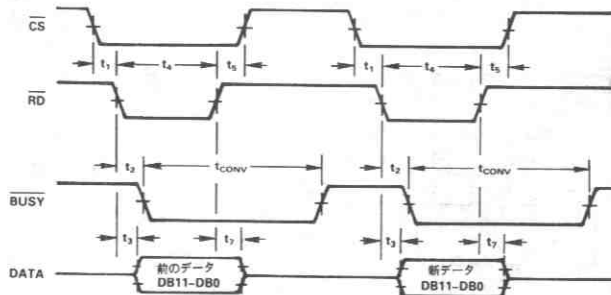


図19 ROMモード、パラレル・リード・タイミング図

A D7572A データ出力	D11	D10	D9	D8	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
最初のリード (前のデータ)	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
2回目のリード	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0

表3 ROMモード、パラレル・リード、データ・バス・ステータス

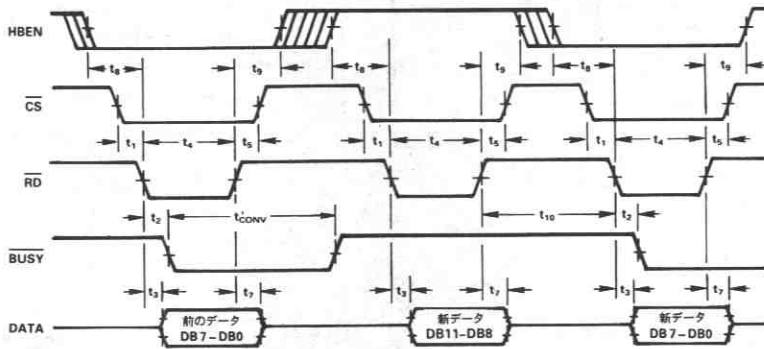


図20 ROMモード、2バイト・リード・タイミング図

AD7572A データ出力	D7	D6	D5	D4	D3/11	D2/10	D1/9	D0/8
最初のリード (前のデータ)	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
2回目のリード	□	□	□	□	DB11	DB10	DB9	DB8
3回目のリード	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0

表4 ROMモード、2バイト・リード、データ・バス・ステータス

スロー・メモリ・モード、2バイト・リード

2バイト・リードの場合にはD7～D0/8の8データ出力のみが用いられます。変換スタートの手続きおよび最初のリードについてのデータ出力ステータスはスロー・メモリ・モード・パラレル・リードの場合と全く同じです。図18のタイミング図および表2のデータ・バス・ステータスを見てください。変換完了時点で下位バイト・データ (DB7～DB0) がA/Dコンバータから読み取られます。次のリード動作ではHBENは“ハイ”となり上位バイト・データがデータ出力D3/11～D0/8に現れ、この間変換スタートはディスエーブルとされます。2回のREAD動作中上位4ビットはデータ出力D11～D8に現れていることに注意してください。

ROMモード、パラレル・リード (HBEN = “ロー”)

ROMモードではマイクロプロセッサをWAITステートに保つ必要はありません。一つのREAD動作で変換がスタートし1回前の変換結果の12ビット・データがデータ出力D11～D0/8に現れます。(図19および表3参照)。このデータは必要がなければ無視することができます。第2のREAD動作で新データ (DB11～DB0) が読み取られ、次の変換がスタートします。2回のREAD動作の間には最小AD7572Aの変換時間だけの遅延がなければなりません。

ROMモード・2バイト・リード

前に述べたように、2バイト・リードの場合にはデータ出力はD7～D0/8しか使われません。変換はREAD動作により普通にスタートされ、データ出力ステータスはROMモード、パラレル・リードの場合と同じです。

図20のタイミング図と表4のデータバス・ステータスを見てください。新しい変換結果にアクセスするためにはさらに2回のREAD動作が必要です。変換の開始と第2リード動作との間には、AD7572Aの変換時間に等しい遅延が必要です。第2のREAD動

作ではHBENは“ハイ”で変換のスタートはディスエーブルとされ上位4ビットがデータ出力D3/11～D0/8に現れます。第3のREAD動作で下位データ・バイト (DB7～DB0) にアクセスし、同時に次の変換がスタートされます。上位4ビットはこの3回のリード動作中データ出力D11～D8に現れています。

マイクロプロセッサとのインタフェース

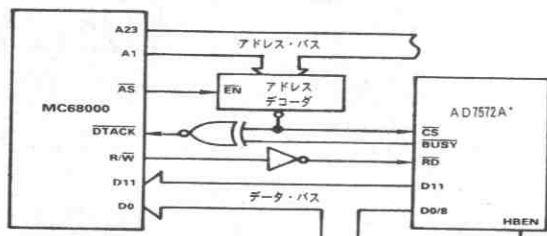
AD7572Aはマイクロプロセッサに対し、メモリ・マップ・デバイスとしてインタフェースするように設計されています。CSおよびRDコントロール入力はすべてのペリフェラル・メモリのインタフェースに共通のもので、HBEN入力は8ビット・プロセッサに対しデータバイト・セレクトとして働くもので、通常マイクロプロセッサのアドレス・バスに結ばれます。

MC68000マイクロプロセッサ

図21に68000との標準的インタフェースを示します。AD7572Aはスロー・メモリ・モードで動作します。AD7572AのアドレスがC000であるとすれば、次の16ビットのMOVE命令だけの変換がスタートし、結果が読み取られます。

MOVE. W \$C000, D0

命令サイクルの最初にA/Dコンバータのアドレスが選択されるとBUSYとCSとがDTACKをアサートし、これにより68000はWAIT状態とされます。変換完了時点でBUSYは“ハイ”に戻り変換結果がマイクロプロセッサのD0レジスタに格納されます。



*わかりやすくするためリニア回路部分は省いてあります。

図21 AD7572A-MC68000 インタフェース

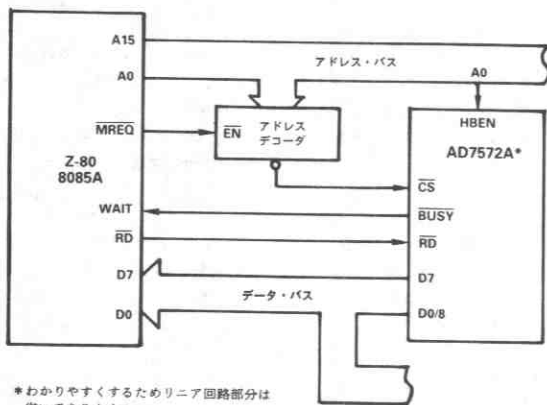
8085A、Z80マイクロプロセッサ

図22にAD7572AとZ80および8085Aマイクロプロセッサとのインタフェースを示します。AD7572Aはスロー・メモリ・モードで動作し、2バイト・リードが必要です。図中には示しませんでした、8085Aの共通・アドレス/データ・バスをデマルチプレクスするための8ビットのラッチが必要です。A0はHBENをアサートするために使われます。したがって偶数アドレス (HBEN="ロー") でAD7572Aの変換がスタートし、下位データ・バイトを読み取るのに用いられ、奇数アドレス (HBEN="ハイ") が上位データ・バイトを読み取るのに用いられます。この動作は次の16ビットLOAD命令一つで達成されます。

8085A LHL D (B00)

Z80 LDHL, (B00)

これは2バイト・リード命令で、A/Dコンバータのデータ (アドレスB00) をHLレジスタ対の中にロードするものです。最初のリード動作中、AD7572Aの変換のために、 $\overline{\text{BUSY}}$ がマイクロプロセッサをWAIT状態に保ちます。第2リード動作中はマイクロプロセッサは上位データ・バイトを読み込んでいますからWAIT状態にはされません。



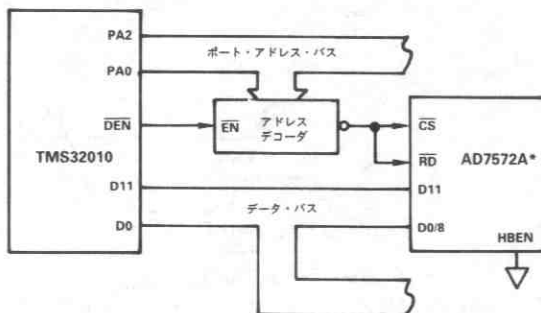
*わかりやすくするためリニア回路部分は省いてあります。

図22 AD7572A-8085A/Z80インタフェース

TMS32010 マイクロコンピュータ

図23にAD7572AとTMS32010とのインタフェースを示します。AD7572AはROMモードで動作します。このインタフェースは、TMS32010の最高のクロック周波数18MHzで動作するように設計されていますが、TMS32010のクロック周波数範囲全域にわたって動作可能です。

AD7572Aは一つのポート・アドレスをマップされています。次のI/O命令で変換がスタートし、一つ前の変換結果がデータ・メモリ中に読み込まれます。



*わかりやすくするためリニア回路部分は省いてあります。

図23 AD7572A-TMS32010 インタフェース

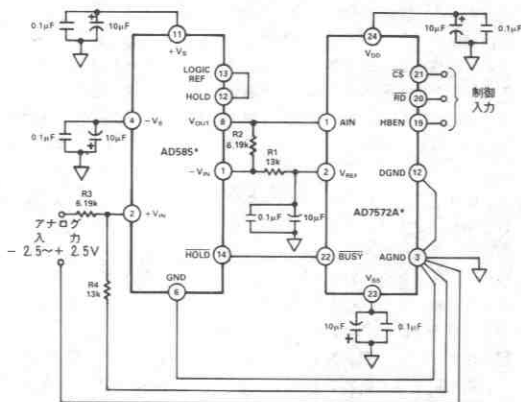
INA, PA (PA=ポート・アドレス)

変換が完了すると次のI/O命令で更新された結果がデータ・メモリ中に読み込まれ、次の変換がスタートします。二つのI/O命令の間には最低A/Dコンバータの変換時間だけの遅延がなければなりません。

AD7572A-AD585 サンプル・ホールド・インタフェース

図24はAD7572AのAIN入力を駆動するAD585 サンプル・ホールド・アンプとのインタフェースを示したものです。このインタフェースは入力信号レンジをバイポーラ $\pm 2.5\text{V}$ とするための抵抗R1、R2、R3、およびR4を含んでいます。最大サンプリング周波数はAD7572A $\times 0.3$ ($3\mu\text{s}$ 変換) については166kHz、AD7572A $\times 10$ ($10\mu\text{s}$ 変換) については77kHzです。これにはサンプル・ホールド・アンプのアクイジション時間 $3\mu\text{s}$ を含んでいます。

AD7572Aが変換を開始するとBUSY信号が"ロー"となり変換中であることを示します。BUSY信号の立下りエッジでサンプル・ホールド・アンプはHOLDモードとなりAD7572Aに対する入力信号を固定します。変換が完了するとBUSY信号は"ハイ"となり、サンプル・ホールド・アンプが入力信号をトラックすることができるようになります。最高のサンプリング・レートを達成するためには、AD7572Aの出力データは変換終了後サンプル・ホールド・アンプが次のサンプルを収集する $3\mu\text{s}$ 以内に読み取られていなければなりません。



*わかりやすくするため、この場合必要でないピンは省いてあります。

図24 AD7572A-AD585サンプル・ホールド・インタフェース

特長

 変換時間：1 μ s

AGNDとVREFのフォース/センス接続

動作温度範囲で12ビットの単調増加性を保証

低消費電力：200mW typ

高速バス・アクセス時間：< 57ns

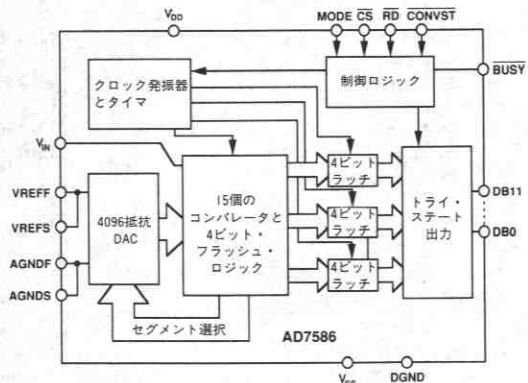
応用

計測制御

自動テスト装置

精密サーボ制御

データ収集システム全般



機能ブロック図

概要

AD7586は ± 5 V電源で動作し、低消費電力で高速動作の12ビットADCです。AD7586は1 μ sの変換時間で12ビットの精度を実現するため、15個のコンパレータによる4ビットのフラッシュ技術を使用したトリプル・バスのフラッシュADCです。4096個の量子化電圧レベルは高精度抵抗DACによって内部で実現されています。薄膜抵抗技術とオンチップのフォース/センス・アンプの使用により12ビット性能を保証しています。

AD7586はAGNDとVREF入力のフォース/センス機能を備えているため、オフセットとゲイン誤差が最小に抑えられます。優れた温度ドリフト特性をもつ高精度な抵抗DACと12ビット精度のコンパレータの組合せにより、全温度範囲で12ビット直線性を実現しています。

AD7586にはトライ・ステートのデータ出力付きの高速デジタル・インタフェースがあります。標準のマイクロプロセッサ信号 \overline{CS} と \overline{RD} 入力によりデータのアクセスと変換開始機能を制御できます。DSPの応用では変換制御はCONVST入力からも行なうことができます。AD7586のデータ・アクセス時間は57ns以下であり、DSPを含むほとんどの最新マイクロプロセッサと直接インタフェースが可能で

す。AD7586は高精度バイポーラ回路とローパワーCMOSロジックを組合せた弊社独自のリニア・コンパチブルCMOS (LCCMOS) プロセスにより製造されています。

製品のハイライト
1. 高速変換1 μ s

1 μ sという高速変換時間により、AD7586は広範囲のデータ収集応用に適合します。

2. 高速マイクロプロセッサ・インタフェース

標準制御信号 \overline{CS} 、 \overline{RD} そして高速バス・アクセス時間により、マイクロプロセッサと容易にインタフェースできます。

3. 低消費電力

LCCMOS製造プロセスにより、消費電力が200mW typとローパワーです。

仕様

($V_{DD}=+5V\pm 5\%$ 、 $V_{SS}=-5V\pm 5\%$ 、AGND と AGND_S は0V にケルビン接続、VREFF と VREFS は-4V にケルビン接続、DGND=0V。特に指定のない限り、 $T_{min}\sim T_{max}$)

パラメータ	J, A, S バージョン ¹	K, B バージョン ¹	単位	テスト条件/備考
精度				
分解能	12	12	ビット	
積分直線性 @ +25°C	±2	±1.5	LSB max	
$T_{min}\sim T_{max}$	±2	±1.5	LSB max	
微分非直線性	±1	±1	LSB max	
ノーマス・コード 保証最小分解能	12	12	ビット	
オフセット誤差 ²				ケルビン接続によってオフセット誤差は標準で2LSB減少します。
@ +25°C	±2	±2	LSB max	
$T_{min}\sim T_{max}$	±2	±2	LSB max	
ゲイン誤差 ²				ケルビン接続によってゲイン誤差は標準で2LSB減少します。
@ +25°C	±2	±2	LSB max	
$T_{min}\sim T_{max}$	±2	±2	LSB max	
アナログ入力				
入力電圧範囲	0~-4	0~-4	V	
入力電流	-20	-20	μA max	$V_{IN}=0\sim-4V$
リファレンス入力				
VREFS (仕様性能)	-4	-4	V	±2%
入力リファレンス電流	-10	-10	mA max	
電源変動除去比				
V_{DD} のみ (FS変化)	0.1	0.1	LSB typ	$V_{SS}=-5V$ 、 $V_{DD}=+4.75\sim+5.25V$
V_{SS} のみ (FS変化)	0.1	0.1	LSB typ	$V_{DD}=5V$ 、 $V_{SS}=-4.75\sim-5.25V$
ロジック入力				
入力HI電圧、 V_{INH}	2.4	2.4	V min	$V_{DD}=5V\pm 5\%$
入力LOW電圧、 V_{INL}	0.8	0.8	V max	$V_{DD}=5V\pm 5\%$
入力電流、 I_{IN}	±10	±10	μA max	$V_{IN}=0V\sim V_{DD}$
入力容量、 C_{IN} ³	10	10	pF max	
ロジック出力				
DB11~DB0、BUSY				
出力HI電圧、 V_{OH}	4	4	V min	$I_{SOURCE}=200\mu A$
出力LOW電圧、 V_{OL}	0.4	0.4	V max	$I_{SINK}=1.6mA$
DB11~DB0				
フローティング時 漏れ電流	±10	±10	μA max	
フローティング時 出力容量 ³	15	15	pF max	
電源				
V_{DD}	+5	+5	V nom	±5% (仕様性能)
V_{SS}	-5	-5	V nom	±5% (仕様性能)
I_{DD}	30	30	mA max	代表値20mA、 $\overline{CS}=\overline{RD}=V_{DD}$
I_{SS}	-30	-30	mA max	代表値20mA、 $\overline{CS}=\overline{RD}=V_{DD}$
消費電力	200	200	mW typ	$\overline{CS}=\overline{RD}=5V$
	300	300	mW max	

注.

(1) 温度範囲は以下のとおりです。

J/Kバージョン: 0~+70°C。

A/Bバージョン: -40~+85°C。

Sバージョン: -55~+125°C。

(2) VREF および AGND が非ケルビン接続時には、オフセットおよびゲイン誤差の代表値は4LSBです。

(3) +25°C においてサンプリング・テストを実施しています。

仕様は予告なしに変更することがあります。

タイミング特性¹

($V_{DD} = +5V \pm 5\%$ 、 $V_{SS} = -5V \pm 5\%$ 、 $AGND = DGND = 0V$)

パラメータ	Tmin, Tmaxでの の限界値(J,K バージョン)	Tmin, Tmaxでの の限界値(A,B バージョン)	Tmin, Tmaxでの の限界値(Sバ ージョン)	単位	条件/備考
t1	0	0	0	ns min	$\overline{CS} - \overline{RD}$ セットアップ時間
t2	35	35	40	ns max	$\overline{RD} - \overline{BUSY}$ 伝播遅延 ($C_L = 10pF$)
t3	20	20	14	ns min	\overline{BUSY} に先立つデータ・セットアップ時間 ($C_L = 20pF$)
t4 ²	10	10	0	ns min	\overline{BUSY} に先立つデータ・セットアップ時間 ($C_L = 100pF$)
	55	55	10	ns min	\overline{RD} 後のバス解放時間
t5	0	0	0	ns max	$\overline{CS} - \overline{RD}$ ホールド時間
t6	35	35	40	ns min	$\overline{CONVST} - \overline{BUSY}$ 伝播遅延
t7	75	75	90	ns min	\overline{CONVST} パルス幅
t8 ³	57	57	70	ns max	\overline{RD} 後のデータ・アクセス時間
t9	60	60	75	ns min	\overline{RD} パルス幅
t10	0	0	0	ns min	\overline{BUSY} HI- \overline{RD} LOW (モード1)
t11	25	25	25	ns min	\overline{CS} HI時間 (モード0)
t12	0	0	0	ns min	\overline{CS} HI- \overline{CONVST} LOW (モード1)
t13	0	0	0	ns min	\overline{BUSY} HI- \overline{CONVST} LOW (モード1)
tconv	950	950	950	ns typ	変換時間 (モード0)
	1000	1000	1000	ns max	

注)

- 1) 大字で示す仕様は100%テストが実施されています。他のタイミングは+25°Cにおいてサンプリング・テストを実施しています。すべての入力信号は、 $t_r = t_f = 5ns$ (5Vの10%~90%) に仕様が規定され、電圧レベル1.6Vから測定されています。
- 2) t4は図1に示す負荷回路を用い、データ出力に0.5Vの変化が生じた時点からの測定値から得ています。そして、100pFのコンデンサを充電または放電する際の影響を、測定値から外挿によって取除いています。したがって、タイミング特性に示すt4はこのデバイスの真のバス解放時間であり、外部バスの負荷容量には依存しない値です。
- 3) t8は図1に示す負荷回路を用いて測定されており、出力が0.8Vまたは2.4Vに達するために要する時間、と定義されています。

仕様は予告なしに変更することがあります。

絶対最大定格¹

(特に指定のない限り、 $T_A = +25^\circ C$)

$V_{DD} - AGND$	-0.3 ~ +7V
$V_{SS} - AGND$	+0.3 ~ -7V
$AGND - DGND$	-0.3 ~ $V_{DD} + 0.3V$
$V_{IN} - AGND$ ²	$V_{SS} - 0.3 \sim \overline{V_{DD}} + 0.3V$
$V_{REF}, V_{REFS} - AGND$	$V_{SS} - 0.3 \sim \overline{V_{DD}} + 0.3V$
デジタル入力-DGND	
$\overline{CS}, \overline{RD}, \overline{CONVST}$ 、モード	-0.3 ~ $V_{DD} + 0.3V$
デジタル出力-DGND	
$DB0 \sim DB12, \overline{BUSY}$	-0.3 ~ $V_{DD} + 0.3V$

動作温度範囲

一般用 (J, Kバージョン)	0 ~ +70°C
産業用 (A, Bバージョン)	-40 ~ +85°C
拡張温度用 (Sバージョン)	-55 ~ +125°C
保管温度範囲	-65 ~ +150°C
リード温度 (ハンダ付け10秒)	+300°C
電力消費 (各パッケージ) +75°C まで	1000mW
+75°C 以上のディレーティング	10mW/°C

注意

この素子はESD(Electrostatic-Discharge)センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させる必要があります。

注

- 1 絶対最大定格を超えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。
- 2 V_{DD} と $AGND$ が加えられている時に V_{SS} がオープンとなった場合には、 V_{SS} ピンは正電位となり、絶対最大定格を越えます。もしこの可能性がある時には V_{SS} から $DGND$ にショットキ・ダイオードを(カソード端を GND に)接続することにより絶対最大定格を守ることができます。

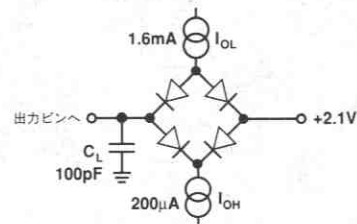


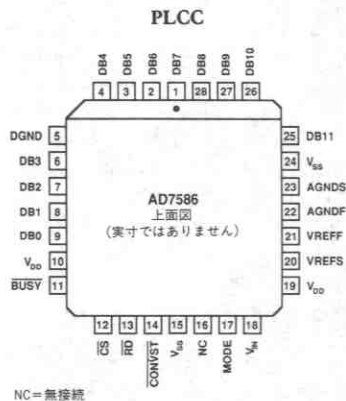
図1. アクセス時間と解放時間測定用負荷回路



ピン機能説明

ピン番号	名称	機能
10、19	V _{DD}	+5V±5%の正電源。両方のV _{DD} ピンは互いに接続しなければなりません。
15、24	V _{SS}	-5V±5%の負電源。両方のV _{SS} ピンは互いに接続しなければなりません。
22	AGNDF	アナログ・グラウンド・フォース。AGNDSと共に外部のAGND (図3参照) をフォース/センスするための入力です。オフセット誤差が問題とならないような応用では、これらの入力はお互いに接続し、外部AGND基準電位に直接接続します。
23	AGNDS	アナログ・グラウンド・センス。アナログ・グラウンド基準電位のフォース/センスに使用するAGNDFのコンプリメンタリ入力です。AGNDFとAGNDSは内部で接続されています。
5	DGND	デジタル・グラウンド。
アナログリファレンス入力		
18	V _{IN}	アナログ入力。アナログ入力範囲は0~4Vです。
20	VREFS	電圧リファレンス・センス入力。この入力はVREFEと共に外部電圧リファレンス (図3参照) をフォース/センスするために使用することができます。VREFE入力をフォース/センスすることによってゲイン誤差を最小に抑えることができます。ゲイン誤差が重要でない応用では、これらの入力はお互いに接続し、外部リファレンスに直接接続します。
21	VREFE	電圧リファレンス・フォース入力。外部電圧リファレンスをフォース/センスするためのVREFS入力のコンプリメンタリ入力です。VREFEとVREFSは内部で接続されています。
インタフェース		
1-4、	DB7~DB4	トライステートのデータ出力。これらの出力はCSとRDにより制御されます。DB11が最上位ビット (MSB) です。
6-9	DB3~DB0	
25-28	DB11~DB8	
11	BUSY	BUSY出力によりコンバータの状態を示します。変換中はBUSYはLOWになります。
12	CS	チップ・セレクト入力。この入力がLOWの時セレクト状態になります。
13	RD	リード入力。アクティブLOW入力。CSと共にトライ・ステートのデータ出力ドライバをイネーブルし、MODE入力ピンがLOWに接続されている時には変換を初期化します。
制御		
14	CONVST	変換開始入力。MODE入力ピンがHIに接続されている時、この入力により変換が開始されます。
17	MODE	モード入力。このピンがLOWの時、CSとRDの立下りエッジで変換が始まります。このピンがHIのときCONVST入力の立上りエッジで変換が始まります。
16	NC	無接続。内部的にも接続されていません。

ピン配置



動作図

AD7586の動作接続図を図2に示します。基本的動作に必要な外付部品は-4Vのリファレンスだけです。

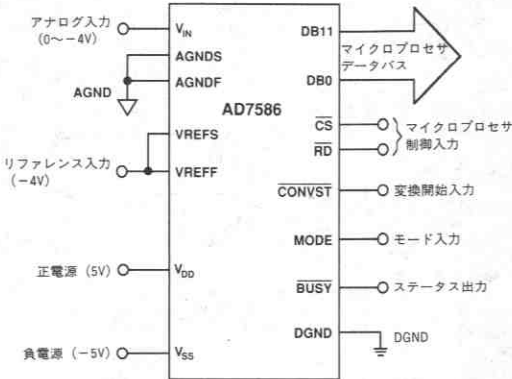


図2. 動作接続図

コンバータの詳細

AD7586はトリプル・バスのフラッシュADCで、12ビットの交換手順を行なうために4ビットのフラッシュ回路に15個のコンパレータを使用しています。内部の高精度抵抗DACによって4096の個々の量子化レベルが実現されます。

アナログ入力電圧と抵抗レイのVREF/16電圧を15個のコンパレータにより比較します。この動作で上位4ビットが決まり、16個の電圧セグメントのうちの1個を選択します。次に15個のコンパレータはそのセグメント内の15個の電圧に切替えられ、次の4ビットを決め、256個の電圧セグメントのうちの1個を選択します。このコンパレータをさらに15個段階の電圧に切替えることによって、12ビットの交換が終了します。その後12ビット・データは内部のトライ・ステート出力ラッチにストアされます。

フォース/センス接続

AD7586は、オフセット誤差とゲイン誤差を最小にするためAGNDとVREFピンにケルビン（フォース/センス）接続のための機能を備えています。これらの入力のフォース/センスを行なうことで不要な内部導体抵抗によって発生する電圧またはIR降下起因する誤差を除去できます。AGND経路のIR降下はオフセット誤差を発生し、リファレンス経路のIR降下はゲイン誤差を発生します。通常、ケルビン接続によりオフセットとゲイン誤差は2LSB減少します。

オフセット電圧はフォース/センスを行なっている電圧に直接加わるため、オペアンプのオフセット電圧の低いことが重要です。この応用のためのオペアンプとしてはAD705、AD707、AD708（デュアル・オペアンプ）などが最適で、これらのオペアンプのオフセット電圧は100 μ V以下です。

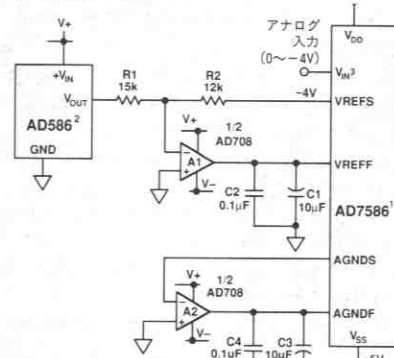
リファレンス入力

AD7586は-4Vの外付リファレンス電圧で動作します。図3にAD586による代表的なリファレンス接続回路を示します。AD586は安定度5ppm/ $^{\circ}$ C maxの高性能の電圧リファレンスです。AD586の+5V出力はAD7586のVREF入力に加えられる前にスケールされ、反転されます。変換中の高速の過渡波形を抑えるためフォー

ス/センス・オペアンプ出力を正しくデカップリングすることが重要です。コンデンサをオペアンプの出力に直接接続することには安定度の問題があります。しかし、図3のように10 μ Fの大きなコンデンサを用いることでオープン・ループ帯域幅を制限し、クローズ・ループの発振を抑えます。

オフセット誤差やゲイン誤差が重要でない場合には図4に示すようにフォース/センス・オペアンプを取付けず、フォース/センス・ピンをAGNDに接続できます。しかし、リファレンス入力電圧の-4Vを作るためのスケールと反転に外付のオペアンプを使わざるを得ないため、このオペアンプでフォース/センスを行なえばコストの増大を招くことはありません。どのような応用でもAGNDとVREFピンは低インピーダンスの信号源により駆動しなければなりません。

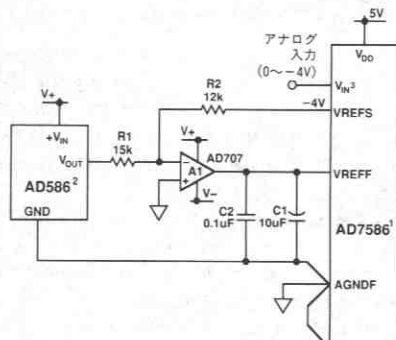
このデータシートではAD586を高精度リファレンス電源として使用していますが、いくつかの応用では他のリファレンス源も推奨できます。例えばプレシジョン・セミコンダクタ社の4VリファレンスZNR040などです。このリファレンスは高精度応用には適合しませんが、温度ドリフト特性は50ppm/ $^{\circ}$ Cです。また、パッケージも3ピンのメタル・キャンです。



注

- 1 他のピンは省略。
- 2 V⁺とV⁻の電源範囲は±12~±15Vです。
- 3 V_{IN}の信号源が5V以上の電源を用いている場合には、正の絶対最大定格を越えないようにするための入力保護ダイオードを用いて下さい。

図3. AD586を使用し、AGNDとVREFのフォース/センスを行なう代表的な回路



注

- 1 他のピンは省略。
- 2 V⁺とV⁻の電源範囲は±12~±15Vです。
- 3 V_{IN}の信号源が5V以上の電源を用いている場合には、正の絶対最大定格を越えないようにするための入力保護ダイオードを用いて下さい。

図4. AD586を使用し、VREFのフォース/センスを行なう代表的な回路

ユニポーラ動作

AD7586のアナログ入力範囲は0～4Vです。コード遷移は1LSBの整数倍で起こるように設計されています。出力コードは純バイナリで、 $1\text{LSB} = \text{FS} / 4096 = (4\text{V} / 4096) = 0.977\text{mV}$ です。図5を参照ください。

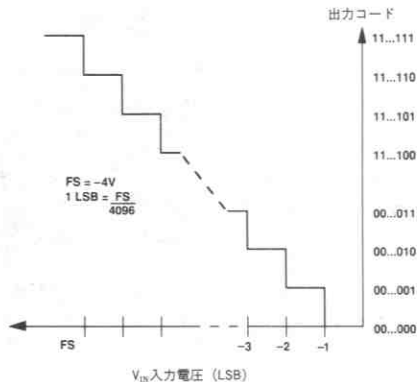


図5. AD7586の伝達関数

ユニポーラ・オフセットおよびゲイン誤差の調整

リファレンスとAGNDピンにフォース/センス・アンプを使用する場合にはオフセット誤差とゲイン誤差は2LSB以下となり、ほとんどの場合AD7586を校正する必要はありません。しかし絶対的な精度を必要とする応用では信号の調整や他の外部回路に起因するシステムのオフセット誤差やゲイン誤差をゼロにするためフォース/センス・アンプを使用します。

総合的な伝達関数は、「mid riser」タイプまたは「mid tread」タイプとして校正できます。mid riserタイプは連続する整数のLSB値でコード遷移が起こり、mid treadタイプは連続する整数のLSB値の中間の値でコード遷移が起こります。2つのタイプの違いは $\frac{1}{2}$ LSBのオフセットのみです。最初と最後のコード遷移電圧を表1に示します。

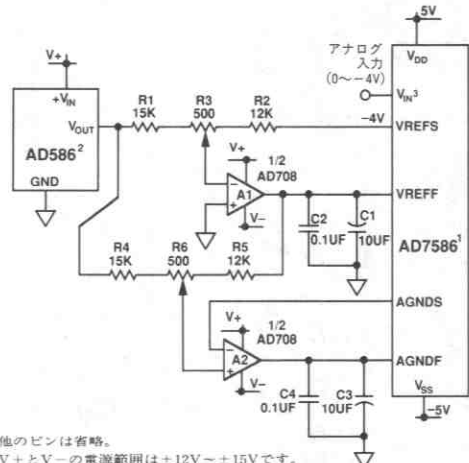
	Mid Tread	Mid Riser
最初のコード遷移電圧 (0000 0000 0000から0000 0000 0001)	-0.488mV	-0.977mV
最後のコード遷移電圧 (1111 1111 1110から1111 1111 1111)	-3.9985V	-3.9990V

表1. ユニポーラ動作での理想的な最初と最後のコード遷移電圧

図6にオフセット誤差とゲイン誤差の調整回路を示します。AD708デュアル・オペアンプによりAGNDとVREFピンのフォース/センスを行い、フォース/センス・オペアンプ出力電圧は調整用ポテンショメータR3とR6により可変できます。調整の順番はどちらでも構いません。つまりオフセット調整はゲイン調整に影響を与えず、またその逆も同じです。

オフセット調整はAGNDのフォース/センス電圧を調整することで行ないます。オフセット調整は最初のコード遷移電圧（表1参照）を V_{IN} に加え、ADCの出力コードが0000 0000 0000と0000 0000 0001の間を変動するまでR6を調整します。

ゲイン誤差はリファレンス入力を調整して、フルスケールのディジタル出力を調整します。フルスケール出力を調整するためには最後のコード遷移電圧を V_{IN} に加え、ADCの出力コードが1111 1111 1110と1111 1111 1111の間を変動するまでR3を調整します。



- 注
- 1 他のピンは省略。
 - 2 $V+$ と $V-$ の電源範囲は $\pm 12\text{V} \sim \pm 15\text{V}$ です。
 - 3 V_{IN} の信号源が5V以上の電源を用いている場合には、正の絶対最大定格を越えないようにするために入力保護ダイオードを用いて下さい。

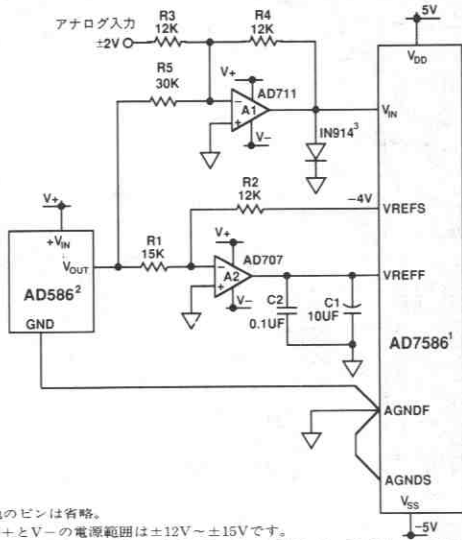
図6. フルスケール調整のユニポーラ動作

バイポーラ動作

図7にAD7586のバイポーラ動作を示します。この回路ではAD7586のアナログ入力に加えられるアナログ信号を -2V だけオフセットするためにオペアンプを用いています。この回路は $\pm 2\text{V}$ のアナログ入力範囲と 0.997mV のLSBサイズを持っています。出力コードはオフセット・バイナリです。伝達関数については図8を参照してください。

$\pm 2\text{V}$ 以外の範囲の信号に対してはR3の値を変えることで容易に対応できます。例えばR3を $30\text{k}\Omega$ にすればアナログ入力範囲は $\pm 5\text{V}$ となります。 V_{IN} における電圧レンジがADCのダイナミック・レンジ全体（0～4V）を常にカバーするようにR3の値を決めることが必要です。使用する抵抗はすべて温度係数のマッチングがとれるように、同一メーカーの同一タイプのものを用います。

ACサンプリングの応用では、オペアンプA1をサンプル・ホールド・アンプSHAに置換えることが可能です。すべてのSHAが使用可能な反転及び非反転端子を持っているとは限らないため、その場合にはアナログ入力のレベル・シフトにオペアンプが必要となります。



- 注
 1 他のピンは省略。
 2 V_+ と V_- の電源範囲は $\pm 12V \sim \pm 15V$ です。
 3 V_{IN} の信号源が5V以上の電源を用いている場合には、正の絶対最大定格を越えないようにするため入力保護ダイオードを用いて下さい。

図7. AD7586のバイポーラ動作

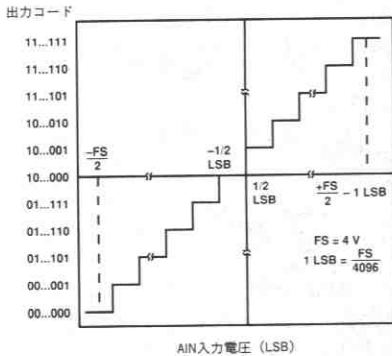


図8. 図7の回路の理想的な入出力伝達関数

バイポーラ・オフセットおよびゲイン誤差の調整

ユニポーラ動作の場合と同様に、絶対的な精度が重要な応用ではシステムのオフセット誤差とゲイン誤差をフォース/センス・アンプで調整することができます。図7ではR3とR4の間の抵抗値のミス・マッチングがゲイン誤差の要因の一つとなります。R2とR3を可変にしてユニポーラ動作の項で述べた場合と同じ手順で調整することで、この誤差と他の要因によるゲイン誤差を除去することができます。オフセット調整にはAGNDのフォース/センス・アンプに図6に示したバイアス抵抗と調整回路 (R4, R5, R6) が必要です。調整手順も図6で述べたものと同じです。アナログ入力信号は-2Vのレベル・シフトを受けているため、表Iに示すコード遷移をこの回路に適用する前に最初と最後のコード遷移電圧から-2Vを引くことが必要です。

タイミングと制御

変換の開始とデータ・アクセスは \overline{CS} 、 \overline{RD} 、 \overline{CONVST} 、MODEの4つのデジタル入力によって制御します。図9~11に示すように基本的動作にはMODE0とMODE1の2種類のモードがあります。モード0はマイクロプロセッサが変換開始とデータ・アクセスに関して完全な制御を行なう場合のために設計されています。モード1はDSP応用のために設計されており、等間隔のサンプリングを行なうためにタイマによってサンプリングが開始され、マイクロプロセッサによってデータ・アクセスの制御が行なわれます。AD7586のMODE入力ピンによってタイミングの選択が行なわれます。MODE=0Vのときモード0に、MODE=5Vのときモード1となります。

モード0 (MODE=0V)

モード0を使用してバスとの直接インタフェースを行なう場合には、マイクロプロセッサがWAITステータス機能を持っていることが必要です。ADCからのリード動作により \overline{CS} と \overline{RD} がLOWとなり、変換が開始されます。AD7586からは、変換中であることを示すため \overline{BUSY} がLOWになります。変換が終了し、ADCの出力ラッチが更新され、変換結果がデータ出力に出力された後で \overline{BUSY} はHIに戻ります。データ・バスは変換期間中はトライ・ステート状態となっていますが、変換終了時に \overline{BUSY} がHIになる前にアクティブとなることに注意ください (図9の t_3 参照)。

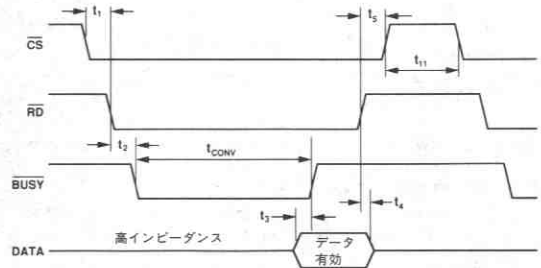


図9. モード0のタイミング図 (MODE=0V時)

モード1 (MODE=5V)

このモードでは \overline{CONVST} 入力をアサートすることで変換が開始されます (図10参照)。 \overline{CONVST} 入力の立下りの後で \overline{BUSY} がLOWになりますが、ADCの変換手順は \overline{CONVST} パルスの立上り後までは開始されません。変換が終了すると \overline{BUSY} はHIに戻ります。総合的な \overline{BUSY} パルスの幅は \overline{CONVST} のパルス幅とADCの変換時間との和となります。モード1の変換時間 t_{CONV} はモード0のそれより30ns typだけ長くなります。 \overline{BUSY} の立上りエッジの後ならマイクロプロセッサはどのタイミングでもデータを読出すことができます。変換実行中に \overline{CONVST} パルスをLOWにすると、新たに変換が開始されることに注意ください。

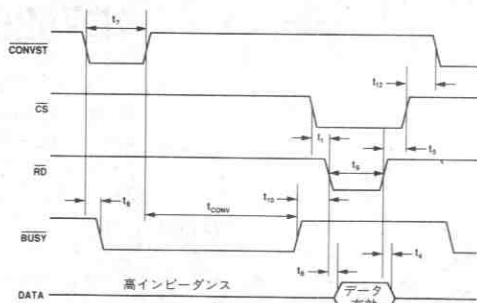


図10. モード1のタイミング図 (MODE=5V時)

図11に、変換結果を外部ラッチにストアする際に便利なモード1のタイミング・バリエーションを示します。この場合には \overline{CS} と \overline{RD} はLOWに固定され、データ・バスは \overline{BUSY} がLOWの時を除き、常にアクティブになっています。 \overline{BUSY} がLOW時にはデータ・バスはトライ・ステート状態となっています。 \overline{BUSY} を外部ラッチのクロック信号として使用できるように、データ・バスは \overline{BUSY} が変換終了時にHIに戻る前にアクティブとなります。

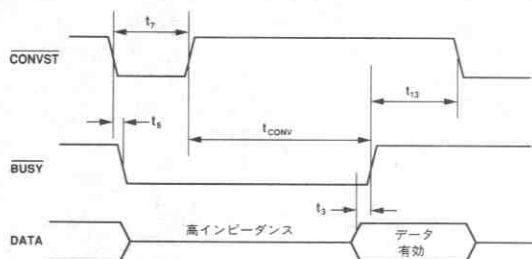


図11. $\overline{CS}=\overline{RD}=0V$ のモード1のタイミング図 (MODE=5V時)

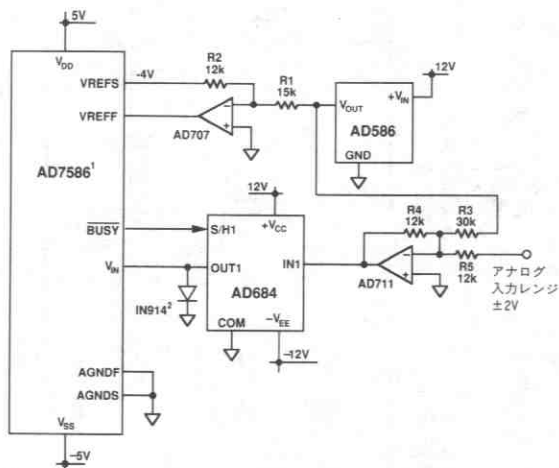
サンプル・ホールドとのインタフェース

AC応用ではサンプル・ホールド・アンプ (SHA) が必要です。AD684とのインタフェース接続は図12に示すように通常のもので、AD7586の \overline{BUSY} 信号はSHAのホールド入力に理想的です。SHAをADCのインタフェースに使用する時にはセトリング時間が重要となります。この仕様はHOLDコマンドを受けてからSHAの出力が安定するまでに必要な時間です。このためHOLDコマンドからAD7586の最初のフラッシュ決定までの間に少なくともSHAのセトリング時間だけの遅延が必要です。モード1ではホールド・モードの大きなセトリング時間を補償することができます。変換の開始から最初のフラッシュ決定までの遅延時間は約200nsです。モード1のタイミングでは \overline{CONVST} がLOWの時、 \overline{BUSY} もLOWになりますが、変換プロセスは \overline{CONVST} がHIになるまで開始されません。このため \overline{CONVST} のパルス幅を追加の200ns以上のセトリング時間を持つSHAの補償に使用することができます。例えば500nsのセトリング時間を持つSHAでは \overline{CONVST} のパルス幅は300nsとなります。

AD684サンプル・ホールド

AD684は1 μ sアキュイジション時間のクワッド・サンプル・ホールド (SHA) です。図12にAD7586とAD684とを用いた1チャンネルのデータ収集システムの構成例を示します。全体的なスループット・レートを計算するためにはSHAのアキュイジション時間とセトリング時間

間およびADCの変換時間を計算に入れる必要があります。図12に示すシングル・チャンネルのシステムでは最小のスループット時間は約2.5 μ sとなります。この値から個々のアキュイジション時間と変換時間に1 μ sを、またセトリング時間と他のオーバーヘッドのために500nsを取ることができます。



- 注
 1 他のピンは省略。
 2 V_{IN} が正の絶対最大定格を越えないようにするための入力保護ダイオードです。

図12. AD684とAD7586のインタフェース

AC特性の試験

高速フーリエ変換 (FFT) はACサンプリング・システムの評価の手法として広く知られています。FFTからデジタル・データのサンプルの周波数成分のプロットが得られます。図12の回路の入力として純粋な正弦波を使用した時のFFTプロットを図13に示します。FFTはサンプリング周波数300kHz、入力周波数100kHzで2000個のサンプルから計算されました。このFFTプロットからS/N比および全高調波歪み (THD) が、それぞれ70dBおよび-81dBと算出されました。図14にナイキスト周波数までのSNRとTHDのプロットを示します。

SNRの計算では全ノイズを計算するためDC成分を除く基本波以外のノイズすべてが使用されます。THDを計算する場合には2次から6次までの高調波が使用されます。公式を以下に示します。

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで V_1 は基本波のrms振幅、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は2次から6次までの高調波のrmsレベルです。

SNRとTHDは、いずれもFFTプロットから算出できます。

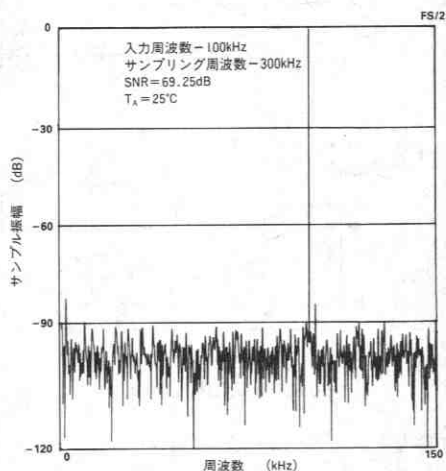


図13. AD7586とAD684 SHAによる代表的なFFTプロット

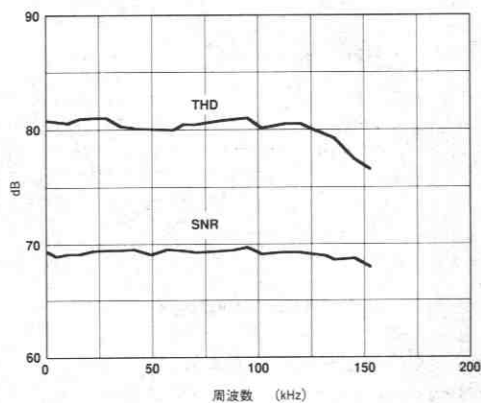


図14. AD7586とAD684 SHA使用時のSNRとTHDの周波数特性

マイクロプロセッサとのインタフェース・タイミング

AD7586はメモリ・マップ・デバイスとしてマイクロプロセッサとインタフェースできるように設計されています。CSとRD制御入力はすべてのメモリ・ペリフェラル・インタフェースと共通のものです。図15~21にAD7586の代表的なインタフェース例を示します。

AD7586とTMS320C10/TMS32020のインタフェース

図15と16にTMS320C10/TMS32020 DSPとの代表的なインタフェースを示します。AD7586はモード1の設定で使用されています。外付のタイマにより変換開始を制御しています。各変換の終了時にADCのBUSY出力によりマイクロプロセッサに割込みがかかります。変換結果は以下の命令により読出されます。

IN D, ADC (ADCはADCのアドレスです)

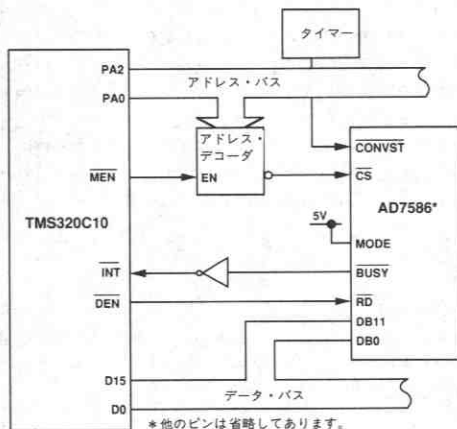


図15. AD7586とTMS320C10とのインタフェース

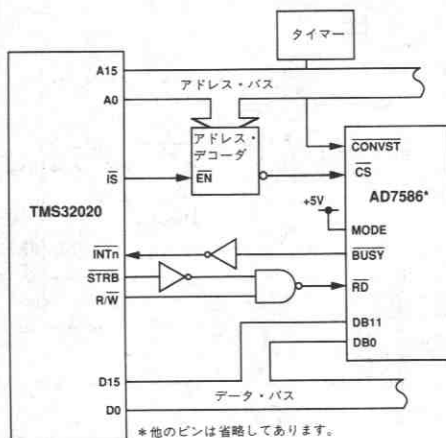


図16. AD7586とTMS32020とのインタフェース

AD7586とADSP-2100/TMS320C25/DSP-56000のインタフェース

より速いDSPプロセッサではAD7586の能力を越えるデータ・アクセス時間を持つものがあります。これらのプロセッサとのインタフェースには1回のWAIT状態または外付ラッチが必要となります。図17~19にインタフェース例を示します。

これらのインタフェース例ではAD7586はモード1で使用されます。TMS320C25とADSP-2100とのインタフェースでは1回のWAIT状態が使用され、ADCへのリード命令をプロセッサの1CLK OUTサイクルだけ延長します。DSP56000とのインタフェースでは、ADCのデータはプロセッサが読出す前に74HC374にラッチされます。AD7586のCSとRD入力はLOWに固定され、変換の終了時にBUSYの上立リエッジによりラッチが更新されます。非常に高速のデータ・アクセス時間に整合させるために必要なこれらの方法はそれぞれ入れ替えが可能で、DSP56000でWAIT状態を使用すれば外付ラッチの必要はなくなり、他の2つのプロセッサとのインタフェースでは逆にラッチを使用することができます。

これらのインタフェース例では外部タイマにより変換開始を制御しており、各変換終了時にADCのBUSY出力によってプロセッサに割込みがかかります。以下の命令によりADCからデータが読出されます。

ADSP-2100-MR=DM (ADC)

TMS320C25-IN D, ADC

DSP56000-MOVEP Y:ADC, XO (ADCはYメモリ空間の先頭64アドレスにメモリ・マップされているものとします。)

(ADCはADCアドレスです)

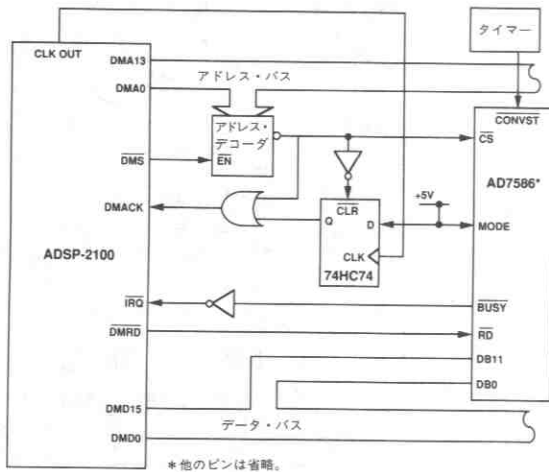


図17. AD7586とADSP-2100のインタフェース

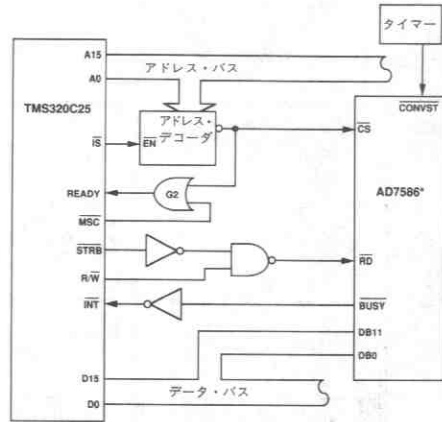


図18. AD7586とTMS320C25のインタフェース

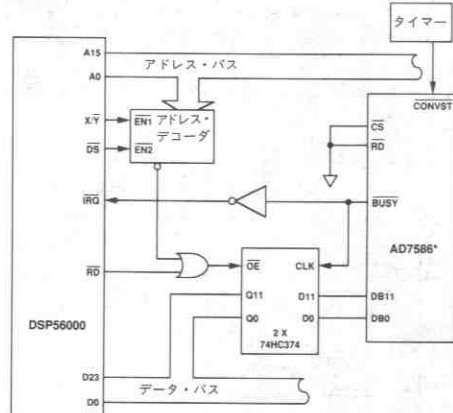


図19. AD7586とDSP56000のインタフェース

AD7586とMC68000のインタフェース

外部タイマではなくマイクロプロセッサにより変換を開始することの必要な応用では、モード0タイミングを使用します。MC68000プロセッサとのインタフェース例を図20に示します。

変換はADCへの読出し命令で以下のように開始されます。

MOVE, W ADC, D0 (ADCはADCアドレスです)

命令サイクルの始まりでADCアドレスが選択され、BUSYとCSがDTACKをアサートし、68000は強制的にウェイト状態となります。変換の終了時にBUSYがHIに戻り、変換結果がプロセッサのD0レジスタに格納されます。

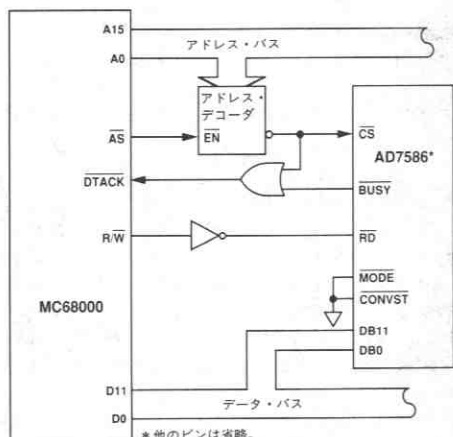


図20. AD7586とMC68000のインタフェース

AD7586とZ80/8085Aのインタフェース

8ビットのプロセッサでは、変換結果のうち4ビットをストアするために外付ラッチが必要になります(図21の4LSB)。データはその後ADCおよびラッチからの2バイトとして読出されます。

図21にZ80と8085Aに適合する代表的なインタフェース例を示します。8085Aのコモン・アドレス/データ・バスをデマルチプレクシングするために必要な8ビット・ラッチは示していません。以下のLOAD命令によってHLレジスタ・ペアに変換結果が読出されます。

8085A-LHLD (ADC) (ADCはADCアドレスです)
Z80-LDHL (ADC) (ADCはADCアドレスです)

上の命令は2バイト命令です。最初に読出されるバイトは上位バイト(DB11-DB4)です。最初のリード動作の終了時にCSとRDの立下りエッジで74HC374ラッチに4LSBがクロック入力されます。2番目のバイト(4LSB)はラッチから読出されます。

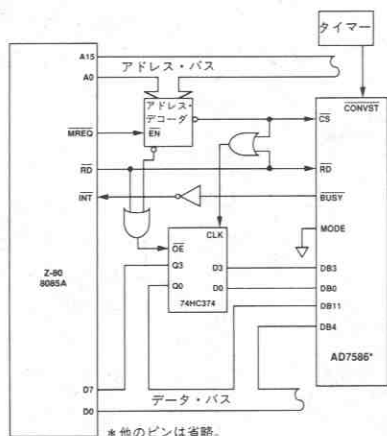


図21. AD7586とZ-80/8085Aのインタフェース

使用上の注意

高速A/D性能を実現するためには回路自体の設計と同様に、プリント基板(PCB)のレイアウトも重要な要素となります。AD7586は1.0mVのLSBサイズをベースにビット判定を行わなければならないので、設計者はADC自体の他にそれに先行するアナログ回路のノイズにも十分配慮する必要があります。スイッチング・モード電源を使うと、スイッチング・スパイクがコンパレータまでフィードスルーするため、コード遷移にノイズが入るので、使用しない方がよいでしょう。その他注意すべき点はグラウンド・ループとマイクロプロセッサからのデジタル・フィードスルーです。これらのファクタはどんなADCにも影響を及ぼすので、影響を最小限に抑えるようなPCBレイアウトが理想的な性能を得るためには不可欠です。

レイアウト上の注意

プリント基板のレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ離すようにします。デジタル・トラックがアナログ・トラックに沿って走るようなことがないように注意してください。アナログ入力はAGNDでガード(遮蔽)します。

AD7586のAGNDピンまたはなるべくAD7586に近い所でロジック・システム・グラウンドとは別に1点アナログ・グラウンド(スター・グラウンド)を設定します。他のすべてのグラウンドおよびAD7586のDGNDをこのアナログ・グラウンド・ポイントに接続します。その他のデジタル・グラウンドはこのアナログ・グラウンド・ポイントに接続してはいけません。

ADCの低ノイズ動作を実現するためには、アナログおよびデジタル電源のコモン・リターンを低インピーダンスにする必要があるため、これらのトラックのフォイル幅をできるだけ広くします。グラウンド・プレーンを使用すると、インピーダンス・パスを最小限に抑えるとともに、アナログ回路をデジタル・ノイズからガードすることができます。図25と26の回路レイアウトではアナログ・グラウンド・プレーンとデジタル・グラウンド・プレーンの両方がどちらにも用いられていますが、両者はAD7586のAGNDピンでつながっている以外は完全に分離されています。

ノイズ

V_{IN} への入力信号リードおよびAGNDからの信号リターン・リードは、入力ノイズのカップリングを最小限にするためになるべく短くします。それが不可能な応用の場合は、ソースとADC間をシールド・ケーブルで接続します。信号源とADCのグラウンド間に電位差があると、入力信号に誤差電圧となって現れるため、グラウンド回路のインピーダンスはなるべく低減する必要があります。

データ収集ボード

図23はAD7586をデータ収集回路に利用したものです。対応するプリント基板(PCB)のレイアウトとシルクスクリーンを図24-26に示します。

アナログ入力は、まずオペアンプ(IC5)に加えられ、AD7586のアナログ入力に達する前にSHA(IC2)に加えられます。入力オペアンプはユニポーラとバイポーラの両方に設定できます(短絡バンプ・オプションの項を参照)。スケールアップのためにオペアンプでバッファされたAD586電圧リファレンスによりAD7586に必要な-4Vリファレンスを供給します。データ・バス出力は74HC374ラッチでバッファされています。このことにより、データ・バスの分離とデータ・アクセス時間の改善が行われます。データ・アクセス時間は30ns以下まで減少し、基本的には高速DSPを含むようなマイクロプロセッサとのインタフェースも可能となります。データ形式は16ビット・プロセッサには完全なパラレル・ロードが、8ビット・プロセッサには2バイト・ロードが可能です。

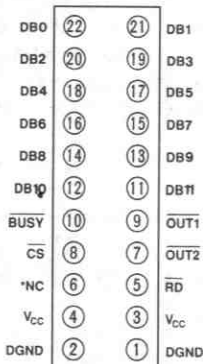
インタフェース接続

SKT3とSKT4の2つのコネクタが用意されています。

SKT3は96接点(3列)のコネクタで、ADPS-2100評価用ボード・プロトタイプ拡張コネクタに直接対応します。ADSP-2100のこの拡張コネクタにはデコードされたチップ・イネーブル出力ラインが8つあります。(ECE1~ECE8)。ECE6はAD7586データ収集ボードの選択に用いられます。同時にオンボードRAMソケットを選択しないようにするため、ADSP-2100ボード上のLK6を外しておかなければなりません。ADSP-2100の拡張コネクタには4つの割込み(EIRQ0~EIRQ3)が含まれています。AD7586のBUSY出力がEIRQ0に接続されます。SKT3のピンアウトを図23に示します。

ADSP-2100コネクタへのデータ形式は左詰めで、変換結果のDB11がコネクタのDMD15に接続されます。DMD3からDMD0は常にゼロです。

SKT4は22ピン(2列)ピン・ヘッダ・コネクタです。このコネクタには、EDMACKと16ビット・データワードのうち4つの0のビットを除いて、SKT3と同様の信号接点すべてが含まれています。12ビットの変換結果のみがSKT4に接続されます。図22にピンアウトを示します。



*注
NCは無接続です。

図22. SKT4のピンアウト

電源接続

このPCBには2つのアナログ電源±12Vと1つの5Vデジタル電源が必要です。アナログ電源はV₊、V₋と表わされるものです。(図24のシルクスクリーンを参照)。5Vデジタル電源はいずれかのコネクタ(SK3またはSK4)を通して接続します。AD7586に必要な±5Vアナログ電源は、V₊およびV₋電源上の電圧レギュレータによって生成されます。

短絡プラグ・オプション

ボードを使用する前に設定しておかなければならない短絡プラグ(LK1からLK5)が5つあります。

入力範囲の選択 LK1

この評価ボードでは0~4Vと±2Vの2種類の入力範囲が用意されています。

0~4Vの範囲ではBとCを接続し、±2Vの範囲ではAとBを接続します。

制御入力 LK2、LK3、LK4

この評価ボードではより速いDSPとインタフェースする場合にデータ・アクセス時間を改善するための2個のラッチが用意されています。これらのラッチが必要ない場合には抜き去り、デジタル・データ経路をラッチのソケットのワイヤ・リンクでD_xをQ_xにショートすることができます。ラッチを使用する場合には、AD7586のCSとRDは短絡プラグLK2とLK3によりLOWとします。MODE=5Vの時にはCONVST入力に変換を開始し、ラッチは変換の終了時にBUSYの立上りエッジで更新されます。ラッチの出力イネーブル信号が有効になると、データが読出されます。また、このデータ・シートで説明したようにラッチを外し、どちらかのコネクタからADCの制御入力をアサートすることでも同様のことができます。

ラッチ付きの場合

LK2を挿入
LK3を挿入
LK4でBとCを接続

ラッチなしの場合

LK2を外す
LK3を外す
LK4については以下を参照

タイミング説明の項で述べたようにモード・ピンは0Vまたは5Vに接続することができます。モード0の場合にはLK4でAとBを接続し、モード1の場合にはBとCを接続します。

データ形式の選択 LK5

データ形式は16ビット・パラレルか、8ビット・プロセサのための2バイトかを選択できます。74HC374ラッチのためにOUT1とOUT2の2つのデータ・イネーブル制御線が出ています。OUT1は上位8ビット(IC8)をイネーブルし、OUT2は下位4ビット(IC9)をイネーブルします。プラグの設定は16ビットの場合には接続し、2バイト・フォーマットの場合には外します。

代表的な応用での短絡プラグの設定を以下に示します。アナログ入力範囲は±2V、データ形式は16ビット・パラレルで、74HC374ラッチを使用します。

LK1 AとBを接続
LK2 挿入
LK3 挿入
LK4 BとCを接続
LK5 挿入

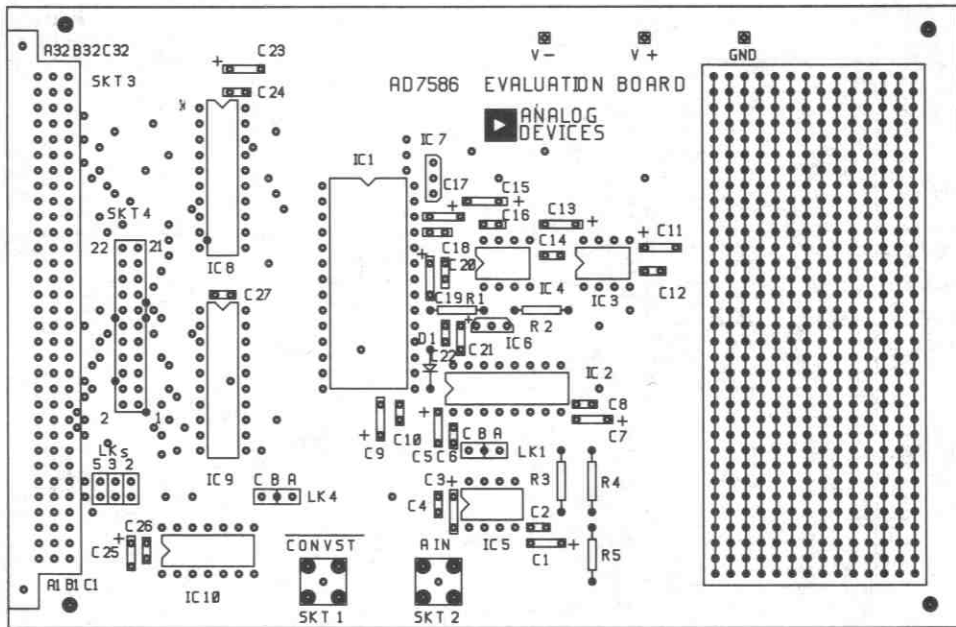


図24. 図23のプリント基板のシルク図

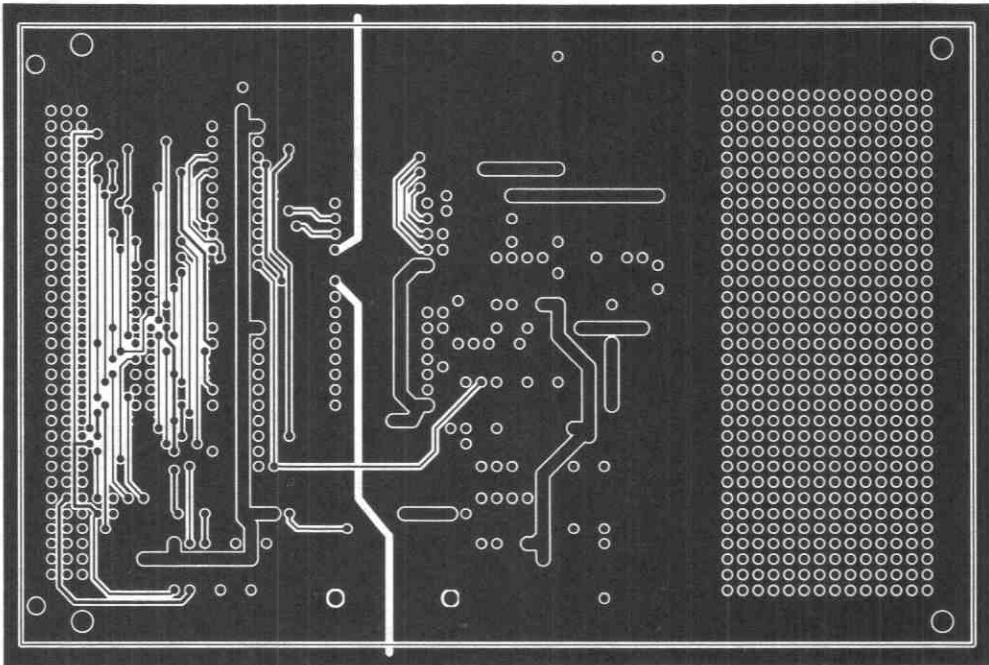


図25. 図23のプリント基板の部品面のパターン

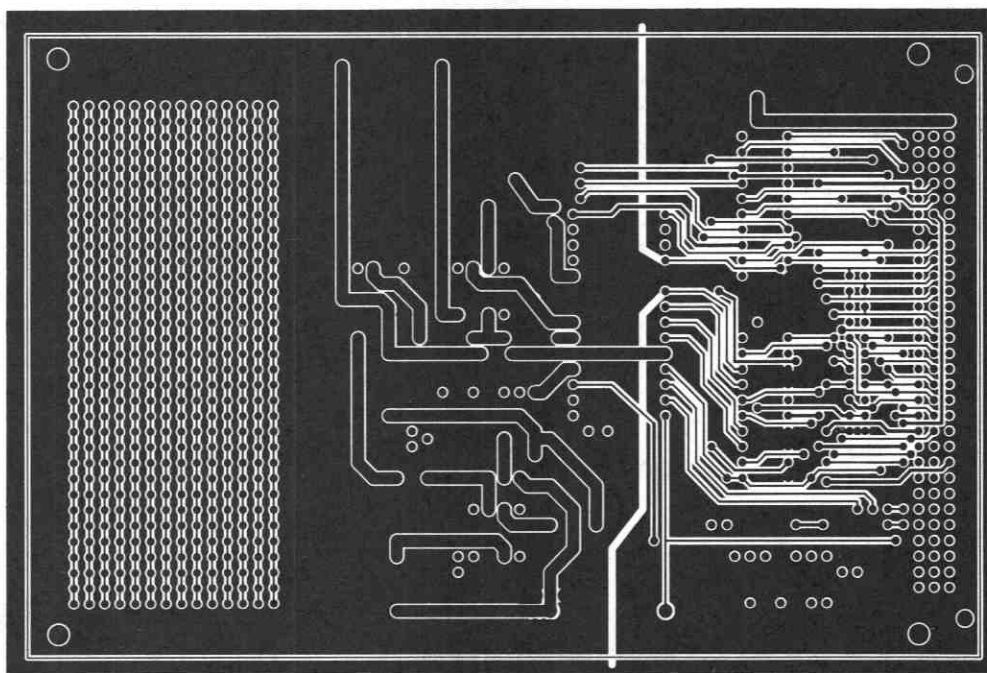


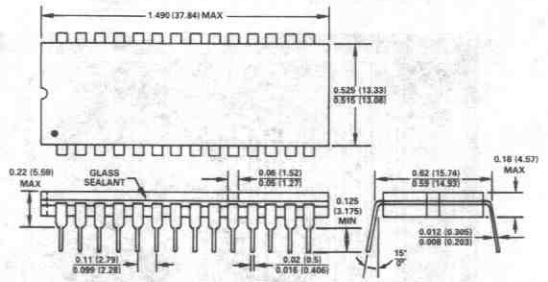
図26. 図23のプリント基板のハンダ面のパターン

オーダ・ガイド¹

積分非直線性	温度範囲とパッケージ・オプション		
	0~+70°C	-40~+85°C	-55~+125°C
±2.0LSB +1.5LSB	プラスチックDIP AD7586JN AD7586KN	ハーメチック ² AD7586AQ AD7586BQ	ハーメチック ² AD7586SQ
±2.0LSB +1.5LSB	PLCC ³ AD7586JP AD7586KP		

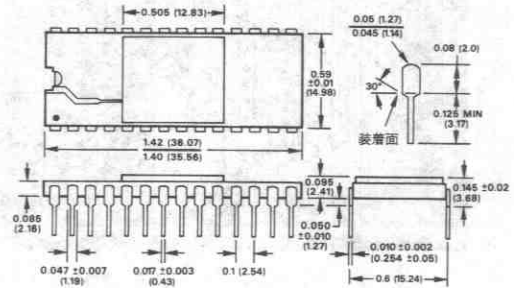
- 注
- AD7586SQは/883Bプロセス製品のみ供給可能です。
軍用品のデータシートと供給に関してはお問い合わせください。
 - 弊社はセラミック (D-28) またはサーディップ (Q-28) ハーメチック・パッケージのどちらかを出荷する権利を所有しています。
 - PLCC: プラスチック・リード付き・チップ・キャリア。

28ピン・サーディップ (Q-28)



1番ピンは点または刻みで示しています。
リードはハンダ・メッキまたはスズ・メッキのアロイ42または銅です。

28ピン・セラミックDIP (D-28)

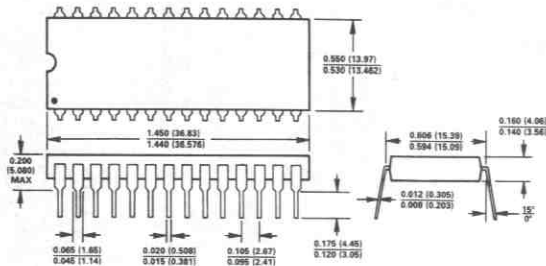


1番ピンは点で示しています。

外形サイズ

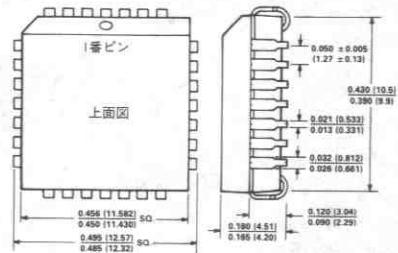
サイズはインチと (mm) で示します。

28ピン・プラスチックDIP (N-28)



1番ピンは点または刻みで示しています。
リードはハンダ・メッキまたはスズ・メッキのアロイ42または銅です。

28ピンPLCC (P-28A)

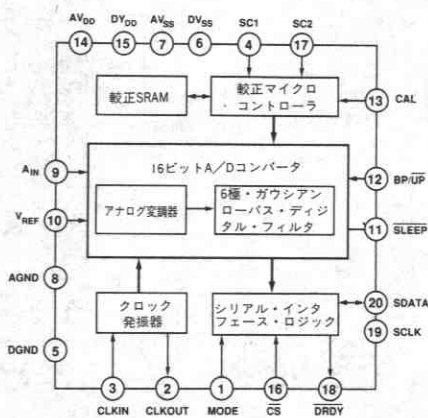


特長

- モノリシック16ビットADC
- 直線性誤差: 0.0015%
- 自己校正回路を内蔵
- プログラマブル・ローパス・フィルタ
 - コーナ周波数: 0.1~10Hz
- アナログ入力範囲: 0~+2.5Vまたは±2.5V
- 出力データ・レート: 4kSPS
- フレキシブルなシリアル・インタフェース
- 超低消費電力

応用

- 工業プロセス制御
- 重量計測
- 携帯用計測機
- 遠隔データ収集



AD7701 機能ブロック図

概要

AD7701はシグマ・デルタ変換技術を採用した16ビットADCです。アナログ入力は、入力信号に比例する平均出力デューティ・サイクルを有するアナログ変調器によって連続的にサンプリングされます。変調器の出力は6極のガウス応答特性をもったオンチップのデジタル・フィルタによって処理され、最大4kHzのワード・レートで出力データ・レジスタの16ビット・バイナリ・ワードを更新します。サンプリング・レート、コーナ周波数、出力ワード・レートは、外部または内蔵の水晶発振器から供給されるマスタ・クロック入力により設定されます。

AD7701の固有の直線性は優れており、任意の時点で初期化できるゼロおよびフルスケールの自己校正によって、エンドポイント精度を保証します。自己校正の方法はシステムのオフセットや入力チャネルのゲイン誤差のゼロ調整にも拡張することができます。

出力データは、UART互換の非同期モードと2種類の同期モードをもち、シフト・レジスタや標準のマイクロ・コントローラのシリアル・ポートとのインタフェースに適したフレキシブルなシリアル・ポートを通してアクセスすることができます。

AD7701はCMOS構造であるため低消費電力であり、さらにパワー・ダウン・モードによりアイドル時の消費電力をわずか10 μ Wに低減できます。

製品ハイライト

1. AD7701は16ビットの分解能と0.0015%の優れた精度を備えています。
2. ミス・コードがないため、真に使用可能な16ビットのダイナミック・レンジをもち、プログラマブル・ゲインおよびレベル設定回路が不要です。
3. 内蔵の自己校正機能により、ゼロ誤差、ゲイン誤差が除去され、温度ドリフトの影響を取除くことができます。校正ループ内に外部回路を追加することによってシステムのオフセット誤差およびゲイン誤差も除去することができます。
4. フレキシブルな同期/非同期インタフェースにより、AD7701をUARTまたは標準のマイクロコントローラのシリアル・ポートと直接接続することができます。
5. AD7701は低い動作電力とスタンバイ・モードでの超低消費電力によりループ電源による遠隔測定の実用やバッテリー電源による携帯用測定器に適しています。

仕様

(特に指定のない限り、 $T_A = +25^\circ\text{C}$ 、 $AV_{DD} = DV_{DD} = +5\text{V}$ 、 $AV_{SS} = DV_{SS} = -5\text{V}$ 、 $V_{REF} = +2.5\text{V}$ 、 $f_{CLKIN} = 4.096\text{MHz}$ 、バイポーラ・モード； $MODE = +5\text{V}$ 、 A_{IN} 信号源抵抗 = $750\text{k}\Omega$ 、 $AGND - A_{IN}$ 間 1nF の値。)

パラメータ	A,Sバージョン ²	B,Tバージョン ²	単位	試験条件/備考
スタティック特性				
分解能	16	16	ビット	
積分非直線性				
$T_{min} \sim T_{max}$	± 0.003	± 0.0007 ± 0.0015	%FSR typ %FSR max	
微分非直線性				
$T_{min} \sim T_{max}$	± 0.125 ± 0.5	± 0.125 ± 0.5	LSB typ LSB max	ノーマス・コードを保証
正のフルスケール誤差 ³	± 0.13	± 0.13	LSB typ	
フルスケール・ドリフト ⁴	± 0.5 ± 1.2 ($\pm 2.3\text{S}$ バージョン)	± 0.5 ± 1.2 ($\pm 2.3\text{T}$ バージョン)	LSB max LSB typ	
ユニポーラ・オフセット誤差 ³	± 0.25 ± 1	± 0.25 ± 1	LSB typ LSB max	
ユニポーラ・オフセット・ドリフト ⁴	± 1.6 ($+3/-25\text{S}$ バージョン)	± 1.6 ($+3/-25\text{T}$ バージョン)	LSB typ	
バイポーラ・ゼロ誤差 ³	± 0.25 ± 1	± 0.25 ± 1	LSB typ LSB max	
バイポーラ・ゼロ・ドリフト ⁴	± 0.8 ($+1.5/-12.5\text{S}$ バージョン)	± 0.8 ($+1.5/-12.5\text{T}$ バージョン)	LSB typ	
負のバイポーラ・フルスケール誤差 ³	± 0.5 ± 2	± 0.5 ± 2	LSB typ LSB max	
負のバイポーラ・フルスケール・ドリフト ⁴	± 0.6 ($\pm 1.2\text{S}$ バージョン)	± 0.6 ($\pm 1.2\text{T}$ バージョン)	LSB typ	
ノイズ(出力換算)	0.1	0.1	LSB rms typ	
ダイナミック特性				
サンプリング周波数 f_s	$f_{CLKIN}/256$	$f_{CLKIN}/256$	Hz	
出力アップデート・レート f_{OUT}	$f_{CLKIN}/1024$	$f_{CLKIN}/1024$	Hz	
フィルタ・コーナ周波数 f_{-3dB}	$f_{CLKIN}/409,600$	$f_{CLKIN}/409,600$	Hz	
セトリング時間($\pm 0.0007\%FS$)	$507904/f_{CLKIN}$	$507904/f_{CLKIN}$	秒	フルスケール入力ステップ
システムの較正				
正のフルスケール・オーバーレンジ	$V_{REF} + 0.1$	$V_{REF} + 0.1$	V max	ユニポーラおよびバイポーラ入力に適用。較正後、 $A_{IN} > V_{REF}$ の場合には出力はすべて1になり、 $A_{IN} < 0$ (ユニポーラ) または $-V_{REF}$ (バイポーラ) の場合には出力はすべて0となります。
正のフルスケール・オーバーレンジ	$V_{REF} + 0.1$	$V_{REF} + 0.1$	V max	
負のフルスケール・オーバーレンジ	$-(V_{REF} + 0.1)$	$-(V_{REF} + 0.1)$	V max	
最大オフセット較正範囲 ^{5,6}				
ユニポーラ入力範囲	$-(V_{REF} + 0.1)$	$-(V_{REF} + 0.1)$	V max	
バイポーラ入力範囲	$-0.4V_{REF} \sim +0.4V_{REF}$	$-0.4V_{REF} \sim +0.4V_{REF}$	V max	
入力スパン ⁷	$0.8V_{REF}$ $2V_{REF} + 0.2$	$0.8V_{REF}$ $2V_{REF} + 0.2$	V min V max	
アナログ入力				
ユニポーラ入力範囲	$0 \sim +2.5$	$0 \sim +2.5$	V	
バイポーラ入力範囲	± 2.5	± 2.5	V	
入力容量	10	10	pF typ	
入力バイアス電流 ¹	1	1	nA typ	
ロジック入力				
CLKIN を除く全入力				
V_{INL} , 入力LOW電圧	0.8	0.8	V max	
V_{INH} , 入力HI電圧	2.0	2.0	V min	
CLKIN				
V_{INL} , 入力LOW電圧	1.5	1.5	V max	
V_{INH} , 入力HI電圧	3.5	3.5	V min	
I_{IN} , 入力電流	10	10	μA max	

パラメータ	A, Sバージョン ²	B, Tバージョン ²	単位	試験条件/備考
ロジック出力				
V _{OL} , 出力LOW電圧	0.4	0.4	V max	I _{SINK} = 1.6mA
V _{OH} , 出力HI電圧	DV _{DD} -1	DV _{DD} -1	V min	I _{SOURCE} = 100μA
フローティング状態漏れ電流	±10	±10	μA max	
フローティング状態出力容量	9	9	pF typ	
電源 ³				
電源電圧				
アナログ正電源 (AV _{DD})	4.5/5.5	4.5/5.5	V min/V max	
デジタル正電源 (DV _{DD})	4.5/AV _{DD}	4.5/AV _{DD}	V min/V max	
アナログ負電源 (AV _{SS})	-4.5/-5.5	-4.5/-5.5	V min/V max	
デジタル負電源 (DV _{SS})	-4.5/-5.5	-4.5/-5.5	V min/V max	
較正メモリ保持電源電圧	2.0	2.0	V min	
DC電源電流 ⁴				
アナログ正電源 (AI _{DD})	3.2	3.2	mA max	2mA typ
デジタル正電源 (DI _{DD})	1.5	1.5	mA max	1mA typ
アナログ負電源 (AI _{SS})	3.2	3.2	mA max	2mA typ
デジタル負電源 (DI _{SS})	0.1	0.1	mA max	0.03mA typ
電源変動除去比 ⁵				
正電源	70	70	dB typ	
負電源	75	75	dB typ	
消費電力				
通常動作	40	40	mW max	SLEEP = ロジック 1, 25mW typ
スタンバイ動作 ¹⁰	20 (40Sバージョン)	20 (40Tバージョン)	μW max	SLEEP = ロジック 0, 10μW typ

注

- 1) A_{IN}入力ピンのダイナミック負荷のインピーダンスは非常に高く、クロック周波数により変化します。
- 2) 温度範囲は次の通りです。A, Bバージョン: -40°C ~ +85°C, S, Tバージョン: -55°C ~ +125°C
- 3) その温度で較正後に適用されます。フルスケール誤差はユニポーラおよびバイポーラの両方の入力範囲に適用されます。
- 4) +25°Cでの電源投入後の仕様温度範囲での総合ドリフトです。この特性は設計および特性規定により保証されています。任意の温度での再較正によりこれらの誤差を削除することができます。
- 5) ユニポーラ・モードではオフセットは負の値 (-V_{REF}) となることもでき、バイポーラ・モード動作と見なすこともできます。
- 6) 入力オーバーレンジと入力スパンに関する仕様はオフセット較正範囲に制限を与えることとなります。
- 7) ユニポーラ・モードでは入力スパンはフルスケールとゼロスケールの差となります。バイポーラ・モードでは入力スパンは正負のフルスケール電位差となります。最大入力スパン以下の電位を使用する場合、スパン範囲は±(V_{REF}+0.1) の範囲内の任意の点とすることができます。
- 8) デジタル出力は無負荷です。デジタル入力には5V CMOSレベルです。
- 9) 0.1Hz~10Hzの帯域幅で適用されます。デジタル・フィルタのため60HzでのPSRRは120dBを超えます。
- 10) CLKINは停止状態です。デジタル入力はすべてグラウンドに落としてあります。

仕様は予告なしに変更されることがあります。

絶対最大定格¹ (特に指定のない限り、T_A = +25°C)

DV _{DD} -AGND	-0.3V ~ +6V
DV _{DD} -AV _{DD}	-0.3V ~ +0.3V
DV _{SS} -AGND	+0.3V ~ -6V
AV _{DD} -AGND	-0.3V ~ +6V
AV _{SS} -AGND	+0.3V ~ -6V
AGND-DGND	-0.3V ~ +0.3V
デジタル入力電圧-DGND	-0.3V ~ DV _{DD} +0.3V
アナログ入力	
電圧-AGND	AV _{SS} -0.3V ~ AV _{DD} +0.3V
電源を除く任意のピンへの入力電流 ²	±10mA

動作温度範囲

一般用プラスチック (A, Bバージョン)	-40 ~ +85°C
産業用サーディップ (A, Bバージョン)	-40 ~ +85°C
拡張温度用サーディップ (S, Tバージョン)	-55 ~ +125°C
保管温度範囲	-65 ~ +150°C
リード温度 (ハンダ付け10秒間)	+300°C
消費電力 (各パッケージ)+75°Cまで	450mW
+75°C以上でのディレーティング	10mW/°C

注

- 1) 絶対最大定格を超えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすと、デバイスの信頼性に影響を与えます。

- 2) 100mA以下の過渡電流では、SCRラッチアップは発生しません。

注意

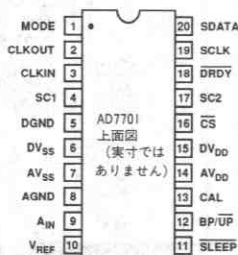
この素子はESD(Electrostatic-Discharge)センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でシールドするなどして保管してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させる必要があります。



ピン機能説明

ピン	名称	機能
1	MODE	シリアル・インタフェース・モードを選択します。MODEが-5Vに接続されている場合には、AD7701は非同期通信モード (AC) になります。このときSCLKピンは入力として動作し、それぞれに1スタート・ビットと2ストップ・ビットが付いた2バイト・データとして送信されます。MODEがDGNDに接続されると外部クロックの同期モード (SEC) となります。この場合SCLKは入力として設定され、出力はフォーマットされず、MSBを先頭に出力されます。MODEが+5Vに接続されている場合には、AD7701は自己クロックの同期モード (SSC) となります。このときにはSCLKは $f_{CLKIN}/4$ の周波数でデューティ・サイクル25%のクロック出力となります。
2	CLKOUT	内部マスタ・クロックを発生するためのクロック出力で、CLKOUTとCLKINの間に水晶を接続します。外部クロックを使用する場合には、CLKOUTは無接続とします。
3	CLKIN	外部クロック用入力。
4, 17	SC1, SC2	システム較正ピンです。CALピンがHIになった場合にこれらのピンの状態により、実行される較正形式が決まります。
5	DGND	デジタル・グラウンド。デジタル信号すべての基準グラウンド電位です。
6	DV _{SS}	負のデジタル電源。公称-5V。
7	AV _{SS}	負のアナログ電源。公称-5V。
8	AGND	アナログ・グラウンド。アナログ信号すべての基準グラウンド電位です。
9	A _{IN}	アナログ入力。
10	V _{REF}	電圧リファレンス入力。公称+2.5V。この電位によりユニポーラ・モードでは正のフルスケール値とバイポーラ・モードでは正負両方のフルスケール値が決まります。
11	SLEEP	スリープ・モード・ピン。このピンをLOWにすると、AD7701はローパワー・モードになり、消費電力は10 μ W typになります。
12	BP/ \overline{UP}	バイポーラ/ユニポーラ・モード・ピン。このピンをLOWにすると、AD7701はAGNDからV _{REF} までの範囲のユニポーラ入力範囲の設定になります。このピンをHIにすると、AD7701は入力範囲 $\pm V_{REF}$ のバイポーラ設定となります。
13	CAL	較正モード・ピン。CALピンが4サイクル以上の期間HIになると、AD7701はリセットされ、CALが再びLOWになったとき較正サイクルを実行します。CALピンは数個のAD7701の同期動作のためのストロープとしても使用されます。
14	AV _{DD}	正のアナログ電源。公称+5V。
15	DV _{DD}	正のデジタル電源。公称+5V。
16	CS	チップ・セレクト入力。CSがLOWになると、AD7701はMODEピンの状態に応じたフォーマットでシリアル・データの送信を開始します。
18	\overline{DRDY}	データ・レディ出力。出力レジスタに有効データが用意できた場合に、 \overline{DRDY} はLOWになります。1ワードの送信が完了すると、このピンはHIになります。またこのピンは新しいデータ・ワードが出力レジスタにロードされたとき、有効データが用意されていないことを示すためデータの送信が完了したかしないかに関わらず4クロック・サイクルだけHIになります。
19	SCLK	シリアル・クロック入出力。MODEピンにより設定されるシリアル・データ送信の形式に応じてSCLKピンは入力または出力に設定されます。自己クロック同期モードで出力として設定された場合には、 $f_{CLKIN}/4$ の周波数でデューティ・サイクル25%のクロック出力となります。
20	SDATA	シリアル・データ出力。AD7701の出力データは16ビット・シリアル・データとしてこのピンに出力されます。送信フォーマットはMODEピンの状態により決まります。

ピン配置



オーダー・ガイド¹⁾

直線性誤差 (%FSR)	温度範囲とパッケージ		
	-40~+85°C	-40~+85°C	-55~+125°C
0.003	プラスチック DIP	サーティップ	サーティップ
	AD7701AN	AD7701AQ	AD7701SQ ²⁾
0.0015	AD7701BN	AD7701BQ	AD7701TQ ²⁾
0.003	SOIC		
	AD7701AR		
0.0015	AD7701BR		

注

1. MIL-STD-883B, クラスB準拠製品のオーダーに際しては、部品番号に/883Bを付加してください。
2. /883B準拠製品のみ供給可能です。

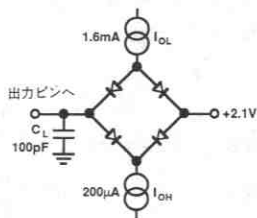


図1. アクセス時間および
バス放棄時間測定用負荷回路

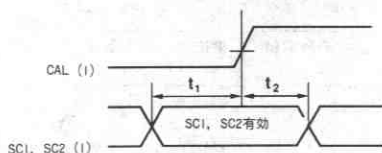


図2a. 較正コントロール・タイミング

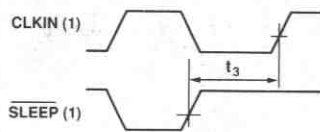


図2b. SLEEPモード・タイミング

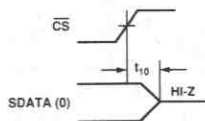


図3. SSCモード・データ・ホールド時間

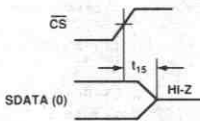


図4a. SECモード・データ・ホールド時間

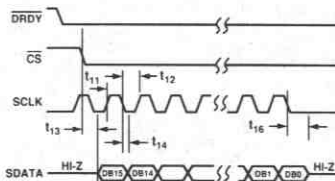


図4b. SECモード・タイミング図

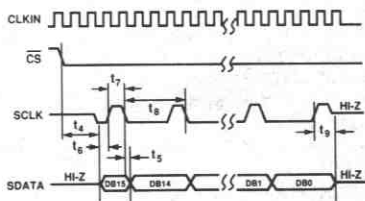


図5. SSCモード・タイミング図

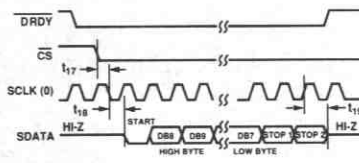


図6. ACモード・タイミング図

用語の説明

直線性誤差

伝達関数のエンドポイントを通る直線からの任意のコードの最大偏差の測定値をLSBで表わしたものです。伝達関数のエンドポイントとは、最初のコード遷移(000...000から000...001)から0.5LSB下の点であるゼロ・スケール(バイポーラ・ゼロとは異なります)と、最後の遷移点(111...110から111...111)から0.5LSB上の点であるフルスケールを意味しています。この誤差はフルスケールの%で表わします。

微分直線性誤差

微分直線性誤差は任意の2つの隣接するコード間で測定された実際の幅と理想的な(1LSB)幅との差です。±1LSB以下の微分直線性仕様は単調増加性を保証します。

正のフルスケール誤差

正のフルスケール誤差は最後の遷移点(111...110から111...111)の理想値($V_{REF} - 3/2LSB$)からの偏差です。この誤差は正負両方のアナログ入力範囲に適用され、 μV で表わします。

ユニポーラ・オフセット誤差

ユニポーラ・オフセット誤差は、ユニポーラ・モードで動作している時の最初のコード遷移の理想値($AGND + 0.5LSB$)からの偏差です。この誤差は μV で表わします。

バイポーラ・ゼロ誤差

バイポーラ・ゼロ誤差はバイポーラ・モードで動作しているときのミッド・スケール遷移(0111...111から1000...000)の理想値($AGND - 0.5LSB$)からの偏差です。この誤差は μV で表わします。

負のバイポーラ・フルスケール誤差

バイポーラ・モードで動作している時の最初のコード遷移の理想値($-V_{REF} + 0.5LSB$)からの偏差です。この誤差は μV で表わします。

正のフルスケール・オーバーレンジ

正のフルスケール・オーバーレンジは、 $+V_{REF}$ を越える入力電圧(例えばシステムの較正処理ルーチンでシステムのゲイン誤差のために発生したノイズ・ピークや過電圧)を、アナログ変調器に対する過負荷やデジタル・フィルタのオーバーフローによる誤差を生じることなく取扱うためのオーバーヘッドです。この値はmVで表わされます。

負のフルスケール・オーバーレンジ

負のフルスケール・オーバーレンジは $-V_{REF}$ 以下の入力電圧を、アナログ変調器に対する過負荷やデジタル・フィルタのオーバーフローによる誤差を生じることなく取扱うためのオーバーヘッドです。アナログ入力にはユニポーラ・モード動作時であっても負の電圧ピークを受け入れることに注意してください。この値はmVで表わされま

タイミング特性^{1,2}

($AV_{DD}=DV_{DD}=+5V\pm 10\%$ 、 $AV_{SS}=DV_{SS}=-5V\pm 10\%$ 、 $AGND=DGND=0V$ 、 $f_{CLKIN}=4.096MHz$ 、入力レベルはロジック0=0V、ロジック1= DV_{DD})

パラメータ	$T_{min}\sim T_{max}$ での制限値 (A,Bバージョン)	$T_{min}\sim T_{max}$ での制限値 (S,Tバージョン)	単位	条件
$f_{CLKIN}^{3,4}$	200	200	kHz min	マスタ・クロック周波数：内部ゲート発振器
	5	5	MHz max	4.096MHz typ
	200	200	kHz min	マスタ・クロック周波数：外部から供給
	5	5	MHz max	
t_r^5	50	50	ns max	デジタル出力立上り時間。20ns typ
t_f^5	50	50	ns max	デジタル出力立下り時間。20ns typ
t_1	0	0	ns min	SC1,SC2~CAL HIセットアップ時間
t_2	50	50	ns min	CALがHIになった後のSC1,SC2ホールド時間
t_3^6	1000	1000	ns min	SLEEP HI~CLKIN HIセットアップ時間
SCCモード				
t_4^7	$3/f_{CLKIN}$	$3/f_{CLKIN}$	ns max	データ・アクセス時間 (\overline{CS} LOW~データ有効)
t_5	100	100	ns max	SCLK 立下りエッジ~データ有効遅延(25ns typ)
t_6	250	250	ns min	MSB データ・セットアップ時間。380ns typ
t_7	300	300	ns max	SCLK HI パルス幅。240ns typ
t_8	790	790	ns max	SCLK LOW パルス幅。730ns typ
t_9^8	$1/f_{CLKIN}+200$	$1/f_{CLKIN}+200$	ns max	SCLK 立下りエッジ~ 高インピーダンス遅延($1/f_{CLKIN}+100ns$ typ)
$t_{10}^{8,9}$	$(4/f_{CLKIN})+200$	$(4/f_{CLKIN})+200$	ns max	\overline{CS} HI~高インピーダンス遅延
SECモード				
f_{SCLK}	5	5	MHz	シリアル・クロック入力周波数
t_{11}	50	50	ns min	SCLK 入力 HI パルス幅
t_{12}	180	180	ns min	SCLK LOW パルス幅
$t_{13}^{7,10}$	160	160	ns max	データ・アクセス時間(\overline{CS} LOW~データ有効)。 80ns typ
t_{14}^{11}	150	150	ns min	SCLK 立下りエッジ~データ有効遅延。75ns typ
t_{15}^8	250	250	ns min	\overline{CS} HI~高インピーダンス遅延
t_{16}^8	200	200	ns min	SCLK 立下りエッジ~高インピーダンス遅延。 100ns typ
ACモード				
t_{17}	40	40	ns max	\overline{CS} セットアップ時間。20ns typ
t_{18}	180	180	ns max	データ遅延時間。90ns typ
t_{19}	200	200	ns max	SCLK 立下りエッジ~高インピーダンス遅延。 100ns typ

注

- 仕様保証のため+25°Cでサンプリング試験が施されています。入力信号は $t_r=t_f=5ns$ (+5Vの10%~90%)で規定され、1.6Vの電圧レベルからの時間で計測されています。
- 図1~5を参照。
- クロック入力のデューティ・サイクル範囲は20%~80%です。CLKINはAD7701がスリープ・モードでない時は常に供給しなければなりません。この状態でクロック入力がない場合には仕様より高い電流が流れ、未校正の状態になることがあります。
- AD7701は $f_{CLKIN}=4.096MHz$ で製造試験が行われています。200kHzで仕様動作するよう特性が保証されています。
- その波形の10%および90%ポイントの使用で規定されています。
- SLEEPピンを使用して数個のAD7701を同期動作させるためにはこの仕様を適用します。
- t_4 と t_{13} は図1の負荷回路で測定され、出力が0.8Vまたは2.4Vに達するまでに必要な時間として定義されています。
- t_8 、 t_{10} 、 t_{15} 、 t_{16} は図1の負荷回路でデータ出力が0.5V変化するまでに必要な時間として計測されています。測定で得られた値は100pFのコンデンサの充放電の影響を取り除くために外挿されます。したがってこのタイミング特性表に表示されているタイミングはこのデバイスの真のバス解放時間であり、外部バスの負荷容量とは無関係です。
- 16ビット・データが出力される前に \overline{CS} がHIに戻った場合には、SDATAとSCLK出力は現在のデータ・ビットを完了し、その終了後に高インピーダンスに戻ります。
- DRDYと非同期に \overline{CS} がアクティブになり、それがDRDYが4クロック・サイクルだけHIの期間に発生した場合には \overline{CS} 信号は認識されません。伝搬遅延時間は4CLKINサイクル+160nsです。非同期 \overline{CS} での正しいSDATAの駆動を保証するには、 \overline{CS} がLOWになってから4CLKINサイクル+160nsの期間より早くSCLK入力をHIにすべきではありません。
- SDATAはSCLK入力の立下りエッジでクロックアウトされます。

す。

オフセット校正範囲

システム校正モード (SC2=LOWのとき) では、AD7701はA_{IN}ピンに関するオフセットの校正を行います。オフセット校正範囲の仕様はAD7701が処理可能で、正しくオフセット校正を行うことのできる範囲の電圧を定義します。この値はV_{REF}の%として表わされます。

フルスケール校正範囲

AD7701がシステム校正モードで処理可能な範囲にあり、正しくフルスケールを校正することのできる電圧範囲です。

入力スパン

システム校正手順では、AD7701のアナログ入力に2つの電圧を順に加えることにより、アナログ入力範囲が決まります。入力スパンの仕様はAD7701が処理可能であり、ゲインを正確に校正することのできる範囲内の、ゼロからフルスケールまでの最大と最小の入力電圧を定義します。入力スパンはV_{REF}の%で表わされます。

概要説明

AD7701はデジタル・フィルタ付きの16ビットA/Dコンバータで、化学、物理、あるいは生物学的なプロセスのようなダイナミック・レンジが広く低周波の信号の測定を目的として設計されています。AD7701は、チャージバランス (シグマ・デルタ) ADC、スタティックRAM内蔵の校正用マイクロ・コントローラ、クロック発振器とシリアル通信ポートを備えています。

AD7701へのアナログ入力信号は、CLKINピンに入力されるマスタ・クロックの周波数によって決まる速度で連続的にサンプリングされます。チャージ・バランスA/Dコンバータ (シグマ・デルタ変調器) がサンプリングされた信号を、デューティ・サイクルにデジタル情報を含んだデジタル・パルス列に変換します。変調器の出力は6極のガウシアン・デジタル・ローパス・フィルタによって処理され、16ビット出力レジスタを4kHzレイトで更新します。出力データはシリアル・ポートを通して4kHz以下の速度でランダムまたは周期的に読出すことができます。

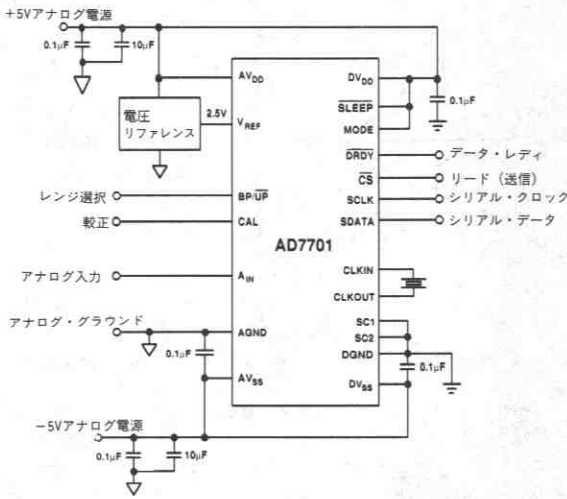


図7. 代表的なシステム接続図

AD7701は、校正用マイクロ・コントローラと校正パラメータを格納するためのSRAMを用いた自己校正機能を備えています。校正サイクルはCAL制御入力を使用することによって任意のタイミングで開始することができます。

他のシステム部品も校正ループに含めることができ、入力チャンネルのオフセットとゲイン誤差を除去することができます。

バッテリー動作にAD7701はスタンバイ・モードを備えており、アイドル時の消費電力を10μW typに抑えることもできます。

動作原理

シグマ・デルタ型ADCの一般的なブロック図を図8に示します。これには以下の要素が含まれています。

1. サンプル・ホールド・アンプ
2. 差動アンプあるいは減算器
3. アナログ・ローパス・フィルタ
4. 1ビットA/Dコンバータ (コンパレータ)
5. 1ビットDAC
6. デジタル・ローパス・フィルタ

サンプリングされたアナログ信号が1ビットDACの出力とともに減算器に入力されます。差分信号はフィルタされた後コンパレータに入力され、このコンパレータの出力によりアナログ信号のサンプリング周波数の何倍もの周波数で差分信号のサンプリングを行います (オーバーサンプリング)。

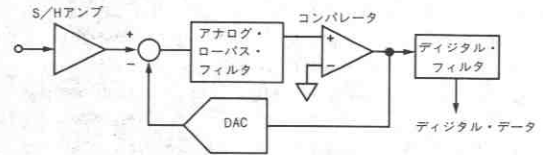


図8. 一般的なシグマ・デルタ型ADC

オーバーサンプリングはシグマ・デルタ型ADCの動作の基本です。ADCの量子化ノイズの公式を使用すると、SNRは以下のように表わされます。

$$\text{SNR} = (6.02 \times \text{ビット数} + 1.76) \text{ dB}$$

上式から1ビットADCあるいはコンパレータのSNRは7.78dBとなります。

AD7701は入力信号を16kHzでサンプリングするため、量子化ノイズは0~8kHzに分布します。AD7701のアナログ入力帯域幅の仕様はわずか0~10Hzであるため、ノイズ・エネルギーがスペクトラム全体に均一に分布しているとしても、仕様帯域幅におけるエネルギーは全量子化ノイズの1/800に過ぎません。変調器ループ内のアナログ・フィルタによって、量子化ノイズ成分のノイズ・エネルギーのほとんどは10Hz以上の周波数に分布するため、ノイズはさらに減少します。このようにして0~10Hzの範囲でのSNR特性は16ビットのレベルに調整されます。

コンパレータの出力は1ビットDACのデジタル入力に与えられ、差分信号を最小にする負帰還ループとしてシステムは機能します。アナログ入力電圧に対応するデジタル・データは、コンパレータ出力に現われるパルス列のデューティ・サイクルとして保持されま

す。このデータはデジタル・フィルタによって並列バイナリ・データ・ワードに復元されます。

シグマ・デルタ型ADCは、一般的にアナログ・ローパス・フィルタの次数により説明されます。簡単な1次のシグマ・デルタ型ADCを図9に示します。この回路には1次のローパス・フィルタまたは積分器しか含まれていません。この図はこれらのデバイスの別名である「チャージ・バランス型ADC」の由来も表わしています。

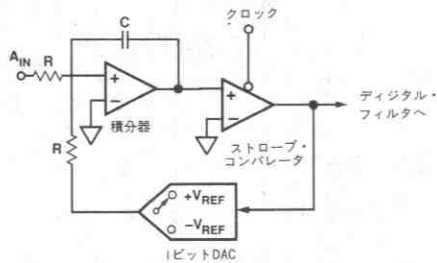


図9. 基本的なSECチャージ・バランス型ADC

チャージ・バランスという名称は、このシステムが入力電圧により注入される電荷と1ビットDACにより注入される電荷を平衡させ、積分器のコンデンサの総電荷をゼロにするように機能する負帰還ループであることから由来しています。アナログ入力ゼロならば、積分器出力へは1ビットDACからの電荷しか分配されません。積分器コンデンサの総電荷はゼロとなり、DAC出力は半分の時間だけ+1Vになり、他の半分の時間は-1Vとなります。理想化した回路では、コンパレータのデューティ・サイクルは50%となります。

正のアナログ入力加わった場合、1ビットDAC出力は+1Vの期間が大きくなり、コンパレータのデューティ・サイクルは増加します。負の入力電圧加わるとデューティ・サイクルは減少します。

AD7701では2次のシグマ・デルタ変調器と最新のデジタル・フィルタを用いることにより、均一化したサンプリング出力が得られます。電源投入後または入力電圧に階段状の変化がある場合には、有効データが得られる前にセトリング時間を置かなければなりません。

デジタル・フィルタ処理

AD7701のデジタル・フィルタはいくつかのマイナーな違いを除き同様のアナログ・フィルタと同じように動作します。

まず、デジタル・フィルタ処理がアナログからデジタルへの変換プロセスの後に行われるため、変換プロセス中に注入されるノイズを除去することができます。これはアナログ・フィルタ処理では不可能です。

逆に、アナログ・フィルタ処理ではアナログ信号に重畳されたノイズをADCに到達する前に除去することができます。これはデジタル・フィルタ処理では不可能です。また信号に乗ったフルスケール付近のノイズ・ピークにより、信号の平均値が制限値以下の場合であってもアナログ変調器やデジタル・フィルタを飽和させる恐れがあります。この問題を軽減するため、AD7701では100mVまでのオーバーレンジの余裕をシグマ・デルタ変調器とデジタル・フィルタに組込んであります。ノイズ信号がこの余裕よりも大きい場合、アナログ入力フィルタの使用やフルスケール入力(2.5V)がAD7701への半分のスケールの入力(1.25V)となるように入力チャンネルのゲインを低減させるよう配慮が必要です。これによってダイナミック・レンジを1ビット(50%)減少させることで、100%を超えるオーバーレンジ能力を得ることができます。

フィルタ特性

デジタル・フィルタのカットオフ周波数は $f_{CLK}/409600$ です。最大クロック周波数4.096MHzでは、このフィルタのカットオフ周波数は10Hz、出力レートは4kHzです。

図10にフィルタの周波数応答を示します。この特性はカットオフ周波数10Hzのとき60Hzで55dBの除去比が得られる6極のガウス応答です。5Hzのカットオフのためクロック周波数を半分にする場合には60Hzの除去比は90dBを越えます。このフィルタの正規化されたsドメインのポール・ゼロ曲線を図11に示します。

このフィルタの応答特性は以下のように定義されます。

$$H(x) = [1 + 0.693x^2 + 0.240x^4 + 0.0555x^6 + 0.00962x^8 + 0.00133x^{10} + 0.000154x^{12}]^{-0.5}$$

ここで、

$$x = f/f_{3dB}, f_{3dB} = f_{CLKIN}/409600$$

fは任意の周波数

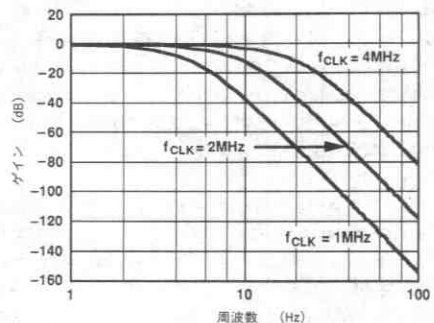


図10. AD7701フィルタの周波数応答

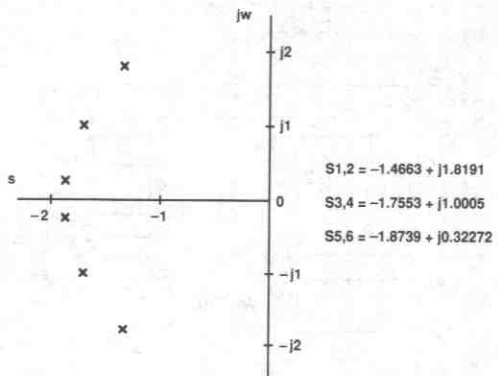


図11. AD7701のフィルタの正規化されたポール・ゼロ・プロット

AD7701はローパス・フィルタを内蔵しているため、ステップ関数入力に対するセトリング時間が存在し、そのセトリング時間が経過するまではステップ変化後のデータは無効となります。このため、チャンネル切替えと変換が高速に連続するようなマルチプレクス処理は、AD7701には適していません。チャンネル間切替えにより、入力に

ステップ変化が生じる可能性があります。AD7701は1チャンネル毎に1個のADCを使用する変換システムのために設計されています。

しかし、新しいチャンネルのデータにアクセスする前にセトリング時間が過ぎるまで待つことのできるような低速のマルチプレクス処理ならば実行可能です。

ステップ入力変化に対するAD7701の出力セトリング時間を図12に示します。ガウス応答はオーバシュートなしの高速セトリング特性を持ち、 $\pm 0.0007\%$ ($\pm 0.5\text{LSB}$) に対するセトリング時間の最悪値は、4.096MHzのマスタ・クロック周波数で125msです。

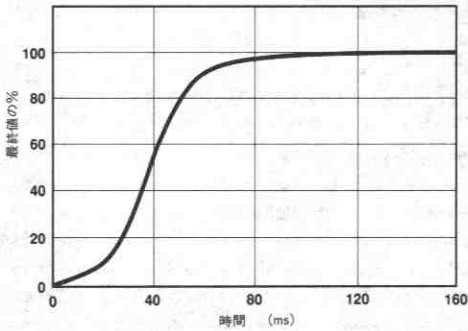


図12. AD7701のステップ応答

AD7701の使用

システム設計上の注意

AD7701の動作は、逐次比較型ADCや他の積分型ADCとは異なります。AD7701はトラッキングADCと同じように信号を連続的にサンプリングするため、変換開始コマンドは必要ありません。16ビット出力レジスタは4kHzレートで更新され、出力の読出しは、同期または非同期で任意のタイミングで可能です。

クロック

AD7701はマスタ・クロック入力が必要とし、これは外部TTL/CMOSコンパチブルのクロック信号で、CLKINピンに印加します (CLKOUTは使用しません)。あるいは正確な周波数の水晶を

CLKINとCLKOUTの間に接続し、クロック回路を水晶共振回路として動作させます。

入力サンプリング周波数、出力データ・レート、フィルタ特性と較正時間は仕様を示す比率でマスタ・クロック周波数 f_{CLKIN} と直接的に関係します。したがって、AD7701の応用システム的设计における最初のステップは、帯域幅と出力データ・レートのために必要なマスタ・クロック周波数を決定することです。

アナログ入力範囲

AD7701は外部から供給されるリファレンス電圧を基準に変換を行うため、レシオメトリック動作のシステムと容易にインタフェースすることができます。さらに、ユニポーラまたはバイポーラ入力電圧範囲をBP/ $\overline{\text{UP}}$ 入力により指定することができます。BP/ $\overline{\text{UP}}$ 入力をLOWにすると入力範囲はユニポーラとなり、スパンは $0 \sim +V_{\text{REF}}$ となります。BP/ $\overline{\text{UP}}$ 入力をHIにすると入力範囲はバイポーラとなり、入力スパンは $\pm V_{\text{REF}}$ となります。バイポーラ・モードでは正負両方のフルスケールは V_{REF} によって直接決まります。このことにより、単に入力レンジをスケールおよびオフセットするバイポーラ方式よりも正負のフルスケールの追従性とミッド・スケール (バイポーラ・ゼロ) 安定性が向上します。

ユニポーラ範囲のデジタル出力コードはユニポーラ・バイナリです。バイポーラ範囲ではオフセット・バイナリとなります。ユニポーラおよびバイポーラ・モードでのビットの重み付けを表Iに示します。推奨の+2.5Vリファレンスを使用した時のユニポーラおよびバイポーラ範囲の入力電圧と出力コードを表IIに示します。

μV	ユニポーラ・モード			バイポーラ・モード		
	LSB	%FS	ppmFS	LSB	%FS	ppmFS
10	0.26	0.0004	4	0.13	0.0002	2
19	0.5	0.0008	8	0.26	0.0004	4
38	1.00	0.0015	15	0.5	0.0008	8
76	2.00	0.0031	31	1.00	0.0015	15
153	4.00	0.0061	61	2.00	0.0031	31

表I. ビットの重み付け表 (リファレンス電圧=2.5V)

ユニポーラ・モード FSとAGNDに関する入力	入力電圧	バイポーラ・モード FSとAGNDに関する入力	入力電圧	出力データ
$+V_{\text{REF}}-1.5\text{LSB}$	+2.499943	$+V_{\text{REF}}-1.5\text{LSB}$	+2.499886	1111 1111 1111 1111
$+V_{\text{REF}}-2.5\text{LSB}$	+2.499905	$+V_{\text{REF}}-2.5\text{LSB}$	+2.499810	1111 1111 1111 1110
$+V_{\text{REF}}-3.5\text{LSB}$	+2.499867	$+V_{\text{REF}}-3.5\text{LSB}$	+2.499733	1111 1111 1111 1101
				1111 1111 1111 1100
$+V_{\text{REF}}/2+0.5\text{LSB}$	+1.250019	AGND+0.5LSB	+0.000038	1000 0000 0000 0001
$+V_{\text{REF}}/2-0.5\text{LSB}$	+1.249981	AGND-0.5LSB	-0.000038	1000 0000 0000 0000
$+V_{\text{REF}}/2-1.5\text{LSB}$	+1.249943	AGND-0.5LSB	-0.000114	0111 1111 1111 1111
				0111 1111 1111 1110
AGND+2.5LSB	+0.000095	$-V_{\text{REF}}+2.5\text{LSB}$	-2.499810	0000 0000 0000 0011
AGND+1.5LSB	+0.000057	$-V_{\text{REF}}+1.5\text{LSB}$	-2.499886	0000 0000 0000 0010
AGND+0.5LSB	+0.000019	$-V_{\text{REF}}+0.5\text{LSB}$	-2.499962	0000 0000 0000 0001
				0000 0000 0000 0000

注

- $V_{\text{REF}} = +2.5\text{V}$
- AGND=0V
- ユニポーラ・モードでは $1\text{LSB} = 2.5\text{V} / 65536 = 0.000038\text{V}$
- バイポーラ・モードでは $1\text{LSB} = 5\text{V} / 65536 = 0.000076\text{V}$
- 入力はコード遷移電圧です。

表II. 出力コード

入力信号の調整

AD7701では性能にほとんど影響を与えずに+1V~+3Vのリファレンス電圧を使用できます。このリファレンス電圧の範囲で適応できない入力範囲については、入力信号の調整により対応できます。これは、より小さな信号範囲にはゲイン調整、大きな入力電圧範囲には分圧という方法で行われます。

信号源抵抗

AD7701の前段に分圧器を使用する場合には、信号源インピーダンスが十分に低くなるように注意が必要です。AD7701のアナログ入力の直流入力抵抗は1GΩ以上です。この抵抗に並列にクロック周波数に同期して変化する小さなダイナミック負荷があります(図13を参照)。

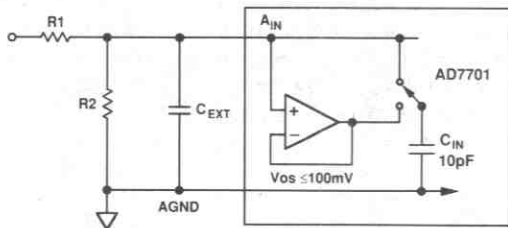


図13. 入力等価回路と入力分圧器

アナログ入力がサンプリングされるごとに、 $f_{CLKIN}/256$ 周波数でアナログ信号源から10pFのコンデンサへ最大1pC ($10pF \times 100mV$)の電荷が流れ込みます。CLKIN入力に4,096MHzのクロックが与えられている場合、流れ込む平均電流は16nAとなります。毎回のサンプリングのあと、AD7701は入力電圧がセトリングするのに62クロック周期が可能です。セトリング時間を定義する式は以下のようになります。

$$V_0 = V_{IN} [1 - e^{-t/RC}]$$

ここで

V_0 は最終的なセトリング電圧値

V_{IN} は入力信号値

Rは入力信号源抵抗

Cは10pFのサンプル・コンデンサ

tは $62/f_{CLKIN}$

です。

この式から、誤差 V_E に対し使用可能な最大の信号源抵抗 $R_{S(MAX)}$ が導かれます。

$$R_{S(MAX)} = \frac{62}{f_{CLKIN} \cdot (10pF) \cdot \ln(100mV/V_E)}$$

信号源抵抗がこの値より小さい場合には、アナログ入力には必要な62クロック・サイクルで希望の誤差範囲以内でセトリングします。セトリングが十分でないとおフセット誤差が生じます。これらはシステム較正により較正可能です。

最大オフセット電圧のために10 μ V (16ビットで0.25LSB)の制限が設定された場合、浮遊容量がないとすれば容認できる最大の信号源抵抗は上式から160kΩとなります。

AD7701の前段にRCフィルタを接続し、高周波ノイズを減少させることができます。A_{IN}とAGNDとの間に外部コンデンサを接続する場合には、容認できる最大の信号源抵抗は以下の式で示されます。

$$R_{S(MAX)} = \frac{62}{f_{CLKIN} \cdot (C_{IN} + C_{EXT}) \cdot \ln \left[\frac{100mV \cdot C_{IN}}{V_E (C_{IN} + C_{EXT})} \right]}$$

信号源抵抗の最大値の実際の制限は熱(ジョンソン)ノイズです。実際の抵抗は、理想的な(ノイズを発生しない)抵抗と直列に接続されたノイズ電圧源または並列のノイズ電流源としてモデル化されます。

$$V_n = \sqrt{4kTRfV}$$

$$i_n = \sqrt{4kTf/R_A}$$

ここで、

kはボルツマン定数 ($1.38 \times 10^{-23} J/K$)、

Tは温度 K、($C + 273$)です。

オペアンプなどの能動的な信号調整回路は通常、高インピーダンスの問題から逃れることができません。オペアンプのオープン・ループ出力抵抗は通常数10 Ω オーダーと低く、最近のほとんどの汎用オペアンプは十分に高速のクローズ・ループ・セトリング特性を備えているためこの点に関しては問題はありません。オペアンプのオフセット電圧はシステム較正ルーチンにより除去できます。広いダイナミック・レンジと小さなLSBサイズをもったAD7701でもノイズは問題になり得ますが、カットオフ周波数より上のほとんどの広帯域ノイズはデジタル・フィルタにより取除くことができます。しかし、個々の応用ではアナログ入力フィルタを必要とすることもあります。

アンチエイリアシングに関する考慮

AD7701のデジタル・フィルタはサンプリング周波数の整数倍の成分($n f_{CLKIN}/256$, $n=1, 2, 3, \dots$)に対する除去をもちまかせん。

4,096MHzのマスタ・クロックでは16kHz、32kHz、48kHz等において狭い($\pm 10Hz$)通過帯域があり、この帯域ではノイズは減衰なしに出力されます。

しかしAD7701では800という高いオーバーサンプリング比(16kHz-20Hz)をもつため、これらの通過帯域は全成分中小さな要素にしか過ぎなくなり、広帯域ノイズのほとんどはフィルタされます。

広帯域ノイズの減衰は以下の式で表わされます。

$$e_{OUT} = e_{IN} \sqrt{2f_c/f_s} = 0.035e_{IN}$$

ここで e_{IN} と e_{OUT} は入力換算のrmsノイズ、

f_c はフィルタの-3dBコーナー周波数($f_{CLKIN}/409600$)、

f_s はサンプリング周波数($f_{CLKIN}/256$)です。

f_s と f_{CLKIN} の比が固定されているため、マスタ・クロック周波数と関係なしにデジタル・フィルタによって広帯域のホワイト・ノイズを96.5%減衰させます。

リファレンス電圧の接続

アナログ入力範囲は V_{REF} ピンへ加えられる電圧により決まります。AD7701の規定リファレンス電圧は2.5Vですが、1~3Vのリファレンス電圧範囲でもほとんど性能を低下させずに動作します。

リファレンス入力はアナログ入力と正確に同じダイナミック負荷を示しますが、リファレンス入力では信号源抵抗と長いセトリング時間によって、オフセット誤差よりもむしろゲイン誤差を生じます。幸い、ほとんどの高精度リファレンスは十分に低い出力インピーダンスと十分に広い帯域幅を持っており、62クロック・サイクル以内で10 μ Vにセトリングします。

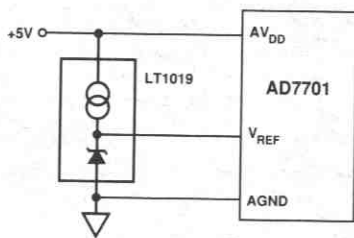


図14. 代表的な外部リファレンス接続

AD7701のデジタル・フィルタはアナログ入力からのノイズとまったく同様にリファレンス入力からのノイズを取除きますが、サンプリング周波数の整数倍でノイズ除去できないという制限も同じように適用されます。リファレンス・ノイズが問題となる場合には、外付コンデンサを用いてノイズ除去を行なう電圧リファレンスもいくつかあります。あるいは図15に示すような簡単なRCフィルタを使用することもできます。

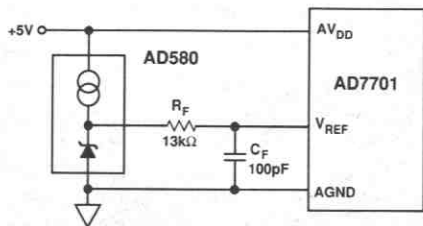


図15. フィルタ付きのリファレンス入力

このフィルタにもアナログ入力フィルタと同様の考慮を適用できます。この場合、以下の式となります。

$$[R_F(C_F + 10pF)] = \frac{62}{f_{CLKIN} \cdot \ln \left[\frac{100mV \cdot C_{IN}(C_{IN} + C_F)}{V_{FSE}} \right]}$$

ここで、

- f_{CLKIN} はマスタ・クロック周波数、
- V_{FSE} は望ましい最大誤差電圧です。

グラウンドと電源デカップリング

AGNDはAD7701のグラウンド・リファレンス電圧で、DGNDと完全に独立しています。システムのアナログ・グラウンドに対しAGND入りにノイズが乗ると変換誤差が生じます。したがってAGNDはシステム・グラウンドとして、またアナログ入力とリファレンス電圧のグラウンドとして使用しなければなりません。

デバイスのアナログ部とデジタル部のカップリングを最小化するため、AD7701のアナログ電源とデジタル電源は独立し、分離されてピンに引出してあります。デジタル・フィルタはサンプリング周波数の整数倍の帯域以外の電源からの広帯域ノイズを除去します。したがって2つのアナログ電源はAGNDへ100nFのセラミック・コンデンサを使用してデカップリングし、これらの周波数で電源ノイズを除去しなければなりません。2つのデジタル電源も同じようにDGNDにデカップリングします。

精度と自動較正

VFCや他の積分型ADCと同じようにシグマ・デルタ型ADCには非単調増加性の要因がなく、原理的にミス・コードが存在しません。

AD7701は非常に低い容量/電圧係数をもった高品質のオンチップSiO₂コンデンサを使用しており、優れた直線性(±0.0007%)を実現しています。

AD7701は内蔵の較正用マイクロ・コントローラとSRAMを使用した2種類の自己較正モードを備えています。表IIIに較正制御入力SC1とSC2の真理値表を示します。

自己較正モードではAGNDピンに対しゼロスケールを、V_{REF}ピンに対しフルスケールが較正され、内部誤差が除去されます。バイポーラ・モードでは正のフルスケールとミッドスケール(バイポーラ・ゼロ)を較正することに注意してください。

システム較正モードでは、ゼロとフルスケールがアナログ入力ピンに加えられる電圧について2段階に較正されます。これによって、システムのオフセットやゲイン誤差をゼロに調整できます。

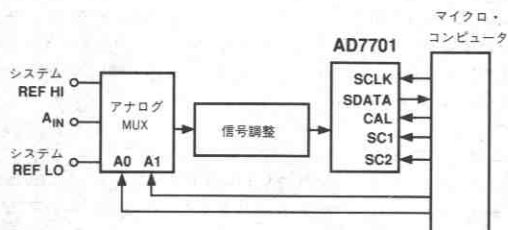


図16. システム較正の代表的な接続

図16にシステム較正の代表的な構成を示します。通常動作ではアナログ信号はアナログ・マルチプレクサを通してAD7701に入力されます。システムの較正時には、まずマルチプレクサによってA_{IN}がシステムREF LOに切り替えられ、CALはHIにストロープされ、SC1とSC2は両方ともHIになります。次にA_{IN}はシステムREF HIに切り替えられ、CALがストロープされ、SC1はLOW、SC2はHIになります。このようにしてマルチプレクサとAD7701間のすべての誤差源の影響は除去されます。AD7701の前段に使用されるオペアンプと他の信号調整回路はそれらの絶対ゲインやオフセット誤差を気にせずに使用できます。フルスケールはシステム・リファレンスに較正されるため較正サイクル中に適当な短期間の安定性が得られれば、AD7701に加えられるリファレンスの絶対値は重要ではありません。

システムのオフセット誤差が重要で、システムのゲイン誤差がそれほど重要ではない場合には、SC1をHIに、SC2をLOWとして1段階の較正を実行します。この場合にはオフセットがA_{IN}入力に対して較正されるため較正期間中はシステムREF LOに接続しなければなりません。フルスケールはAD7701のV_{REF}入力に対し較正されます。

システム較正は、システムの誤差がない場合でも自己較正よりも高い精度が得られます。自己較正を用いた場合、較正中のリファレンス (AGNDとV_{REF}) と通常動作中のアナログ入力間の信号源インピーダンスの不整合によって誤差が生じます。システム較正では信号源インピーダンスは固有の同一値を保つため、理論的なシステム精度の制限は較正の分解能となります。実際の制限はAD7701のノイズ・フロアとなります。

システム較正ではREF LOは必ずしもシステム・グラウンドまたは0Vを意味しません。AD7701は、REF LOを故意にゼロ以外の値にすることで較正範囲内の任意の2つの電圧間を測定することで較正できます。例えばREF LOを+0.5V、REF HIを+2.5Vにすると、ユニポーラ・スパンはこれらのリミット値の間となります。

CAL	SC1	SC2	校正方式	ゼロ・リファレンス	FSリファレンス	手順	校正時間
	0	0	自己校正	AGND	V _{REF}	1ステップ	3,145,655クロック・サイクル
	1	1	システム・オフセット	A _{IN}	-	第1ステップ	1,052,599クロック・サイクル
	0	1	システム・ゲイン	-	A _{IN}	第2ステップ	1,068,813クロック・サイクル
	1	0	システム・オフセット	A _{IN}	V _{REF}	1ステップ	2,117,389クロック・サイクル

注
校正手順中DRDYはHIに保ちます。自己校正モードではAD7701がアナログ入力に対しセトリングを終わるとDRDYはLOWになります。他のモードではAD7701がセトリングを開始するとDRDYはLOWとなります。

表III. 校正の真理値表

校正範囲

システム校正方式を決定する場合には、システム誤差の最悪値がAD7701のオーバレンジの余裕を越えないように注意しなければなりません。オフセットとゲイン誤差に起因する測定誤差はゼロ調整できますが、実際の誤差電圧はアナログ入力に存在し、アナログ変調器に対する過負荷となったり、ディジタル・フィルタをオーバフローさせる場合があります。2.5Vリファレンスを使用すると最大の入力電圧は(+V_{REF}+100mV)となり、最小の入力電圧は(-V_{REF}-100mV)となります。

電源投入と校正

デバイスを一貫した開始条件に初期化し校正を正しく行なうため、電源投入後、校正サイクルを1度実行する必要があります。CALピンは最低4クロック・サイクルの間HIに保たなければなりません。その後CALの立下りエッジで校正が開始され、最大3,145,655クロック・サイクル(4.096MHzクロックで約768ms)かかります。表IIIを参照ください。

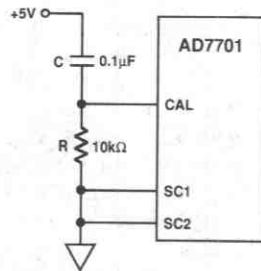


図17. パワーオン・リセット回路

図17に電源投入時にCAL入力をHIにするための簡単なRC回路を示します。この回路が正しく動作するためには電源は発振なしにきれいに立上がる必要があります。そうでなければAD7701のすべての内部回路がこのリセット・パルスと同時に受取ることができません。RC回路とCAL入力の間にシュミット・トリガを挿入しきれいなパルスを発生させればこの回路の動作はより確実となります。電源投入後、出力データにアクセスする前に、フィルタのセトリング時間(507, 904クロック・サイクル)のため待つ必要があります。転送データは4kHzの速度で読出すことができます。

表IIIに示すように、CALにより開始される校正サイクルの形式はSC1およびSC2入力により決まります。

AD7701の消費電力と温度ドリフトは低いいため、最初の校正が行なわれるまでにウォーム・アップ時間は必要ありません。しかし、システム・リファレンスは校正開始前に安定させておく必要があります。

電源投入の手順

正のディジタル電源(DV_{DD})は正のアナログ電源(AV_{DD})を0.3V

以上越えてはいけません。このため電源投入手順が重要になります。分離されたアナログ/ディジタル電源を使用する場合には、アナログ電源を最初に投入するように注意が必要です。

ラッチアップの可能性を避けるためV_{REF}、A_{IN}、ロジック入力ピンなどに信号が加わる前に電源を加えることも重要です。AD7701とシステムのディジタル回路に分離された電源を使用する場合にはAD7701の電源を先に投入します。

±5V電源によるAD7701の電源の代表例をシステム接続図(図7)に示します。この回路ではAV_{DD}とDV_{DD}は同一の+5V電源から別々の線で供給されています。したがってここではアナログ電源よりも先にディジタル電源が立上がる可能性はありません。

グラウンド

AD7701は測定リファレンス・ノードとしてアナログ・グラウンド接続ピン(AGND)を備えています。このピンはアナログ入力信号とV_{REF}ピンでのリファレンス電圧の両方のリファレンス・ノードとして使用しなければなりません。

AD7701に供給されるアナログ電源とディジタル電源はチップ上のアナログ部とディジタル部のカップリングを最小にするため別々に引き出されています。図7に示すように、4種類の電源はそれぞれのグラウンドに別々にテカッピングしなければなりません。AD7701の内蔵のディジタル・フィルタによって変換プロセスに注入されるノイズが除去され、電源変動除去比はさらに向上します。

単一電源動作

図18にAGNDとDGNDのためにオペアンプを使用して半分の電圧リファレンス・ポイントを作り、AD7701を単一の+10V電源で使用する回路を示します。ディジタルI/Oピンはこのポイントを基準とするため、外部とのディジタル信号のやりとりにはレベル・シフトが必要です。システム内でガルバニック絶縁が必要な場合には、光アイソレータによりレベル・シフトと絶縁の両方を同時に行なうことができます。

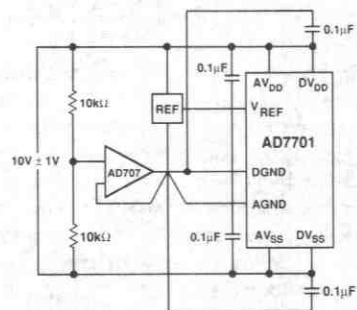


図18. 単一電源動作

スリープ・モード

SLEEP入力をLOWにすることで低消費電力のスタンバイ・モードが開始され、アナログとデジタル回路のすべてがシャットダウンし、消費電力を $10\mu\text{W}$ に減少させます。校正係数はメモリに格納されていますが、コンバータが停止しているため、出力データをアクセスする前にはフィルタのセトリング時間 (507, 904サイクル) だけ待つ必要があります。

校正係数のバッテリー・バックアップ

AD7701のスタティックRAMに格納されている校正データは電源供給が断たれると必ず失われます。たとえば主電源の入っている装置が他の場所に移動する場合などのように、個々の応用では間欠的な電源切れに対し校正ESRAMの内容を保護する必要があります。

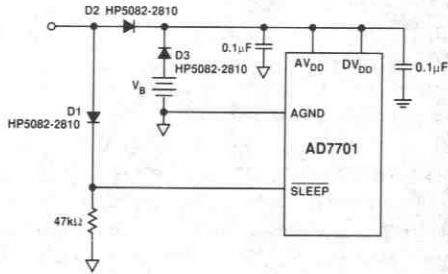


図19. 校正データのバッテリー・バックアップ

図19に、+5V主電源が切れている間SRAMへの電源を保つための簡単なバッテリー・バックアップ回路を示します。電源が切れるとSLEEP入力がLOWとなり、電力消費が $10\mu\text{W}$ typに減少し、バッテリーは主電源から切離されます。校正メモリを保持するためにはAVDDとDVDDの両方に通電していなければならないことに注意してください。3.6Vのリチウム電池はAD7701のメモリ保持スレッシュホールド電圧である2V以下に降下するまでに1750mA/hの容量もっています。つまり、スリープ・モードのまま20年間のメモリ保持が可能であり、システム校正は工場ですべて済ませることを意味しています。

この簡単な回路では電源電圧がSLEEPピンのスレッシュホールド以下に落ちるより前に電源電圧がバッテリー電圧以下に落ち、電源がSLEEPピンのロジック0電圧以下に落ちるまでの期間、バッテリーからAD7701の全動作電流の4mAを供給することに注意が必要です。このため電源の断続が頻繁に起きる場合や、例えばシステムに大きな容量の平滑コンデンサが使用されており電源の降下が遅い場合には、バッテリーの過放電を起こします。このような場合には、電源電圧が3.6V以下に落ちる前にSLEEPの電圧が0.8Vに落ちるようにバックアップ回路を設計しなければなりません。

デジタル・インタフェース

AD7701はシリアル通信ポートにより業界標準のマイクロプロセッサと容易に通信することができます。3種類の動作モードが用意されており、異なる形式のインタフェースに適合します。

同期セルフ・クロック・モード (SSC)

SSCモード (MODEピン=HI) では並列データ通信を行なうことのできるシステムのシリアル-パラレル変換回路と容易にインタフェースすることができます。このモードでは74XX299ユニバーサル・シフト・レジスタと追加デコードなしにインタフェース可能です。またSSCモードでは68HC11および68HC05などのマイクロプロセッサとともに使用可能で、シリアル・ポートのクロックに外部デバイスを使用することができます。

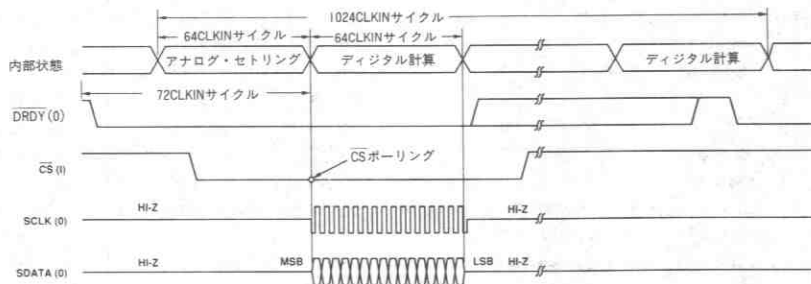


図20. SSCデータ送信モードのタイミング図

図20にSSCモードのタイミング図を示します。データは内部で発生されたシリアル・クロックと同期して出力されます。AD7701は個々のサンプリング間隔を16個の期間に分けます。64クロック・パルスを1期間とする8期間はアナログ・セトリングに、その他の8期間はデジタル演算に充てられます。 \overline{CS} の状態は個々のデジタル演算期間の始まりにポーリングされます。 \overline{CS} がそれらの時間の任意の時点でLOWであればSCLKがアクティブになり、現在出力レジスタに格納されているデータ・ワードはMSBを先頭に送信されます。LSBが送信された後 \overline{DRDY} がHIとなり、SDATAはトライ・ステート状態になります。それまでLOWになっていた \overline{CS} が送信中の任意の時点でHIになると、SDATAとSCLKは現在のビットが終了次トライ・ステート状態になります。 \overline{CS} がその後LOWになると、送信はその後のデジタル演算期間に次のビットから再開されます。送信が開始されず次のデータ・ワードが得られるまで終了しない場合には、新しいワードが出力レジスタにロードされ、 \overline{DRDY} は4クロック・サイクル期間だけHIとなり、その後LOWになります。

SSCモードのより詳細なタイミング図を図21に示します。SCLKの立下りエッジでデータ・ビットが変化し、SCLKの立上りエッジで有効となります。

同期外部クロック・モード (SEC)

SECモード (MODEピンはグラウンドに接続) はCOPSシリーズや68HC11および68HC05などの業界標準マイクロプロセサの同期シリアル・ポートとの直接インタフェースのために設計されています。またSECモードではAD7701の他のモードとは適合しないマイクロプロセサのためにI/Oポート・ピンを使用してインタフェースを行うこともできます。

図22に示すように \overline{CS} の立下りエッジによりMSBを先頭にしたシリアル・データ出力がイネーブルとなります。その後のデータ・ビットは外部から供給されるSCLKの立下りエッジで変化します。LSBが送信された後、 \overline{DRDY} がHIとなり、SDATAがトライ・ステート状態になります。新しいデータ・ワードが用意された時に \overline{CS} がLOWで、AD7701がまだデータを送信している場合には古いデータ・ワードの送信が継続され、新しいデータは失われます。

送信中に \overline{CS} がHIになると、SDATAとSCLKはすぐにトライ・ステート状態になります。 \overline{CS} がLOWに戻ると、AD7701は同じデータ・ビットから送信を続けます。次のデータ・ワードが得られるまでに送信が開始しないかあるいは終了しないとき、 \overline{CS} がHIならば新しいワードが出力レジスタにロードされ、 \overline{DRDY} は4クロック・サイクル期間だけHIになります。

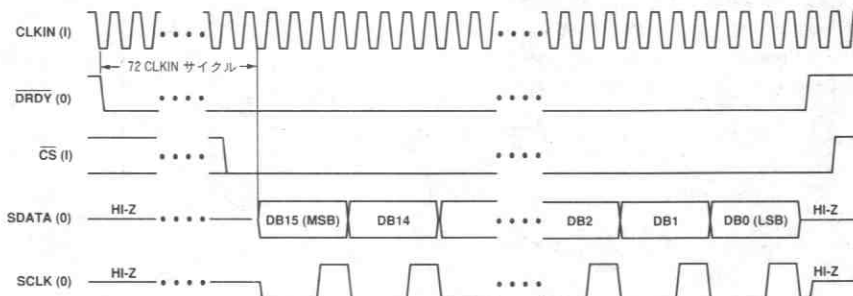


図21. SSCモードのデータとSCLKのタイミング

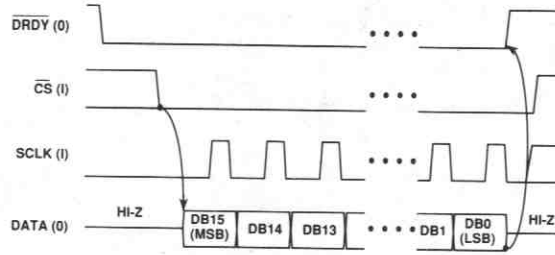


図22. SECモードのタイミング図

非同期通信 (AC) モード

ACモード (MODEピンは-5Vに接続) によってUART互換のインタフェースが得られ、AD7701は非同期の遠隔データ送信を行なうことができます。外部SCLKによりボーレートを設定し、データはUART互換の2バイト形式で送信されます。ACモードを使用すると、8051やTMS70X2などのUARTインタフェース付きのマイクロプロセッサと直接インタフェースすることができます。

データ送信はCSがLOWになると開始されます。図18に示すように、SCLKの立下りエッジでCSがLOWならば、AD7701は8ビットのデータ・バイト (DB8~DB15) に1スタート・ビットと2ストップ・ビットを付加して送信を開始します。SDATA出力はその後トライ・ステート状態になります。CSを再びLOWにすると2バイト目のデータの送信が開始され、DB0~DB7が1バイト目と同じ形式で送信されます。

AD7701の4kHz出力アップデータ・レートに比較しUARTのボーレートの通常低くなります。CSがLOWでデータ送信中に新しいデータ・ワードが用意された場合には新しいデータは無視されます。しかしバイト送信中に新しいデータ・ワードが用意され、CSがHIの場合には、AD7701は2バイト目が送信される前に出力レジスタを更新することができます。この場合には、UARTは古いデータの2バイト目を受け取る代わりに新しいデータの最初のバイトを受信します。ACモードを使用するときにはこのようなことが起きないように注意が必要です。

デジタル・ノイズと出力ローディング

前にも述べたように、AD7701は内部タイミングをアナログ・サンプリングとセトリング期間、そしてデジタル演算の2段階に分けています。SSCモードではデータはデジタル演算期間のみに送信され、アナログ特性へのデジタル・ノイズの影響を最小限に抑えています。SECとACモードではデータ送信は外部制御されるため、この自動保護機能はありません。

どの動作モードでも回路のアナログ部とデジタル部間のクロストークを除去するため、デジタル出力における抵抗性および容量性負荷は最小にする必要があります。この理由から4000シリーズや74CファミリなどのローパワーCMOSロジックの使用を推奨します。

ACモードでは非同期動作のため、SDATAの負荷を最小にすることが特に重要です。SECモードではAD7701はCLKINに入力されるデジタル・システム・クロックに同期をとる必要があります。

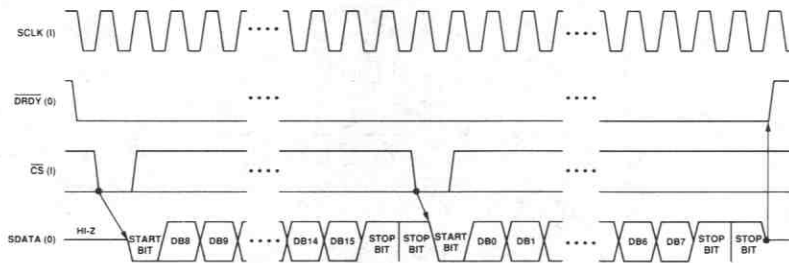
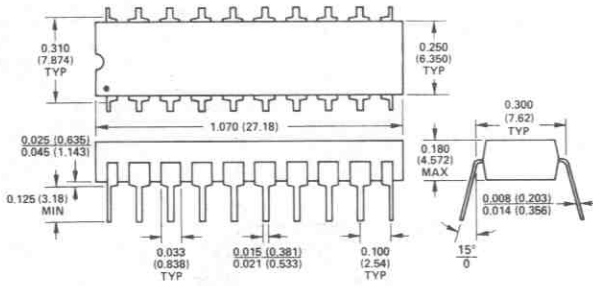


図23. 非同期通信モードのタイミング図

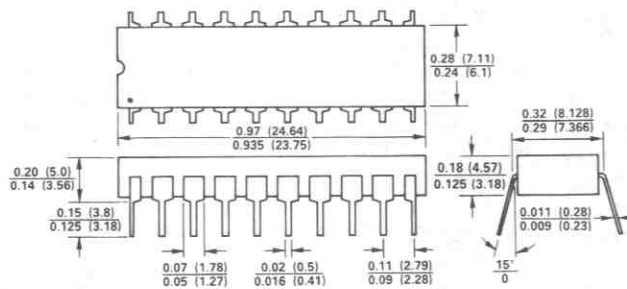
外形サイズ

サイズはインチと (mm) で示します。

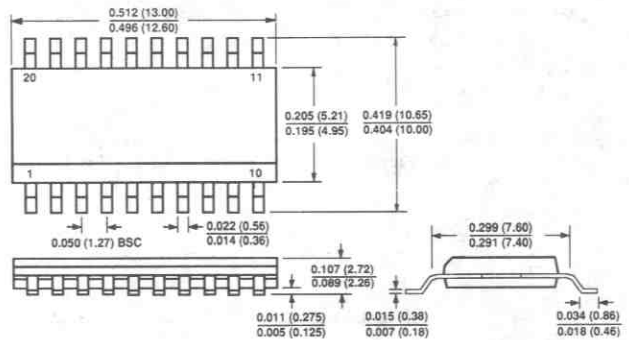
20ピン・プラスチックDIP (Nサフィックス)



20ピン・サーディップ (Qサフィックス)



20ピンSOIC (Rサフィックス)



特長

モノリシック20ビットADC

直線性誤差: 0.0003%

20ビット・ノーマス・コード

自己校正回路を内蔵

プログラマブル・ローパス・フィルタ

コーナ周波数: 0.1~10Hz

アナログ入力範囲: 0~+2.5Vまたは±2.5V

出力データ・レート: 4kSPS

フレキシブルなシリアル・インタフェース

超低消費電力

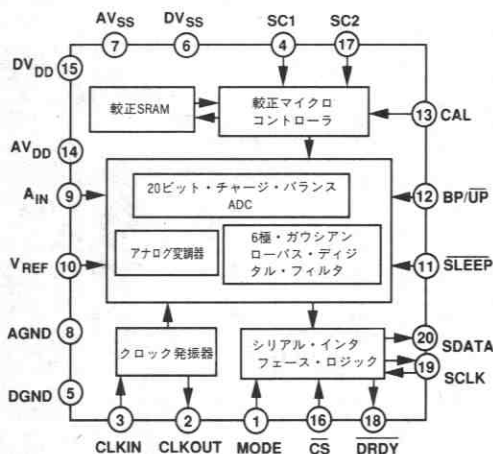
応用

工業プロセス制御

重量計測

携帯用計測機

遠隔データ収集



AD7703 機能ブロック図

概要

AD7703はシグマ・デルタ変換技術を採用した20ビットADCです。アナログ入力は、入力信号に比例する平均出力デューティ・サイクルを有するアナログ変調器によって連続的にサンプリングされます。変調器の出力は6極のガウス応答特性をもったオンチップのデジタル・フィルタによって処理され、最大4kHzのワード・レートで出力データ・レジスタの20ビット・バイナリ・ワードを更新します。サンプリング・レート、コーナ周波数、出力ワード・レートは、外部または内蔵の水品発振器から供給されるマスタ・クロック入力により設定されます。

AD7703の固有の直線性は優れており、任意の時点で初期化できるゼロおよびフルスケールの自己校正によって、エンドポイント精度を保証します。自己校正の方法はシステムのオフセットや入力チャンネルのゲイン誤差のゼロ調整にも拡張することができます。

出力データは、2種類の同期モードをもち、シフト・レジスタや標準のマイクロ・コントローラのシリアル・ポートとのインタフェースに適したシリアル・ポートを通してアクセスすることができます。

AD7703はCMOS構造であるため低消費電力であり、さらにパワー・ダウン・モードによりアイドル時の消費電力をわずか10μWに低減できます。

製品ハイライト

- AD7703は20ビットの分解能と0.0003%の優れた精度を備えています。
- ミス・コードがないため、真に使用可能な20ビットのダイナミック・レンジをもち、プログラマブル・ゲインおよびレベル設定回路が不要です。
- 内蔵の自己校正機能により、ゼロ誤差、ゲイン誤差が除去され、温度ドリフトの影響を取除くことができます。校正ループ内に外部回路を追加することによってシステムのオフセット誤差およびゲイン誤差も除去することができます。
- フレキシブルな同期インタフェースにより、AD7703を標準のマイクロコントローラのシリアル・ポートと直接接続することができます。
- AD7703は低い動作電力とスタンバイ・モードでの超低消費電力によりループ電源による遠隔測定の実用やバッテリー電源による携帯用測定器に適しています。

仕様

(特に指定のない限り、 $T_A = +25^\circ\text{C}$ 、 $AV_{DD} = DV_{DD} = +5\text{V}$ 、 $AV_{SS} = DV_{SS} = -5\text{V}$ 、 $V_{REF} = +2.5\text{V}$ 、 $f_{CLKIN} = 4.096\text{MHz}$ 、 $BP/UP = +5\text{V}$ ； $MODE = +5\text{V}$ 、 A_{IN} 信号源抵抗 = $750\text{k}\Omega$ 、 $AGND - A_{IN}$ 間 1nF の値。)

パラメータ	Aバージョン ²	Bバージョン ²	Cバージョン ²	単位	試験条件/備考
スタティック特性					
分解能	20	20	20	ビット	
積分非直線性					
Tmin~Tmax +25°C	± 0.0015 ± 0.003	± 0.0007 ± 0.0015	± 0.0003 ± 0.0008	%FSR typ %FSR max	
Tmin~Tmax	± 0.003	± 0.0015	± 0.0012	%FSR max	
微分非直線性, Tmin~Tmax	± 0.5	± 0.5	± 0.5	LSB typ	ノーマス・コードを保証
正のフルスケール誤差 ³	± 4 ± 16	± 4 ± 16	± 4 ± 16	LSB typ LSB max	
フルスケール・ドリフト ⁴	$\pm 19/\pm 37$	± 19	± 19	LSB typ	
ユニポーラ・オフセット誤差 ³	± 4 ± 16	± 4 ± 16	± 4 ± 16	LSB typ LSB max	
ユニポーラ・オフセット・ドリフト ⁴	± 26 $\pm 67 + 48/-400$	± 26 ± 67	± 26 ± 67	LSB typ LSB typ	温度範囲 $0 \sim +70^\circ\text{C}$ 定格温度範囲
バイポーラ・ゼロ誤差 ³	± 4 ± 16	± 4 ± 16	± 4 ± 16	LSB typ LSB max	
バイポーラ・ゼロ・ドリフト ⁴	± 13 $\pm 34 + 24/-200$	± 13 ± 34	± 13 ± 34	LSB typ LSB typ	温度範囲 $0 \sim +70^\circ\text{C}$ 定格温度範囲
負のバイポーラ・フルスケール誤差 ³	± 8 ± 32	± 8 ± 32	± 8 ± 32	LSB typ LSB max	
負のバイポーラ・フルスケール・ドリフト ⁴	$\pm 10/\pm 20$	± 10	± 10	LSB typ	
ノイズ(出力換算)	1.6	1.6	1.6	LSB rms typ	
ダイナミック特性					
サンプリング周波数 f_s	$f_{CLKIN}/256$	$f_{CLKIN}/256$	$f_{CLKIN}/256$	Hz	
出力アップデート・レート f_{OUT}	$f_{CLKIN}/1024$	$f_{CLKIN}/1024$	$f_{CLKIN}/1024$	Hz	
フィルタ・コーナ周波数 f_{-3dB}	$f_{CLKIN}/409,600$	$f_{CLKIN}/409,600$	$f_{CLKIN}/409,600$	Hz	
セトリング時間($\pm 0.0007\%$ FS)	$507904/f_{CLKIN}$	$507904/f_{CLKIN}$	$507904/f_{CLKIN}$	秒	フルスケール入力ステップ
システムの校正					
正のフルスケール校正範囲	$V_{REF} + 0.1$	$V_{REF} + 0.1$	$V_{REF} + 0.1$	V max	ユニポーラおよびバイポーラ範囲に適用。校正後、 $A_{IN} > V_{REF}$ の場合には出力はすべて 1 になり、 $A_{IN} < 0$ (ユニポーラ) または $-V_{REF}$ (バイポーラ) の場合には出力はすべて 0 となります。
正のフルスケール・オーバーレンジ	$V_{REF} + 0.1$	$V_{REF} + 0.1$	$V_{REF} + 0.1$	V max	
負のフルスケール・オーバーレンジ	$-(V_{REF} + 0.1)$	$-(V_{REF} + 0.1)$	$-(V_{REF} + 0.1)$	V max	
最大オフセット校正範囲 ^{5,6}					
ユニポーラ入力範囲	$-(V_{REF} + 0.1)$	$-(V_{REF} + 0.1)$	$-(V_{REF} + 0.1)$	V max	
バイポーラ入力範囲	$-0.4V_{REF} \sim +0.4V_{REF}$	$-0.4V_{REF} \sim +0.4V_{REF}$	$-0.4V_{REF} \sim +0.4V_{REF}$	V max	
入力スパン ⁷	$0.8V_{REF}$	$0.8V_{REF}$	$0.8V_{REF}$	V min	
	$2V_{REF} + 0.2$	$2V_{REF} + 0.2$	$2V_{REF} + 0.2$	V max	
アナログ入力					
ユニポーラ入力範囲	$0 \sim +2.5$	$0 \sim +2.5$	$0 \sim +2.5$	V	
バイポーラ入力範囲	± 2.5	± 2.5	± 2.5	V	
入力容量	20	20	20	pF typ	
入力バイアス電流 ¹	1	1	1	nA typ	
ロジック入力					
CLKIN を除く全入力					
V_{INL} 入力LOW電圧	0.8	0.8	0.8	V max	
V_{INH} 入力HI電圧	2.0	2.0	2.0	V min	
CLKIN					
V_{INL} 入力LOW電圧	0.8	0.8	0.8	V max	
V_{INH} 入力HI電圧	3.5	3.5	3.5	V min	
I_{IN} 入力電流	10	10	10	$\mu\text{A max}$	

パラメータ	A, Sバージョン ²	Bバージョン ²	Cバージョン ²	単位	試験条件/備考
ロジック出力					
V _{OL} , 出力LOW電圧	0.4	0.4	0.4	V max	I _{SINK} = 1.6mA I _{SOURCE} = 100μA
V _{OH} , 出力HI電圧	DV _{DD} -1	DV _{DD} -1	DV _{DD} -1	V min	
フローティング状態漏れ電流	±10	±10	±10	μA max	
フローティング状態出力容量	9	9	9	pF typ	
電源 ⁸					
電源電圧					定格性能
アナログ正電源 (AV _{DD})	4.5/5.5	4.5/5.5	4.5/5.5	V min/V max	
デジタル正電源 (DV _{DD})	4.5/AV _{DD}	4.5/AV _{DD}	4.5/AV _{DD}	V min/V max	
アナログ負電源 (AV _{SS})	-4.5/-5.5	-4.5/-5.5	-4.5/-5.5	V min/V max	
デジタル負電源 (DV _{SS})	-4.5/-5.5	-4.5/-5.5	-4.5/-5.5	V min/V max	
較正メモリ保持電源電圧	2.0	2.0	2.0	V min	
DC電源電流 ⁹					
アナログ正電源 (AI _{DD})	3.2	3.2	3.2	mA max	
デジタル正電源 (DI _{DD})	1.5	1.5	1.5	mA max	
アナログ負電源 (AIS _S)	3.2	3.2	3.2	mA max	
デジタル負電源 (DIS _S)	0.1	0.1	0.1	mA max	
電源変動除去比 ⁹					2mA typ 1mA typ 2mA typ 0.03mA typ
正電源	70	70	70	dB typ	
負電源	75	75	75	dB typ	
消費電力					
通常動作	40	40	40	mW max	SLEEP = ロジック 1, 25mW typ
スタンバイ動作 ¹⁰					
A, B, C	20	20	20	μW max	10μW typ
S	40	40	40	μW max	

- 注
- 1) A_{IN}入力ピンのダイナミック負荷のインピーダンスは非常に高く、クロック周波数により変化します。A_{IN}とAGND間に1nFセラミック・コンデンサが必要です。ソース抵抗値は750Ω以下として下さい。
 - 2) 温度範囲は次の通りです。A, B, Cバージョン: -40°C ~ +85°C、Sバージョン: -55°C ~ +125°C
 - 3) その温度で較正後に適用されます。フルスケール誤差はユニポーラおよびバイポーラの両方の入力範囲に適用されます。
 - 4) +25°Cでの電源投入後の仕様温度範囲での総合ドリフトです。この特性は設計および特性規定により保証されています。任意の温度での再較正によりこれらの誤差を除去することができます。
 - 5) ユニポーラ・モードではオフセットは負の値 (-V_{REF}) となることもでき、バイポーラ・モード動作と見なすこともできます。
 - 6) 入力オーバーレンジと入力スパンに関する仕様はオフセット較正範囲に制限を与えることとなります。
 - 7) ユニポーラ・モードでは入力スパンはフルスケールとゼロスケールの差となります。バイポーラ・モードでは入力スパンは正負のフルスケール電位差となります。最大入力スパン以下の電位を使用する場合、スパン範囲は±(V_{REF}+0.1)の範囲内の任意の点とすることができます。
 - 8) デジタル出力は無負荷です。デジタル入力力は5V CMOSレベルです。
 - 9) 0.1Hz~10Hzの帯域幅で適用されます。デジタル・フィルタのため60HzでのPSRRは120dBを越えます。
 - 10) CLKINは停止状態です。デジタル入力はすべてグラウンドに落としてあります。仕様は予告なしに変更されることがあります。

絶対最大定格* (特に指定のない限り、T_A = +25°C)

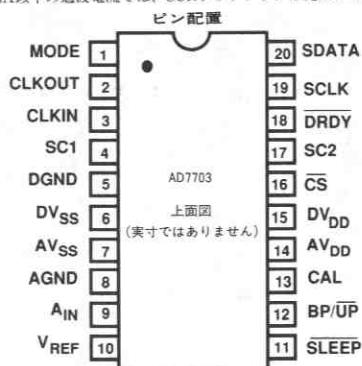
DV _{DD} -AGND	-0.3V ~ +6V
DV _{DD} -AV _{DD}	-0.3V ~ +0.3V
DV _{SS} -AGND	+0.3V ~ -6V
DV _{SS} -DV _{DD}	-0.3V ~ +0.3V
AV _{DD} -AGND	-0.3V ~ +6V
AV _{SS} -AGND	+0.3V ~ -6V
AGND-DGND	-0.3V ~ +0.3V
デジタル入力電圧-DGND	-0.3V ~ DV _{DD} +0.3V
アナログ入力	
電圧-AGND	AV _{SS} -0.3V ~ AV _{DD} +0.3V
電源を除く任意のピンへの入力電流 ¹	±10mA
動作温度範囲	
産業用 (A, B, Cバージョン)	-40 ~ +85°C
拡張温度用 (Sバージョン)	-55 ~ +125°C
保管温度範囲	-65 ~ +150°C
リード温度 (ハンダ付け10秒間)	+300°C
消費電力 (各パッケージ)+75°Cまで	450mW
+75°C以上でのディレーティング	10mW/°C

消費電力 (SOパッケージ)+75°Cまで250mW
+75°C以上でのディレーティング15mW/°C

注

- 1) 絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすと、デバイスの信頼性に影響を与えます。

- 2) 100mA以下の過渡電流では、SCRラッチアップは発生しません。



注意

この素子はESD(Electrostatic-Discharge)センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保管してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させる必要があります。



ピン機能説明

ピン	名称	機能
1	MODE	シリアル・インタフェース・モードを選択します。MODEがDGNDに接続されると外部クロックの同期モード (SEC) となります。この場合SCLKは入力として設定され、出力はフォーマットされず、MSBを先頭に出力されます。MODEが+5Vに接続されている場合には、AD7703は自己クロックの同期モード (SSC) となります。このときにはSCLKは $f_{CLKIN}/4$ の周波数でデューティ・サイクル25%のクロック出力となります。内部マスタ・クロックを発生するためのクロック出力で、CLKOUTとCLKINの間に水晶を接続します。外部クロックを使用する場合には、CLKOUTは無接続とします。
2	CLKOUT	外部クロック用出力。
3	CLKIN	外部クロック用入力。
4, 17	SC1, SC2	システム較正ピンです。CALピンがHIになった場合にこれらのピンの状態により、実行される較正形式が決まります。
5	DGND	デジタル・グラウンド。デジタル信号すべての基準グラウンド電位です。
6	DV _{SS}	負のデジタル電源。公称-5V。
7	AV _{SS}	負のアナログ電源。公称-5V。
8	AGND	アナログ・グラウンド。アナログ信号すべての基準グラウンド電位です。
9	A _{IN}	アナログ入力。
10	V _{REF}	電圧リファレンス入力。公称+2.5V。この電位によりユニポーラ・モードでは正のフルスケール値とバイポーラ・モードでは正負両方のフルスケール値が決まります。
11	SLEEP	スリープ・モード・ピン。このピンをLOWにすると、AD7703はローパワー・モードになり、消費電力は10 μ W typになります。
12	BP/ \overline{UP}	バイポーラ/ユニポーラ・モード・ピン。このピンをLOWにすると、AD7703はAGNDからV _{REF} までの範囲のユニポーラ入力範囲の設定になります。このピンをHIにすると、AD7703は入力範囲 $\pm V_{REF}$ のバイポーラ設定となります。
13	CAL	較正モード・ピン。CALピンが4サイクル以上の期間HIになると、AD7703はリセットされ、CALが再びLOWになったとき較正サイクルを実行します。CALピンは数個のAD7703の同期動作のためのストロープとしても使用されます。
14	AV _{DD}	正のアナログ電源。公称+5V。
15	DV _{DD}	正のデジタル電源。公称+5V。
16	\overline{CS}	チップ・セレクト入力。 \overline{CS} がLOWになると、AD7703はMODEピンの状態に応じたフォーマットでシリアル・データの送信を開始します。
18	\overline{DRDY}	データ・レディ出力。出力レジスタに有効データが用意できた場合に、 \overline{DRDY} はLOWになります。1ワードの送信が完了すると、このピンはHIになります。またこのピンは新しいデータ・ワードが出力レジスタにロードされたとき、有効データが用意されていないことを示すためデータの送信が完了したかしないかに関わらず4クロック・サイクルだけHIになります。
19	SCLK	シリアル・クロック入出力。MODEピンにより設定されるシリアル・データ送信の形式に応じてSCLKピンは入力または出力に設定されます。自己クロック同期モードで出力として設定された場合には、 $f_{CLKIN}/4$ の周波数でデューティ・サイクル25%のクロック出力となります。
20	SDATA	シリアル・データ出力。AD7703の出力データは20ビット・シリアル・データとしてこのピンに出力されます。

μ V	ユニポーラ・モード			バイポーラ・モード		
	LSB	%FS	ppm FS	LSB	%FS	ppm FS
0.596	0.25	0.0000238	0.24	0.13	0.0000119	0.12
1.192	0.5	0.0000477	0.48	0.26	0.0000238	0.24
1.384	1.00	0.0000954	0.95	0.5	0.0000477	0.48
4.768	2.00	0.0001907	1.91	1.00	0.0000954	0.95
9.537	4.00	0.0003814	3.81	2.00	0.0001907	1.91

表1. ビットの重み付け表 (リファレンス電圧=2.5V)

タイミング特性^{1,2}

($AV_{DD}=DV_{DD}=+5V\pm 10\%$, $AV_{SS}=DV_{SS}=-5V\pm 10\%$, $AGND=DGND=0V$, $f_{CLKIN}=4.096MHz$ 、入力レベルはロジック0=0V、ロジック1= DV_{DD})

パラメータ	T_{min} , T_{max} での制限値 (A,B,Cバージョン)	T_{min} , T_{max} での制限値 (Sバージョン)	単位	条件
$f_{CLKIN}^{3,4}$	200	200	kHz min	マスタ・クロック周波数: 内部ゲート発振器 4.096MHz typ
	5	5	MHz max	
	200	200	kHz min	マスタ・クロック周波数: 外部から供給
	5	5	MHz max	
	t_r^5	50	50	ns max
t_f^5	50	50	ns max	デジタル出力立下り時間。20ns typ
t_1	0	0	ns min	SC1, SC2-CAL HIセットアップ時間
t_2	50	50	ns min	CALがHIになった後のSC1, SC2ホールド時間
t_3^6	1000	1000	ns min	SLEEP HI-CLKIN HIセットアップ時間
SCC モード				
t_4^7	$3/f_{CLKIN}$	$3/f_{CLKIN}$	ns max	データ・アクセス時間 (\overline{CS} LOW~データ有効)
t_5	100	100	ns max	SCLK 立下りエッジ~データ有効遅延(25ns typ)
t_6	250	250	ns min	MSB データ・セットアップ時間。380ns typ
t_7	300	300	ns max	SCLK HI パルス幅。240ns typ
t_8	790	790	ns max	SCLK LOW パルス幅。730ns typ
t_9	$1/f_{CLKIN}+200$	$1/f_{CLKIN}+200$	ns max	SCLK 立下りエッジ~ 高インピーダンス遅延($1/f_{CLKIN}+100ns$ typ)
$t_{10}^{8,9}$	$(4/f_{CLKIN})+200$	$(4/f_{CLKIN})+200$	ns max	\overline{CS} HI~高インピーダンス遅延
SEC モード				
f_{SCLK}	5	5	MHz max	シリアル・クロック入力周波数
t_{i1}	50	50	ns min	SCLK 入力 HI パルス幅
t_{i2}	180	180	ns min	SCLK LOW パルス幅
$t_{i3}^{7,10}$	160	160	ns max	データ・アクセス時間 (\overline{CS} LOW~データ有効)。 80ns typ
t_{i4}^{11}	150	150	ns min	SCLK 立下りエッジ~データ有効遅延。75ns typ
t_{i5}^8	250	250	ns min	\overline{CS} HI~高インピーダンス遅延
t_{i6}^8	200	200	ns min	SCLK 立下りエッジ~高インピーダンス遅延。 100ns typ

- 注
- 仕様保証のため+25°Cでサンプリング試験が施されています。入力信号は $t_r=t_f=5ns$ (+5Vの10%~90%)で規定され、1.6Vの電圧レベルからの時間で計測されています。
 - 図1-6を参照。
 - クロック入力のデューティ・サイクル範囲は20%~80%です。CLKINはAD7703がスリープ・モードでない時は常に供給しなければなりません。この状態でクロック入力がない場合には仕様より高い電流が流れ、未校正の状態になることがあります。
 - AD7703は $f_{CLKIN}=4.096MHz$ で製造試験が行われています。200kHzで仕様動作するよう特性が保証されています。
 - その波形の10%および90%ポイントの使用で規定されています。
 - SLEEPピンを使用して数個のAD7703を同期動作させるためにはこの仕様を適用します。
 - t_4 と t_{i3} は図1の負荷回路で測定され、出力が0.8Vまたは2.4Vに達するまでに必要な時間として定義されています。
 - t_5 , t_{i4} , t_{i5} , t_{i6} は図1の負荷回路でデータ出力が0.5V変化するまでに必要な時間として計測されています。測定で得られた値は100pFのコンデンサの充放電の影響を取り除くために外挿されます。したがってこのタイミング特性表に表示されているタイミングはこのデバイスの真のバス解放時間であり、外部バスの負荷容量とは無関係です。
 - 20ビット・データが出力される前に \overline{CS} がHIに戻った場合には、SDATAとSCLK出力は現在のデータ・ビットを完了し、その終了後に高インピーダンスに戻ります。
 - DRDYと非同期に \overline{CS} がアクティブになり、それがDRDYが4クロック・サイクルだけHIの期間に発生した場合には \overline{CS} 信号は認識されません。伝搬遅延時間は4CLKINサイクル+160nsです。非同期 \overline{CS} での正しいSDATAの駆動を保証するには、 \overline{CS} がLOWになってから4CLKINサイクル+160nsの期間より早くSCLK入力をHIにすべきではありません。
 - SDATAはSCLK入力の立下りエッジでクロックアウトされます。

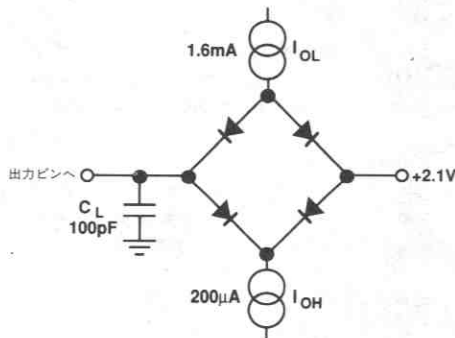


図1. アクセス時間および
バス放棄時間測定用負荷回路

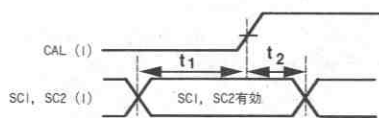


図2. 較正コントロール・タイミング

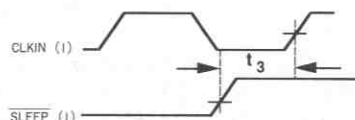


図3. SLEEPモード・タイミング

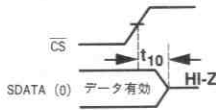


図4. SSCモード・データ・ホールド時間

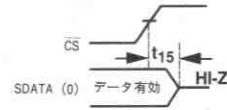


図5a. SECモード・データ・ホールド時間

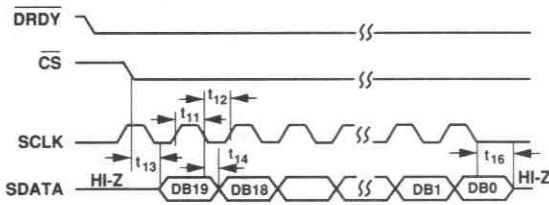


図5b. SECモード・タイミング図

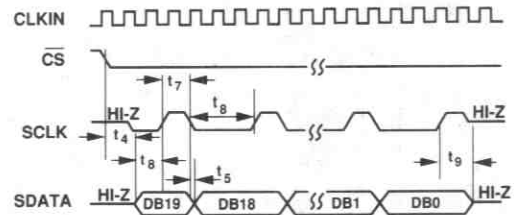


図6. SSCモード・タイミング図

用語の説明

直線性誤差

伝達関数のエンドポイントを通る直線からの任意のコードの最大偏差の測定値をLSBで表わしたものです。伝達関数のエンドポイントとは、最初のコード遷移(000...000から000...001)から0.5LSB下の点であるゼロ・スケール(バイポーラ・ゼロとは異なります)と、最後の遷移点(111...110から111...111)から0.5LSB上の点であるフルスケールを意味しています。この誤差はフルスケールの%で表わします。

微分直線性誤差

微分直線性誤差は任意の2つの隣接するコード間で測定された実際の幅と理想的な(1LSB)幅との差です。±1LSB以下の微分直線性仕様が単調増加性を保証します。

正のフルスケール誤差

正のフルスケール誤差は最後の遷移点(111...110から111...111)の理想値($V_{REF} - 3/2LSB$)からの偏差です。この誤差は正負両方のアナログ入力範囲に適用され、 μV で表わします。

ユニポーラ・オフセット誤差

ユニポーラ・オフセット誤差は、ユニポーラ・モードで動作している時の最初のコード遷移の理想値($AGND + 0, 5LSB$)からの偏差です。この誤差は μV で表わします。

バイポーラ・ゼロ誤差

バイポーラ・ゼロ誤差はバイポーラ・モードで動作しているときのミッド・スケール遷移(0111...111から1000...000)の理想値($AGND - 0, 5LSB$)からの偏差です。この誤差は μV で表わします。

負のバイポーラ・フルスケール誤差

バイポーラ・モードで動作している時の最初のコード遷移の理想値($-V_{REF} + 0.5LSB$)からの偏差です。この誤差は μV で表わします。

正のフルスケール・オーバーレンジ

正のフルスケール・オーバーレンジは、 $+V_{REF}$ を越える入力電圧(例えばシステムの較正処理ルーチンでシステムのゲイン誤差のために発生したノイズ・ピークや過電圧)を、アナログ変調器に対する過負荷やデジタル・フィルタのオーバーフローによる誤差を生じることなく取扱うためのオーバーヘッドです。この値はmVで表わされます。

負のフルスケール・オーバーレンジ

負のフルスケール・オーバーレンジは $-V_{REF}$ 以下の入力電圧を、アナログ変調器に対する過負荷やデジタル・フィルタのオーバーフローによる誤差を生じることなく取扱うためのオーバーヘッドです。アナログ入力にユニポーラ・モード動作時であっても負の電圧ピークを受け入れることに注意してください。この値はmVで表わされます。

オフセット較正範囲

システム較正モード($SC2 = LOW$ のとき)では、AD7703は A_{IN} ピンに関するオフセットの較正を行います。オフセット較正範囲の仕様はAD7703が処理可能で、正しくオフセット較正を行うことのできる範囲の電圧を定義します。この値は V_{REF} の%として表わされます。

フルスケール較正範囲

AD7703がシステム較正モードで処理可能な範囲にあり、正しくフルスケールを較正することのできる電圧範囲です。

入カスパン

システム較正手順では、AD7703のアナログ入力に2つの電圧を順に加えることにより、アナログ入力範囲が決まります。入カスパンの仕様はAD7703が処理可能であり、ゲインを正確に較正することのできる範囲内の、ゼロからフルスケールまでの最大と最小の入力電圧を定義します。入カスパンは V_{REF} の%で表わされます。

概要説明

AD7703はデジタル・フィルタ付きの20ビットA/Dコンバータで、化学、物理、あるいは生物学的なプロセスのようなダイナミック・レンジが広く低周波の信号の測定を目的として設計されています。AD7703は、チャージ・バランス（シグマ・デルタ）ADC、スタティックRAM内蔵の較正用マイクロ・コントローラ、クロック発振器とシリアル通信ポートを備えています。

AD7703へのアナログ入力信号は、CLKINピンに入力されるマスタ・クロックの周波数によって決まる速度で連続的にサンプリングされます。チャージ・バランスA/Dコンバータ（シグマ・デルタ変調器）がサンプリングされた信号を、デューティ・サイクルにデジタル情報を含んだデジタル・パルス列に変換します。変調器の出力は6極のガウシアン・デジタル・ローパス・フィルタによって処理され、20ビット出力レジスタを4kHzレートで更新します。出力データはシリアル・ポートを通して4kHz以下の速度でランダムまたは周期的に読出すことができます。

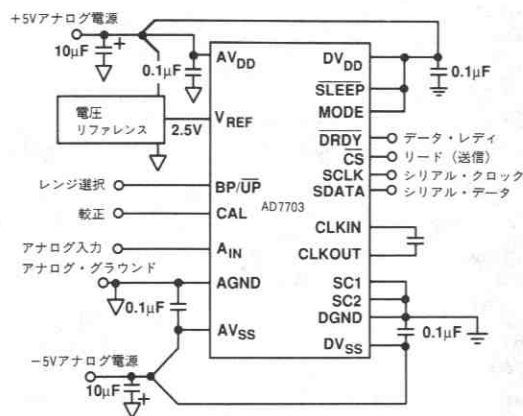


図7. 代表的なシステム接続図

AD7703は、較正用マイクロ・コントローラと較正パラメータを格納するためのSRAMを用いた自己較正機能を備えています。較正サイクルはCAL制御入力を使用することによって任意のタイミングで開始することができます。

他のシステム部品も較正ループに含めることができ、入力チャネルのオフセットとゲイン誤差を除去することができます。

バッテリー動作にAD7703はスタンバイ・モードを備えており、アイドル時の消費電力を10µW typに抑えることもできます。

動作原理

シグマ・デルタ型ADCの一般的なブロック図を図8に示します。これには以下の要素が含まれています。

1. サンプル・ホールド・アンプ
2. 差動アンプあるいは減算器
3. アナログ・ローパス・フィルタ
4. 1ビットA/Dコンバータ（コンパレータ）
5. 1ビットDAC
6. デジタル・ローパス・フィルタ

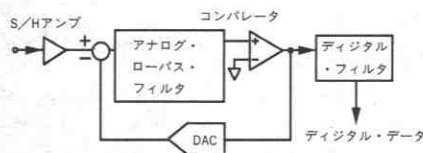


図8. 一般的なシグマ・デルタ型ADC

サンプリングされたアナログ信号が1ビットDACの出力とともに減算器に入力されます。差分信号はフィルタされた後コンパレータに入力され、このコンパレータの出力によりアナログ信号のサンプリング周波数の何倍もの周波数で差分信号のサンプリングを行います（オーバーサンプリング）。

オーバーサンプリングはシグマ・デルタ型ADCの動作の基本です。ADCの量子化ノイズの公式を使用すると、SNRは以下のように表わされます。

$$\text{SNR} = (6.02 \times \text{ビット数} + 1.76) \text{ dB}$$

上式から1ビットADCあるいはコンパレータのSNRは7.78dBとなります。

AD7703は入力信号を16kHzでサンプリングするため、量子化ノイズは0~8kHzに分布します。AD7703のアナログ入力帯域幅の仕様はわずか0~10Hzであるため、ノイズ・エネルギーがスペクトラム全体に均一に分布しているとしても、仕様帯域幅におけるエネルギーは全量子化ノイズの1/800に過ぎません。変調器ループ内のアナログ・フィルタによって、量子化ノイズ成分のノイズ・エネルギーのほとんどは10Hz以上の周波数に分布するため、ノイズはさらに減少します。このようにして0~10Hzの範囲でのSNR特性は20ビットのレベルに調整されます。

コンパレータの出力は1ビットDACのデジタル入力に与えられ、差分信号を最小にする負帰還ループとしてシステムは機能します。アナログ入力電圧に対応するデジタル・データは、コンパレータ出力に現われるパルス列のデューティ・サイクルとして保持されます。このデータはデジタル・フィルタによって並列バイナリ・データ・ワードに復元されます。

シグマ・デルタ型ADCは、一般的にアナログ・ローパス・フィルタの次数により説明されます。簡単な1次のシグマ・デルタ型ADCを図8に示します。この回路には1次のローパス・フィルタまたは積分器しか含まれていません。

AD7703では2次のシグマ・デルタ変調器と最新のデジタル・フィルタを用いることにより、均一化したサンプリング出力が得られます。電源投入後または入力電圧に階段状の変化がある場合には、有効データが得られる前にセトリック時間を置かなければなりません。

デジタル・フィルタ処理

AD7703のデジタル・フィルタはいくつかのマイナーな違いを除き同様のアナログ・フィルタと同じように動作します。

まず、デジタル・フィルタ処理がアナログからデジタルへの変換プロセスの後に行われるため、変換プロセス中に注入されるノイズを除去することができます。これはアナログ・フィルタ処理では不可能です。

逆に、アナログ・フィルタ処理ではアナログ信号に重畳されたノイズをADCに到達する前に除去することができます。これはデジタル・フィルタ処理では不可能です。また信号に乗ったフルスケール付近のノイズ・ピークにより、信号の平均値が制限値以下の場合であってもアナログ変調器やデジタル・フィルタを飽和させる恐れがあります。この問題を軽減するため、AD7703では100mVまでのオーバーレンジの余裕をシグマ・デルタ変調器とデジタル・フィルタに組込んであります。ノイズ信号がこの余裕よりも大きい場合、アナログ入力フィルタの使用やフルスケール入力(2.5V)がAD7703への半分のスケールの入力(1.25V)となるように入力チャネルのゲインを低減させるよう配慮が必要です。これによってダイナミック・レンジを1ビット(50%)減少させることで、100%を越えるオーバーレンジ能力を得ることができます。

フィルタ特性

デジタル・フィルタのカットオフ周波数は $f_{CLK}/409600$ です。最大クロック周波数4.096MHzでは、このフィルタのカットオフ周波数は10Hz、出力レートは4kHzです。

図9にフィルタの周波数応答を示します。この特性はカットオフ周波数10Hzのとき60Hzで55dBの除去比が得られる6極のガウス応答です。5Hzのカットオフのためクロック周波数を半分にする場合には60Hzの除去比は90dBを越えます。

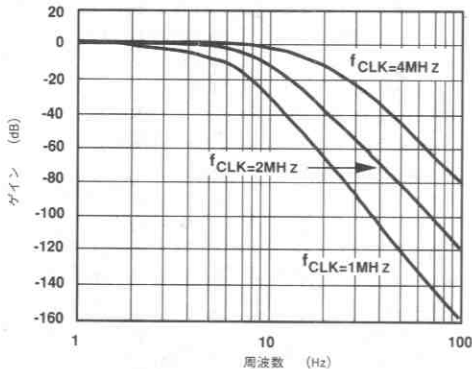


図9. AD7703フィルタの周波数応答

AD7703はローパス・フィルタを内蔵しているため、ステップ関数入力に対するセトリング時間が存在し、そのセトリング時間が経過するまではステップ変化後のデータは無効となります。このため、チャンネル切替えと変換が高速に連続するようなマルチプレクス処理は、AD7703には適していません。チャンネル間切替えにより、入力にステップ変化が生じる可能性があります。しかし、新しいチャンネルのデータにアクセスする前にセトリング時間が過ぎるまで待つことのできるような低速のマルチプレクス処理ならば実行可能です。

ステップ入力変化に対するAD7703の出力セトリング時間を図10に示します。ガウス応答はオーバーシュートなしの高速セトリング特性を持ち、 $\pm 0.0007\%$ に対するセトリング時間の最悪値は、4.096MHzのマスタ・クロック周波数で125msです。

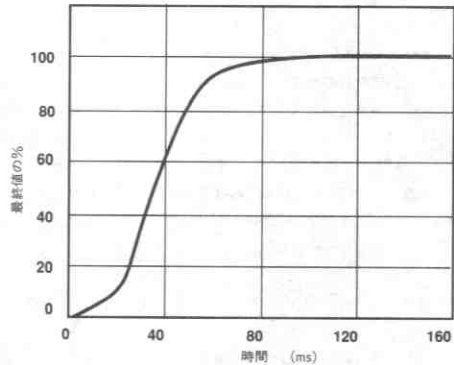


図10. AD7703のステップ応答

AD7703の使用

システム設計上の注意

AD7703の動作は、逐次比較型ADCや他の積分型ADCとは異なります。AD7703はトラッキングADCと同じように信号を連続的にサンプリングするため、変換開始コマンドは必要ありません。20ビット出力レジスタは4kHzレートで更新され、出力の読み出しは、同期または非同期で任意のタイミングで可能です。

クロック

AD7703はマスタ・クロック入力が必要とし、これは外部TTL/CMOSコンパチブルのクロック信号で、CLKINピンに印加します(CLKOUTは使用しません)。あるいは正確な周波数の水晶をCLKINとCLKOUTの間に接続し、クロック回路を水晶発振回路として動作させます。

図11にゲート発振器の簡略モデル、そして表IIに種々の共振器と使用するコンデンサの代表値を示します。

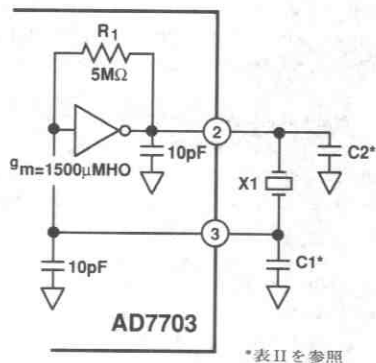


図11. 内蔵のゲート発振器

共振器	C1	C2
セラミック		
200kHz	330pF	470pF
455kHz	100pF	100pF
1.0MHz	50pF	50pF
2.0MHz	20pF	20pF
クリスタル		
2.000MHz	30pF	30pF
3.579MHz	20pF	20pF
4.096MHz	—	—

表II. 共振器の負荷抵抗値

入力サンプリング周波数、出力データ・レート、フィルタ特性と較正時間は仕様に表示比率でマスタ・クロック周波数 f_{CLKIN} と直接的に関係します。したがって、AD7703の応用システムの設計における最初のステップは、帯域幅と出力データ・レートのために必要なマスタ・クロック周波数を決定することです。

アナログ入力範囲

AD7703は外部から供給されるリファレンス電圧を基準に変換を行うため、レシオメトリック動作のシステムと容易にインタフェースすることができます。さらに、ユニポーラまたはバイポーラ入力電圧範囲をBP/ \overline{UP} 入力により指定することができます。BP/ \overline{UP} 入力をLOWにすると入力範囲はユニポーラとなり、入力スパンは $(V_{REF}-V_{AGND})$ となり、 V_{AGND} はAGNDピンの電圧です。BP/ \overline{UP} 入力をHIにすると入力範囲はバイポーラとなり、入力スパンは $2V_{REF}$ となります。バイポーラ・モードでは正負両方のフルスケールは V_{REF} によって直接決まります。このことにより、単に入力レンジをスケールおよびオフセットするバイポーラ方式よりも正負のフルスケールの追従性とミッド・スケール（バイポーラ・ゼロ）安定性が向上します。

ユニポーラ範囲のデジタル出力コードはユニポーラ・バイナリです。バイポーラ範囲ではオフセット・バイナリとなります。ユニポーラおよびバイポーラ・モードでのビットの重み付けを表Iに示します。

精度

VFCや他の積分型ADCと同じようにシグマ・デルタ型ADCには非単調増加性の要因がなく、原理的にミス・コードが存在しません。AD7703は非常に低い容量/電圧係数をもった高品質のオンチップSiO₂コンデンサを使用しています。AD7703はその入力段にチョッパ安定化技術を使うことで低い入力ドリフトを達成しています。対時間および温度性能を保証するために、AD7703ではデジタル較正技術によりオフセットとゲイン誤差を $\pm 4LSB$ typに抑えています。

自動較正

AD7703には自己較正とシステム較正の2つの機能があります。較正に際しては、マイクロコントローラで変調器の出力を2つの異なる入力条件について記録する必要があります。これはゼロスケールとフルスケール点です。ユニポーラ自己較正モードではゼロスケール点が V_{AGND} で、フルスケール点が V_{REF} です。この読取り動作でマイクロコントローラは入出力伝達関数のゲイン・スロープを計算できます。ユニポーラ・モードでは、スロープ・ファクターはゼロとフルスケール間のスパンを 2^9 で除算することで決定されます。バイポーラ・モードでは、印加入力がトータル・コードの半分を示すに過ぎないので、スパンを 2^9 で割って決定します。ユニポーラ/バイポーラの両モードでは、アナログ入力をデバイスに与えるときバイナリ出力コードの計算にスロープ・ファクターを使用します。表IVに較正後の出力コード・サイズを示します。

システム較正によってAD7703のシステム・ゲインおよびオフセット誤差の補正を行いません。代表的な使用回路を図12に示します。

システム較正は自己較正と同じスロープ・ファクター計算を行いますが、ゼロおよびフルスケール点として A_{IN} ビンに対してシステムの電圧値を使用します。2つのシステム較正モードがあります。

最初のモードはシステム・オフセットとゲインについてシステム・レベルの較正を行いません。これには2段階の動作があります。ゼロスケール点の電圧を先づコンバータに与える必要があります。較正手順を開始する前にコンバータにこの電圧を与えますが、手順が完了するまで電圧は安定化しておく必要があります。デバイスからの \overline{DRDY} 出力は、それをLOWにすることで手順が完了する信号です。ゼロスケール点を較正した後にはフルスケール点の電圧を与え、2回目の較正手順を開始します。ここでも較正手順の間は電圧を安定化しておく必要があります。

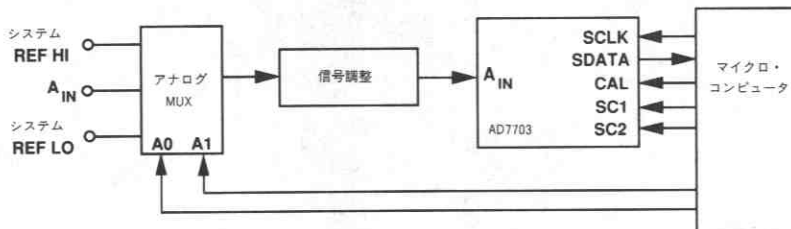


図12. システム較正の代表的な接続

2段階の較正モードによって別の特長（機能）が得られます。シーケンスの終了後、もう一つのオフセット較正を行ないゼロ・リファレンス点を新しくシステム・ゼロ・リファレンス値に調整することができます。この2番目のシステム較正モードではゼロスケール較正点として入力電圧を使用しますが、フルスケール点については V_{REF} の値を使用します。

較正の初期化

表IIIに使用可能な較正モードを示します。この表にはBP/ \overline{UP} ピン（コンバータがバイポーラあるいはユニポーラ信号の計測用に較正されるかを決定）の機能は入っていません。較正手順はCALピンを少なくとも4CLKINサイクルHIにすることで開始し、その後再びLOWにします。BP/ \overline{UP} ピンとともにSC1とSC2のステートで較正のタイプを決めます。3つの信号はすべてCALピンがHIになるまで安定化しておく必要があります。CALがHIになるとSC1とSC2入力はラッチされます。BP/ \overline{UP} 入力はラッチされません。したがって、較正および計測サイクルの間ステートを固定しておく必要があります。任意の時点でBP/ \overline{UP} のステートは変わります。新しい較正サイクルによってAD7703を新しいモードで適切に機能させて下さい。較正手順が開始すると、 \overline{DRDY} 信号はHIになり、手順が終了するまでHIの状態を保ちます。表IIIに各較正に必要なクロック・サイクル数を示します。一度較正手順を開始すると、新しく較正手順を実行するまで完了させて下さい。2段階のシステム較正モードでは、ゲイン較正手順の前に先づオフセット較正手順から始めて下さい。

自己較正が完了すると \overline{DRDY} はLOWになり、出力ポートはアナログ入力信号を示すデータ・ワードでアップデートされます。システム較正手順が完了すると、 \overline{DRDY} はLOWになり、出力ポートは適切なデータ値（ゼロスケール点ではオール0、フルスケール点ではオール1）でアップデートされます。システム較正モードでは、出力コードがアナログ入力信号の値を示す前にデジタル・フィルターをセトリングさせる必要があります。表IVとVに各種モードのAD7703の出力コード・サイズと出力コーディングを示します。この表中 S_{OFF} は計測システム・オフセット（V）で、 S_{GAIN} はフルスケール点での計測システム・ゲイン（V）です。

スパンおよびオフセットのリミット値

システム較正モードを使用すると常にオフセットおよびスパン量に限界があります。ユニポーラとバイポーラ両モードの入力スパン・レンジは最小で $0.8V_{REF}$ 、最大で $2(V_{REF}+0.1V)$ です。

対応可能なオフセット量はユニポーラまたはバイポーラのどちらを使用しているかで変わります。ユニポーラ・モードでは、システム較正モードで最大オフセット $0.2V_{REF}$ そして最小オフセット $-(V_{REF}+0.1V)$ とすることが可能です。このようにユニポーラ・モードではAD7703をバイポーラ動作のようにして較正することができます。

CAL	SC1	SC2	較正方式	ゼロスケール較正	FS較正	手順	較正時間
	0	0	自己較正	AGND	V_{REF}	1ステップ	3,145,655クロック・サイクル
	1	1	システム・オフセット	A_{IN}	-	第1ステップ	1,052,599クロック・サイクル
	0	1	システム・ゲイン	-	A_{IN}	第2ステップ	1,068,813クロック・サイクル
	1	0	システム・オフセット	A_{IN}	V_{REF}	1ステップ	2,117,389クロック・サイクル

注
較正手順中 \overline{DRDY} はHIに保ちます。自己較正モードではAD7703がアナログ入力に対しセトリングを終わると \overline{DRDY} はLOWになります。他のモードではAD7703がセトリングを開始すると \overline{DRDY} はLOWとなります。

表III. 較正の真値表

較正モード	ゼロスケール	ゲイン・ファクター	1LSB	
			ユニポーラ	バイポーラ
自己較正	V_{AGND}	V_{REF}	$\frac{(V_{REF}-V_{AGND})}{1048576}$	$\frac{2(V_{REF}-V_{AGND})}{1048576}$
システム較正	S_{OFF}	S_{GAIN}	$\frac{(S_{GAIN}-S_{OFF})}{1048576}$	$\frac{2(S_{GAIN}-S_{OFF})}{1048576}$

表IV. 較正後の出力コード・サイズ

入力電圧(ユニポーラ・モード)			入力電圧(バイポーラ・モード)	
システム校正	自己校正	出力コード	自己校正	システム校正
$> (S_{GAIN} - 1.5LSB)$	$> (V_{REF} - 1.5LSB)$	FFFFF	$> (V_{REF} - 1.5LSB)$	$> (S_{GAIN} - 1.5LSB)$
$S_{GAIN} - 1.5LSB$	$V_{REF} - 1.5LSB$	$\frac{FFFFF}{FFFFE}$	$V_{REF} - 1.5LSB$	$S_{GAIN} - 1.5LSB$
$(S_{GAIN} - S_{OFF})/2 - 0.5LSB$	$(V_{REF} - V_{AGND})/2 - 0.5LSB$	$\frac{80000}{7FFFF}$	$V_{AGND} - 0.5LSB$	$S_{OFF} - 0.5LSB$
$S_{OFF} + 0.5LSB$	$V_{AGND} + 0.5LSB$	$\frac{00001}{00000}$	$-V_{REF} + 0.5LSB$	$-S_{GAIN} + 2S_{OFF} + 0.5LSB$
$< (S_{OFF} + 0.5LSB)$	$< (V_{AGND} + 0.5LSB)$	00000	$< (-V_{REF} + 0.5LSB)$	$< (-S_{GAIN} + 2S_{OFF} + 0.5LSB)$

表V. AD7703の出力コード

バイポーラ・モードではシステム・オフセット校正レンジは $\pm 0.4V_{REF}$ に制限されます。スパンの制限によって校正できるオフセット量が制限される点に注意して下さい。バイポーラ・モードでのコンバータのスパン・レンジはゼロスケール点として使用している電圧と等距離にあります。ゼロスケール点の校正時に、バイポーラ伝達関数の2つのエンドポイントのどちらかが正または負の入力オーバーレンジ・ポイント($+V_{REF} + 0.1V$ または $-V_{REF} + 0.1V$)を超えないように注意が必要です。スパン・レンジが最小の($0.8V_{REF}$)に設定されていれば、伝達関数のエンドポイントがオーバーレンジ・ポイントを超えることなく、オフセット電圧は $\pm 0.4V_{REF}$ とすることができます。また、スパン・レンジが $2V_{REF}$ に設定されていれば、伝達関数のエンドポイントが入力オーバーレンジ・リミットを超えないうちに入力オフセットを $+0.1V$ または $-0.1V$ 以上とすることはできません。

電源投入と校正

デバイスを一貫した開始条件に初期化し校正を正しく行なうため、電源投入後、校正サイクルを1度実行する必要があります。CALピンは最低4クロック・サイクルの間HIに保たなければなりません。その後CALの立下りエッジで校正が開始され、最大3,145,655クロック・サイクル(4,096MHzクロックで約768ms)かかります。表IIIを参照ください。

図13に電源投入時にCAL入力をHIにするための簡単なRC回路を示します。この回路が正しく動作するためには電源は発振なしにきれいに立上がる必要があります。そうでなければAD7703のすべての内部回路がこのリセット・パルスを同時に受取ることができません。RC回路とCAL入力の間にシュミット・トリガを挿入しきれいなパルスを発生させればこの回路の動作はより確実となります。電源投入後、出力データにアクセスする前に、フィルタのセトリング時間(507,904クロック・サイクル)のため待つ必要があります。転送データは4kHzの速度で読出すことができます。

表IIIに示すように、CALにより開始される校正サイクルの形式はSC1およびSC2入力により決まります。

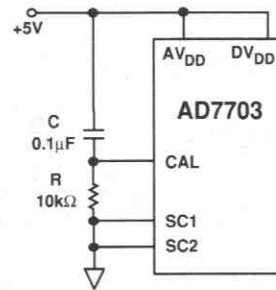


図13. パワーオン・リセット回路

ドリフト

AD7703ではチョップ安定化技術によって入力オフセット・ドリフトを最小化しています。アナログ・スイッチの電荷注入とサンプリング・ノードのリーク電流がオフセット・ドリフトの主要因です。25°Cでの校正後の温度変化による代表的なオフセット特性を図14に示します。ドリフトは75°Cまでは比較的フラットです。この温度を越えると、リーク電流がドリフトの主要因となります。リーク電流は10°C上昇毎に約2倍となり、オフセット・ドリフトもこれに従います。サンプル・コンデンサの電圧値はマスター・クロックの設定レートでアップデートされます。したがって、発生するオフセット・ドリフト量はサンプル間の経過時間に比例します。そこで、高温でオフセット・ドリフトを最小化するには、CLKINレートを高くするようにして下さい。

コンバータのゲイン・ドリフトは主として内部コンデンサの温度トラッキングに依存します。これはリーク電流の影響を受けないので、オフセット・ドリフトより大幅に低い値となります。AD7703の代表ゲイン・ドリフト値は規定温度範囲で40LSB以下です。

オフセット・ドリフトまたはゲイン・ドリフトによる計測誤差はコンバータの再校正で任意の時点で除去できます。システム校正モードで信号調整回路のオフセットとゲイン誤差を最小化することも可能です。積分および微分非直線性は温度変化によって大きくは影響を受けません。

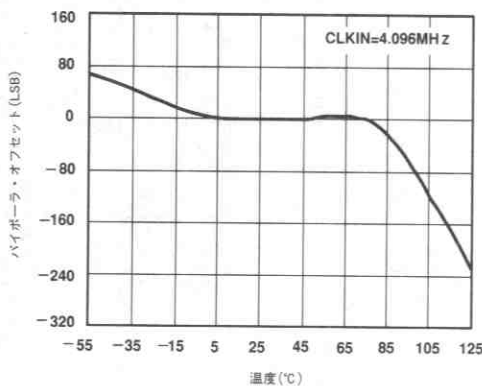


図14. 代表的なバイポーラ・オフセットの温度変化 (25°Cでの較正後)

入力信号の調整

AD7703では性能にほとんど影響を与えずに+1V~+3Vのリファレンス電圧を使用できます。このリファレンス電圧の範囲で対応できない入力範囲については、入力信号の調整により対応できます。これは、より小さな信号範囲にはゲイン調整、大きな入力電圧範囲には分圧という方法で行われます。

信号源抵抗

AD7703の前段に分圧器を使用する場合には、信号源インピーダンスが十分に低くなるように注意が必要です。AD7703のアナログ入力の直流入力抵抗は1GΩ以上です。この抵抗に並列にクロック周波数に同期して変化する小さなダイナミック負荷があります (図15を参照)。

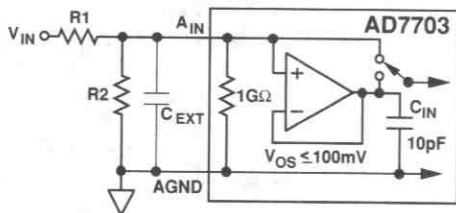


図15. 入力等価回路と入力分圧器

アナログ入力がサンプリングされるごとに、 $f_{CLKIN}/256$ 周波数でアナログ信号源から10pFのコンデンサへ最大1pC ($10\text{pF} \times 100\text{mV}$)の電荷が流れ込みます。CLKIN入力に4,096MHzのクロックが与えられている場合、流れ込む平均電流は16nAとなります。毎回のサンプリングのあと、AD7703は入力電圧がセトリングするのに62クロック周期が可能です。セトリング時間を定義する式は以下のようになります。

$$V_O = V_{IN} [1 - e^{-t/RC}]$$

ここで

V_O は最終的なセトリング電圧値

V_{IN} は入力信号値

Rは入力信号源抵抗

Cは10pFのサンプル・コンデンサ

tは $62/f_{CLKIN}$

です。

この式から、誤差 V_E に対し使用可能な最大の信号源抵抗 $R_{S(MAX)}$ が導かれます。

$$R_{S(MAX)} = \frac{62}{f_{CLKIN} \cdot (10\text{pF}) \cdot \ln(100\text{mV}/V_E)}$$

信号源抵抗がこの値より小さい場合には、アナログ入力には必要な62クロック・サイクルで希望の誤差範囲以内でセトリングします。セトリングが十分でないとオフセット誤差が生じます。これらはシステム較正により較正可能です。

最大オフセット電圧のために600nV (20ビットで0.25LSB)の制限が設定された場合、浮遊容量がないとすれば容認できる最大の信号源抵抗は上式から125kΩとなります。

AD7703の前段にRCフィルタを接続し、高周波ノイズを減少させることができます。 A_{IN} とAGNDとの間に外部コンデンサを接続する場合には、容認できる最大の信号源抵抗は以下の式で示されます。

$$R_{S(MAX)} = \frac{62}{f_{CLKIN} \cdot (C_{IN} + C_{EXT}) \cdot \ln \left[\frac{100\text{mV} \cdot C_{IN}}{V_E (C_{IN} + C_{EXT})} \right]}$$

信号源抵抗の最大値の実際の制限は熱 (ジョンソン) ノイズです。実際の抵抗は、理想的な (ノイズを発生しない) 抵抗と直列に接続されたノイズ電圧源または並列のノイズ電流源としてモデル化されます。

$$V_n = \sqrt{4kTRfV}$$

$$i_n = \sqrt{4kTf/RA}$$

ここで、

kはボルツマン定数 ($1.38 \times 10^{-23}\text{J/K}$)、

Tは温度 °K、($^{\circ}\text{C} + 273$) です。

オペアンプなどの能動的な信号調整回路は通常、高インピーダンスの問題から逃れることができません。オペアンプのオープン・ループ出力抵抗は通常数10Ωオーダーと低く、最近のほとんどの汎用オペアンプは十分に高速のクローズ・ループ・セトリング特性を備えているためこの点に関しては問題はありません。オペアンプのオフセット電圧はシステム較正ルーチンにより除去できます。

アンチエリアシングに関する考慮

AD7703のデジタル・フィルタはサンプリング周波数の整数倍の成分 ($n f_{CLKIN}/256$, $n=1, 2, 3, \dots$) に対する除去をもちません。

4,096MHzのマスター・クロックでは16kHz、32kHz、48kHz等において狭い ($\pm 10\text{Hz}$) 通過帯域があり、この帯域ではノイズは減衰なしに出力されます。

しかしAD7703では800という高いオーバーサンプリング比 (16kHz \sim 20Hz) をもつため、これらの通過帯域は全成分中小きな要素にし過ぎなくなり、広帯域ノイズのほとんどはフィルタされます。

広帯域ノイズの減衰は以下の式で表わされます。

$$e_{OUT} = e_{IN} \sqrt{2f_c / f_s} = 0.035 e_{IN}$$

ここで e_{IN} と e_{OUT} は入力換算のrmsノイズ、

f_c はフィルタの-3dBコーナー周波数 ($f_{CLKIN}/409600$)、

f_s はサンプリング周波数 ($f_{CLKIN}/256$)です。

f_s と f_{CLKIN} の比が固定されているため、マスタ・クロック周波数と関係なしにデジタル・フィルタによって広帯域のホワイト・ノイズを96.5%減衰させます。

リファレンス電圧の接続

アナログ入力範囲は V_{REF} ピンへ加えられる電圧により決まります。AD7703の規定リファレンス電圧は2.5Vですが、1~3Vのリファレンス電圧範囲でもほとんど性能を低下させずに動作します。

リファレンス入力にはアナログ入力と正確に同じダイナミック負荷を示しますが、リファレンス入力では信号源抵抗と長いセトリング時間によって、オフセット誤差よりもむしろゲイン誤差を生じます。幸い、ほとんどの高精度リファレンスは十分に低い出力インピーダンスと十分に広い帯域幅を持っており、62クロック・サイクル以内で必要な精度にセトリングします。

AD7703のデジタル・フィルタはアナログ入力からのノイズとまったく同様にリファレンス入力からのノイズを取除きますが、サンプリング周波数の整数倍でノイズ除去できないという制限も同じように適用されます。

10Hz以下にノイズを最小化するようにリファレンスを選択する必要があります。AD7703のノイズの代表値は1.6LSB rmsです。この仕様はクリーンなリファレンスを想定したものです。AD7703に必要な2.5Vを供給するモノリシックのバンドギャップ・リファレンスは数多く販売されています。しかし、いくつかの製品は特に0.1~10Hzの帯域幅でノイズを規定していません。この帯域幅でリファレンスのノイズが過度になると、AD7703の性能が劣化する可能性があります。AD580とLT1019を推奨します。この2.5V出力リファレンスは0.1~10Hz帯域幅で $10\mu V_{p-p}$ 以下の代表ノイズ値をもっています。

グラウンドと電源デカップリング

AGNDはAD7703のグラウンド・リファレンス電圧で、DGNDと完全に独立しています。システムのアナログ・グラウンドに対しAGND入力にノイズが乗ると変換誤差が生じます。したがってAGNDはシステム・グラウンドとして、またアナログ入力とリファレンス電圧のグラウンドとして使用しなければなりません。

デバイスのアナログ部とデジタル部のカップリングを最小化するため、AD7703のアナログ電源とデジタル電源は独立し、分離されてピンに引出してあります。デジタル・フィルタはサンプリング周波数の整数倍の帯域以外の電源からの広帯域ノイズを除去します。したがって2つのアナログ電源はAGNDへ100nFのセラミック・コンデンサを使用してデカップリングし、これらの周波数で電源ノイズを除去しなければなりません。2つのデジタル電源も同じようにDGNDにデカップリングします。

正のデジタル電源 (DV_{DD}) は正のアナログ電源 (AV_{DD}) を0.3V以上越えてはいけません。このため電源投入手順が重要になります。分離されたアナログ/デジタル電源を使用する場合には、アナログ電源を最初に投入するように注意が必要です。

ラッチアップの可能性を避けるため V_{REF} 、 A_{IN} 、ロジック入力ピンなどに信号が加わる前に電源を加えることも重要です。AD7703とシステムのデジタル回路に分離された電源を使用する場合にはAD7703の電源を先に投入します。

±5V電源によるAD7703の電源の代表例をシステム接続図(図7)に示します。この回路では AV_{DD} と DV_{DD} は同一の+5V電源から別々の線で供給されています。したがってここではアナログ電源より前にデジタル電源が立上がる可能性はありません。

スリープ・モード

SLEEP入力をLOWにすることで低消費電力のスタンバイ・モードが開始され、アナログとデジタル回路のすべてがシャットダウンし、消費電力を $10\mu W$ に減少させます。スリープ・モードの場合には(CLKINの生成にクリスタルを使用しているとき) 較正係数を失ってしまう可能性があります。したがって、これをガードするためにスリープ・モードの後に必ず較正サイクルを実行することをお勧めします。

較正係数のバッテリー・バックアップ

AD7703のスタティックRAMに格納されている較正データは電源供給が断たれると必ず失われます。たとえば主電源の入っている装置が他の場所に移動する場合などのように、個々の応用では間欠的な電源切れに対し較正SRAMの内容を保護する必要があります。

図16に、+5V主電源が切れている間SRAMへの電源を保つための簡単なバッテリー・バックアップ回路を示します。電源が切れるとSLEEP入力がLOWとなり、電力消費が $10\mu W$ typに減少し、バッテリーは主電源から切離されます。較正メモリを保持するためには AV_{DD} と DV_{DD} の両方に通電していなければならないことに注意してください。3.6Vのリチウム電池はAD7703のメモリ保持スレッシュホールド電圧である2V以下に降下するまでに1750mA/hの容量をもっています。つまり、スリープ・モードのままで20年間のメモリ保持が可能であり、システム較正は工場一度行えばよいことを意味しています。

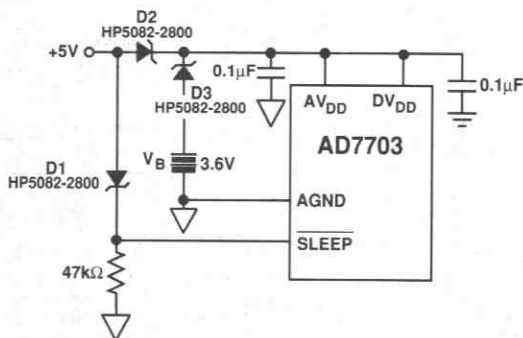


図16. 較正データのバッテリー・バックアップ

この簡単な回路では電源電圧がSLEEPピンのスレッシュホールド以下に落ちるより前に電源電圧がバッテリー電圧以下に落ち、電源がSLEEPピンのロジック0電圧以下に落ちるまでの期間、バッテリーからAD7703の全動作電流の2mAを供給することに注意が必要です。このため電源の断続が頻繁に起きる場合や、例えばシステムに大きな容量の平滑コンデンサが使用されており電源の下降が遅い場合には、バッテリーの過放電を起こします。このような場合には、電源電圧が3.6V以下に落ちる前にSLEEPの電圧が0.8Vに落ちるようにバックアップ回路を設計しなければなりません。

デジタル・インタフェース

AD7703はシリアル通信ポートにより業界標準のマイクロプロセッサと容易に通信することができます。2種類の動作モードが用意されており、異なる形式のインタフェースに適合します。

同期セルフ・クロック・モード (SSC)

SSCモード (MODEピン=HI) では並列データ通信を行なうことのできるシステムのシリアル-パラレル変換回路と容易にインタフェースすることができます。このモードでは74XX299ユニバーサル・シフト・レジスタと追加デコードなしにインタフェース可能です。またSSCモードでは68HC11および68HC05などのマイクロプロセッサとともに使用可能で、シリアル・ポートのクロックに外部デバイスを使用することができます。

図17にSSCモードのタイミング図を示します。データは内部で発生されたシリアル・クロックと同期して出力されます。AD7703は個々のサンプリング間隔を16個の期間に分けます。64クロック・パルスを1期間とする8期間はアナログ・セトリングに、その他の8期間はデジタル演算に充てられます。 \overline{CS} の状態は個々のデジタル演算期間の始まりにポーリングされます。 \overline{CS} がそれらの時間の任意の時点でLOWであればSCLKがアクティブになり、現在出力レジスタに格納されているデータ・ワードはMSBを先頭に送信されます。LSBが送信された後 \overline{DRDY} がHIとなり、SDATAはトライ・ステート状態になります。それまでLOWになっていた \overline{CS} が送信中の任意の時点でHIになると、SDATAとSCLKは現在のビットが終了次トライ・ステート状態になります。 \overline{CS} がその後LOWになると、送信はその後のデジタル演算期間に次のビットから再開されます。送信が開始されず次のデータ・ワードが得られるまで終了しない場合には、新しいワードが出力レジスタにロードされ、 \overline{DRDY} は4クロック・サイクル期間だけHIとなり、その後LOWになります。

SSCモードのより詳細なタイミング図を図18に示します。SCLKの立下りエッジでデータ・ビットが変化し、SCLKの立上りエッジで有効となります。

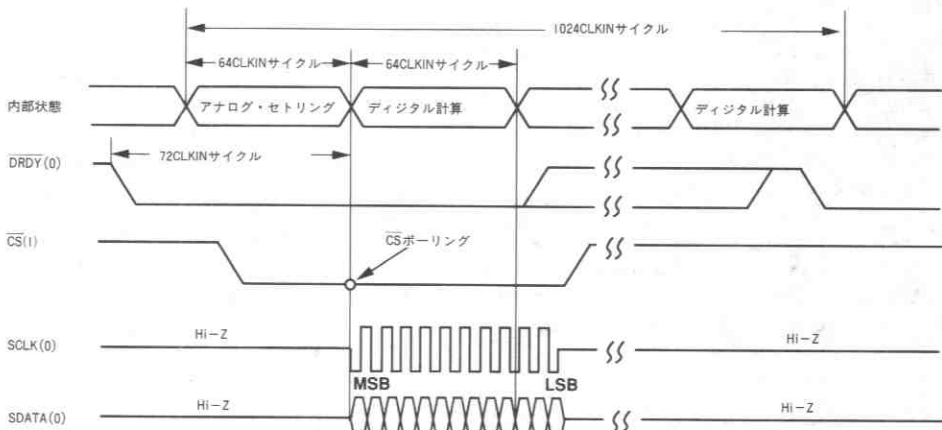


図17. SSCデータ送信モードのタイミング図

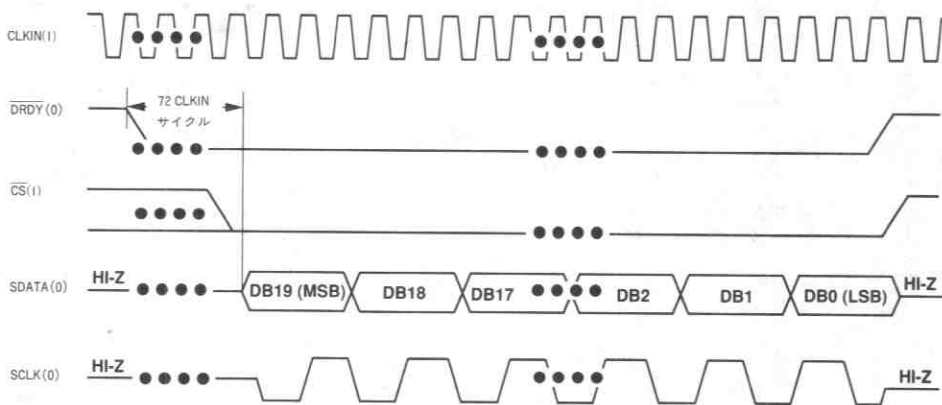


図18. SSCモードのデータとSCLKのタイミング

同期外部クロック・モード (SEC)

SECモード (MODEピンはグラウンドに接続) は68HC11および68HC05などの業界標準マイクロプロセッサの同期シリアル・ポートとの直接インタフェースのために設計されています。またSECモードではAD7703の他のモードとは適合しないマイクロプロセッサのためにI/Oポート・ピンを使用してインタフェースを行なうこともできます。

図19に示すように \overline{CS} の立下りエッジによりMSBを先頭にしたシリアル・データ出力がイネーブルとなります。その後のデータ・ビットは外部から供給されるSCLKの立下りエッジで変化します。LSBが送信された後、 \overline{DRDY} がHIとなり、SDATAがトライ・ステート状態になります。新しいデータ・ワードが用意された時に \overline{CS} がLOWで、AD7703がまだデータを送信している場合には古いデータ・ワードの送信が継続され、新しいデータは失われます。

送信中に \overline{CS} がHIになると、SDATAとSCLKはすぐにトライ・ステート状態になります。 \overline{CS} がLOWに戻ると、AD7703は同じデータ・ビットから送信を続けます。次のデータ・ワードが得られるまでに送信が開始しないかあるいは終了しないとき、 \overline{CS} がHIならば新しいワードが出力レジスタにロードされ、 \overline{DRDY} は4クロック・サイクル期間だけHIになります。

デジタル・ノイズと出力ローディング

前にも述べたように、AD7703は内部タイミングをアナログ・サンプリングとセトリング期間、そしてデジタル演算の2段階に分けています。SSCモードではデータはデジタル演算期間のみに送信され、アナログ特性へのデジタル・ノイズの影響を最小限に抑えています。SECモードではデータ送信は外部制御されるため、この自動保護機能はありません。これを補償するために、SECモード使用時にはCLKINを介してAD7703をデジタル・システム・クロックに同期させる必要があります。

どの動作モードでも回路のアナログ部とデジタル部間のクロストークを除去するため、デジタル出力における抵抗性および容量性負荷は最小にする必要があります。この理由から4000シリーズや74CファミリなどのローパワーCMOSロジックの使用を推奨します。

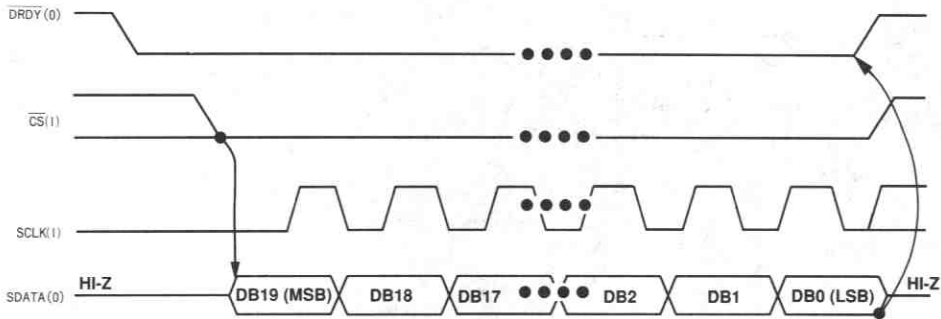


図19. SECモードのタイミング図

オーダ・ガイド

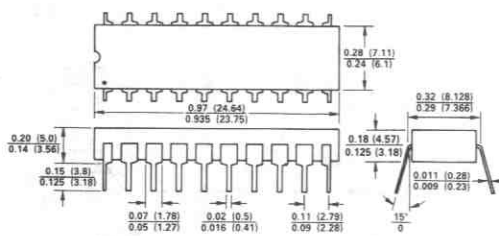
モデル	温度範囲	直線性誤差 (% FSR)	パッケージ・ オプション ¹
AD7703AN	-40°C ~ +85°C	0.003	N-20
AD7703BN	-40°C ~ +85°C	0.0015	N-20
AD7703CN	-40°C ~ +85°C	0.0012	N-20
AD7703AR	-40°C ~ +85°C	0.003	R-20
AD7703BR	-40°C ~ +85°C	0.0015	R-20
AD7703CR	-40°C ~ +85°C	0.0012	R-20
AD7703AQ	-40°C ~ +85°C	0.003	Q-20
AD7703BQ	-40°C ~ +85°C	0.0015	Q-20
AD7703CQ	-40°C ~ +85°C	0.0012	Q-20
AD7703SQ ²	-55°C ~ +125°C	0.003	Q-20

注1. N=プラスチックDIP, R=SOIC, Q=サーディップ
2. /883B標準製品のみ供給可能です。

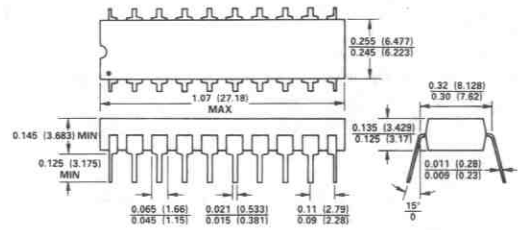
外形サイズ

サイズはインチと (mm) で示します。

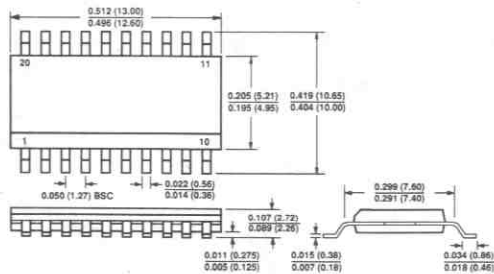
20ピン・プラスチックDIP (Nサフィックス)



20ピン・サーディップ (Qサフィックス)



20ピンSOIC (Rサフィックス)

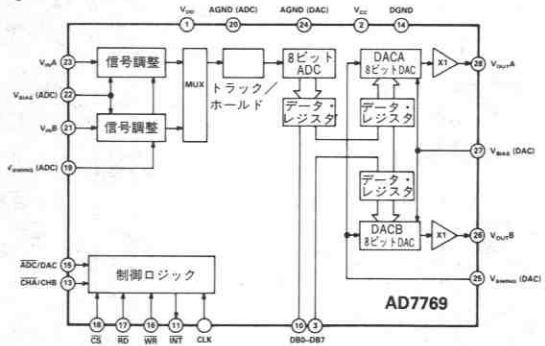


特長

- 2チャンネル、8ビット2.5 μ s ADC
- 2個の出力アンプ付き8ビット2.5 μ s DAC
- ADCとDACのスパンとオフセットを独立して調整可能
- 低消費電力

応用

- ウィンチェスタ・ディスク用サーボ・コントローラ
- フロッピー・ディスクのマイクロ・ステッピング制御
- クローズド・ループ・サーボ・システム



AD7769機能ブロック図

概要

AD7769は全機能内蔵の2チャンネル、8ビット・アナログI/Oポートです。多機能の入出力信号調整機能により、ウィンチェスタ・ディスク・システムのヘッド位置決めサーボに理想的です。同様にフロッピー・ディスクのマイクロ・ステッピングによるヘッド位置決めや、その他のクローズド・ループのデジタル・サーボ・システムおよび汎用8ビット・データ収集システムに最適です。

AD7769は、2チャンネルのマルチプレクサと信号調整回路付き高速逐次比較型ADCを内蔵しています。ADCの入力スパンとグラウンドからのゼロ点のオフセットは、グラウンド基準電圧を加えることによりそれぞれ独立に調整できます。AD7769は、2個の独立した出力アンプ付きの高速セットリング8ビットDACを内蔵しています。DACの出力スパンとオフセット電圧はADCと同様に別々に調整できます。このためAD7769は正電源しか用意しておらず、電源電圧以下の正電位をADCとDACの動作範囲の基準として使用しなければならないディスク・ドライブにおいて特に有効です。

AD7769は、8ビット・データ・ポートとマイクロプロセッサの標準の制御線を通して、標準の8ビットMPUバスと容易にインタフェースできます。

AD7769は高精度バイポーラ回路とローパワーCMOSロジックをワンチップに集積した、弊社独自のリニア・コンパチブルCMOSプロセスにより製造されています。

パッケージは28ピン・プラスチックDIPと28端子PLCCを用意しています。

製品ハイライト

- ワンチップに2チャンネル、8ビットのアナログI/Oポートを搭載
AD7769は入力信号調整付きの2チャンネル高速ADCと、2チャンネルの出力アンプ付き高速セットリング8ビットDACをワンチップ上に集積しています。
- スパンとオフセットの独立調整
ADCの入力電圧スパンと伝達関数の中点、そして2つのDACの出力電圧振幅とハーフ・スケール出力電圧は、グラウンド基準の制御電圧を加えることにより独立して設定できます。
- DSPユーザーに適したダイナミック特性仕様
従来のADCとDACの仕様に加え、AD7769はS/N比、歪み、信号帯域幅などのACパラメータも仕様が規定されています。
- 高速マイクロプロセッサ・インタフェース
AD7769は最新のマイクロプロセッサとコンパチブルなバス・インタフェース・タイミングを持ち、65ns以下のバス・アクセスおよび解放時間、90ns以下のライト・パルス幅特性を備えています。

仕様

ADC仕様

($V_{DD} = +12V \pm 10\%$ 、 $V_{CC} = +5V \pm 5\%$ 、 $AGND [ADC] = AGND [DAC] = DGND = 0V$ 、 $V_{BIAS} [ADC] = +5V$ 、 $V_{SWING} [ADC] = +2.5V$ 、 $f_{CLK} = \text{外部}5MHz$ 。特に指定のない限り、すべての仕様は $T_{min} - T_{max}$ ¹の値。)

パラメータ	Jバージョン	Aバージョン	単位	条件/備考
DC精度				
分解能	8	*	ビット	
相対精度	± 1	*	LSB max	「仕様用語の説明」を参照
微分非直線性	± 1	*	LSB max	ノーマス・コード。「仕様用語の説明」を参照
バイアス・オフセット誤差				「仕様用語の説明」を参照
+25°C	± 2.5	*	LSB max	
$T_{min} - T_{max}$	± 3.0	*	LSB max	
バイアス・オフセットのマッチング				チャンネルA-チャンネルB間
+25°C	± 2.5	*	LSB max	
$T_{min} - T_{max}$	± 3.5	*	LSB max	
正/負フルスケール誤差				「仕様用語の説明」を参照
+25°C	± 2.0	*	LSB max	
$T_{min} - T_{max}$	± 2.5	*	LSB max	
正/負フルスケールのマッチング				チャンネルA-チャンネルB間
+25°C	± 3.5	*	LSB max	
$T_{min} - T_{max}$	± 4	*	LSB max	
ADC-DAC間のマッチング				
バイアス・オフセットのマッチング				チャンネルA/B- $V_{OUT,A/B}$ 間
+25°C	± 2.5	*	LSB max	$V_{BIAS} (DAC) = +5V$ 、 $V_{SWING} (DAC) = +2.5V$
$T_{min} - T_{max}$	± 3.5	*	LSB max	
正/負フルスケールのマッチング				
+25°C	± 3.5	*	LSB max	
$T_{min} - T_{max}$	± 4.0	*	LSB max	
ダイナミック特性²				
S/N比 (SNR)	44	*	dB min	$V_{IN} = 100kHz$ フルスケールの正弦波、 $f_{SAMPLING} = 400kHz$
全高調波歪み (THD)	48	*	dB max	$V_{IN} = 100kHz$ フルスケールの正弦波、 $f_{SAMPLING} = 400kHz$
相互変調歪み (IMD)	60	*	dB typ	$f_a = 99kHz$ 、 $f_b = 96.7kHz$ 、 $f_{SAMPLING} = 400kHz$
周波数応答	0.1	*	dB typ	$V_{IN} = \text{フルスケール}$ 、dc-200kHz 正弦波
アナログ入力				
入力電圧範囲 $V_{IN,A}$ 、 $V_{IN,B}$			V min V max	どちらか高い方 どちらか低い方
入力電流 $I_{IN,A}$ 、 $I_{IN,B}$	± 0.4	*	mA max	
ADCリファレンス入力				
入力電圧レベル				
$V_{BIAS} (ADC)$	2/6.8	*	V min/max	AGND(ADC)基準。仕様性能に対して。
$V_{SWING} (ADC)$	2.0/3.0	*	V min/max	AGND(ADC)基準。仕様性能に対して。
入力電流				
$V_{BIAS} (ADC)$ 入力	± 800	*	μA max	
$V_{SWING} (ADC)$ 入力	± 1	*	μA max	
ロジック出力				
DB0~DB7、 \overline{INT}				
出力LOW電圧、 V_{OL}	0.4	*	V max	$I_{SINK} = 1.6mA$
出力HI電圧、 V_{OH}	4.0	*	V min	$I_{SOURCE} = 200\mu A$
DB0~DB7				
フロートイン状態漏れ電流	± 10	*	μA max	
フロートイン状態容量 ²	10	*	pF max	
出力コード	オフセット・バイナリ			
電源				
V_{CC} 範囲	4.75/5.25	*	V min/max	仕様性能に対して。 $V_{CC} = 5V \pm 10\%$ で動作しますが性能が劣化します。
V_{DD} 範囲	10.8/13.2	*	V min/max	仕様性能に対して。
$I_{DD} @ +25^\circ C$	20	*	mA max	ADCおよびDAC: $V_{BIAS} = 5.0V$ 、 $V_{SWING} = 3.0V$ 、 $V_{IN,A}$ 、 $V_{IN,B} = V_{BIAS}$ 、DACコード=FFH、DACAおよびDACBの負荷=AGND (DAC) に対し5k Ω 、 $I_{DD} = 14mA$ typ.
$T_{min} - T_{max}$	22	*	mA max	ロジック入力=2.4V、CLK入力=0.8V、 $I_{CC} = 1.5mA$ typ.
$I_{CC} @ +25^\circ C$	5	*	mA max	
$T_{min} - T_{max}$	6	*	mA max	

注
1 温度範囲は以下のとおりです。Jバージョン: 0~+70°C、Aバージョン: -40~+85°C。

2 +25°Cでサンプリング試験

* Jバージョンと同じ仕様

仕様は予告なしに変更することがあります。

DACA、DACB 仕様

($V_{DD} = +12V \pm 10\%$ 、 $V_{CC} = +5V \pm 5\%$ 、 $AGND [DAC] = AGND [ADC] = DGND = 0V$ 、 $V_{BIAS} [DAC] = +5V$ 、 $V_{SWING} [DAC] = +2.5V$ 、 $AGND [DAC]$ に対して V_{OUTA} 、 V_{OUTB} 負荷、 $R_L = 5k\Omega$ 、 $C_L = 100pF$ 、特に指定のない限り、すべての仕様は $T_{min} - T_{max}$ の値。)

パラメータ	Jバージョン	Aバージョン	単位	条件/備考
スタティック特性				
分解能	8	*	ビット	
相対精度	± 1	*	LSB max	「仕様用語の説明」を参照 単調増加性を保証。「仕様用語の説明」を参照
微分非直線性	± 1	*	LSB max	
バイアス・オフセット誤差 +25°C	± 2.0	*	LSB max	$V_{OUTA} - V_{OUTB}$ 間
$T_{min} - T_{max}$	± 2.5	*	LSB max	
バイアス・オフセットのマッチング +25°C	± 2.5	*	LSB max	「仕様用語の説明」を参照
$T_{min} - T_{max}$	± 3.5	*	LSB max	
正/負フルスケール誤差 +25°C	± 1.5	*	LSB max	$V_{OUTA} - V_{OUTB}$ 間
$T_{min} - T_{max}$	± 2.0	*	LSB max	
正/負フルスケールのマッチング +25°C	± 3.5	*	LSB max	「仕様用語の説明」を参照
$T_{min} - T_{max}$	± 4	*	LSB max	
ADC-DAC間のマッチング	ADCの仕様と同じ			
ダイナミック特性²⁾				
S/N比 (SNR)	44	*	dB min	$V_{OUT} = 20kHz$ フルスケールの正弦波、 $f_{SAMPLING} = 400kHz$
全高調波歪み (THD)	48	*	dB max	$V_{OUT} = 20kHz$ フルスケールの正弦波、 $f_{SAMPLING} = 400kHz$
相互変調歪み (IMD)	55	*	dB typ	$f_a = 18.4kHz$ 、 $f_b = 14.5kHz$ 、 $f_{SAMPLING} = 400kHz$
アナログ出力				
出力電圧範囲 V_{OUTA} 、 V_{OUTB}	$V_{BIAS} - V_{SWING}$ または 0.5 $V_{BIAS} + V_{SWING}$ または $V_{DD} - 2.0$		V min V max	どちらか高い方 どちらか低い方
直流出力カインピーダンス	0.5	*	Ω typ	
短絡電流	20	*	mA typ	
DACリファレンス入力				
入力電圧レベル V_{BIAS} (DAC)	3/6.8	*	V min/max	AGND (DAC) 基準。仕様性能に対して。
V_{SWING} (DAC)	2.0/3.0	*	V min/max	
入力電流 V_{BIAS} (DAC) 入力	± 2	*	μA max	AGND (DAC) 基準。仕様性能に対して。
V_{SWING} (DAC) 入力	± 1	*	μA max	
AC特性²⁾				
電圧出力セトリング時間	4	*	μs max	最終値の $\pm 1/2LSB$ 以内のセトリング時間: $2.5 \mu s$ typ
デジタル-アナログ・ グリッチ・インパルス	30	*	nV sec typ	「仕様用語の説明」を参照 「仕様用語の説明」を参照
デジタル・フィードスルー	1	*	nV sec typ	
ロジック入力				
\overline{CS} 、RD、WR、ADC/DAC、 \overline{CHA} / CHB、 DB0~DB7	オフセット・バイナリ			
入力LOW電圧 V_{INL}	0.8	*	V max	
入力HI電圧 V_{INH}	2.4	*	V min	
入力漏れ電流	± 10	*	μA max	
入力容量	10	*	pF max	
CLK				
入力LOW電圧	0.8	*	V max	外部クロック。内蔵クロック動作時にはCLKピンは V_{DD} に接続のこと。
入力HI電圧	2.4	*	V min	
入力漏れ電流	± 10	*	μA max	
DB0~DB7 入力コード	オフセット・バイナリ			
電源	ADCの仕様と同じ			

注

1 温度範囲は以下のとおりです。Jバージョン: $0 \sim +70^\circ C$ 、Aバージョン: $-40 \sim +85^\circ C$ 。

2 +25°C でサンプリング試験

* Jバージョンと同じ仕様

仕様は予告なしに変更することがあります。

タイミング特性^{1,2}

($V_{CC} = +5V \pm 5\%$, $V_{DD} = +12V \pm 10\%$, $AGND [ADC] = AGND [DAC] = DGND = 0V$, ADCとDACについて $V_{BIAS} = +5V$, $V_{SWING} = +2.5V$)

パラメータ	記号	+25°Cでのリミット値	Tmin、Tmaxでのリミット値	単位	テスト条件/備考
ADC/DAC 制御タイミング					
CS-WRセットアップ時間	t_1	0	0	ns min	
CS-WRホールド時間	t_2	0	0	ns min	
ADC/DAC-WRセットアップ時間	t_3	0	0	ns	
ADC/DAC-WRホールド時間	t_4	0	0	ns min	
CHA/CHB-WRセットアップ時間	t_5	0	0	ns min	
CHA/CHB-WRホールド時間	t_6	0	0	ns min	
WRパルス幅	t_7	80	80	ns min	
ADC変換タイミング					
外部クロック時 WR-INT LOW遅延	t_8	2.6	2.6	μs max	図3の負荷回路、 $C_L = 20pF$
内部クロック時 WR-INT LOW遅延	t_8	1.9/3.0	1.9/3.0	μs min/max	2.5 μs typ 図3の負荷回路、 $C_L = 20pF$
WR-INT HI遅延	t_9	85	85	ns max	図3の負荷回路、 $C_L = 20pF$
	t_9	120	120	ns max	図3の負荷回路、 $C_L = 100pF$
WR-データ有効遅延 ³	t_{10}	$t_8 + 70$	$t_8 + 70$	ns max	図1の負荷回路、 $C_L = 20pF$
	t_{10}	$t_8 + 110$	$t_8 + 110$	ns max	図1の負荷回路、 $C_L = 100pF$
ADC リード・タイミング					
CS-RDセットアップ時間	t_{11}	0	0	ns min	
CS-RDホールド時間	t_{12}	0	0	ns min	
RD-データ有効遅延 ³	t_{13}	15/65	15/65	ns min/max	図1の負荷回路、 $C_L = 20pF$
	t_{13}	30/100	30/100	ns min/max	図1の負荷回路、 $C_L = 100pF$
RD HI後のバス解放時間 ⁴	t_{14}	15/65	15/65	ns min/max	図2の負荷回路
RD-INT HI遅延	t_{15}	80	80	ns max	図3の負荷回路、 $C_L = 20pF$
	t_{15}	110	110	ns max	図3の負荷回路、 $C_L = 100pF$
RDパルス幅	t_{16}	t_{13}	t_{13}	ns min	t_{13} によって決まります。
DAC ライト・タイミング					
データ有効-WRセットアップ時間	t_{17}	65	65	ns min	
データ有効-WRホールド時間	t_{18}	15	20	ns min	
WR-DAC出力セトリング時間	t_{19}	4	4	μs max	図4の負荷回路

注

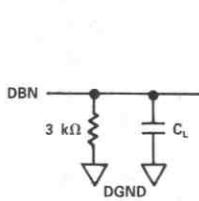
1 図11、12、13を参照。

2 仕様保証のため+25°Cでサンプリング試験。入力信号はすべて $t_r = t_f = 5ns$ (+5Vの10%から90%)で規定され、1.6Vの電圧レベルからの時間で計測されています。

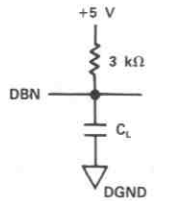
3 t_{10} と t_{13} は図1の負荷回路で出力が0.8Vまたは2.4Vに達するまでに必要な時間として定義されています。

4 t_{14} は図2の負荷回路でデータ信号線が0.5Vの変化をするまでに必要な時間として計測されています。

仕様は予告なしに変更することがあります。

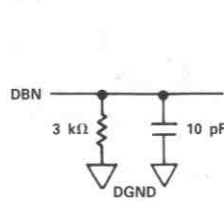


a. 高インピーダンス- V_{OH}

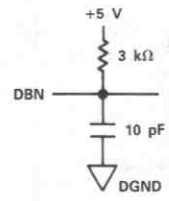


b. 高インピーダンス- V_{OH}

図1. データ・アクセス時間試験負荷回路



a. V_{OH} -高インピーダンス



b. V_{OH} -高インピーダンス

図2. バス解放時間試験負荷回路

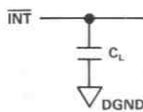


図3. \overline{RD} 、 \overline{WR} -INT遅延試験負荷回路

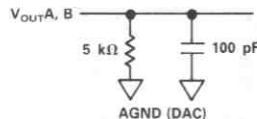


図4. DACセトリング時間試験負荷回路

絶対最大定格*

V_{DD} -AGND、DGND間-0.3V、+15V
V_{CC} -DGND間-0.3V、 $V_{DD}+0.3V$ または7V (どちらか低い方)
AGND-DGND間-0.3V、 $V_{DD}+0.3V$
デジタル入力-DGND間 (ピン12、13、15-18)-0.3V、 $V_{DD}+0.3V$
デジタル出力-DGND間 (ピン3-10、11)-0.3V、 $V_{CC}+0.3V$
アナログ入力-AGND間-0.3V、 $V_{DD}+0.3V$
アナログ出力-AGND間-0.3V、 $V_{DD}+0.3V$

動作温度範囲

一般用 (Jバージョン)0~+70°C
産業用 (Aバージョン)-40~+85°C
消費電力 (各パッケージ)+75°Cまで500mW
+75°C以上のディレーティング6mW/°C
保管温度範囲-65~+150°C
リード温度 (ハンダ付け10秒)+300°C

注

*絶対最大定格を超えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

どのような場合でも同時に一つの絶対最大定格のみ適用することができます。

注意

この素子はESD (Electrostatic-Discharge) センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させる必要があります。



オーダー・ガイド

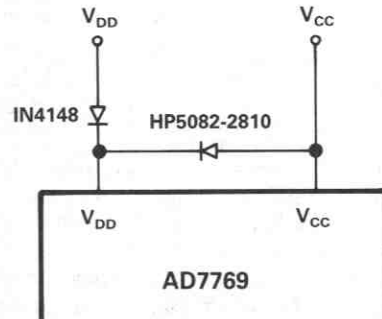
温度範囲とパッケージ	
0~+70°C	-40~+85°C
プラスチックDIP (N-28) AD7769JN PLCC (P-28A) † AD7769JP	プラスチックDIP (N-28) AD7769AN PLCC (P-28A) † AD7769AP

注

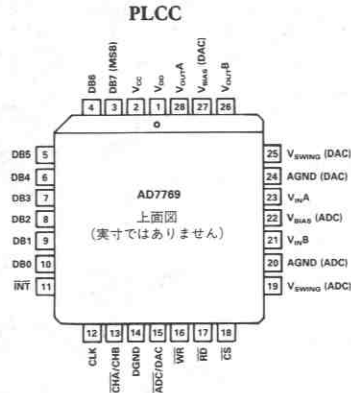
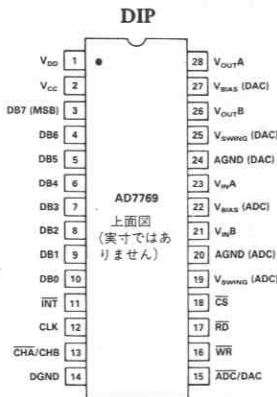
† PLCC: プラスチック・リード付きチップ・キャリア。

注

V_{CC} 電圧が V_{DD} 電圧よりも0.3V以上大きくなることのないよう注意して下さい。この状態が発生する恐れのある場合には、以下に示すようにダイオードで保護することを推奨します。



ピン配置



ピン機能の説明

ピン	名称	機能
1	V _{DD}	+12V電源。アナログ回路の電源です。
2	V _{CC}	+5V電源。ロジック回路の電源です。
3~10	DB7~DB0	入出力データ・バス。ADC出力データの読出し、DAC入力データの書き込みのための双方向データ・ポートです。DB7がMSBです。
11	$\overline{\text{INT}}$	割込み出力（アクティブLOW）。ADCへの $\overline{\text{RD}}$ または $\overline{\text{WR}}$ の立下りエッジで $\overline{\text{INT}}$ はHIになり、変換終了時にLOWになります。
12	CLK	クロック入力。クロックはADCのために必要です。このピンに外部のTTLコンパチブルのクロックを与えます。このピンをV _{DD} に接続することで内部クロック発振器がイネーブルされます。外部クロック時にはマーク/スペース比は30/70から70/30の間で可変できます。
13	$\overline{\text{CHA}}/\overline{\text{CHB}}$	チャンネルA/チャンネルB選択入力。DACまたはADCのチャンネルAとチャンネルBの選択に使用します。 $\overline{\text{WR}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{CS}}$ と $\overline{\text{ADC}}/\overline{\text{DAC}}$ ピンと共に使用し、リードまたはライト動作を行いません。
14	DGND	デジタル・グラウンド
15	$\overline{\text{ADC}}/\overline{\text{DAC}}$	ADC/DAC選択入力。DACまたはADCの選択に使用し、リードまたはライト動作を行いません。 $\overline{\text{WR}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{CS}}$ 、 $\overline{\text{CHA}}/\overline{\text{CHB}}$ ピンと共に使用します。
16	$\overline{\text{WR}}$	ライト入力（エッジ・トリガ）。 $\overline{\text{ADC}}/\overline{\text{DAC}}$ 、 $\overline{\text{CHA}}/\overline{\text{CHB}}$ 、 $\overline{\text{CS}}$ 制御入力と共に使用し、ADC変換の開始またはDACへのデータの書き込みを制御します。 $\overline{\text{WR}}$ の立下りエッジでADCの変換が開始します。
17	$\overline{\text{RD}}$	リード入力（アクティブLOW）。ADCからのデータをアクセスする時、LOWとしなければなりません。
18	$\overline{\text{CS}}$	チップ・セレクト入力（アクティブLOW）。LOWによって、デバイスが選択されます。
19	V _{SWING} (ADC)	ADCリファレンス入力。AGND (ADC) を基準にこのピンに与える電圧によりADCの入力電圧フルスケール範囲 (FSR) が設定されます。V _{IN} (FSR) = 2V _{SWING} (ADC) です。
20	AGND (ADC)	ADCアナログ・グラウンド。
21	V _{INB}	チャンネルBアナログ入力。V _{INA} の項を参照。
22	V _{BIAS} (ADC)	ADCリファレンス入力。AGND (ADC) を基準にこのピンに与える電圧によりADCの伝達関数の中点が決まります。
23	V _{INA}	チャンネルAアナログ入力。ADCの両チャンネルの入力電圧範囲は次のように決まります。V _{INA} /B = V _{BIAS} (ADC) ± V _{SWING} (ADC)
24	AGND (DAC)	DACアナログ・グラウンド。
25	V _{SWING} (DAC)	DACリファレンス入力。AGND (DAC) を基準にこのピンに与える電圧により、DACの出力電圧フルスケール (FSR) が設定されます。V _{OUT} (FSR) = 2V _{SWING} (DAC) です。
26	V _{OUTB}	DAC Bアナログ出力電圧。V _{OUTA} の項を参照。
27	V _{BIAS} (DAC)	DACリファレンス入力。AGND (DAC) を基準にこのピンに与える電圧により、DACの midpoint 出力電圧が決まります。
28	V _{OUTA}	DAC Aアナログ出力電圧。両DACの出力電圧範囲は、次のように決まります。V _{OUTA} /B = V _{BIAS} (DAC) ± V _{SWING} (DAC)

仕様用語の説明

相対精度

ADCの相対精度あるいはエンドポイント非直線性は、ADCの伝達関数のエンドポイント（例えば16進で00から01およびFEからFF、2進で01111111から11111111）間に引いた直線からのADCの実際のコード遷移ポイントの偏差の大きさをLSBで表わしたものです。

DACの相対精度、またはエンドポイント非直線性は、DACの伝達関数のエンドポイント（例えば16進で00とFFに対応する電圧）を通る直線からの最大の偏差の大ききの測定値をLSBで表わしたものです。

規定された入出力範囲では1LSB=19.5mVですが、V_{SWING}によって変化します。DACとADCの両方について、1LSB=2V_{SWING}/256=FSR/256です。

微分非直線性

微分非直線性は任意の2つの隣接コード間で測定された変化と理想的な1LSBの変化との差です。±1LSB maxの微分非直線性仕様がDACの単調増加性とADCのノーマス・コードを保証します。

バイアス・オフセット誤差

理想的なADCではV_{BIAS} (ADC) に等しい入力電圧に対応する出力コードは16進で80H (2進で10000000) でなければなりません。ADCのバイアス・オフセット誤差は80Hの出力コードに対応する実際の midpoint 電圧とV_{BIAS} (ADC) との差をLSBで表わしたものです。

理想的なDACでは80Hのコードに対応する出力電圧はV_{BIAS} (DAC) と等しいはずですが、DACのバイアス・オフセット誤差は実際の出力電圧とV_{BIAS} (DAC) との差をLSBで表わしたものです。

正負のフルスケール誤差

AD7769に内蔵のADCとDACはバイポーラ（正負）の入力範囲を持った素子と考えることができますが、AGNDではなくV_{BIAS}を基準電位として使用します。ADCの正のフルスケール誤差はFEHからFFHへのコード遷移での実際の入力電圧と理想的な入力電圧（V_{BIAS}+V_{SWING}-1.5LSB）との差をLSBで表わしたものです。負のフルスケール誤差は、同様に01Hと00Hのコード遷移と、この遷移に関する理想的な入力電圧（V_{BIAS}-V_{SWING}+0.5LSB）との差異となります。DACの正のフルスケール誤差はコードFFHに対する実際出力電圧と理想的な出力電圧（V_{BIAS}+V_{SWING}-1LSB）との差です。負のフルスケール誤差は同様にコード00Hの実際出力電圧と理想的な出力電圧（V_{BIAS}-V_{SWING}）との差です。ADCとDAC出力の正負のフルスケール誤差は、それぞれのバイアス・オフセット誤差を調整し除去した後で測定されます。

デジタル・アナログ・グリッチ・インパルス

これは、どちらかのDACが選択されデジタル入力の状態が変化するときアナログ出力に注入されるインパルスです。通常はグリッチ領域をnVsecで規定し、デジタル入力コードがメジャー・キャリア遷移で1LSBだけ変化する時に測定されます。

デジタル・フィードスルー

これは、デジタル入力からアナログ出力へ注入されるインパルスの測定値ですが、DACを選択しないときに測定されます。これは、基本的にはダイとパッケージにかかるフィードスルーです。ADCレジスタからデータが読出される時にアナログ出力に現われるグリッチ・インパルスの測定値であるため、AD7769では重要です。デジタル・フィードスルーはnVsecで表わされ、WRをHIにしてデジタル・コードがオール0からオール1になる時に測定します。

S/N比

信号対雑音比（SNR）はコンバータの出力における信号と雑音比の測定値です。信号は基本波の実効値（rms）の大きさです。雑音はサンプリング周波数の2分の1までの非基本信号全部のrms値の合計です。SNRは量子化過程で使う量子化レベルの数に依存します。すなわち、レベルが高くなるほど量子化雑音は少なくなります。正弦波の理論上のSNRは次のようになります。

$$SNR = (6.02N + 1.76) \text{ dB}$$

この場合、Nはビット数です。したがって、理想的な8ビット・コンバータはSNR=49.92dBになります。

高調波歪み（THD）

これは高調波対基本波のrms値合計の比です。AD7769の場合、全高調波歪み（THD）は次のように定義されます。

$$20 \log \frac{(V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2)^{1/2}}{V_1}$$

この場合、V₁は基本波のrmsレベル、V₂、V₃、V₄、V₅、V₆は各高調波のrmsレベルです。

相互変調歪み（IMD）

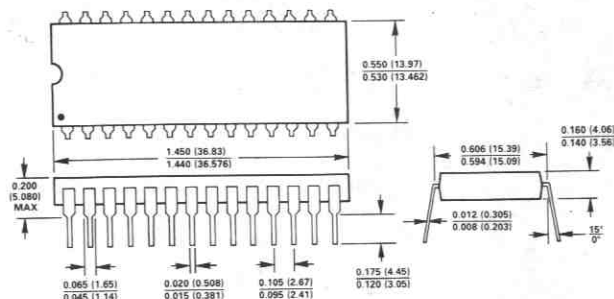
入力が2つの周波数faとfbにおいて正弦波から成るものとする、非直線性をもつアクティブ・デバイス、mfa±nfbという和と差の周波数において、次数（m+n）の歪み成分を作ります。この場合、m、n=0、1、2、3、……です。相互変調の項はmまたはnがゼロでない場合の項です。例えば、2次の項には（fa+fb）と（fa-fb）が含まれ、3次の項には（2fa+fb）、（2fa-fb）、（fa+2fb）、（fa-2fb）が含まれます。

外形サイズ

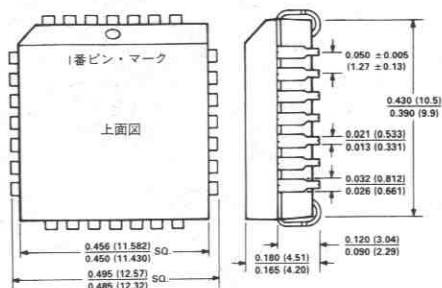
サイズはインチと（mm）で示します。

28ピン・プラスチックDIP（N-28）

28端子プラスチック・リード付きチップ・キャリア（P-28A）



1番ピンは点または刻みで示します。
リードはハンダ付またはスズ・メッキのアロイ42または銅です。



真理値表

ADCチャンネル選択と変換開始

CS	ADC/DAC	CHA/CHB	WR	RD	DB0~DB7	INT	注
0	0	X		注1	注1	1	INTはWRの立下りエッジでセットされます。ADCチャンネルAを選択し、変換を開始します。ADCチャンネルBを選択し、変換を開始します。INTは変換終了時にLOWになります。
0	0	0		注1	注1	1	
0	0	1		注1	注1	1	
0	0					0	

ADCデータ・リード

CS	ADC/DAC	CHA/CHB	WR	RD	DB0~DB7	INT	注
0	X	X	X		ADCデータ	1	INTはRDの立下りエッジでHIになります。ADCデータがデータ・バスに出力されます。データ出力は高インピーダンスとなります。
0	X	X	X	0	ADCデータ	1	
0	X	X	X		ハイZ	1	

DACAまたはDACBへのライト

CS	ADC/DAC	CHA/CHB	WR	RD	DB0~DB7	INT	注
0	1	0		1	μP データ	N/C	DACAに μP データが書込まれます。DACBに μP データが書込まれます。最後のADC変換データがDACAに書込まれます。最後のADC変換データがDACBに書込まれます。動作なし。
0	1	1		1	μP データ	N/C	
0	1	0		0	ADCデータ	N/C	
0	1	1		0	ADCデータ	N/C	
1	X	X	X	X	ハイZ	N/C	

注

- RD=1の場合にはDB0~DB7は高インピーダンス状態のままです。RD=0の場合にはDB0~DB7に前のADCデータが出力されます。変換中にRD入力は変化させてはいけません。
- X=関係なし。
- N/C=変化なし。

回路説明

アナログ入出力

AD7769はマイクロプロセッサとデジタル・サーボ・システムのサーボ・パワー・アンプの間に必要なA/DおよびD/A変換を実現します。主としてウィンチェスタ・ディスク・ドライブのクローズド・ループのヘッド位置決めに使いますが、ステッピング・モータによるヘッド位置決めや他のサーボ応用にも使用できます。AD7769は2チャンネル入力の高速逐次比較型ADCと2チャンネルの出力アンプ付きの8ビットDACを内蔵しています。AD7769のユニークな特長は、入出力の信号調整回路を内蔵し、アナログ入力と出力電圧はアナログ・グラウンド以外のポイントを基準にできる点です。ADCの入力範囲とオフセットおよび、DACの出力振幅とオフセットは、グラウンド基準の正の制御電圧である V_{BIAS} (ADC)、 V_{SWING} (ADC)、 V_{BIAS} (DAC)、 V_{SWING} (DAC) を用いて独立して調整できます。このため、例えばDACのピーク・ピーク出力振幅を5Vバイアス電圧の3V上と3V下に設定することができます。

図5と6にADCとDACの伝達関数を V_{BIAS} と V_{SWING} の関係と共に示します。ADCの中間コードの80H (2進で10000000) は V_{BIAS} と等しい入力電圧の位置となります。正のフルスケールのコード遷移 (FEHからFFH) は、 $V_{BIAS} + V_{SWING} - 1.5LSB$ で、また負のフルスケールのコード遷移 (01Hから00H) は $V_{BIAS} - V_{SWING} + 0.5LSB$ で起こるため、ADCの入力FSRは $2V_{SWING}$ に等しくなります。DACの伝達関数と V_{BIAS} と V_{SWING} の関係も同様です。80H (2進で10000000) の入力コードに対応するDAC出力電圧は V_{BIAS} と等しく、FFH (2進で

11111111) は $V_{BIAS} + V_{SWING} - 1LSB$ (正のフルスケール)、00Hは $V_{BIAS} - V_{SWING}$ (負のフルスケール) の出力電圧を与えます。

入出力信号をグラウンド以外の電圧を基準として使用できることは、ディスク・ドライブ応用において特に重要です。通常は+5Vのデジタル電源と+12Vのアナログ電源だけが使用可能であり、アナログ信号はしばしばアナログ電源の半分の電圧基準とすることができます。

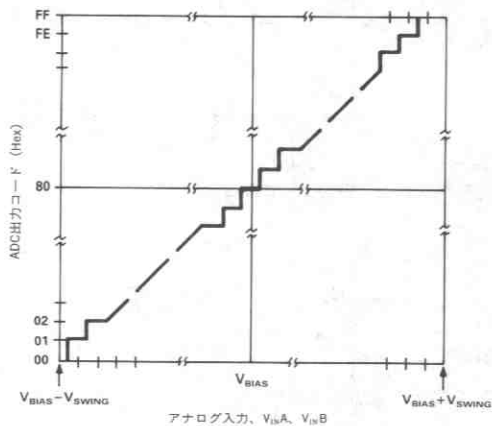


図5. ADCの伝達関数

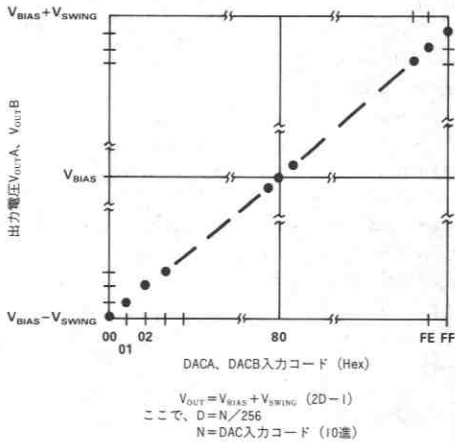


図6. DACの伝達関数

アナログ入力とリファレンス入力の駆動

アナログ入力 $V_{IN,A}$ と $V_{IN,B}$ はオペアンプのような低インピーダンスの信号源で駆動する必要があります。また、 V_{BIAS} (ADC) も同様に、(電圧リファレンスなどの)低インピーダンスの信号源で駆動します。

V_{SWING} (ADC)、 V_{BIAS} (DAC) および V_{SWING} (DAC) 入力は、高インピーダンス入力(入力電流200nA typ)で、オンチップのバッファ・アンプに接続されているため、オペアンプで駆動する必要はありません。これらの入力のリファレンス電圧は、適切な抵抗分圧回路を用いて供給することができます。

図7に示すように、ディスク・ドライブ・システムで得られるリファレンスをAD7769のバイアス電圧の設定に使用し、また抵抗で分圧し、AD7769の入出力のリファレンスを供給することができます。通常、同じバイアス電圧をADCとDACに使用しますが、入出力の範囲が異なります。

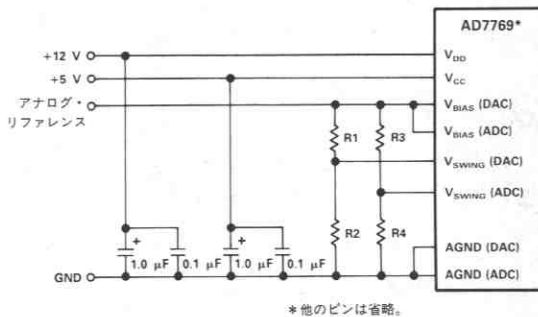


図7. AD7769の代表的なアナログ接続

ADCの変換サイクル

図8に変換サイクルの動作波形を示します。WRの立上りエッジで、選択されたADCチャネル $V_{IN,A}$ または $V_{IN,B}$ のアクイジションとトラックが行われ、変換サイクルが開始されます。アナログ入力電圧は変換開始に引き続く4個目の入力CLKパルスの立下りエッジから50ns typの間ホールドされます。図8の t_0 が150nsよりも大きな場合には、入力CLKの立下りエッジがクロックの最初の立下りエッジとして取扱われます。 t_0 が150ns以下の場合には、クロックの最初の立下りエッジは1サイクル後まで認識されません。

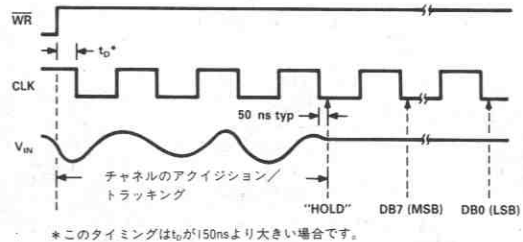


図8. 外部クロックを使用する場合の動作波形

アナログ入力のホールドに続き、次の入力CLKの立下りエッジからおおよそ50ns後にMSBが決定されます。それに引き続くビットは変換終了までCLKエッジの約50ns後に決定されます。変換終了時には、LSBの決定から100ns typ後に \overline{INT} がLOWになり、SARの内容は出力ラッチに転送されます。SARは次の変換のためにすぐにリセットされます。

トラック・ホールド

AD7769のADCのアナログ入力に用意されているトラック・ホールド (T/H) アンプにより、最高スループット・レートである400kHzで動作した際、ADCのナイキスト周波数である200kHzまでの5V_{p-p}振幅の正弦波入力を正確に変換することができます。この最大変換レートには変換時間と変換の間の時間が含まれています。トラック・ホールドの入力帯域幅は200kHzよりもはるかに大きいため、高周波雑音成分を変換しないように入力信号の帯域制限を行なう必要があります。

DAC出力

D/Aコンバータ出力は、AGND (DAC) に対して5k Ω /100pFの負荷を駆動することのできる高速オペアンプにより内部でバッファされています。各出力アンプは2.5 μ s typ以内で最終値の1/2LSBの範囲にセトリングします。図9と10に代表的な出力セトリング時間特性のグラフを示します。

DACのフルスケール出力時のアンプ出力ノイズは200 μ V_{p-p} typです。

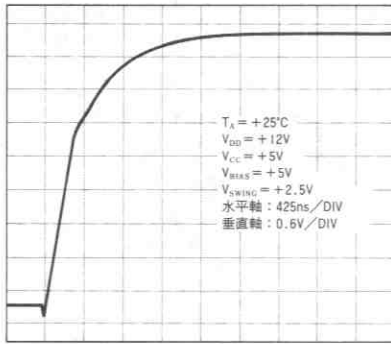


図9. 正のセトリング時間

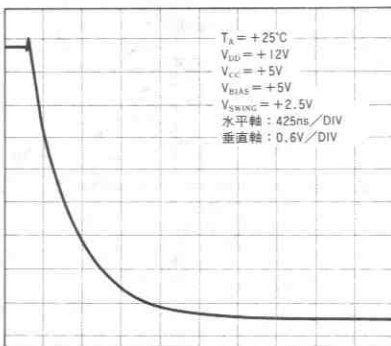


図10. 負のセトリング時間

内部/外部クロック動作

AD7769の動作クロックには、内蔵または外部供給のどちらかが使用できます。内蔵クロックを使用する場合には、CLK入力を V_{DD} に接続します。外付部品は必要ありません。内蔵クロックは5MHzで動作し、変換時間は $2.5\mu\text{s}$ typとなります。外部クロック動作とする場合には、CLK入力はTTL/HCMOSコンパチブル入力で駆動します。クロック信号のマーク/スペース比は30/70から70/30まで可変できます。5MHzのクロック入力周波数に対して $2.5\mu\text{s}$ の変換時間が得られます。

デジタル入出力

AD7769は標準の8ビット・マイクロプロセッサのデータ・バスを通して通信を行い、MPUの標準の制御線 $\overline{\text{CS}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{INT}}$ 、DACとADC機能の選択およびチャンネルAとチャンネルBの入出力チャンネルの選択を行なう2本のアドレス線ADC/DAC、 $\overline{\text{CHA}}/\overline{\text{CHB}}$ により制御されます。チップ・セレクト信号($\overline{\text{CS}}$)によりデバイスを選択し、ライト($\overline{\text{WR}}$)により、 $\overline{\text{ADC}}/\overline{\text{DAC}}$ 信号の状態によってADCの変換の開始とDACへのデータ書き込みを行ないます。 $\overline{\text{INT}}$ は変換終了を示すためのステータス・フラグとして、 $\overline{\text{RD}}$ はADC出力データを読み取るために用います。8ビット・データ・ポート(DB0~DB7)は2つのDACレジスタにデータを書込み、ADCレジスタからデータを読み取るための双方向ポートです。ADC出力データはDACレジスタのどちらかに直接書き込むこともできます。

表Iおよび図11~13のタイミング図にロジック動作の詳細を示します。図12と13はADCデータの読出し動作とDACへのデータ書き込み

動作のタイミングを示しています。図11にADCチャンネル選択と変換開始タイミングを示しています。このタイミングでは、 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ に依存して変換実行中のデータ出力状態が複数あり、より複雑です。

変換(あるいはその他の動作)を開始するためには、まず $\overline{\text{CS}}$ をLOWにし、デバイスを選択することが必要です。変換は $\overline{\text{WR}}$ をLOWにしてからHIにすることによって開始します。(変換は $\overline{\text{WR}}$ の上リエッジで開始されます)。変換中のデータ出力には3種類の状態の可能性があります。

1. $\overline{\text{RD}}$ がHIに保たれている場合、変換の実行中データ出力は常に高インピーダンスに保たれます。
2. $\overline{\text{INT}}$ がLOWになった後まで $\overline{\text{RD}}$ と $\overline{\text{CS}}$ が両方もLOWに保たれている場合、はじめはDB0~DB7に最後の交換結果が出力されます。そして $\overline{\text{INT}}$ がLOWになった後、DB0~DB7に新しい交換結果が出力されます。
3. $\overline{\text{RD}}$ がLOWに保たれ、変換中に $\overline{\text{CS}}$ がHIになった場合、デバイスは非選択となり、DB0~DB7は高インピーダンス状態に戻ります。これは変換の終了には影響を与えませんが、 $\overline{\text{CS}}$ が再びLOWになるまではデータを読出すことも、他の動作を実行することもできません。
4. 変換中は $\overline{\text{RD}}$ の状態は変化させてはいけなことに注意下さい。

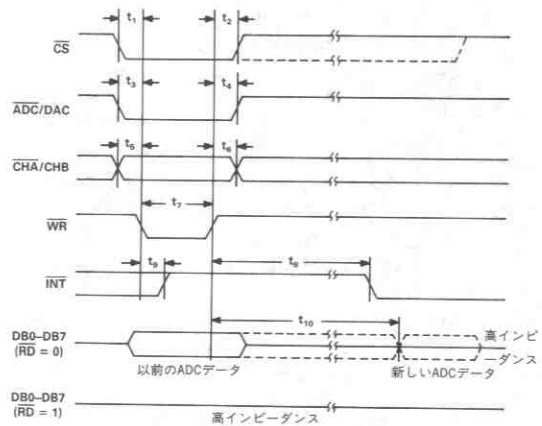


図11. ADCのチャンネル選択と変換開始タイミング

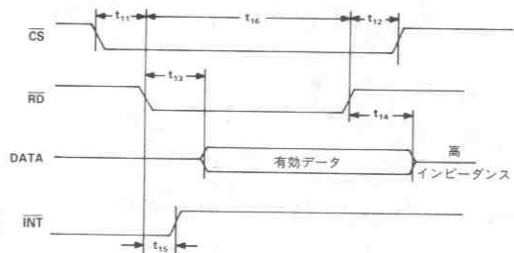
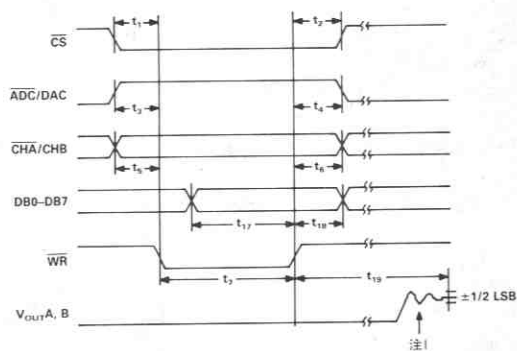


図12. ADCのデータ・リードのタイミング



注1. 時間軸はこの部分では縮小してあります。

図13. DACのチャネル選択とデータ・ライトのタイミング

デジタル信号処理への応用

音声認識、エコー・キャンセリング、アダプティブ・フィルタリング等のデジタル信号処理 (DSP) 分野では、A/DコンバータとD/Aコンバータのダイナミック特性 (SNR、高調波歪み、相互変調歪み) が決定的に重要です。AD7769は標準D.C.仕様はもとより、ダイナミック特性が規定されています。トラック/ホールド・アンプは帯域幅が広いので、アンチ・エリアシング・フィルタを $V_{IN A}$ および $V_{IN B}$ 入力に配置して、高周波雑音のエリアシングが目的帯域に影響しないようにしなくてはなりません。

A/Dコンバータのダイナミック特性は、非常に低い歪みの正弦波を409.6kHzサンプリング速度でサンプリングした $V_{IN A}$ または $V_{IN B}$ 入力に印加して評価します。こうして、高速フーリエ変換 (FFT) プロットまたはヒストグラム・プロットが作成されます。このプロットからSNR、高調波歪み、ダイナミック微分非直線性データを得ることができます。D/Aコンバータの場合、理想正弦波の

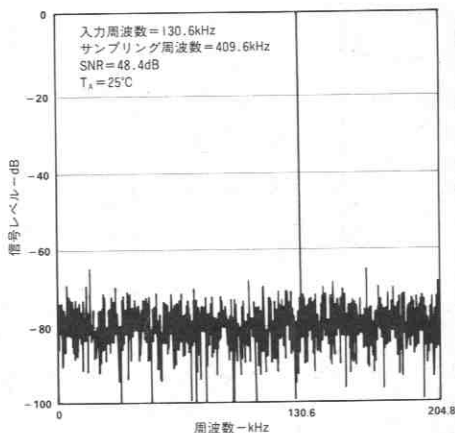


図14 ADC FFTのプロット

コードはPROMに格納され、D/Aコンバータにダウン・ロードされます。出力スペクトルはSNRおよび高調波歪み特性を評価するスペクトラム・アナライザを使って解析します。同様に、相互変調歪みについては2つの周波数において純粋正弦波から成る (V_{IN} またはD/Aコンバータのコードのどちらかへの) 入力をAD7769に印加します。

図14は130kHzの入力信号に対するA/Dコンバータの2048ポイントFFTプロットを示したものです。SNRは49.2dBです。高周波の大半は雑音フロアに埋もれていることがわかります。SNRを計算する時は高周波が考慮されていることに注意して下さい。SNRと分解能 (N) との関係は次の式で表わされます。

$$SNR = (6.02N + 1.76) \text{ dB}$$

これは、微分直線性誤差も積分直線性誤差もない理想的デバイスの場合です。これらの誤差はSNRの劣下を引き起こします。上記の式を逆にすると、A/Dコンバータ特性の尺度を有効ビット数 (N) で表わすことができます。この有効ビット数を図15に周波数に対してプロットしています。有効ビット数は、通常48.1および49.7dBのSNRに対応して7.7と7.9の間になります。

図16は理想正弦波をD/Aコンバータのデータ入力にロードさせた状態でのD/Aコンバータの出力スペクトルをスペクトラム・アナライザでプロットしたものです。この場合、SNRは47dBです。

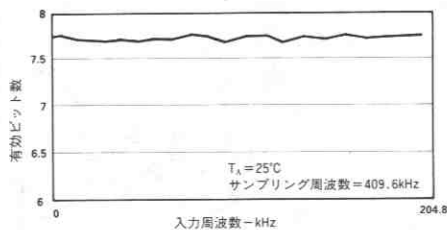


図15 有効ビット数対周波数

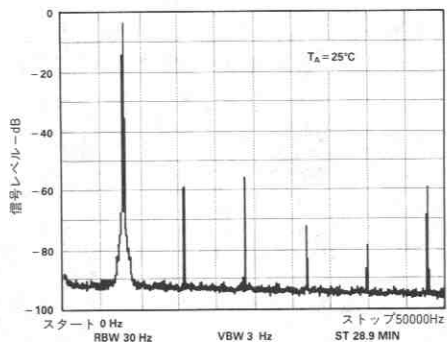


図16 DAC出力スペクトル

ヒストグラム・プロット

指定周波数の正弦波をAD7769のV_{IN}AまたはV_{IN}B入力に印加し、数千のサンプルを取出すと、256のA/Dコンバータのコードに対応する周波数を表わすヒストグラムをプロットすることができます。特定のステップが理想のLSB幅より広い場合、そのステップに関係するコードは理想ステップのコードの場合より多くのカウントを蓄積します。同様に、理想の幅より狭いステップではカウントが少なくなります。ミスコードは特定コードではゼロカウントになるのですぐ分かります。プロットに大きなスパイクがあれば、微分非直線性は小さいことを表わします。

図17はADCのヒストグラム・プロットを示したもので、204kHzの入力周波数に対し微分非直線性が非常に小さくミスコードがないことが分かります。正弦波入力の場合、完璧なA/Dコンバータは次式で記述される確立密度関数を生じます。

$$p(V) = \frac{1}{\pi(A^2 - V^2)^{1/2}}$$

ここで、Aは正弦波のピーク・レベル、p(V)は電圧Vにおける発生確立です。

図17のヒストグラム・プロットはこの特性曲線に非常に良く合致しています。

デジタル信号処理の応用においてAD7769をAC信号のサンプリングに使用する場合には、信号のサンプリングが厳密に等間隔であることが基本となります。これによってサンプリングの不確実性つまりジッタが最小となります。サンプリングを等間隔で行なう最良の方法は、精密なタイマやクロック源によって変換を開始することです。

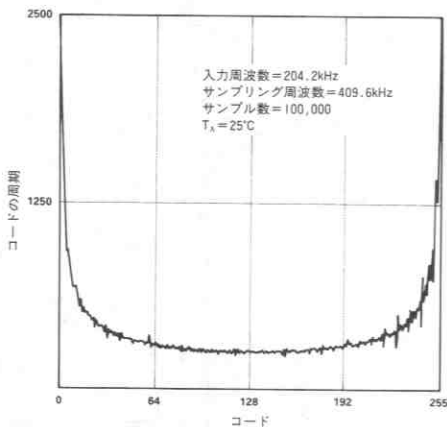


図17 ADCのヒストグラム・プロット

マイクロプロセッサ/マイクロコンピュータとのインタフェース

AD7769とマイクロプロセッサやマイクロコンピュータとのインタフェースは、メモリ・マップあるいはI/Oマップのどちらも容易に実現できるように設計されています。さらに、AD7769のバス・タイミングは高速であるため、TMS320C10やADSP-2101などの多くのDSPプロセッサと直接インタフェースが可能です。

AD7769とTMS320C10とのインタフェース

図18にTMS320C10との代表的なインタフェースを示します。AD7769はポート・アドレスに割付けられ、TMS320C10の最高クロック周波数20MHzでインタフェースできるように設計されています。

選択されたAD7769のADCチャネルの変換は、単一のI/O命令<OUT ADC, A>によって開始されます。マイクロプロセッサはポーリングによってINTがLOWになるまで待ち、<IN A, ADC>によって変換結果を読み取ります。AD7769のDACへの書き込みには<OUT DAC, A>を用います。

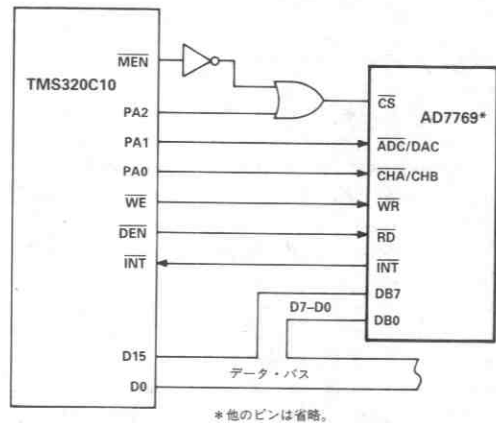


図18. AD7769とTMS320C10とのインタフェース

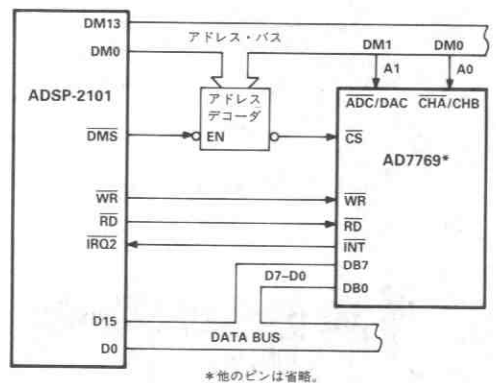


図19. AD7769とADSP-2101のインタフェース

AD7769とADSP-2101とのインタフェース

図19にADSP-2101との代表的なインタフェースを示します。ADSP-2101は高速数値処理のために最適化されています。

ADSP-2101の命令サイクルは非常に高速(1サイクル80ns)であるため、AD7769に適合させるためにWRとRDパルスを延長する必要があります。これは、ADSP-2101のメモリ・インタフェースがロー・メモリやメモリ・マップされた周辺装置(例えばAD7769)をサポートするためにプログラム可能なウェイト・ステートの発生機能を備えているため、簡単に実現できます。メモリとのインタフェース毎に0~7までのウェイト・ステートを指定できます。AD7769とのインタフェースでは1ウェイト・ステートで十分です。

AD7769と8051のインタフェース

8051マイクロコンピュータとのインタフェースには2種類の方法があります。

図20に8051のプロセッサ・バスとの代表的なインタフェースを示します。この方法は8051の最高クロック周波数12MHzまで適合します。このインタフェース・モードではポート0がマルチプレックスされた下位のアドレスとデータ・バスを、ポート2が上位アドレス・バス(A₈~A₁₅)を供給します。

図21にAD7769を8051の平行I/Oポートにインタフェースする方式を示します。このインタフェース回路は先に示したプロセッサ・バスとのインタフェースよりも簡単ですが、(同じクロック周波数でも)最大のデータ・スループットは一般的にかなり遅くなります。簡単さに加え、平行I/Oポートとプロセッサ・バスのインタフェース方式ではAD7769のWRとRD入力を独立に制御することができます。

例えば8051はWRとRDを同時にLOWにすることができます。このことにより、最後のADC変換データをADCレジスタから選択されたDACレジスタに直接書き込むことができます(真値表参照)。このためADCからDACへ非常に早いデータ転送を行なうことができ、高速でプログラム可能な無制限のサンプル・ホールド機能が必要な応用に有効です。

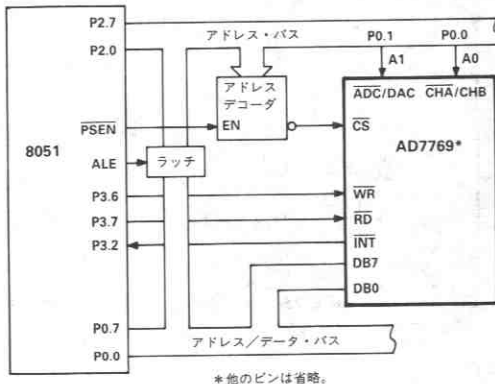
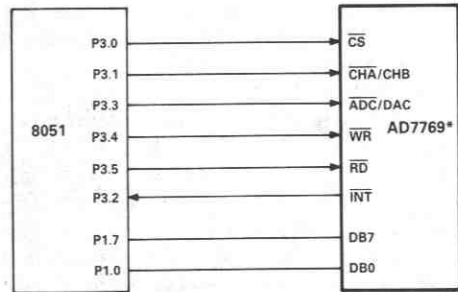


図20. AD7769と8051インタフェース(プロセッサ・バス)

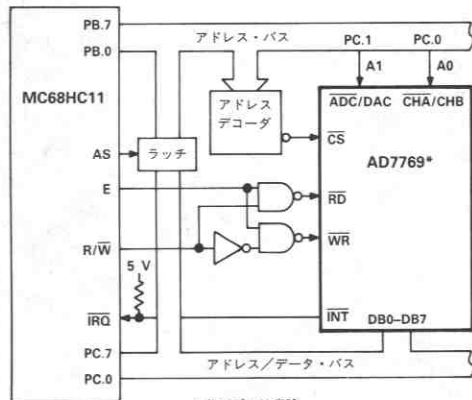


*他のピンは省略。

図21. AD7769と8051インタフェース(平行I/Oポート)

AD7769とMC68HC11のインタフェース

図22にAD7769とMC68HC11マイクロコンピュータとの代表的なインタフェースを示します。このインタフェースはMC68HC11の最大クロック速度である8.4MHzで設計されています。マイクロコンピュータは拡張マルチプレックス・モードで動作し、AD7769はメモリ・マップされた周辺装置となっています。拡張バスはポートBとC、制御信号はASとR/Wを使用しています。



*他のピンは省略。

図22. AD7769とMC68HC11のインタフェース

応用

AD7769アナログI/Oポートは、サーボ関連の信号とアナログおよびデジタル領域信号との間の変換に用います。2チャンネルのADCの入力構造により、サーボからの通常の出力信号を簡単に変換することができます。

専用のサーボ・トラックを使用する磁気ディスク・ドライブでは、サーボ・トラックから読出されるdiビット・パターンからサーボ復調器によって、通常は正弦波または三角波の2つの正のクワドラチャ信号を作ります。クワドラチャ信号はV_{BIAS}±V_{SWING}の波形をもちます。AD7769に内蔵されたADCの非常に高速な変換により、大きな位

相遅延誤差なしにクワドラチャ信号の順次変換が可能です。これらの変換された信号から、サーボ・マイクロコントローラに速度情報を与える位置情報とトラック・クロス情報が得られます。光ディスク・ドライブでは同様のサーボ信号がクワッドのフォト・ダイオード・ディテクタから得られ、位置情報とフォーカス情報がマイクロコントローラに与えられます。

AD7769の2個のDACはマイクロコントローラからサーボ・データを受け、ヘッド機構の位置決めを行います。DACはボイス・コイル・モータの駆動に理想的な正の出力信号を $V_{BIAS} \pm V_{SWING}$ の形で作り出します。磁気ディスク・ドライブでは1個のボイス・コイル・モータによりヘッド機構の位置決めを行なうため、シーク・モードやトラック・モードでは、通常のモータ駆動には1個のDACで十分です。シーク・モードではDACは最小のアクセス時間を実現するために、必要なアナログ速度の加減速曲線の直接発生に使用できます。あるいは、DACは実際のヘッド速度と必要なヘッド速度との間の(マイクロコントローラで計算された)サーボ誤差値を発生させることができます。トラック・モードでは熱補正とソフト・エラーのリトライなどの目的でDACはヘッドをトラック上に置くことやヘッドをトラック外に引き留めておくための位置誤差信号を発生するために使用できます。AD7769の2個目のDACは精密な位置決めループに使用できます。また、2個目のDACはパルス幅変調器を経由してスピンドル・モータの回転速度の制御にも使用できます。光ディスク・ドライブでは2個のボイス・コイル・モータが使用されているため、AD7769の両方のDACが必要となります。片方はフォーカスのサーボ・ループに、もう1つはラジアルの位置決めサーボ・ループに使用します。

AD7769を使用した代表的なサーボ制御ループを図23に示します。この専用サーボ・ドライブではサーボ復調器がディスクからのサーボ情報ビット・パターンを標準のNとQ(ノーマルとクワドラチャ)サーボ信号に変換します。ボイス・コイル・モータ電流 I_L は双方向

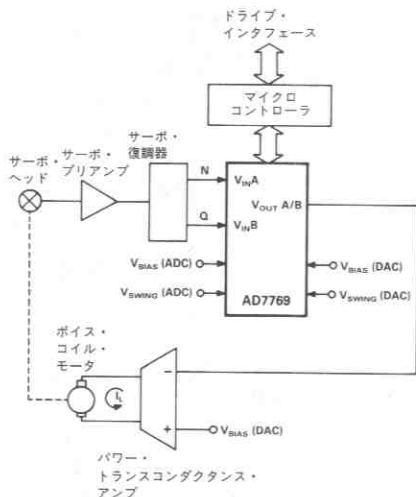


図23. AD7769を用いた代表的な専用サーボ制御ループ

で、パワー・トランスコンダクタンス・アンプから供給されます。このアンプの一方の入力は V_{BIAS} (DAC)に保たれ、他の入力はDAC出力 $V_{OUT A/B}$ により駆動されます。このパワー段の代表的な入力波形を図24に示します。パワー段のトランスコンダクタンス G_0 は外付のセンス抵抗により決まります。

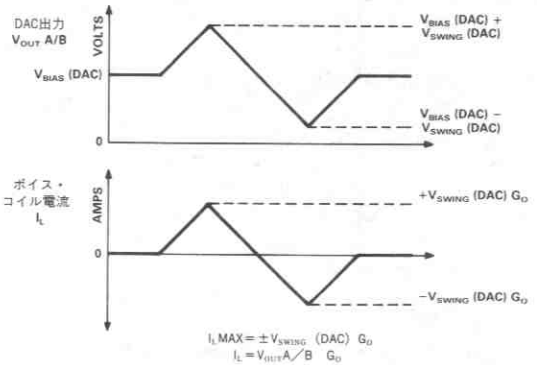


図24. 代表的なトランスコンダクタンス・アンプの入力電圧と出力電流の関係

分解能を増加させたDAC出力

V_{BIAS} (DAC)と V_{SWING} (DAC)は両方の出力チャンネルに対して共通のため、両方の出力チャンネルのフルスケール出力電圧は通常は等しくなります。しかし外部にオペアンプとスケールリング抵抗を接続すれば、一方(または両方)のDAC出力のフルスケール出力電圧を分圧し、出力電圧の分解能を効果的に増加させることができます。図25にスケールリング抵抗を用いてチャンネルAを10:1にスケールした例を示します。分圧出力 $V_{OUT A'}$ は以下のようになります。

$$V_{OUT A'} = V_{BIAS} + (V_{SWING}/10)(2D_A - 1)$$

チャンネルBの出力電圧は以下のようになります。

$$V_{OUT B} = V_{BIAS} + V_{SWING}(2D_B - 1)$$

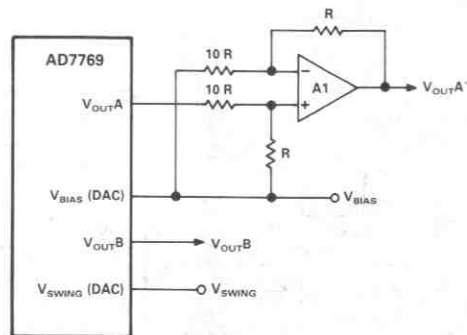


図25. DAC出力電圧の分解能を増加させるための接続

D_A と D_B はDAC入力コードのフラクショナル表示であり、 $D_A = N_A / 256$ 、 $D_B = N_B / 256$ です。例えば、 V_{SWING} 電圧が2Vのとき、チャンネルB出力スパンは4VでLSBサイズは15.6mVで、分圧されたチャンネルA出力スパンは400mVでLSBサイズは1.56mVです。図25のスケールリング抵抗の大きさを変更することで分圧フルスケール出力は明らかに変わります。

図25の回路の1箇所を変更するだけで、2個のDAC出力をまとめて通常の8ビット以上の分解能を持つ単一アナログ出力を得ることができます。図26に変更した回路を示します。合成出力 V_{OUT} は以下のように表われます。

$$V_{OUT} = V_{OUTB} + (V_{SWING} / 10) (2D_A - 1)$$

または、

$$V_{OUT} = V_{BIAS} + V_{SWING} (2D_B - 1) + (V_{SWING} / 10) (2D_A - 1)$$

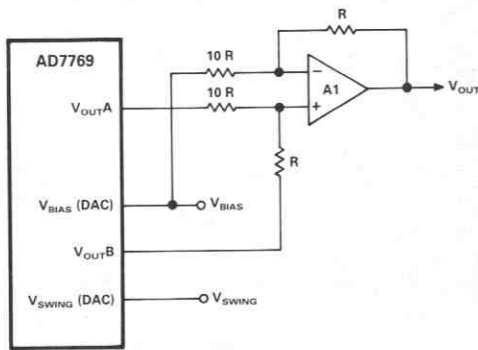


図26. V_{OUTA} 、 V_{OUTB} の組合わせ回路

例えば非常にスムーズな加減速曲線波形を発生するために、DACBの8ビット・ステップの補間関数を作り出すようにDACAをプログラムすることができます。

サーボ・オフセット機能

ほとんどの専用サーボ・ディスク・ドライブは、小電圧をトラック追従ループに注入するオフセット機能を持ちます。オフセットの

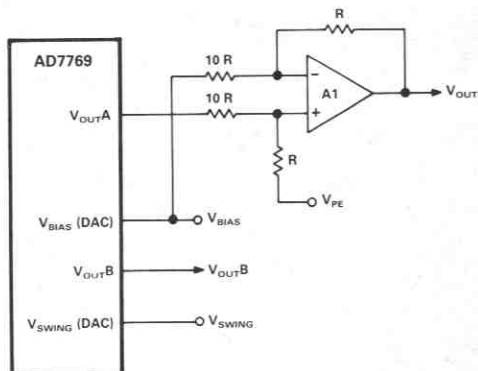


図27. サーボ・オフセット機能

目的はトラック外のデータを読み取るためヘッドを現在のトラック上の位置から右や左へ動かすことです。この回路を図27に示します。この回路の10:1の抵抗スケールリングにより出力電圧 V_{OUT} は以下のようになります。

$$V_{OUT} = V_{PE} + (V_{SWING} / 10) (2D_A - 1)$$

オフセットを加えない場合には $V_{OUT} = V_{PE}$ となります。 V_{PE} はサーボループが通常ゼロ・レベル V_{BIAS} を駆動する位置誤差電圧です。DAC Aによりオフセット電圧が加えられる場合のサーボの動作は、現在のトラック上の位置から位置誤差電圧が等しくなるまで、オフセット電圧と逆方向にヘッドを移動させます。したがってトラック中心のヘッドの位置はプログラム可能です。

プログラム可能なフルスケール範囲

両方のDACの出力電圧スパンは V_{SWING} (DAC) 電圧レベルにより決定されます。通常この電圧はいくつかの固定の電圧源から与えられますが、片方のDACチャンネルでプログラム可能な V_{SWING} 電圧レベルを生成することができます。このようにして残ったチャンネルのフルスケール範囲とLSBサイズをソフトウェアで設定することが可能になります。図28に外部の固定入力振幅電圧 V_{SWING} から、プログラム可能な振幅電圧 V_{SWING} (DAC) を生成するために、帰還ループに V_{OUTB} を使用する回路を示します。図28に示す5:1の抵抗スケールリングを使用することによりAD7769の入力振幅電圧は以下のようになります。

$$V_{SWING} (DAC) = \frac{V_{SWING}}{1 - \frac{(2D_B - 1)}{5}}$$

例えば、2.5Vの固定入力振幅電圧の時、DACBのプログラム可能なスパンは以下のようになります。

$$D_B = 0 : V_{SWING} (DAC) = 2.08$$

$$D_B = 1/2 : V_{SWING} (DAC) = 2.5V = V_{SWING}$$

$$D_B \approx 1 : V_{SWING} (DAC) = 3.125V$$

AD7769の V_{SWING} (DAC) の電圧範囲は2~3Vに規定されていますが、実際には拡張しても単調増加動作を行なうことができます。

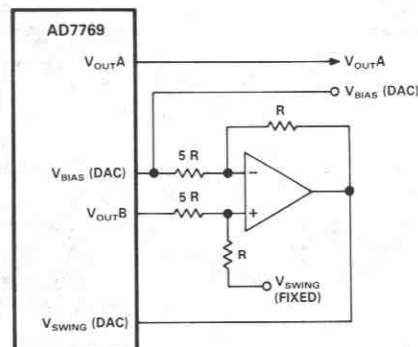
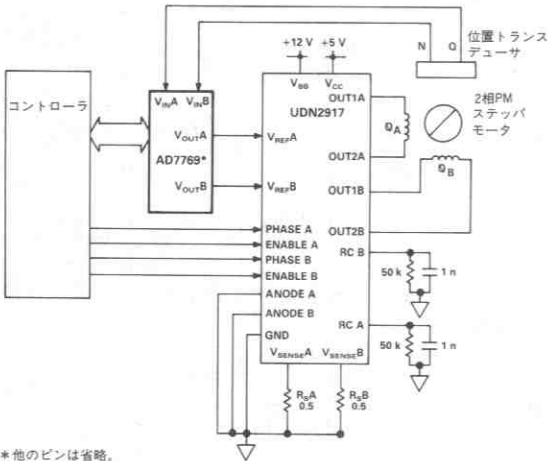


図28. ソフトウェアでプログラム可能な V_{SWING} (DAC) の生成

クローズド・ループのマイクロステッピング

マイクロステッピングは低密度のディスク・ドライブ（フロッピー・ディスクとハード・ディスクの両方）で一般的な技術であり、フル・ステップ駆動のステッピング・モータよりも高いディスク・ドライブのヘッド位置精度を得ることができます。通常は2相ステッピング・モータの位相電流は正弦・余弦の関係で駆動されます。これらの余弦信号は適切なデータで駆動される2個のDACから生成されます。DACの分解能により、個々のフルステップをいくつのマイクロステップに分割できるかが決まります。例えば、 1.8° のフルステップのモータと4ビットDACから、 0.11° ($1.8^\circ / 2^4$) のマイクロステップを得ることができます。

すべての制御応用において、マイクロステップ技術により位置決め精度を上げることが可能です。しかし負荷トルクの影響のため、位置決め精度は元のフルステップ精度規格よりも明らかに劣ります。増加した分解能が有効であることを保証するため、ディスク・ドライブのヘッド位置を監視するクローズド・ループ・システムを使用する必要があります。クローズド・ループ・システムでは目的の位置と実際の位置との間の誤差を監視し、補正することができます。必要なヘッド位置に到達するまでモータ巻線の位相電流の比を調整することによって補正を行います。



*他のピンは省略。

図29. 代表的なAD7769を使ったクローズド・ループのマイクロステップ回路

AD7769はディスク・ドライブのヘッドの位置決め用のデュアルDACとヘッドの位置の監視用のデュアル・チャンネルADCを内蔵しているため、クローズド・ループのマイクロステップ駆動に理想的です。クローズド・ループのマイクロステップ・システムの代表回路を図29に示します。コントローラにより供給されるDAC波形と時計方向の回転情報を図30に示します。

通常のトランスデューサはモイヤー・フリゲ・トランスデューサであり、固定と可動の2個の格子を持っています。これらの2個の格子の相対位置によりLEDからの通過光量を変調します。ヘッド方向情報を誘導するため、固定の格子には 90° の位相差を持つ2組のバーと2個のフォト・トランジスタがあります。クワドラチャ正弦波出力波形（NとQ）はAD7769により直接変換できます。

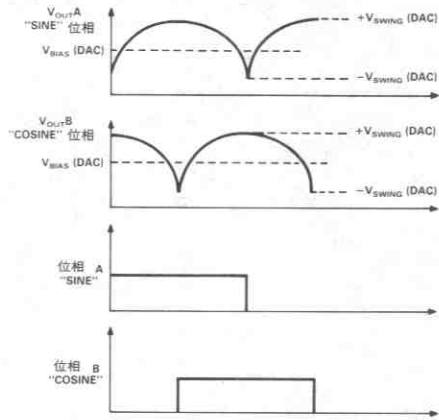
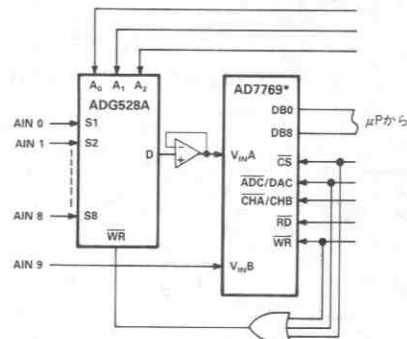


図30. 図29のマイクロステップ回路の代表的な制御波形

マルチチャンネルへの拡張

応用によっては2つ以上のアナログ入力チャンネルをADCに変換することが必要な場合があります。このような応用のための回路を図31に示します。ADG528Aはラッチ付きの8チャンネル・アナログ・マルチプレクサであり、単一電源動作（ $+12V \pm 10\%$ ）により、このような応用に理想的です。

AD7769の \overline{CS} 、ADC/DAC、 \overline{WR} 入力をゲートしADG528Aの \overline{WR} 入力を駆動します。マルチプレクサの入力信号は \overline{WR} パルスの立下りエッジで選択され、立上りエッジでラッチされます。また、 \overline{WR} の立上りエッジでAD7769のADCが変換を開始します。したがってマルチプレクサの出力信号は \overline{WR} パルスの間、8ビット以内に安定していなければなりません（詳細はADC変換サイクルの項を参照）。したがって t_{ON} （ \overline{WR} ）とADG528Aのセトリック時間によって \overline{WR} パルス幅が決まります。



*他のピンは省略。

図31. マルチチャンネル入力

特長

全機能内蔵の12ビットI/Oシステム

トラック・ホールド・アンプ付き12ビットADC

83kHzのスループット・レート

72dBのS/N比

出力アンプ付き12ビットDAC

3 μ sのセトリング時間

72dBのS/N比

電圧リファレンス

$\pm 5V$ 電源動作

低消費電力: 130mW typ

小型7.6mm幅DIP

応用

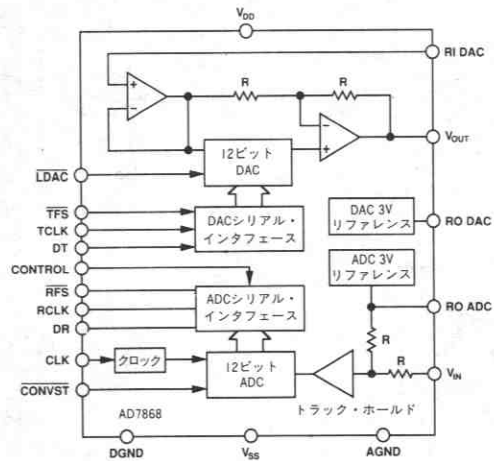
デジタル信号処理

音声認識/合成

スペクトラム・アナライザ

高速モデム

DSPによるサーボ制御



AD7868機能ブロック図

概要

AD7868はDACとADCを備えた全機能内蔵型の12ビットI/Oシステムです。トラック・ホールド・アンプ付きのADCは逐次比較型で、トータル・スループット・レート83kHzです。DACには出力バッファ・アンプが備わっており、12ビット精度に対するセトリング時間は3 μ sです。温度補償された3Vの埋込みツェナリファレンスにより、DACとADCに高精度リファレンスが与えられます。

DACとADCへのインタフェースはシリアル形式です。これによってピン数が最小となり、小型の24ピン・パッケージを実現しています。標準の制御信号によりほとんどのDSPプロセッサとシリアル・インタフェースが可能です。ADCの非同期変換の制御とDACの更新は、CONVSTとLDACロジック入力で行なうことができます。

AD7868は $\pm 5V$ 電源で動作し、ADC/DACのアナログ入出力範囲は $\pm 3V$ です。このデバイスは従来のDC精度仕様に加え、歪みやS/N比などのダイナミック特性についても完全に仕様規定されています。

AD7868は、24ピン7.6mm幅のプラスチックまたはハーメチックDIPおよび28ピン・プラスチックSIOCパッケージを用意しています。

製品ハイライト

1. 完全な12ビットI/Oシステム

AD7868はトラック・ホールド・アンプ付きの12ビットADCと、出力アンプ付きの12ビットDACを内蔵しています。さらに、ADCとDAC用に独立した電圧リファレンスを内蔵しています。

2. DSPのためのダイナミック仕様の規定

従来のDC仕様の他に、AD7868はS/N比、高調波歪みなどのAC性能についても完全に仕様規定され、試験されています。これらのパラメータは重要なタイミング・パラメータとともにすべてのデバイスについて試験されています。

3. 小型パッケージ

AD7868のパッケージは24ピンDIPおよび28ピンSOICと小型です。

仕様

ADC部

(特に指定のない限り、 $V_{DD}=+5V\pm5\%$ 、 $V_{SS}=-5V\pm5\%$ 、 $AGND=DGND=0V$ 、 f_{CLK} =外部2.0MHz。
特に指定のない限り、 $T_{min}-T_{max}$ の値。)

パラメータ	バージョン			単位	テスト条件/備考
	A ¹	B ¹	T ¹		
ダイナミック特性 ² 信号ノイズ比 ^{3,4} (S/N比) @ +25°C $T_{min}-T_{max}$ 全高調波歪み (THD)	70 70 -78	72 71 -78	70 70 -78	dB min dB min dB max	$V_{IN}=10kHz$ 正弦波, $f_{SAMPLE}=83kHz$ $0 < V_{IN} < 41.5kHz$ で 71.5dB typ $V_{IN}=10kHz$ 正弦波, $f_{SAMPLE}=83kHz$ $0 < V_{IN} < 41.5kHz$ で -84dB typ $V_{IN}=10kHz$ 正弦波, $f_{SAMPLE}=83kHz$ $0 < V_{IN} < 41.5kHz$ で -84dB typ
ピーク高調波または スプリアス・ノイズ 相互変調歪み (IMD) 第2次項 第3次項 トラック・ホールド・ アクイジション時間	-78 -80 2	-78 -80 2	-78 -80 2	dB max dB max μs max	$f_a=9kHz$, $f_b=9.5kHz$, $f_{SAMPLE}=50kHz$ $f_a=9kHz$, $f_b=9.5kHz$, $f_{SAMPLE}=50kHz$
DC精度 分解能 ノームス・コードを 保証する最小分解能 積分非直線性 積分非直線性 微分非直線性 バイポーラ・ゼロ誤差 正のゲイン誤差 ⁵ 負のゲイン誤差 ⁵	12 12 $\pm 1/2$ ± 0.9 ± 5 ± 5 ± 5	12 12 $\pm 1/2$ ± 1 ± 0.9 ± 5 ± 5 ± 5	12 12 $\pm 1/2$ ± 1 ± 0.9 ± 5 ± 5 ± 5	ビット ビット LSB typ LSB max LSB max LSB max LSB max LSB max	
アナログ入力 入力電圧範囲 入力電流	± 3 ± 1	± 3 ± 1	± 3 ± 1	V mA max	
リファレンス出力 ⁶ RO ADC @ +25°C RO ADC温度係数 RO ADC温度係数 リファレンス負荷感度 (ΔRO ADC 対 ΔI)	2.99/3.01 ± 25 ± 40 -1.5	2.99/3.01 ± 25 ± 40 -1.5	2.99/3.01 ± 25 ± 50 -1.5	V min/V max ppm/°C typ ppm/°C max mV max	リファレンス負荷電流変化(0-500 μA) 変換中のリファレンス負荷の変化は禁止。
ロジック入力 (CONVST, CLK, CONTROL) 入力HI電圧、 V_{INH} 入力LOW電圧、 V_{INL} 入力電流、 I_{IN} 入力電流 ⁷ (制御入力のみ) 入力容量、 C_{IN} ⁸	2.4 0.8 ± 10 ± 10 10	2.4 0.8 ± 10 ± 10 10	2.4 0.8 ± 10 ± 10 10	V min V max μA max μA max pF max	$V_{DD}=5V\pm5\%$ $V_{DD}=5V\pm5\%$ $V_{IN}=0V$ から V_{DD} $V_{IN}=V_{SS}$ から DGND
ロジック出力 DR, RFS出力 出力LOW電圧、 V_{OL} RCLK出力 出力LOW電圧、 V_{OL} DR, RFS, RCLK出力 フローティング状態漏れ電流 フローティング状態出力容量 ⁸	0.4 0.4 ± 10 15	0.4 0.4 ± 10 15	0.4 0.4 ± 10 15	V max V max μA max pF max	$I_{SINK}=1.6mA$ 、プルアップ抵抗=4.7k Ω $I_{SINK}=2.6mA$ 、プルアップ抵抗=2k Ω
変換時間 外部クロック 内部クロック	10 10	10 10	10 10	μs max μs max	内部クロックの定格値は2MHz
電源 V_{DD} V_{SS} I_{DD} I_{SS} 消費電力	+5 -5 22 12 170	+5 -5 22 12 170	+5 -5 25 13 190	V nom V nom mA max mA max mW max	DACとADCの両方について $\pm 5\%$ で仕様保証 $\pm 5\%$ で仕様保証 2つの V_{DD} ピンからの累積電流 2つの V_{SS} ピンからの累積電流 130mW typ

注

1. 温度範囲は以下のとおりです。A, Bバージョン: $-40 \sim +85^\circ C$ 、Tバージョン: $-55 \sim +125^\circ C$
2. $V_{IN} = \pm 3V$
3. S/N比計算には歪みおよび雑音成分を含みます。
4. 変換中のDACの非同期更新によるS/N比の劣化は0.1dB typです。
5. 内部リファレンスを基準に測定されています。
6. 50pF以上の容量性負荷に対しては直列抵抗が必要です (内部リファレンスの項を参照)
7. CONTROL入力を V_{DD} に接続すると、工場試験モードとなり、通常動作は行ないません。
8. +25°Cでサンプリング試験を実施。

仕様は予告なしに変更することがあります。

DAC部

(特に指定のない限り、 $V_{DD} = +5V \pm 5\%$ 、 $V_{SS} = -5V \pm 5\%$ 、 $AGND = DGND = 0V$ 、 $RI \text{ DAC} = +3V$ で図2のよう
にデカップリング。 V_{OUT} 負荷を $AGND$ に接続。 $R_L = 2k\Omega$ 、 $C_L = 100pF$ 。
特に指定のない限り、 $T_{min} - T_{max}$ の値。)

パラメータ	バージョン			単位	テスト条件/備考
	A ¹	B ¹	T ¹		
ダイナミック特性 ²					
信号ノイズ比 ³ (S/N比) @ +25°C	70	72	70	dB min	$V_{OUT} = 1kHz$ 正弦波, $f_{SAMPLE} = 83kHz$ $0 < V_{OUT} < 20kHz$, +25°C で 71.5dB typ ⁴
$T_{min} - T_{max}$	70	71	70	dB min	
全高調波歪み (THD)	-78	-78	-78	dB max	
ピーク高調波または スプリアス・ノイズ	-78	-78	-78	dB max	$V_{OUT} = 1kHz$ 正弦波, $f_{SAMPLE} = 83kHz$ $0 < V_{OUT} < 20kHz$, +25°C で -84dB typ ⁴
DC精度					
分解能	12	12	12	ビット	単調増加性を保証
積分非直線性	$\pm 1/2$	$\pm 1/2$	$\pm 1/2$	LSB typ	
積分非直線性	± 1	± 1	± 1	LSB max	
微分非直線性	± 0.9	± 0.9	± 0.9	LSB max	
バイポーラ・ゼロ誤差	± 5	± 5	± 5	LSB max	
正のフルスケール誤差 ⁵ 負のフルスケール誤差 ⁵	± 5 ± 5	± 5 ± 5	± 5 ± 5	LSB max LSB max	
リファレンス出力 ⁶					
RO DAC @ +25°C	2.99/3.01	2.99/3.01	2.99/3.01	V min/V max	リファレンス負荷電流変動 (0-500 μ A)
RO DAC温度係数	± 25	± 25	± 25	ppm/°C typ	
RO DAC温度係数	± 40	± 40	± 50	ppm/°C max	
リファレンス負荷変動 (Δ RO DAC対 Δ I)	-1.5	-1.5	-1.5	mV max	
リファレンス入力					
RI DAC入力範囲	2.85/3.15	2.85/3.15	2.85/3.15	V min/V max	3V \pm 5%
入力電流	1	1	1	μ A max	
ロジック入力 (LDAC, TFS, TCLK, DT)					
入力HI電圧、 V_{INH}	2.4	2.4	2.4	V min	$V_{DD} = 5V \pm 5\%$ $V_{DD} = 5V \pm 5\%$ $V_{IN} = 0V$ から V_{DD}
入力LOW電圧、 V_{INL}	0.8	0.8	0.8	V max	
入力電流、 I_{IN}	± 10	± 10	± 10	μ A max	
入力容量、 C_{IN} ⁷	10	10	10	pF max	
アナログ出力					
出力電圧範囲	± 3	± 3	± 3	V nom	
dc出力インピーダンス	0.3	0.3	0.3	Ω typ	
短絡電流	20	20	20	mA typ	
AC特性 ⁷					
電圧出力セトリング時間					最終値の $\pm 1/2$ LSB以内に対するセトリング時間
正のフルスケール変化	3	3	3	μ s max	2 μ s typ
負のフルスケール変化	3	3	3	μ s max	2.5 μ s typ
デジタル-アナログ・ トリッチ・インパルス	10	10	10	nV秒 typ	DACコード変化はオール1からオール0
デジタル・フィードスルー	2	2	2	nV秒 typ	
$V_{IN} - V_{OUT}$ 間アイソレーション	100	100	100	dB typ	$V_{IN} = \pm 3V$, 41.5kHz 正弦波
電源	ADC部と同じ				

注

1. 温度範囲は以下のとおりです。A/Bバージョン：-40 ~ +85°C、Tバージョン：-55 ~ +125°C
2. V_{OUT} (p-p) = $\pm 3V$
3. S/N比計算には歪みおよび雑音成分を含みます。
4. 外部サンプル・ホールドを使用して測定。
5. RI DACを基準に測定され、バイポーラ・オフセット誤差を含みます。
6. 50pF以上の容量性負荷に対しては直列抵抗が必要で、(内部リファレンスの項を参照)
7. +25°Cでサンプリング試験を実施

仕様は予告なしに変更することがあります。

タイミング特性^{1,2}

(特に指定のない限り、 $V_{DD}=+5V\pm5\%$ 、 $V_{SS}=-5V\pm5\%$ 、 $AGND=DGND=0V$)

パラメータ	T_{min}, T_{max} での限界値 (A, Bバージョン)	T_{min}, T_{max} での限界値 (Tバージョン)	単位	条件/備考
ADCタイミング				
t_1	50	50	ns min	CONVSTパルス幅
t_2^3	440	440	ns min	RCLK サイクル時間、内部クロック
t_3	100	100	ns min	RFS-RCLK 立下りエッジ・セット アップ時間
t_4	20	20	ns min	RCLK 立上りエッジ-RFS
t_5^4	100	100	ns max	
t_6^4	155	155	ns max	RCLK から有効データ遅延、 $C_L=35pF$
t_6	4	4	ns min	RCLK 後のバス解放時間
t_{13}^5	2 RCLK+200~ 3 RCLK+200	2 RCLK+200~ 3 RCLK+200	ns max ns typ	CONVSTからRFS遅延
DACタイミング				
t_7	50	50	ns min	TFSからTCLK立下りエッジ
t_8	75	100	ns min	TCLK 立下りエッジからTFS
t_9^6	150	200	ns min	TCLK サイクル時間
t_{10}	30	40	ns min	有効データ-TCLKセットアップ時 間
t_{11}	75	100	ns min	有効データ-TCLK ホールド時間
t_{12}	40	40	ns min	LDACパルス幅

注

1. タイミング仕様は+25°Cでサンプリング試験が施されています。入力信号はすべて $t_r=t_f=5ns$ (5Vの10%から90%)で規定され、1.6Vの電圧レベルからの時間で計測されています。
2. シリアル信号のタイミングはDRとRFSに4.7k Ω 、RCLKに2k Ω のプルアップ抵抗を接続して測定しました。これらの出力容量はすべて35pFです。
3. 内部クロック使用時のRCLKのマーク/スペース比(1.6Vの電圧レベルから測定)レンジは40/60-60/40です。外部クロック時にはRCLKのマーク/スペース比は外部クロックのマーク/スペース比となります。
4. DRはより高い容量性負荷を駆動できますが、その場合外部のRC時定数(4.7k Ω /C_L)が増し、2.4Vの電圧レベルに達するまでの時間が長くなるため、 t_6 が大きくなります。
5. 2RCLKから3RCLKの時間はADCのクロックと変換開始との同期状態によります。
6. TCLKのマーク/スペース比は40/60-60/40です。

絶対最大定格*

(特に指定のない限り、 $T_A=+25^\circ C$)

$V_{DD}-AGND$	-0.3~+7V
$V_{SS}-AGND$	+0.3~-7V
$AGND-DGND$	-0.3~ $V_{DD}+0.3V$
$V_{OUT}-AGND$	$V_{SS}-V_{DD}$
$V_{IN}-AGND$	$V_{SS}-0.3-V_{DD}+0.3V$
$RO\ DAC-AGND$	-0.3~ $V_{DD}+0.3V$
$RO\ DAC-AGND$	-0.3~ $V_{DD}+0.3V$
$RI\ DAC-AGND$	-0.3~ $V_{DD}+0.3V$
デジタル入力-DGND	-0.3~ $V_{DD}+0.3V$
デジタル出力-DGND	-0.3~ $V_{DD}+0.3V$

動作温度範囲

A, Bバージョン	-40~+85°C
Tバージョン	-55~+125°C

保管温度範囲

..... -65~+150°C

リード温度 (ハンダ付け10秒)

..... +300°C

電力消費 (各パッケージ)+75°Cまで

..... 450mW

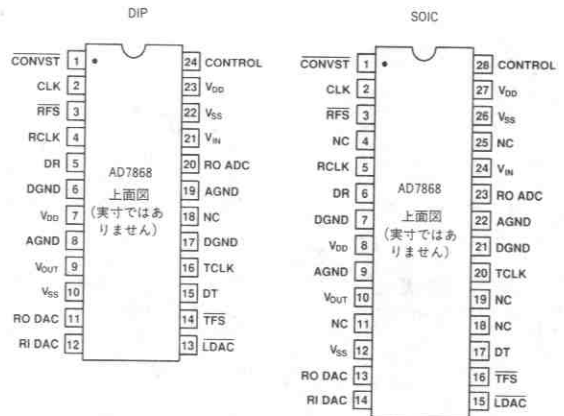
+75°C以上でのディレーティング

..... 10mW/°C

注

*絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

ピン配置



NC=無接続

注意

この素子はESD (Electrostatic-Discharge) センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させることが必要です。



ピン機能の説明

DIPピン 番号	名称	機能
電源		
7, 23	V _{DD}	正電源。+5V±5%。両V _{DD} ピンは互いに結線します。
10, 22	V _{SS}	負電源。-5V±5%。両V _{SS} ピンは互いに結線します。
8, 19	AGND	アナログ・グラウンド。両AGNDピンは互いに結線します。
6, 17	DGND	デジタル・グラウンド。両DGNDピンは互いに結線します。
アナログ信号とリファレンス		
21	V _{IN}	ADCアナログ入力。ADC入力範囲は±3Vです。
9	V _{OUT}	DACからのアナログ出力電圧です。この出力はバッファ・アンプからの出力です。出力範囲はRI DAC=+3Vのときバイポーラ、±3Vです。
20	RO ADC	電圧リファレンス出力。内部のADC 3Vリファレンスがこのピンに出力されています。この出力をRI DAC入力に接続すれば、DACのリファレンスとして使用できます。このリファレンスの外部負荷能力は500μAです。
11	RO DAC	DAC電圧リファレンス出力。2個の内蔵リファレンスのうちの1個です。DACをこのリファレンスで動作させるにはRO DACをRI DACに接続しなければなりません。このリファレンスの外部負荷能力は500μAです。
12	RI DAC	DAC電圧リファレンス入力です。DAC用の電圧リファレンスはこのピンに印加します。この入力はDACに加えられる前にバッファされます。AD7868が正しく動作するための定格リファレンス電圧は3Vです。
ADCインタフェースと制御		
2	CLK	クロック入力。外部のTTLコンパチブルのクロックをこの入力に加えます。あるいはこのピンをV _{SS} に接続すると、内蔵のレーザ・トリミングされた発振器がイネーブルとなります。
3	RFS	受信フレーム同期、ロジック出力。このピンはアクティブLOWのオープン・ドレイン出力で、シリアル・データのためのフレーミング・パルス信号です。RFSピンには外付の4.7kΩのプルアップ抵抗が必要です。
4	RCLK	受信クロック、ロジック出力。RCLKは内部または外部からのADCクロックを元にした、ゲートされたシリアル・クロック出力です。CONTROL入力がV _{SS} 電位の場合にはこのクロックは連続動作となります。CONTROL入力がDGND電位の場合にはRCLK出力はシリアル伝送の終了後、トライ・ステート状態となります。RCLKピンはオープン・ドレイン出力で、外付の2kΩのプルアップ抵抗が必要です。
5	DR	受信データ、ロジック出力。このピンはオープン・ドレインのデータ出力で、RFSおよびRCLKと関連してADCからのデータを送信します。シリアル・データはRFSがLOWの時、RCLKの立下りエッジで有効になります。DR出力には外付の4.7kΩのプルアップ抵抗が必要です。
1	CONVST	変換開始、ロジック入力。この入力ピンのLOWレベルからHIレベルへの遷移により、トラック・ホールド・アンプがホールド・モードになり、ADC変換が開始します。この入力はCLK入力とは非同期です。
24	CONTROL	制御、ロジック入力。このピンを0VにするとRCLKが非連続となります。このピンを-5VにするとRCLKは連続動作となります。このピンをV _{DD} 電位にすると工場での試験モードとなり、通常動作は行なわれませんので注意して下さい。
DACインタフェースと制御		
14	TFS	送信フレーム同期信号、ロジック入力。これはDACのシリアル・データのためのフレームまたは同期信号で、この信号の立下りエッジの後にデータが取込まれます。
15	DT	送信データ、ロジック入力。これはTFSおよびTCLKと関連して入力ラッチにシリアル・データを転送するためのデータ入力です。
16	TCLK	送信クロック、ロジック入力。TFSがLOWレベルのとき、TCLKの立下りエッジでシリアル・データ・ビットがラッチされます。
13	LDAC	ロードDAC、ロジック入力。この信号の立下りエッジで入力ラッチからDACラッチに新しいデータ・ワードが転送されます。
18	NC	無接続。

コンバータの詳細について

AD7868は完全な12ビットI/Oポートで、通常動作のためにADCデータ出力のプルアップ抵抗と電源デカップリング・コンデンサを除き外付け部品は不要です。AD7868はトラック・ホールド・アンプ付きの12ビット逐次比較型ADC、出力バッファ付き12ビットDACと2個の3V埋め込みツェナ・リファレンス、クロック発振器および制御ロジックから構成されています。

ADCクロック

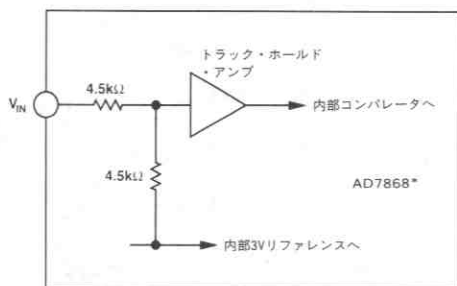
AD7868にはADCの変換処理に使用できる内部クロック発振器を備えています。この発振器は、CLK入力を V_{SS} に接続することで動作を開始します。この発振器は8.5~10 μ sの変換時間となるよう出荷時にレーザ・トリミングが施されています。クロックのマーク/スペース比は40/60~60/40の間で可変できます。内蔵クロックの他に、この入力には外部からのTTLコンパチブル・クロック信号を加えることもできます。外部クロックの許容マーク/スペース比は40/60~60/40の範囲内です。RCLKはシリアル・インタフェース用のクロック出力です。この出力はADCクロック源から直接供給されており、CONTROL入力の設定により変換終了後、スイッチ・オフすることができます。

ADCの変換タイミング

外部クロックと内蔵の連続クロックの両方に対応する変換時間は変換開始とADCのクロックの同期により変化し、19~20個のクロックの立上りエッジとなります。ADCクロックの立上りエッジの30ns以前までに変換が開始されると、変換時間は20個のクロックの立上りエッジとなり、9.5 μ sとなります。非連続の内部クロックでは変換時間は常に19個の立上りクロック・エッジとなります。

トラック・ホールド・アンプ

AD7868のアナログ入力部のトラック・ホールド・アンプによって、6V_{p-p}の振幅の入力正弦波を12ビット精度に正確に変換することができます。入力インピーダンスは9k Ω typです。等価回路を図1に示します。ADCが最大スループット・レートで動作している場合でもこのトラック・ホールド・アンプの入力帯域幅はADCのナイキスト周波数よりはるかに高くなっています。0.1dBのカットオフ周波数が代表値500kHzで発生します。トラック・ホールド・アンプは2 μ s以内で12ビット精度の入力信号を収集することができます。



*他のピンは省略。

図1. AD7868のアナログ入力

トータル・スループット・レートは変換時間とトラック・ホールド・アンプのアクイジション時間の和です。クロック入力が2.0MHzのときスループット時間は12 μ s maxです。

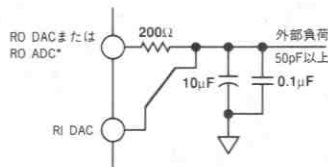
トラック・ホールド・アンプの動作は本質的にユーザにとって判りやすいものとなっています。トラック・ホールド・アンプはCONV_{ST}入力の立上りエッジで変換が開始されると、トラック・モードからホールド・モードになります。

内部リファレンス

AD7868は2個の温度補償された埋込みツェナ・リファレンスを内蔵しており、出荷時に3V \pm 10mVに調整されています。片方のリファレンスはADCに適切なバイアス電圧を与え、他方はDACにリファレンス電圧を供給します。両方のリファレンス出力(RO DACとRO DAC)が使用可能で、外部負荷に対し500 μ Aまでの電流を供給することができます。

DAC入力リファレンス(RI DAC)は外部から供給することも、内蔵の両リファレンスのどちらからも供給することが可能です。DACとADCの間でフルスケール誤差の良好なマッチングが必要な応用では、図4に示すようにADCリファレンスを使用します。

リファレンス出力ピンのどちらかの通常動作での推奨最大容量は50pFです。どちらかのリファレンス出力が50pF以上の容量性負荷の駆動に必要な場合には、200 Ω の抵抗を容量性負荷と直列に使用しなければなりません。図2に示すように10 μ Fのコンデンサと0.1 μ Fのコンデンサを追加しデカップリングを行なうと、ノイズ性能が向上します。このノイズ性能の向上を図3に示します。これはDAC出力にのみ適用されます。リファレンスのデカップリング部品の追加はADCの性能には影響を与えません。したがって通常の応用ではDACリファレンス源のみデカップリングが行なわれ、他方には何も接続しません。



*RO DAC/RO ADCを使用しない場合には無接続としてもかまいません。

図2. リファレンスのデカップリング回路

DACの出力アンプ

電圧モードDACからの出力は非反転アンプによりバッファされています。このバッファ・アンプはグラウンドの2k Ω および100pFの負荷に対して \pm 3Vを生成する能力があり、20kHzの周波数で6V_{p-p}の正弦波信号を出力することができます。出力はLDAC入力の立下りエッジで更新されます。最終値の1/2LSB以内に対する出力電圧セトリング時間は通常2 μ s以下です。

出力バッファ・アンプの小信号(200mV_{p-p})帯域幅は1MHz typです。このアンプからの出力ノイズは1kHzの周波数で30nV/ \sqrt Hzの低さです。このアンプからの広帯域ノイズの代表値は1MHzの出力帯域幅で150 μ V_{p-p}です。図3に出力バッファ・アンプと片方のオン・チップ・リファレンスの代表的なノイズ・スペクトラル密度の周波数特性を示します。

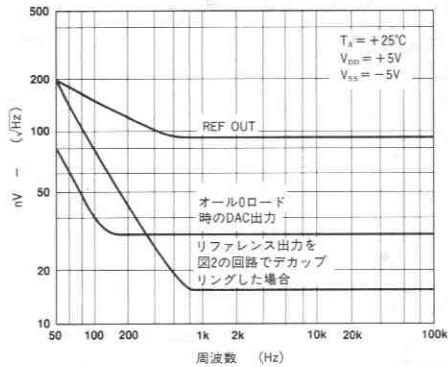
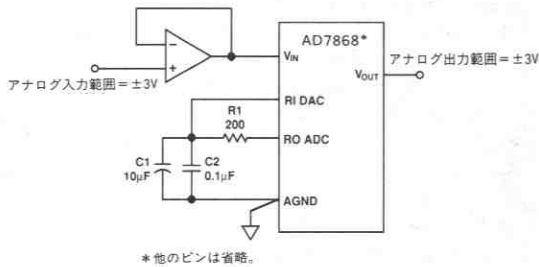


図 3. ノイズ・スペクトラル密度の周波数特性

入出力伝達関数

AD7868のバイポーラ回路を図4に示します。AD7868のアナログ入出力電圧範囲は±3Vです。連続する整数LSB値の間でADCに指定されたコード遷移が発生します(例えば1/2LSB、3/2LSB、5/2LSB... FS-3/2LSB)。入出力コードは2の補数バイナリ形式で、1LSB=FS/4096=1.46mVです。理想的な入出力伝達関数を図5に示します。



*他のピンは省略。

図 4. AD7868の基本的なバイポーラ動作。RO ADCをDACのリファレンス入力として使用

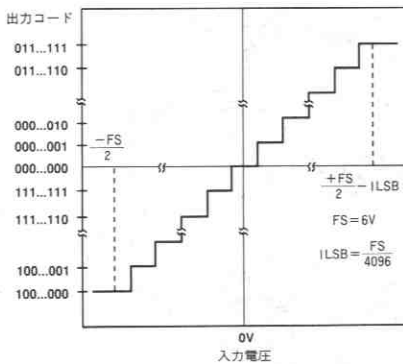


図 5. AD7868の入出力伝達関数

オフセットおよびフルスケール調整

ほとんどのデジタル信号処理(DSP)応用では、オフセットおよびフルスケール誤差はシステムの性能にまったく、あるいは、ほとんど影響を与えません。オフセット誤差はACカプリングによってアナログ領域で常に除去できます。フルスケール誤差は、入力信号がADCのフルダイナミック・レンジ内にある限り問題となりません。入力信号レンジがADCのフル・アナログ入力ダイナミック・レンジに及ぶような応用では、オフセット誤差とフルスケール誤差をゼロに調整する必要があります。

ADCの調整

図6にAD7868の入力と出力におけるADCとDAC両方の伝達関数のエンドポイントの調整のための信号調整回路を示します。オフセット誤差はフルスケール誤差よりも先に調整しなければなりません。これは、入力電圧V1がグラウンドの1/2LSB下の時、A1のオフセットを調整することによって行ないます。調整手順は以下の通りです。-0.73mV(-1/2LSB)を図6のV1に加え、A1のオフセット電圧をADC出力コードが1111 1111 1111 (FFF HEX) と0000 0000 0000 (000 HEX)の間を変動するまで調整します。

ADCのゲイン誤差調整は最初のコード遷移(ADCの負のフルスケール)または最後のコード遷移(ADCの正のフルスケール)のどちらかで行ないます。両方の場合での調整手順は以下の通りです(図6参照)。

ADCの正のフルスケール調整

V1に2.9978V (FS/2-3/2LSB)を印加し、ADCの出力コードが0111 1111 1110 (7FE HEX) と0111 1111 1111 (7FF HEX)の間を変動するまでR2を調整します。

ADCの負のフルスケール調整

V1に-2.9993V (-FS/2+1/2LSB)を印加し、ADCの出力コードが1000 0000 0000 (800 HEX) と1000 0000 0001 (801 HEX)の間を変動するまでR2を調整します。

DACの調整

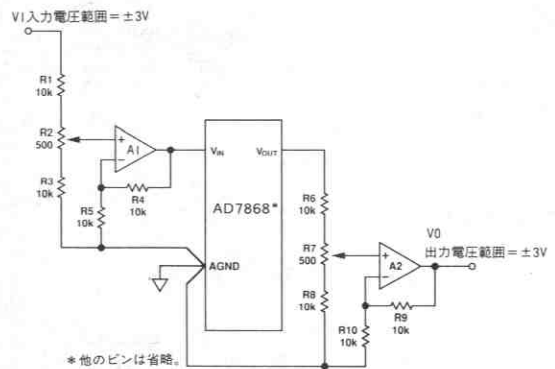
オペアンプA2はDACの伝達関数の調整のために用意されています。ここでもオフセット誤差はフルスケール誤差よりも先に調整する必要があります。オフセット誤差の調整は以下の手順で行ないます。DACに0000 0000 0000 (000 HEX)をロードし、A2のオフセットを0Vに調整します。DACのゲイン誤差調整はADCと同様に最初のコード遷移(DACの負のフルスケール)または最後のコード遷移(DACの正のフルスケール)のどちらかで行ないます。両方の場合での調整手順は以下の通りです。

DACの正のフルスケール調整

DACに0111 1111 1111 (7FF HEX)をロードし、オペアンプの出力電圧が2.9985V (FS/2-1LSB)になるようにR7を調整します。

DACの負のフルスケール調整

DACに1000 0000 0000 (800 HEX)をロードし、オペアンプの出力電圧が3.0V (-FS/2)になるようにR7を調整します。



*他のピンは省略。

図 6. AD7868の入出力調整回路

タイミングおよび制御

AD7868との通信は6つの専用ピンにより実行します。これらの専用ピンは分離されたシリアル・クロック、ワード・フレーミングまたはストロープ・パルスとデータ送信および受信のためのデータ信号から構成されています。変換開始とDACの更新はCONVSTとLDACの2つのデジタル入力により制御されます。これらの入力は精密なサンプリング間隔が必要な場合には外部タイマでマイクロプロセッサとは関係なくアサートすることができます。あるいは、CONVSTとLDACはアドレス・バスのデコード出力でも駆動することが可能で、変換開始とDAC更新、さらにAD7868とのデータ通信をマイクロプロセッサで制御することができます。

ADCのタイミング

CONVST入力によって変換を制御します。CONVST入力のLOWレベルからHIレベルへの遷移により変換が開始し、トラック・ホールド・アンプがホールド・モードに移行します。変換の実行中にシリアル・データが出力されます。図7にそのタイミング図を示します。ワード長は16ビットであり、データに先だって4ビットの0が出力され、その後MSBを先頭とした12ビットの変換結果が出力されます。このデータはシリアル・クロック出力 (RCLK) と同期し、シリアル・ストロープ (RFS) 出力によりフレーミングされます。データ・ビットはRFS出力がLOWレベルである期間中のシリアル・クロックのLOWレベルからHIレベルへの遷移に同期して出力され、このクロックの立下りエッジで有効となります。変換開始時にRFSがLOWレベルとなり、最初のシリアル・データ・ビット (先行する4個の0の先頭) がRCLKの最初の立下りエッジで有効となります。ADCのシリアル信号はすべてオープン・ドレイン出力で、外付のプルアップ抵抗が必要です。

シリアル・クロックは内蔵または外部からのADCのマスター・クロック源から得られます。通常、RCLKはシリアル伝送の期間のみ必要です。この場合には、複数のADCが共通のシリアル・バスを共有できるように、RCLKを変換終了後シャット・ダウン (高インピーダンス状態) することができます。しかしいくつかのシリアル・システム (TMS32020など) では連続動作のシリアル・クロックが必要です。

AD7868のADCでは両方の選択が可能です。CONTROL入力を0Vにすると、RCLKは非連続で動作し、-5Vの場合にはRCLKは連続動作となります。

DACのタイミング

AD7868のDACには入力ラッチとDACラッチの2個のラッチがあります。データは、TCLK、TFSおよびDTシリアル・ロジック入力信号による制御を受け、入力ラッチにロードされます。次にLDAC信号の制御によってデータを入力ラッチからDACラッチに転送します。AD7868の出力はDACラッチのデータによってのみ決定されます。

データは、TCLK、TFSおよびDTシリアル・ロジック入力信号の制御によって入力ラッチにロードします。AD7868のDACはDT入力に16ビットのシリアル・データ・ビット列を期待します。データはTCLKの立下りエッジで有効となる必要があります。TFS入力は、次のTCLKの16個の立下りエッジの間、シリアル・データが有効であることをAD7868のDACに知らせるフレーム同期信号です。図8にこのシリアル・データ形式に関するタイミング図を示します。

16ビット・データはクロックと同期して入力ラッチに入力されますが、DACラッチには12ビットのみが転送されます。したがって、このビット列のうちの4ビットはDACのラッチ・データとは無関係であるため、不定の値でも構いません。ビットの並びは、4個の不定ビットとそれに続くMSBを先頭にした12ビットDACデータとなります。

LDAC信号によりDACラッチへのデータ転送を制御します。通常、データはLDACの立下りエッジでDACラッチにロードされますが、LDACをLOWに保つとTCLKの16番目の立下りエッジでシリアル・データがDACラッチにロードされます。シリアル・データが入力ラッチにロードされているとき、LDACがLOWレベルになるとLDACの立下りエッジではDACラッチの更新は行われなくなります。シリアル転送が終了するまでLDACがLOWに保たれると、TCLKの16番目の立下りエッジで更新が行われます。シリアル転送が終了する前にLDACがHIレベルに戻ると、DACラッチの更新は行われません。

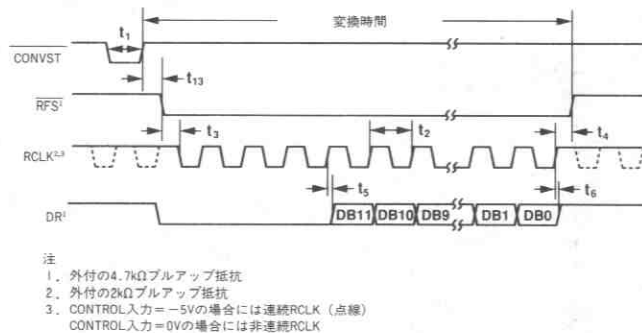


図7. ADCの制御タイミング図

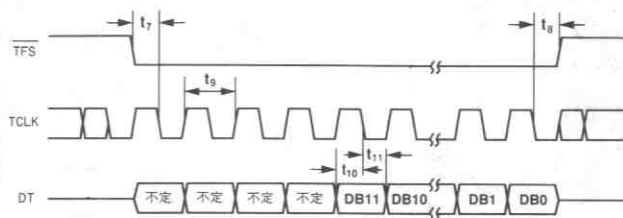


図8. DACの制御タイミング図

AD7868のダイナミック仕様

AD7868は積分および微分非直線性などの従来のDC仕様の他に、ダイナミック性能についても仕様が規定され、100%テストされています。これらのAC仕様は音声認識、スペクトラム分析および高速モデムなどの信号処理応用で必要となります。これらの応用では、コンバータが入力信号のスペクトルにどう影響するかについてのデータが必要です。そのためAD7868ではSNR、高調波歪み、相互変調歪みおよびピーク高調波などのパラメータについて仕様が規定されています。これらの用語については、以下の項でさらに詳しく説明します。

S/N比 (SNR)

SNRはADCまたはDACの出力における信号対雑音の比を測定したものです。信号は基本波の大ききのrmsを表わし、ノイズはDCを除くサンプリング周波数の1/2 (FS/2)までのすべての非基本波のrms合計を表わします。SNRは量子化プロセスで用いられるレベルの数によって変化します。すなわち、レベルが増えると、量子化ノイズは小さくなります。正弦波入力に対する理論的なSNRの値は次式で与えられます。

$$\text{SNR} = (6.02N + 1.76) \text{ dB} \quad (1)$$

ここでNはビット数を表示します。例えば理想的な12ビット・コンバータの場合、SNR=74dBとなります。

有効ビット数

(1)の式ではSNRとビット数との関係が示されています。式を(2)のように変形すると、性能を有効ビット数 (N) の形で表わすことができます。

$$N = \frac{\text{SNR} - 1.76}{6.02} \quad (2)$$

デバイスの有効ビット数は直接SNRから求められます。

高調波歪み

高調波歪みは高調波のrmsの合計と基本波の比を示すものです。AD7868の場合、全高調波歪み (THD) は次のように定義されます。

$$\text{THD} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここでは V_1 は基本波のrmsの大きさを、また V_2 、 V_3 、 V_4 、 V_5 および V_6 は各々第2から第6までの高調波のrmsの大きさを表わします。またTHDはADCまたはDAC出力スペクトラムのFFTグラフからも引出すことができます。

ADCの試験

ADCの出力スペクトラムは非常に低歪みの正弦波信号を入力 V_{IN} に与え、83kHzのサンプリング・レートでサンプルし、評価します。高速フーリエ変換 (FFT) プロットを作成し、これからS/N比データを得ることができます。図9に、AD7868BQ ADCにおける入力信号10kHz、サンプリング周波数83kHzの場合の代表的な2048ポイントのFFTプロットを示します。この図から得られるS/N比は73dBです。S/N比の算出には高調波を考慮に入れていることに注意してください。

図10にAD7868BQの83kHzサンプリング周波数での代表的な有効ビット数の周波数特性を示します。通常、S/N比72.2~73.1dBに対応した有効ビット数は11.7~11.85となります。

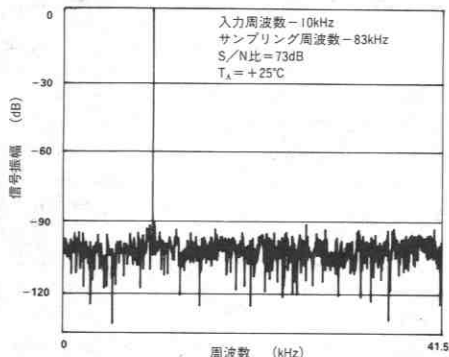


図9. AD7868 ADCのFFT波形

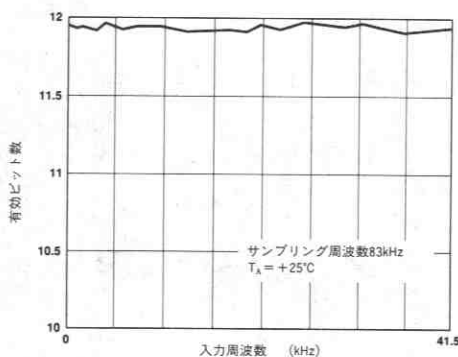


図10. ADCの有効ビット数の周波数特性

DACの試験

DACのダイナミック仕様の試験に用いる方法を簡便化して図11に示します。マイクロコントローラと周辺ロジックの制御によりDACにデータがロードされます。DAC出力は、カットオフ周波数がナイキスト・リミットに対応する9次のローパス・フィルタに加えられます。このフィルタの出力は次に16ビット精度のディジタルイザに与えられます。このディジタルイザは、入力信号をディジタル化し、マイクロコントローラによりFFTプロットを作成します。このFFTプロットからDACのダイナミック性能が評価されます。

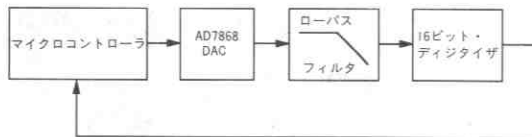


図11. AD7868のDACのダイナミック性能の試験回路

デジタル化のサンプリングはFFT計算を容易にするためDACのアップデート・レートと同期しています。このデジタル化はDAC出力が新しい値にセットリングした後でDAC出力をサンプリングします。したがってデジタル化が出力を直接サンプリングする場合には、サンプリング毎にDC値を有効にサンプルすることができます。この結果、DACのダイナミック性能は正しく測定できなくなります。DAC出力をデジタル化で直接測定すると、実際のDACの性能よりも良い結果が得られます。DACとデジタル化の間にフィルタを使用すると、デジタル化は連続的に変化する信号をサンプリングするようになり、AD7868のDAC出力の真のダイナミック性能が測定できます。

図12に、AD7868 DACのアップデート・レート83kHz、出力周波数1kHzでの代表的な2048ポイントのFFTプロットを示します。このプロットから得られるS/N比は73dBです。

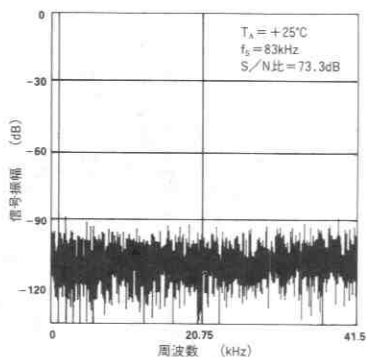


図12. AD7868のDAC FFTプロット

応用によっては、AD7868 DACよりも優れた周波数性能が必要な場合があります。このような応用では、図13のように簡単なサンプル・ホールド回路によってDACの優れた性能を20kHzまで拡張することができます。また、AD7868のDAC出力の後段に独自のサンプル・ホールド機能をすでに備えている応用もあります。この種の応用の例としては、スイッチド・キャパシタ・フィルタの駆動があり、このときDACはスイッチド・キャパシタ・フィルタと同期して更新されます。このような独自のサンプル・ホールド機能によっても周波数範囲の性能の向上が計れます。

性能の周波数特性

図14～15の標準的性能特性図に、AD7868 DACのアップデート・レート83kHzでの広範囲の入力周波数特性を示します。図14はDAC出力にサンプル・ホールドを接続していない場合で、図15はサンプル・ホールドを使用した場合の特性です。

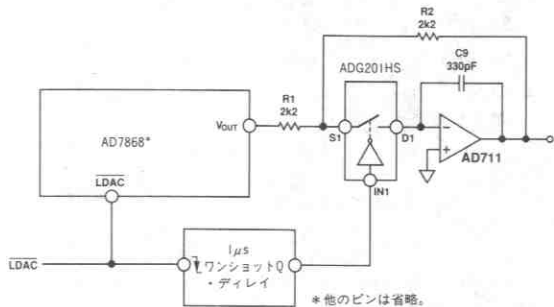


図13. DACのサンプル・ホールド回路

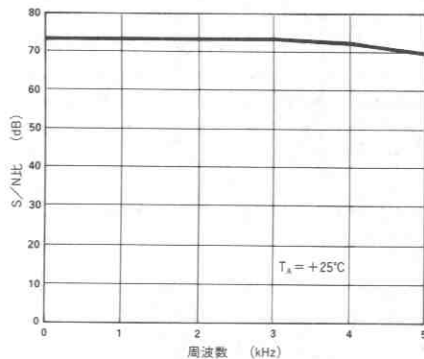


図14. DAC性能の周波数特性（サンプル・ホールドなし）

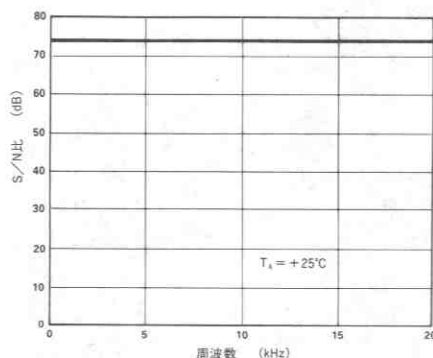


図15. DAC性能の周波数特性（サンプル・ホールド付き）

マイクロプロセッサとのインタフェース

AD7868のマイクロプロセッサとのインタフェースはDSPプロセッサとコンパチブルの標準プロトコルを使用したシリアル・バスを通して行ないます。独立した送信 (DAC) および受信 (ADC) 部から成る通信インタフェースは相互に関連して同期または非同期動作を行なうことができます。各部にクロック信号、データ信号とフレーム (またはストロブ) 信号を備えています。同期動作によりADCからのデータとDACへのデータは同時に送信されます。このモードでは1つのインタフェース・クロックのみ必要であり、ADCクロック出力を使用するためRCLKをTCLKに接続しなければなりません。非同期動作ではDACとADCのデータ転送は互いに独立しており、ADCが受信クロック (RCLK) を供給し、送信クロック (TCLK) はプロセッサまたはADC、あるいは他の外部クロック源から供給されます。

シリアル・インタフェースについて、考慮すべきもう1つの選択は、ゲートされたクロックを使用するかどうかです。ゲートされたクロックとはデータを送信するデバイスが、送信するデータの準備ができたときクロック送出を開始し、送信が完了したときクロック出力をトライ・ステート状態に切替える動作を意味します。最初のクロックの立下りエッジで最初のデータ・ビットが受信デバイスにラッチされてから、送信されるのは16クロック・パルスだけです。理想的にはフレーム・パルスの必要はありませんが、AD7868のDACのフレーム入力 (TFS) はデータ送信の間HIレベルに保つ必要があります。最も簡単な方法は、RFSをTFSの駆動に使用し、同期インタフェースのみを使用することです。このことによりプロセッサとAD7868のフレーム信号間の接続を避けることができます。図16に示すDSP56000の例のように、すべてのプロセッサがゲートされたクロック機能を備えているわけではありません。

表1に異なるインタフェース条件でのプロセッサとAD7868との間の接続を示します。AD7868には送信データと受信データに異なるクロックを使用する機能があります。しかしこの機能はいくつかの種類のプロセッサについてのみ適用され、通常は1クロック (ADCクロック) がAD7868との通信クロックとして使用されます。このデータ・シートに記載されているすべてのインタフェース例では簡略化のため、同期インタフェースとADCクロック (RCLK) をDACクロック (TCLK) の入力として使用しています。これらの個々のインタフェースに関する理解を深めるためには、該当するプロセッサのデータ・シートを参照ください。

設定	接続配線の数	信号
同期	4	RCLK, DR, DT, RFS (TCLK=RCLK, TFS=RFS)
非同期*	5または6	RCLK, DR, RFS, DT, TFS (TCLK=RCLKまたは μ Pシリアル・クロック)
ゲートされた同期クロック	3	RCLK, DR, DT (TCLK=RCLK, TFS=RFS)

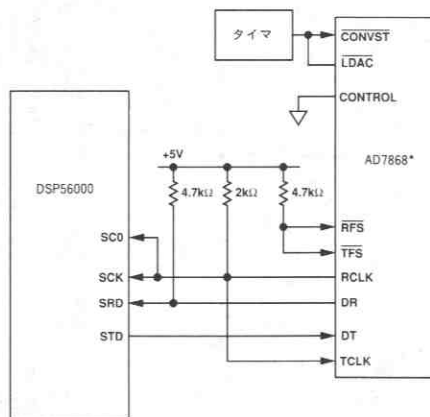
* TCLK=RCLKの場合には5本の接続線となります。
TCLK= μ Pシリアル・クロックの場合には6本の接続線となります。

表1. 種々のインタフェース・オプションでの接続ライン

AD7868とDSP56000のインタフェース

図16にAD7868とDSP56000との標準的なインタフェースを示します。インタフェース設定はAD7868をゲートされた同期クロック動作とし、接続のため3本の信号線のみを用います。DSP56000の内

部のシリアル制御レジスタは16ビット・データ・ワードで最初のクロックの立下りエッジでデータが有効となるよう設定してあります。変換開始とDACの更新は外部タイマで制御します。ADCの変換中に発生するデータ転送はプロセッサの受信と送信シフト・レジスタとAD7868のADCとDACの間で行なわれます。16ビット転送が終了するごとに、送信レジスタが空で受信レジスタが満杯であることを示すためDSP56000は内部割込みを受信します。

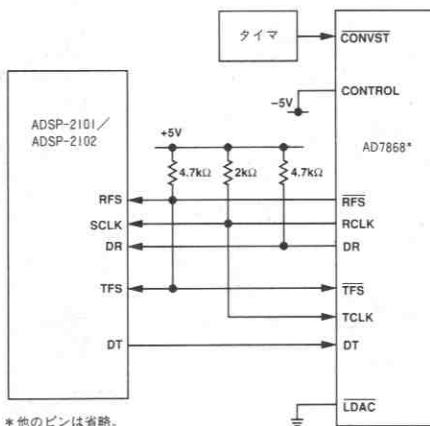


*他のピンは省略。

図16. AD7868とDSP56000のインタフェース

AD7868とADSP-2101/ADSP-2102のインタフェース

図17にAD7868とADSP-2101またはADSP-2102とのインタフェースを示します。インタフェースは同期で連続クロックの設定となっています。LDACはLOWレベルに接続してあるため、TFSがLOWレベルとなった後の16番目のクロックの立下りエッジでDACが更新されます。この代わりに図16に示したようにLDACをタイマで駆動することもできます。これまでに示したインタフェースと同様に、AD7868の書き込みまたは読み出し動作を行なった後、プロセッサは内部割込みを受信し、内部レジスタを更新し、次のデータ転送の準備を行ないます。



*他のピンは省略。

図17. AD7868とADSP-2101/ADSP-2102のインタフェース

AD7868とTMS32020/TMS320C25のインタフェース

図18にAD7868とTMS32020/TMS320C25のインタフェースを示します。これは同期で連続クロック動作に設定されています。AD7868を非連続クロック設定にすると、これらのプロセッサとのインタフェースは正しく行なわれないのでご注意ください。変換開始とDACの更新は外部タイマで行ないます。

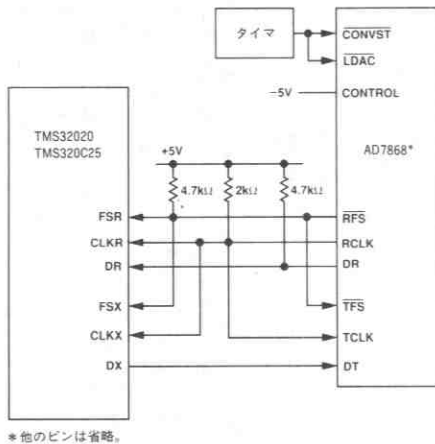


図18. AD7868とTMS32020/TMS320C25のインタフェース

使用上の注意

高速A/D性能を実現するためには回路自体の設計と同様に、プリント基板(PCB)のレイアウトも重要な要素となります。AD7868は1.465mVのLSBサイズをベースにビット判定を行なわなければならないので、設計者はADC自体の他にそれに先行するアナログ回路のノイズにも十分配慮する必要があります。スイッチング・モード電源を使うと、スイッチング・スパイクがコンパレータまでフィードスルーするため、コード遷移にノイズが入るので、使用しない方がよいでしょう。その他注意すべき点はグラウンド・ループとマイクログプロセッサからのデジタル・フィードスルーです。これらのファクタはどんなADCにも影響を及ぼすので、影響を最小限に抑えるようなPCBレイアウトが理想的な性能を得るためには不可欠です。

レイアウト上の注意

プリント基板のレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ離すようにします。デジタル・トラックがアナログ・トラックに沿って走るといけないよう注意してください。アナログ入力はAGNDでガード(遮蔽)します。

AD7868のAGNDピンまたはなるべくAD7868に近い所でロジック・システム・グラウンドとは別に1点アナログ・グラウンド(星形グラウンド)を設定します。他のすべてのグラウンドおよびAD7868のDGNDをこのアナログ・グラウンド・ポイントに接続します。その他のデジタル・グラウンドは、このアナログ・グラウンド・ポイントに接続してはいけません。

ADCの低ノイズ動作を実現するためには、アナログおよびディジ

タル電源のコモン・リターンを低インピーダンスにする必要があるため、これらのトラックのフォイル幅をできるだけ広くします。グラウンド・プレーンを使用すると、インピーダンス・パスを最小限に抑えるとともに、アナログ回路をデジタル・ノイズからガードすることができます。図22と23の回路レイアウトではアナログ・グラウンド・プレーンとデジタル・グラウンド・プレーンの両方がどちらにも用いられていますが、両者はAD7868のAGNDピンでつながっている以外は完全に分離されています。

ノイズ

V_{IN} への入力信号リードおよびAGNDからの信号リターン・リードは、入力ノイズのカップリングを最小限にするためになるべく短くします。それが不可能な応用の場合は、ソースとADC間をシールド・ケーブルで接続します。信号源とADCのグラウンド間に電位差があると、入力信号に誤差電圧となって現われるため、グラウンド回路のインピーダンスはなるべく低減する必要があります。

入出力ボード

図19にAD7868を使用したI/Oボードを示します。これに対応するプリント基板のレイアウトとシルク・スクリーンを図21~23に示します。

AD7868のアナログ入力はAD711オペアンプでバッファされています。ADCのアンチエイリアシング・フィルタ、DACの再生用フィルタ、他の信号調整回路などを組み込むように基板のアナログ入力の近くに部品グリッドを設けています。部品グリッドを利用するために、アナログ入力と出力配線に必要な2つのワイヤ・リンク(基板上のLK1、LK2)を設けました。

このボードにはAD7868のDAC出力に使用し、より広い周波数範囲で性能を向上させることのできるSHA(サンプル・ホールド)回路が含まれています。このSHAにより拡張された性能は図14~15に示しています。ショート・プラグ(LK3)により、ボードの出力をSHA出力か直接AD7868のDAC出力かのどちらかに接続します。

このボード上にはLDACの選択のためのショート・プラグも用意されています。LDACはCONVSTと独立して外部信号源から駆動することも、CONVSTと接続することもあるいは、GNDへ接続することもできます。LDACをGNDに接続する選択を行なうと、SHA動作はディスエーブルされ、SHAは常にトラック・モードとなります。

このボードへのマイクログプロセッサの接続は9ピンDタイプ・コネクタで行ないます。このコネクタのピンアウトを図20に示します。ADCのデジタル出力は74HC4050でバッファされています。これらのバッファにより、より高い容量性負荷やケーブルの高電流出力能力が得られます。AD7868がプロセッサと同一の基板に搭載されている場合には、通常これらのバッファは必要ありません。

電源の接続

この基板には2種類のアナログ電源と1種類の5Vデジタル電源が必要です。図21のシルク・スクリーンに示すようにアナログ電源の接続はPCBに直接行なわれます。アナログ電源は $V+$ 、 $V-$ と表わされるもので、両電源とも12V~15Vの範囲です。5Vデジタル電源の接続はDタイプ・コネクタSKT6を通して行ないます。AD7868に必要な±5Vアナログ電源は $V+$ および $V-$ 電源入力上の2個の電源レギュレータで生成します。

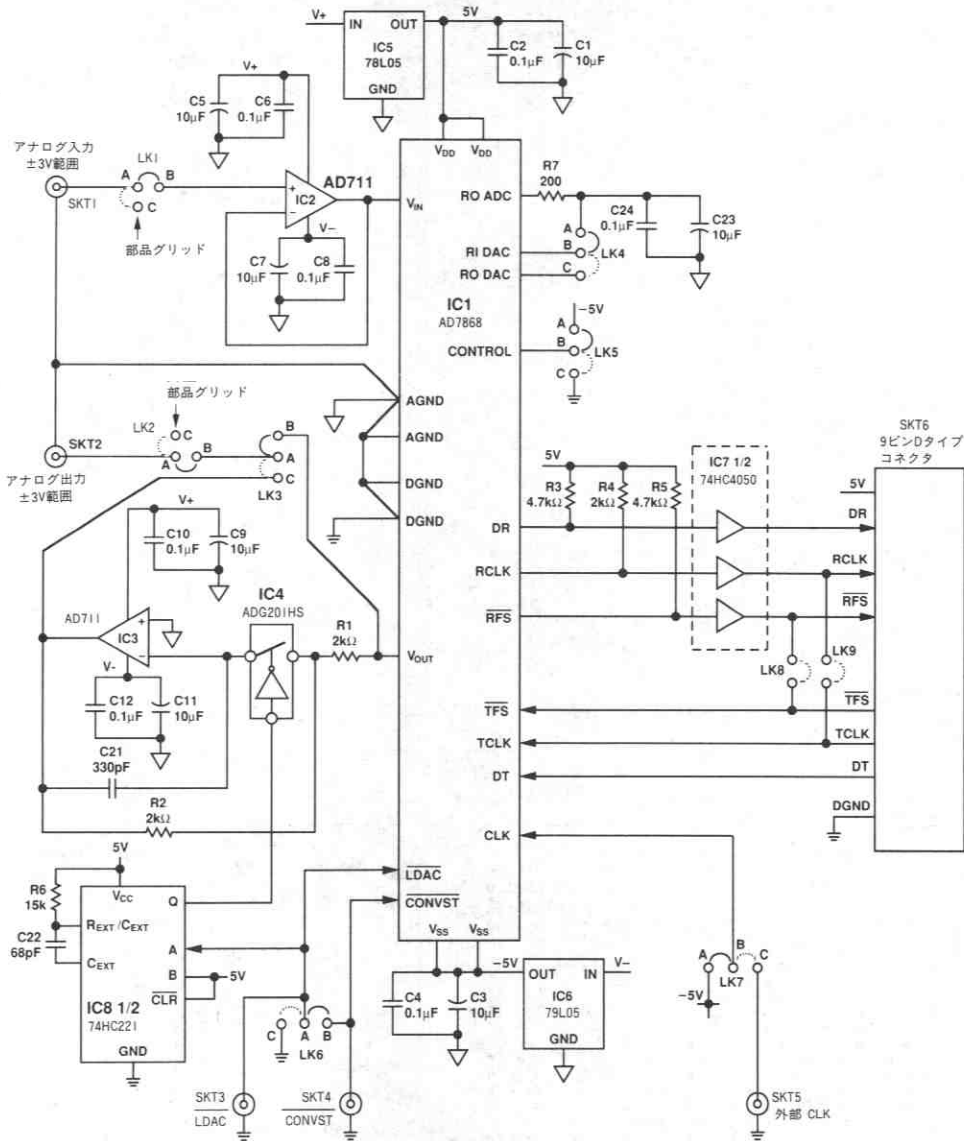


図19. AD7868を使用した入出力ボードの回路

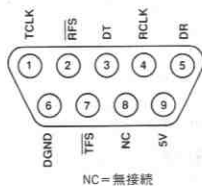


図20. Dタイプ・コネクタSKT6のピンアウト

ショート・プラグの設定

LK1、アナログ入力の設定

アナログ入力を部品グリッドに接続するか、ADC入力を駆動するバッファ・アンプに接続します。

LK2、アナログ出力の設定

アナログ出力を部品グリッドに接続するか、SHAまたはDAC出力のどちらかに接続します (LK3参照)。

LK3、SHAまたはDACの選択

アナログ出力を直接DACから得るか、DAC出力のSHAから得るかを
選択します。

LK4、DACリファレンスの選択

DACリファレンスをADCリファレンス出力 (RO ADC) に接続する
か、DACリファレンス (RO DAC) に接続するかを選択します。

LK5、ADC内部クロック選択

このジャンパ・プラグによりADCを連続または非連続の内部クロッ
ク動作に設定します。

LK6、DAC更新方法の選択

DACのLDAC入力和ADCのCONVST信号を独立して使用するか、
CONVSTに接続するか、GNDに接続するかを設定します。

LK7、ADCクロック源の選択

このジャンパ・ポストによりADCを内部クロック発振器で動作させ
るか、外部からのTTLコンパチブルのクロックで動作させるかを設
定します。

LK8、フレーム同期方式の選択

LK8により、ADCのRFS出力をDACのTFS入力に接続するかどうかを
決めます。

LK9、送信/受信クロックの選択

LK9はADCのRCLKをDACのTCLKに接続するかどうかを決めま
す。

部品リスト

IC1	AD7868	C22	68pFコンデンサ
IC2, IC3	AD711 2個	R1, R2, R4	2kΩ抵抗
IC4,	ADG201HS	R3, R5	4.7kΩ抵抗
IC5,	MC78L05	R6	15kΩ抵抗
IC6,	MC79L05	R7	200Ω抵抗
IC7,	74HC4050	LK1, LK2, LK3,	
IC8,	74HC221	LK4, LK5, LK6,	ショート・プラグ
C1, C3, C5, C7		LK7, LK8, LK9	
C9, C11, C13, C15	10μFコンデンサ	SKT1, SKT2, SKT3,	
C17, C19, C23		SKT4, SKT5	BNCソケット
C2, C4, C6, C8		SKT6	9ピンDタイプ・コネクタ
C10, C12, C14, C16	0.1μFコンデンサ		
C18, C20, C24			
C21	330pFコンデンサ		

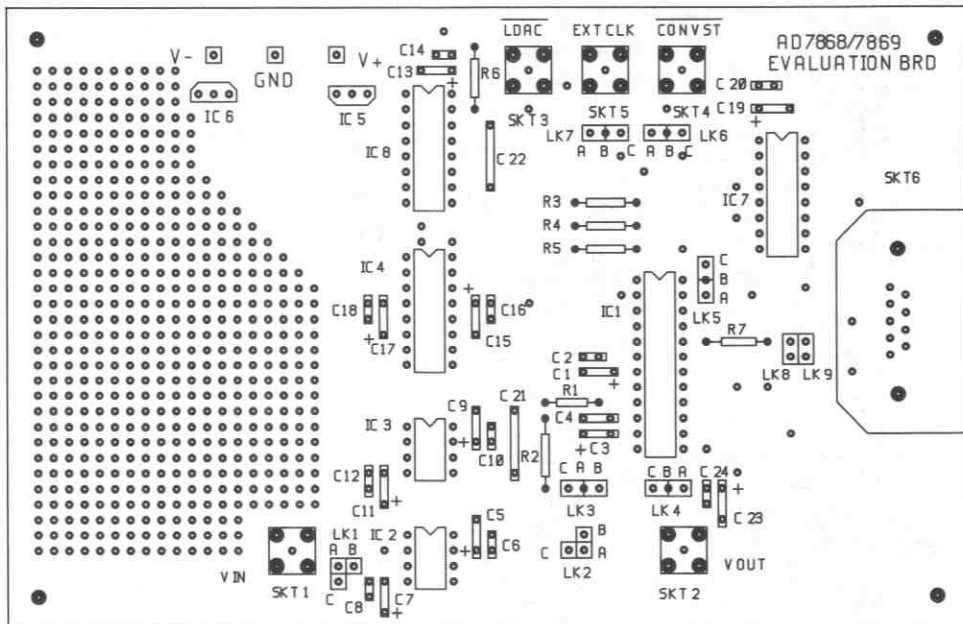


図21、図19の回路図のシルク・スクリーン

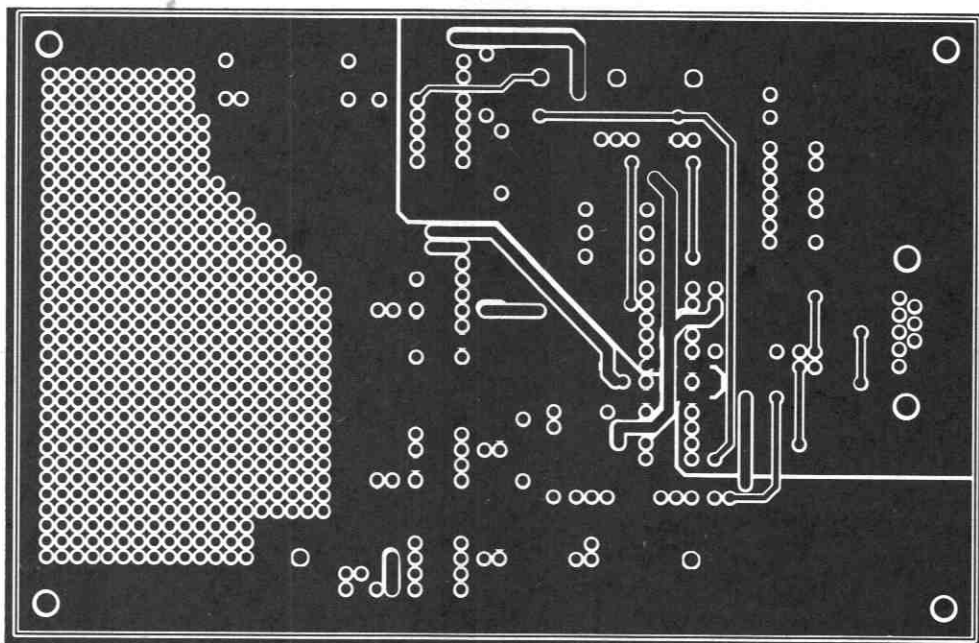


図22. 図19の回路図の部品面のパターン

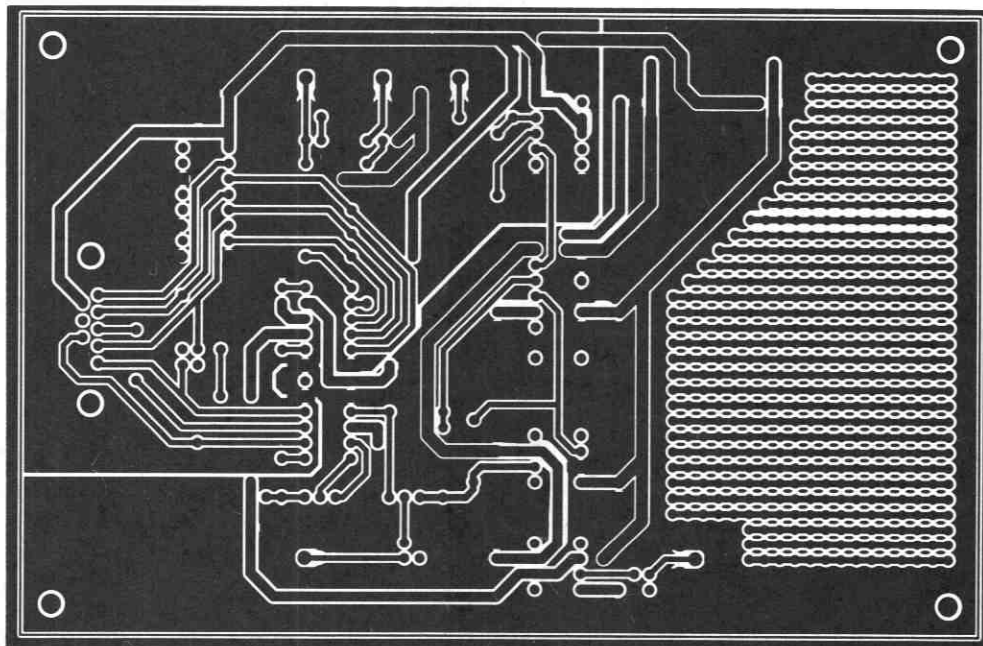
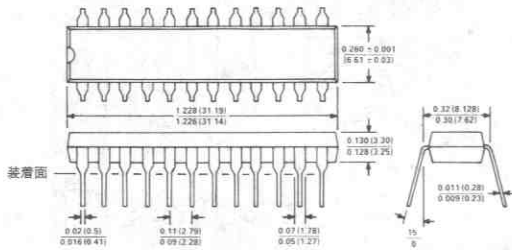


図23. 図19の回路図のハンダ面のパターン

外形サイズ

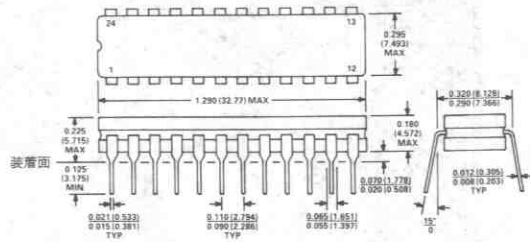
サイズはインチと (mm) で示します。

24ピン・プラスチック (N-24)



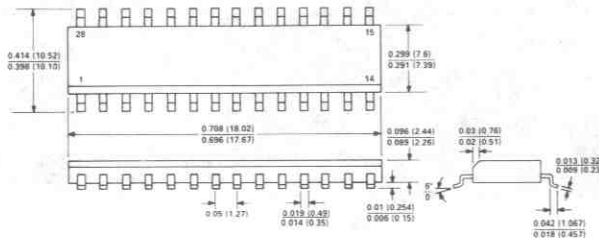
- 注
- 1番ピンは点または刻みで示します。
 2. プラスチック・リードはMIL-M-38510規格に準拠してハンダ・メッキまたはスズ・メッキのどちらかが施されています。

24ピン・サーディップ (Q-24)



- 注
- 1番ピンは点または刻みで示します。
 2. サーディップ・リードはMIL-M-38510規格に準拠してハンダ・メッキまたはスズ・メッキのどちらかが施されています。

28ピン・プラスチック SOIC (R-28)



- 注
- 1番ピンは点または刻みで示します。
 2. SOICリードはMIL-M-38510規格に準拠してハンダ・メッキまたはスズ・メッキのどちらかが施されています。

オーダ・ガイド¹⁾

S/N比	相対精度	温度範囲とパッケージ・オプション		
		-40~+85°C	-40~+85°C	-55~+125°C
70dB	±1/2LSB typ	プラスチック DIP	ハーメチック DIP	ハーメチック DIP
70dB	±1 LSB max	AD7868AN	AD7868AQ	AD7868TQ
72dB	±1 LSB max	AD7868BN	AD7868BQ	
70dB	±1/2LSB typ	プラスチック SOIC ²⁾		
72dB	±1 LSB max	AD7868AR		
		AD7868BR		

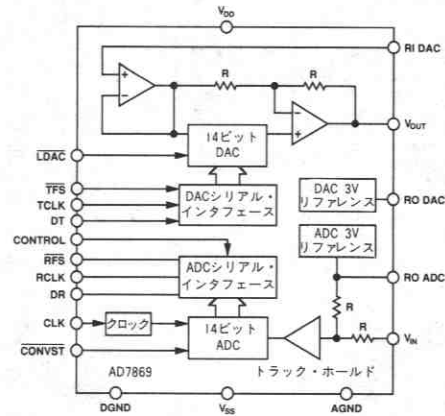
- 注
1. AD7868TQは、883Bプロセス製品のみ供給可能です。
 2. プラスチックSOIC：プラスチック・スモール・アウトラインIC

特長

- 全機能内蔵の14ビットI/Oシステム
- トラック・ホールド・アンプ付き14ビットADC
- 83kHzのスループット・レート
- 出力アンプ付き14ビットDAC
- 3.5 μ sのセトリング時間
- 電圧リファレンス
- ± 5 V電源動作
- 低消費電力: 130mW typ
- 小型7.6mm幅DIP

応用

- デジタル信号処理
- 音声認識/合成
- スペクトラム・アナライザ
- 高速モデム
- DSPによるサーボ制御


AD7869機能ブロック図
概要

AD7869はDACとADCを備えた全機能内蔵型の14ビットI/Oシステムです。トラック・ホールド・アンプ付きのADCは逐次比較型で、トータル・スループット・レート83kHzです。DACには出力バッファ・アンプが備わっており、14ビット精度に対するセトリング時間は4 μ sです。温度補償された3Vの埋込みツェナ・リファレンスにより、DACとADCに高精度リファレンスが与えられます。

DACとADCへのインタフェースはシリアル形式です。これによってピン数が最小となり、小型の24ピン・パッケージを実現しています。標準の制御信号によりほとんどのDSPプロセッサとシリアル・インタフェースが可能です。ADCの非同期変換の制御とDACの更新は、CONVSTとLDACロジック入力で行なうことができます。

AD7869は ± 5 V電源で動作し、ADC/DACのアナログ入出力範囲は ± 3 Vです。このデバイスは従来のDC精度仕様に加え、歪みやS/N比などのダイナミック特性についても完全に仕様が規定されています。

AD7869は、24ピン7.6mm幅のプラスチックまたはハーメチックDIPおよび28ピン・プラスチックSIOCパッケージを用意しています。

製品ハイライト

1. 完全な14ビットI/Oシステム
AD7869はトラック・ホールド・アンプ付きの14ビットADCと、出力アンプ付きの14ビットDACを内蔵しています。さらに、ADCとDAC用に独立した電圧リファレンスを内蔵しています。
2. DSPのためのダイナミック仕様の規定
従来のDC仕様の他に、AD7869はS/N比、高調波歪みなどのAC性能についても完全に仕様が規定され、試験されています。これらのパラメータは重要なタイミング・パラメータとともにすべてのデバイスについて試験しています。
3. 小型パッケージ
AD7869のパッケージは24ピンDIPおよび28ピンSOICと小型です。

仕様

ADC部

(特に指定のない限り、 $V_{DD}=+5V\pm5\%$ 、 $V_{SS}=-5V\pm5\%$ 、 $AGND=DGND=0V$ 、 f_{CLK} =外部2.0MHz、
特に指定のない限り、 $T_{min}-T_{max}$ の値。)

パラメータ	Jバージョン ¹⁾	Aバージョン ¹⁾	単位	テスト条件/備考
ダイナミック特性 ²⁾ 信号ノイズ比 ^{3,4)} (S/N比) @ +25°C $T_{min}-T_{max}$ 全高調波歪み (THD) ピーク高調波または スプリアス・ノイズ 相互変調歪み (IMD) 第2次項 第3次項 トラック・ホールド・ アクリジション時間	78 78 -86 -86 -86 -88 2	78 77 -86 -86 -86 -88 2	dB min dB min dB typ dB typ dB typ dB typ μs max	$V_{IN}=10kHz$ 正弦波, $f_{SAMPLE}=83kHz$ $V_{IN}=10kHz$ 正弦波, $f_{SAMPLE}=83kHz$ $V_{IN}=10kHz$ 正弦波, $f_{SAMPLE}=83kHz$ $f_a=9kHz$, $f_b=9.5kHz$, $f_{SAMPLE}=50kHz$ $f_a=9kHz$, $f_b=9.5kHz$, $f_{SAMPLE}=50kHz$
DC精度 分解能 ノミス・コードを 保証する最小分解能 積分非直線性 微分非直線性 バイポーラ・ゼロ誤差 正のゲイン誤差 ⁵⁾ 負のゲイン誤差 ⁵⁾	14 14 ± 2 ± 1 ± 20 ± 20 ± 20	14 14 ± 2 ± 1 ± 20 ± 20 ± 20	ビット ビット LSB max LSB max LSB max LSB max LSB max	
アナログ入力 入力電圧範囲 入力電流	± 3 ± 1	± 3 ± 1	V mA max	
リファレンス出力 ⁶⁾ RO ADC @ +25°C RO ADC温度係数 リファレンス負荷感度 (Δ RO ADC 対 Δ I)	2.99/3.01 ± 25 -1.5	2.99/3.01 ± 25 -1.5	V min/V max ppm/°C typ \pm ppm/°C max mV max	リファレンス負荷電流変化(0-500 μ A) 変換中のリファレンス負荷の変化は禁止。
ロジック入力 (CONVST, CLK, CONTROL) 入力HI電圧、 V_{INH} 入力LOW電圧、 V_{INL} 入力電流、 I_{IS} 入力電流 ⁷⁾ (CONTROL&CLK) 入力容量、 C_{IN} ⁸⁾	2.4 0.8 ± 10 ± 10 10	2.4 0.8 ± 10 ± 10 10	V min V max μ A max μ A max pF max	$V_{DD}=5V\pm5\%$ $V_{DD}=5V\pm5\%$ $V_{IN}=0V$ から V_{DD} $V_{IN}=V_{SS}$ から DGND
ロジック出力 DR, RFS出力 出力LOW電圧、 V_{OL} RCLK出力 出力LOW電圧、 V_{OL} DR, RFS, RCLK出力 フローティング状態漏れ電流 フローティング状態出力容量 ⁸⁾	0.4 0.4 ± 10 15	0.4 0.4 ± 10 15	V max V max μ A max pF max	$I_{SINK}=1.6mA$ 、プルアップ抵抗=4.7k Ω $I_{SINK}=2.6mA$ 、プルアップ抵抗=2k Ω
変換時間 外部クロック 内部クロック	10 10	10 10	μs max μs max	内部クロックの定格値は2MHz
電源 V_{DD} V_{SS} I_{DD} I_{SS} 消費電力	+5 -5 22 12 170	+5 -5 22 12 170	V nom V nom mA max mA max mW max	DACとADCの両方について $\pm 5\%$ で仕様保証 $\pm 5\%$ で仕様保証 2つの V_{DD} ピンからの累積電流 2つの V_{SS} ピンからの累積電流 130mW typ

- 注
1. 温度範囲は以下のとおりです。Jバージョン：0~+70°C、Aバージョン：-40~+85°C
2. $V_{IN}=\pm 3V$
3. S/N比計算には歪みおよび雑音成分を含みます。
4. 変換中のDACの非同期更新によるS/N比の劣化は0.1dB typです。
5. 内部リファレンスを基準に測定されています。
6. 50pF以上の容量性負荷に対しては直列抵抗が必要です (内部リファレンスの項を参照)
7. CONTROL入力を V_{DD} に接続すると、工場試験モードとなり、通常動作は行ないません。
8. +25°Cでサンプリング試験を実施。

仕様は予告なしに変更することがあります。

DAC部

(特に指定のない限り、 $V_{DD}=+5V\pm5\%$ 、 $V_{SS}=-5V\pm5\%$ 、 $AGND=DGND=0V$ 、 $RI\ DAC=+3V$ で図2のよう
にデカップリング。 V_{OUT} 負荷を $AGND$ に接続。 $R_L=2k\Omega$ 、 $C_L=100pF$ 。
特に指定のない限り、 $T_{min}-T_{max}$ の値。)

パラメータ	Jバージョン ¹	Aバージョン ¹	単位	テスト条件/備考
ダイナミック特性 ² 信号ノイズ比 ³ (S/N比) @ +25°C $T_{min}-T_{max}$ 全高調波歪み (THD) ピーク高調波または スプリアス・ノイズ	78 78 -86 -86	78 77 -86 -86	 dB min dB min dB typ dB typ	 $V_{OUT}=1kHz$ 正弦波, $f_{SAMPLE}=83kHz$ $0<V_{OUT}<20kHz$, +25°C で82dB typ ⁴ $V_{OUT}=1kHz$ 正弦波, $f_{SAMPLE}=83kHz$ $0<V_{OUT}<20kHz$, +25°C で-84dB typ ⁴ $V_{OUT}=1kHz$ 正弦波, $f_{SAMPLE}=83kHz$ $0<V_{OUT}<20kHz$, +25°C で-84dB typ ⁴
DC精度 分解能 積分非直線性 微分非直線性 バイポーラ・ゼロ誤差 正のフルスケール誤差 ⁵ 負のフルスケール誤差 ⁵	14 ±2 ±1 ±10 ±10 ±10	14 ±2 ±1 ±10 ±10 ±10	ビット LSB max LSB max LSB max LSB max LSB max	単調増加性を保証
リファレンス出力 ⁶ RO DAC@ +25°C RO DAC温度係数 リファレンス 負荷変動 ($\Delta RO\ DAC$ 対 ΔI)	2.99/3.01 ±25 -1.5	2.99/3.01 ±25 ±40 -1.5	V min/V max ppm/°C typ ppm/°C max mV max	リファレンス 負荷電流変動 (0-500 μA)
リファレンス入力 RI DAC入力範囲 入力電流	2.85/3.15 1	2.85/3.15 1	V min/V max μA max	3V ±5%
ロジック入力 (LDAC, TFS, TCLK, DT) 入力HI電圧、 V_{INH} 入力LOW電圧、 V_{INL} 入力電流、 I_{IN} 入力容量、 C_{IN} ⁷	2.4 0.8 ±10 10	2.4 0.8 ±10 10	V min V max μA max pF max	$V_{DD}=5V\pm5\%$ $V_{DD}=5V\pm5\%$ $V_{IN}=0V$ から V_{DD}
アナログ出力 出力電圧範囲 dc出力インピーダンス 短絡電流	±3 0.3 20	±3 0.3 20	V nom Ω typ mA typ	
AC特性 ⁷ 電圧出力セトリング時間 正のフルスケール変化 負のフルスケール変化 デジタル-アナログ・ グリッチ・インパルス デジタル・フィードスルー $V_{IN}-V_{OUT}$ 間アイソレーション	4 4 10 2 100	4 4 10 2 100	μs max μs max nV秒 typ nV秒 typ dB typ	最終値の±1/2LSB以内に対するセトリング時間 3 μs typ 3.5 μs typ DACコード変化はオール1からオール0 $V_{IN}=\pm 3V$, 41.5kHz 正弦波
電源	ADC部と同じ			

注

1. 温度範囲は以下のとおりです。Jバージョン: 0~+70°C、Aバージョン: -40~+85°C
2. V_{OUT} (p-p) = ±3V
3. S/N比計算には歪みおよび雑音成分を含みます。
4. 外部サンプル・ホールドを使用して測定。図13-15を参照。
5. REF INを基準に測定され、バイポーラ・オフセット誤差を含みます。
6. 50pF以上の容量性負荷に対しては直列抵抗が必要です (内部リファレンスの項を参照)
7. +25°Cでサンプリング試験を実施

仕様は予告なしに変更することがあります。

タイミング特性^{1,2}

(特に指定のない限り、 $V_{DD} = +5V \pm 5\%$ 、 $V_{SS} = -5V \pm 5\%$ 、 $AGND = DGND = 0V$)

パラメータ	T_{min} 、 T_{max} での限界値 (全バージョン)	単位	条件/備考
ADCタイミング			
t_1	50	ns min	CONVSTパルス幅 RCLK サイクル時間、内部クロック RFS-RCLK 立下りエッジ・セットアップ時間 RCLK 立上りエッジ-RFS
t_2^3	440	ns min	
t_3	100	ns min	
t_4	20	ns min	
t_5^4	100	ns max	RCLK から有効データ遅延、 $C_L = 35pF$ RCLK 後のバス解放時間
t_6	4	ns min	
t_{13}^5	100	ns max	
	2 RCLK-200~ 3 RCLK+200	ns typ	CONVSTからRFS遅延
DACタイミング			
t_7	50	ns min	TFSからTCLK立下りエッジ TCLK 立下りエッジからTFS TCLK サイクル時間 有効データ-TCLKセットアップ時間 有効データ-TCLK ホールド時間 LDACパルス幅
t_8	75	ns min	
t_9^6	150	ns min	
t_{10}	30	ns min	
t_{11}	75	ns min	
t_{12}	40	ns min	

注

1. タイミング仕様は+25°Cでサンプリング試験が施されています。入力信号はすべて $tr=tf=5ns$ (5Vの10%から90%)で規定され、1.6Vの電圧レベルからの時間で計測されています。
2. シリアル信号のタイミングはDRとRFSは4.7k Ω 、RCLKに2k Ω のプルアップ抵抗を接続して測定しました。これらの出力容量はすべて35pFです。
3. 内部クロック使用時のRCLKのマーク/スペース比(1.6Vの電圧レベルから測定)レンジは40/60-60/40です。外部クロック時にはRCLKのマーク/スペース比は外部クロックのマーク/スペース比となります。
4. DRはより高い容量性負荷を駆動できますが、その場合外部のRC時定数(4.7k Ω /C_L)が増し、2.4Vの電圧レベルに達するまでの時間が長くなるため、 t_4 が大きくなります。
5. 2RCLKから3RCLKの時間はADCのクロックと変換開始との同期状態によります。
6. TCLKのマーク/スペース比は40/60-60/40です。

絶対最大定格*

(特に指定のない限り、 $T_A = +25^\circ C$)

$V_{DD} - AGND$	-0.3 ~ +7V
$V_{SS} - AGND$	+0.3 ~ -7V
$AGND - DGND$	-0.3 ~ $V_{DD} + 0.3V$
$V_{OUT} - AGND$	$V_{SS} - V_{DD}$
$V_{IN} - AGND$	$V_{SS} - 0.3 \sim V_{DD} + 0.3V$
RO ADC-AGND	-0.3 ~ $V_{DD} + 0.3V$
RO DAC-AGND	-0.3 ~ $V_{DD} + 0.3V$
RI DAC-AGND	-0.3 ~ $V_{DD} + 0.3V$
デジタル入力-DGND	-0.3 ~ $V_{DD} + 0.3V$
デジタル出力-DGND	-0.3 ~ $V_{DD} + 0.3V$

動作温度範囲

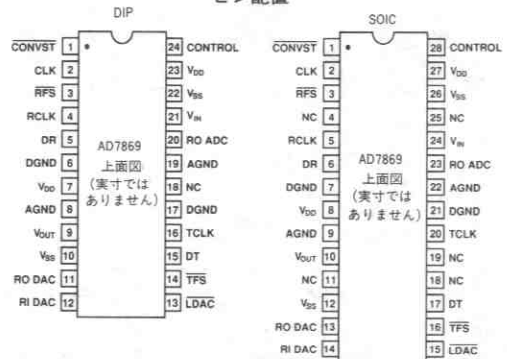
Jバージョン	0 ~ +70°C
Aバージョン	-40 ~ +85°C

保管温度範囲

リード温度 (ハンダ付け10秒)	+300°C
------------------------	--------

電力消費 (各パッケージ)+75°Cまで.....100mW
+75°C以上のディレーティング.....10mW/°C

ピン配置



注

*絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスがある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

NC=無接続

注意

この素子はESD(Electrostatic-Discharge)センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させる必要があります。



ピン機能の説明

DIPピン 番号	名称	機能
電源		
7, 23	V _{DD}	正電源。+5V±5%。両V _{DD} ピンは互いに結線します。
10, 22	V _{SS}	負電源。-5V±5%。両V _{SS} ピンは互いに結線します。
8, 19	AGND	アナログ・グラウンド。両AGNDピンは互いに結線します。
6, 17	DGND	デジタル・グラウンド。両DGNDピンは互いに結線します。
アナログ信号とリファレンス		
21	V _{IN}	ADCアナログ入力。ADC入力範囲は±3Vです。
9	V _{OUT}	DACからのアナログ出力電圧です。この出力はバッファ・アンプからの出力です。出力範囲はRI DAC=+3Vのときバイポーラ、±3Vです。
20	RO ADC	電圧リファレンス出力。内部のADC 3Vリファレンスがこのピンに出力されています。この出力をRI DAC入力に接続すれば、DACのリファレンスとして使用できます。このリファレンスの外部負荷能力は500μAです。
11	RO DAC	DAC電圧リファレンス出力。2個の内蔵リファレンスのうちの1個です。DACをこのリファレンスで動作させるにはRO DACをRI DACに接続しなければなりません。このリファレンスの外部負荷能力は500μAです。
12	RI DAC	DAC電圧リファレンス入力です。DAC用の電圧リファレンスはこのピンに印加します。この入力にはDACに加えらるる前にバッファされます。AD7869が正しく動作するための定格リファレンス電圧は3Vです。
ADCインタフェースと制御		
2	CLK	クロック入力。外部のTTLコンパチブルのクロックをこの入力に加えます。あるいはこのピンをV _{SS} に接続すると、内蔵のレーザ・トリミングされた発振器がイネーブルとなります。
3	RFS	受信フレーム同期、ロジック出力。このピンはアクティブLOWのオープン・ドレイン出力で、シリアル・データのためのフレーミング・パルス信号です。RFSピンには外付の4.7kΩのプルアップ抵抗が必要です。
4	RCLK	受信クロック、ロジック出力。RCLKは内部または外部からのADCクロックを元にした、ゲートされたシリアル・クロック出力です。CONTROL入力がV _{SS} 電位の場合にはこのクロックは連続動作となります。CONTROL入力がDGND電位の場合にはRCLK出力はシリアル伝送の終了後、トライ・ステート状態となります。
5	DR	RCLKピンはオープン・ドレイン出力で、外付の2kΩのプルアップ抵抗が必要です。受信データ、ロジック出力。このピンはオープン・ドレインのデータ出力で、RFSおよびRCLKと関連してADCからのデータを送信します。シリアル・データはRFSがLOWの時、RCLKの立下りエッジで有効となります。DR出力には外付の4.7kΩのプルアップ抵抗が必要です。
1	CONVST	変換開始、ロジック入力。この入力ピンのLOWレベルからHIGHレベルへの遷移により、トラック・ホールド・アンプがホールド・モードになり、ADC変換が開始します。この入力はCLK入力とは非同期です。
24	CONTROL	制御、ロジック入力。このピンを0VにするとRCLKが非連続となります。このピンを-5VにするとRCLKは連続動作となります。このピンをV _{DD} 電位にすると工場での試験モードとなり、通常動作は行なわれませんので注意して下さい。
DACインタフェースと制御		
14	TFS	送信フレーム同期信号、ロジック入力。これはDACのシリアル・データのためのフレームまたは同期信号で、この信号の立下りエッジの後にデータが取込まれます。
15	DT	送信データ、ロジック入力。これはTFSおよびTCLKと関連して入力ラッチにシリアル・データを転送するためのデータ入力です。
16	TCLK	送信クロック、ロジック入力。TFSがLOWレベルのとき、TCLKの立下りエッジでシリアル・データ・ビットがラッチされます。
13	LDAC	ロードDAC、ロジック入力。この信号の立下りエッジで入力ラッチからDACラッチに新しいデータ・ワードが転送されます。
18	NC	無接続。

コンバータの詳細について

AD7869は完全な14ビットI/Oポートで、通常動作のためにADCデータ出力のプルアップ抵抗と電源デカップリング・コンデンサを除き外付け部品は不要です。AD7869はトラック・ホールド・アンプ付きの14ビット逐次比較型ADC、出力バッファ付き14ビットDACと2個の3V埋め込みツェナ・リファレンス、クロック発振器および制御ロジックから構成されています。

ADCクロック

AD7869にはADCの変換処理に使用できる内部クロック発振器を備えています。この発振器は、CLK入力を V_{SS} に接続することで動作を開始します。この発振器は10 μ sの最大変換時間となるよう出荷時にレーザ・トリミングが施されています。クロックのマーク/スペース比は40/60~60/40の間で可変できます。内蔵クロックの他に、この入力には外部からのTTLコンパチブル・クロック信号を加えることもできます。外部クロックの許容マーク/スペース比は40/60~60/40の範囲内です。RCLKはシリアル・インタフェース用のクロック出力です。この出力はADCクロック源から直接供給されており、CONTROL入力の設定により変換終了後、スイッチ・オフすることができます。

ADCの変換タイミング

外部クロックと内蔵の連続クロックの両方に対応する変換時間は変換開始とADCのクロックの同期により変化し、19~20個のクロックの立上りエッジとなります。ADCクロックの立上りエッジの30ns以前までに変換が開始されると、変換時間は20個のクロックの立上りエッジとなり、9.5 μ sとなります。非連続の内部クロックでは変換時間は常に19個の立上りクロック・エッジとなります。

トラック・ホールド・アンプ

AD7869のアナログ入力部のトラック・ホールド・アンプによって、6Vp-pの振幅の入力正弦波を14ビット精度に正確に変換することができます。入力インピーダンスは9k Ω typです。等価回路を図1に示します。ADCが最大スループット・レートで動作している場合でもこのトラック・ホールド・アンプの入力帯域幅はADCのナイキスト周波数よりはるかに高くなっています。0.1dBのカットオフ周波数が代表値500kHzで発生します。トラック・ホールド・アンプは2 μ s以内で14ビット精度の入力信号を収集することができます。

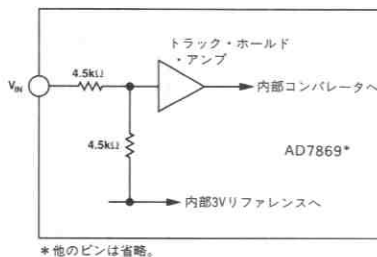


図1. AD7869のアナログ入力

トータル・スループット・レートは変換時間とトラック・ホールド・アンプのアクイジション時間の和です。クロック入力 ≤ 2.0 MHzのときスループット時間は12 μ s maxです。

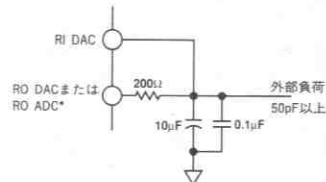
トラック・ホールド・アンプの動作は本質的にユーザにとって判りやすいものとなっています。トラック・ホールド・アンプはCONV-ST入力の立上りエッジで変換が開始されると、トラック・モードからホールド・モードになります。

内部リファレンス

AD7869は2個の温度補償された埋め込みツェナ・リファレンスを内蔵しており、出荷時に3V ± 10 mVに調整されています。片方のリファレンスはADCに適切なバイアス電圧を与え、他方はDACにリファレンス電圧を供給します。両方のリファレンス出力(RO ADCとRO DAC)が使用可能で、外部負荷に対し500 μ Aまでの電流を供給することができます。

DAC入力リファレンス (RI DAC) は外部から供給することも、内蔵の両リファレンスのどちらからも供給することが可能です。DACとADCの間でフルスケール誤差の良好なマッチングが必要な応用では、図4に示すようにADCリファレンスを使用します。

リファレンス出力ピンのどちらかの通常動作での推奨最大容量は50pFです。どちらかのリファレンス出力が50pF以上の容量性負荷の駆動に必要な場合には、200 Ω の抵抗を容量性負荷と直列に使用しなければなりません。図2に示すように10 μ Fのコンデンサと0.1 μ Fのコンデンサを追加しデカップリングを行なうと、ノイズ性能が向上します。このノイズ性能の向上を図3に示します。これはDAC出力にのみ適用されます。リファレンスのデカップリング部品の追加はADCの性能には影響を与えません。したがって通常の応用ではDACリファレンス源のみデカップリングが行なわれ、他方には何も接続しません。



*RO DAC/RO ADCを使用しない場合には無接続としてもかまいません。

図2. リファレンスのデカップリング回路

DACの出力アンプ

電圧モードDACからの出力は非反転アンプによりバッファされています。このバッファ・アンプはグラウンドの2k Ω および100pFの負荷に対して ± 3 Vを生成する能力があり、20kHzの周波数で6Vp-pの正弦波信号を出力することができます。出力はLDAC入力の立下りエッジで更新されます。最終値の1/2LSB以内に対する出力電圧セトリング時間は通常3.5 μ s以下です。

出力バッファ・アンプの小信号(200mVp-p)帯域幅は1MHz typです。このアンプからの出力ノイズは1kHzの周波数で30nV/ $\sqrt{\text{Hz}}$ の低さです。このアンプからの広帯域ノイズの代表値は1MHzの出力帯域幅で150 μ Vp-pです。図3に出力バッファ・アンプと片方のオン・チップ・リファレンスの代表的なノイズ・スペクトラル密度の周波数特性を示します。

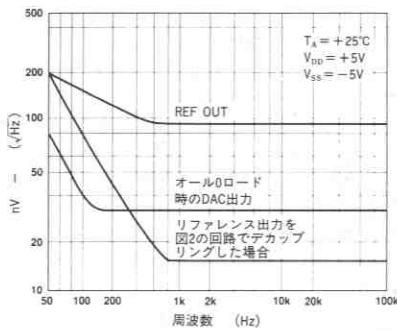


図3. ノイズ・スペクトラル密度の周波数特性

入出力伝達関数

AD7869のバイポーラ回路を図4に示します。AD7869のアナログ入出力電圧範囲は±3Vです。連続する整数LSB値の中でADCに指定されたコード遷移が発生します(例えば1/2LSB、3/2LSB、5/2LSB... FS-3/2LSB)。入出力コードは2の補数バイナリ形式で、1LSB=FS/16384=366μVです。理想的な入出力伝達関数を図5に示します。

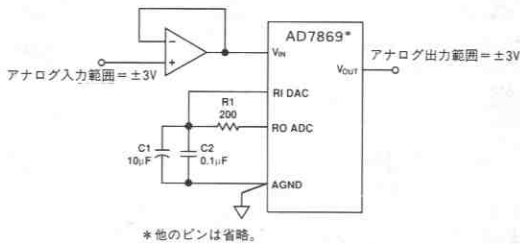


図4. AD7869の基本的なバイポーラ動作

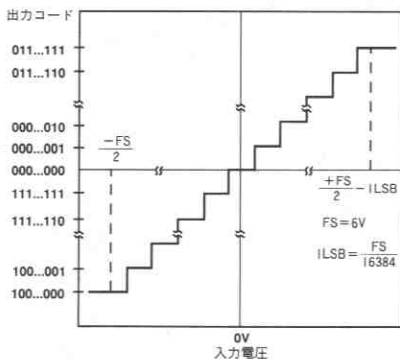


図5. AD7869の入出力伝達関数

オフセットおよびフルスケール調整

ほとんどのデジタル信号処理(DSP)応用では、オフセットおよびフルスケール誤差はシステムの性能にまったく、あるいは、ほとんど影響を与えません。オフセット誤差はACカップリングによってアナログ領域で常に除去できます。フルスケール誤差は、入力信号がADCのフルダイナミック・レンジ内にある限り問題となりません。入力信号レンジがADCのフル・アナログ入力ダイナミック・レンジに及ぶような応用では、オフセット誤差とフルスケール誤差をゼロに調整する必要があります。

ADCの調整

図6にAD7869の入力と出力におけるADCとDAC両方の伝達関数のエンドポイントの調整のための信号調整回路を示します。オフセット誤差はフルスケール誤差よりも先に調整しなければなりません。これは、入力電圧V1がグラウンドの1/2LSB下の時、A1のオフセットを調整することによって行ないます。調整手順は以下の通りです。-183μV(-1/2LSB)を図6のV1に加え、A1のオフセット電圧をADC出力コードが11 1111 1111 1111 (3 FFF HEX) と00 0000 0000 0000 (0000 HEX) の間を変動するまで調整します。

ADCのゲイン誤差調整は最初のコード遷移(ADCの負のフルスケール) または最後のコード遷移(ADCの正のフルスケール) のどちらから行ないます。両方の場合での調整手順は以下の通りです(図6参照)。

ADCの正のフルスケール調整

V1に2.99945V(FS/2-3/2LSB)を印加し、ADCの出力コードが01 1111 1111 1110 (1FFE HEX) と01 1111 1111 1111 (1FFF HEX) の間を変動するまでR2を調整します。

ADCの負のフルスケール調整

V1に-2.99982V(-FS/2+1/2LSB)を印加し、ADCの出力コードが10 0000 0000 0000 (2000 HEX) と10 0000 0000 0001 (2001 HEX) の間を変動するまでR2を調整します。

DACの調整

オペアンプA2はDACの伝達関数の調整のために用意されています。ここでもオフセット誤差はフルスケール誤差よりも先に調整する必要があります。オフセット誤差の調整は以下の手順で行ないます。DACに00 0000 0000 0000(0000 HEX)をロードし、A2のオフセットを0Vに調整します。DACのゲイン誤差調整はADCと同様に最初のコード遷移(DACの負のフルスケール) または最後のコード遷移(DACの正のフルスケール) のどちらから行ないます。両方の場合での調整手順は以下の通りです。

DACの正のフルスケール調整

DACに01 1111 1111 1111 (1FFF HEX) をロードし、オペアンプの出力電圧が2.99963V(FS/2-1LSB)になるようにR7を調整します。

DACの負のフルスケール調整

DACに10 0000 0000 0000 (2000 HEX) をロードし、オペアンプの出力電圧が-3V(-FS/2)になるようにR7を調整します。

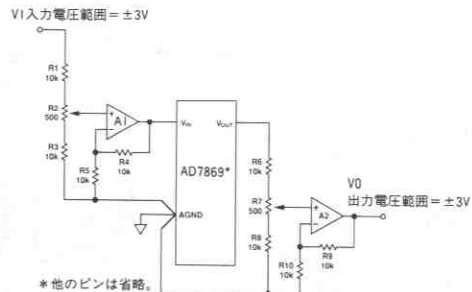


図6. AD7869の入出力調整回路

タイミングおよび制御

AD7869との通信は6つの専用ピンにより実行します。これらの専用ピンは分離されたシリアル・クロック、ワード・フレーミングまたはストロープ・パルスとデータ送信および受信のためのデータ信号から構成されています。変換開始とDACの更新はCONVSTとLDACの2つのデジタル入力により制御されます。これらの入力は精密なサンプリング間隔が必要な場合には外部タイマでマイクロプロセッサとは関係なくアサートすることができます。あるいは、CONVSTとLDACはアドレス・バスのデコード出力でも駆動することが可能で、変換開始とDAC更新、さらにAD7869とのデータ通信をマイクロプロセッサで制御することができます。

ADCのタイミング

CONVST入力によって変換を制御します。CONVST入力のLOWレベルからHIレベルへの遷移により変換が開始し、トラック・ホールド・アンプがホールド・モードに移行します。変換の実行中にシリアル・データが出力されます。図7にそのタイミング図を示します。ワード長は16ビットであり、データに先だてて2ビットの0が出力され、その後MSBを先頭とした14ビットの変換結果が出力されます。このデータはシリアル・クロック出力 (RCLK) と同期し、シリアル・ストロープ (RFS) 出力によりフレーミングされます。データ・ビットはRFS出力がLOWレベルである期間中のシリアル・クロックのLOWレベルからHIレベルへの遷移に同期して出力され、このクロックの立下りエッジで有効となります。変換開始時にRFSがLOWレベルとなり、最初のシリアル・データ・ビット (先行する2個の0の先頭) がRCLKの最初の立下りエッジで有効となります。ADCのシリアル信号はすべてオープン・ドレイン出力で、外付のプルアップ抵抗が必要です。

シリアル・クロックは内蔵または外部からのADCのマスター・クロック源から得られます。通常、RCLKはシリアル伝送の期間のみ必要です。この場合には、複数のADCが共通のシリアル・バスを共有できるように、RCLKを変換終了後シャット・ダウン (高インピーダンス状態) することができます。しかしいくつかのシリアル・システム (TMS32020など) では連続動作のシリアル・クロックが必要です。

AD7869のADCでは両方の選択が可能です。CONTROL入力を0Vにすると、RCLKは非連続で動作し、-5Vの場合にはRCLKは連続動作となります。

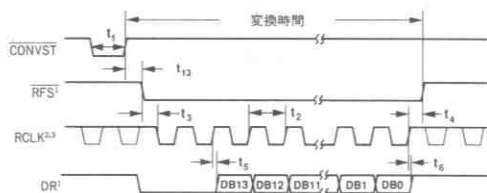
DACのタイミング

AD7869のDACには入力ラッチとDACラッチの2個のラッチがあります。データは、TCLK、TFSおよびDTシリアル・ロジック入力信号による制御を受け、入力ラッチにロードされます。次にLDAC信号の制御によってデータを入力ラッチからDACラッチに転送します。AD7869の出力はDACラッチのデータによってのみ決定されます。

データは、TCLK、TFSおよびDTシリアル・ロジック入力信号の制御によって入力ラッチにロードします。AD7869のDACはDT入力に16ビットのシリアル・データ・ビット列を期待します。データはTCLKの立下りエッジで有効となる必要があります。TFS入力は、次のTCLKの16個の立下りエッジの間、シリアル・データが有効であることをAD7869のDACに知らせるフレーム同期信号です。図8にこのシリアル・データ形式に関するタイミング図を示します。

16ビット・データはクロックと同期して入力ラッチに入力されますが、DACラッチには14ビットのみが転送されます。したがって、このビット列のうちの2ビットはDACのラッチ・データとは無関係であるため、不定の値でも構いません。ビットの並びは、2個の不定ビットとそれに続くMSBを先頭とした14ビットDACデータとなります。

LDAC信号によりDACラッチへのデータ転送を制御します。通常、データはLDACの立下りエッジでDACラッチにロードされますが、LDACをLOWに保つとTCLKの16番目の立下りエッジでシリアル・データがDACラッチにロードされます。シリアル・データが入力ラッチにロードされているとき、LDACがLOWレベルになるとLDACの立下りエッジではDACラッチの更新は行われなくなります。シリアル転送が終了するまでLDACがLOWに保たれると、TCLKの16番目の立下りエッジで更新が行われず、シリアル転送が終了する前にLDACがHIレベルに戻ると、DACラッチの更新は行われません。



- 注
 1. 外付の4.7kΩプルアップ抵抗
 2. 外付の2kΩプルアップ抵抗
 3. CONTROL入力 = -5Vの場合には連続RCLK (点線)
 CONTROL入力 = 0Vの場合には非連続RCLK

図7. ADCの制御タイミング図

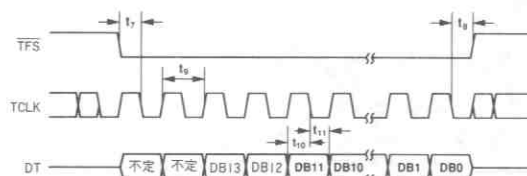


図8. DACの制御タイミング図

AD7869のダイナミック仕様

AD7869は積分および微分非直線性などの従来のDC仕様の他に、ダイナミック性能についても仕様が規定され、100%テストされています。これらのAC仕様は音声認識、スペクトラム分析および高速モデムなどの信号処理応用で必要となります。これらの応用では、コンバータが入力信号のスペクトルにどう影響するかについてのデータが必要です。そのためAD7869ではSNR、高調波歪み、相互変調歪みおよびピーク高調波などのパラメータについて仕様が規定されています。これらの用語については、以下の項でさらに詳しく説明します。

S/N比 (SNR)

SNRはADCまたはDACの出力における信号対雑音の比を測定したものです。信号は基本波の大ききのrmsを表わし、ノイズはDCを除くサンプリング周波数の1/2 (FS/2) までのすべての非基本波のrms合計を表わします。SNRは量子化プロセスで用いられるレベルの数によって変化します。すなわち、レベルが増えると、量子化ノイズは小さくなります。正弦波入力に対する理論的なSNRの値は次式で与えられます。

$$\text{SNR} = (6.02N + 1.76) \text{ dB} \quad (1)$$

ここでNはビット数を表わします。例えば理想的な14ビット・コンバータの場合、SNR=86dBとなります。

有効ビット数

(1)の式ではSNRとビット数との関係が示されています。式を(2)のように変形すると、性能を有効ビット数 (N) の形で表わすことができます。

$$N = \frac{\text{SNR} - 1.76}{6.02} \quad (2)$$

デバイスの有効ビット数は直接SNRから求められます。

高調波歪み

高調波歪みは高調波のrmsの合計と基本波の比を示すものです。AD7869の場合、全高調波歪み (THD) は次のように定義されます。

$$\text{THD} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここでは V_1 は基本波のrmsの大ききを、また V_2 、 V_3 、 V_4 、 V_5 および V_6 は各々第2から第6までの高調波のrmsの大ききを表わします。またTHDはADCまたはDAC出力スペクトラムのFFTグラフからも引出すことができます。

ADCの試験

ADCの出力スペクトラムは非常に低歪みの正弦波信号を入力 V_{IN} に与え、60kHzのサンプリング・レートでサンプルし、評価します。高速フーリエ変換 (FFT) プロットを作成し、これからS/N比データを得ることができます。図9に、AD7869AQ ADCにおける入力信号10kHz、サンプリング周波数60kHzの場合の代表的な2048ポイントのFFTプロットを示します。この図から得られるS/N比は80dBです。S/N比の算出には高調波を考慮に入れていることに注意してください。

図10にAD7869AQの60kHzサンプリング周波数での代表的な有効ビット数の周波数特性を示します。通常、S/N比79~80.4dBに対応した有効ビット数は12.7~13.1となります。

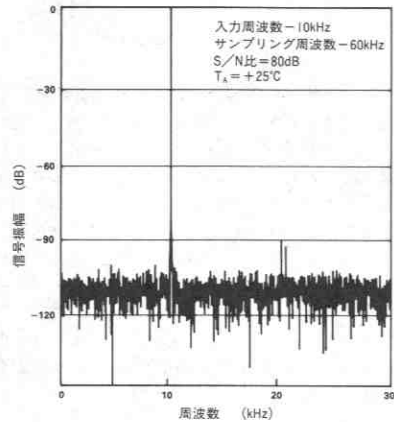


図9. AD7869 ADCのFFT波形

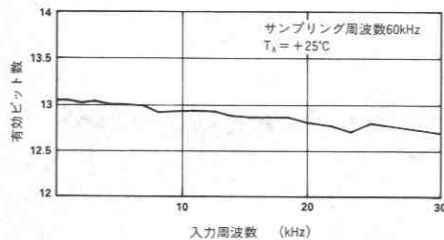


図10. ADCの有効ビット数の周波数特性

DACの試験

DACのダイナミック仕様の試験に用いる方法を簡便化して図11に示します。マイクロコントローラと周辺ロジックの制御によりDACにデータがロードされます。DAC出力は、カットオフ周波数がナイキスト・リミットに対応する9次のローパス・フィルタに加えられます。このフィルタの出力は次に16ビット精度のディジタイザに与えられます。このディジタイザは、入力信号をディジタイズし、マイクロコントローラによりFFTプロットを作成します。このFFTプロットからDACのダイナミック性能が評価されます。

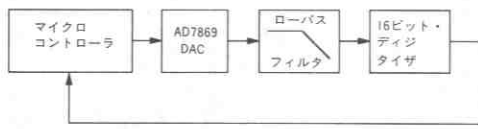


図11. AD7869のDACのダイナミック性能の試験回路

ディジタルのサンプリングはFFT計算を容易にするためDACのアップデータ・レートと同期しています。このディジタルはDAC出力が新しい値にセトリングした後でDAC出力をサンプリングします。したがってディジタルが出力を直接サンプリングする場合には、サンプリング毎にDC値を有効にサンプルすることができます。この結果、DACのダイナミック性能は正しく測定できなくなります。DAC出力をディジタルで直接測定すると、実際のDACの性能よりも良い結果が得られます。DACとディジタルの間にフィルタを使用すると、ディジタルは連続的に変化する信号をサンプリングするようになり、AD7869のDAC出力の真のダイナミック性能が測定できます。

図12に、AD7869 DACのアップデータ・レート83kHz、出力周波数1kHzでの代表的な2048ポイントのFFTプロットを示します。このプロットから得られるS/N比は82dBです。

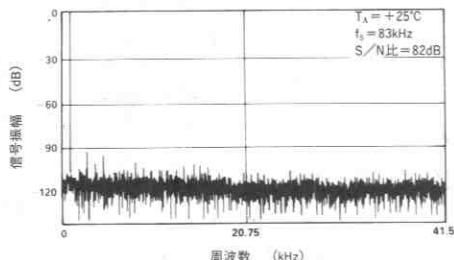


図12. AD7869のDAC FFTプロット

応用によっては、AD7869 DACよりも優れた周波数性能が必要な場合があります。このような応用では、図13のように簡単なサンプル・ホールド回路によってDACの優れた性能を20kHzまで拡張することができます。また、AD7869のDAC出力の後段に独自のサンプル・ホールド機能をすでに備えている応用もあります。この種の応用の例としては、スイッチド・キャパシタ・フィルタの駆動があり、このときDACはスイッチド・キャパシタ・フィルタと同期して更新されます。このような独自のサンプル・ホールド機能によっても周波数範囲の性能の向上が計れます。

性能の周波数特性

図14～15の標準的性能特性図に、AD7869 DACのアップデータ・レート83kHzでの広範囲の入力周波数特性を示します。図14はDAC出力にサンプル・ホールドを接続していない場合で、図15はサンプル・ホールドを使用した場合の特性です。

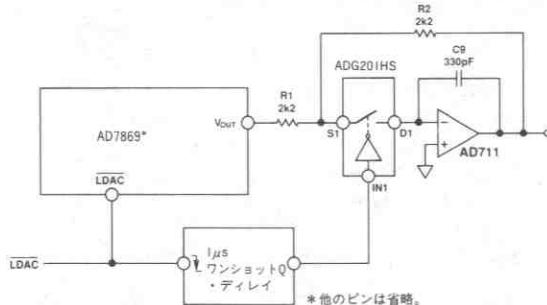


図13. DACのサンプル・ホールド回路

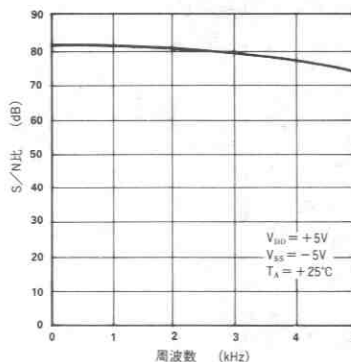


図14. DAC性能の周波数特性 (サンプル・ホールドなし)

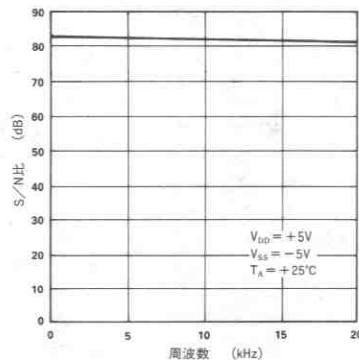


図15. DAC性能の周波数特性 (サンプル・ホールド付き)

マイクロプロセッサとのインタフェース

AD7869のマイクロプロセッサとのインタフェースはDSPプロセッサとコンパチブルの標準プロトコルを使用したシリアル・バスを通して行ないます。独立した送信 (DAC) および受信 (ADC) 部から成る通信インタフェースは相互に関連して同期または非同期動作を行なうことができます。各部にクロック信号、データ信号とフレーム (またはストロブ) 信号を備えています。同期動作によりADCからのデータとDACへのデータは同時に送信されます。このモードでは1つのインタフェース・クロックのみ必要であり、ADCクロック出力を使用するためRCLKをTCLKに接続しなければなりません。非同期動作ではDACとADCのデータ転送は互いに独立しており、ADCが受信クロック (RCLK) を供給し、送信クロック (TCLK) はプロセッサまたはADC、あるいは他の外部クロック源から供給されます。

シリアル・インタフェースについて、考慮すべきもう1つの選択は、ゲートされたクロックを使用するかどうかです。ゲートされたクロックとはデータを送信するデバイスが、送信するデータの準備ができたときクロック送出を開始し、送信が完了したときクロック出力をトライ・ステート状態に切替える動作を意味します。最初のクロックの立下りエッジで最初のデータ・ビットが受信デバイスにラッチされてから、送信されるのは16クロック・パルスだけです。理想的にはフレーム・パルスの必要はありませんが、AD7869のDACのフレーム入力 (TFS) はデータ送信の間HIレベルに保つ必要があります。最も簡単な方法は、RFSをTFSの駆動に使用し、同期インタフェースのみを使用することです。このことによりプロセッサとAD7869のフレーム信号間の接続を避けることができます。図16に示すDSP56000の例のように、すべてのプロセッサがゲートされたクロック機能を備えているわけではありません。

表Iに異なるインタフェース条件でのプロセッサとAD7869との間の接続を示します。AD7869には送信データと受信データに異なるクロックを使用する機能があります。しかしこの機能はいくつかの種類のプロセッサについてのみ適用され、通常は1クロック (ADCクロック) がAD7869との通信クロックとして使用されます。このデータ・シートに記載されているすべてのインタフェース例では簡略化のため、同期インタフェースとADCクロック (RCLK) をDACクロック (TCLK) の入力として使用しています。これらの個々のインタフェースに関する理解を深めるためには、該当するプロセッサのデータ・シートを参照ください。

設定	接続配線の数	信号
同期	4	RCLK, DR, DT, RFS (TCLK=RCLK, TFS=RFS)
非同期*	5または6	RCLK, DR, RFS, DT, TFS (TCLK=RCLKまたは μ Pシリアル・クロック)
ゲートされた同期クロック	3	RCLK, DR, DT (TCLK=RCLK, TFS=RFS)

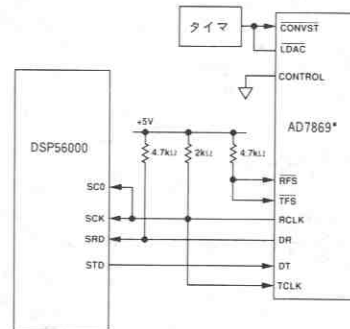
*TCLK=RCLKの場合には5本の接続線となります。
TCLK= μ Pシリアル・クロックの場合には6本の接続線となります。

表I. 種々のインタフェース・オプションでの接続ライン

AD7869とDSP56000のインタフェース

図16にAD7869とDSP56000との標準的なインタフェースを示します。インタフェース設定はAD7869をゲートされた同期クロック動作とし、接続のため3本の信号線のみを用います。DSP56000の内

部のシリアル制御レジスタは16ビット・データ・ワードで最初のクロックの立下りエッジでデータが有効となるよう設定してあります。変換開始とDACの更新は外部タイマーで制御します。ADCの変換中に発生するデータ転送はプロセッサの受信と送信シフト・レジスタとAD7869のADCとDACの間で行なわれます。16ビット転送が終了するごとに、送信レジスタが空で受信レジスタが満杯であることを示すためDSP56000は内部割込みを受信します。

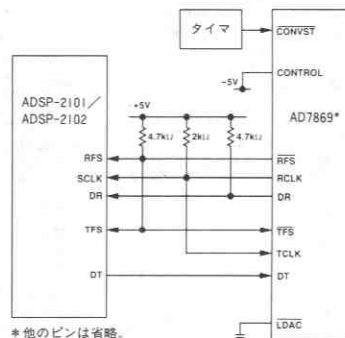


*他のピンは省略。

図16. AD7869とDSP56000のインタフェース

AD7869とADSP-2101/ADSP-2102のインタフェース

図17にAD7869とADSP-2101またはADSP-2102とのインタフェースを示します。インタフェースは同期で連続クロックの設定となっています。LDACはLOWレベルに接続してあるため、TFSがLOWレベルとなった後の16番目のクロックの立下りエッジでDACが更新されます。この代わりに図16に示したようにLDACをタイマーで駆動することもできます。これまでに示したインタフェースと同様に、AD7869の書込みまたは読出し動作を行なった後、プロセッサは内部割込みを受信し、内部レジスタを更新し、次のデータ転送の準備を行ないます。



*他のピンは省略。

図17. AD7869とADSP-2101/ADSP-2102のインタフェース

AD7869とTMS32020/TMS320C25のインタフェース

図18にAD7869とTMS32020/TMS320C25のインタフェースを示します。これは同期で連続クロック動作に設定されています。AD7869を非連続クロック設定にすると、これらのプロセッサとのインタフェースは正しく行なわれないのでご注意ください。変換開始とDACの更新は外部タイマで行ないます。

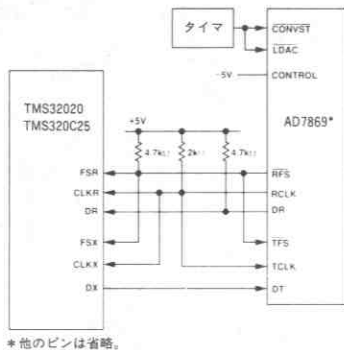


図18. AD7869とTMS32020/TMS320C25のインタフェース

使用上の注意

高速A/D性能を実現するためには回路自体の設計と同様に、プリント基板(PCB)のレイアウトも重要な要素となります。AD7869は366 μ VのLSBサイズをベースにビット判定を行なわなければならないので、設計者はADC自体の他にそれに先行するアナログ回路のノイズにも十分配慮する必要があります。スイッチング・モード電源を使うと、スイッチング・スパイクがコンパレータまでフィードスルーするため、コード遷移にノイズが入るので、使用しない方がよいでしょう。その他注意すべき点はグラウンド・ループとマイクロプロセッサからのデジタル・フィードスルーです。これらのファクタはどんなADCにも影響を及ぼすので、影響を最小限に抑えるようなPCBレイアウトが理想的な性能を得るためには不可欠です。

レイアウト上の注意

プリント基板のレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ離すようにします。デジタル・トラックがアナログ・トラックに沿って走るようなことがないように注意してください。アナログ入力にAGNDでガード(遮蔽)します。

AD7869のAGNDピンまたはなるべくAD7869に近い所でロジック・システム・グラウンドとは別に1点アナログ・グラウンド(星形グラウンド)を設定します。他のすべてのグラウンドおよびAD7869のDGNDをこのアナログ・グラウンド・ポイントに接続します。その他のデジタル・グラウンドは、このアナログ・グラウンド・ポイントに接続してはいけません。

ADCの低ノイズ動作を実現するためには、アナログおよびディジ

タル電源のコモン・リターンを低インピーダンスにする必要がありますので、これらのトラックのフォイル幅をできるだけ広くします。グラウンド・プレーンを使用すると、インピーダンス・パスを最小限に抑えるとともに、アナログ回路をデジタル・ノイズからガードすることができます。図22と23の回路レイアウトではアナログ・グラウンド・プレーンとデジタル・グラウンド・プレーンの両方がどちらにも用いられていますが、両者はAD7869のAGNDピンでつながっている以外は完全に分離されています。

ノイズ

V_{IN} への入力信号リードおよびAGNDからの信号リターン・リードは、入力ノイズのカップリングを最小限にするためになるべく短くします。それが不可能な応用の場合は、ソースとADC間をシールド・ケーブルで接続します。信号源とADCのグラウンド間に電位差があると、入力信号に誤差電圧となって現われるため、グラウンド回路のインピーダンスはなるべく低減する必要があります。

入出力ボード

図19にAD7869を使用したI/Oボードを示します。これに対応するプリント基板のレイアウトとシルク・スクリーンを図21~23に示します。

AD7869のアナログ入力はAD711オペアンプでバッファされています。ADCのアンチエイリアシング・フィルタ、DACの再生用フィルタ、他の信号調整回路などを組込めるように基板のアナログ入力に近い部品グリッドを設けています。部品グリッドを利用するために、アナログ入力と出力配線に必要な2つのワイヤ・リンク(基板上のLK1、LK2)を設けました。

このボードにはAD7869のDAC出力に使用し、より広い周波数範囲で性能を向上させることのできるSHA(サンプル・ホールド)回路が含まれています。このSHAにより拡張された性能は図14~15に示されています。ショート・プラグ(LK3)により、ボードの出力をSHA出力か直接AD7869のDAC出力かのどちらかに接続します。

このボード上にはLDACの選択のためのショート・プラグも用意されています。LDACはCONVSTと独立して外部信号源から駆動することも、CONVSTと接続することもあるいは、GNDへ接続することもできます。LDACをGNDに接続する選択を行なうと、SHA動作はディスエーブルされ、SHAは常にトラック・モードとなります。

このボードへのマイクロプロセッサの接続は9ピンDタイプ・コネクタで行ないます。このコネクタのピンアウトを図20に示します。ADCのデジタル出力は74HC4050でバッファされています。これらのバッファにより、より高い容量性負荷やケーブルの高電流出力能力が得られます。AD7869がプロセッサと同一の基板上に搭載されている場合には、通常これらのバッファは必要ありません。

電源の接続

この基板には2種類のアナログ電源と1種類の5Vデジタル電源が必要です。図21のシルク・スクリーンに示すようにアナログ電源の接続はPCBに直接行なわれます。アナログ電源はV+、V-と表わされるもので、両電源とも12V~15Vの範囲です。5Vデジタル電源の接続はDタイプ・コネクタSKT6を通して行ないます。AD7869に必要な ± 5 Vアナログ電源はV+およびV-電源入力上の2個の電源レギュレータで生成します。

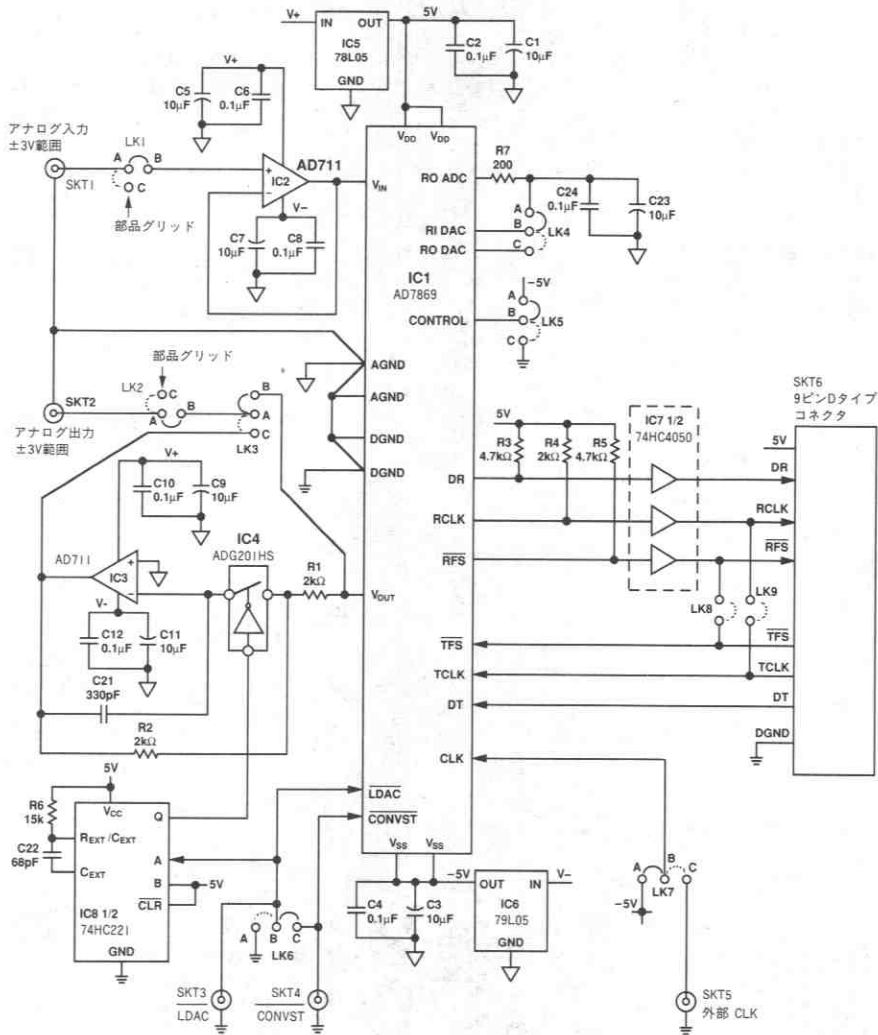


図19. AD7869を使用した入出力ボードの回路

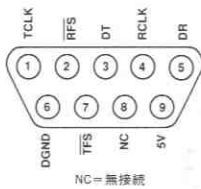


図20. Dタイプ・コネクタSKT6のピンアウト

ショート・プラグの設定

LK1、アナログ入力の選択

アナログ入力を部品グリッドに接続するか、ADC入力を駆動するバッファ・アンプに接続します。

LK2、アナログ出力の選択

アナログ出力を部品グリッドに接続するか、SHAまたはDAC出力のどちらかに接続します (LK3参照)。

LK3、SHAまたはDACの選択

アナログ出力を直接DACから得るか、DAC出力のSHAから得るかを選択します。

LK4、DACリファレンスの選択

DACリファレンスをADCリファレンス出力 (RO ADC) に接続するか、DACリファレンス (RO DAC) に接続するかを選択します。

LK5、ADC内部クロック選択

このジャンパ・プラグによりADCを連続または非連続の内部クロック動作に設定します。

LK6、DAC更新方法の選択

DACのLDAC入力とADCのCONVST信号を独立して使用するか、CONVSTに接続するか、GNDに接続するかを設定します。

LK7、ADCクロック源の選択

このジャンパ・ポストによりADCを内部クロック発振器で動作させるか、外部からのTTLコンパチブルのクロックで動作させるかを設定します。

LK8、フレイム同期方式の選択

LK8により、ADCのRFS出力をDACのTFS入力に接続するかどうかを決めます。

LK9、送信/受信クロックの選択

LK9はADCのRCLKをDACのTCLKに接続するかどうかを決めます。

IC1	AD7869
IC2, IC3	AD711 2個
IC4	ADG201HS
IC5	MC78L05
IC6	MC79L05
IC7	74HC4050
IC8	74HC221
C1, C3, C5, C7	
C9, C11, C13, C15	10 μ Fコンデンサ
C17, C19	
C2, C4, C6, C8	
C10, C12, C14, C16	0.1 μ Fコンデンサ
C18, C20	
C21	330pFコンデンサ

部品リスト

C22	68pFコンデンサ
R1, R2, R4	2k Ω 抵抗
R3, R5	4.7k Ω 抵抗
R6	15k Ω 抵抗
LK1, LK2, LK3,	
LK4, LK5, LK6,	ショート・プラグ
LK7, LK8, LK9	
SKT1, SKT2, SKT3,	
SKT4, SKT5	BNCソケット
SKT6	9ピンDタイプ・コネクタ

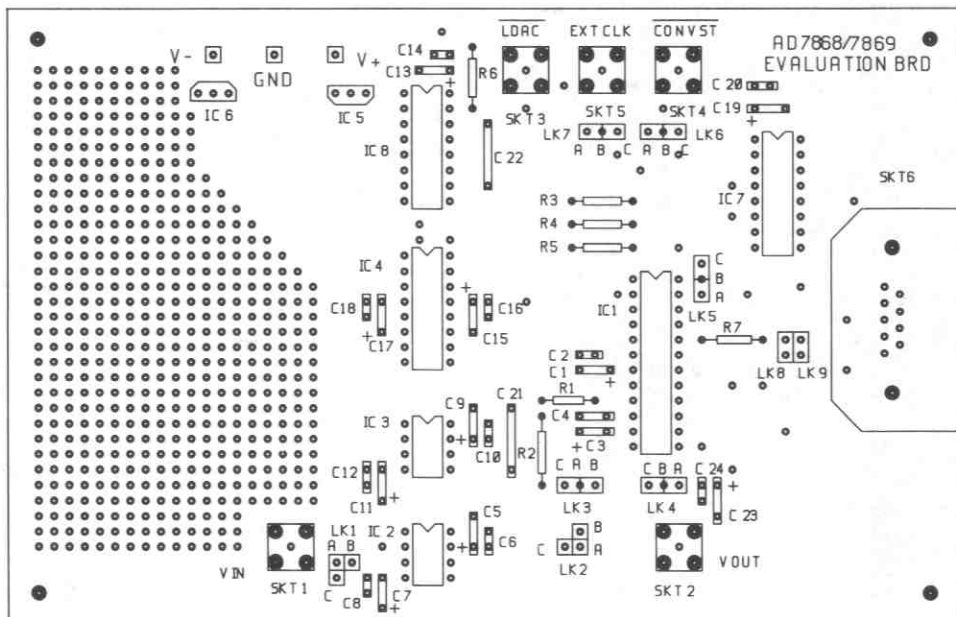


図21. 図19の回路図のシルク・スクリーン

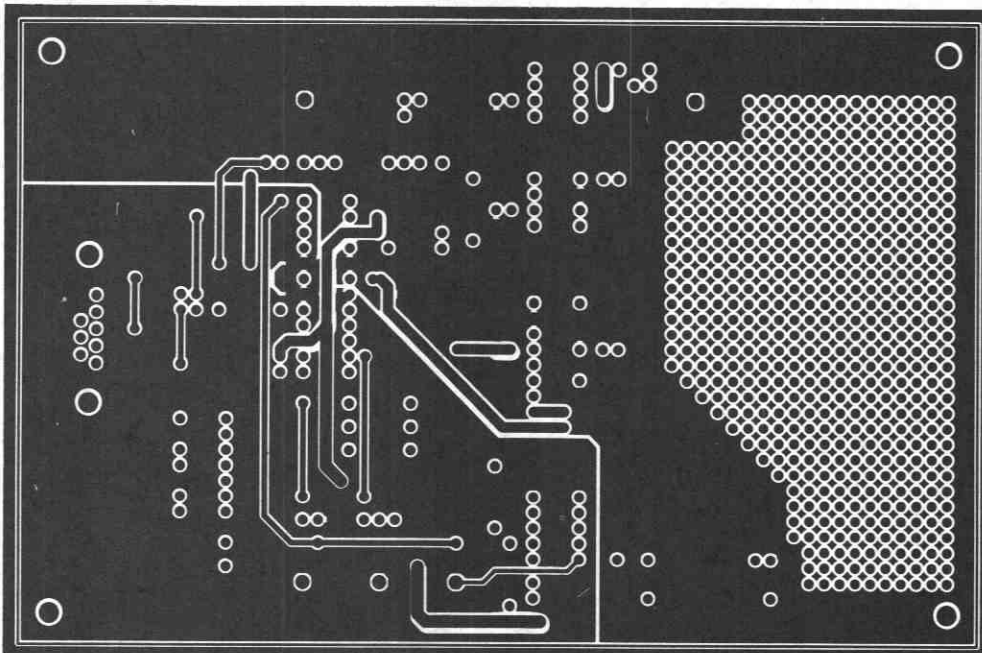


図22. 図19の回路図の部品面のパターン

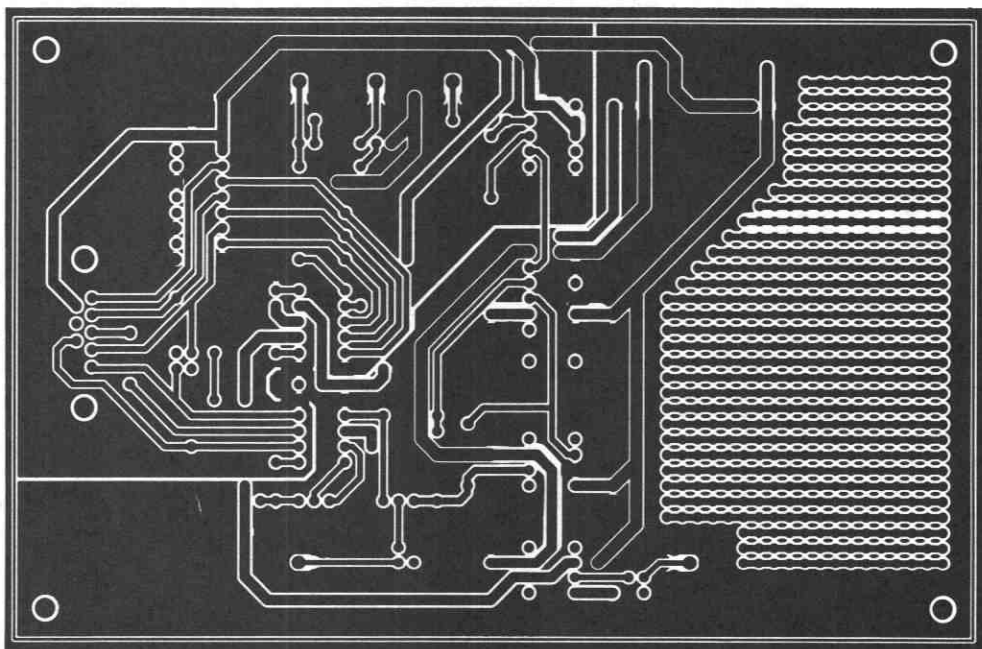


図23. 図19の回路図のハンダ面のパターン

AD7869オード・ガイド¹

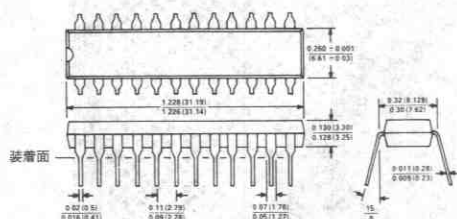
モデル	温度範囲	S/N比	相対精度	パッケージ* オプション
AD7869JN	0~+70°C	78 dB	±2 LSB max	N-24
AD7869JR	0~+70°C	78 dB	±2 LSB max	R-28
AD7869AQ	-40°C~+85°C	77 dB	±2 LSB max	Q-24

*N=プラスチック DIP; Q=サーディップ; R=スモール・アウトライン IC(SOIC).

外形サイズ

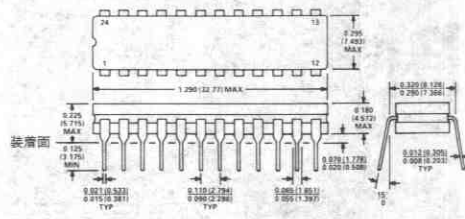
サイズはインチと (mm) で示します。

24ピン・プラスチック (N-24)



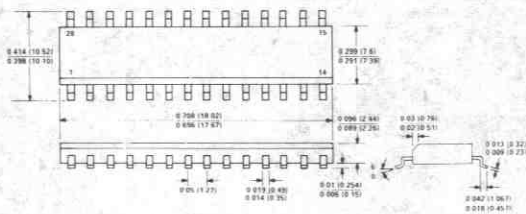
- 注
- 1番ピンは点または刻みで示します。
 2. プラスチック・リードはMIL-M-38510規格に準拠してハンダ・メッキまたはスズ・メッキのどちらかが施されています。

24ピン・サーディップ (Q-24)



- 注
1. 1番ピンは点または刻みで示します。
 2. サーディップ・リードはMIL-M-38510規格に準拠してハンダ・メッキまたはスズ・メッキのどちらかが施されています。

28ピン・プラスチックSOIC (R-28)



- 注
1. 1番ピンは点または刻みで示します。
 2. SOICリードはMIL-M-38510規格に準拠してハンダ・メッキまたはスズ・メッキのどちらかが施されています。

AD7870/AD7875/AD7876

特長

- 全機能内蔵のモノリシック12ビットADC
- 2 μ sトラック/ホールド・アンプ
- 8 μ s A/Dコンバータ
- リファレンス
- レーザ・トリミングされたクロック
- パラレル、バイトおよびシリアル・デジタル・インタフェース
- 72dB SNR (10kHz入力周波数)(AD7870、AD7875)
- 57nsのデータ・アクセス時間
- ローパワー: 60mW typ
- アナログ入力レンジ
- ±3V (AD7870)
- 0 ~ +5V (AD7875)
- ±10V (AD7876)

応用

- デジタル信号処理
- 音声認識および合成
- スペクトラム分析
- 高速モデム
- DSPによるサーボ制御

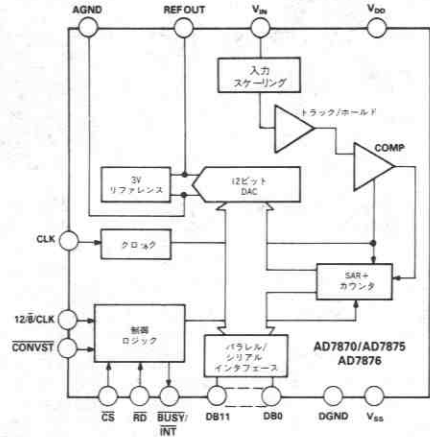
概要

AD7870/AD7875/AD7876は高速の全機能内蔵型12ビットA/Dコンバータです。これはトラック/ホールド・アンプ、8 μ sの逐次比較型ADC、3V埋込みツェナ・リファレンスおよび多機能のインタフェース・ロジックから構成されています。これらの特長はレーザ・トリミングされた内部クロックを内蔵していることで、これにより変換時間を正確に制御することができます。外付けのクロック・タイミング用部品は必要ありませんが、必要であれば、外部クロックを使って内蔵クロックを無効にすることもできます。

データ出力フォーマットとしてシングル、パラレル、12ビット・ワードか8ビット・バイト×2、あるいはシリアル・データの3つのなかから選ぶことができます。高速バス・アクセス時間と標準の制御入力により、最新のマイクロプロセッサやデジタル・シグナル・プロセッサとも容易にインタフェースを行なうことができます。

±5V電源で動作し、AD7870は±3V、AD7876は±10V、そしてAD7875は0 ~ +5Vのユニポーラ入力レンジに対応し、最大50kHzのフルパワー信号を交換します。

直線性やフルスケールおよびオフセット誤差などの従来のDC精度仕様に加え、高調波歪みやS/N比などのダイナミック性能パラメータに関しても完全にその仕様が規定されています。



AD7870/AD7875/AD7876機能ブロック図

デバイスはすべて高精度バイポーラ回路とローパワーCMOSロジックの集積化を可能にした弊社独自のリニア・コンパチブルCMOS (LCCMOS) プロセス技術によって製造されています。パッケージは7.6mm幅の24ピン・プラスチックまたはハーメチックDIPを用意しています。また、AD7870とAD7875は28ピン・プラスチック・リード付きチップキャリア (PLCC)、AD7876には24ピン・スモール・アウトライン (SOIC) パッケージがあります。

製品ハイライト

1. モノリシック・チップに全機能を内蔵した12ビットADC
AD7870/AD7875/AD7876はモノリシックADCのなかで最も完全なもので、12ビットADCに加え内部クロック、トラック/ホールド・アンプおよびリファレンスをシングル・チップに内蔵しています。
2. ダイナミック仕様によるDSPユーザへの対応
AD7870とAD7875はS/N比、高調波歪みおよび相互変調歪みなどのACパラメータに関して完全に規定され、テストされています。
3. 高速マイクロプロセッサ・インタフェース
57nsのデータ・アクセス時間により最新の8ビット/16ビット・マイクロプロセッサおよびデジタル・シグナル・プロセッサとインタフェース可能です。主要なデジタル・タイミング・パラメータも全動作温度範囲でテストおよび保証されています。

仕様

(特に指定のない限り、 $V_{DD} = +5V \pm 5\%$ 、 $V_{SS} = -5V \pm 5\%$ 、 $AGND = DGND = 0V$ 、 $f_{CLK} = 2.5MHz$ 外部とする。仕様はすべて特に指定のない限り、 $T_{min} \sim T_{max}$)

パラメータ	AD7870					単位	テスト条件/備考
	J, A ¹	K, B ¹	L, C ¹	S ¹	T ¹		
ダイナミック性能 ²							
信号対ノイズ比 ³ (SNR)							
+25°C時	70	70	72	70	70	dB min	$V_{IN} = 10kHz$ 正弦波、 $f_{SAMPLE} = 100kHz$
$T_{min} \sim T_{max}$	70	70	71	70	70	dB min	$0 < V_{IN} < 50kHz$ 時標準71.5dB
全高調波歪み (THD)	-80	-80	-80	-78	-78	dB max	$V_{IN} = 10kHz$ 正弦波、 $f_{SAMPLE} = 100kHz$ 、 $0 < V_{IN} < 50kHz$ 時標準-86dB
ピーク高調波またはスプリアス・ノイズ	-80	-80	-80	-78	-78	dB max	$V_{IN} = 10kHz$ 、 $f_{SAMPLE} = 100kHz$ 、 $0 < V_{IN} < 50kHz$ 時標準-86dB
相互変調歪み (IMD)							
2次項	-80	-80	-80	-78	-78	dB max	$f_a = 9kHz$ 、 $f_b = 9.5kHz$ 、 $f_{SAMPLE} = 50kHz$
3次項	-80	-80	-80	-78	-78	dB max	$f_a = 9kHz$ 、 $f_b = 9.5kHz$ 、 $f_{SAMPLE} = 50kHz$
トラック/ホールド・アクイジション時間	2	2	2	2	2	μs max	
DC精度							
分解能	12	12	12	12	12	ビット	
ノー・ミス・コードが保証される	12	12	12	12	12	ビット	
最小分解能							
積分非直線性	$\pm 1/2$	$\pm 1/2$	$\pm 1/4$	$\pm 1/2$	$\pm 1/2$	LSB typ	
積分非直線性		± 1	$\pm 1/2$		± 1	LSB max	
微分非直線性		± 1	± 1		± 1	LSB max	
バイポーラ・ゼロ誤差	± 5	± 5	± 5	± 5	± 5	LSB max	
正のフルスケール誤差 ⁴	± 5	± 5	± 5	± 5	± 5	LSB max	
負のフルスケール誤差 ⁴	± 5	± 5	± 5	± 5	± 5	LSB max	
アナログ入力							
入力電圧範囲	± 3	± 3	± 3	± 3	± 3	V	
入力電流	± 500	± 500	± 500	± 500	± 500	μA max	
リファレンス出力							
+25°C時のREF OUT	2.99	2.99	2.99	2.99	2.99	V min	
	3.01	3.01	3.01	3.01	3.01	V max	
REF OUT温度係数	± 60	± 60	± 35	± 60	± 35	ppm/C max	
リファレンス負荷感度 ($\Delta REF OUT / \Delta I$)	± 1	± 1	± 1	± 1	± 1	mV max	リファレンス負荷電流の変動 (0~500 μA) リファレンス負荷は変換中に変動しては けない
ロジック入力							
入力ハイ電圧、 V_{INH}	2.4	2.4	2.4	2.4	2.4	V min	$V_{DD} = 5V \pm 5\%$
入力ロー電圧、 V_{INL}	0.8	0.8	0.8	0.8	0.8	V max	$V_{DD} = 5V \pm 5\%$
入力電流、 I_{IN}	± 10	± 10	± 10	± 10	± 10	μA max	$V_{IN} = 0V \sim V_{DD}$
入力電流 (12/8/CLK入力のみ)	± 10	± 10	± 10	± 10	± 10	μA max	$V_{IN} = V_{SS} \sim V_{DD}$
入力容量、 C_{IN}^5	10	10	10	10	10	pF max	
ロジック出力							
出力ハイ電圧、 V_{OH}	4.0	4.0	4.0	4.0	4.0	V min	$I_{SOURCE} = 40\mu A$
出力ロー電圧、 V_{OL}	0.4	0.4	0.4	0.4	0.4	V max	$I_{SINK} = 1.6mA$
DB11~DB0							
フローティング状態リーク電流	± 10	± 10	± 10	± 10	± 10	μA max	
フローティング状態出力容量 ⁵	15	15	15	15	15	pF max	
変換時間							
外部クロック ($f_{CLK} = 2.5MHz$)	8	8	8	8	8	μs max	
内部クロック	7/9	7/9	7/9	7/9	7/9	μs min/ μs max	
電源							
V_{DD}	+5	+5	+5	+5	+5	V nom	$\pm 5\%$ 規定性能
V_{SS}	-5	-5	-5	-5	-5	V nom	$\pm 5\%$ 規定性能
I_{DD}	13	13	13	13	13	mA max	8mA typ
I_{SS}	6	6	6	6	6	mA max	4mA typ
消費電力	95	95	95	95	95	mW max	60mW typ

注

1. 温度範囲は以下のとおりです。

J, K, Lバージョン: 0~+70°C

A, B, Cバージョン: -25~+85°C

S, Tバージョン: -55~+125°C

2. V_{IN} (pk-pk) = $\pm 3V$ 。

3. SNRの計算には歪みとノイズ成分が含まれています。

4. 内部リファレンスに関して測定したもので、バイポーラ・オフセット誤差を含む。

5. +25°Cでサンプリング・テストすることによって確認。

仕様は予告なしに変更することがあります。

パラメータ	AD7875/AD7876			単位	テスト条件/備考
	K, B ¹	L, C ¹	T ¹		
DC精度					
分解能	12	12	12	ビット	
ノー・ミス・コードが保証される	12	12	12	ビット	
最小分解能					
積分非直線性@+25°C	±1	±1/2	±1	LSB max	
T _{min} ~T _{max} (AD7875のみ)	±1	±1	±1	LSB max	
T _{min} ~T _{max} (AD7876のみ)	±1	±1/2	±1	LSB max	
微分非直線性	±1	±1	±1	LSB max	
ユニポーラ・オフセット誤差 (AD7875のみ)	±5	±5	±5	LSB max	
バイポーラ・ゼロ誤差 (AD7876のみ)	±6	±2	±6	LSB max	
フルスケール誤差 ² @+25°C	±8	±8	±8	LSB max	フルスケール誤差の標準値は±1LSB
フルスケールTC ²	±60	±35	±60	ppm/°C max	TCの標準値は±20ppm/°C
トラック/ホールド・アクイジション時間	2	2	2	μs max	
ダイナミック性能 ³ (AD7875のみ)					
信号対ノイズ比 ⁴ (SNR)					
+25°C時	70	72	70	dB min	V _{IN} =10kHz正弦波、f _{SAMPLE} =100kHz
T _{min} ~T _{max}	70	71	70	dB min	0<V _{IN} <50kHz時標準71.5dB
全高調波歪み(THD)	-80	-80	-78	dB max	V _{IN} =10kHz正弦波、f _{SAMPLE} =100kHz
					0<V _{IN} <50kHz時標準-86dB
ピーク高調波またはスプリアス・ノイズ	-80	-80	-78	dB max	V _{IN} =10kHz正弦波、f _{SAMPLE} =100kHz
相互変調歪み(IMD)					0<V _{IN} <50kHz時標準-86dB
2次項	-80	-80	-78	dB max	fa=9kHz、fb=9.5kHz、
					f _{SAMPLE} =50kHz
3次項	-80	-80	-78	dB max	fa=9kHz、fb=9.5kHz
					f _{SAMPLE} =50kHz
アナログ入力					
AD7875のみ					
入力電圧範囲	0~+5	0~+5	0~+5	V	
入力電流	500	500	500	μA max	
AD7876のみ					
入力電圧範囲	±10	±10	±10	V	
入力電流	±600	±600	±600	μA max	
リファレンス出力					
REF OUT@+25°C	2.99	2.99	2.99	V min	
	3.01	3.01	3.01	V max	
REF OUT温度係数	±60	±35	±60	ppm/°C max	標準温度係数値±20ppm/°C
リファレンス負荷感度 (ΔREF OUT/ΔI)	-1	-1	-1	mV max	リファレンス負荷電流の変動(0~500μA) 変換中にはリファレンス負荷は 変動しないようにします。
ロジック入力					
入力ハイ電圧、V _{INH}	2.4	2.4	2.4	V min	V _{DD} =5V±5%
入力ロー電圧、V _{INL}	0.8	0.8	0.8	V max	V _{DD} =5V±5%
入力電流、I _{IN}	±10	±10	±10	μA max	V _{IN} =0V~V _{DD}
入力電流 (12/√8/CLK入力のみ)	±10	±10	±10	μA max	V _{IN} =V _{SS} ~V _{DD}
入力容量、C _{IN} ⁵	10	10	10	pF max	
ロジック出力					
出力ハイ電圧、V _{OH}	4.0	4.0	4.0	V min	I _{SOURCE} =40μA
出力ロー電圧、V _{OL}	0.4	0.4	0.4	V max	I _{SINK} =1.6mA
DB11~DB0					
フローティング状態リーク電流	10	10	10	μA max	
フローティング状態出力容量 ⁵	15	15	15	pF max	
変換時間					
外部クロック (f _{CLK} =2.5MHz)	8	8	8	μs max	
内部クロック	7/9	7/9	7/9	μs min/μs max	
電源	AD7870と同じ				

注

- 温度範囲は以下のとおりです。
AD7875: 0~+70°C (K, レバレッジ)、-40~+85°C (B, Cバージョン)、-55~+125°C (Tバージョン)
AD7876: -40~+85°C (B, Cバージョン)、-55~+125°C (Tバージョン)
- 内部リファレンス誤差を含み、AD7875ではユニポーラ・オフセット誤差、そしてAD7876ではバイポーラ・ゼロ誤差を調整した後で計算します。AD7876の場合、フルスケール誤差は正と負両方のフルスケール誤差を基準としています。
- AD7876のダイナミック性能パラメータはテストされていませんが、標準値はAD7875と同一です。
- SNRの計算には歪みとノイズ成分が含まれています。
- +25°Cでサンプリング・テストすることによって確認。

仕様は予告なしに変更することがあります。

タイミング特性^{1,2}

($V_{DD} = +5V \pm 5\%$ 、 $V_{SS} = -5V \pm 5\%$ 、 $AGND = DGND = 0V$ 。
図9、10、11と12を参照)

パラメータ	T_{min} 、 T_{max} 時のリミット値 (J、K、L、A、B、Cバージョン)	T_{min} 、 T_{max} 時のリミット値 (S、Tバージョン)	単位	条件/備考
t_1	50	50	ns min	CONVSTパルス幅
t_2	0	0	ns min	CSからRDセットアップ時間 (モード1)
t_3	60	75	ns min	RDパルス幅
t_4	0	0	ns min	CSからRDホールド時間 (モード1)
t_5	70	70	ns max	RDからINT遅延
t_6^3	57	70	ns max	RD後のデータ・アクセス時間
t_7^4	5	5	ns min	RD後のバス・レリンクイッシュ時間
t_8	0	0	ns max	
t_9	0	0	ns min	HBENからRDセットアップ時間
t_{10}	100	100	ns min	HBENからRDホールド時間
t_{11}^5	370	370	ns min	SSTRBからSCLK立下りエッジ・セットアップ時間
t_{12}^6	135	150	ns min	SCLKサイクル時間
t_{13}	20	20	ns max	SCLKから有効データ遅延。 $C_L = 35pF$
t_{14}	100	100	ns min	SCLK立下りエッジからSSTRB
t_{15}	10	10	ns max	SCLK後のバス・レリンクイッシュ時間
t_{16}	100	100	ns min	
t_{17}	60	60	ns max	CSからRDセットアップ時間 (モード2)
t_{18}	120	120	ns min	CSからBUSY伝播遅延
t_{19}	200	200	ns max	BUSY前のデータ・セットアップ時間
t_{20}	0	0	ns min	CSからRDホールド時間 (モード2)
t_{21}	0	0	ns min	HBENからCSセットアップ時間
t_{22}	0	0	ns min	HBENからCSホールド時間

注

1. 太字のタイミング仕様は、全数製品テストが施されています。他のタイミングはすべて確認のため、+25°Cでサンプリング・テストしています。入力信号はすべて $tr = tf = 5ns$ (5Vの10~90%)とし、1.6Vの電圧レベルから測定するものとします。
2. シリアル・タイミングはSDATAとSSTRBに4.7kΩプルアップ抵抗を、またSCLKに2kΩプルアップ抵抗を接続して測定したものです。3つの出力の容量はすべて35pFです。
3. t_6 は図1の負荷回路で測定したもので、出力が0.8Vまたは2.4Vに達するのに必要な時間を表わします。
4. t_7 は図2の回路で負荷が与えられた時データ・ラインが0.5V変化するのに要する時間を表わします。
5. SCLKのマーク/スペース比 (1.6Vの電圧レベルから測定) は40/60~60/40です。
6. SDATAはより高い容量負荷を駆動できますが、その場合、外部RC時定数 (4.7kΩ || C_L)が増し、したがって2.4Vに達する時間が長くなるため、 t_{13} が大きくなります。

仕様は予告なしに変更することがあります。

絶対最大定格*

AGND対 V_{DD}	-0.3~+7V
AGND対 V_{SS}	+0.3~-7V
DGND対AGND	-0.3V~ $V_{DD} + 0.3V$
AGND対 V_{IN}	-15~+15V
AGND対REF OUT	0V~ V_{DD}
DGND対デジタル入力	-0.3V~ $V_{DD} + 0.3V$
DGND対デジタル出力	-0.3V~ $V_{DD} + 0.3V$
動作温度範囲	
一般用 (J、K、Lバージョン; AD7870)	0~+70°C
産業用 (A、B、Cバージョン; AD7870)	-25~+85°C
産業用 (B、Cバージョン; AD7875/AD7876)	-40~+85°C
拡張温度用 (S、Tバージョン)	-55~+125°C
保存温度範囲	-65~+150°C
リード温度 (ハンダ付け、10秒)	+300°C
+75°Cまでの消費電力 (全パッケージ共通)	450mW
+75°C以上のディレーティング	10mW/°C

*絶対最大定格に示す条件を越えると、デバイスに永久的な損傷を与える恐れがあります。またこれは単に定格を示したもので、これらの条件または動作仕様で示した値を越える条件の下でデバイスが機能することを意味するものではありません。絶対最大定格の条件に長時間さらされた場合、デバイスの信頼性が損なわれる場合があります。

注意:

ESD (静電気) に敏感なデバイスです。デジタル制御入力はダイオードによって保護されていますが、未接続のデバイスを高エネルギー静電界に置くと、デバイスが永久的な損傷を受ける場合があります。未使用時は導電スポンジの中からシャントを設けて保管してください。また保護スポンジはデバイスを挿入する前にソケットに対して放電を行なってください。

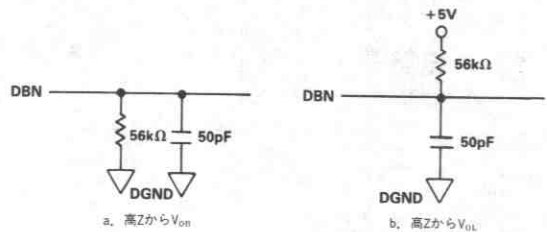


図1. アクセス時間用負荷回路

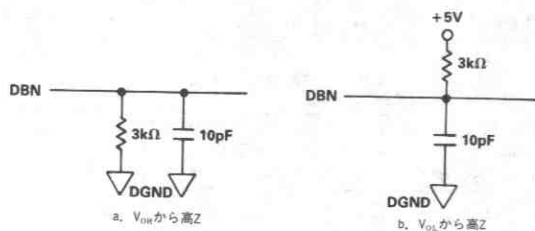


図2. 出力フロート・ディレイ用負荷回路



ピン機能の説明

DIP

ピン

No.

ピン

記号

機能

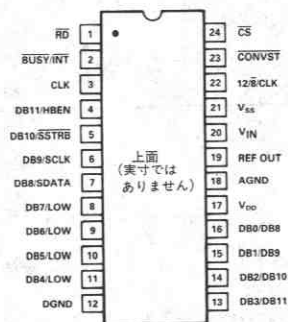
1	RD	リード。アクティブ・ローのロジック入力。この入力はCSローとともにデータ出力のイネーブルに使われます。
2	BUSY/INT	ビジー/割込み。コンバータのステータスを示すアクティブ・ローのロジック出力。タイミング図を参照。
3	CLK	クロック入力。外部TTLコンパチブル・クロックをこのピンに入力することができます。またこのピンをV _{SS} に接続すると、内部のレーザ・トリミングされたクロック発振器がイネーブルされます。
4	DB11/HBEN	データ・ビット11 (MSB)/上位バイト・イネーブル。このピンの機能は12/8/CLK入力のステートによって異なります。12ビット・パラレル・データが選択されている場合は、このピンはDB11出力を供給します。またバイト・データが選択されている場合は、このピンはHBENロジック入力となります。HBENは8ビット・バスとのインタフェースに用いられるもので、ローの時、DB7/LOW~DB0/DB8がDB7~DB0となり、ハイの時DB7/LOW~DB0/DB8がデータの上位バイト用として用いられます (表1を参照)。
5	DB10/SSSTRB	データ・ビット10/シリアル・ストロブ。12ビット・パラレル・データ選択時は、このピンはDB10出力を供給します。SSSTRBはアクティブ・ローのオープン・ドレイン出力で、シリアル・データ用のストロブまたは(フレミング)パルスを供給するものです。SSSTRBには4.7kΩの外部プルアップ抵抗を接続する必要があります。
6	DB9/SCLK	データ・ビット9/シリアル・クロック。12ビット・パラレル・データ選択時、このピンはDB9出力を供給します。SCLKは内部または外部のADCクロックからの信号をゲーティングしたシリアル・クロック出力です。12/8/CLK入力か-5Vの時はSCLKは動作を持続しますが、12/8/CLKが0Vの時はシリアル転送が完了した後はオフにゲーティングされます。SCLKはオープン・ドレイン出力で、2kΩの外部プルアップ抵抗を接続する必要があります。
7	DB8/SDATA	データ・ビット8/シリアル・データ。12ビット・パラレル・データ選択時、このピンはDB8出力を供給します。SDATAはオープン・ドレインのシリアル・データ出力で、SCLKおよびSSSTRBとともにシリアル・データの転送に用いられます。シリアル・データはSSSTRBがローの時、SCLKの立下りエッジで有効となります。SDATAには4.7kΩの外部プルアップ抵抗を接続する必要があります。
8-11	DB7/LOW-DB4/LOW	CSとRDによって制御されるスリーステート・データ出力。これらのピンの機能は12/8/CLKおよびHBEN入力によって異なります。12/8/CLKがハイの時は常にDB7~DB4で、12/8/CLKがローまたは-5Vの時の機能は、HBENによって制御されます (表1を参照)。
12	DGND	デジタル・グラウンド。デジタル回路用グラウンド・リファレンス。
13-16	DB3/DB11-DB0/DB8	CSとRDによって制御されるスリーステート・データ出力。これらのピンの機能は12/8/CLKおよびHBEN入力によって異なります。12/8/CLKがハイの時は常にDB3~DB0で、12/8/CLKがローまたは-5Vの時の機能は、HBENによって制御されます (表1を参照)。

HBEN	DB7/LOW	DB6/LOW	DB5/LOW	DB4/LOW	DB3/DB11	DB2/DB10	DB1/DB9	DB0/DB8
HIGH	LOW	LOW	LOW	LOW	DB11 (MSB)	DB10	DB9	DB8
LOW	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0 (LSB)

表1. バイト・インタフェース用出力データ

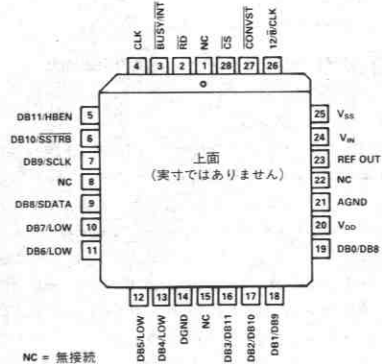
17	V _{DD}	正電源、+5V ± 5%。
18	AGND	アナログ・グラウンド。トラック/ホールド、リファレンスおよびDAC用グラウンド・リファレンス。
19	REF OUT	電圧リファレンス出力。内部3Vリファレンスがこのピンで供給されます。外部負荷能力は500μAです。
20	V _{IN}	アナログ入力。アナログ入力レンジは各々±3V (AD7870)、±10V (AD7876)、0 ~ +5V (AD7875) です。
21	V _{SS}	負電源、-5V ± 5%。
22	12/8/CLK	3機能入力。データとシリアル・クロックのフォーマットを決定します。このピンが+5Vの場合、出力データ・フォーマットは12ビット・パラレルのみとなり、0Vの場合はバイトまたはシリアル・データのどちらかが選択され、SCLKが連続的に動作しなくなります。また-5Vの場合は、バイトまたはシリアル・データを選択することができますが、SCLKは連続的に動作します。
23	CONVST	変換開始。この入力のローからハイへの遷移により、トラック/ホールドがホールド・モードになり、変換が開始されます。この入力はCLK入力に非同期です。
24	CS	チップ・セレクト。アクティブ・ローのロジック入力。この入力がアクティブの時、デバイスが選択されます。CONVSTがローの状態ではCSがローの時、新しく変換が開始されます。

DIPとSOIC²



ピン配置¹

PLCC²



1. AD7870, AD7875, AD7876のピン配置は同じです。
2. AD7870とAD7875のパッケージはDIP及びPLCC、そしてAD7876のパッケージはDIP及びSOICです。

NC = 無接続

詳細説明

AD7870/AD7875/AD7876は全機能内蔵の12ビットA/Dコンバータで、電源デカップリング・コンデンサを除き外部部品を必要としません。高速セトリング電圧出力DACをベースとする12ビット逐次比較型ADC、高速コンパレータ、SAR、トラック/ホールド・アンプ、3V埋込みツェナ・リファレンス、クロック発振器および制御ロジックから構成されています。

内部リファレンス

AD7870/AD7875/AD7876は、温度補償済みで $3V \pm 10mV$ にトリミングされた埋込みツェナ・リファレンスを内蔵しています。これによって内部的にDACリファレンスとバイポーラ動作に必要なDCバイアス (AD7870とAD7876) が準備されます。またリファレンス出力も利用することができ (REF OUT)、外部負荷に対して最大500 μA まで供給する能力が備わっています。

REF OUTの望ましい最大容量は、通常動作で50pFです。リファレンスを外部的に使用する必要がある時は、10 μF タンタル・コンデンサと0.1 μF セラミック・コンデンサを並列に接続したものに200 Ω 抵抗を直列に接続することによってデカップリングしてください。これらのデカップリング用の部品はADCの内部動作によって生じる電圧スパイクを除去するのに必要です。

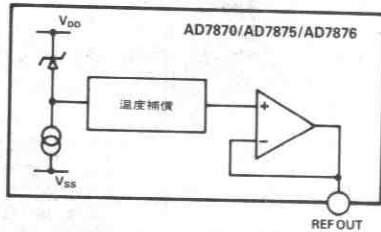


図3. リファレンス回路

リファレンス出力電圧は3Vです。AD7875またはAD7876の応用では5Vまたは10Vのリファレンスが必要な場合があります。図4に3VのREF OUT電圧から5Vまたは10Vの外部リファレンスを供給する回路を示します。

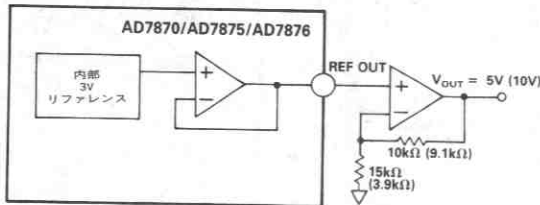


図4. 5Vまたは10Vリファレンスの生成回路

トラック/ホールド・アンプ

AD7870/AD7875/AD7876のアナログ入力側のトラック/ホールド・アンプによって、ADCは入力周波数を12ビット精度に正確に変換することが可能となります。トラック/ホールド・アンプの入力帯域幅は、ADCが最大スループット・レートで動作している時でもADCのナイキスト・レートよりずっと高いものです。標準500kHzで0.1dBのカットオフ周波数が発生します。トラック/ホールド・アンプは12ビット精度の入力信号を2 μs 以内で収集します。全体的なスループット・レートは変換時間+トラック/ホールド・アンプのアクイジション時間ということになります。例えば入力クロックが2.5

MHzの場合の最大スループット・レートは10 μs です。

トラック/ホールドの動作は本質的にユーザにとってわかりやすいものといえます。トラック/ホールド・アンプは変換が開始される時にトラッキング・モードからホールド・モードに移行します。CONVST入力を使って変換が開始される場合は、CONVSTの立上りエッジでトラックからホールドへの遷移が起こり、CSによって変換が開始される場合は、CSの立下りエッジでこの遷移が起こります。

アナログ入力

3つのモデルのアナログ入力電圧レンジは異なります。

AD7870は $\pm 3V$ 、AD7876は $\pm 10V$ 、AD7875の入力レンジは0 \sim +5Vです。

図5aにAD7870のアナログ入力を示します。アナログ入力レンジは15k Ω typの入力抵抗に対して $\pm 3V$ です。連続する整数LSB値の中間で、指定されたコード遷移が発生します (すなわち1/2LSB、3/2LSB、5/2LSB...FS-3/2LSB)。出力コードは2の補数バイナリ・フォーマットで、1LSB=FS/4096=6V/4096=1.46mVです。理想的な入出力伝達関数を図6に示します。

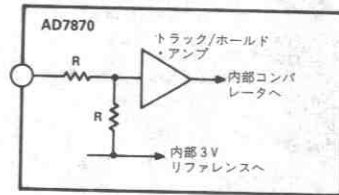


図5a. AD7870アナログ入力

図5bにAD7876のアナログ入力を示します。アナログ入力レンジは33k Ω typの入力抵抗に対して $\pm 10V$ です。連続する整数LSB値の中間で、指定されたコード遷移が発生します。出力コードは2の補数フォーマットで、1LSB=FS/4096=20V/4096=4.88mVです。理想的な入出力伝達関数を図6に示します。

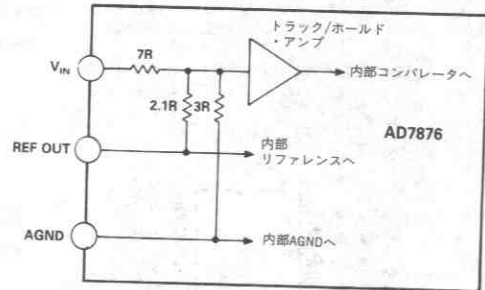


図5b. AD7876アナログ入力

図5cにAD7875のアナログ入力を示します。入力レンジは25k Ω typの入力抵抗に対して0 \sim +5Vです。同じように、連続する整数LSB値の中間で指定されたコード遷移が発生します。出力コードはストレート・バイナリ・フォーマットで、1LSB=FS/4096=5V/4096=1.22mVです。理想的な入出力伝達関数を図7に示します。

AD7870/AD7875/AD7876

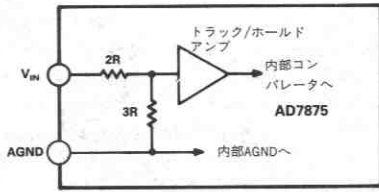


図5c. AD7875アナログ入力

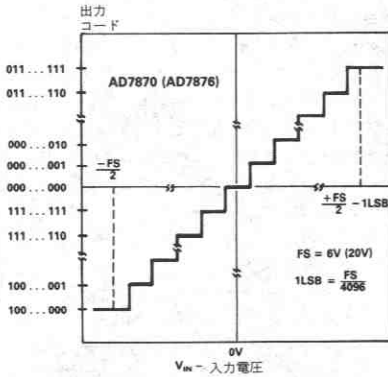


図6. AD7870/AD7876の伝達関数

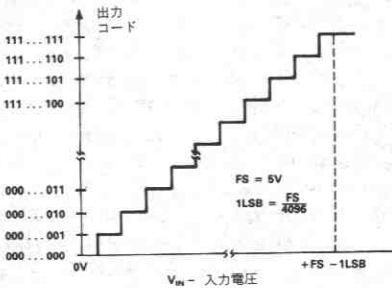


図7. AD7875の伝達関数

オフセットおよびフルスケール調整—AD7870

ほとんどのデジタル信号処理 (DSP) 応用では、オフセットおよびフルスケール誤差はシステムの性能に全く影響しないか、極くわずかな影響しかありません。オフセット誤差は常にACカップリングによってアナログ領域で取除くことができます。フルスケール誤差はその影響が直線的に現われ、入力信号がADCのフル・ダイナミック・レンジ内にある限り問題となることはありません。アプリケーションの中には入力信号がフル・アナログ入力ダイナミック・レンジに及ぶものがありますが、このようなアプリケーションではオフセットおよびフルスケール誤差をゼロに調整する必要があります。

調整が必要な時は、フルスケール誤差の前にまずオフセット誤差を調整します。これは入力電圧がグラウンドの1/2LSB下の時、AD7870のアナログ入力を駆動するオペアンプのオフセットをトリミングすることによって行ないます。トリミング手順はまず図8の V_1 に -0.73mV ($-1/2$ LSB) を印加し、ADCの出力コードが1111 1111 1111と0000 0000の間で変動するようにオペアンプのオフセット電圧を調整します。ゲイン誤差は最初のコード遷移 (ADC

の負フルスケール) か最後のコード遷移 (ADCの正フルスケール) を使って調整することができます。これらのトリミング手順を次に示します (図8を参照)。

正のフルスケール調整

V_1 に 2.9978V ($\text{FS}/2-3/2\text{LSB}$) を印加します。ADCの出力コードが0111 1111 1110と0111 1111 1111の間で変動するようにR2を調整します。

負のフルスケール調整

V_1 に -2.9993V ($-\text{FS}/2+1/2\text{LSB}$) を印加します。ADCの出力コードが1000 0000 0000と1000 0000 0001の間で変動するようにR2を調整します。

オフセットおよびフルスケール調整—AD7876

AD7876のオフセットおよびフルスケール調整は上述のAD7870の場合と同様です。調整が必要な応用では、次のようなトリミング手順を実行してください。

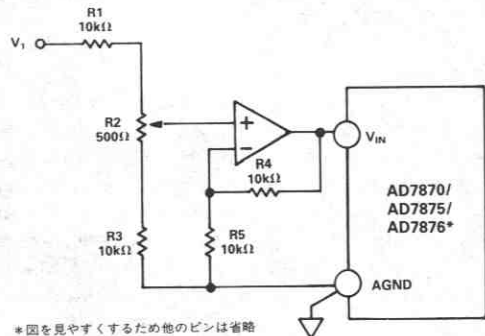
まず、 V_1 に -2.44mV ($-1/2\text{LSB}$) の電圧を印加し、ADCの出力コードが1111 1111 1111と0000 0000 0000の間で変動するようにオペアンプのオフセット電圧を調整します。フルスケール誤差は最初のコード遷移 (ADCの負フルスケール) か最後のコード遷移 (ADCの正フルスケール) を使って調整することができます。これらのトリミング手順を次に示します (図8を参照)。

正のフルスケール調整

V_1 に 9.9927V ($\text{FS}/2-3/2\text{LSB}$) を印加します。ADCの出力コードが0111 1111 1110と0111 1111 1111の間で変動するようにR2を調整します。

負のフルスケール調整

V_1 に -9.9976V ($\text{FS}/2+1/2\text{LSB}$) を印加します。ADCの出力コードが1000 0000 0000と1000 0000 0001の間で変動するようにR2を調整します。



*図を見やすくするための他のピンは省略

図8. オフセットおよびフルスケール調整回路

オフセットおよびフルスケール調整—AD7875

AD7870の場合と同様にAD7875のほとんどのDSP応用ではオフセットおよびフルスケール調整が不要です。調整が必要な時は、フルスケール (ゲイン) 誤差の前にまずオフセット誤差を調整します。

図8のように V_{1} に 0.61mV ($1/2\text{LSB}$)を印加し、ADCの出力コードが、0000 0000 0000と0000 0000 0001の間で変動するようにオペアンプのオフセット電圧を調整します。フルスケール調整は、 V_{1} に 4.9982V ($\text{FS}-3/2\text{LSB}$)を印加し、ADCの出力コードが1111 1111 1110と1111 1111 1111の間で変動するようにR2を調整することで完了します。

タイミングおよび制御

AD7870/AD7875/AD7876は2つの基本動作モードをとることができます。第1のモード(モード1)では $\overline{\text{CONVST}}$ ラインが変換開始に使われ、トラック/ホールドをホールド・モードに設定します。変換が終わると、トラック/ホールドはトラッキング・モードに戻ります。これはデジタル信号処理など、時間に合わせて正確にサンプリングを行なう必要のある応用に適したモードです。これらの応用では、サンプリングの不確かさやジッタによる誤差を最小限に抑えるため、正確に等間隔でサンプリングが行なわれることが重要となります。これらのケースでは $\overline{\text{CONVST}}$ ラインはタイマその他の正確なクロック・ソースによって駆動されます。

第2のモードは $\overline{\text{CONVST}}$ ラインをローに固定するものです。このモード(モード2)はマイクロプロセッサがADCの全体的な制御(変換開始とデータ読み込み)を行なうシステムに適しています。 $\overline{\text{CS}}$ によって変換が開始され、マイクロプロセッサは通常 BUSY/INT によって変換中は WAIT 状態となります。

データ出力フォーマット

2つの動作モードの他に、AD7870/AD7875/AD7876ではデータ出力フォーマットも3種類(シリアル1つとパラレル2つ)のなかから選択することができます。パラレル・データ・フォーマットは16ビット・データ・バス用のシングル12ビット・パラレル・ワードと8ビット・データ・バス用の2バイト・フォーマットがあります。データ・フォーマットは $12/\overline{8}/\text{CLK}$ 入力によって制御します。このピンがロジック・ハイの場合は、12ビット・パラレル出力フォーマットが選択されます。このピンがロジック・ローまたは -5V の場合、ユーザはシリアル・フォーマットかバイト・フォーマットを選択することができます。パラレル・フォーマットで上位4ビットに割り当てられているピンのうち3本がシリアル通信に用いられ、4番目のピンがバイト・フォーマット・データ用の制御入力となります。3つのデータ出力フォーマットはいずれの動作モードにおいても、選択することができます。

パラレル出力フォーマット

パラレル・フォーマットには、12ビット幅のデータと2バイト・データ・ワードの2種類があります。前者の場合は、12ビットのデータすべてが DB11 (MSB) ~ DB0 (LSB)を通して、同時に得られます。後者の場合はデータをアクセスするのに2回のリードを行なう必要があります。このデータ・フォーマットが選ばれると、 $\text{DB11}/\text{HBEN}$ ピンが HBEN として機能します。 HBEN はADCからどちらのバイトを读出すかを指定するもので、ローの場合はリード動作の間に下位8ビットがデータ・バス上に置かれ、ハイの場合は12ビット・ワードの上位4ビットがデータ・バス上に置かれます。この4ビットは右詰めされているので、下位ニブルがデータ・ビットとなり、上位ニブルにはゼロが4つ詰められます。

シリアル出力フォーマット

$12/\overline{8}/\text{CLK}$ 入力が入力または -5V の場合、AD7870/AD7875/AD7876はシリアル・データを出し、この場合 $\text{DB10}/\text{SSTRE}$ 、 $\text{DB9}/\text{SCLK}$ および $\text{DB8}/\text{SDATA}$ ピンが各々シリアル機能に変わります。シリアル・データは変換中に出力され、4つ0が出力された

後、MSBから順に12ビットの変換結果が出力されます(16ビット・ワード長)。データはシリアル・クロック出力(SCLK)と同期し、シリアル・ストローブ(SSTRE)によってフレーミングされます。データは SSTRE 出力がローの間、シリアル・クロックがローからハイへ遷移するとき出力され、このクロックの立下がりエッジで有効となります。 $\overline{\text{CONVST}}$ から3クロック・サイクル以内に SSTRE がローになり、 SCLK の最初の立下りエッジで最初のシリアル・データ・ビット(すなわち4つの0の最初のもの)が有効になります。3つのシリアル・ラインはすべてオープン・ドレイン出力で、外部プルアップ抵抗を必要とします。

シリアル・クロックは内部または外部のADCクロック・ソースから供給されます。通常 SCLK はシリアル伝送のみ必要となります。この場合、変換終了時にシャットダウンすることによって、複数のADCに共通のシリアル・バスを共有させることができます。ただしシリアル・クロックが常時動作していなければならないシリアル・システム(例えば TMS32020)もあります。AD7870/AD7875/AD7876では $12/\overline{8}/\text{CLK}$ 入力を使うことによって、どちらでも選択することができます。すなわち、これを -5V とすると、シリアル・クロック(SCLK)が連続的に動作し、 0V とすると、 SCLK が伝送終了時にオフとなります。

モード1インタフェース

$\overline{\text{CONVST}}$ 入力のロー方向のパルスによって変換が開始されます。 $\overline{\text{CONVST}}$ パルスの立上りエッジで変換が開始され、トラック/ホールド・アンプがホールド・モードに設定されます。 $\overline{\text{CS}}$ がローの場合は変換は開始しません。このモードでは BUSY/INT ステータス出力が INT として機能します。 INT は通常ハイで、変換が終了すると、ローに変わります。この INT ラインはマイクロプロセッサへの割込みに使用することができます。ADCへのリード動作でデータがアクセスされると、 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ の立下りエッジで INT ラインがハイにリセットされます。ADCがこのモードで正しく動作するためには、 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ がローに設定されている時、 $\overline{\text{CONVST}}$ 入力が高でなければなりません。このモードでは $\overline{\text{CS}}$ または $\overline{\text{RD}}$ 入力はローに固定してはいけません。変換進行中はラッチがディスエーブルとなるので、変換中にデータを読取ることはできません。サンプリングの精度がさほど問題にならない応用では、マイクロプロセッサの WR ラインをデコード・アドレスによるORゲートを通して $\overline{\text{CONVST}}$ パルスを生成することができます。応用のなかには、電源のターンオン時間に応じてAD7870/AD7875/AD7876がパワーアップ時に変換を実行する場合があります。

図9は12ビット・パラレル・データ出力フォーマット ($12/\overline{8}/\text{CLK} = +5\text{V}$)の時のモード1タイミング図を示したものです。変換終了時のADCへのリード動作によって、12ビットすべてが同時にアクセスされます。このデータ出力フォーマットではシリアル・データは使用できません。

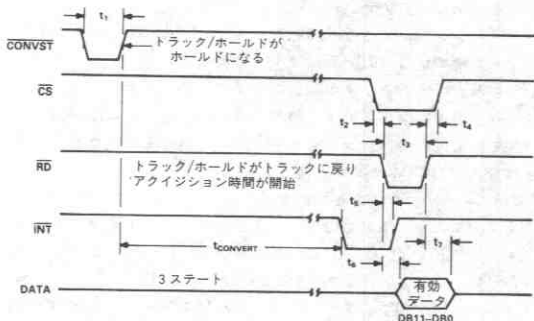
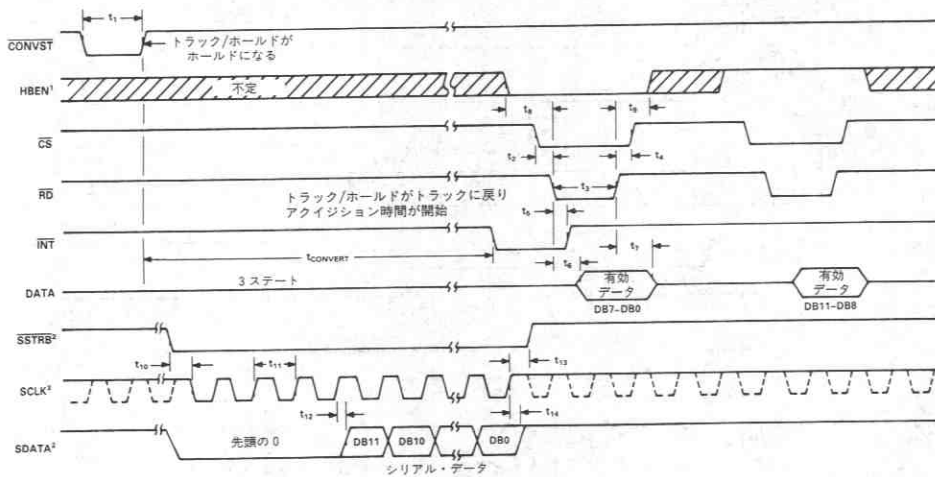


図9. モード1タイミング図、12ビット・パラレル・リード

AD7870/AD7875/AD7876



注
1. t_2 , t_3 , t_4 および t_5 は上位バイト・リード時と下位バイト・リード時で共通。
2. 外付けの $4.7\text{k}\Omega$ プルアップ抵抗。

3. 外付けの $2\text{k}\Omega$ プルアップ抵抗。
 $12/8/\text{CLK} = 5\text{V}$ の時、SCLK 連続 (点線)、
 $12/8/\text{CLK} = 0\text{V}$ の時、非連続。

図10. モード1 タイミング図、バイトまたはシリアル・リード

バイトおよびシリアル・データのモード1 タイミング図を図10に示します。INTが変換終了時にローとなり、CSとRDの最初の立下りエッジでハイにリセットされます。変換終了時の最初のリードはHBENのステータスにしたがって下位バイトか上位バイトにアクセスします(図10の例では下位バイトのみとなります)。図にはクロックが連続的に動作する場合(点線)としない場合の両方が示されています。

モード2インタフェース

第2のインタフェース・モードではCONVSTがローに固定され、変換はHBENがローの時にCSをローに設定することによって開始されます。CSの立下りエッジでトラック/ホールド・アンプがホールド・モードになります。このモードではBUSY/INTピンがBUSYとして機能します。BUSYは変換開始時にローになり、変換中はローを維持し、変換が終了するとハイに戻ります。通常、これはパラレル・インタフェースにおいて変換の間マイクロプロセッサをWAIT状態に置くために用いられます。

図11は12ビット・パラレル・データ出力フォーマット ($12/8/\text{CLK} = +5\text{V}$) の時のモード2 タイミング図を示したものです。この場合ADCはスローメモリのような動きをします。このインタフェースの主な利点はマイクロプロセッサに変換を開始させ、WAITした後1回のリード命令でデータを読ませることができる点です。ユーザは割込みを設定したり、変換中にリードが行なわれないようにするための十分なソフトウェア・ディレイを確保する必要がありません。

バイトおよびシリアル・データのモード2 タイミング図を図12に示します。2バイト・データを読む場合は、変換開始時HBENをローにしておかなければならないので、まず下位バイト(DB0~DB7)からアクセスします。この最初のリードではADCはスローメモリのような動きをしますが、データの上位バイトにアクセスする2回目のリードは通常のリード動作です。各シリアル機能の動作はモード1と2で全く同じです。図12のタイミング図にはSCLKが連続的に

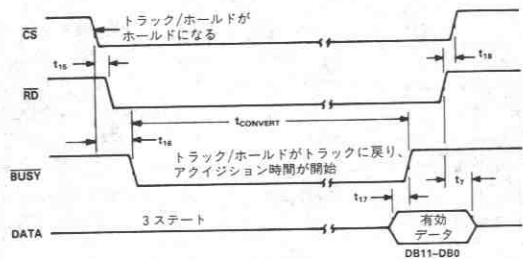


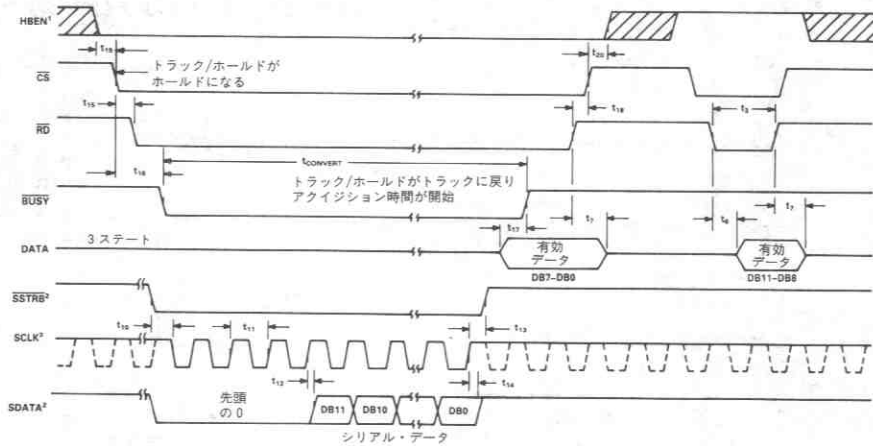
図11. モード2 タイミング図、12ビット・パラレル・リード動作する場合(点線)としない場合の両方が示されています。

ダイナミック仕様

AD7870とAD7875は積分および微分非直線性などの従来のDC仕様の他に、ダイナミック性能についても仕様規定され、100%テストされています。AD7876ではACパラメータはテストされていませんが、ダイナミック性能はAD7870およびAD7875と同様です。これらのAC仕様は音声認識、スペクトラム分析および高速モデムなどの信号処理応用が必要となります。これらの応用では、ADCが入力信号のスペクトルにどう影響するかについてのデータが必要です。そのためAD7870とAD7875ではSNR、高調波歪み、相互変調歪みおよびピーク高調波などのパラメータについて仕様規定されています。これらの用語については、以下の項でさらに詳しく説明します。

信号対雑音比 (SNR)

SNRはADCの出力における信号対雑音の比を測定したものです。信号は基本波の大きさのrmsを表わし、ノイズはDCを除くサンプリング周波数の1/2 (FS/2) までのすべての非基本波のrms合計を表わします。SNRはデジタル化プロセスで用いられる量子化レベルの数によって変化します。すなわち、レベルが増えると、量子化ノイズは小さくなります。正弦波入力に対する理論的なSNRの値は次式で与えられます。



注
 1. t_{1a} , t_{1b} および t_{1c} は上位バイト・リード時と下位バイト・リード時で共通。
 2. 外付けの4.7kΩプルアップ抵抗。
 3. 外付けの2kΩプルアップ抵抗。
 12/8/CLK = -5Vの時、SCLK連続(点線)、
 12/6/CLK = 0Vの時、非連続。

図12. モード2 タイミング図、バイトまたはシリアル・リード

$$SNR = (6.02N + 1.76) \text{ dB} \quad (1)$$

ここでNはビット数を示します。例えば理想的な12ビット・コンバータの場合、 $SNR = 74\text{dB}$ となります。

ADCからの出力スペクトルは V_{IN} に低歪みの正弦波信号を入力し、それを100kHzのサンプリング・レートでサンプリングすることによって評価します。高速フーリエ変換(FFT)のグラフを作成し、SNRデータを求めることができます。図13はAD7870KN/AD7875KNに25kHzの入力信号と100kHzのサンプリング周波数を適用した場合の標準的な2048ポイントFFTグラフを示したものです。このグラフから得られるSNRは72.6dBとなります。SNRを計算する際、高周波も考慮している点に注意してください。

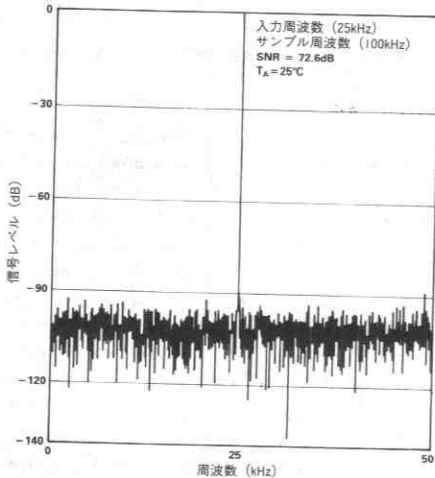


図13. FFTグラフ

有効ビット数

(1)の式ではSNRとビット数との関係が示されています。式を(2)のように変形すると、性能を有効ビット数(N)の形で表わすことができます。

$$N = \frac{SNR - 1.76}{6.02} \quad (2)$$

デバイスの有効ビット数は直接SNRから求められます。

図14はサンプリング周波数が100kHzの場合のAD7870KN/AD7875KNの有効ビット数と周波数の関係を示した標準的なグラフです。標準的な有効ビット数は11.7と11.85 (SNRの72.2と73.1 dBに対応する)の間に落ち着きます。

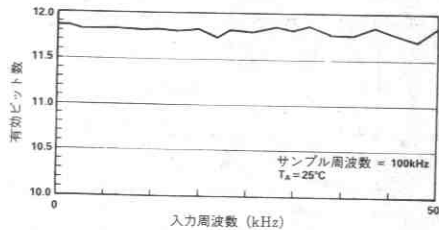


図14. 有効ビット数の周波数特性

全高調波歪み (THD)

THDは高調波のrms合計と基本波のrms値との比を示すものです。AD7870/AD7875の場合、全高調波歪み (THD) は次のように定義されます。

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで V_1 は基本波の大きさのrmsを、また V_2 , V_3 , V_4 , V_5 および V_6 は各々第2から第6までの高調波の大きさのrmsを表わします。またTHDはADC出力スペクトルのFFTグラフからも引出すことができます。

相互変調歪み

どのようなアクティブ・デバイスでもfaとfbの2つの周波数の正弦波から成る入力を与えた場合、周波数の和と差で表わされる歪み積、すなわち $mfa \pm nfb$ ($m, n = 0, 1, 2, 3 \dots$) を生成します。そのうちmとnがともに0でないものを相互変調項といいます。例えば2次項は $(fa + fb)$ と $(fa - fb)$ 、3次項は $(2fa + fb)$ 、 $(2fa - fb)$ 、 $(fa + 2fb)$ および $(fa - 2fb)$ となります。

AD7870/AD7875/AD7876

2つの入力周波数として入力帯域幅の上限に近い周波数が使われるCCIF標準を用いた場合、2次項と3次項は異なる重要性を持ちます。2次項が周波数で通常元の正弦波から離れるのに対し、3次項は通常入力周波数に近い周波数となります。そこで、2次項と3次項は別々に規定されます。相互変調歪みの計算方法はTHD仕様と同じですが、ただ個々の歪み積のrms合計と基本波のrms値の比をdBで表わしたものとなります。この場合、入力は大きさの等しい2つの低歪み正弦波から構成されます。図15はAD7870/AD7875の標準的なIMDグラフを示したものです。

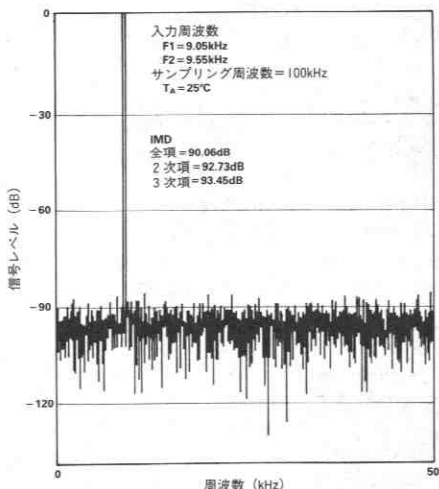


図15. IMDグラフ

ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズはADC出力スペクトルにおいて (FS)/2まで、DCを除く) 次に大きな成分のrms値と基本波のrms値の比と定義されます。通常この仕様の値はスペクトル内の最大高調波によって決まりますが、高調波がノイズ・フロアに埋没しているパーツでは、ピークがノイズ・ピークとなります。

AC直線性グラフ

規定された周波数の正弦波をAD7870/AD7875のV_{IN}に入力し数100万に及ぶサンプルを取ると、4096のADCコードの各々に対して生成される周波数を示すヒストグラムが得られます。このヒストグラム・データにより、図16に示すようなAC積分直線性グラフが作成できます。これはAD7870/AD7875が25kHzの入力周波数において優れた積分直線性をもつことを示しています。またグラフの中に大きなスパイクがないことは微分直線性が優れていることを示しています。使用公式を単純化したものを次に示します。

$$INL(i) = \left[\frac{V(i) - V(o)}{V(fs) - V(o)} \cdot 4096 \right] - i$$

ここでINL(i)はコードiにおける積分直線性を示し、V(fs)とV(o)は各々推定フルスケールおよびオフセット遷移を、またV(i)はi番目のコードに対する推定遷移を示します。

推定コード遷移点V(i)は次のように求められます。

$$V(i) = -A \cdot \cos \left[\frac{\pi \cdot \text{cum}(i)}{N} \right]$$

ここでAはピーク信号レベル、Nはヒストグラムのサンプル数、cum(i)は $\sum_{n=0}^i V(n)$ 回数を表わします。

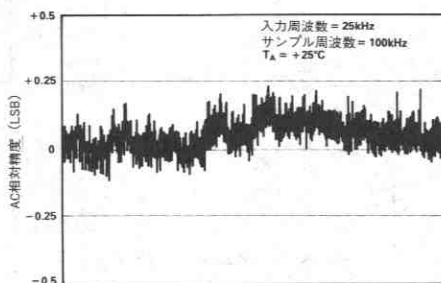


図16. AC 積分直線性グラフ

マイクロプロセッサ・インタフェース

AD7870/AD7875/AD7876には各種のインタフェース・オプションがあります。2つの動作モードと3種類のデータ出力フォーマットを選ぶ他に、高速データ・アクセス時間により、DSPプロセッサを含むほとんどのマイクロプロセッサとのダイレクトなインタフェースが可能です。

パラレル・リード・インタフェース

図17~19はADSP-2100、TMS32010およびTMS32020 DSPプロセッサとのインタフェースを示したものです。3つのインタフェースともADCはモード1、パラレル・リードで動作しています。変換開始は外部タイマによってマイクロプロセッサと非同期に制御されます。変換が終了するごとに、ADCのBUSY/INT割込みがマイクロプロセッサにかかります。変換結果は下記の命令によりADCから読出されます。

ADSP-2100: MR0=DM (ADC)

TMS32010: IN D, ADC

TMS32020: IN D, ADC

MR0=ADSP-2100のMR0レジスタ

D=データ・メモリ・アドレス

ADC=AD7870/AD7875/AD7876のアドレス

変換を外部タイマでなくマイクロプロセッサによって開始する必要のある応用もあります。1つの方法はアドレス・バスからADCのCONVSTをデコードして、ADCへの書き込み動作によって変換が開始されるようにすることです。データは前に述べたように、変換終了時に読出されます。変換中にリード動作をかけないよう注意しなければなりません。

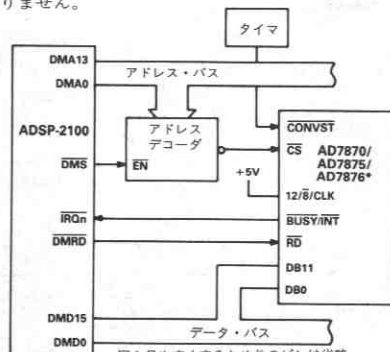


図17. ADSP-2100とのパラレル・インタフェース

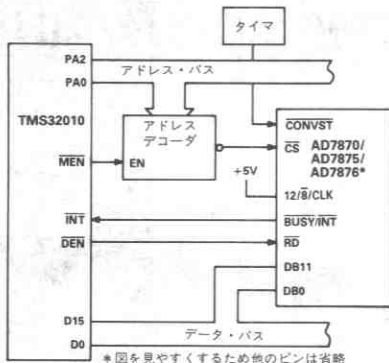


図18. TMS32010とのインタフェース

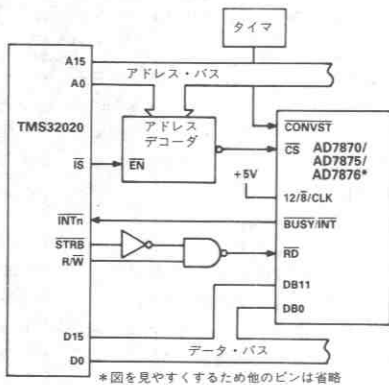


図19. TMS32020とのインタフェース

2バイト・リード・インタフェース
68008とのインタフェース

図20はMC68008マイクロプロセッサとの8ビット・バス・インタフェースを示しています。このインタフェースでは12/8/CLK入力が入力0Vに接続され、DB11/HBENピンがマイクロプロセッサの最下位アドレス・ビットによって駆動されます。変換開始はマイクロプロセッサによって制御されます。このインタフェース例では、ADCアドレスからのMOVE命令によって変換が開始されるとともに、変換結果

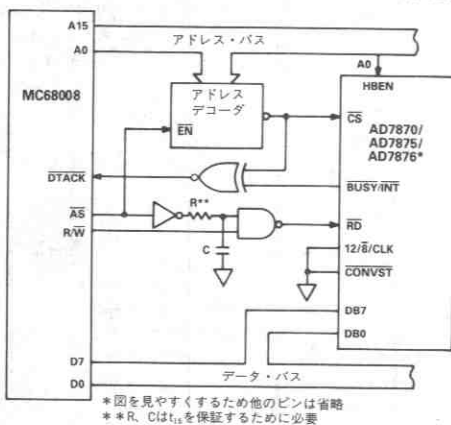


図20. MC68008とのバイト・インタフェース

が読出されます。

MOVEW ADC, DO

ADC=AD7870/AD7875/AD7876のアドレス

DO=68008のD0レジスタ

これは2バイトを読出す命令です。最初のリード動作の間、BUSYとCSによりマイクロプロセッサはADCの変換待ちの状態になります。変換が終了すると、ADCの下位バイト (DB7~DB0) がD0レジスタのD15~D8に、ADCの上位バイト (DB15~DB7) がD0レジスタのD7~D0にロードされます。次のROTATE命令でD0レジスタの上位バイトと下位バイトが入れ換えられ、正しいフォーマットに直されます。

R0L=8, D0

2バイト・リード命令が実行されている間、WAIT状態が挿入されるのは最初のリード動作だけで、2回目のリード動作には挿入されない点に注意してください。

シリアル・インタフェース

図21~24はAD7870/AD7875/AD7876をシリアル・インタフェース用に構成したものです。4つのインタフェースともすべてADCはモード1に設定されます。このインタフェースではタイマがCONVST入力を駆動していますが、必要であればアドレス・デコードによってこれを生成することもできます。SCLK, SDAT, SSTRBはオープン・ドレイン出力です。これらが35pFを超える容量性負荷の駆動に必要な場合には、バッファを推奨します。

DSP56000とのシリアル・インタフェース

図21はAD7870/AD7875/AD7876とDSP56000のシリアル・インタフェースを示します。このインタフェースは2ラインによるもので、ADCは非連続クロック動作用に構成されています (12/8/CLK=0V)。DSP56000はゲーティングされたクロックによってノーマル・モードの同期動作を行なう構成となっています。また入力としてSCKとSCIを使用し、FSL制御ビットが0に設定され、16ビット用としてセットアップされます。この構成では、DSP56000はSCKの最初の立下りエッジで有効データがあるとみなします。ADCは、この最初のエッジで有効データを供給するため、データ用のストロブまたはフレーミング・パルスを提供する必要がありません。ADCが変換を行っていない時は、SCLKとSDATAがゲート・オフされます。変換の間ADCのSDATAから有効データが出力され、このデータはクロックによりDSP56000の受信データ・シフト・レジスタに転送されます。このレジスタが16ビット・データを受取ると、このデータをレジスタから読出すための内部割込みがDSP56000にかかります。

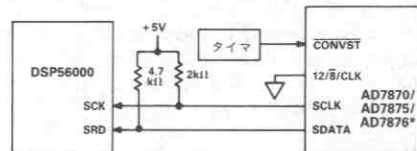


図21. DSP56000とのシリアル・インタフェース

AD7870/AD7875/AD7876

DSP56000とAD7870/AD7875/AD7876を連続クロック動作に構成することもできます ($12/8/CLK = -5V$)。この場合はDSP56000にデータが有効であることを示すため、ストロブ・パルスが必要となります。このストロブ・パルスとしてADCのSSTRB出力が反転され、DSP56000のSC1に入力されます。それ以外の状態および接続はクロック・ゲーティング動作と同様です。

NEC7720/77230とのシリアル・インタフェース

AD7870/AD7875/AD7876とNEC7720のシリアル・インタフェースを図22に示します。このインタフェース例では、ADCは連続クロック動作に構成されていますが、ADCの12/8/CLK入力を0Vに接続するだけで、他の接続はそのまま非連続クロック動作に変更することができます。NEC7720はSCLK入力の立上りエッジで有効データがあるとみなすので、ADCのSCLK出力に対しインバータが必要になります。NEC7720は16ビット・データ・ワード用に構成されています。NEC7720のSIレジスタが16ビット・データを受取ると、SIレジスタの内容を読み出すための内部割込みが発生します。

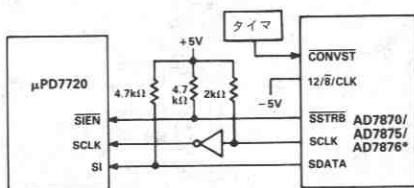


図22. NEC7720とのシリアル・インタフェース

NEC77230とのインタフェースはNEC7720の場合とほぼ同じです。ただし、クロック入力がSICLKになるとともに、NEC77230がこのSICLKの立下りエッジにおいて有効データがあるとみなすため、ADCのSCLK出力とSICLK入力に間にインバータを置く必要がありません。

TMS32020とのシリアル・インタフェース

図23はAD7870/AD7875/AD7876とTMS32020のシリアル・インタフェースを示します。ADCは連続クロック動作に構成されています。ADCが非連続動作として構成されると、正しくTMS32020とインタフェースを行なうことができないので注意してください。データはクロックによって変換中にTMS32020のデータ受信レジスタ (DRR) に転送されます。今までのインタフェースと同様、TMS32020が16ビット・ワードを受信すると、DRRからデータを読み出すための内部割込みが発生します。

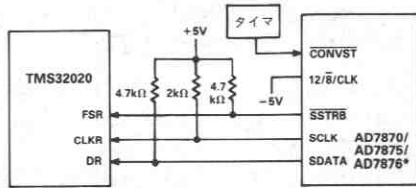
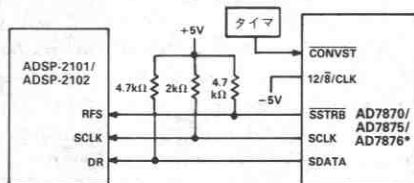


図23. TMS32020とのシリアル・インタフェース

ADSP-2101/ADSP-2102とのシリアル・インタフェース

図24はAD7870/AD7875/AD7876とADSP-2101/ADSP-2102のシリアル・インタフェースを示します。ADCは連続クロック動作に

構成されています。データはクロックによって変換中にADSP-2101/ADSP-2102のシリアル・ポート・レジスタに転送されます。今までのインタフェースと同様、ADSP-2101/ADSP-2102が16ビット・データ・ワードを受取ると、内部的なマイクロプロセッサ割込みが発生し、シリアル・ポート・レジスタからデータが読出されます。

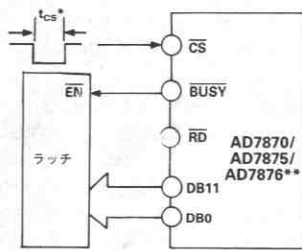


*図を見やすくするためのピンは省略

図24. ADSP-2101/ADSP-2102とのシリアル・インタフェース

スタンドアロン動作

AD7870/AD7875/AD7876はモード2、パラレル・インタフェース・モードに設定することにより、スタンドアロン動作の実行が可能です。この場合、変換はADCのCS入力へのパルスによって開始されます。このパルスはADCの変換時間より長くなければなりません。RD入力の駆動にはBUSY出力が用いられます。データはBUSYの立上りエッジでADCのDB0~DB11出力から外部ラッチにラッチされます。



* $t_{CS} > t_{16} + t_{CONVERT}$
*図を見やすくするためのピンは省略

図25. スタンドアロン動作

応用上の注意

高速A/D性能を実現するためには回路自体の設計と同様に、プリント基板 (PCB) のレイアウトも重要な要素となります。設計者はADC自体の他にそれに先行するアナログ回路のノイズにも十分配慮する必要があります。スイッチング・モード電源を使うと、スイッチング・スパイクがコンパレータまでフィードスルーするため、コード遷移にノイズが入るので、使用しない方がよいでしょう。その他注意すべき点はグラウンド・ループとマイクロプロセッサからのデジタル・フィードスルーです。これらのファクタはどんなADCにも影響を及ぼすので、影響を最小限に抑えるようなPCBレイアウトが理想的な性能を得るためには不可欠です。

レイアウト上の注意

プリント基板のレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ分離するようにします。デジタル・トラックがアナログ・トラックに沿って走ることがないように注意してください。アナログ入力にはAGNDでガード (遮蔽) します。

ADCのAGNDピンまたはなるべくADCに近い所でロジック・システム・グラウンドとは別に1点アナログ・グラウンド(星形グラウンド)を設定します。他のすべてのグラウンドおよびAD7870/AD7875/AD7876のDGNDをこのアナログ・グラウンド・ポイントに接続します。その他のデジタル・グラウンドは、このアナログ・グラウンド・ポイントに接続してはいけません。

ADCの低ノイズ動作を実現するためには、アナログおよびデジタル電源のコモン・リターンを低インピーダンスにする必要があります。これらのトラックのフォイル幅をできるだけ広くします。グラウンド・プレーンを使用すると、インピーダンス・パスを最小限に抑えるとともに、アナログ回路をデジタル・ノイズからガードすることができます。図30と31の回路レイアウトではアナログ・グラウンド・プレーンとデジタル・グラウンド・プレーンの両方がどちらにも用いられていますが、両者はAD7870/AD7875/AD7876のAGNDピンでつながっている以外は完全に分離されています。

ノイズ

V_{IN} への入力信号リードおよびAGNDからの信号リターン・リードは、入力ノイズのカップリングを最小限にするためになるべく短くします。それが不可能な応用の場合は、ソースとADC間をシールド・ケーブルで接続します。信号源とADCのグラウンド間に電位差があると、入力信号に誤差電圧となって現われるため、グラウンド回路のインピーダンスはなるべく低減する必要があります。

データ収集ボード

図28はAD7870/AD7875/AD7876をデータ収集回路に利用したものです。対応するプリント基板(PCB)のレイアウトとシルクスクリーンを図29~31に示します。ボード・レイアウトは3つのインタフェース・ポート、すなわちシリアル1とパラレル2をもっています。パラレル・ポートの1つはADSP-2100評価用ボードの拡張コネクタに直接対応します。

完全なデータ収集システムを構成するために追加しなければならない部品は、他にはアンチエリアシング・フィルタだけです。PCBのアナログ入力の近くに部品グリッドが設けられており、これを使ってフィルタや入力信号調整回路を接続することができます。この選択を容易にするため、アナログ入力トラック上に短絡プラグ(LK1)が用意されています。この短絡プラグを用いると、アナログ入力はADCを駆動するバッファ・アンプに接続されます。この短絡プラグを用いない場合は、ワイヤ・リンクによってアナログ入力とPCB部品グリッドを接続します。

インタフェース接続

SKT4とSKT6の2つのパラレル・コネクタとSKT5の1シリアル・コネクタが用意されています。ADCの12/8/CLK入力上の短絡プラグ・オプション(図28のLK3)を用いると、ADCを各インタフェースに対応するよう構成することができます(ピン機能説明の項を参照)。

SKT6は96接点(3列)のユーロカード・コネクタで、ADSP-2100評価用ボード・プロトタイプ拡張コネクタに直接対応します。ADSP-2100のこの拡張コネクタにはアコードされたチップ・イネーブルを出力するラインが8つあります(ECE1~ECE8)。ECE6はデータ収集ボードのADCのCS入力を駆動するために用いられます。同時にオンボードRAMソケットを選択しないようにするため、ADSP-2100ボード上のLK6を外しておかなければなりません。ADSP-2100の拡張コネクタには4つの割込み(EIRQ0~EIRQ3)が含まれています。ADCのBUSY/INT出力がEIRQ0に接続されます。ADCをADSP-2100の高速バージョンとインタフェースさせる場合

は、ウェイト・ステート・ジェネレータをEDMACKに接続します。

SKT4は26ウェイ(2列)のIDCコネクタです。このコネクタにはSKT6のみに接続されるEDMACKを除き、SKT6の信号接点がすべて含まれています。またTMS32020とのインタフェースに必要なとなるデコードされたR/WとSTRB入力が含まれています。SKT4のピンアウトを図26に示します。

SKT5は9ウェイのD型コネクタで、シリアル・インタフェースのみに用いられます。このコネクタにはクロックの立上りエッジでデータを受取るシステム用に反転したDB9/SCLK出力が用意されています。SKT5のピンアウトを図27に示します。

SKT1、SKT2およびSKT3はアナログ入力、CONVST入力および外部クロック入力の入力接続用BNCコネクタです。外部クロック・ソースの使用はオプションになっているので、ADCのCLK入力上に短絡プラグ(LK2)が設けられています(ADCの内部クロックを使用する場合は-5Vに、それ以外はSKT3に接続します)。

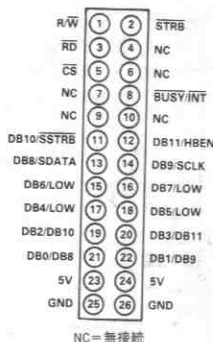


図26. SKT 4、IDCコネクタのピンアウト

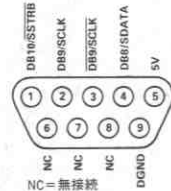


図27. SKT 5、D型コネクタのピンアウト

電源接続

このPCBには2つのアナログ電源と1つの5Vデジタル電源が必要です。アナログ電源はV+、V-と表わされるもので、ともに12~15Vのレンジをもちます(図29のシルクスクリーンを参照)。5Vデジタル電源はいずれかのコネクタ(SK4~SK6)を通して接続します。ADCに必要な-5V電源は、V-電源入力上の電圧レギュレータ(図27のIC3)によって生成されます。

短絡プラグ・オプション

ボードを利用する前に、以下に示すように、7つの短絡プラグの設定を行なう必要があります。

- LK1 アナログ入力をバッファ・アンプに接続します。アナログ入力は信号調整処理のために、部品グリッドに接続することもできます。
- LK2 ADCの内部クロック・ソースか外部クロック・ソースかを選択します。
- LK3 ADCの12/8/CLK入力をシリアルまたはパラレル・インタフェースに設定します。

AD7870/AD7875/AD7876

- LK4 ADCのRD \bar 入力を直接2つのパラレル・コネクタあるいはデコードされたSTRBとR/W入力に接続します。この短絡プラグの設定はどのマイクロプロセッサを使用するかによって決まります。例えばTMS32010は独立したRD \bar 出力をもっていますが、TMS32020はSTRBとR/W出力をもっています。
- LK5 プルアップ抵抗R3、R4およびR5をSSTRB、SCLKと
- LK7 SDATAに接続します。これらの短絡プラグはパラレル・インタフェースの場合は外しておかなければなりません。

部品リスト

IC1	AD711オペアンプ
IC2	AD7870/AD7875/AD7876 A/Dコンバータ
IC3	MC79L05 -5Vレギュレータ
IC4	74HC00クワッドNANDゲート
IC5	74HC74デュアルD型フリップフロップ
C1、C3、C5、C7、C9、C11	10 μ Fコンデンサ
C2、C4、C6、C8、C10、C12	0.1 μ Fコンデンサ
R1、R2	10k Ω プルアップ抵抗
R3*、R5*	4.7k Ω プルアップ抵抗
R4*	2k Ω プルアップ抵抗
LK1、LK2	短絡プラグ
LK3、LK4	
LK5、LK6、LK7	
SKT1、SKT2、SKT3	BNCソケット
SKT4	26接点(2列) IDCコネクタ
SKT5	9接点D型コネクタ
SKT6	96接点(3列) ユーロカード・コネクタ

★シリアル通信のみ必要

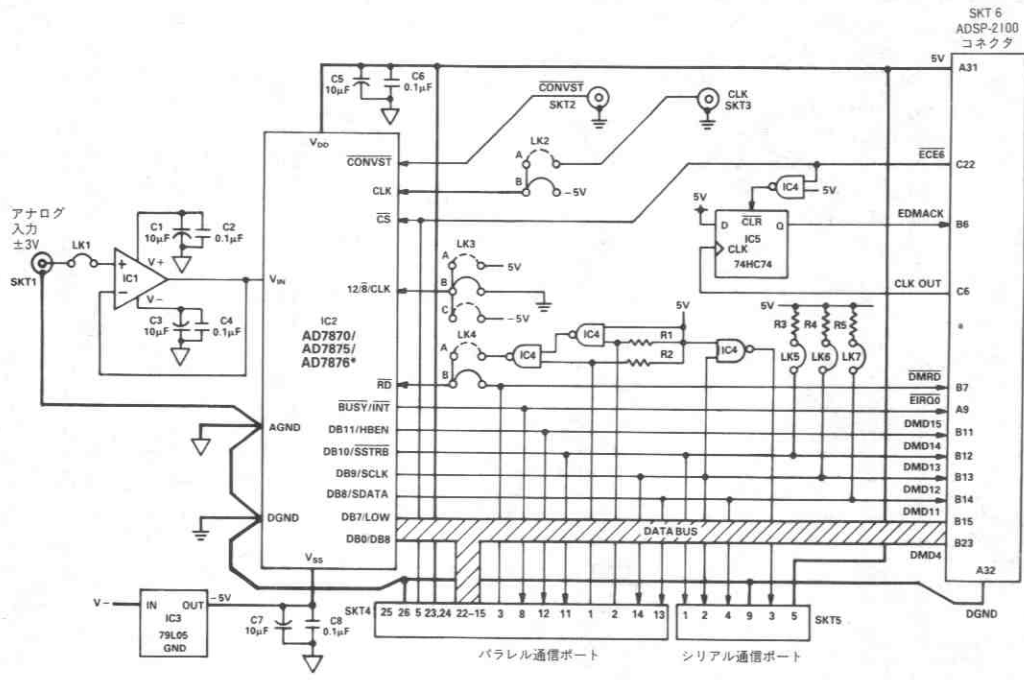


図28. AD7870/AD7875/AD7876を使ったデータ収集回路

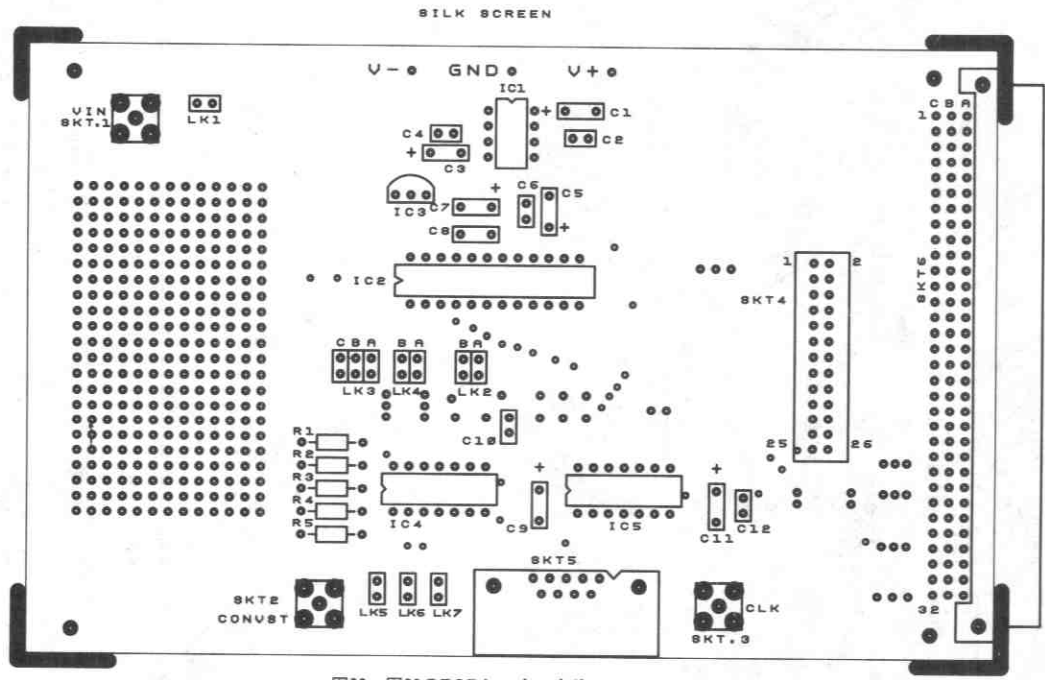


図29. 図28のPCBシルクスクリーン

AD7870/AD7875/AD7876

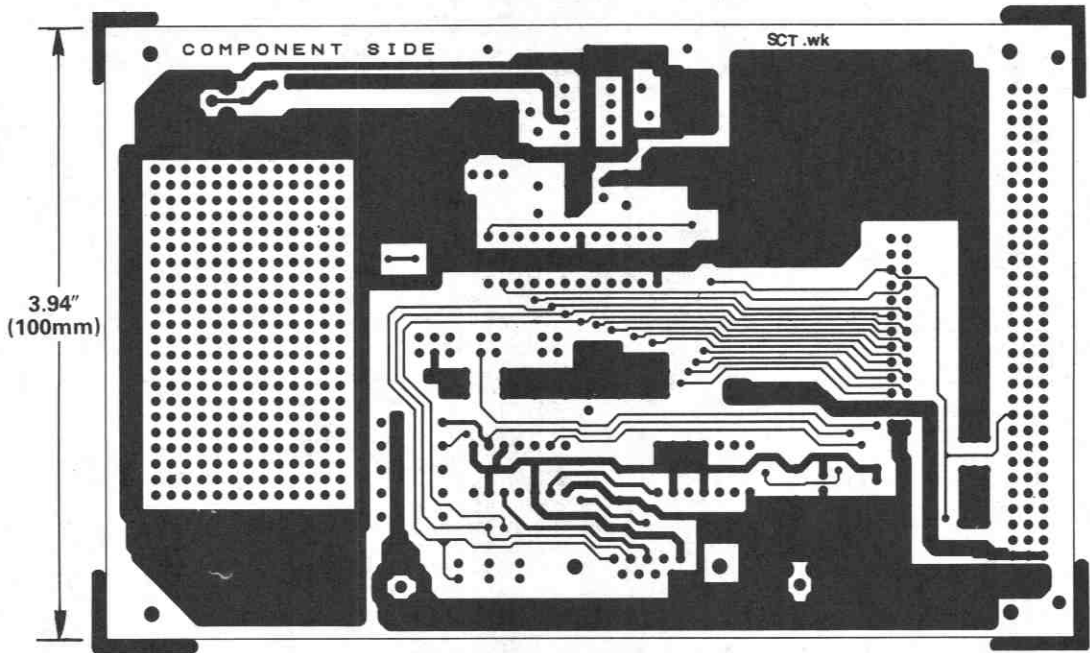


図30. 図28のPCB部品面パターン

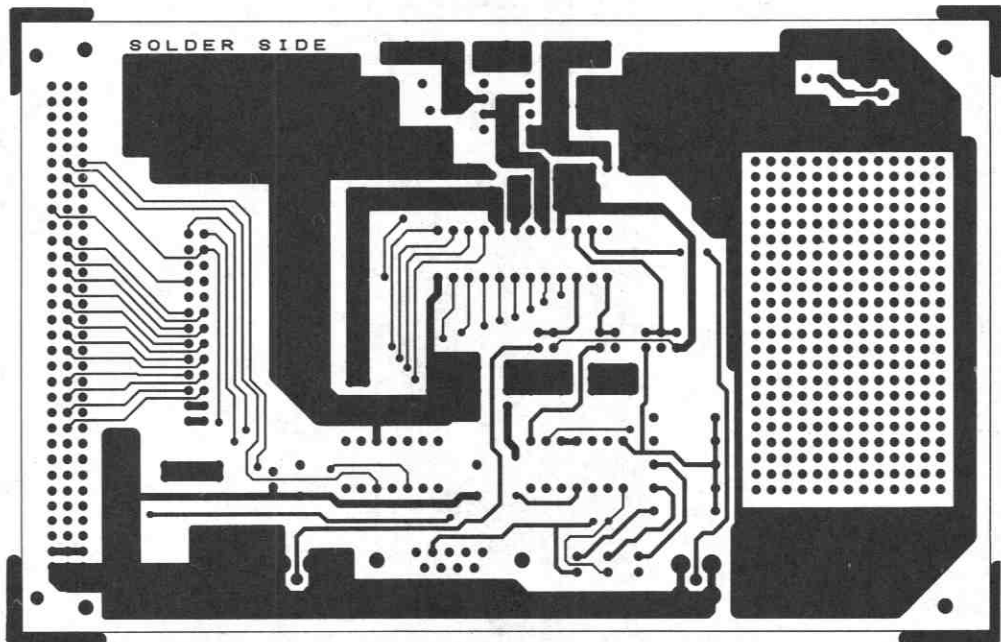


図31. 図28のPCBはんだ付け面パターン

AD7870 オーダ・ガイド

モデル ^{1,2}	温度範囲	V _{IN} 電圧レンジ (V)	SNR (dB)	積分 非直線性 (LSB)	パッケージ* オプション
AD7870JN	0~+70°C	±3	70 min	±1/2 typ	N-24
AD7870KN	0~+70°C	±3	70 min	±1 max	N-24
AD7870LN	0~+70°C	±3	72 min	±1/2 max	N-24
AD7870JP	0~+70°C	±3	70 min	±1/2 typ	P-28A
AD7870KP	0~+70°C	±3	70 min	±1 max	P-28A
AD7870LP	0~+70°C	±3	72 min	±1/2 max	P-28A
AD7870AQ	-25~+85°C	±3	70 min	±1/2 typ	Q-24
AD7870BQ	-25~+85°C	±3	70 min	±1 max	Q-24
AD7870CQ	-25~+85°C	±3	72 min	±1/2 max	Q-24
AD7870SQ ³	-55~+125°C	±3	70 min	±1/2 typ	Q-24
AD7870TQ ³	-55~+125°C	±3	70 min	±1 max	Q-24

注

*N=スキニー・プラスチック DIP; P=プラスチック・リード付きチップ・キャリア (PLCC); Q=サーディップ

1. MIL-STD-883, クラスB準換製品をオーダーする場合には, モデル番号に/883Bを付けてください。

2. LCCC (リードレス・セラミック・チップ・キャリア) に関してはお問合わせください。

3. /883B準換モデルのみです。

AD7875 オーダ・ガイド

モデル ^{1,2}	温度範囲	V _{IN} 電圧レンジ (V)	SNR (dB)	積分 非直線性 (LSB)	パッケージ* オプション
AD7875KN	0~+70°C	0~+5	70 min	±1 max	N-24
AD7875LN	0~+70°C	0~+5	72 min	±1/2 max	N-24
AD7875KP	0~+70°C	0~+5	70 min	±1 max	P-28A
AD7875LP	0~+70°C	0~+5	72 min	±1/2 max	P-28A
AD7875BQ	-40~+85°C	0~+5	70 min	±1 max	Q-24
AD7875CQ	-40~+85°C	0~+5	72 min	±1/2 max	Q-24
AD7875TQ ³	-55~+125°C	0~+5	70 min	±1 max	Q-24

注

*N=スキニー・プラスチック DIP; P=プラスチック・リード付きチップ・キャリア (PLCC); Q=サーディップ

1. MIL-STD-883, クラスB準換製品をオーダーする場合には, モデル番号に/883Bを付けてください。

2. LCCC (リードレス・セラミック・チップ・キャリア) に関してはお問合わせください。

3. /883B準換モデルのみです。

AD7876 オーダ・ガイド

モデル ¹	温度範囲	V _{IN} 電圧レンジ (V)	積分 非直線性 (LSB)	パッケージ* オプション
AD7876BN	-40~+85°C	±10	±1 max	N-24
AD7876CN	-40~+85°C	±10	±1/2 max	N-24
AD7876BR	-40~+85°C	±10	±1 max	R-24
AD7876CR	-40~+85°C	±10	±1/2 max	R-24
AD7876BQ	-40~+85°C	±10	±1 max	Q-24
AD7876CQ	-40~+85°C	±10	±1/2 max	Q-24
AD7876TQ ²	-55~+125°C	±10	±1 max	Q-24

注

*N=スキニー・プラスチック DIP; Q=サーディップ; R=スモール・アウトライン IC (SOIC)

1. MIL-STD-883, クラスB準換製品をオーダーする場合には, モデル番号に/883Bを付けてください。

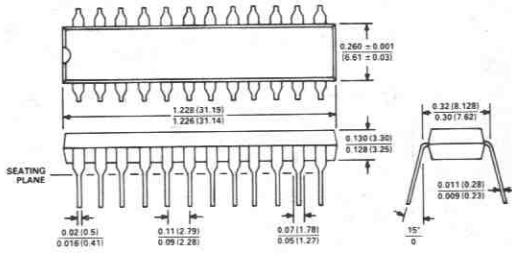
2. /883B準換モデルのみです。

AD7870/AD7875/AD7876

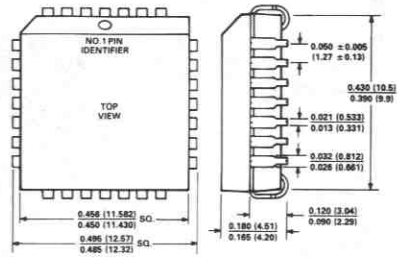
外形サイズ

単位はインチ (mm) で示します

24ピン・プラスチックDIP (N-24)

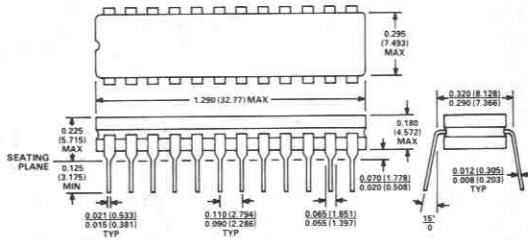


28ピンPLCC (P-28A)

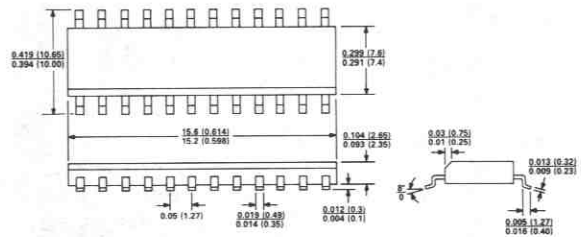


- 注
 1. リードNo.1は点または刻みで示します。
 2. プラスチック・リードはMIL-M-38510規格に準拠しハンダ付けまたはスズメッキが施されています。

24ピン・サーディップ (Q-24)



24ピンSOIC (R-24)



- 注1. リードNo.1は点または刻みで示します。
 2. サーディップ・リードはMIL-M-38510規格に準拠しスズメッキまたはハンダ付けが施されています。

AD7871/AD7872

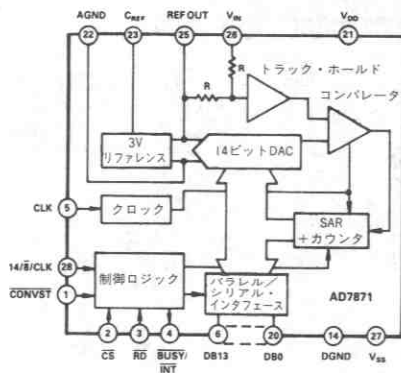
特長

- 全機能内蔵のモノリシック14ビットADC
- 2の補数形式のコーディング
- パラレル、バイトおよびシリアル・デジタル・インタフェース
- S/N比：80dB（入力周波数10kHz時）
- データ・アクセス時間：57ns
- 50mW typの低消費電力
- 83kSPSのスループット・レート
- 16ピンSOIC（AD7872）

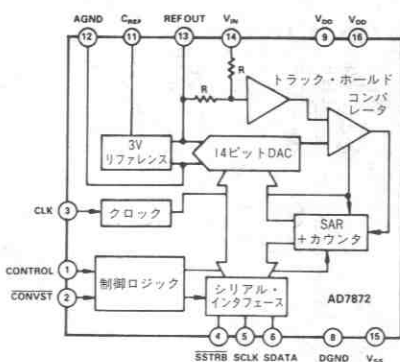
応用

- デジタル信号処理
- 高速モデム
- 音声認識および合成
- スペクトラム・アナライザ
- DSPサーボ制御

AD7871機能ブロック図



AD7872機能ブロック図



概要

AD7871とAD7872は全機能内蔵型の高速14ビットA/Dコンバータです。トラック・ホールド・アンプ、逐次比較型ADC、3Vの埋込みツェナ・リファレンスおよび多機能のインタフェース・ロジックから構成されています。AD7871/AD7872はレーザ・トリミングされた内部クロックを内蔵しており、クロック・タイミング用の外付部品は不要です。ADCの同期動作が必要な場合には内蔵クロックを無効とし、外部クロックを使用することによりノイズを最小に抑えることもできます。

AD7871ではシングルでパラレルの14ビット・ワード、2個の8ビット・バイト、14ビットのシリアル・データの3種類のデータ出力フォーマットを選択できます。AD7872ではシリアル出力のみ使用できます。これらのデバイスは最新のマイクロプロセッサやDSPと容易にインタフェースできます。

AD7871とAD7872は±5V電源で動作し、±3Vのバイポーラ入力信号を入力可能で、41.5kHzまでのフルパワー信号を変換することができます。

AD7871/AD7872では従来のDC精度仕様に加え、歪みやS/N比などのダイナミック特性についても完全に仕様が規定されています。

両デバイスは弊社独自のLCCMOSプロセス技術によって製造されています。AD7871は28ピン・プラスチックDIP、ハーメチックDIPおよびPLCCパッケージの供給が可能です。AD7872は16ピン・プラスチックDIP、ハーメチックDIPおよび16ピンSOICパッケージの供給が可能です。

製品ハイライト

- 1.モノリシック・チップに全機能を内蔵した14ビットADC
- 2.DSP応用のためのダイナミック仕様を規定
- 3.低消費電力

仕様

(特に指定のない限り、 $V_{DD}=+5V\pm5\%$ 、 $V_{SS}=-5V\pm5\%$ 、 $AGND=DGND=0V$ 、 f_{CLK} =外部2MHz、 $f_{SAMPLE}=83kHz$ の値)。特に指定のない限り、仕様は $T_{min}-T_{max}$ の値。

パラメータ	バージョン			単位	テスト条件/備考
	J, A ¹	K, B ¹	T ¹		
ダイナミック特性 ²					
信号ノイズ比 ³ (S/N比) @25°C	80	82	80	dB min	$V_{IN}=10kHz$ 正弦波 $0 < V_{IN} < 41.5kHz$ で82dB typ
Tmin-Tmax	80	82	80	dB min	$V_{IN}=10kHz$ 正弦波
全高調波歪み (THD)	-86	-94	-92	dB max	$0 < V_{IN} < 41.5kHz$ で-90dB typ
ピーク高調波または スプリアス・ノイズ	-86	-94	-92	dB max	$V_{IN}=10kHz$ 正弦波 $0 < V_{IN} < 41.5kHz$ で-92dB typ
相互変調歪み (IMD)					
第2次項	-86	-94	-92	dB max	$f_m=9kHz, f_b=9.5kHz, f_{SAMPLE}=50kHz$
第3次項	-86	-94	-92	dB max	$f_m=9kHz, f_b=9.5kHz, f_{SAMPLE}=50kHz$
トラック・ホールドの アキュリゼーション時間	2	2	2	μs max	
DC精度					
分解能	14	14	14	ビット	
ノーマス・コードを 保証する最小 分解能	14	14	14	ビット	
積分非直線性 @ +25°C		$\pm 1/2$	$\pm 1/2$	LSB typ	
積分非直線性		± 1	± 1	LSB max	
微分非直線性		± 1	± 1	LSB max	
バイポーラ・ゼロ誤差	± 12	± 6	± 8	LSB max	
正のゲイン誤差 ⁴	± 12	± 6	± 8	LSB max	
負のゲイン誤差 ⁴	± 12	± 6	± 8	LSB max	
アナログ入力					
入力電圧範囲	± 3	± 3	± 3	V	
入力電流	± 500	± 500	± 500	μA max	
リファレンス出力					
REF OUT @ +25°C	2.99/3.01	2.99/3.01	2.99/3.01	V min/V max	
Tmin-Tmax	2.98/3.02	2.98/3.02	2.98/3.02	V min/V max	
REF OUT温度係数		± 40	± 40	ppm/C max	25ppm typ
リファレンス負荷感度 ($\Delta REF OUT/\Delta I$)	-1	-1	-1	mV max	リファレンス負荷電流変化(0-500 μA) 変換中はリファレンス負荷は変動させないこと
ロジック入力					
入力HI電圧、 V_{INH}	2.4	2.4	2.4	V min	$V_{DD}=5V\pm5\%$
入力LOW電圧、 V_{INL}	0.8	0.8	0.8	V max	$V_{DD}=5V\pm5\%$
入力電流、 I_{IN}	± 10	± 10	± 10	μA max	$V_{IN}=0V \sim V_{DD}$
入力電流 (14/8/CLK 入力のみ)	± 10	± 10	± 10	μA max	$V_{IN}=V_{SS} \sim V_{DD}$
入力容量、 C_{IN} ⁵	10	10	10	pF max	
ロジック出力					
出力HI電圧、 V_{OH}	4.0	4.0	4.0	V min	$I_{SOURCE}=40\mu A$
出力LOW電圧、 V_{OL}	0.4	0.4	0.4	V max	$I_{SINK}=1.6mA$
DB13~DB0					
フローティング状態漏れ電流	10	10	10	μA max	
フローティング状態出力容量 ⁵	15	15	15	pF max	
変換時間					
外部クロック	10	10	10	μs max	
内部クロック	10.5	10.5	10.5	μs max	内部クロックの公称値は2MHz
電源					
V_{DD}	+5	+5	+5	V nom	$\pm 5\%$ で仕様保証
V_{SS}	-5	-5	-5	V nom	$\pm 5\%$ で仕様保証
I_{DD}	13	13	13	mA max	6mA typ
I_{SS}	6	6	6	mA max	4mA typ
消費電力	95	95	95	mW max	50mW typ

注

1. 温度範囲は以下のとおりです。J、Kバージョン：0~+70°C、A、Bバージョン：-40~+85°C、Tバージョン：-55~+125°C

-40~+85°C、Tバージョン：-55~+125°C

2. $V_{IN}=\pm 3V$

3. S/N比計算には歪みおよびノイズ成分を含みます。

4. 内部リファレンス基準で測定。

5. +25°Cでサンプリング試験を実施

仕様は予告なしに変更することがあります。

タイミング特性^{1,2} (特に指定のない限り、 $V_{DD}=+5V\pm5\%$ 、 $V_{SS}=-5V\pm5\%$ 、 $AGND=DGND=0V$ 、 図9, 10, 11, 12を参照)

パラメータ	T_{min} , T_{max} での限界値 (J, K, A, Bバージョン)	T_{min} , T_{max} での限界値 (Tバージョン)	単位	条件/備考
t_1	50	50	ns min	CONVSTパルス幅
t_2	0	0	ns min	CSからRDのセットアップ時間 (モード1)
t_3	60	75	ns min	RDパルス幅
t_4	0	0	ns min	CSからRDのホールド時間 (モード1)
t_5	70	70	ns min	RDからINTの遅延時間
t_6^3	57	70	ns max	RD後のデータ・アクセス時間
t_7^4	5	5	ns min	RD後のバス解放時間
t_8	0	0	ns max	
t_9	0	0	ns min	HBEN からRDのセットアップ時間
t_{10}	100	100	ns min	HBEN からRDのホールド時間 SSTRBからSCLKの立下りエッジ・セットアップ時間
t_{11}^5	440	440	ns min	SCLKサイクル時間
t_{12}^6	155	155	ns max	SCLK からデータ有効までの遅延時間、 $C_L=35$ pF
t_{13}	140	150	ns max	SCLK 立上りエッジからSSTRB
t_{14}	20	20	ns min	
t_{15}	4	4	ns min	SCLK 後のバス解放時間
t_{16}	100	100	ns max	
t_{17}	60	60	ns min	CSからRDのセットアップ時間 (モード2)
t_{18}	120	120	ns max	CSからBUSYの伝播遅延時間
t_{17}^3	200	200	ns min	BUSY 前のデータ・セットアップ時間
t_{19}	0	0	ns min	CSからRDのホールド時間 (モード2)
t_{18}	0	0	ns min	HBEN からCSのセットアップ時間
t_{20}	0	0	ns min	HBEN からCSのホールド時間

注

1. 太字の仕様は100%製造試験が行なわれています。他の仕様はすべて+25°Cでサンプリング試験を行ない保証しています。入力信号はすべて $t_r=t_f=5ns(+5Vの10\%$ から90%)で規定され、1.6Vの電圧レベルからの時間で計測されています。
2. シリアル信号のタイミングはSDATAとSSTRBに4.7k Ω 、SCLKに2k Ω のプルアップ抵抗を接続して測定。3つの出力の容量はすべて35pFです。
3. t_6 と t_{17} は図1の負荷回路で測定され、出力が0.8Vまたは2.4Vに達するまでに必要な時間として定義されています。
4. t_7 は図2の負荷回路を接続したときデータ出力が0.5V変化するのに必要な時間の測定値としています。
5. SCLKのマーク/スペース比(1.6Vの電圧レベルで測定)は40/60~60/40です。
6. SDATAはより高い容量性負荷を駆動できますが、その場合、外部のRC時間定数(4.7k Ω と C_L)が増し、2.4Vの電圧レベルに達するための時間が長くなるため、 t_{12} が大きくなります。

仕様は予告なしに変更することがあります。

絶対最大定格*

$V_{DD}-AGND$	-0.3~+7V
$V_{SS}-AGND$	+0.3~-7V
AGND-DGND	-0.3~ $V_{DD}+0.3V$
$V_{IN}-AGND$	-15~+15V
REF OUT, $C_{REF}-AGND$	0~ V_{DD}
デジタル入力-DGND	-0.3~ $V_{DD}+0.3V$
デジタル出力-DGND	-0.3~ $V_{DD}+0.3V$

動作温度範囲

一般用 (J, Kバージョン)	0~+70°C
産業用 (A, Bバージョン)	-40~+85°C
拡張温度用 (Tバージョン)	-55~+125°C
保管温度範囲	-65~+150°C
リード温度 (ハンダ付け10秒)	+300°C
電力消費 (各パッケージ)+75°Cまで	450mW
+75°C以上でのデレーティング	6mW/C

注

*絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

注意

この素子はESD(Electrostatic-Discharge)センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させる必要があります。

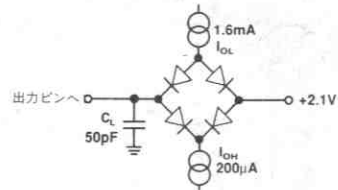


図1. アクセス時間測定用負荷回路

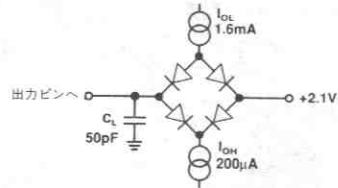


図2. 出力フロート遅延時間測定用負荷回路



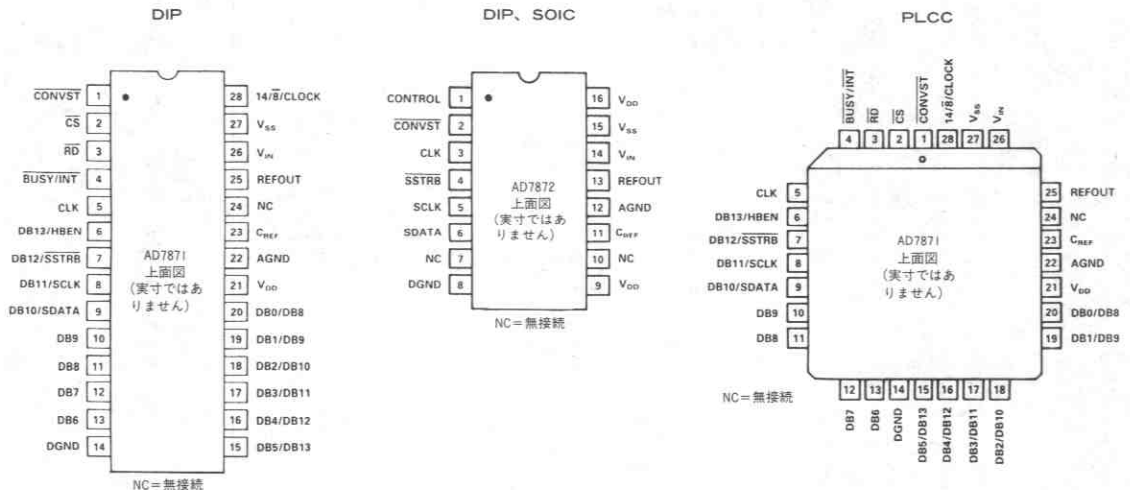
DIP ピン	略称	機能																											
1	CONVST	変換開始入力。この入力のLOWレベルからHIレベルへの遷移によりトラック・ホールドがホールド・モードとなり、変換が開始します。この入力はCLK入力とは非同期です。CSとRDはこのパルス期間中HIレベルに保たなければなりません。																											
2	$\overline{\text{CS}}$	チップ・セレクト。アクティブLOWのロジック入力です。この入力が高レベルになると、デバイスが選択されます。CONVSTを常にLOWレベルにしておくと、CSがLOWレベルになったとき新たな変換が開始されます。																											
3	$\overline{\text{RD}}$	リード。アクティブLOWのロジック入力です。CS LOWレベルの時この入力によってデータ出力がイネーブルされます。																											
4	BUSY/INT	ビジー／割込み。コンバータの状態を示すアクティブLOWのロジック出力です。タイミング図を参照。																											
5	CLK	クロック入力。この入力にTTLコンパチブルの外部クロックを接続できます。このピンをV _{SS} に接続すれば、内蔵のレーザ・トリムされたクロック発振器が有効になります。																											
6	DB13/HBEN	データ・ビット13 (MSB)／ハイ・バイト・イネーブル。このピンの機能は14/8/CLK入力 (ピン28を参照)の状態によって異なります。14ビット・データが選択された場合には、このピンはDB13出力となります。バイトまたはシリアル・データのどちらかが選択された場合、このピンはHBENロジック入力となります。HBENは8ビットのバス・インタフェースに使用されます。HBENがLOWレベルの時にはDB7～DB0は下位バイト・データとなります。HBENがHIの時には、DB7～DB0は上位バイト・データのために使用されます (表I参照)。																											
		<table border="1"> <thead> <tr> <th>HBEN</th> <th>DB7</th> <th>DB6</th> <th>DB5</th> <th>DB4</th> <th>DB3</th> <th>DB2</th> <th>DB1</th> <th>DB0</th> </tr> </thead> <tbody> <tr> <td>HIGH</td> <td>LOW</td> <td>LOW</td> <td>DB13</td> <td>DB12</td> <td>DB11</td> <td>DB10</td> <td>DB9</td> <td>DB8</td> </tr> <tr> <td>LOW</td> <td>DB7</td> <td>DB6</td> <td>DB5</td> <td>DB4</td> <td>DB3</td> <td>DB2</td> <td>DB1</td> <td>DB0</td> </tr> </tbody> </table>	HBEN	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	HIGH	LOW	LOW	DB13	DB12	DB11	DB10	DB9	DB8	LOW	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
HBEN	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0																					
HIGH	LOW	LOW	DB13	DB12	DB11	DB10	DB9	DB8																					
LOW	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0																					
		表I. バイト出力形式																											
7	DB12/ $\overline{\text{SSTRB}}$	データ・ビット12／シリアル・ストロブ。14ビット・データ選択時は、このピンからDB12出力が供給されます。それ以外の場合にはアクティブLOWのトライ・ステート出力で、シリアル・データ用のストロブ (フレーミング) パルスを供給します。																											
8	DB11/SCLK	データ・ビット11／シリアル・クロック。14ビット・データ選択時には、このピンからDB11データ出力を供給します。それ以外の場合には、SCLKは内部または外部のADCクロックからの信号をゲートしたシリアル・クロック出力です。14/8/CLK入力-5Vの時にはSCLKは動作を続けます。14/8/CLKが0Vの時には、シリアル転送が完了した後にゲートで切離され、トライ・ステート状態となります。																											
9	DB10/SDATA	データ・ビット10／シリアル・データ。14ビット・パラレル・データ選択時には、このピンからDB10データ出力が供給されます。それ以外の場合には、トライ・ステート制御のシリアル・データ出力で、SCLKおよびSSTRBとともにシリアル・データの転送に用いられます。シリアル・データはSSTRBがLOWの時SCLKの立上りエッジで有効となります。																											
10～13	DB9～DB6	CSとRDによって制御されるトライ・ステートのデータ出力です。このピンの機能は14/8/CLKおよびHBEN入力の状態によって異なります。14/8/CLKがHIレベルの時には常にDB9～DB6として機能し、14/8/CLKがLOW時にはHBENによって制御されます (表Iを参照)。																											
14	DGND	デジタル・グラウンド。デジタル回路のグラウンド・リターンです																											
15～20	DB5/DB13～DB0/DB8	CSとRDによって制御されるトライ・ステートのデータ出力です。このピンの機能は14/8/CLKおよびHBEN入力によって異なります。14/8/CLKがHIレベルの時には常にDB5～DB0として機能し、14/8/CLKがLOWまたは-5Vの時にはHBENによって制御されます (表Iを参照)。																											
21	V _{DD}	正電源、+5V±5%																											
22	AGND	アナログ・グラウンド。アナログ回路の基準グラウンド電位です。																											
23	C _{RFF}	内部リファレンスのデカップリング・ポイントです。このピンとAGNDとの間に10nFのコンデンサを接続します。																											
24	NC	無接続																											
25	REF OUT	電圧リファレンス出力。内蔵3Vリファレンスがこのピンに出力されます。外部負荷駆動能力は500μAです。																											
26	V _{IN}	アナログ入力。アナログ入力範囲は±3Vです。																											
27	V _{SS}	負電源、-5V±5%																											
28	14/8/CLK	3つの機能をもつ入力です。パラレルとシリアル両方のデータ・フォーマットを決定します。このピンに+5Vを加えると、出力データ・フォーマットは14ビット・パラレルのみになります。このピンを0Vとすると、バイトおよびシリアル両方のデータが有効になり、SCLKは連続的に動作しなくなります。このピンが-5Vの時にはバイトおよびシリアル両方のデータが有効となり、SCLKは連続的に動作します。																											

AD7871/AD7872

AD7872ピン機能説明

DIP ピン	略称	機能
1	CONTROL	制御入力。このピンが0Vの時には、SCLKは連続的に動作しません。このピンが-5Vの時には、SCLKは連続的に動作します。
2	CONVST	変換開始入力。この入力のLOWレベルからHIレベルへの遷移によりトラック・ホールドがホールド・モードとなり、変換が開始されます。この入力はCLK入力とは非同期です。
3	CLK	クロック入力。この入力にTTLコンパチブルの外部クロックを接続できます。このピンをV _{SS} に接続すれば、内蔵のレーザ・トリムされたクロック発振器が有効になります。
4	SSTRB	アクティブLOWのトライ・ステート出力で、シリアル・データ用のストロープ（フレーミング）パルスを提供します。SSTRBには外付けの4.7kΩのプルアップ抵抗が必要です。
5	SCLK	シリアル・クロック。SCLKはゲートされたシリアル・クロック出力で、内部または外部のADCクロックから供給されます。14/8/CLK入力が-5Vの時にはSCLKは動作を続けます。CONTROL入力が0Vの時には、シリアル転送が完了した後にゲートで切離され、トライ・ステート状態となります。SCLKはオープン・ドレイン出力で、外部に2kΩのプルアップ抵抗が必要です。
6	SDATA	シリアル・データ。SDATAはトライ・ステート制御のシリアル・データ出力で、SCLKおよびSSTRBとともにシリアル・データの転送に用いられます。シリアル・データはSSTRBがLOWの時、SCLKの立下りエッジで有効になります。SDATAには外付けの4.7kΩのプルアップ抵抗が必要です。
7	NC	無接続
8	DGND	デジタル・グラウンド。デジタル回路のグラウンド・リターンです
9	V _{DD}	アナログ回路の正電源、+5V±5%。
10	NC	無接続
11	C _{REF}	内蔵リファレンスのデカップリング・ポイントです。このピンとAGNDの間に10nFのコンデンサを接続します。
12	AGND	アナログ・グラウンド。アナログ回路の基準グラウンド電位です。
13	REF OUT	電圧リファレンス出力。内蔵3Vリファレンスがこのピンに出力されています。外部負荷駆動能力は500μAです。
14	V _{IN}	アナログ入力。アナログ入力範囲は±3Vです。
15	V _{SS}	負電源、-5V±5%
16	V _{DD}	アナログ回路の正電源、+5V±5%。ピン16とピン9を相互に接続しなければなりません。

ピン配置



コンバータの詳細について

AD7871/AD7872は全機能を内蔵した14ビットA/Dコンバータで、電源デカップリング・コンデンサを除き外付け部品は不要です。AD7871/AD7872は高速セトリング電圧出力DACをベースとする14ビット逐次比較型ADC、高速コンパレータ、CMOS SAR、トラック・ホールド・アンプ、3V埋込みツェナ・リファレンス、クロック発振器および制御ロジックから構成されています。

内部リファレンス

AD7871/AD7872は、温度補償済みで3V±10mVにトリミングされた埋込みツェナ・リファレンスを内蔵しています。これによって内部にDACリファレンスとバイポーラ動作に必要なDCバイアスが準備されます。C_{REF}とAGND間にコンデンサを接続することで、リファレンス・ノイズを最小に抑えることができます。仕様動作では、このコンデンサの値を10nFとする必要があります。またリファレンス出力も利用することができ(REF OUT)、外部負荷に対して最大500μAまで供給する能力が備わっています。

REF OUTの望ましい最大容量は、通常動作で50pFです。リファレンスを外部使用する必要がある時は、10μF tantalum・コンデンサと0.1μFセラミック・コンデンサを並列に接続したものに200Ω抵抗を直列に接続することによってデカップリングしてください。これらのデカップリング用の部品はAD7871/AD7872の内部動作によって生じる電圧スパイクを除去するのに必要です。

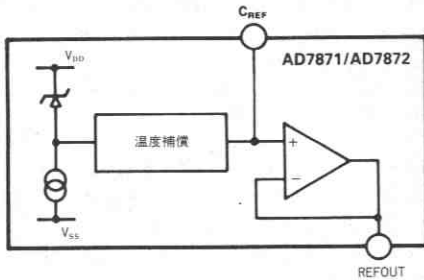


図3. AD7871/AD7872リファレンス回路

トラック/ホールド・アンプ

アナログ入力側のトラック/ホールド・アンプによって、AD7871/AD7872は±6Vp-pの入力正弦波を14ビット精度に正確に変換することが可能となります。トラック/ホールド・アンプの入力帯域幅は、ADCが最大スループット・レートで動作している時でもADCのナイキスト・レートよりずっと高いものです。標準500kHzで0.1dBのカットオフ周波数が発生します。トラック/ホールド・アンプは14ビット精度の入力信号を2μs以内で収集します。全体的なスループット・レートは変換時間+トラック/ホールド・アンプのアクイジション時間ということになります。例えば入力クロックが2MHzの場合の最大スループット・レートは12μsです。

トラック/ホールドの動作は本質的にユーザにとってわかりやすいものといえます。トラック/ホールド・アンプは変換が開始される時にトラックモードからホールドモードに移行します。CONVST入力を使って変換が開始される場合は、CONVSTの立上りエッジでトラックからホールドモードへの遷移が起こり、CSによって変換が開始される場合は、CSの立下りエッジでこの遷移が起こります。

アナログ入力

図4にAD7871/AD7872のアナログ入力を示します。アナログ入力レンジは15kΩ typの入力抵抗に対して±3Vです。連続する整数のLSB値の中間で、指定されたコード遷移が発生します(すなわち1/

2LSB、3/2LSB、5/2LSB...FS-3/2LSB)。出力コードは2の補数バイナリ・フォーマットで、1LSB=FS/16384=6V/16384=366μVです。理想的な入出力伝達関数を図5に示します。

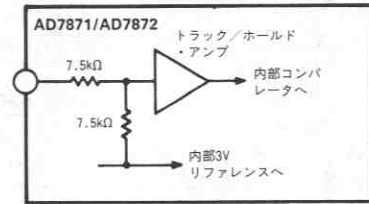


図4. AD7871/AD7872アナログ入力

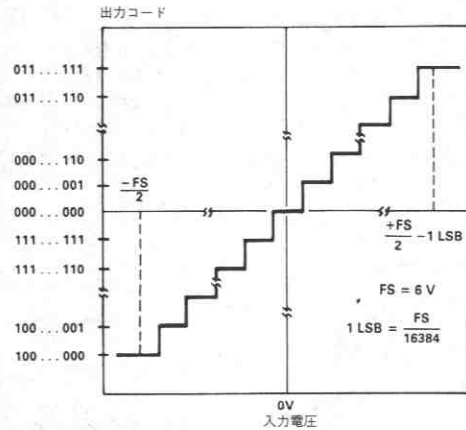
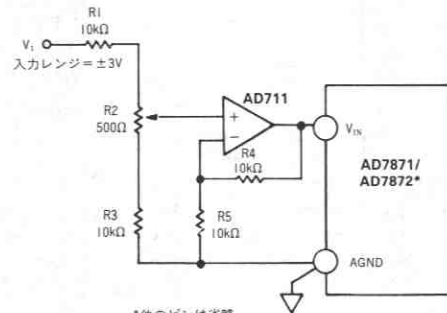


図5. バイポーラ入出力伝達関数

バイポーラ・オフセットおよびフルスケール調整

オフセットおよびフルスケール誤差をゼロに調整する必要がある時は、まずオフセット誤差を調整します。これは入力電圧がAGNDの1/2LSB下の時、AD7871/AD7872のアナログ入力を駆動するオペアンプのオフセットをトリミングすることによって行っています。トリミング手順はまず図6のV_Iに-0.183mV(-1/2LSB)を印加し、ADCの出力コードが11 1111 1111 1111と00 0000 0000 0000の間を変動するようにオペアンプのオフセット電圧を調整します。ゲイン誤差は最初のコード遷移(ADCの負フルスケール)または最後のコード遷移(ADCの正フルスケール)で調整することができます。これらのトリミング手順を次に示します(図6を参照)。



*他のピンは省略

図6. バイポーラ調整回路

正のフルスケール調整

V_i に2.9995V (FS/2-3/2LSB)を印加します。ADCの出力コードが01 1111 1111 1110と01 1111 1111 1111の間で変動するようにR2を調整します。

負のフルスケール調整

V_i に-2.9998V (-FS/2+1/2LSB)を印加します。ADCの出力コードが10 0000 0000 0000と10 0000 0000 0001の間で変動するようにR2を調整します。

ユニポーラ動作

標準的なユニポーラ回路を図7に示します。AD7871/AD7872のREF OUTがアナログ入力に3Vのオフセットを与えるために用いられます。アナログ入力レンジはR3とR4の比によって決定されます。回路が機能する最小レンジは0~+3Vです。図7に示した抵抗値は0~+5Vおよび0~+10Vレンジ用のものです。R5とR6はオフセットとフルスケール調整にのみ使われるもので、もし調整が必要でない時は省略することができます。

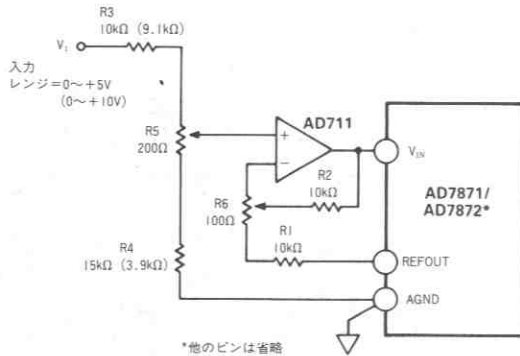


図7. ユニポーラ回路

理想的な入出力伝達関数を図8に示します。MSBを反転させることによって出力をストレート・バイナリに変換することができます。

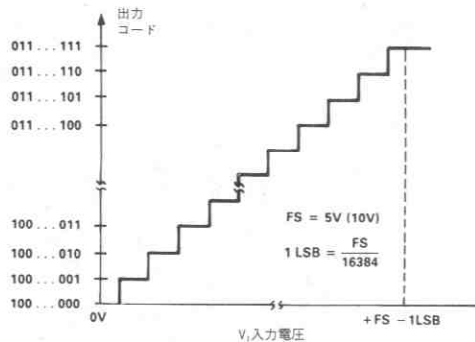


図8. ユニポーラ伝達関数

ユニポーラ・オフセットおよびフルスケール調整

絶対的な精度が要求される場合は、オフセットおよびフルスケール誤差をゼロに調整することができます。フルスケール誤差の前にまずオフセット誤差を調整してください。これは V_i に1/2LSBの入力電圧を与えて、ADCの出力コードが10 0000 0000 0000と10 0000 0000 0001の間で変動するようにR6を調整することによって行ないます。フルスケール調整は V_i にFS-3/2LSBの入力電圧を与えて、出力コードが01 1111 1111 1110と01 1111 1111 1111の間で変動するようにR5を調整します。

タイミングおよび制御

変換開始信号とADCクロックの同期によって、外部および内部クロックの両方についての変換時間は19~20個の立上りクロック・エッジ数だけ変化します。ADCクロックの立上りエッジの30ns以内前に変換が開始されると、変換時間は立上りクロック・エッジ数で20個となります。

AD7871は2つの基本動作モードをとることができます。第1のモード(モード1)ではCONVSTラインが変換開始に使われ、トラック/ホールドをホールド・モードに設定します。変換が終わると、トラック/ホールドはトラッキング・モードに戻ります。これはデジタル信号処理など、時間に合わせて正確にサンプリングを行なう必要がある応用に適したモードです。これらの応用では、サンプリングの不確かさやジッタによる誤差を最小限に抑えるため、正確に等間隔でサンプリングが行なわれることが重要となります。これらのケースではCONVSTラインはタイマその他の正確なクロック・ソースによって駆動されます。

第2のモードはCONVSTラインをLOWに固定するものです。このモード(モード2)はマイクロプロセッサがADCの全体的な制御(変換開始とデータ読み込み)を行なうシステムに適しています。CSとRDによって変換が開始され、マイクロプロセッサは通常BUSY/INTによって変換中はWAIT状態となります。

AD7872では動作モードは1つだけです。これは上述のモード1であり、変換の開始にCONVSTを使用します。

データ出力フォーマット

AD7871ではデータ出力フォーマット3種類(シリアル1つとパラレル2つ)のなかから選択することができます。パラレル・データ・フォーマットは16ビット・データ・バス用のシングル14ビット・パラレル・ワードと8ビット・データ・バス用の2バイト・フォーマットがあります。データ・フォーマットは14/8/CLK入力によって制御します。このピンがロジック・ハイの場合は、14ビット・パラレル出力フォーマットのみが選択されます。このピンがロジック・ローまたは-5Vの場合、ユーザはシリアル・フォーマットかバイト・フォーマットを選択することができます。パラレル・フォーマットで上位4ビットとなる3つのピンがシリアル通信に用いられ、4番目のピンがバイト・フォーマット・データ用の制御入力となります。3つのデータ出力フォーマットはいずれの動作モードにおいても、選択することができます。

AD7872はシリアル出力のみです。シリアル・データ形式はAD7871とまったく同じです。

パラレル出力フォーマット

AD7871で用いられるパラレル・フォーマットには、14ビット幅のデータと2バイト・データ・ワードの2種類があります。前者の場合

は、14ビットのデータすべてがDB13 (MSB)～DB0 (LSB) 上に、同時に得られます。後者の場合はデータをアクセスするのに2回のリードを行う必要があります。このデータ・フォーマットが選ばれると、DB13/HBEN ピンがHBENとして機能します。HBENはAD7871からどちらのバイトを读出すかを指定するもので、LOWの場合はリード動作の間、下位8ビットがデータ・バス上に置かれ、HIの場合は14ビット・ワードの上位6ビットがデータ・バス上に置かれます。この6ビットは右詰めされているので、下位6ビットがデータ・ビットとなり、上位2ビットはゼロとなります。

シリアル出力フォーマット

14/8/CLKが0Vまたは-5Vの場合、AD7871はシリアル・データを出力し、この場合DB12/SSTRB、DB11/SCLK およびDB10/SDATAが各々シリアル機能に変わります。AD7872はシリアル出力のみです。両デバイスのシリアル機能は同じです。シリアル・データは変換中に出力され、2つ0が出力された後、MSBから順に14ビットの変換結果が出力されます。(16ビット・ワード長)。データはシリアル・クロック出力 (SCLK) と同期し、シリアル・ストロブ SSTRBによってフレーミングされます。データはSSTRB出力がLOWの間、シリアル・クロックがLOWからHIへ遷移するとき出力され、このクロックの立下がりエッジで有効となります。変換の開始でSSTRBがLOWになり、SCLKの最初の立下りエッジで最初のシリアル・データ・ビット (すなわち4つの0の最初のもの) が有効になります。シリアル・ラインはすべてオープン・ドレイン出力で、外部プルアップ抵抗を必要とします。

シリアル・クロックは内部または外部のADCクロック・ソースから供給されます。通常SCLKはシリアル伝送の間のみ必要となります。この場合、変換終了時にシャットダウンすることによって、複数のADCに共通のシリアル・バスを共有させることができます。ただしシリアル・クロックが常時動作していなければならないシリアル・システム (例えばTMS32020) もあります。AD7871とAD7872は両方のオプションが使用可能です。AD7871では14/8/CLK入力を-5Vとすると、シリアル・クロック (SCLK) が連続的に動作し、0Vとすると、SCLKは伝送終了時にトライステートになります。

AD7872のCONTROLピンも同様に動作します。このピンが0VのときSCLKは非連続動作となり、-5VのときはSCLKは連続となります。

SCLK、SDATA、SSTRB信号はオープン・ドレイン出力です。35pF以上の容量性負荷を駆動する場合には、バッファを付加することを推奨します。

モード1のインタフェース

CONVST入力のLOW方向のパルスによって変換が開始されます。CONVSTパルスの立上りエッジで変換が開始され、トラック/ホールド・アンプがホールド・モードに設定されます。このモードではBUSY/INTステータス出力がINTとして機能します。INTは通常HIで、変換が終了すると、LOWに変わります。このINTラインはマイクロプロセッサの割込みに使用することができます。AD7871へのリード動作でデータがアクセスされると、CSとRDの立ち下りエッジでINTラインがHIにリセットされます。AD7871がこのモードで正しく動作するためには、CSとRDがLOWに設定されている時、CONVST入力がHIでなければなりません。特に変換開始 (CONVST) パルスがマイクロプロセッサと非同期のシステムでは変換期間中にパラレルまたはバイト・データを読み出そうとすることのないように注意してください。変換中にデータを读出しようとすると、進行中の変換にエラーが生じます。またCONVSTパルスを変換中に2度加えることも変換結果に誤りを発生させることがあるため避けなければなりません。サンプリングの精度がさほど問題にならない応用では、マイクロプロセッサのWRラインをAD7871のCS入力

とORゲートしてCONVSTパルスを生成することができます。電源の立上り時間にも依りますが、応用によってはAD7871/AD7872が電源投入時に変換を開始してしまう可能性があります。この場合にはINT信号は電源投入時にLOWレベルとなるため、変換開始前にINT信号をリセットするためのデバイスからのダミー・リードを実行する必要があります。

図9にモード1の14ビット・パラレル・データ出力形式 (14/8/CLK=+5V) のタイミング図を示します。変換終了時のAD7871からのデータ読み出しにより14ビット・データがすべて一度に読み出されます。このデータ出力形式ではシリアル・データを得ることはできません。

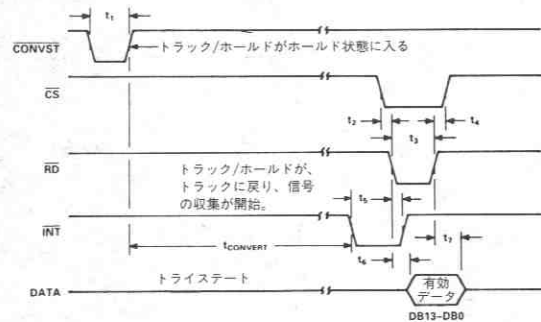


図9. モード1のタイミング図 (14ビット・パラレル・リード動作)

バイトおよびシリアル・データのモード1タイミング図を図10に示します。INTが変換終了後にLOWとなり、CSとRDの最初の立下りエッジでHIにリセットされます。変換終了時の最初のリードはHBENのステータスにしたがって下位バイトか上位バイトにアクセスします (図10の例では下位バイトのみとなります)。図10ではシリアル・クロックが連続的に動作する場合 (点線) とトライステート状態になる場合の両方が示されています。

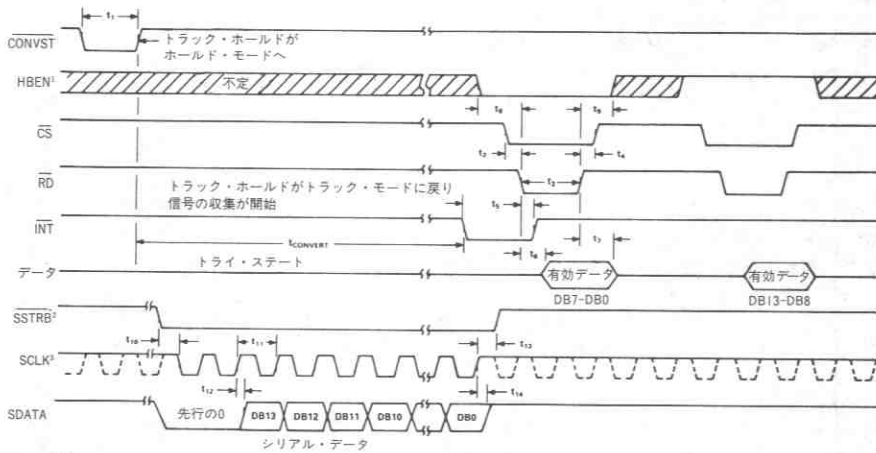
モード2のインタフェース

第2のインタフェース・モードではCONVSTがLOWに固定され変換はHBENがLOWの時にCSをLOWに設定することによって開始されます。CSの立下りエッジでトラック/ホールド・アンプがホールド・モードになります。このモードではBUSY/INTピンがBUSYとして機能します。BUSYは変換開始時にLOWになり、変換中はLOWを維持し、変換が終了するとHIに戻ります。通常、これはパラレル・インタフェースにおいて変換の間マイクロプロセッサをWAIT状態に置くために用いられます。

図11は14ビット・パラレル・データ出力フォーマット (14/8/CLK=+5V) の時のモード2タイミング図を示したものです。この場合ADCはスローメモリのような動きをします。このインタフェースの主な利点はマイクロプロセッサに変換を開始させ、WAITした後1回のリード命令でデータを読ませることができる点です。ユーザは割込みを設定したり、変換中にリードが行なわれないようにするための十分なソフトウェア・ディレイを確保する必要があります。

バイトおよびシリアル・データのモード2タイミング図を図12に示します。2バイト・データを読む場合は、変換開始のためにHBENをLOWにしておかなければならないので、まず下位バイト (DB0～DB7) からアクセスします。この最初のリードではADCはスローメモリのような動きをしますが、データの上位バイトをアクセスする2回目のリードは通常のリード動作です。各シリアル機能の動作はモード1と2で全く同じです。図12のタイミング図にはSCLKが連続的に動作する場合 (点線) とトライステート状態の場合の両方が示されています。

AD7871/AD7872



- 注：
 1. t_{12} , t_{13} , t_{14} , t_{15} , t_{16} は上位バイト・リード時と下位バイト・リード時に共通です。
 2. 4.7K Ω 外付プルアップ抵抗を接続。
 3. 2K Ω 外付プルアップ抵抗を接続。
 14/8/CLK (CONTROL) = -5Vのとき：連続SCLK (点線)
 14/8/CLK (CONTROL) = 0Vのとき：非連続

図10. モード1のタイミング図。バイトまたはシリアル・リード動作

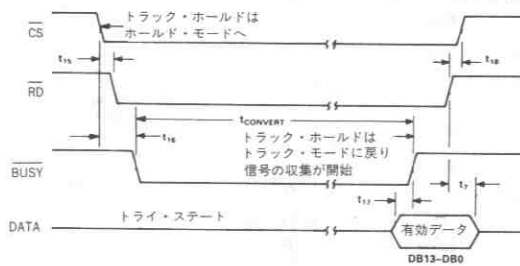
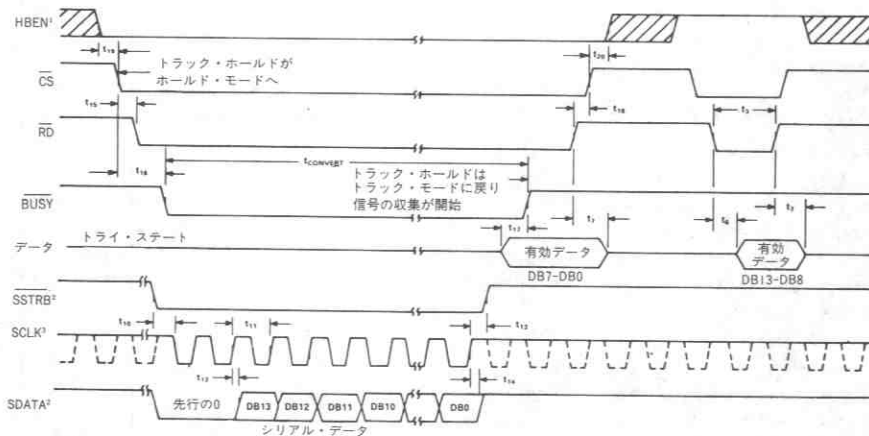


図11. モード2のタイミング図。14ビット・パラレル・リード動作。



- 注：
 1. t_{17} , t_{18} , t_{19} , t_{20} は上位バイト・リード時と下位バイト・リード時に共通です。
 2. 4.7K Ω 外付プルアップ抵抗を接続。
 3. 2K Ω 外付プルアップ抵抗を接続。
 14/8/CLK (CONTROL) = -5Vのとき：連続SCLK (点線)
 14/8/CLK (CONTROL) = 0Vのとき：非連続

図12. モード2のタイミング図。バイトまたはシリアル・リード動作

ダイナミック仕様

AD7871/AD7872は積分および微分非直線性などの従来のDC仕様の他に、ダイナミック性能についても仕様が規定され、100%テストされています。これらのAC仕様は音声認識、スペクトラム分析および高速モデムなどの信号処理応用に必要となります。これらの応用では、ADCが入力信号のスペクトルにどう影響するかについてのデータが必要です。このためSNR、高調波歪み、相互変調歪みおよびピーク高調波などのパラメータについては仕様が規定されています。これらの用語については、以下の項でさらに詳しく説明します。

信号対雑音比 (SNR)

SNRはADCの出力における信号対雑音の比を測定したものです。信号は基本波の大きさのrmsを表わし、ノイズはDCを除くサンプリング周波数の1/2 (FS/2) までのすべての非基本波のrms合計を表わします。SNRはデジタル化プロセスで用いられる量子化レベルの数によって変化します。すなわち、レベルが増えると、量子化ノイズは小さくなります。正弦波入力に対する理論的なSNRの値は次式で与えられます。

$$\text{SNR (dB)} = (6.02N + 1.76) \quad (1)$$

ここではNはビット数を示します。例えば理想的な14ビット・コンバータの場合、SNR=86dBとなります。

ADCからの出力スペクトルは V_{IN} に低歪みの正弦波信号を入力し、それを83kHzのサンプリング・レートでサンプリングすることによって評価します。高速フーリエ変換 (FFT) のグラフを作成し、SNRデータを求めることができます。図13はAD7871/AD7872に10kHzの入力信号と83kHzのサンプリング周波数を適用した場合の標準的な2048ポイントFFTグラフを示したものです。このグラフから得られるSNRは80dBとなります。SNRを計算する際、高調波も考慮している点に注意してください。

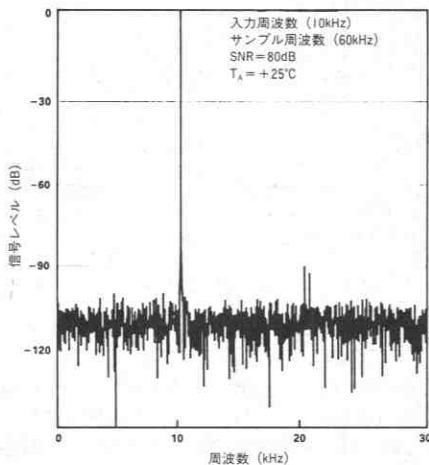


図13. AD7871/AD7872のFFTグラフ

有効ビット数

(1)の式ではSNRとビット数との関係が示されています。式を(2)のように変形すると、性能を有効ビット数(N)の形で表わすことができます。

$$N = \frac{\text{SNR} - 1.76}{6.02} \quad (2)$$

デバイスの有効ビット数は直接SNRから求められます。

図14はサンプリング周波数が60kHzの場合のAD7871/AD7872の有効ビット数と周波数の関係を示した標準的なグラフです。

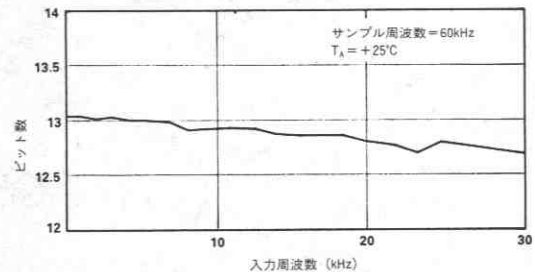


図14. 有効ビット数の周波数特性

高調波歪み

高調波歪みは高調波のrms合計と基本波の比を示すものです。AD7871/AD7872の場合、全高調波歪み (THD) は次のように定義されます。

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで V_1 は基本波の大きさのrmsを、また、 V_2 、 V_3 、 V_4 、 V_5 および V_6 は各々第2から第6までの高調波の大きさのrmsを表わします。またTHDはADC出力スペクトルのFFTグラフからも引き出すことができます。図15にTHDの入力周波数特性を示します。

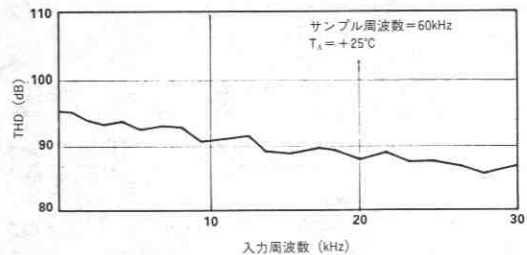


図15. 全高調波歪みの周波数特性

相互変調歪み

どのようなアクティブ・デバイスでも f_a と f_b の2つの周波数の正弦波から成る入力を与えた場合、周波数の和と差で表わされる歪み積、すなわち $m f_a \pm n f_b$ ($m, n=0, 1, 2, 3, \dots$) を生成します。そのうち m と n がともに0でないものを相互変調項といいます。例えば2次項は $(f_a + f_b)$ と $(f_a - f_b)$ 、3次項は $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ および $(f_a - 2f_b)$ となります。

2つの入力周波数として入力帯幅域の上限に近い周波数が使われるCCIF標準を用いた場合、2次項と3次項は異なる重要性をもちます。2次項が周波数で通常元の正弦波から離れるのに対し、3次項は通常入力周波数に近い周波数となります。そこで、2次項と3次項は別々に規定されます。相互変調歪みの計算方法はTHD仕様と同じですが、ただ個々の歪み積のrms合計と基本波のrms値の比をdBで表わしたものと異なります。この場合、入力は大きさの等しい2つの低歪み正弦波から構成されます。図16はAD7871/AD7872の標準的なIMDグラフを示したものです。

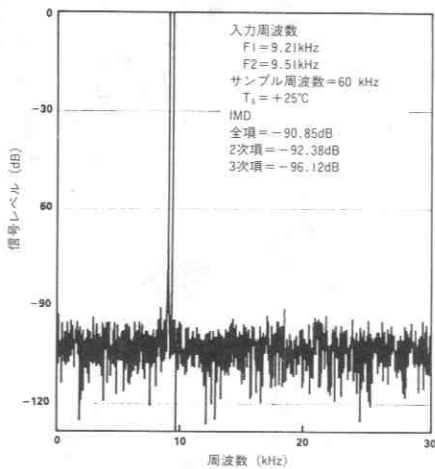


図16. AD7871/AD7872のIMDグラフ

ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズはADC出力スペクトルにおいて (FS/2まで、DCを除く) 次に大きな成分のrms値と基本波のrms値の比と定義されます。通常この仕様の値はスペクトル内の最大高調波によって決まりますが、高調波がノイズ・フロアに埋没しているパーツでは、ピークがノイズ・ピークとなります。

マイクロプロセッサとのインターフェース

AD7871とAD7872には各種のインターフェース・オプションがあります。AD7871は2種類の動作モードと3種類のデータ出力形式を備えています。AD7872はシリアル出力専用となっています。AD7871のパラレル・モードの高速データ・アクセスにより、非常に高速なDSPとインターフェース可能です。AD7871とAD7872の両方のシリアル・モードでは、すべての一般的なDSPのシリアル・ポート形式とコンパチブルです。

パラレル・リード・インターフェース

図17~18に、ADSP-2100およびTMS32020/C25 DSPプロセッサとのインターフェースを示します。両インターフェースともにAD7871はモード1動作、パラレル・リード設定となっています。変換の開始はマイクロプロセッサと非同期にタイマ駆動されています。変換が終了するごとにADCのBUSY/INT信号によりマイクロプロセッサに割込みがかり、以下の命令によって変換結果がADCから読み出されます。

ADSP-2100 MR0=DM (ADC)

TMS32020/C25: IN D, ADC

MR0=ADSP-2100のMR0レジスタ

D=データ・メモリ・アドレス

ADC=AD7871のアドレス

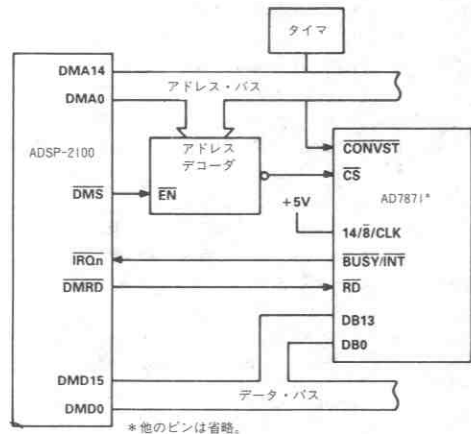


図17. AD7871とADSP-2100のパラレル・インターフェース

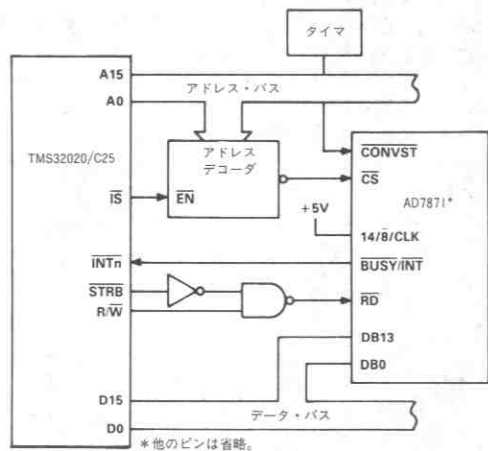


図18. AD7871とTMS32020/C25のインターフェース

応用によっては外部タイマではなくマイクロプロセッサにより変換開始を行なう必要があります。その方法の一つは、アドレス・バスがAD7871のCONVST信号をデコードし、ADCへのライト動作により変換を開始する方法です。データは前に述べた例と同様に変換終了時に読出されます。変換期間中にはリード動作を行ってはいらないことに注意してください。

シリアル・インタフェース

AD7871とAD7872は、まったく同一のシリアル・インタフェースを備えています。以下に示す図ではAD7872のインタフェースのみを示しますが、AD7871も同様に使用できます。図19～21にAD7872と3種類の一般的なDSPとの接続を示します。CONVSTはパラレル・バスを有効にしないため、この3種類のインタフェース例すべてにおいてCONVSTを交換開始に使用しています。したがってマイクロプロセッサはそれ自身のパラレル・バスをAD7872の状態とは関係なく使用することができます。ここに示した例ではCONVSTを外部タイマで駆動していますが、必要に応じてアドレス・デコード出力で駆動することもできます。

AD7872とDSP56000のシリアル・インタフェース

図19にAD7872とDSP56000とのシリアル・インタフェースを示します。インタフェース設定はAD7872を非連続クロック動作 (CONTROL=0V) 設定とした2線接続となっています。DSP56000はゲート・クロックのノーマル・モード非同期動作の設定となっています。DSP56000は16ビット・ワードでSCKを入力とし、FSL制御ビットは0に設定してあります。この設定ではDSP56000はSCKの最初の立下りエッジで有効データを受取ります。AD7872はこの最初のエッジで有効データを与えるため、データのためのストロブやフレーミング・パルスはまったく必要ありません。SCLKとSDATAはAD7872が交換を行っていない場合にはトライ・ステート状態となります。交換中は有効データがAD7872のSDATA出力からDSP56000の受信データ・シフト・レジスタへクロック出力されます。このレジスタが16ビット・データを受け取ると、DSP56000の内部割込みが発生し、データがレジスタから読み取れます。

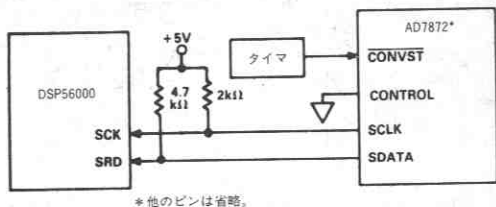


図19. AD7872とDSP56000のインタフェース

DSP56000とAD7872は連続クロック動作設定にすることもできます。この場合には、DSP56000にどの時点でデータが有効であるかを示すためストロブ・パルスが必要となります。AD7872のSSTRB出力を反転し、DSP56000のSCI入力に加えることで、ストロブ・パルスとします。他の条件と接続はすべてこのゲートされたクロック動作と同じです。

AD7872とTMS32020/C25のシリアル・インタフェース

図20にAD7872とTMS32020/C25のシリアル・インタフェースを示します。AD7872は連続クロック動作に設定します。非連続クロック設定ではADCとTMS32020/C25とのインタフェースは正しく行なわれないのでご注意ください。交換中にはデータはTMS32020/C25のデータ受信レジスタ (DRR) にクロックに同期して入力されます。これまでに説明したインタフェース例と同様にDSPに16ビット・ワードが受信されると、内部割込みが発生し、データがDRRから読み取れます。

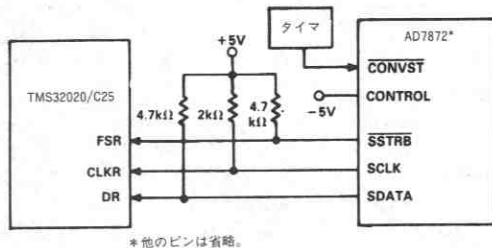


図20. AD7872とTMS32020/C25のインタフェース

AD7872とADSP-2101/ADSP-2102のシリアル・インタフェース

図21にAD7872とADSP-2101/ADSP-2102DSPマイクロコンピュータのインタフェースを示します。AD7872は連続クロック設定になっています。データは交換中にマイクロコンピュータのシリアル・ポート・レジスタに、クロックに同期して入力されます。これまでのインタフェース例と同様に、ADSP-2101/ADSP-2102に16ビット・ワードが受信されると、内部割込みが発生し、データがシリアル・ポート・レジスタから読み取れます。

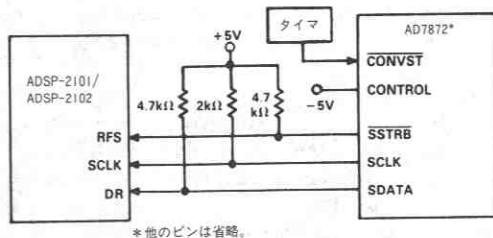


図21. AD7872とADSP-2101/ADSP-2102のシリアル・インタフェース

スタンドアロン動作

AD7871はモード2、パラレル・モードでスタンドアロン動作で使用することができます。この場合には交換はCS入力へのパルスで開始します。このパルスはADCの交換時間よりも長い必要があります。RD入力を駆動するためBUSY出力を使用します。データはAD7871のDB0～DB11出力から外部ラッチにBUSYの立上りエッジでラッチされます。

使用上の注意

高速A/D性能を実現するためには回路自体の設計と同様に、プリント基板 (PCB) のレイアウトも重要な要素となります。AD7871/AD7872は366μVのLSBサイズをベースにビット判定を行わなければならないので、設計者はADC自体の他にそれに先行するアナログ回路のノイズにも十分配慮する必要があります。スイッチング・モード電源を使うと、スイッチング・スパイクがコンパレータまでフィードスルーするため、コード遷移にノイズが入るので、使用しない方がよいでしょう。その他注意すべき点はグラウンド・ループとマイクロプロセッサからのデジタル・フィードスルーです。これらのファクタはどんなADCにも影響を及ぼすので、影響を最小限に抑えるようなPCBレイアウトが理想的な性能を得るためには不可欠です。

AD7871/AD7872

レイアウト上の注意

プリント基板のレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ離すようにします。デジタル・トラックがアナログ・トラックに沿って走ることがないように注意してください。アナログ入力はAGNDでガード（遮蔽）します。

AD7871/AD7872のAGNDピンまたはなるべくAD7871/AD7872に近い所でロジック・システム・グラウンドとは別に1点アナログ・グラウンド（星形グラウンド）を設定します。他のすべてのグラウンドおよびAD7871/AD7872のDGNDをこのアナログ・グラウンド・ポイントに接続します。その他のデジタル・グラウンドは、このアナログ・グラウンド・ポイントには接続してはいけません。

ADCの低ノイズ動作を実現するためには、アナログおよびデジタル電源のコモン・リターンを低インピーダンスにする必要があります。これらのトラックのフォイル幅をできるだけ広くします。グラウンド・プレーンを使用すると、インピーダンス・パスを最小限に抑えるとともに、アナログ回路をデジタル・ノイズからガードすることができます。図26と27の回路レイアウトではアナログ・グラウンド・プレーンとデジタル・グラウンド・プレーンの両方がどちらにも用いられていますが、両者はAD7871/AD7872のAGNDピンでつながっている以外は完全に分離されています。

ノイズ

V_{IN} への入力信号リードおよびAGNDからの信号リターン・リードは、入力ノイズのカップリングを最小限にするためになるべく短くします。それが不可能な応用の場合は、ソースとADC間をシールド・ケーブルで接続します。信号源とADCのグラウンド間に電位差があると、入力信号に誤差電圧となって現れるため、グラウンド回路のインピーダンスはなるべく低減する必要があります。

データ収集ボード

図24はAD7871/AD7872をデータ収集回路に利用したものです。ボード・レイアウトは3つのインタフェース・ボード、すなわちシリアル1とパラレル2をもっています。AD7871/AD7872のシリアル信号線は74HC244でバッファされています。これにより、大きな容量性負荷を持った長い配線を駆動することができます。パラレル・ボードのうちの1つはADSP-2100評価用ボードの拡張コネクタと直接接続が可能です。

完全なデータ収集システムを構成するために追加しなければならない部品は、他にはアンチエリアシング・フィルタだけです。PCBのアナログ入力の近くに部品グリッドが設けられており、これを使ってフィルタや入力信号調整回路を接続することができます。この選択を容易にするため、アナログ入力トラック上に短絡ブラグ（LK1）が用意されています。この短絡ブラグを用いると、アナログ入力はAD7871/AD7872を駆動するバッファ・アンプに接続されます。この短絡ブラグを用いない場合は、ワイヤ・リンクによってアナログ入力とPCB部品グリッドを接続します。

インタフェース接続

SKT4とSKT6の2つのパラレル・コネクタとSKT5の1シリアル・コネクタが用意されています。短絡ブラグ・オプション（図24のLK3）を用いると、ADCを各インタフェースに対応するよう構成することができます。

SKT6は96接点（3列）のユーロカード・コネクタで、ADSP-2100評価用ボード・プロトタイプ拡張コネクタに直接対応します。ADSP-2100のこの拡張コネクタにはデコードされたチップ・イネーブルを出力するラインが8つあります（ECE1-ECE8）。ECE6はデータ収集ボードのAD7871の \overline{CS} 入力を駆動するために用いられます。同時にオンボードRAMソケットを選択しないようにするため、

ADSP-2100ボード上のLK6を外しておかなければなりません。ADSP-2100の拡張コネクタには4つの割込み（EIRQ0-EIRQ3）が含まれています。AD7871の $\overline{BUSY}/\overline{INT}$ 出力がEIRQ0に接続されます。AD7871をADSP-2100の高速バージョンとインタフェースさせる場合は、ウェイト・ステート・ジェネレータをEDMACKに接続します。

SKT4は26ウェイ（2列）のIDCコネクタです。このコネクタにはSKT6のみに接続されるEDMACKを除き、SKT6の信号接点すべてが含まれています。またTMS32020とのインタフェースに必要なデコードされた R/\overline{W} と \overline{STRB} 入力が含まれています。

SKT5は、5ウェイのD型コネクタで、シリアル・インタフェースのみに用いられます。このコネクタにはクロックの立上りエッジでデータを受取るシステム用に反転したDB11/SCLK出力が用意されています。

SKT1、SKT2およびSKT3はアナログ入力、 \overline{CONVST} 入力および外部クロック入力の入力接続用BNCコネクタです。

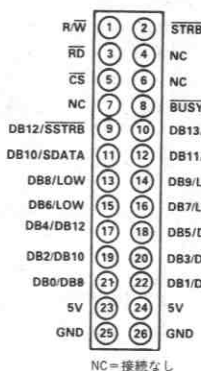


図22. SKT4のピンアウト

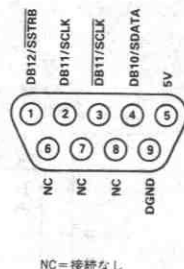


図23. SKT5のピンアウト

電源接続

このPCBには2つのアナログ電源と1つの5Vデジタル電源が必要です。アナログ電源は $V+$ 、 $V-$ と表わされるもので、ともに12-15Vのレンジをもちます。5Vデジタル電源はいずれかのコネクタ（SKT4-SKT6）を通して接続します。AD7871/AD7872に必要な±5V電源は、 $V+$ および $V-$ 電源入力上の電圧レギュレータ（図24のIC6とIC7）によって生成されます。

短絡ブラグ・オプション

ボードを利用する前に、以下に示すように、7つの短絡ブラグの設定を行なう必要があります。

- LK1 アナログ入力をバッファ・アンプに接続します。アナログ入力は信号調整処理のために、部品グリッドに接続することもできます。
- LK2 AD7871/AD7872の内部クロック・ソースか外部クロック・ソースかを選択します。
- LK3 AD7871の14/8/CLK入力をシリアルまたはパラレル・インタフェースに設定します。
- LK4 AD7871の \overline{RD} 入力を直接2つのパラレル・コネクタあるいはデコードされた \overline{STRB} と R/\overline{W} 入力に接続します。
- LK5 ブルアップ抵抗R3、R4およびR5を \overline{SSTRB} 、SCLKと
- LK7 SDATAに接続します。これらの短絡ブラグはパラレル・インタフェースの場合は外しておかなければなりません。

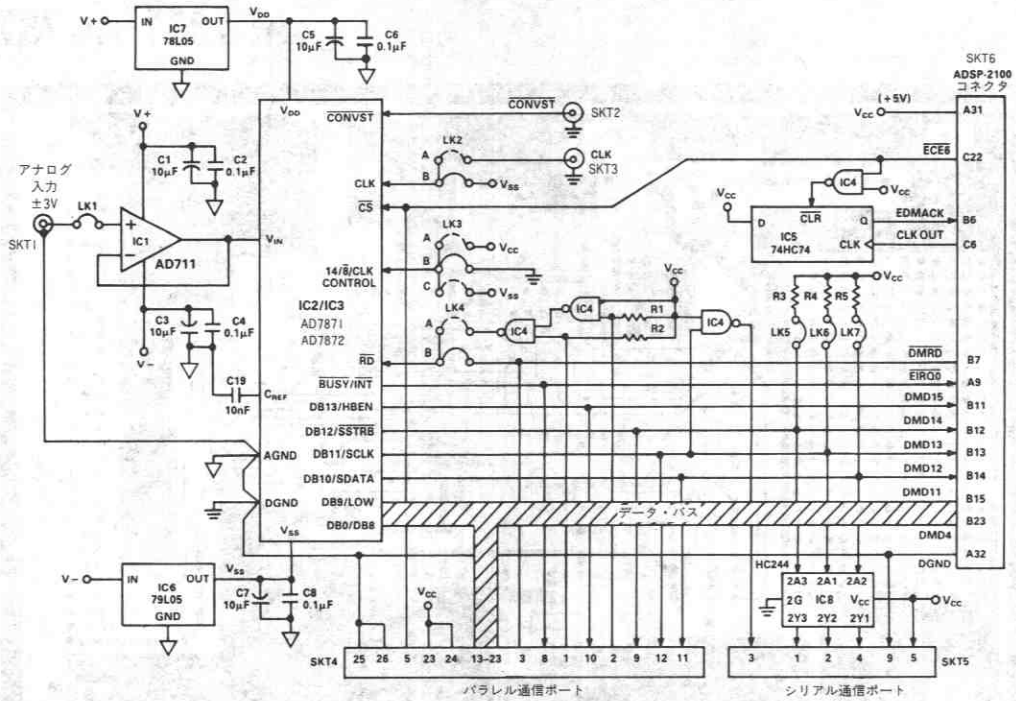


図24. AD7871/AD7872を用いたデータ収集回路

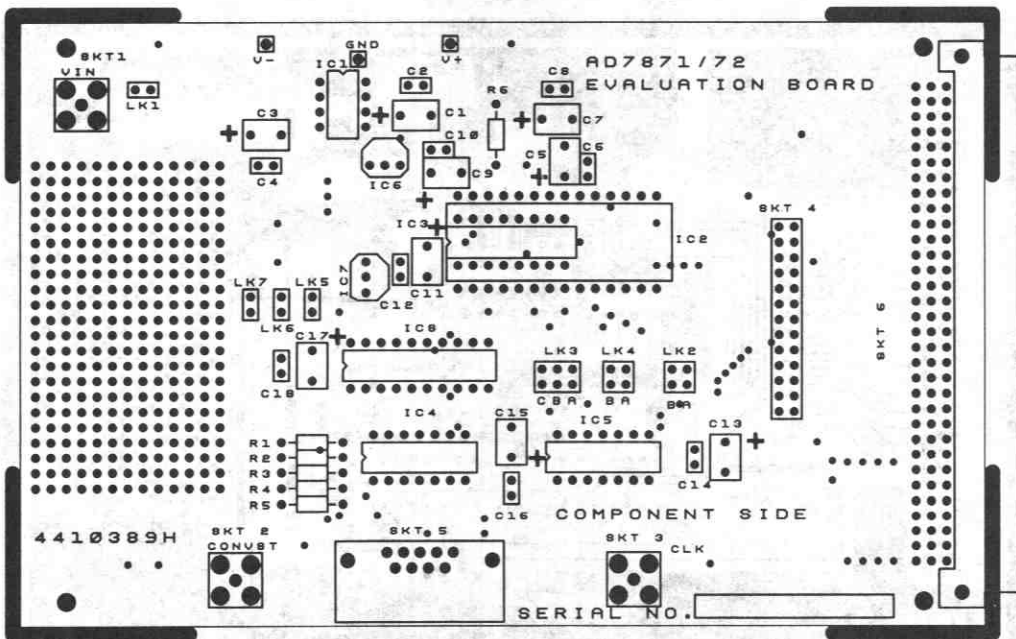


図25. 図24のPCBシルクスクリーン

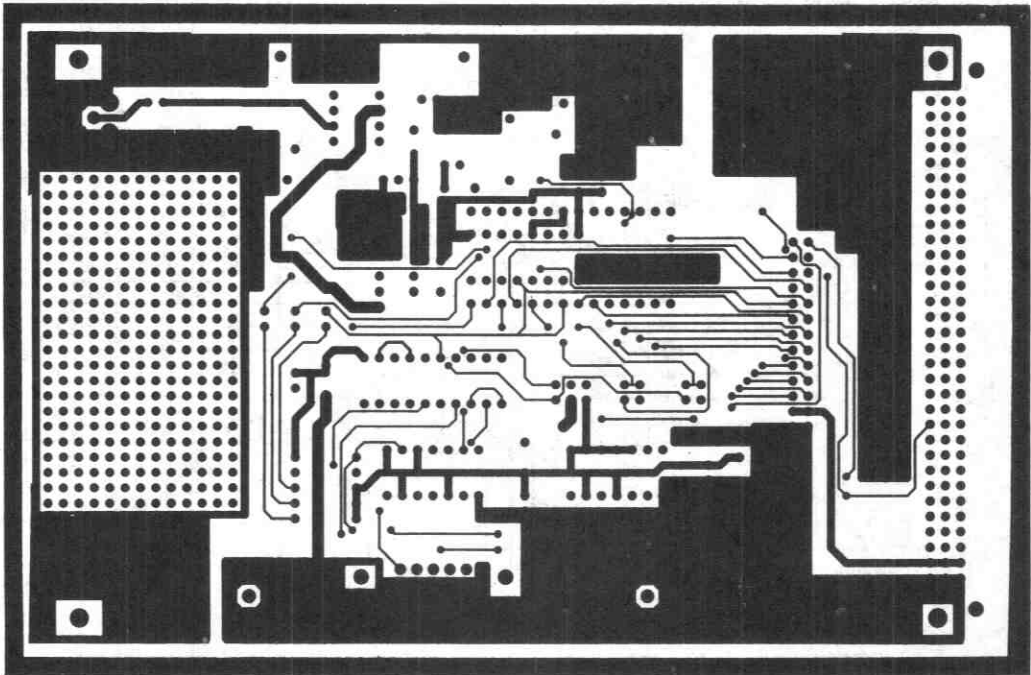


図26. 図24のプリント基板の部品面パターン

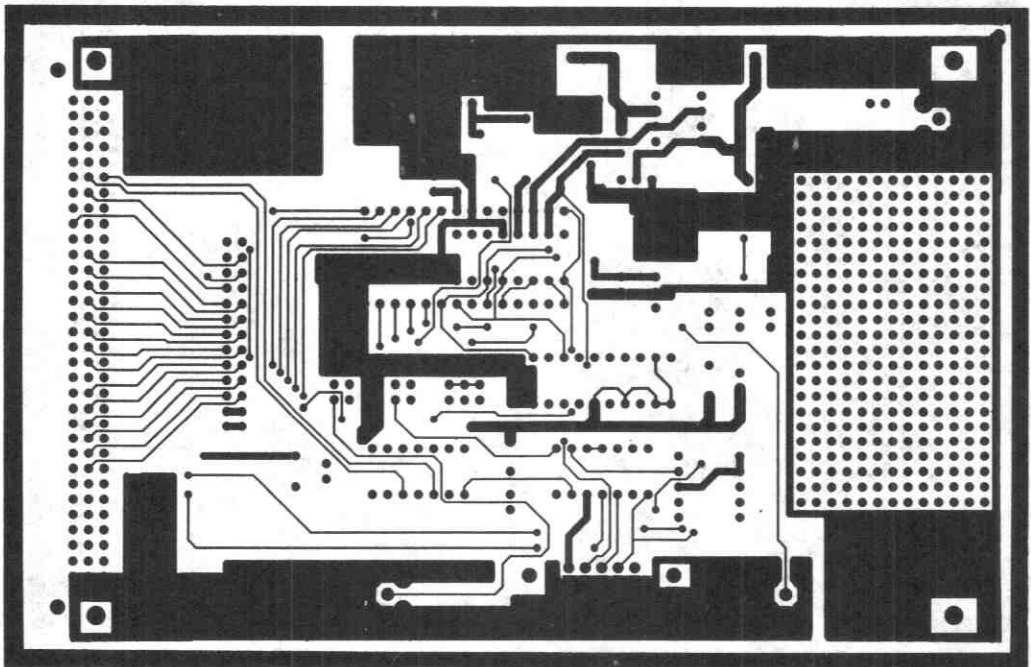


図27. 図24のプリント基板のハンダ面パターン

AD7871オーダ・ガイド

モデル ^{1,2}	温度範囲	S/N比	相対精度	パッケージ・オプション*
AD7871JN	0~+70°C	80dB min		N-28
AD7871KN	0~+70°C	82dB min	±1 max	N-28
AD7871JP	0~+70°C	80dB min		P-28A
AD7871KP	0~+70°C	82dB min	±1 max	P-28A
AD7871AQ	-40~+85°C	80dB min		Q-28
AD7871BQ	-40~+85°C	82dB min	±1 max	Q-28
AD7871TQ ³	-55~+125°C	80dB min	±1 max	Q-28

- 注
 * N: プラスチックDIP, P: プラスチック・リード付きチップ・キャリア (PLCC), Q: サードイップ
 1. MIL-STD-883, クラスBプロセス製品をオーダーの際には部品番号に/883Bを付加して下さい。軍用データ・シートについてはお問合わせください。
 2. LCCCパッケージの供給についてはお問合わせください。
 3. /883Bプロセス製品のみ供給可能です。

AD7872オーダ・ガイド

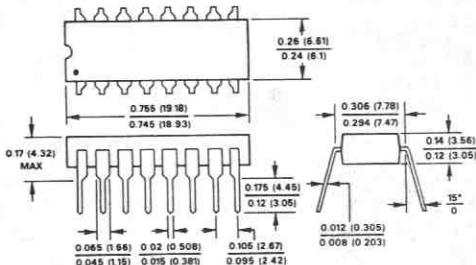
モデル ¹	温度範囲	S/N比	相対精度	パッケージ・オプション*
AD7872JN	0~+70°C	80dB min		N-16
AD7872KN	0~+70°C	82dB min	±1 max	N-16
AD7872JR	0~+70°C	80dB min		R-16
AD7872KR	0~+70°C	82dB min	±1 max	R-16
AD7872AQ	-40~+85°C	80dB min		Q-16
AD7872BQ	-40~+85°C	82dB min	±1 max	Q-16
AD7872TQ ²	-55~+125°C	80dB min	±1 max	Q-16

- 注
 * N: プラスチックDIP, Q: サードイップ, R: スモール・アウトラインIC (SOIC)
 1. MIL-STD-883, クラスBプロセス製品をオーダーの際には部品番号に/883Bを付加して下さい。軍用データ・シートについてはお問合わせください。
 2. /883Bプロセス製品のみ供給可能です。

外形サイズ

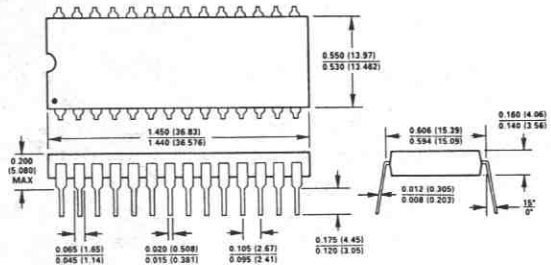
サイズはインチと(mm)で示します。

16ピン・プラスチックDIP (N-16)



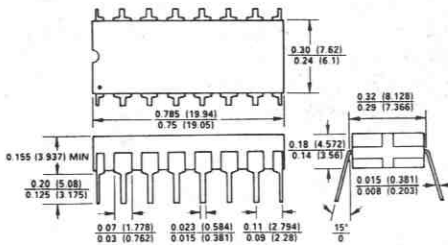
- 注
 1番ピンは点または刻みで示します。
 リードはハンダあるいはスズ・メッキのKOVARまたはアロイ42

28ピン・プラスチックDIP (N-28)



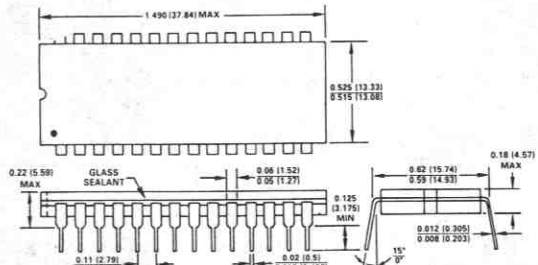
- 注
 1番ピンは点または刻みで示します。
 リードはハンダあるいはスズ・メッキのアロイ42または銅

16ピン・サードイップ (Q-16)



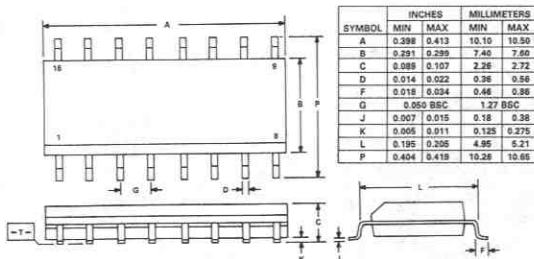
- 注
 1番ピンは点または刻みで示します。
 リードはハンダあるいはスズ・メッキのKOVARまたはアロイ42

28ピン・サードイップ (Q-28)

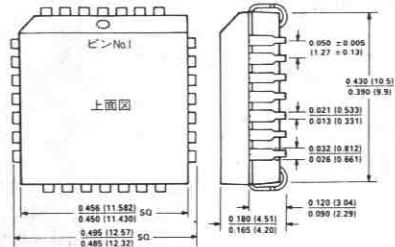


- 注
 1番ピンは点または刻みで示します。
 リードはハンダあるいはスズ・メッキのKOVARまたはアロイ42

16ピンSOIC (R-16)



28ピンPLCC (P-28A)



特長

- 4個のトラック/ホールド・アンプを内蔵
- 4チャンネル同時サンプリング
- 8 μ s変換時間/CHの高速12ビットADC
- 4チャンネルすべてについて29kHzのサンプリング・レート
- リファレンス内蔵
- ± 10 V入力範囲
- ± 5 V電源動作

応用

- モータ制御
- アダプティブ・フィルタ
- デジタル信号処理
- ソナー

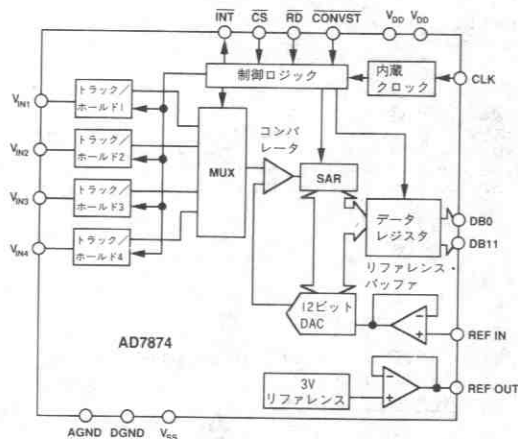
概要

AD7874は4チャンネル同時サンプリングの12ビット・データ収集システムです。高速12ビットADC、リファレンス、クロック、そして4つのトラック/ホールド・アンプをワンチップに内蔵しています。4個のトラック/ホールドの内蔵によって1個のトラック/ホールド・アンプを4チャンネルが共有している場合では不可能な、4つの入力チャンネルすべての相対的な位相情報を保持したまま同時にサンプリングすることが可能となりました。したがって、AD7874は相対的な位相情報が重要なフェーズ・アレイ・ソナーやACモータ制御などの应用到に理想的です。

4つのトラック/ホールド・アンプのオーバーチャージ遅延は小さく、その最小値と最大値が規定されています。このことにより数個のデバイスに接続された信号間の位相誤差の影響を受けることなしに数個のAD7874を用いて複数入力チャンネルの同時サンプリングを行なうことができます。リファレンス出力/リファレンス入力機能により数個のAD7874を同一のリファレンス源で動作させることもできます。

さらにAD7874では直線性、フルスケール及びオフセット誤差などの従来のDC精度仕様の他に、歪みやS/N比などのダイナミック特性パラメータも完全に規定されています。

AD7874は高精度バイポーラ回路と低電力CMOSロジックの組合わせ技術である弊社独自のリニア・コンパチブルCMOS (LCCMOS) プロセスで製造されています。パッケージは28ピン・プラスチックまたはハーメチックDIPあるいは28ピンSOICを用意しています。



AD7874機能ブロック図

製品ハイライト

1. 4入力チャンネル同時サンプリング

4つの入力チャンネルそれぞれにトラック/ホールド・アンプが備えられているため、入力信号の同時サンプリングが可能で、トラック/ホールドのアクイジション時間は2 μ sで、チャンネル当たりの変換時間は8 μ sのため、4つのチャンネルすべてについて29kHzのサンプリング・レートが実現できます。
2. アバーチャージ遅延のマッチング

各チャンネルのアバーチャージ遅延は小さく、しかもチャンネル間のアバーチャージ遅延のマッチングは4ns以下です。さらに、アバーチャージ遅延の最小および最大仕様が規定されており、4チャンネル以上の信号を複数のAD7874で同時にサンプリングすることも可能です。
3. 高速マイクロプロセッサ・インタフェース

AD7874は高速デジタル・インタフェースを備えており、最新の16ビット・マイクロプロセッサやDSPとの接続が可能です。

仕様

($V_{DD}=+5V$, $V_{SS}=-5V$, $AGND=DGND=0V$, $REF_{IN}=+3V$, $f_{CLK}=2.5MHz$ 外部クロック。特に指定のない限り $T_{min}-T_{max}$ の値。)

パラメータ	バージョン			単位	条件
	A	B	S		
サンプル/ホールド					
0.01%のアクイジション時間 ²	2	2	2	μs max	$V_{IN}=500mV_{P-P}$
ドループ・レート ^{2,3}	1	1	2	mV/ms max	
-3dB小信号帯域幅 ²	500	500	500	kHz typ	
オーバーチャ・遅延 ²	0	0	0	ns min	
オーバーチャ・ジッタ ^{2,3}	40	40	40	ns max	
オーバーチャ遅延マッチング ²	200	200	200	ps typ	
	4	4	4	ns max	
サンプル/ホールドとADCのダイナミック特性					
信号ノイズ比	70	71	70	dB min	$f_{IN}=10kHz$ 正弦波, $f_{SAMPLE}=29kHz$
全高調波歪み	-80	-80	-80	dB max	$f_{IN}=10kHz$ 正弦波, $f_{SAMPLE}=29kHz$
ピーク高調波またはスプリアス・ノイズ	-80	-80	-80	dB max	$f_{IN}=10kHz$ 正弦波, $f_{SAMPLE}=29kHz$
相互変調歪み					$f_b=9kHz$, $f_d=9.5kHz$, $f_{SAMPLE}=29kHz$
2次項	-80	-80	-80	dB max	
3次項	-80	-80	-80	dB max	
チャンネル間アイソレーション ²	-80	-80	-80	dB max	
DC精度					
分解能	12	12	12	ビット	
絶対精度	± 1	$\pm 1/2$	± 1	LSB max	
微分非直線性	± 1	± 1	± 1	LSB max	ノーマス・コードを保証
正フルスケール誤差 ⁴	± 5	± 5	± 5	LSB max	全チャンネル
負フルスケール誤差 ⁴	± 5	± 5	± 5	LSB max	全チャンネル
フルスケール誤差のマッチング	5	5	5	LSB max	チャンネル間
バイポーラ・ゼロ誤差	± 5	± 5	± 5	LSB max	全チャンネル
バイポーラ・ゼロ誤差のマッチング	4	4	4	LSB max	チャンネル間
アナログ入力					
入力電圧範囲	± 10	± 10	± 10	V	
入力電流	± 600	± 600	± 600	μA max	
リファレンス出力 ³					
REF OUT	3	3	3	V nom	
REF OUT誤差@+25°C	± 0.33	± 0.33	± 0.33	% max	
$T_{min}-T_{max}$	± 1	± 1	± 1	% max	
REF OUT温度係数	± 35	± 35	± 35	ppm/°C typ	
リファレンス負荷変動	± 1	± 1	± 2	mV max	リファレンス負荷変動(0~500 μA)。変換中にはリファレンス負荷は変化してはいけません。
リファレンス入力					
入力電圧範囲	2.85/3.15	2.85/3.15	2.85/3.15	V min/V max	3V $\pm 5\%$
入力電流	± 1	± 1	± 1	μA max	
入力容量 ⁵	10	10	10	pF max	
ロジック入力					
入力HI電圧、 V_{INH}	2.4	2.4	2.4	V min	$V_{DD}=5V\pm 5\%$
入力LOW電圧、 V_{INL}	0.8	0.8	0.8	V max	$V_{DD}=5V\pm 5\%$
入力電流、 I_{IN}	± 10	± 10	± 10	μA max	$V_{IN}=0V\sim V_{DD}$
入力容量、 C_{IN} ⁵	10	10	10	pF max	
ロジック出力					
出力HI電圧、 V_{OH}	4.0	4.0	4.0	V min	$V_{DD}=5V\pm 5\%$
出力LOW電圧、 V_{OL}	0.4	0.4	0.4	V max	$V_{DD}=5V\pm 5\%$
DB0~11					
フローティング状態漏れ電流	± 10	± 10	± 10	μA max	$V_{IN}=0V\sim V_{DD}$
フローティング状態出力容量	10	10	10	pF max	
出力形式		2の補数			
電源					
V_{DD}	+5	+5	+5	V nom	$\pm 5\%$ 規定性能
V_{SS}	-5	-5	-5	V nom	$\pm 5\%$ 規定性能
I_{DD}	18	18	18	mA max	$CS=RD=CONVST=+5V$: 12mA typ
I_{SS}	12	12	12	mA max	$CS=RD=CONVST=+5V$: 8mA typ
消費電力	150	150	150	mW max	$CS=RD=CONVST=+5V$: 100mW typ

注

1 温度範囲は以下の通りです。A, Bバージョン: $-40^\circ C \sim +85^\circ C$, Sバージョン: $-55^\circ C \sim +125^\circ C$

2 仕様用語の説明を参照。

3 +25°Cでサンプリング試験

4 REF IN電圧に関して測定され、バイポーラ・オフセット誤差を含んでいます。

5 50pF以上の容量性負荷に対しては直列抵抗が必要です。

仕様は予告なしに変更することがあります。

タイミング特性

(特に指定のない限り、 $V_{DD} = +5V \pm 5\%$ 、 $V_{SS} = -5V \pm 5\%$ 、 $AGND = DGND = 0V$ 、 $f_{CLK} = 2.5MHz$ 外部クロック。)

パラメータ	A, Bバージョン	Sバージョン	単位	条件
t_1	50	50	ns min	CONVSTパルス幅
t_2	0	0	ns min	CSからRDのセットアップ時間
t_3	60	70	ns min	RDパルス幅
t_4	0	0	ns min	CSからRDのホールド時間
t_5	60	60	ns max	RDからINTの遅延時間
t_6^2	57	70	ns min	RD後のデータ・アクセス時間
t_7^3	5	5	ns min	RD後のバス解放時間
	45	50	ns max	
t_8	130	150	ns min	リード間の遅延時間
t_{CONV}	31	31	μs min	CONVSTからINTまで、外部クロック
	32.5	32.5	μs max	CONVSTからINTまで、外部クロック
	31	31	μs min	CONVSTからINTまで、内部クロック
	35	35	μs max	CONVSTからINTまで、内部クロック
t_{CLK}	10	10	μs min	最小入力クロック期間

注

- 1 太字の規格は100%製品試験が行なわれています。他の規格はすべて+25°Cでサンプリング試験されています。入力信号はすべて $t_r = t_f = 5ns$ (+5Vの10%から90%)で規定され、1.6Vの電圧レベルからの時間で計測されています。
- 2 t_1 は図1の負荷回路で測定され、出力が0.8Vまたは2.4Vに達するまでに必要な時間として定義されています。
- 3 t_7 は図2の負荷回路を接続したときデータ出力が0.5Vの変化をするのに必要な時間から導かれます。測定値は50pFコンデンサの充放電の影響を取り除くため外挿が行なわれます。このことはタイミング特性の t_7 の数値が真のバス解放時間であり、外部バスの負荷容量とは独立していることを意味します。

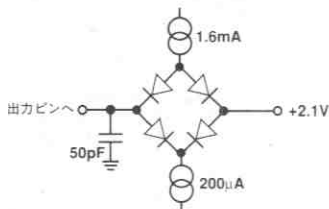


図1. アクセス時間試験用負荷回路

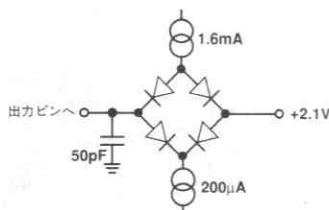


図2. バス解放時間試験用負荷回路

絶対最大定格*

(特に指定のない限り、 $T_A = +25^\circ C$)

$V_{DD} - AGND$	-0.3 ~ +7V
$V_{DD} - DGND$	-0.3 ~ +7V
$V_{SS} - AGND$	+0.3 ~ -7V
$DGND - AGND$	-0.3 ~ $V_{DD} + 0.3V$
$V_{IN} - AGND$	-15 ~ +15V
REF OUT - AGND	0 ~ V_{DD}
デジタル入力 - DGND	-0.3 ~ $V_{DD} + 0.3V$
デジタル出力 - DGND	-0.3 ~ $V_{DD} + 0.3V$

動作温度範囲

一般用 (A, Bバージョン)	-40 ~ +85°C
拡張温度用 (Sバージョン)	-55 ~ +125°C
保管温度範囲	-65 ~ +150°C
リード温度 (ハンダ付け10秒間)	+300°C
電力消費 (各パッケージ) +75°C まで	1,000mW
+75°C 以上でのディレーティング	10mW/°C

*絶対最大定格を超えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

注意

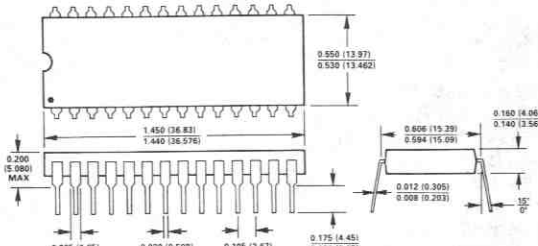
この素子はESD(Electrostatic-Discharge)センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させることが必要です。



外形サイズ

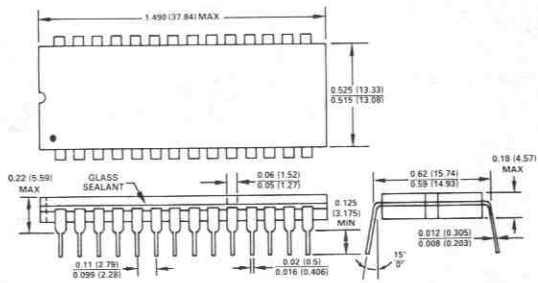
単位はインチと (mm) で示します

プラスチック (N-28)



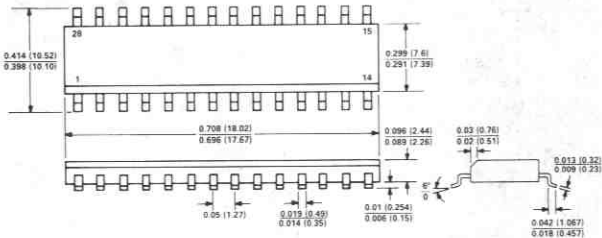
1番ピンは点または刻みで示します。
リードはハンダ・メッキまたはスズ・メッキのアロイ42または銅です。

サーディップ (Q-28)



1番ピンは点または刻みで示します。
リードはハンダ・メッキまたはスズ・メッキのKOVARまたはアロイ42です。

SOIC (R-28)



- 1番ピンは点で示します。
- SOICリードはMIL-M-38510規格に準拠してスズ・メッキかハンダ・メッキのどちらかが施されています。

仕様用語の説明

アキュイジション時間

アキュイジション時間はINTの立下りエッジ (トラック/ホールド・アンプがトラック・モードに復帰する時点) の後、トラック/ホールド・アンプの出力が $\pm 1/2$ LSBの範囲内に対して最終値に達するまでに必要な時間です。この時間にはスイッチ遅延時間、スルー時間、そしてフルスケールの電圧変化に対するセトリング時間が含まれます。

アパーチャ遅延

アパーチャ遅延は内部スイッチがホールド・コンデンサを入力から切離すのに必要な時間として定義されています。これはサンプルタイミングに有効遅延を与えます。この遅延は、ステップ入力に加え、出力コードがステップ入力変化に追従するまでCONVST入力位置を調整することで測定します。

アパーチャ遅延のマッチング

これは4つの内蔵トラック/ホールド・アンプ間のアパーチャ遅延のずれの最大値です。

アパーチャ・ジッタ

これは内部ノイズと信号レベルの変動に伴うスイッチのスレッシュホルドの変化によるアパーチャ遅延の不確実性です。

ドループ・レート

これは漏れ電流に起因するホールドされたアナログ電圧の変化です。

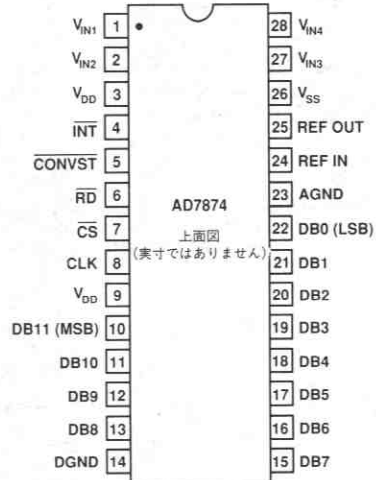
チャンネル間アイソレーション

これはチャンネル間のクロストーク・レベルの測定値です。この値はフルスケールの1kHz信号を他の3個の入力に加えて測定します。求められた値が4チャンネル全部についての最悪値となります。

SNR, THD, IMD

ダイナミック仕様の項を参照ください。

ピン配置 DIPとSOIC



ピン機能説明

ピン	名称	機能
1	V _{IN1}	アナログ入力チャンネル1。このチャンネルが1回の交換サイクルで交換される4チャンネルのうち最初に交換され ます。アナログ入力電圧範囲は±10Vです。
2	V _{IN2}	アナログ入力チャンネル2。アナログ入力電圧範囲は±10Vです。
3	V _{DD}	+5V±5%の正の電源電圧。このピンはAGNDにデカップリングします。
4	INT	割込み。コンバータの状態を示すアクティブLOWロジック出力。図7参照。
5	CONVST	変換開始。ロジック入力。この入力のLOWからHIへの遷移により、トラック/ホールドがホールド・モードと なり、変換が開始されます。チャンネル1からチャンネル4までの4チャンネルが順次変換されます。CONVST入力は CLKと非同期で、CSおよびRDとは独立しています。
6	RD	リード。アクティブLOWロジック入力。この入力はCSがLOWとなったときデータ出力をイネーブルするため に使用されます。変換後の4回の逐次的なリード動作でチャンネル1, 2, 3, 4の順にデータを読み出すことができま す。
7	CS	チップ・セレクト。アクティブLOWロジック入力。この入力が有効になることにより、デバイスが選択されま す。
8	CLK	クロック入力。TTLコンパチブルの外部クロックをこのピンに加えます。あるいはこのピンをV _{SS} に接続するこ とにより内部のレーザ・トリミングされたクロック発振器が有効となります。
9	V _{DD}	+5V±5%の正電源電圧。3番ピンと同じですが、お互いに接続します。このピンはDGNDにデカップリングし ます。
10	DB11	データ・ビット11 (MSB)。トライ・ステートのTTL出力です。出力コードは2の補数形式です。
11~13	DB10~8	データ・ビット10~8。 トライ・ステートのTTL出力です。
14	DGND	ディジタル・グラウンド。ディジタル回路のグラウンド基準電位です。
15~21	DB7~1	データ・ビット7~1。 トライ・ステートのTTL出力です。
22	DB0	データ・ビット0 (LSB)。 トライ・ステートのTTL出力です。
23	AGND	アナログ・グラウンド。トラック/ホールド、リファレンス、DACのグラウンド基準電位です。
24	REF IN	電圧リファレンス入力。AD7874のリファレンス電圧はこのピンに加えます。内部でバッファされているため、 わずかに±1μAの入力電流しか必要としません。AD7874が正しい動作をするための定格リファレンス電圧は3V です。
25	REF OUT	電圧リファレンス出力。内部の3Vアナログ・リファレンスがこのピンに出力されます。AD7874を内部リファレ ンスで動作させる時にはREF OUTをREF INに接続します。このリファレンス出力の外部負荷能力は500 μAです。
26	V _{SS}	-5V±5%の負電源電圧です。
27	V _{IN3}	アナログ入力チャンネル3。アナログ入力電圧範囲は±10Vです。
28	V _{IN4}	アナログ入力チャンネル4。アナログ入力電圧範囲は±10Vです。

オーダ・ガイド¹

SNR (dB)	相対精度 (LSB)	温度範囲とパッケージ		
		-40~+85°C	-40~+85°C	-55~+125°C
		プラスチックDIP (N-28)	ハーメチックDIP (Q-28)	ハーメチックDIP (Q-28)
70min	±1max	AD7874AN	AD7874AQ	AD7874SQ ²
72min	±1/2max	AD7874BN	AD7874BQ	
		SOIC(R-28) ³		
70min	±1max	AD7874AR		
72min	±1/2max	AD7874BR		

注

- MIL-STD-883, クラスBプロセス部品のオーダに際しては部品番号に/883Bを追加して下さい。軍用品のデータシートと供給に関してはお問い合わせ下さい。
- このグレードは/883Bプロセス製品のみ可能です。
- SOIC: スモール・アウトラインIC。

コンバータの詳細説明

AD7874は全機能内蔵の12ビット、4チャンネルのデータ収集システムです。12ビット逐次比較型ADC、4個の高速トラック/ホールド回路、4チャンネルのアナログ・マルチプレクサと3Vのツェナ・リファレンスから構成されています。ADCには逐次比較方式が使用され、高速セトリングの電圧スイッチングDAC、高速コンパレータ、高速CMOS SARを高速ロジックをベースとしています。

CONVSTの立上りエッジで変換が初期化されます。4個の入力トラック/ホールド全部がこの立上りエッジでトラック・モードからホールド・モードになります。4つの変換はチャンネル1の入力電圧を先頭に、以下チャンネル2、3、4と続きます。変換結果は内部のレジスタに格納されます。4つの変換がすべて終了するとINTがLOWになり、データ・アドレスからデータの読出しが可能になったことを通知します。この変換手順はCONVSTとCLKの同期関係により78~79個のクロックの立上りエッジを必要とします。内部遅延とリセット時間により、CONVSTがHIになってからINTがLOWになるまでに外部クロック2、5MHz時で最大32.5μsかかります。AD7874では同一のメモリ・アドレスから4回の連続読出しによって4個のデータ・ワードが順に読出されるアドレス方式を使用しています。最初の読出しではチャンネル1データが、2番目の読出しではチャンネル2データが、以下同じようにチャンネル3データ、チャンネル4データが読出されます。個々のデータ・レジスタは単独ではアクセスできません。

内部リファレンス

AD7874は温度補償された埋込みのツェナ・リファレンスを内蔵しており、製造工程で3V±10mVに調整されています(図3参照)。リファレンス電圧はREF OUTピンで供給されます。このリファレンスはADCのリファレンス電圧およびバイポーラのバイアス回路のための電圧源として両方に使用できます。これはREF OUTをREF INに接続することで使用できます。

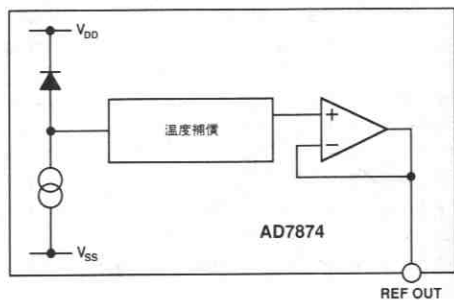


図3. AD7874の内部リファレンス

リファレンスは他の部品のリファレンスとしても使用でき、外部負荷に対し500μAまで供給する能力があります。数個のAD7874を使用したシステムでは1個のAD7874のREF OUTから他のAD7874のREF INに供給することが可能で、すべてのAD7874間のフルスケール・トラックングを良好に保つことができます。AD7874のREF INはバッファされており、各AD7874はリファレンスに対し高インピーダンスとなるため、1個のAD7874のREF OUTで数個のAD7874のREF INを駆動することができます。

REF OUTの通常動作での推奨最大容量は50pFです。リファレンスを他のシステムで使用するときには、10μFのタンタル・コンデンサと0.1μFのセラミック・コンデンサを並列に接続し200Ωの抵抗を直列に接続した回路でAGNDに対してデカップリン

グしなければなりません。

外部リファレンス

応用によってはAD7874のリファレンス入力をシステム・リファレンスや他の外部リファレンスで駆動する必要があります。図4にAD7874のREF INに必要な3VのリファレンスをAD586 5Vリファレンスで出力する方法を示します。

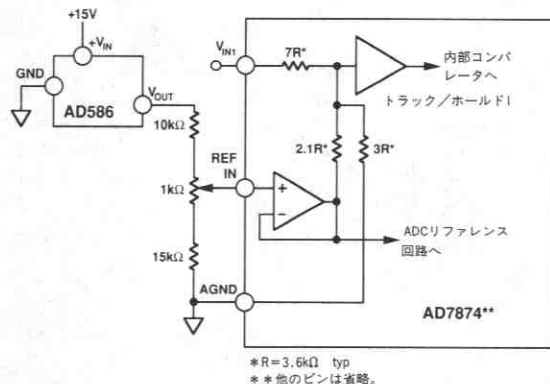


図4. AD586によるAD7874のREF INの駆動

トラック/ホールド・アンプ

AD7874の各アナログ入力のトラック/ホールド・アンプにより、20Vp-pの入力正弦波を12ビット精度で変換することができます。トラック/ホールド・アンプの入力帯域幅は、最大スループット・レートで動作している時でもADCのナイキスト・レートよりずっと高い値です。小信号時の3dBカットオフ周波数は500kHz typで発生します。

4個のトラック/ホールド・アンプは各入力チャンネルを同時にサンプリングします。トラック/ホールド回路のアーバチャ遅延は小さく、さらに、より重要ですが1個のデバイス内での4個のトラック/ホールド間およびデバイス間でもマッチングが十分にとれています。したがって、異なる入力チャンネル間の相対位相情報が高い精度で保たれます。また複数のAD7874で4チャンネル以上の信号を同時にサンプリングすることもできます。

トラック/ホールド・アンプの動作はユーザーにとって本質的にわかりやすいものといえます。変換が開始されると、4チャンネルが自動的に変換され、どのチャンネルをディジタル化するかを選択する必要がありません。

アナログ入力

AD7874のチャンネル1のアナログ入力を図4に示します。アナログ入力範囲は30kΩ typの入力抵抗に対して±10Vです。連続する整数LSB値の間で指定されたコード遷移が発生します(例えば1/2LSB、3/2LSB、5/2LSB、...、FS-3/2LSB)。出力コードは2の補数バイナリ形式で、1LSB=FS/4096=20V/4096=4.88mVです。理想的な入出力間の伝達関数を図5に示します。

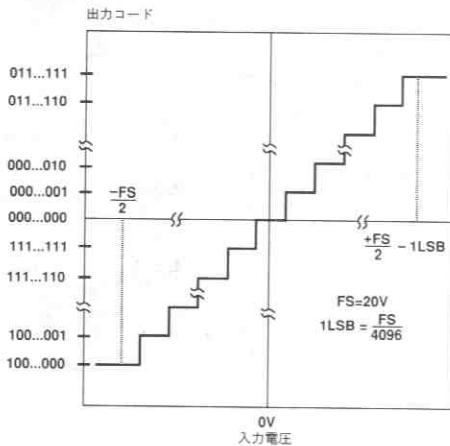


図5. 入出力伝達関数

オフセットおよびフルスケール調整

ほとんどのデジタル信号処理 (DPS) 応用では、オフセットおよびフルスケール誤差はシステムの性能に全く影響しないか、極くわずかな影響しかありません。オフセット誤差は常にACカップリングによってアナログ領域で取除くことができます。フルスケール誤差はその影響が直線的に現われ、入力信号がADCのフル・ダイナミック・レンジ内にある限り問題となることはありません。アプリケーションの中には入力信号がフル・アナログ入力ダイナミック・レンジに及ぶものがありますが、このようなアプリケーションではオフセットおよびフルスケール誤差をゼロに調整する必要があります。

図6にAD7874のオフセットとフルスケール誤差を調整できる回路を示します (例としてチャンネル1のみを示します)。

調整が必要な時は、フルスケールの誤差の前にはまずオフセット誤差を調整します。これは入力電圧がグラウンドの $1/2$ LSB下の時、AD7874のアナログ入力を駆動するオペアンプのオフセットをトリミングすることによって行ないます。トリミング手順はまず図6の V_1 に -2.44mV ($-1/2$ LSB) を印加し、ADCの出力コードが1111 1111と0000 0000 0000の間を変動するようにオペアンプのオフセット電圧を調整します。ゲイン誤差は最初のコード遷移 (ADCの負フルスケール) または最後のコード遷移 (ADCの正フルスケール) で調整することができます。これらのトリミング手順を次に示します。

正のフルスケール調整

V_1 に $+9.9927\text{V}$ ($FS/2 - 3/2$ LSB) を印加します。ADCの出力コードが0111 1111 1110と0111 1111 1111の間で変動するようにR2を調整します。

負のフルスケール調整

V_1 に -9.9976V ($-FS + 1/2$ LSB) を印加します。ADCの出力コードが1000 0000 0000と1000 0000 0001の間で変動するようにR2を調整します。

外部リファレンスを使用するシステムではフルスケール誤差を調

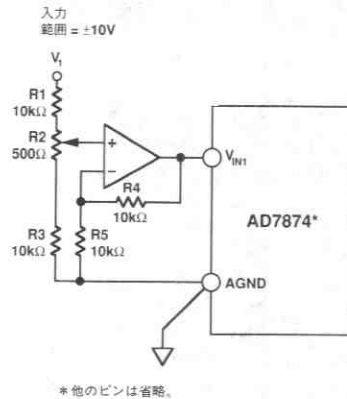


図6. AD7874のフルスケール調整回路

整するためにREF INピンの電圧を任意のチャンネルでフルスケール誤差がなくなるように調整することもできます。チャンネル間のフルスケール特性は良くマッチングしているため、他のチャンネルとのフルスケール誤差は小さなものです。

タイミングと制御

AD7874の変換はCONVST入力のアサートによって開始されます。CONVST入力は非同期入力で、ADCクロックと独立したタイミングです。このことは精密なサンプリングが必要な応用の場合に重要です。これらの応用ではサンプリングの不確実性、つまりジッタによる誤差を最小にするため信号サンプリングは正確に等しい間隔で行う必要があります。このような場合にはCONVST入力はタイマや精密なクロック源により駆動します。変換が開始されると、CONVSTは4チャンネル全部の変換終了まで再びアサートしてはいけません。

精密なサンプリング周期がそれほど重要でない応用では、マイクロプロセッサのライトまたはリード信号とアドレス・デコード出力をゲートした出力によってCONVSTパルスが発生させることができます (AD7874のCSアドレスとは異なるアドレスです)。非常に細かいCONVSTパルスの発生によって変換が開始してしまう恐れがあるため、CONVSTをアドレス・デコード出力単独で作ってはいけません。このような動作は命令サイクルの開始時にアドレス・バスが変化するようなマイクロプロセッサ・システムで発生する可能性があります。

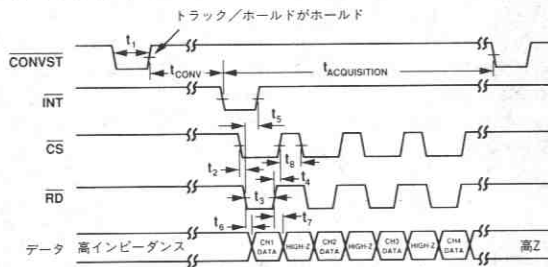
CONVSTパルスの立上りエッジで4個のトラック/ホールド・アンプがトラック・モードからホールド・モードへ変わり、4チャンネル全部が変換終了するまでホールド・モードを保持します。CONVSTの立上りエッジによりチャンネル1の入力電圧 (V_{IN1}) の変換が開始されます。チャンネル1の変換が終了すると、結果は変換結果を格納するためのオンチップの4個のレジスタのうちのひとつのデータ・レジスタ1に格納されます。最初の変換結果が格納されると、トラック/ホールド2によって保持された電圧の変換が始まります。トラック/ホールド4によって保持された電圧の変換が終了し、この結果がデータ・レジスタ4に格納されると、INTがLOWになり、変換手順が終了したことを知らせます。

チャンネルの変換に必要なすべての手順はAD7874自身が自動的に制御します。このことによりAD7874にアドレス信号を与えたり、ど

のチャンネルをデジタル化するかを選択したりする必要がありません。

AD7874からのデータの読出しはマイクロプロセッサの同一アドレスからの4回のリード動作により行なわれます。4個のオンチップのデータ・レジスタのアドレッシングもAD7874が自動的に管理します。

変換終了後のAD7874からの最初の読出し動作は常に、データ・レジスタ1から行なわれます (V_{IN1} 入力からの変換結果です)。最初の読出し動作中にRDの立下りエッジで \overline{INT} が \overline{HI} にリセットされます。2番目の読出しは常にデータ・レジスタ2から行なわれ、順次同様に行なわれます。CONVSTの立上りエッジでアドレス・ポインタはデータ・レジスタ1のポイントに戻されます。変換動作中にはAD7874からリード動作を行なってはいけません。AD7874の変換手順のタイミングを図7に示します。



$t_2, t_3, t_4, t_5, t_6, t_7, t_8, t_9, t_{10}, t_{11}, t_{12}, t_{13}, t_{14}, t_{15}, t_{16}, t_{17}, t_{18}, t_{19}, t_{20}, t_{21}, t_{22}, t_{23}, t_{24}, t_{25}, t_{26}, t_{27}, t_{28}, t_{29}, t_{30}, t_{31}, t_{32}, t_{33}, t_{34}, t_{35}, t_{36}, t_{37}, t_{38}, t_{39}, t_{40}, t_{41}, t_{42}, t_{43}, t_{44}, t_{45}, t_{46}, t_{47}, t_{48}, t_{49}, t_{50}, t_{51}, t_{52}, t_{53}, t_{54}, t_{55}, t_{56}, t_{57}, t_{58}, t_{59}, t_{60}, t_{61}, t_{62}, t_{63}, t_{64}, t_{65}, t_{66}, t_{67}, t_{68}, t_{69}, t_{70}, t_{71}, t_{72}, t_{73}, t_{74}, t_{75}, t_{76}, t_{77}, t_{78}, t_{79}, t_{80}, t_{81}, t_{82}, t_{83}, t_{84}, t_{85}, t_{86}, t_{87}, t_{88}, t_{89}, t_{90}, t_{91}, t_{92}, t_{93}, t_{94}, t_{95}, t_{96}, t_{97}, t_{98}, t_{99}, t_{100}$ は4つの読出し動作について共通です。

図7. AD7874のタイミング図

AD7874のダイナミック仕様

AD7874は積分および微分非直線性などの従来のDC仕様の他にダイナミック性能についても仕様が規定され、100%テストされています。これらのAC仕様は音声認識、スペクトラム分析および高速モデムなどの信号処理応用で必要となります。これらの応用では、ADCが入力信号のスペクトルにどう影響するかについてのデータが必要です。そのためAD7874ではSNR、高調波歪み、相互変調歪みおよびピーク高調波などのパラメータについて仕様が規定されています。これらの用語については以下の項でさらに詳しく説明します。

信号対雑音比 (SNR)

SNRはADCの出力における信号対雑音の比を測定したものです。信号は基本波の大きさのrmsを表わし、ノイズはDCを除くサンプリング周波数の $1/2 (f_s/2)$ までのすべての非基本波のrms合計を表わします。SNRはデジタル化プロセスで用いられる量子化レベルの数によって変化します。すなわち、レベルが増え、量子化ノイズは小さくなります。正弦波入力に対する理論的なSNRの値は次式で与えられます。

$$SNR = (6.02N + 1.76) \text{ dB} \quad (1)$$

ここではNはビット数を示します。例えば理想的な12ビット・コンバータの場合、 $SNR = 74 \text{ dB}$ となります。

ADCからの出力スペクトルは V_{IN} に低歪みの正弦波信号を入力し、それを29kHzのサンプリング・レートでサンプリングすることによって評価します。高速フーリエ変換(FFT)のグラフを作成し、SNRデータを求めることができます。図8はAD7874BNに10kHzの入力信号と29kHzのサンプリング周波数を適用した場合の標準的な2048ポイントFFTグラフを示したものです。このグラフから得られるSNRは73.2dBとなります。SNRを計算する際、高調波も考慮している点に注意してください。

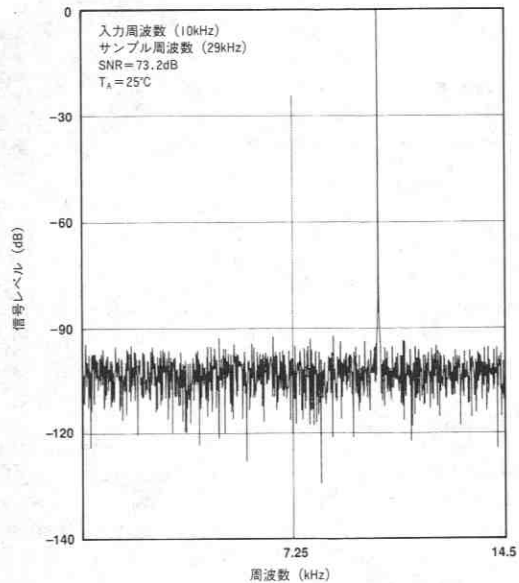


図8. AD7874のFFTグラフ

有効ビット数

(1)の式ではSNRとビット数との関係が示されています。式を(2)のように変形すると、性能を有効ビット数 (N) の形で表わすことができます。

$$N = \frac{SNR - 1.76}{6.02} \quad (2)$$

デバイスの有効ビット数は直接SNRから求められます。

図9はサンプリング周波数が29kHzの場合のAD7874BNの有効ビット数と周波数の関係を示した標準的なグラフです。標準的な有効ビット数は11.75と11.87 (SNRの72.5dBと73.2dBに対応する)の間に着きます。

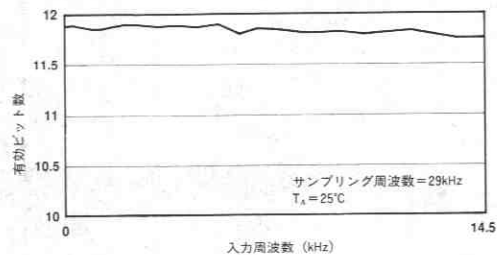


図9. 有効ビット数の周波数特性

全高調波歪み

全高調波歪みは高調波のrms合計と基本波のrms値の比を示すものです。AD7874の場合、全高調波歪み (THD) は次のように定義されます。

$$\text{THD} = 20 \text{Log} \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここでは V_1 は基本波の大きさのrmsを、また V_2 、 V_3 、 V_4 、 V_5 および V_6 は各々第2から第6までの高調波の大きさのrmsを表わします。またTHDはADC出力スペクトルのFFTグラフからも引出すことができます。

相互変調歪み

どのようなアクティブ・デバイスでも f_a と f_b の2つの周波数の正弦波から成る入力を与えた場合、周波数の和と差で表わされる歪み積、すなわち $m f_a \pm n f_b$ ($m, n = 0, 1, 2, 3, \dots$) を生成します。そのうち m と n がともに0でないものを相互変調項といいます。例えば2次項は $(f_a + f_b)$ と $(f_a - f_b)$ 、3次項は $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ および $(f_a - 2f_b)$ となります。

2つの入力周波数として入力帯域幅の上限に近い周波数が使われるCCIF標準を用いた場合、2次項と3次項は異なる重要性をもちます。2次項が周波数で通常元の正弦波から離れるのに対し、3次項は通常入力周波数に近い周波数となります。そこで、2次項と3次項は別々に規定されます。相互変調歪みの計算方法はTHD仕様と同じですが、ただ個々の歪み積のrms合成と基本波のrms値の比をdBで表わしたものとなります。この場合、入力は大きさの等しい2つの低歪みの正弦波から構成されます。図10はAD7874の標準的なIMDグラフを示したものです。

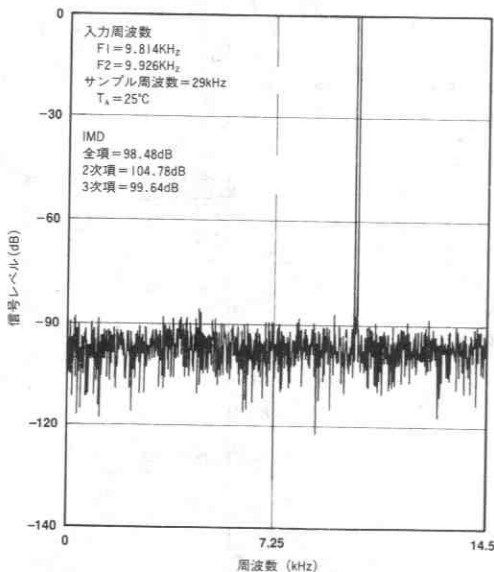


図10. AD7874のIMDグラフ

ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズはADC出力スペクトルにおいて ($f_s/2$ まで、DCを除く) 次に大きな成分のrms値と基本波のrms値の比と定義されます。通常この仕様の値はスペクトル内の最大高調波によって決まりますが、高調波がノイズ・フロアに埋没しているパーツでは、ピークはノイズ・ピークとなります。

AC直線性グラフ

規定された周波数の正弦波をAD7874の V_{IN} に入力し数100万に及ぶサンプルを取ると、4096のADCコードの各々に対して生成される周波数を示すヒストグラムが得られます。このヒストグラム・データにより、図11に示すようなAC積分直線性グラフが生成できます。これはAD7874が10kHzの入力周波数において優れた積分直線性をもつことを示しています。またグラフの中に大きなスパイクがないことは微分直線性が優れていることを示しています。使用公式を単純化したものを次に示します。

$$\text{INL} (i) = \left[\frac{V(i) - V(o) \cdot 4096}{V(fs) - V(o)} \right] - i$$

ここで $\text{INL} (i)$ はコード i における積分直線性を示し、 $V (fs)$ と $V (o)$ は各々推定のフルスケールおよびオフセット遷移を、また $V (i)$ は i 番目のコードに対する推定遷移を示します。

推定コード遷移点 $V (i)$ は次のように求められます。

$$V (i) = -A \cdot \text{Cos} \left[\frac{\pi \cdot \text{cum} (i)}{N} \right]$$

ここで A はピーク信号レベル、 N はヒストグラムのサンプル数、 $\text{cum} (i)$ は $\sum_{n=0}^i V (n)$ 回数を表わします。

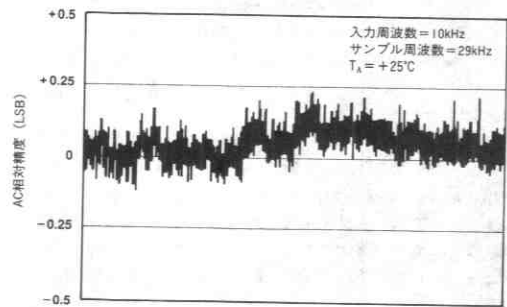


図11. AD7874のAC積分直線性グラフ

マイクロプロセッサとのインタフェース

AD7874は高速バス・タイミングによりDSPプロセッサや最新の16ビット・マイクロプロセッサに直接接続できます。
マイクロプロセッサ・インタフェース例を図12~16に示します。

AD7874とADSP-2100とのインタフェース

図12にAD7874とADSP-2100とのインタフェースを示します。変換開始をタイマで行なうことで4チャンネルすべてについてのサンプリング間隔の精密な制御を行なうことができます。4チャンネル全部の変換が終了したとき、AD7874のINT信号によってADSP-2100に割込みをかけます。同一メモリ・アドレスから連続4回の読出し動作により、4個の変換結果をAD7874から読出すことができます。以下の命令により4個の結果のうち1つを読出します(この命令は4個の変換結果を連続で読出すために4回繰返します)。

MR0=DM (ADC)

ここでMR0はADSP-2100のMR0レジスタで、ADCはAD7874のアドレスです。

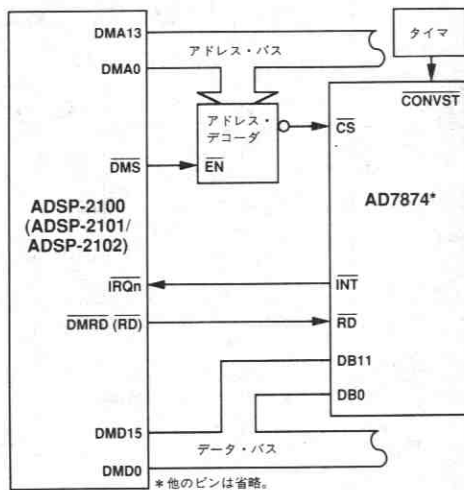


図12. AD7874-ADSP-2100インタフェース

AD7874とADSP-2101/ADSP-2102とのインタフェース

図12に示したインタフェースはAD7874とADSP-2101/ADSP-2102とのインタフェースでも使用できます。ADSP-2101/ADSP-2102のリード信号はRDです。このインタフェースではプロセッサのRDパルス幅はデータ・メモリ・ウェイト・スタート・コントロール・レジスタを使用することでプログラムできます。4個の結果の1つを読出すために使用する命令はADSP-2100の場合と同じです。

AD7874とTMS32010とのインタフェース

AD7874とTMS32010とのインタフェースを図13に示します。ここでも変換開始はタイマにより行い、4回の変換が終了するとTMS32010に割込みがかかります。以下の命令でAD7874から変換結果を読み出します。

IN D, ADC

ここでDはデータ・メモリ・アドレス、ADCはAD7874のアドレスです。

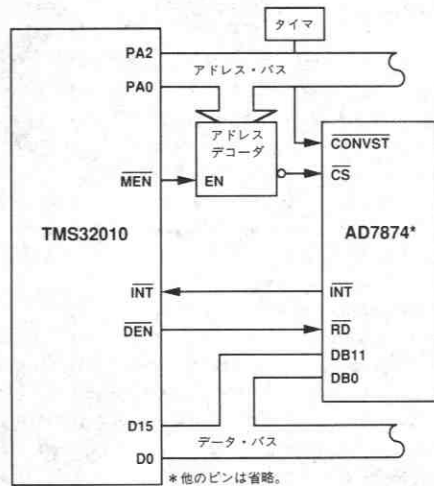


図13. AD7874とTMS32010とのインタフェース

AD7874とTMS320C25とのインタフェース

図14にAD7874とTMS320C25とのインタフェースを示します。これまでに示した2つのインタフェース例と同様に、タイマにより変換が開始され、変換手順が終了するとプロセッサに割込みがかかります。TMS320C25はAD7874のRDを直接駆動できる独立したRD出力を持っていません。ここでは数個のロジック・ゲートを追加し、STRBとR/W出力によりRD信号を作ります。RD信号はMSC信号とORゲートし、正しいインタフェースのためにリード・サイクルに必要な1ウェイト状態を作りだします。変換結果は以下の命令でAD7874から読出されます。

IN D, ADC

ここでDはデータ・メモリ・アドレス、ADCはAD7874のアドレスです。

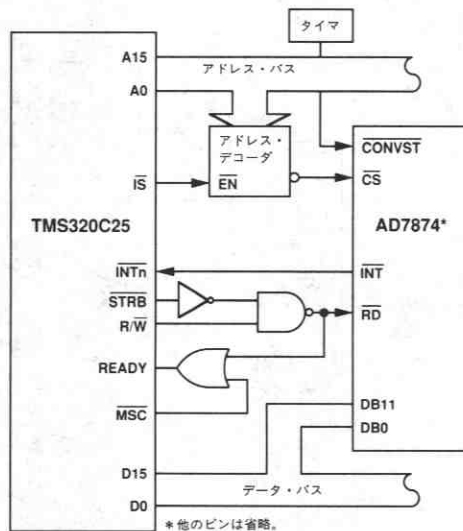


図14. AD7874とTMS320C25とのインタフェース

応用によっては変換開始を外部タイマではなくマイクロプロセッサで行いたい場合があります。1つの方法としてはライト動作で変換を開始するようにAD7874のCONVSTをアドレス・バスのデコード出力で駆動することです。データの読出しは今までの例と同様に変換終了後に行ないます。図16にこの方法による変換開始の例を示します。あらゆる場合において変換中には読出し動作を行なってはけないことに注意して下さい。

AD7874とMC68000とのインタフェース

AD7874とMC68000とのインタフェースを図15に示します。これまでの例と同じように外部タイマにより変換を開始させます。AD7874のINT出力によりプロセッサに割込みをかけることもできますし、あるいはソフトウェアによる遅延によってAD7874からの読出しが始まる前に変換が終了するようにすることもできます。68000の割込みでは、割込みが正しくかかるようにするため追加ロジックが必要です（図15には示していません）。68000の割込みに関しては68000のユーザーズ・マニュアルを参照して下さい。

AD7874のために独立したRD信号を発生させるのにMC68000のASとR/W出力が使用できます。AD7874から通常のリード動作ができるように68000のDTACK入力の駆動にCSを使用します。変換結果は以下の68000の命令で読出されます。

```
MOVE, W  ADC, D0
```

ここでD0は68000のD0レジスタ、ADCはAD7874のアドレスです。

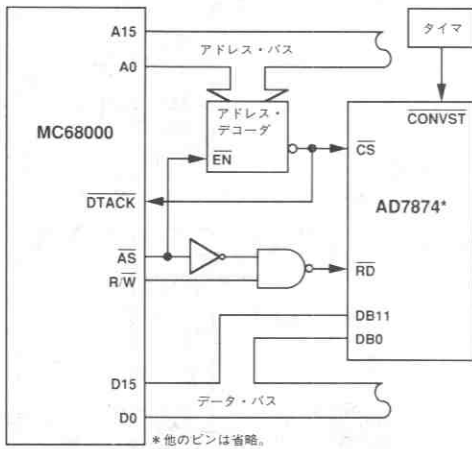


図15. AD7874とMC68000のインタフェース

AD7874と8086のインタフェース

図16にAD7874と8086マイクロプロセッサとのインタフェースを示します。これまでのインタフェース例と異なり、マイクロプロセッサによって変換が開始されます。この方式は8086のWR信号と、(AD7874のCSのアドレスとは別の)アドレス・デコード出力とをゲートすることで実現します。変換手順が終了すると、AD7874のINT信号によりマイクロプロセッサに割込みがかかります。データは以下の命令でAD7874から読出されます。

```
MOV AX, ADC
```

ここでAXは8086のアクムレータ、ADCはAD7874のアドレスです。

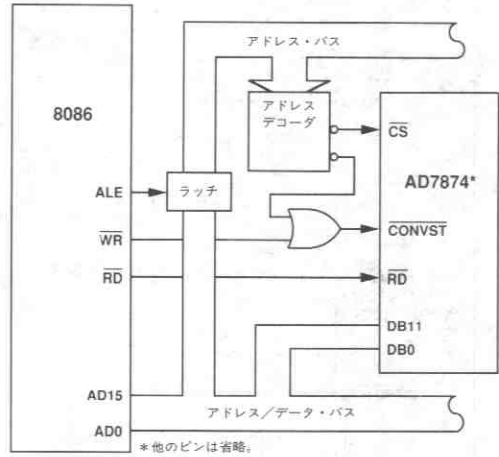


図16. AD7874と8086のインタフェース

応用

ベクトル・モータ制御

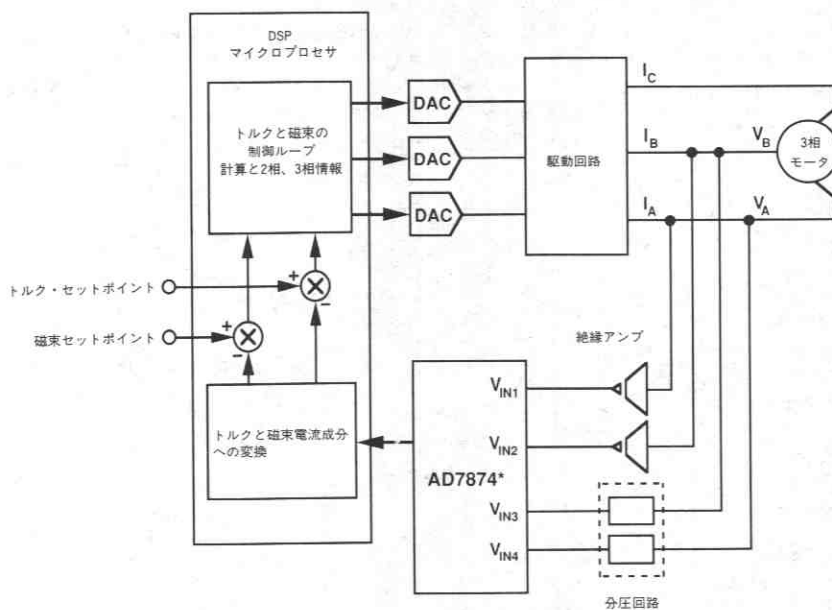
モータを誘導する電流は、トルクおよび磁束を発生する成分の2つに分けることができます。これらの2つの成分を独立して制御することによりモータの最適な性能が実現できます。通常の3相モータの制御方式ではモータに供給する電流（または電圧）と駆動周波数が基本的な制御変数となります。しかしトルクと磁束は両方とも電流（または電圧）と周波数の関数です。このカップリングの影響により、例えば周波数が増加することによってトルクが増加すると磁束は減少する傾向になるというようにモータの性能を低下させます。

交流モータのベクトル制御では駆動および電流周波数に加えて位相を制御します。モータの位相制御のためには、モータ内での回転磁界に関連した回転子の位置についての帰還情報が必要です。ベクトル制御器はこの情報を使用することにより3相駆動電流を独立したトルクと磁束の成分に数学的に変換します。4チャンネルの同時サンプリング機能を持ったAD7874はこのベクトル・モータ制御応用に適合しています。

AD7874を使用したベクトル・モータ制御応用のブロック図を図17に示します。磁界の位置は、モータの個々の相の電流を決定することで得られます。このためには2つの相電流がわかっている3番目の相電流の値は計算できるため、2つの位相電流を測定するだけで十分です。この情報をデジタル化するため、AD7874のチャンネル1とチャンネル2を使用します。

2つのチャンネル間の相対的な位相情報を得るためには同時サンプリングが重要です。モータとAD7874の間には電流センスのための絶縁アンプ、トランスまたはホール・センサを使用します。回転子の情報はモータの2つの入力電圧を測定することで得られます。

AD7874のチャンネル3とチャンネル4はこの情報を得るために使用されます。ここでも2つのチャンネル間の相対的な位相関係が重要です。AD7874によって帰還された情報による数学的な変換と制御ループ計算のためにDSPマイクロプロセッサが使用されます。



*他のピンは省略。

図17. AD7874によるベクトル・モータ制御

複数のAD7874の使用

複数の入力チャンネルを処理するため複数のAD7874を使用したシステムを図18に示します。このような設定はソナー、レーダーなどのような応用に共通のもので、AD7874ではオーバーチャージの最大値と最小値が規定されています。したがって、すべてのチャンネル間のサンプル・タイミングのずれの最大値を知ることができ、チャンネル間の相対的な位相情報を得ることができます。

各AD7874の \overline{RD} 入力をマイクロプロセッサからのリード信号によって共通に駆動します。アドレス・デコーダにより、個々のAD7874にそれぞれ別のアドレスを割当てます。図18の回路ではAD7874#1のリファレンス出力で他のAD7874のリファレンス入力を駆動します。1つのREF OUTピンで複数のAD7874のREF INピンを駆動できます。また、外部やシステムのリファレンスによって全部のREF IN入力を駆動することもできます。リファレンスを共通にすることで全チャンネル間でフルスケールのマッチングがとれます。

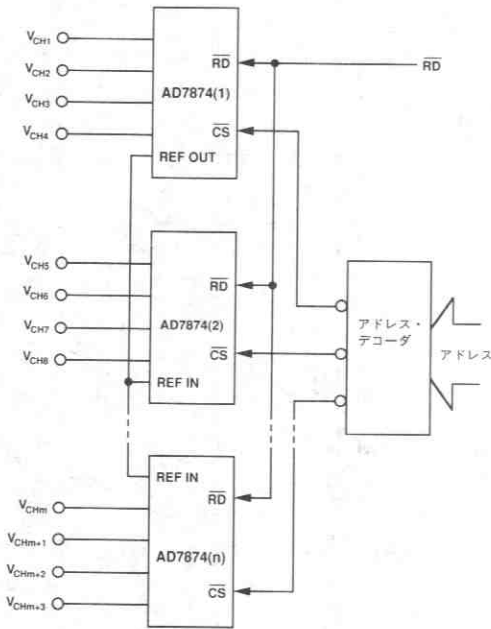


図18. マルチチャンネル・システムでの複数のAD7874の使用

データ収集ボード

図20にAD7874をデータ収集回路に使用した例を示します。この回路のプリント基板 (PCB) のパターン図とシルク図を図21~23に示します。この基板とマイクロプロセッサとの接続用に26ピンのIDCコネクタを設けています。

アナログ入力チャンネル用のアンチエリアシング・フィルタや信号調整回路を組込めるように基板のアナログ入力の近くに部品グリッドを設けています。このオプションを利用するために、アナログ入力に1入力当たり1個、合計4個のショート・プラグ (LK1~LK4) を設けています。指定チャンネル用にショート・プラグをセットすると、ADCのアナログ入力を駆動するバッファ・アンプに入力信号が接続

されます。ショート・プラグをセットしない場合にはワイヤ・リンクで入力信号を部品グリッドに接続します。

このボードとマイクロプロセッサの接続には26ピンIDCコネクタSKT8を使います。このピンアウトを図19に示します。このコネクタにはAD7874のデータ、制御、それにステータス信号のすべてが含まれています (ただしCLK入力と \overline{CONVST} 入力はそれぞれSKT5とSKT7経由です)。SKT8にはTMS32020とのインタフェースに必要なデコードされたR/ \overline{W} とSTRB入力もあります (68000とのインタフェースもできますが、ピン名称は異なっています)。AD7874の \overline{CS} 入力はAD7874評価用ボードより先にデコードしなければならないことにご注意ください。

SKT1、SKT2、SKT3、SKT4により、それぞれ V_{IN1} 、 V_{IN2} 、 V_{IN3} 、 V_{IN4} 入力が接続されます。LK1~LK4が接続される場合には、これらの入力信号はAD7874に加えられる前に4個のバッファ・アンプIC1に接続されます。外部クロック源の使用はオプションで、AD7874のCLK入力にはショート・プラグ (LK5) が設けられており、-5V (各ADCで内部クロックを使用する場合) またはSKT5のどちらかに接続します。SKT6とSKT7により、それぞれリファレンスと \overline{CONVST} 入力が接続されます。ショート・プラグLK6により外部リファレンスを使用するか各ADCの内部リファレンスを使用するかの選択ができます。

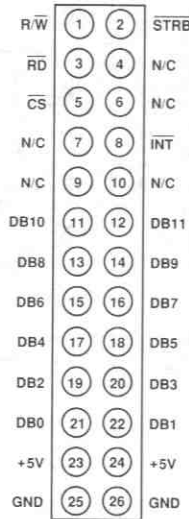


図19. IDCコネクタSKT8のピンアウト

電源の接続

この基板には2つのアナログ電源と1つの5Vデジタル電源が必要です。アナログ電源の名称はV+とV-で、これらの電源の範囲は12~15Vです (図23のシルク・スクリーンを参照)。5Vのデジタル電源はSKT8経由で供給します。AD7874に必要な+5V電源と-5V電源はV+とV-電源上の電圧レギュレータ (IC3とIC4) により生成されます。

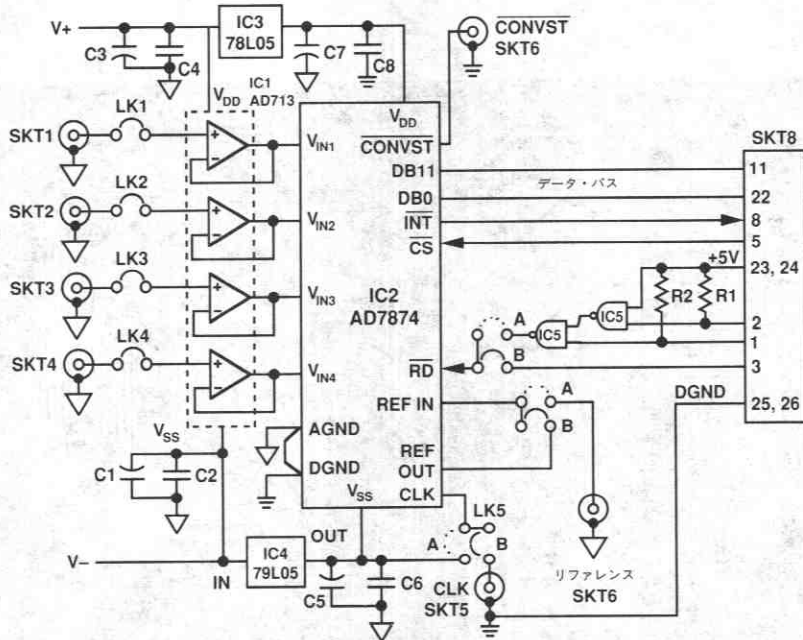


図20. AD7874を使用したデータ収集回路

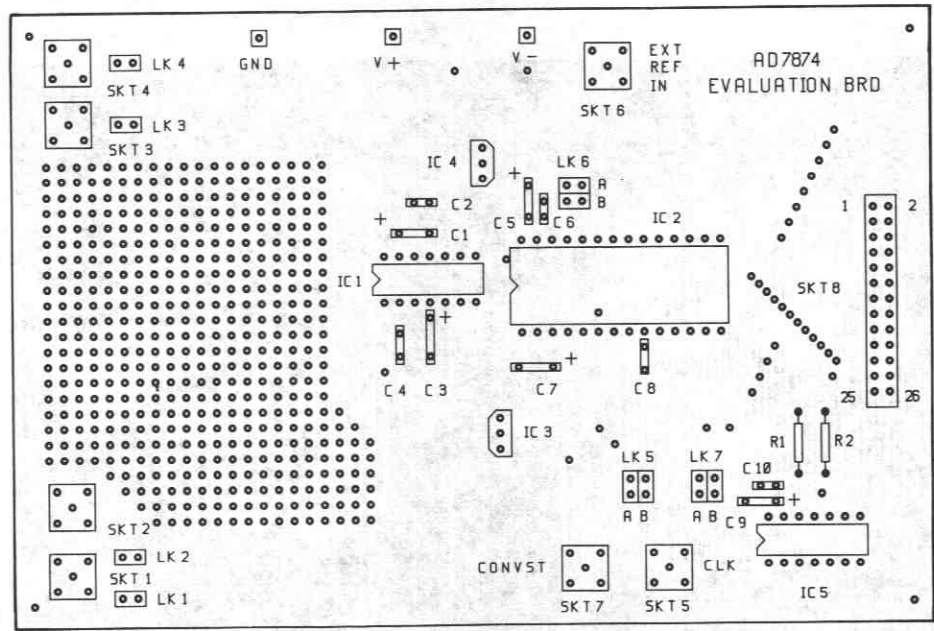


図21. 図20のプリント基板のシルクスクリーン

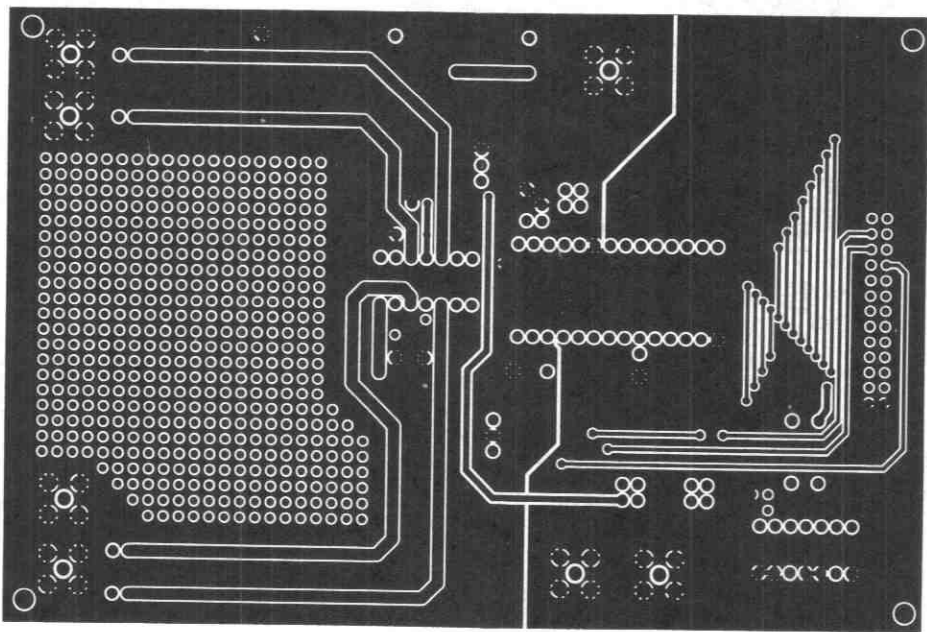


図22. 図20のプリント基板の部品面のパターン

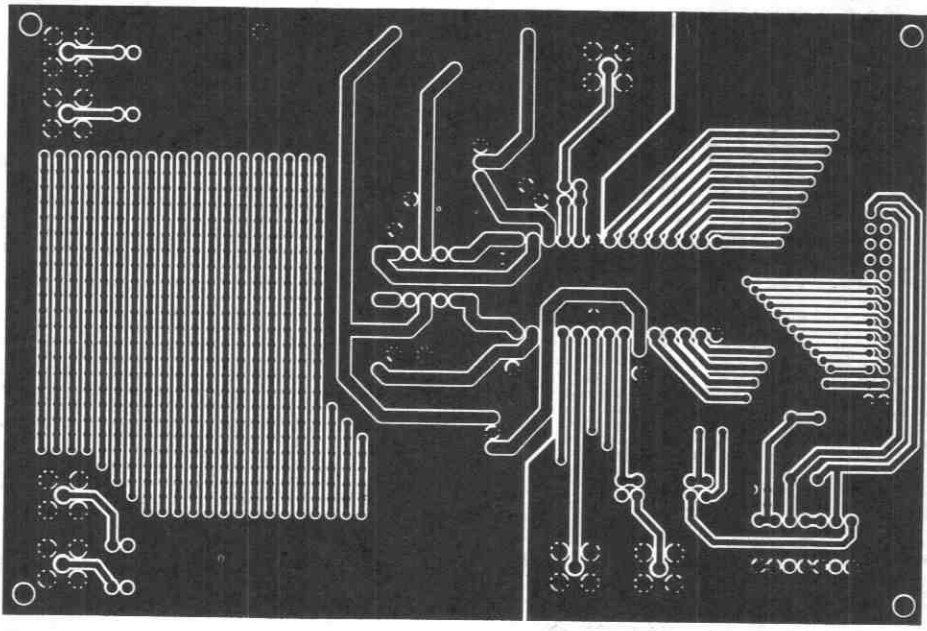


図23. 図20のプリント基板のハンダ面のパターン

ショート・プラグの選択

基板を使用する前に設定しておく必要のあるショート・プラグが下記のように7つあります。

- LK1-LK4 アナログ入力をバッファ・アンプに接続します。また、アナログ入力を信号調整のために部品グリッドに接続することもできます。
- LK5 AD7874を内部クロックで使用するか外部クロック源で使用するかを決めます。
- LK6 AD7874を内部リファレンスで使用するか外部リファレンス源で使用するかを決めます。
- LK7 AD7874のRD入力をSKT8のRD入りに接続するかデコードされたSTRBとR/W入りに接続するかを決めます。このショート・プラグの設定はマイクロプロセッサの種類に依ります。例えばTMS32020と68000ではデコードされたRD信号が必要です。

部品リスト

IC1
IC2
IC3
IC4
IC5
C1, C3, C5, C7, C9
C2, C4, C6, C8, C10
R1, R2
LK1, LK2, LK3
LK4, LK5, LK6, LK7
SKT1, SKT2, SKT3,
SKT4, SKT5, SKT6,
SKT7
SKT8

AD713クワッド・オペアンプ
AD7874
MC78L05 +5Vレギュレータ
MC79L05 -5Vレギュレータ
74HC00クワッドNANDゲート
10 μ Fコンデンサ
0.1 μ Fコンデンサ
10k Ω プルアップ抵抗
ショート・プラグ
BNCソケット

26ピン (2列) IDCコネクタ

AD7880

特長

- 12ビット・モノリシックA/Dコンバータ
- スループット・レート：66kHz
- 変換時間：12 μ s
- 内蔵トラック/ホールド・アンプのアクイジション時間：3 μ s
- ローパワー
- パワー・セーブ・モード時：2mW typ
- 通常動作時：25mW typ
- SNR：70dB
- 高速データ・アクセス時間：57ns
- 小型24ピンSOICと7.6mm幅スキニー24ピンDIPパッケージ

応用

- バッテリー電源のポータブル機器
- ディジタル信号処理
- 音声認識/合成
- 高速モデム
- 制御及び計装応用

概要

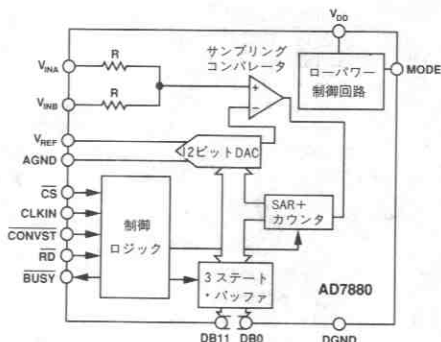
AD7880は単一の+5V電源で動作する高速、低消費電力の12ビットA/Dコンバータです。3 μ s動作のトラック/ホールド・アンプ、変換時間12 μ sの逐次比較型ADC、そして多機能のインタフェース・ロジックと入力範囲の可変回路から構成されています。またパワー・セーブ機能も搭載しています。

内部の抵抗回路により、単一の+5V動作でユニポーラとバイポーラの両方の入力信号を入力することができます。バス・アクセス時間が高速で、標準の制御信号入力端子を備えているため、最新のマイクロプロセッサやDSPと容易にインタフェースすることができます。

AD7880のトータル・スループットは15 μ sで、サンプリング周波数66kHzのとき33kHzまでのフル・パワー信号を変換することができます。

AD7880では直線性、フルスケール及びオフセット誤差のようなこれまでのDC精度の他に高調波歪みやS/N比などのダイナミック特性パラメータも完全に規定されています。

AD7880は高精度バイポーラ回路と低電力CMOSロジックの組合わせ技術である弊社独自のリニア・コンパチブルCMOS(LCCMOS)プロセスで製造されています。AD7880のパッケージは7.6mm幅の24ピン・プラスチックまたはハーメチックのデュアル・イン・ライン・パッケージ(DIP)または24ピンSOICを用意しています。



AD7880機能ブロック図

製品のハイライト

1. 高速変換時間
12 μ sの変換時間と3 μ sのデータ・アクイジション時間により、大きな入力信号帯域幅が実現されています。この特性は通信、オーディオ、ソナーやレーダの信号処理応用などに最適です。
2. 低消費電力
パワー・ダウン・モード時には2mWの低消費電力となるため、ポータブル、ハンドヘルド、バッテリー電源などの応用に最適です。
3. マルチプル入力信号範囲
AD7880では0~+5V、0~+10V、 \pm 5Vの3種類の入力範囲をユーザ設定することができます。これらのユニポーラおよびバイポーラ入力範囲は+5V単一電源で実現されます。

仕様

(特に指定のない限り、 $V_{DD} = +5V \pm 5\%$ 、 $V_{REF} = V_{DD}$ 、 $AGND = DGND = 0V$ 、 $f_{CLKIN} = 2.5MHz$ 、 $MODE = V_{DD}$ 。特に指定のない限り、仕様はすべて $T_{min} \sim T_{max}$ の値。)

項目	Bバージョン ¹⁾	Cバージョン ¹⁾	単位	テスト条件/備考
ダイナミック特性 ²⁾ S/N比 ³⁾ (SNR)	70	70	dB min	SNR=72dB typ $V_{IN} = 1kHz$ 正弦波、 $f_{SAMPLE} = 66kHz$
全高調波歪み(THD)	-80	-80	dB typ	$V_{IN} = 1kHz$ 正弦波、 $f_{SAMPLE} = 66kHz$
ピーク高調波またはスプリアス・ノイズ	-80	-80	dB typ	$V_{IN} = 1kHz$ 、 $f_{SAMPLE} = 66kHz$
相互変調歪み(IMD)	-80	-80	dB typ	$f_a = 0.983kHz$ 、 $f_b = 1.05kHz$ 、 $f_{SAMPLE} = 66kHz$
第2次IMD	-80	-80	dB typ	$f_a = 0.983kHz$ 、 $f_b = 1.05kHz$ 、 $f_{SAMPLE} = 66kHz$
第3次IMD	-80	-80	dB typ	$f_a = 0.983kHz$ 、 $f_b = 1.05kHz$ 、 $f_{SAMPLE} = 66kHz$
DC精度				
分解能	12	12	ビット	すべてのDC精度仕様は3つのアナログ入力範囲に対し適用できます。
積分非直線性	± 1	± 1	LSB max	単調増加性を保証
微分非直線性	± 1	± 1	LSB max	
フルスケール誤差	± 15	± 5	LSB max	
バイポーラ・ゼロ誤差	± 10	± 5	LSB max	
ユニポーラ・オフセット誤差	± 5	± 5	LSB max	
アナログ入力				
入力電圧範囲	0 ~ V_{REF} 0 ~ $2V_{REF}$ $\pm V_{REF}$	0 ~ V_{REF} 0 ~ $2V_{REF}$ $\pm V_{REF}$	V V V	図5参照 図6参照 図7参照
入力抵抗	10 5/12 5/12	10 5/12 5/12	M Ω min k Ω min/max k Ω min/max	0 ~ V_{REF} の範囲 8k Ω typ : 0 ~ $2V_{REF}$ の範囲 8k Ω typ : $\pm V_{REF}$ の範囲
リファレンス入力				
V_{REF} (規定特性保証)	5	5	V	$\pm 5\%$: 通常 $V_{REF} = V_{DD}$ (リファレンス入力の説明を参照)
I_{REF}	1.5	1.5	mA max	
定格リファレンス範囲	$2.5/V_{DD}$	$2.5/V_{DD}$	V min/max	2.5Vまでの性能低下については図3を参照。
ロジック入力				
CONVST、 \overline{RD} 、 \overline{CS} 、CLKIN				
入力HI電圧、 V_{INH}	2.4	2.4	V min	$V_{IN} = 0V$ または V_{DD}
入力LOW電圧、 V_{INL}	0.8	0.8	V max	
入力電流、 I_{IN}	± 10	± 10	μA max	
入力容量、 C_{IN}^4	10	10	pF max	
MODE入力				
入力HI電圧、 V_{INH}	4	4	V min	$V_{IN} = 0V$ または V_{DD}
入力LOW電圧、 V_{INL}	1	1	V max	
入力電流、 I_{IN}	± 125	± 125	μA max	
入力容量、 C_{IN}^4	10	10	pF max	
ロジック出力				
DB11~DB0、 \overline{BUSY}				
出力HI電圧、 V_{OH}	4.0	4.0	V min	$I_{SOURCE} = 400\mu A$ $I_{SINK} = 1.6mA$
出力LOW電圧、 V_{OL}	0.4	0.4	V max	
DB11~DB0				
フローティング状態漏れ電流	± 10	± 10	μA max	
フローティング状態出力容量 ⁴⁾	10	10	pF max	
変換				
変換時間	12	12	μs max	$f_{CLKIN} = 2.5MHz$
トラック/ホールドのアクイジション時間	3	3	μs max	
電源				
V_{DD}	+5	+5	V nom	定格動作のためには $\pm 5\%$ の範囲内のこと
I_{DD}				
通常モード@+25°C	7.5	7.5	mA max	代表値4mA、MODE= V_{DD}
$T_{min} \sim T_{max}$	10	10	mA max	代表値5mA、MODE= V_{DD}
パワーセーブ・モード@+25°C	750	750	μA max	ロジック入力@0Vまたは V_{DD} ；MODE=0V
$T_{min} \sim T_{max}$	1	1	mA max	ロジック入力@0Vまたは V_{DD} ；MODE=0V
消費電力				
通常モード@+25°C	37.5	37.5	mW max	$V_{DD} = 5V$ ；代表値20mW；MODE= V_{DD}
$T_{min} \sim T_{max}$	50	50	mW max	$V_{DD} = 5V$ ；代表値25mW；MODE= V_{DD}
パワーセーブ・モード@+25°C	3.75	3.75	mW max	$V_{DD} = 5V$ ；代表値2mW；MODE=0V
$T_{min} \sim T_{max}$	5	5	mW max	$V_{DD} = 5V$ ；代表値2.5mW；MODE=0V

注

1) 温度範囲は次のとおりです：B/Cバージョン：-40~+85°C

2) $V_{IN} = 0 \sim V_{REF}$

3) SNR計算には歪み成分とノイズ成分の両方が含まれます。

4) +25°Cでのサンプリング試験を実施。

仕様は予告なしに変更することがあります。

タイミング特性¹

($V_{DD} = +5V \pm 5\%$, $V_{REF} = V_{DD}$, $AGND = DGND = 0V$)

項目	25°Cでの 制限値 (全バージョン)	T_{min} 、 T_{max} での 制限値 (全バージョン)	単位	条件/備考
t_1	50	50	ns min	CONVSTパルス幅
t_2	130	130	ns min	CONVSTからBUSYの立下りエッジ
t_3	0	0	ns min	BUSYから \overline{CS} のセットアップ時間
t_4	0	0	ns min	CSからRDのセットアップ時間
t_5	0	0	ns min	CSからRDのホールド時間
t_6	60	75	ns min	R \overline{D} パルス幅
t_7^2	57	70	ns max	R \overline{D} 後のデータ・アクセス時間
t_8^3	5	5	ns min	R \overline{D} 後のバス解放時間
	50	50	ns max	

注

- 1) 太字で示す仕様は100%試験が行なわれています。他のタイミング仕様は+25°Cでサンプリング試験が行なわれています。入力信号はすべて $t_r = t_f = 5\text{ns}$ (5Vの10%から90%)で規定され、1.6Vの電圧レベルからの時間で計測されています。
- 2) t_7 は図2の負荷回路で出力が0.8Vまたは2.4Vに達するまでに必要な時間として計測されています。
- 3) t_8 は図2の負荷回路で出力が0.5Vの変化をするまでに必要な時間として計測されています。計測値は50pFのコンデンサの充電による影響を排除するための外挿が行なわれます。このことによりタイミング特性表の t_8 はこの素子の真のバス解放時間を示し、外部バスの負荷容量とは無関係であることを意味します。

仕様は予告なしに変更することがあります。

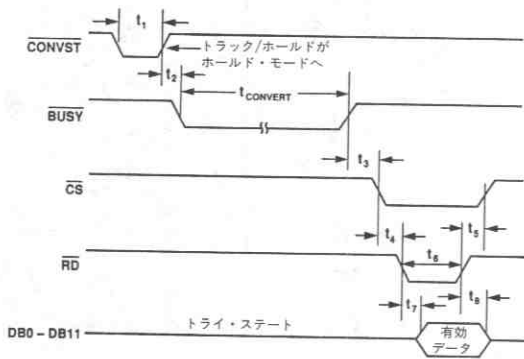


図1. タイミング図

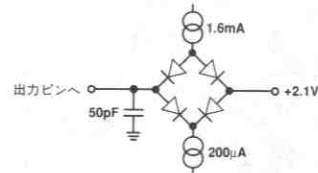


図2. アクセスおよび解放時間の負荷回路

CS	CONVST	R \overline{D}	機能
1	1	X	非選択状態
1	立上りエッジ	1	立上りエッジで変換開始
0	1	0	ADCデータがイネーブル
0	1	1	データ・バスはトライ・ステート状態

表1. AD7880の真理値表

絶対最大定格*

$V_{DD} \sim AGND$	$-0.3V \sim +7V$
$V_{DD} \sim DGND$	$-0.3V \sim +7V$
$AGND \sim DGND$	$-0.3V \sim V_{DD} + 0.3V$
$V_{INA}, V_{INB} \sim AGND$ (図5)	$-0.3V \sim V_{DD} + 0.3V$
$V_{INA} \sim AGND$ (図6)	$-0.6V \sim 2V_{DD} + 0.6V$
$V_{INA} \sim AGND$ (図7)	$-V_{DD} - 0.3V \sim V_{DD} + 0.3V$
$V_{REF} \sim AGND$	$-0.3V \sim V_{DD}$
デジタル入力 $\sim DGND$	$-0.3V \sim V_{DD} + 0.3V$
デジタル出力 $\sim DGND$	$-0.3V \sim V_{DD} + 0.3V$

動作温度範囲

産業用 (B, Cバージョン)	$-40 \sim +85^{\circ}C$
保管温度範囲	$-65 \sim +150^{\circ}C$
リード温度 (ハンダ付け10秒)	$+300^{\circ}C$
消費電力 (全パッケージ) , $+75^{\circ}C$ まで	450mW
$+75^{\circ}C$ 以上でのデレレーティング	10mW/ $^{\circ}C$

注

*絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスをある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

注意:

この素子はESD (Electrostatic-Discharge) センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させることが必要です。

ピン配置



ピン機能説明

ピン番号	ピン名称	機能
1	V_{INA}	アナログ入力
2	V_{INB}	アナログ入力
3	AGND	アナログ・グラウンド
4	V_{REF}	電圧リファレンス入力。通常は V_{DD} に接続します。
5	\overline{CS}	チップ・セレクト。アクティブ・ローのロジック入力です。この入力がLOWになると、このデバイスが選択されます。
6	\overline{CONVST}	変換開始。この入力のLOWからHIへの遷移によりトラック・ホールドがホールド・モードになり、変換が開始します。 \overline{CONVST} 入力はCLKINと非同期であり、 \overline{CS} および \overline{RD} とは独立したタイミングです。
7	\overline{RD}	リード。アクティブ・ロー・ロジック入力。この入力は \overline{CS} がLOWとなったときデータ出力をイネーブルするのに使用されます。
8	\overline{BUSY}	アクティブ・ロー・ロジック出力。コンバータの状態を示すためのステータス信号です。 \overline{BUSY} は変換中はLOWとなります。
9	CLKIN	クロック入力。TTLコンパチブルのロジック入力です。A/Dコンバータのクロック信号源として用いられます。このクロック信号のマーク/スペース比は40/60～60/40の範囲です。
10	DGND	デジタル・グラウンド。
11～22	DB0～DB11	3ステートのデータ出力。 \overline{CS} と \overline{RD} が共にLOWとなったときアクティブとなります。
23	MODE	MODE入力。この入力はデバイスをパワー・セーブ・モードにするために使用します (MODE = 0 V時パワー・セーブ・モード)。ロジックHI (MODE = V_{DD}) のとき通常動作となります。
24	V_{DD}	電源電圧。定格値 + 5 Vです。



オーダ・ガイド

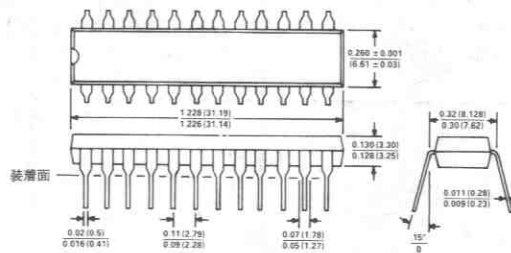
フルスケール誤差 (LSB)	バイポーラ・ゼロ誤差 (LSB)	温度範囲とパッケージ	
		-40~+85°C	
		プラスチック DIP (N-24)	ハーメチック DIP (Q-24)
±15	±10	AD7880BN	AD7880BQ
±5	±5	AD7880CN	AD7880CQ
		SOIC ¹ (R-24)	
±15	±10	AD7880BR	
±5	±5	AD7880CR	

注
1) SOIC : スモール・アウトラインIC。

外形サイズ

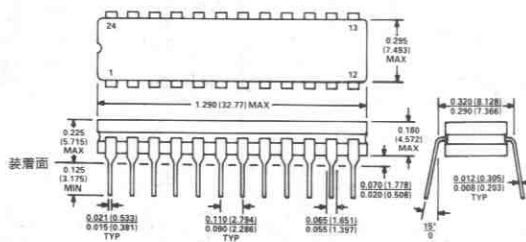
単位はインチと (mm) で示します。

24ピン・プラスチックDIP (N-24)



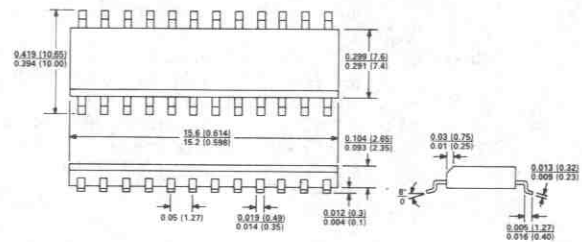
- 注
1. 1番ピンは点または刻みで示します。
2. プラスチックDIPのリードはMIL-M-38510規格に準拠しハンダ・メッキまたはスズメッキが施されています。

24ピン・サーディップ (Q-24)



- 注
1. 1番ピンは点または刻みで示します。
2. サーディップのリードはMIL-M-38510規格に準拠しハンダ・メッキまたはスズメッキが施されています。

24ピンSOIC (R-24)



回路説明

AD7880は単一の+5V電源動作の12ビットA/Dコンバータです。2.5MHzの外部クロックと電源デカップリング・コンデンサを除き、外付部品が不要です。AD7880は高速セトリング電圧出力DAC、高速コンパレータ、SARから構成される12ビット逐次比較型ADCそして制御ロジック回路を内蔵しています。AD7880に内蔵されているトラック/ホールド・アンプではチャージ・バランス・コンパレータが用いられています。AD7880は66kHzまでのサンプリング・レートで動作するよう規定されています。

コンバータの詳細について

AD7880の変換サイクルは図1のタイミング図に示すようにCONVSTパルスの立上りエッジで開始されます。CONVSTパルスの立上りエッジでトラック/ホールド・アンプがHOLDモードになります。変換サイクルはその後、26から28クロック期間を必要とします。最大規定変換時間は12 μ sです。この値は、CLKIN周波数が2.5MHzのとき内部遅延時間を含め28クロック期間に相当します。変換中BUSY出力はLOWレベルに保たれ、出力データ・バスは3ステート状態になります。変換が終了するとBUSY出力はHIレベルとなり、CSおよびRDをLOWにすれば変換結果を読み出すことができます。

トラック/ホールド・アンプは12ビットの入力信号を3 μ sで収集することができます。AD7880の総合スループットは変換時間とトラック/ホールド・アンプのアクイジション時間の和に等しくなります。クロック入力が2.5MHzのとき、スループット時間は15 μ sとなります。

リファレンス入力

定格性能を実現するためには、リファレンス入力をV_{DD}に接続することが推奨されます。AD7880はリファレンス電圧が2.5Vまで低下しても動作しますが、定格性能も低下します。図3にV_{REF}対S/N比 (SNR) のグラフを示します。

V_{REF}電圧は100mV以上V_{DD}を越えてはいけません。

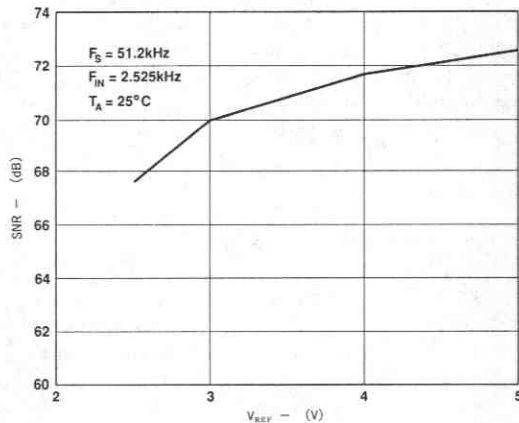


図3. SNR対V_{REF}

アナログ入力

AD7880にはV_{INA}とV_{INB}の2つのアナログ入力ピンがあります。図4にADCのサンプリング・コンパレータの入力回路を示します。同一値の抵抗により構成された分圧回路を内蔵しているため、種々の入力範囲を選択できます。

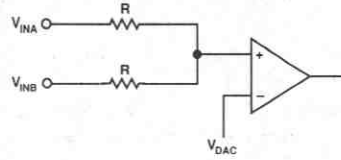


図4. AD7880の入力回路

AD7880は0~V_{REF}、0~2V_{REF}、±V_{REF}の3つの独立した入力範囲に適應します。図5、6、7にそれぞれの入力範囲の設定を示します。

V_{REF}=V_{DD}で、V_{DD}が定格値+5Vのときには入力範囲は表IIに示すように0~5V、0~10V、±5Vとなります。

アナログ入力範囲	V _{REF}	入力接続		接続図
		V _{INA}	V _{INB}	
0V~+5V	V _{DD}	V _{IN}	V _{IN}	図5
0V~+10V	V _{DD}	V _{IN}	AGND	図6
±5V	V _{DD}	V _{IN}	V _{REF}	図7

表II. アナログ入力範囲

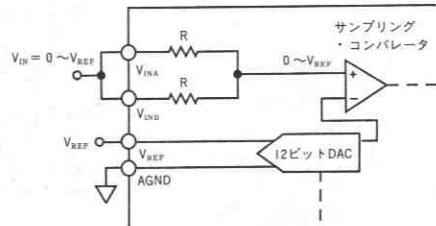


図5. 0~V_{REF}ユニポーラ入力接続

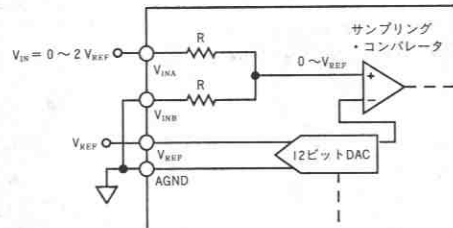


図6. 0~2V_{REF}ユニポーラ入力接続

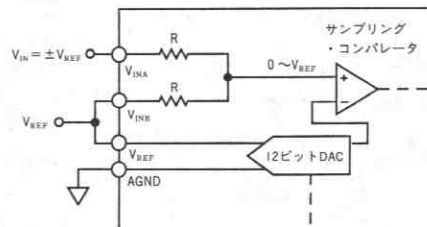


図7. ±V_{REF}バイポーラ入力接続

AD7880は0～5Vと0～10Vの2つのユニポーラ入力範囲を持っています。図5に0～5Vのアナログ入力範囲の設定を示します。設計されたコード遷移は逐次整数のLSB値の中央で起こります(例えば1/2LSB, 3/2LSB, 5/2LSB, ... FS-3/2LSB)。出力コードはストレート・バイナリ形式で1LSB=FS/4096=5V/4096=1.22mVです。図6に示す0～10V入力範囲の設定でも、LSBの大きさが大きくなることを除けば同様に当てはまります。この場合には、1LSB=FS/4096=10V/4096=2.44mVです。これらのユニポーラ入力範囲の理想的な入出力の伝達特性を図8に示します。

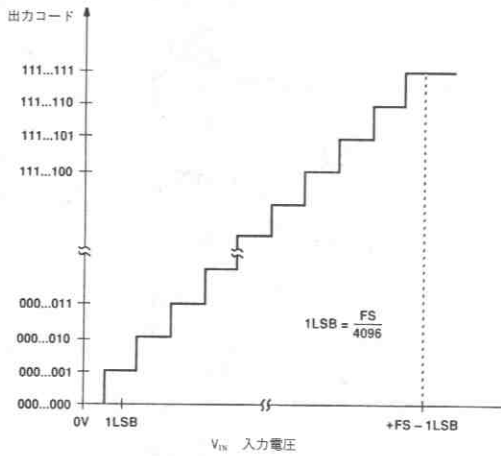


図8. AD7880のユニポーラ設定時の入出力伝達特性

図7にAD7880の±5Vのバイポーラのアナログ入力範囲の設定を示します。ここでも、設計されたコード遷移は逐次整数のLSB値の中央で起こります。出力コードはストレート・バイナリ形式で1LSB=FS/4096=10V/4096=2.44mVです。バイポーラ入力範囲の理想的な入出力伝達特性を図9に示します。

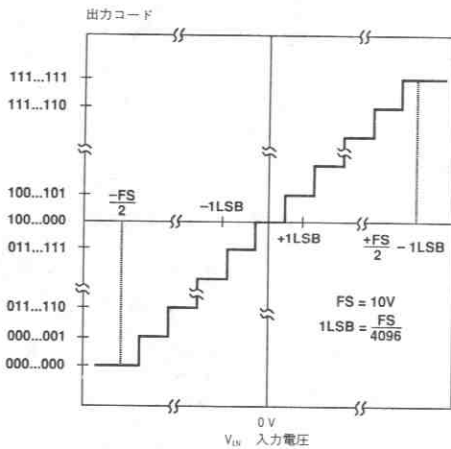


図9. AD7880のバイポーラ設定時の入出力伝達特性

クロック入力

AD7880は、2.5MHzのクロックをCLKIN入力ピンに接続して動作するように仕様が規定されています。このピンはCMOSまたはTTLバッファにより直接駆動できます。クロックのマーク/スペース比は40/60～60/40の範囲で変更することができます。クロック周波数が低下しても、精度特性に対する影響は極めてわずかなものです。これは内部のトラック/ホールド・アンプのホールド・コンデンサの漏れの影響によるものです。図10に、このADCの精度対クロック周波数の代表的特性を示します。

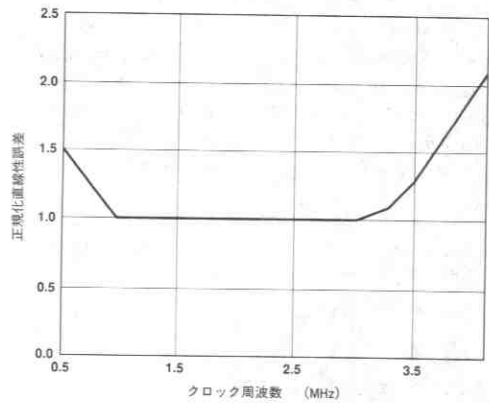


図10. 正規化された直線性誤差対クロック周波数

トラック/ホールド・アンプ

AD7880ではA/D変換にチャージ・バランス・コンバータを使用しており、トラック・ホールド機能が実現されています。このトラック/ホールド・アンプにより、3μs以下で入力信号を12ビット精度で収集することができます。総合スループットは変換時間とトラック/ホールド・アンプのアクイジション時間の和に等しくなります。2.5MHzのクロック入力でスループットは15μsです。

トラック/ホールド・アンプは、変換開始時(図1のCONVSTの立上りエッジ)にトラック・モードからホールド・モードに切替わります。

オフセットとフルスケールの調整

多くのデジタル信号処理(DSP)応用では、オフセットとフルスケール誤差はシステムの性能にはほとんど影響を与えません。オフセット誤差はACカプリングにより、アナログ領域で常に除去することができます。フルスケール誤差はその影響が直線的に現われ、入力信号がADCのフルダイナミック・レンジに入っている限り問題とはなりません。応用の中には入力信号レンジがADCの最大のダイナミック・レンジに及ぶ場合があります。このような応用ではオフセットやフルスケール誤差はゼロに調整しなければなりません。

図11にADCの入力を駆動するオペアンプと外付のポテンショメータの調整によるオフセットとフルスケール調整の方法を示します。

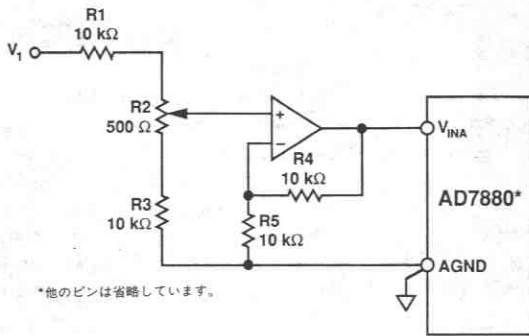


図11. オフセットとフルスケールの調整回路

ユニポーラ調整

0 ~ 5Vのユニポーラ入力設定の場合には、フルスケール誤差調整の前に、ユニポーラ・オフセット誤差の調整を行います。この調整は、AD7880のアナログ入力を駆動するオペアンプのオフセットを調整することで行ないます。図11のV_iピンに0.61mV (1/2LSB)の入力電圧を加え、オペアンプのオフセット電圧をADCの出力コードが0000 0000 0000と0000 0000 0001との間を変動するまで調整

します。フルスケール調整では、V_iに4.9982V (FS-3/2LSB)の電圧を加え、R2をADCの出力コードが1111 1111 1110と1111 1111 1111との間を変動するまで調整します。

0 ~ 10Vの入力設定 (図6) も同じ手順で調整します。図11のV_iピンに1.22mV (1/2LSB)の入力電圧を加え、オペアンプのオフセット電圧をADCの出力コードが0000 0000 0000と0000 0000 0001との間を変動するまで調整します。フルスケール調整では、V_iに9.9963V (FS-3/2LSB)の電圧を加え、R2をADCの出力コードが1111 1111 1110と1111 1111 1111との間を変動するまで調整します。

バイポーラ調整

図7のバイポーラ入力設定のバイポーラ・ゼロ調整とフルスケール誤差調整はユニポーラ設定と同様に行ないます。ここでもフルスケール誤差調整の前に、バイポーラ・ゼロ誤差の調整を行ないます。この調整は、入力電圧がグラウンド電位の1/2LSB下の時、AD7880のアナログ入力を駆動するオペアンプのオフセットを調整することで行ないます。図11のV_iピンに-1.22mV (1/2LSB)の入力電圧を加え、オペアンプのオフセット電圧をADCの出力コードが0111 1111 1111と1000 0000 0000との間を変動するまで調整します。フルスケール調整では、V_iに4.9982V (FS/2-3/2LSB)の電圧を加え、R2をADCの出力コードが1111 1111 1110と1111 1111 1111との間を変動するまで調整します。

ダイナミック特性

AD7880のダイナミック特性仕様は、積分非直線性や微分非直線性のような従来のDC特性と同様に完全に規定され、試験されています。AC仕様は音声認識、スペクトラム分析、高速モデムのような信号処理の応用に必要です。これらの応用ではADCが入力信号のスペクトルへ与える影響についてのデータが必要となります。そのためAD7880ではSNR、高調波歪み、相互変調歪みやピーク高調波などのパラメータについて仕様が規定されています。これらの項目について以下に詳しく説明します。

S/N比 (SNR)

SNRはADCの出力で測定された信号とノイズの比です。信号はrmsで表わされた基本波の大きさです。ノイズはDCを除くサンプリング周波数の1/2 (FS/2) までの非基本波すべての信号のrms和です。SNRはデジタル化プロセスで使用する量子化レベル値に依存し、量子化レベルが上がると量子化ノイズは小さくなります。正弦波入力に対する理論的なSNR値は以下のように表わされます。

$$SNR = (6.02N + 1.76) \text{ dB} \quad (1)$$

ここでNはビット数です。

したがって理想的な12ビット・コンバータではSNR=74dBとなります。

ADCからの出力スペクトルは非常に低い歪み率の正弦波信号をV_{IN}に入力し、66kHzのレートでサンプリングすることにより評価します。高速フーリエ変換 (FFT) のグラフを作成し、SNRデータを求めることができます。図12にAD7880の入力信号2.5kHz、サンプリング周波数61kHz時の2048ポイントFFTの代表的特性を示します。この図から得られるSNRは73dBです。SNRの計算には、高調波も考慮していることに注意ください。

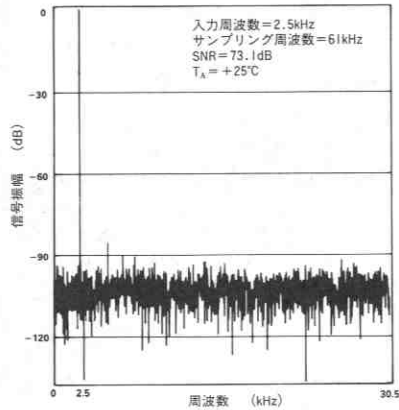


図12. AD7880のFFTグラフ

有効ビット数

(1)式ではビット数とSNRの関係が示されています。以下のように(1)式を変形して(2)式とすることによって、測定された特性を有効ビット数 (N) で表わすことができます。

$$N = \frac{SNR - 1.76}{6.02} \quad (2)$$

デバイスについての有効ビット数は、SNRの測定値から直接計算することができます。

図13に、サンプリング周波数61kHz時のAD7880の有効ビット数の代表的な周波数特性を示します。12kHzまでの周波数では有効ビット数の代表値は11.5以上に落着きます。

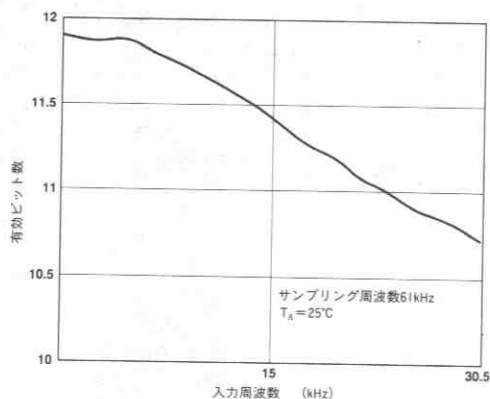


図13. 有効ビット数の周波数特性

全高調波歪み (THD)

全高調波歪み (THD) は高調波のrmsの和と基本波のrms値との比です。AD7880ではTHDは以下のように定義されます。

$$\text{THD} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1} \quad (3)$$

ここで V_1 は基本波のrms振幅、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は第2から第6までの高調波のrms振幅です。THDはADC出力スペクトルのFFTグラフからも得られます。

相互変調歪み

どのようなアクティブ・デバイスでも f_a と f_b の2つの周波数の正弦波から成る入力を与えた場合、周波数の和と差で表わされる歪み積、すなわち $m f_a \pm n f_b$ ($m, n = 0, 1, 2, 3 \dots$) を生成します。そのうち m と n がともに0でないものを相互変調項といいます。例えば2次項は $(f_a + f_b)$ と $(f_a - f_b)$ 、3次項は $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ および $(f_a - 2f_b)$ となります。

2つの入力周波数として入力帯域幅の上限に近い周波数が使われるCCIF規格を用いた場合、2次項と3次項は異なる重要性をもちます。2次項が周波数で通常元の正弦波から離れるのに対し、3次項は通常入力周波数に近い周波数となります。そこで、2次項と3次項は別々に規定されます。相互変調歪みの計算方法はTHD仕様と同じですが、ただ個々の歪み積のrms合計と基本波のrms値の比をdBで表わしたものとなります。この場合、入力は大ききの等しい2つの低歪み正弦波から構成されます。図14はAD7880の標準的なIMDグラフを示したものです。

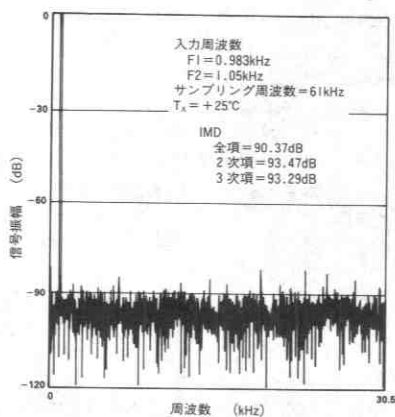


図14. IMDグラフ

ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズはADC出力スペクトルにおいて (FS/2までの周波数、DCを除く) 次に大きな成分のrms値と基本波のrms値との比です。通常、この仕様の値はスペクトル内の最大高調波によって決まりますが、高調波がノイズ・フロアに埋もれてしまうような場合、ピークがノイズのピークとなります。

マイクロプロセッサ・インタフェース

AD7880はその高速バス・タイミングにより、リアルタイムDSPプロセッサや最新の高速16ビット・マイクロプロセッサと直接接続できます。適切なマイクロプロセッサ・インタフェースを図15～20に示します。

AD7880とADSP-2100のインタフェース

図15にAD7880とADSP-2100とのインタフェースを示します。CONVST入力をマイクロプロセッサと非同期にタイマで駆動することで変換を開始します。このことにより、非常に正確なサンプリング間隔が得られます。変換が終了したとき、AD7880のBUSY信号がHIとなります。BUSY出力はインバータを介してIRQをLOWとし、変換終了時にADSP-2100に割込みがかかります。変換結果はAD7880からADSP-2100に以下の命令により読出されます。

MR 0 = DM (ADC)

ここでMR 0 はADSP-2100のMR0レジスタで、ADCはAD7880のアドレスです。

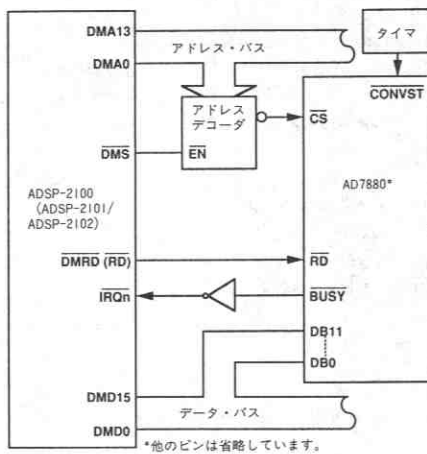


図15. AD7880 - ADSP-2100 (ADSP-2101/ADSP-2102) インタフェース

AD7880とADSP-2101/ADSP-2102のインタフェース

図15に示したインタフェースはAD7880とADSP-2101/ADSP-2102とのインタフェースでも使用できます。ADSP-2101/ADSP-2102のリード信号はRDです。このインタフェースではプロセッサのRDパルス幅はデータ・メモリ・ウェイト・ステート・コントロールレジスタでプログラムできます。変換結果を読出すために使用する命令はADSP-2100と同じです。

AD7880とTMS32010のインタフェース

AD7880とTMS32010のインタフェースを図16に示します。ここで変換開始は外部タイマにより行なわれ、変換が終了するとTMS32010に割込みがかかります。以下の命令によりAD7880から変換結果を読出します。

IN D, ADC

ここでDはデータ・メモリ・アドレス、ADCはAD7880のアドレスです。

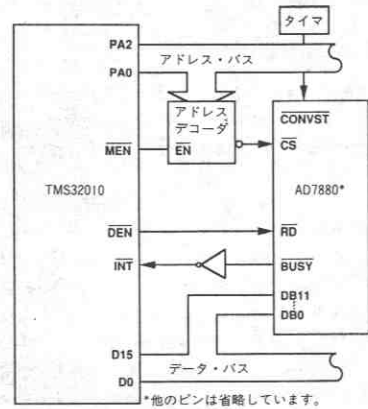


図16. AD7880とTMS32010のインタフェース

AD7880とTMS320C25のインタフェース

図17にAD7880とTMS320C25のインタフェースを示します。これまでに示した2つのインタフェース例と同様に、タイマにより変換が開始され、変換シーケンスが終了するとプロセッサに割込みがかかります。TMS320C25にはAD7880のRDを直接駆動できる独立したRD出力がありません。このため数個のロジック・ゲートを追加し、STRBとR/W出力によってRD信号を作ります。RD信号とMSC信号のORをとり、リード・サイクルの正しいインタフェースに必要な1 WAITステートを作り出します。変換結果は以下の命令によりAD7880から読出されます。

IN D, ADC

ここでDはデータ・メモリ・アドレス、ADCはAD7880のアドレスです。

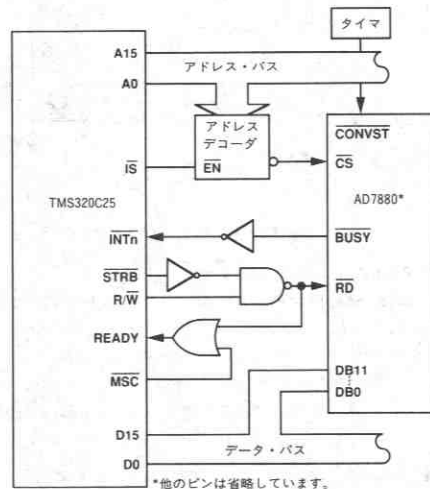


図17. AD7880とTMS320C25のインタフェース

応用によっては変換開始を外部タイマではなくマイクロプロセッサで行ないたい場合があります。このための1つの方法は、ライト動作で変換が開始されるようにAD7880のCONVSTをアドレス・バスのデコード出力で駆動することです。データの読出しは今までの例

と同様に交換終了後に行います。図19にこの方法によって交換を開始する例を示します。DSPにも同様の方法が使用できます。どんな場合でも交換中には読み出し動作を行なってはいけないことに注意してください。

AD7880とMC68000のインタフェース

AD7880とMC68000のインタフェースを図18に示します。これまでの例と同じように、外部タイマにより交換を開始させます。AD7880のBUSY出力によりプロセッサに割込みをかけることもできますし、あるいはソフトウェアによる遅延によってAD7880からの読み出しを行う前に交換が終了するようにすることもできます。68000の割込みの性質上、割込みが正しくかかるようにするため追加のロジックが必要です(図18には示していません)。68000の割込みに関して68000のユーザ・マニュアルを参照ください。

AD7880のために独立したRD信号を発生させるために、MC68000のASとR/W出力が使用できます。AD7880からの通常のリード動作ができるよう68000のDTACK入力の駆動にCSを使用します。交換結果は以下の68000の命令により読み出されます。

MOVE.W ADC, D0

ここでD0は68000のD0レジスタ、ADCはAD7880のアドレスです。

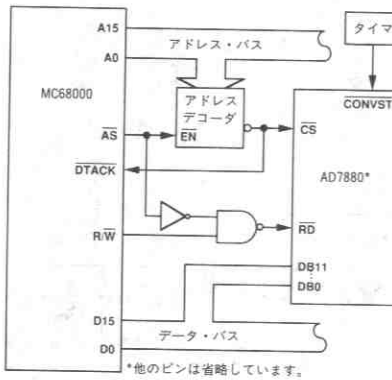


図18. AD7880とMC68000のインタフェース

AD7880と8086のインタフェース

図19にAD7880と8086マイクロプロセッサのインタフェースを示します。これまでのインタフェース例と異なり、マイクロプロセッサによって交換が開始されます。この方式は8086のWR信号と(AD7880のCSアドレスとは別の)アドレス・デコーダ出力をゲートすることで実現します。交換が終了するとデータは以下の命令によりAD7880から読み出されます。

MOV AX, ADC

ここでAXは8086のアクセムレータ、ADCはAD7880のアドレスです。

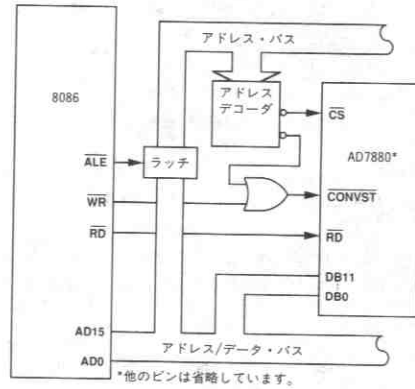


図19. AD7880と8086のインタフェース

AD7880と6809のインタフェース

AD7880は8ビット・マイクロプロセッサとも非常に簡単にインタフェースできます。AD7880の12ビットのデータ出力は8+4バイト形式として6809に読み込みます。図20にMC6809 8ビット・マイクロプロセッサとのインタフェースを示します。これまでの例と同様に外部タイマによって交換が開始されます。交換の終了時にBUSY信号によりワンショットをトリガし、その出力によりマイクロプロセッサのIRQ割込み入力を駆動します。その後、2個の独立アドレスからのダブル・リードが行われます。最初のリード動作により下位8ビット(DB0-DB7)が読み出され、上位4ビット(DB8-DB11)で74HC374ラッチをロードします。2回目のリード動作により、上位4ビットが読み出されます。

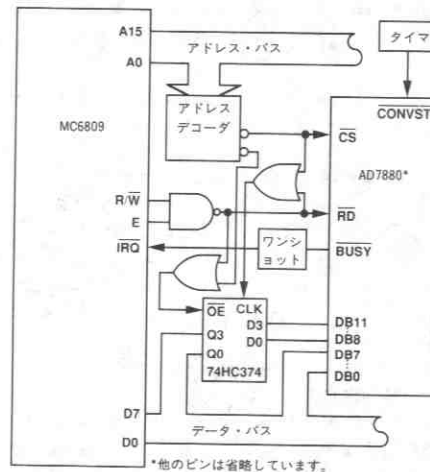


図20. AD7880-6809インタフェース

使用上の注意

高速のA/D変換機能を実現するためには、プリント回路基板(PCB)の適切なレイアウトが回路自体の設計と同様に重要です。AD7880は1.22mVのLSBサイズでビットの判定を行なう必要があります。これを実現するためには、A/Dコンバータ自体の他にA/Dコンバータの前後のアナログ回路のノイズにも十分に注意する必要があります。スイッチング・モード電源は、スイッチング・スパイクがコンパレータまでフィードスルーするため、コード遷移にノイズが入るので、推奨できません。グラウンド・ループとマイクロプロセッサからのデジタル・フィードスルーにも注意が必要です。これらはA/Dコンバータに影響を及ぼす原因であり、これらの影響を最小限に抑えるPCBレイアウトが最高の性能を実現するためには不可欠です。

レイアウト上の注意

プリント回路基板のレイアウトでは、デジタル信号ラインとアナログ信号ラインをできるだけ離してください。デジタル信号ラインがアナログ信号ラインに沿って走るようなことがないように注意します。アナログ入力はAGNDでガード(遮蔽)します。

ロジック・システム・グラウンドとは別に、AD7880のAGNDピンまたはそれにできるだけ近い所にアナログの一点グラウンド(スタ

ーグラウンド)を設けます。他のすべてのグラウンドとAD7880のDGNDをこのアナログ・グラウンド点に接続します。その他のデジタル・グラウンドはこのアナログ・グラウンドに接続してはけません。

ADCの低ノイズ動作を実現するためには、アナログおよびデジタル電源のコモン・リターンを低インピーダンスにする必要があるため、これらのトラックのフォイル幅をできるだけ広くします。グラウンド・プレーンを使用すると、インピーダンス・パスを最小限に抑えるとともに、デジタル・ノイズからアナログ回路を遮蔽します。図26と27のレイアウト図ではアナログおよびデジタルのグラウンド・プレーンを備えており、これらはお互いに分離され、AD7880のAGNDピンのみで接続されています。

ノイズ

V_{IN} への入力信号リードとAGNDからの信号リターン・リードは入力ノイズのカップリングを最小限にするためできるだけ短くします。それが実現できないような応用では、ソースとADCとの間にシールド・ケーブルを用います。信号源とADCのグラウンド間に電位差があると、それが入力信号に誤差電圧となって現われるため、グラウンド回路のインピーダンスはできるだけ低くしなければなりません。

アナログ入力のバッファ

定格性能を実現するためにはアナログ入力(V_{INA} 、 V_{INB})は低インピーダンスの信号源で駆動することを推奨します。このためには入力バッファ・アンプが必要です。オペアンプの選択は個々の応用と必要なアナログ入力範囲によります。本データ・シートに記載されているデータ収集回路では種々のオペアンプを使用できます。図21にアナログ入力バッファ回路を示します。

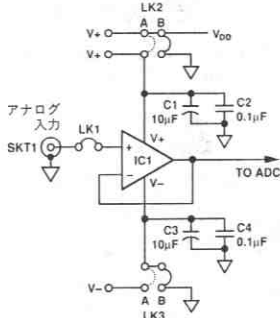


図21. アナログ入力のバッファ

オペアンプに供給する電源は以下ようになります。

単一の+5V (PCB 5V電源から得られます)

デュアル電源 (外部供給のV+とV-)

±5V、±12または±15V

最も簡単な設定は図5の0~5Vの範囲です。この回路では単一5V電源オペアンプの使用を推奨します。これにより外部のV+とV-電源なしにAD7880で0~5Vのユニポーラ範囲での動作を実現できます。5V電源はシステムの+5V V_{DD} 電源から供給します。

AD7880を0~10Vの入力範囲で駆動する必要がある場合には、V+に外部電源を接続する必要があります (図21参照)。

バイポーラ動作ではV+とV-にそれぞれ正と負の電源を供給する必要があります。

AD711はAD7880のアナログ入力の駆動に使用できる汎用オペアンプです。

パワー・ダウン制御 (MODE入力)

AD7880は最小の消費電力を実現しなければならないシステムのために設計してあります。これにはハンドヘルド、ポータブルのバッテリー電源システム、リモート測定システムなどがあります。AD7880では通常動作時でも20mW typと低消費電力ですが、変換動作の必要のない時にはパワー・ダウンまたはスリープ・モードにすることもできます。AD7880はパワー・ダウン・モードではおよそ2mWの電力しか消費しません。

AD7880は \overline{RD} 入力をHIにしたままMODE入力ピンをロジックLOWにすることでパワー・ダウン・モードになります。MODEが再びロジックHIになるまでパワー・ダウン・モードを続けます。MODE入力はCD4000またはHCMOSロジック・レベルで駆動する必要があります。

パワー・ダウン・モードから復帰し、AD7880からの変換データを読み出す前に1回のダミー変換を実行することを推奨します。この動作は内部ロジックと制御回路すべてをリセットするために必要です。例えば1秒のサンプリング間隔で10回の変換が必要な遠隔測定システムでは11回の追加の変換が実行されます。図22に、このような動作の消費電力の時間変化を示します。個々のサイクルの変換時間は $11 \times 15\mu s$ (ここで $15\mu s$ は一回の変換時間)で、 1.65×10^{-4} 秒となります。

したがって、

平均電力 = 電力 (変換時) + 電力 (パワー・ダウン時)

$$= \{20mW \times (1.65 \times 10^{-4}) / (10)\} + \{2mW \times (9.9998 / (10))\} = 2.029mW$$

となります。

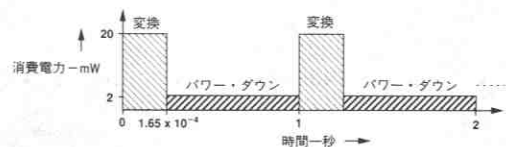


図22. 通常動作時とパワー・ダウン時の消費電力対時間

AD7880

データ収集ボード

図24にAD7880をデータ収集回路に使用した例を示します。この回路のプリント基板(PCB)のパターン図とシルク・スクリーンを図25~27に示します。

完全なデータ収集システムを実現するために必要な外付部品はアンチエリアシング・フィルタだけです。このフィルタや他の入力信号処理回路を組込めるよう、基板のアナログ入力の近くに部品グリッドを設けました。この選択を容易にするために、アナログ入力トラック上にショート・プラグ(LK1)を設けました。このショート・プラグを使用すればAD7880を駆動するバッファ・アンプに入力信号が接続されます。ショート・プラグを使用しない場合には、ワイヤ・リンクで入力信号をPCB部品グリッドに接続します。

インタフェース接続

このデータ収集ボードにはパラレル接続ポートSKT4が設けられています。これは26ピンIDCコネクタで、基板とマイクロプロセッサのダイレクト接続に使用します。このコネクタのピン配置を図23に示します。このコネクタにはAD7880のデータ、制御、そしてステータス信号のすべてが接続されます(ただしCONVST入力とCLKIN入力はそれぞれSKT2とSKT3を通して)。TMS320C25やモトロー社の68000シリーズなど多くのマイクロプロセッサとのインタフェースに必要なデコードされたR/WとSTRB入力も含まれています。ショート・プラグLK7によりRDを直接接続するかデコードされた信号とするかの選択を行ないます。AD7880のCS入力はAD7880の評価ボードに入力する前にデコードする必要があります。

SKT1、SKT2、SKT3は3個のサブミニチュア・コネクタ(SMC)で、それぞれアナログ入力、CONVST入力、CLKIN入力の入力接続用です。LK4のA、B、またはCのショート・プラグの選択によりAD7880の3種の入力範囲のどれかを選ぶことができます。Aは図5の0~5Vのユニポーラ設定、Bは図7の±5Vのバイポーラ設定、Cは図6の0~+10Vのユニポーラ設定に対応します。

電源の接続

この基板には単一の5V電源(V_{DD})が必要です。良好なデカップリングを行えば、AD7880のV_{DD}の他にV_{REF}入力、そしてオペアンプの電源としても使用できます。バイポーラ±5Vやユニポーラ0~+10Vの入力範囲が必要な場合には、外付オペアンプ電源(±15V、±12V、±5Vなど)の供給のためV₊とV₋を使用することができます。ショート・プラグLK2とLK3によりユーザー選択のオペアンプ電源またはオンボードの単一+5V電源の選択ができます。

ショート・プラグ・オプション

この基板を使用する前に、7つのショート・プラグの設定を行なう必要があります。それらを以下に説明します。

- LK1 アナログ入力をバッファ・アンプに接続します。また、アナログ入力は信号調整処理のために、部品グリッドに接続することもできます。
- LK2、LK3 AD7880の入力バッファに使用するオペアンプの電源の選択を行ないます。V₊とV₋に外部電源を接続します。単一電源オペアンプの場合にはAD7880の+5Vシステム電源とAGNDを選択できます。
- LK4 0~5V、0~10V、±5Vのアナログ入力範囲を設定

- LK5 AD7880のV_{REF}リファレンス入力の選択を行ないます。通常はV_{DD}に接続します。外部リファレンスも接続できます。
- LK6 パワー・ダウンあるいはスリープ・モードを選択します。通常動作ではV_{DD}に接続されます。
- LK7 AD7880のRD入力をSKT4のRD入力を直接接続するか、デコードされたSTRBとR/W入力を接続します。このショート・プラグの設定はマイクロプロセッサの種類によります。例えばTMS320C25ではデコードされたRD信号が必要です。

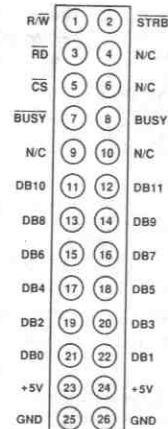


図23. IDCコネクタSKT4のピン配置

部品リスト

IC1	オペアンプ*
IC2	AD7880
IC3	74HC00クワッドNANDゲート
C1、C3、C5	10μFコンデンサ
C2、C4、C6、C7	0.1μFコンデンサ
R1、R2	10kΩプルアップ抵抗
LK1、LK2、LK3	ショート・プラグ
LK4、LK5、LK6、LK7	
SKT1、SKT2、SKT3	サブミニチュア・コネクタ
	部品番号: Sealectro 50-051-0000
	(ソケット)
	Sealectro 50-007-0000
	(プラグ)
SKT4	26ピン(2列)IDCコネクタ

注 「アナログ入力のバッファ」の項を参照のこと。

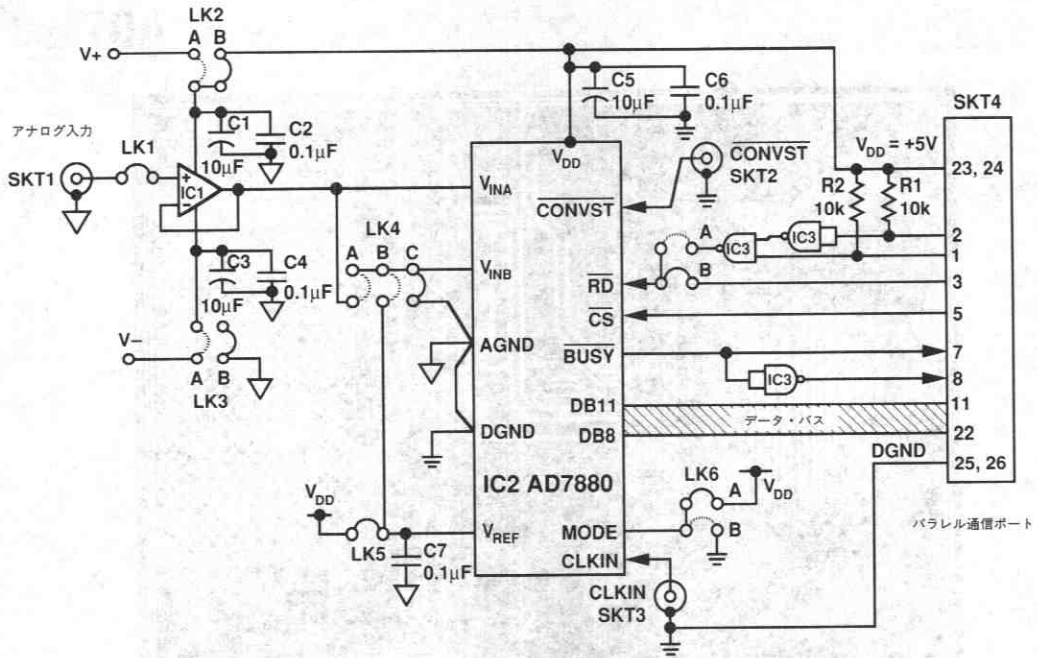


図24. AD7880を使用したデータ収集回路

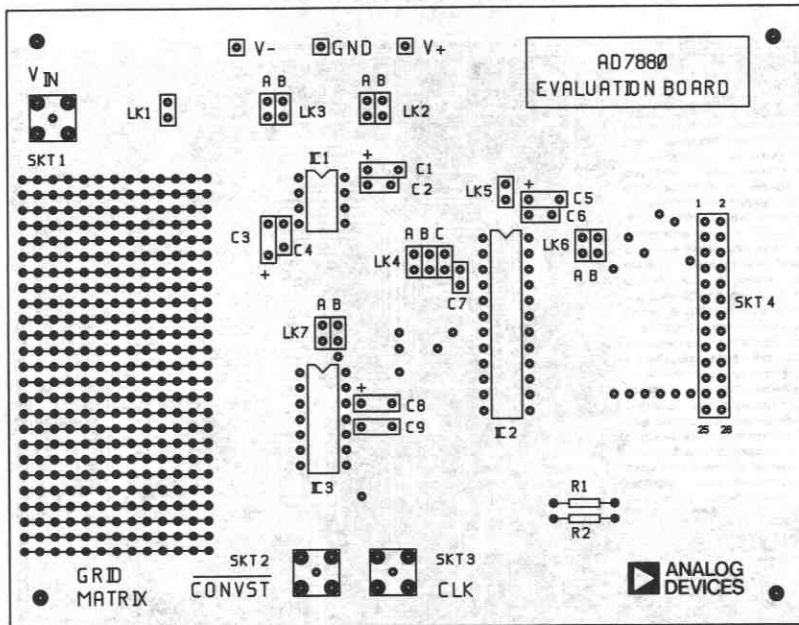


図25. 図24のPCBシルクスクリーン

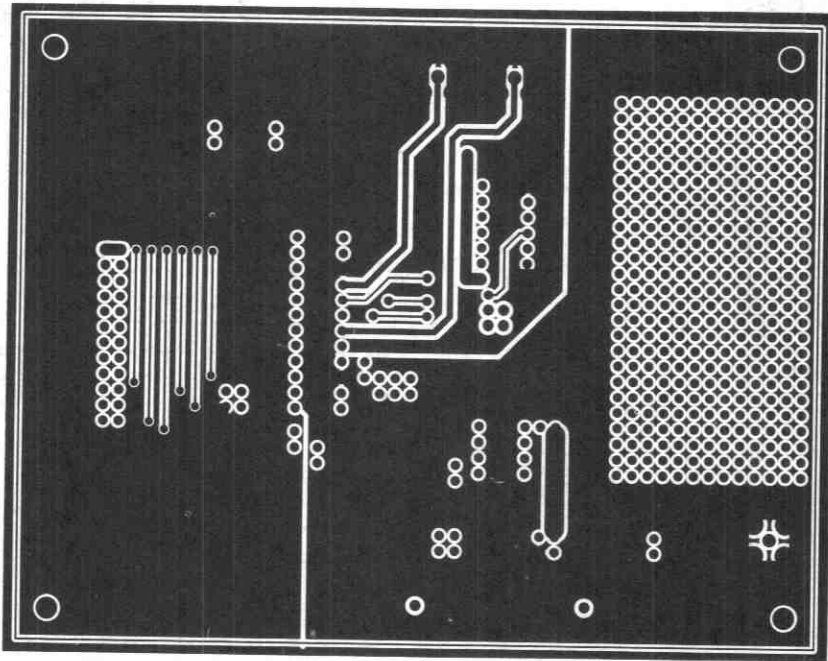


図26. 図24のPCB部品面レイアウト

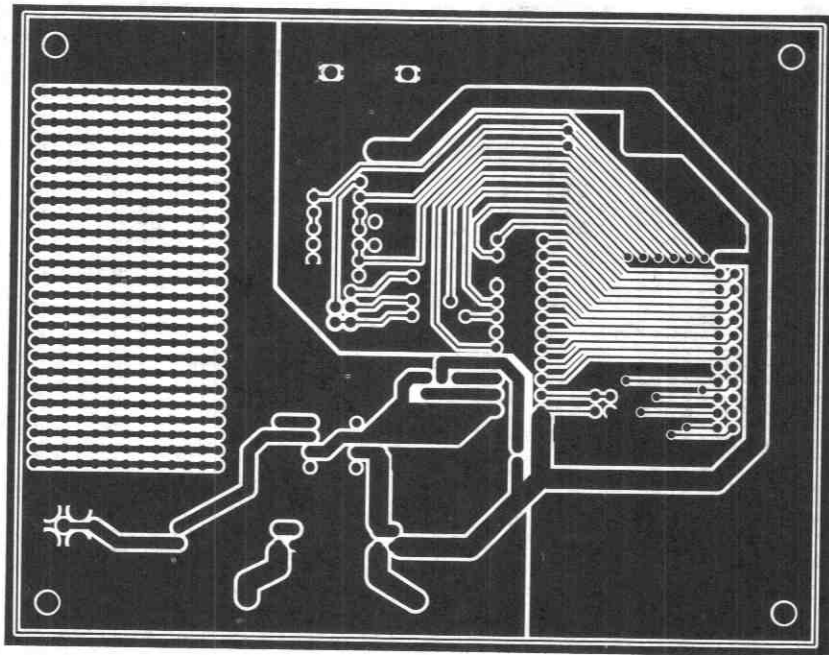


図27. 図24のPCBハンダ面レイアウト

特長

- サンプリング・レート：10MSPS
- スプリアス・フリー・ダイナミック・レンジ：92dB (A_{IN} 2.3MHz)
- 88dB (A_{IN} 4.3MHz)、72dB (A_{IN} 10MHz)
- 低い相互変調歪み：-95dBFS (2.3MHz)
- SNR：75dB
- 差動エンコード・クロック
- 全機能を内蔵したサブシステム

応用

- レーダ信号解析
- 可視および赤外線画像処理
- FFTスペクトラム・アナライザ
- 医療用画像処理
- SIGINT/ECM/EW

概要

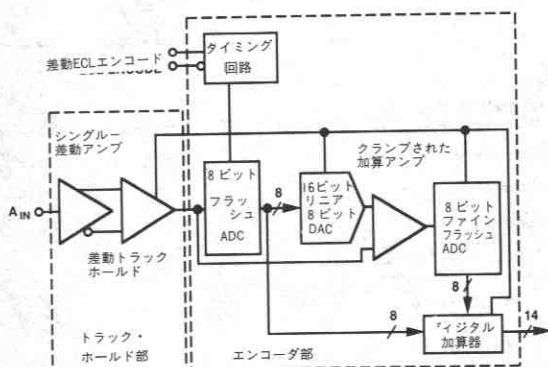
AD9014は、周波数分析や画像処理应用のために、非常に広いダイナミック・レンジを得ることができるように設計された高性能14ビットA/Dコンバータです。このデバイスは、外部からは電源とエンコード・クロックだけしか必要としない全機能を内蔵したサブシステムです。

コンバータ設計への細心の配慮と、数個のカスタム・リニアおよびデジタルICを使用した部品の開発により非常に優れたダイナミック・レンジを持つコンバータを実現しました。10MSPSのサンプリング・レートで、下表のようにスプリアス・フリーのダイナミック・レンジ (SFDR) はアナログ入力周波数の関数となっています。

アナログ入力	SFDR
100kHz	90dB (min)
2.3MHz	90dB (min)
4.3MHz	86dB (min)
10MHz	72dB (typ)

AD9014のDNLは0.5LSB、0.01%への過渡応答は30ns、フルパワー・バンド幅は50MHz、S/N比は75dBです。これらの諸特性により、AD9014はCCDおよび赤外線画像などの比較的低い周波数のアナログ入力信号の高速サンプリング应用到に適しています。

AD9014の機能ブロック図



AD9014は小型の多層PCBにマウントされた2個のカスタム・ハイブリッドから構成されます。ハイブリッドの差動トラック・ホールドにより、変換前の段階での偶数次高調波の打ち消しと同相ノイズの抑圧を行ないます。2個目のハイブリッドは2つの8ビット・フラッシュ・コンバータと2ビットのオーバーラップ補正付きのデジタル補正サプレッシングA/Dエンコーダです。両方のハイブリッドとマザー・ボードにデカップリング・コンデンサが組み込んであります。このオンボードのデカップリング回路によりコンバータが簡単に使用できます。

AD9014は、複数のアナログ入力周波数について10MSPSのエンコード・レートで全数試験されています。それぞれの入力周波数について、さまざまな A_{IN} パワー・レベルでFFT試験が実施されています。低レベル入力信号のデジタル化の場合にもコンバータのダイナミック特性が保たれていることをこの方法で確認しています。

AD9014には2種類のバージョンがあります。AD9014Kは可能な限り高いスプリアス・フリー・ダイナミック・レンジ特性を必要とする应用到、AD9014Jは画像処理のような周波数領域でのデータがあまり重要でないような应用のために設計されています。AD9014へのアナログ入力信号はオンボードのSMAコネクタまたはコネクタに接続されたピン経由で入力できます。ロジックはECL、エンコード・クロックは差動ECLです。

特殊なご要望や应用到に関しては弊社にご相談ください。

仕様

絶対最大定格¹

電源電圧 ($\pm V_S$)	$\pm 18V$	デジタル入力電圧	$V_{EE} \sim +0.5V$
V_{CC} 電源電圧	$+6V$	デジタル出力電流	$4mA$
V_{EE} 電源電圧	$-6V$	動作温度範囲	$0^\circ C \sim +70^\circ C$
アナログ入力電圧 $V_{EE} \leq A_{IN} \leq V_{CC}$ (またはどちらか低い値)	$\pm 4V$	保管温度	$-65^\circ C \sim +150^\circ C$

電氣的仕様

(特に指定のない限り、 $\pm V_S = \pm 15V$ 、 $V_{CC} = +5V$ 、 $V_{EE} = -5.2V$ 、エンコード・レート = 10.0MSPSでの値)²

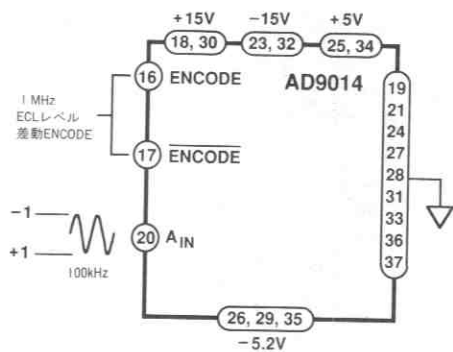
パラメータ (条件)	温度	AD9014J			AD9014K			単位
		Min	Typ	Max	Min	Typ	Max	
分解能	全範囲	14			14			ビット
LSBの重み	全範囲		0.122			0.122		mV
スタティック精度								
微分非直線性	+25°C		0.6			0.5		LSB
	全範囲		0.6			0.5		LSB
積分非直線性	+25°C		1.0			0.75		LSB
	全範囲		1.5			1.0		LSB
ノーマス・コード			保証			保証		
ゲイン誤差	+25°C		0.05	0.5		0.05	0.5	%FS
温度係数	全範囲		15			15		ppm/°C
オフセット誤差	+25°C		0.05	0.5		0.05	0.5	%FS
温度係数	全範囲		8			8		ppm/°C
アナログ入力								
入力電圧範囲	全範囲		± 1.0			± 1.0		V
入力抵抗	全範囲		75			75		Ω
入力容量 (SMA コネクタ) ³	+25°C		7			7		pF
フル・パワー入力帯域幅	全範囲		60			60		MHz
スイッチング特性								
変換レート ⁴	全範囲			10.00			10.00	MSPS
バイプライン遅延	全範囲		1			1		クロック・サイクル
出力データ遅延 (t_{on}) ⁵	+25°C		30			30		ns
アンパチャ遅延	+25°C		4			4		ns
アンパチャ・ジッタ	+25°C		1.5			1.5		ps rms
ダイナミック特性 ^{6,7}								
過渡応答 (0.01% に対して)	+25°C		30			30		ns
過電圧回復時間 (1.5× から 0.01% に対して)	+25°C		100			100		ns
(1.5× から 0.0025% に対して)	+25°C		200			200		ns
高調波歪み (最悪値) ⁷								
$A_{IN} = 100kHz$	+25°C		-84			-90		dBFS
$A_{IN} = 2.3MHz$	+25°C		-84			-90		dBFS
$A_{IN} = 4.3MHz$	+25°C		-82			-86		dBFS
$A_{IN} = 10MHz$	+25°C		-72			-72		dBFS
S/N比								
$A_{IN} = 100kHz^8$	+25°C		75			75		dB
$A_{IN} = 2.3MHz^8$	+25°C		75			75		dB
2トーン相互変調歪み 2.3MHz & 2.4MHz (それぞれ -7dBFS)	+25°C		-84			-90		dBFS
エンコード入力 ⁹								
ロジック "1" 電圧	全範囲		-1.1			-1.1		V
ロジック "0" 電圧	全範囲			-1.5			-1.5	V
ロジック "1" 電流	全範囲		8			8		mA
ロジック "0" 電流	全範囲		8			8		mA
入力容量	+25°C		5			5		pF
エンコード・パルス幅	+25°C	10			10			ns
エンコード・パルス幅 (デューティ・サイクルの%)	+25°C			50			50	%

パラメータ (条件)	温度	AD9014J			AD9014K			単位
		Min	Typ	Max	Min	Typ	Max	
デジタル出力 ¹⁾								
ロジック "1" 電圧	全範囲	-1.1			-1.1			V
ロジック "0" 電圧	全範囲		-1.5			-1.5		V
ロジック・コード	全範囲	オフセット・バイナリ			オフセット・バイナリ			
電源								
+V _S 電源電圧	全範囲	+14.5	+15.0	+15.5	+14.5	+15.0	+15.5	V
+V _S 電源電流	全範囲		245			245		mA
-V _S 電源電圧	全範囲	-14.5	-15.0	-15.5	-14.5	-15.0	-15.5	V
-V _S 電源電流	全範囲		130			130		mA
V _{CC} 電源電圧	全範囲	+4.75	+5.0	+5.25	+4.75	+5.0	+5.25	V
V _{CC} 電源電流	全範囲		422			422		mA
V _{EE} 電源電圧	全範囲	-4.95	-5.2	-5.45	-4.95	-5.2	-5.45	V
V _{EE} 電源電流	全範囲		980			980		mA
消費電力 (動作時)	全範囲		12.8			12.8		W
電源変動除去比 (PSRR)								
+V _S ($\Delta V_S = \pm 0.5V$)	+25°C		0.02			0.02		%/%
-V _S ($\Delta V_S = \pm 0.5V$)	+25°C		0.01			0.01		%/%
V _{CC} ($\Delta V_{CC} = \pm 0.25V$)	+25°C		0.01			0.01		%/%
V _{EE} ($\Delta V_{EE} = \pm 0.25V$)	+25°C		0.01			0.01		%/%

- 注
- 絶対最大定格は個々に適用される制限値であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。
 - 500LFPMで空冷が行なわれています。
 - T/Hハイブリッドのアナログ入力ピンにおける容量値は2.0pFです。
 - 低スプリアス・レベルのユニットの供給に関しては弊社にお問い合わせ下さい。10.24MSPSのユニットも供給可能です。
 - エンコード・コマンド (ピン16) の立上りエッジからデータ出力の最終変化まで測定されています。
 - 製造試験中にはAD9014へのアナログ入力はオンボードのSMAコネクタ経由で加えられます。
 - Kグレイドのデバイスに関してはアナログ入力電力は-1dBFSから約-60dBFSまで変更され、複数のFFTが測定されています。この仕様はスプリアス・フリー・ダイナミック・レンジ (SFDR) と等しい値です。
 - ノイズとスプリアスを含みます。
 - 10K電圧レベルとコンパチブル。エンコード入力は50Ωの差動終端となっています。
 - 個々のデジタル出力は-5.2Vに2kΩ抵抗で終端され、1kΩの抵抗が出力に直列に入っています。データ・シート中の図を参照下さい。

AD9014のピン機能説明

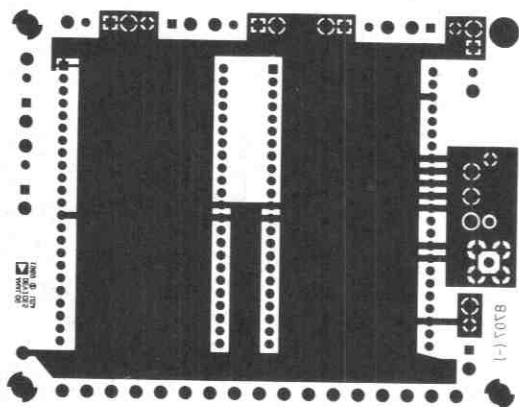
ピン	名称	機能
1	ビット14 (LSB)	ECL出力 (正論理)。個々のピンは2kΩの抵抗で-5.2Vに終端されており、制限付きのドライブ能力を持っています。この出力には1kΩの直列アイソレーション抵抗が接続されています。終端回路を外部に追加するとハイブリッド内部での電流スパイクを増加させ、A/D特性を劣化させます。これらのピンはAD9014にできるだけ近い位置でECLレシーバまたはラッチにインタフェースしなければなりません。正のフルスケールはオール1で表わされます。(データ・シートの中の等価回路を参照下さい)。
14	ビット1 (MSB)	ビット1 (負論理)。(上記を参照)
15	ビット1 (MSB)	ビット1 (負論理)。(上記を参照)
16	ENCODE	差動ECL ENCODE入力。内部で50Ω終端されています。最適の性能のためにはユーザの入力するENCODEコマンドは可能な限りジッタの小さなものでなければなりません。
17	ENCODE	アナログ電源ピン。AD9014にはデカップリング・コンデンサが内蔵されています。
18,30	+15V	アナログ・グラウンド。低インピーダンスのグラウンド・プレーンに接続します。
19,24,27	AGND	AD9014へのアナログ入力。入力インタフェースはSMAまたはこのピンで行なわれます。通常は75Ωの入力インピーダンスです (等価回路を参照)。
20	A _{IN}	信号グラウンド・リファレンス。信号源リファレンスに接続します。
21	AGND	信号グラウンド・リファレンス。信号源リファレンスに接続します。
22	AGND	信号グラウンド・リファレンス。信号源リファレンスに接続します。
23,32	-15V	アナログ電源ピン。AD9014にはデカップリング・コンデンサが内蔵されています。
25,34	+5V	V _{CC} アナログ電源ピン。AD9014にはデカップリング回路が内蔵されています。
26,35	-5.2V	V _{EE} アナログ電源ピン。AD9014にはデカップリング回路が内蔵されています。
31,33,36	AGND	アナログ・グラウンド。低インピーダンスのグラウンド・プレーンに接続します。
29	-5.2V	デジタルV _{EE} 電源ピン。
28,37	DGND	デジタル・グラウンド。低インピーダンスのグラウンド・プレーンに接続します。



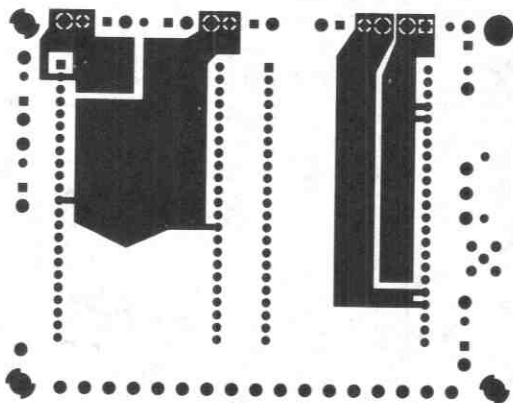
AD9014のバー・イン回路

AD9014のプリント基板レイアウト

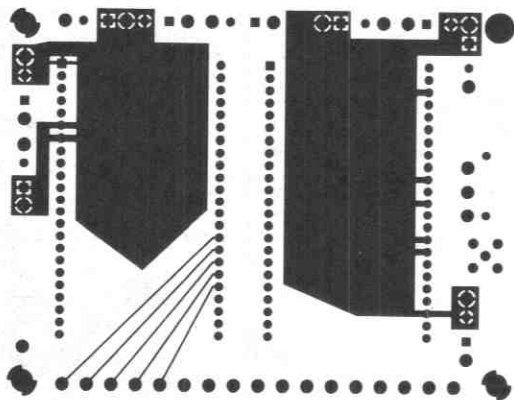
各層はすべて部品面（上側）から示しています。



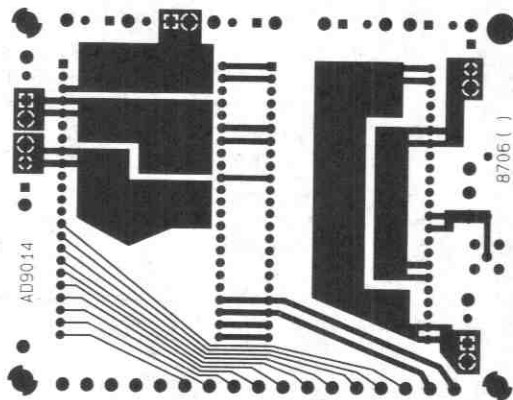
レイヤ 1 (下側)



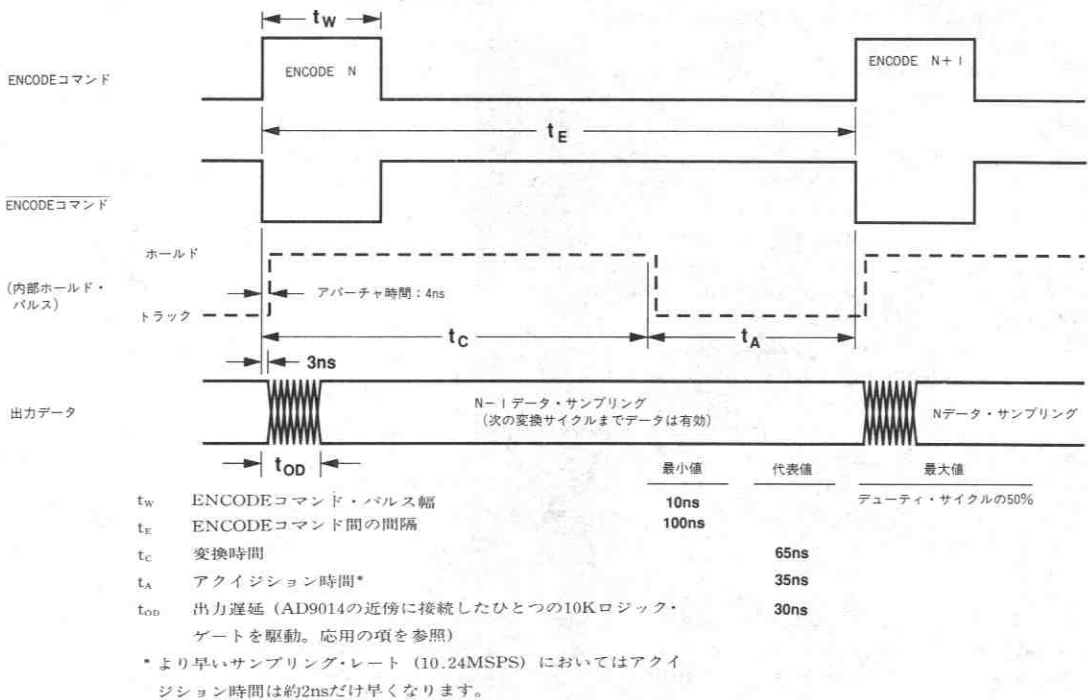
レイヤ 2



レイヤ 3



レイヤ 4 (上側)



AD9014のタイミング図

動作原理

AD9014は非常に広いダイナミック・レンジを実現した2ステップのサブレンジングA/Dコンバータです。主要なシステム・ブロックはシングル・差動変換アンプ、トラック・ホールド・アンプ、8ビット・メイン・レンジ (コース)・フラッシュADC、16ビット・リニア8ビットDAC、クランプされたモノリシック加算アンプ、8ビット・サブレンジ (ファイン) フラッシュADC、そしてデジタル加算ロジックです。

AD9014は小型の多層PCBにマウントされた2個の専用ハイブリッドから構成されます。これは両期的な設計手法、新しいカスタムチップ、薄膜抵抗のレーザ・トリミングを含む長年培われた製造プロセスの最適な組合せにより可能になりました。

サブレンジング方式は数多くのADCで使用され、高いサンプリング・レートで広いダイナミック・レンジが得られる効果的な方式として実証されてきました。簡単に説明すると、シングル・エンドのアナログ入力信号はバランス差動信号に変換され、トラック・ホールド・アンプによってサンプル・ホールドされます。保持された電圧はメイン・レンジの8ビット・フラッシュA/Dコンバータでデジタル化されます。この結果の8ビット・ワードは16ビット・リニアリティを持つ8ビットDACにより再変換され、保持された信号値と高精度のクランプされた加算アンプで比較されます。2つの信号の差は次段の8ビット・フラッシュADCによりデジタル化されます。最終ステップでは2個の8ビット・ワードがデジタル加算ロジックにより合成されます。

AD9014のブロック図を参照下さい。トラック・ホールド・ハイブリッドは2つの機能を実行します。先づ非常に低歪みの差動アンプによってシングル・エンドのアナログ入力がバランスされた差動信

号に変換されます。AD9014の75Ωの入力インピーダンスはこのアンプの正帰還抵抗と見なすことができます。次にこの出力のバランス信号はエンコーダ部の入力のためサンプルされ、ホールドされます。

従来のADCではトラック・ホールド (T/H) は高調波と非高調波スプリアスの最も大きな原因でした。AD9014ではこれを改善する回路のためにおよそ半分の消費電力と2個のうち1個のハイブリッドをトラック・ホールド機能に割り当てています。偶数次高調波の打ち消しのため差動T/H方式が使用されています。アパーチャによって生じる高調波を最小にするため、サンプリング・スイッチ (ブリッジ) が2個のクロス・ループ・アンプにより駆動されます。AD9014のアクイジション時間はおよそ35nsです。

AD9014のT/Hで用いられている差動方式はエンコーダ部でも使用されています。スプリアスの発生を最小にし、同相ノイズを抑え、温度特性を改善するため、回路方式はすべて差動となっています。

10MSPSの変換レートを得るため2個の8ビット・フラッシュ・コンバータが使用されています。これらのコンバータはエンコード・コマンドを受け取ってから約8ns後にデータを出力します。メイン・レンジ・コンバータが上位ビットの変換をし、このデータは加算器回路とDACに加えられます。サブレンジ・コンバータにより下位ビット情報が得られます。デジタル補正ロジックでは2ビットのオーバーラップ・ビット (補正ビット) が使用され、2個の8ビット・ワードから14ビットのデジタル出力が作られます。

トラック・ホールドに加え、D/Aコンバータも大きなスプリアス源と見なされます。AD9014のDACでは独自の差動ダイオード・スイッチング電流源とレーザ・トリミングされた薄膜抵抗を使用しています。このことにより温度および時間に対しADCの特性が最適化されています。

本来、レーザ・トリミングされた薄抵抗は時間経過に対しては安定です。回路中の各抵抗の変動はそれに一致した逆向の温度特性の部品により補正されるため、どのような抵抗変動もユーザには無関係です。調整後のDACは16ビット精度までに対して約10nsでセトリングします。

DAC出力は保持された入力信号値とクランプされた加算アンプによって比較されます。このアンプは10V/Vのゲインに設定され、サブレンジ8ビット・フラッシュ・コンバータを駆動します。このADCは35nsでセトリングし、オーバドライブに対し5nsで安定します。このアンプのセトリング時間はAD9014の最大サンプリングレートに影響を与える大きな要素となっています。

大きなスプリアス源のうち最後のものは2個のフラッシュ・コンバータの非直線性です。メイン・レンジ・コンバータの微分非直線性誤差 (DNL) と積分非直線性誤差 (INL) により、誤差補正がどの程度使用されるかが決まります。

サブレンジ・コンバータのINLは十分に大きければ、メイン・レンジ・コンバータの非直線性がAD9014のデジタル補正サブレンジ点のDNLを決定します。メイン・レンジ・コンバータのリニアリティが十分ならば、サブレンジ・コンバータのDNLがAD9014の全体的なDNLを決定します。本来、AD9014に使用されているフラッシュ・コンバータは直線的です。AD9014のシリコン基板はエンコーダ・ハイブリッドとして使用される前にプローブ・テストが行なわれ、スクリーニングされています。

メイン・レンジおよびサブレンジ・フラッシュ・コンバータからの2個の8ビット・デジタル・ワードは16ビット・レジスタにラッチされ加算されて、14ビット・デジタル出力となります。実際の誤差補正はこの加算器で行なわれます。アナログ入力が正負のフルスケールを越える場合にはそれぞれすべて1またはすべて0となり、変化しません。

AD9014の使用上の注意

AD9014 A/Dコンバータは可能な限り大きなダイナミック・レンジを実現することを留意して設計されています。すべてのユニットについて出荷前にダイナミック特性試験が行なわれています。弊社で測定された特性をユーザが容易に再現でき、応用を簡単にするためAD9014の設計には多大な注意が払われています。

新しく設計された電源プレーンとグラウンド・プレーン付きの「クリーン」なプリント回路基板 (PCB) が必須です。多層基板の使用を推奨します。試作段階でしばしば用いられるワイヤ・ラッピングは帯域特性を著しく劣化させます。AD9014の推奨接続図に示した値はこのユニットの応用の詳細を示します。

差動ENCODE入力の駆動

AD9014には差動ECLのエンコード信号が必要です。この信号は可能な限り「クリア」で高速 (100K ECLと同等) であり、ジッタを最小にしなければなりません。

エンコード・コマンド信号上に過大なジッタがあると、アナログ入力の基本波の「スカート」特性が広くなり、結果としてS/N比が劣化し、スカート内の情報を隠してしまいます。このことは高調波および非高調波成分の発生には影響しないため、周波数領域での応用では重要ではありません。

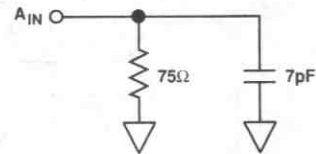
「クリア」な差動ECLエンコード信号を発生するための1つの方法は、次ページのAD9014の推奨接続図に示すように純粋な周波数成分で位相ノイズの低い正弦波でAD96687超高速ECLコンパレータを駆動することです。(HP8642AとRohde & Schwarz社SMHUのような信号発生器が使用できます。)

エンコード信号の経路には十分な考慮が必要です。コンパレータ

はAD9014に可能な限り近づけて配置すべきです。AD96687の入出力は可能な限り短くし、ユニットにおいて正しく終端しなければなりません。

アナログ入力インピーダンスのマッチング

動作原理の項で述べたようにトラック・ホールドの入力インピーダンスは75Ω || 7pFです。下図にこのインピーダンスを示します。



AD9014のアナログ入力回路

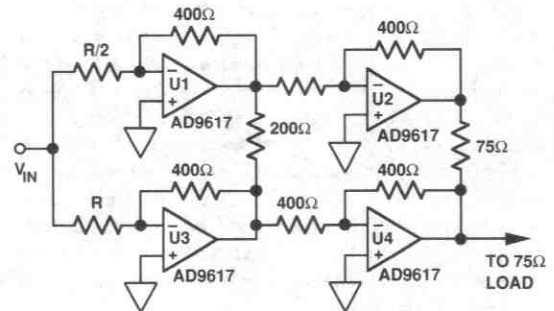
アナログ入力信号はSMAコネクタまたはピン20のどちらかを通してADCに入力できます。駆動信号源はADCの入インピーダンスとマッチングさせなければなりません。AD9014はピン20とピン21の間に適当な抵抗を接続することで50Ω系に設定することもできます。このオプションはオーダの際に部品番号に“-50”を付加することにより弊社で対応します。

アナログ入力の駆動

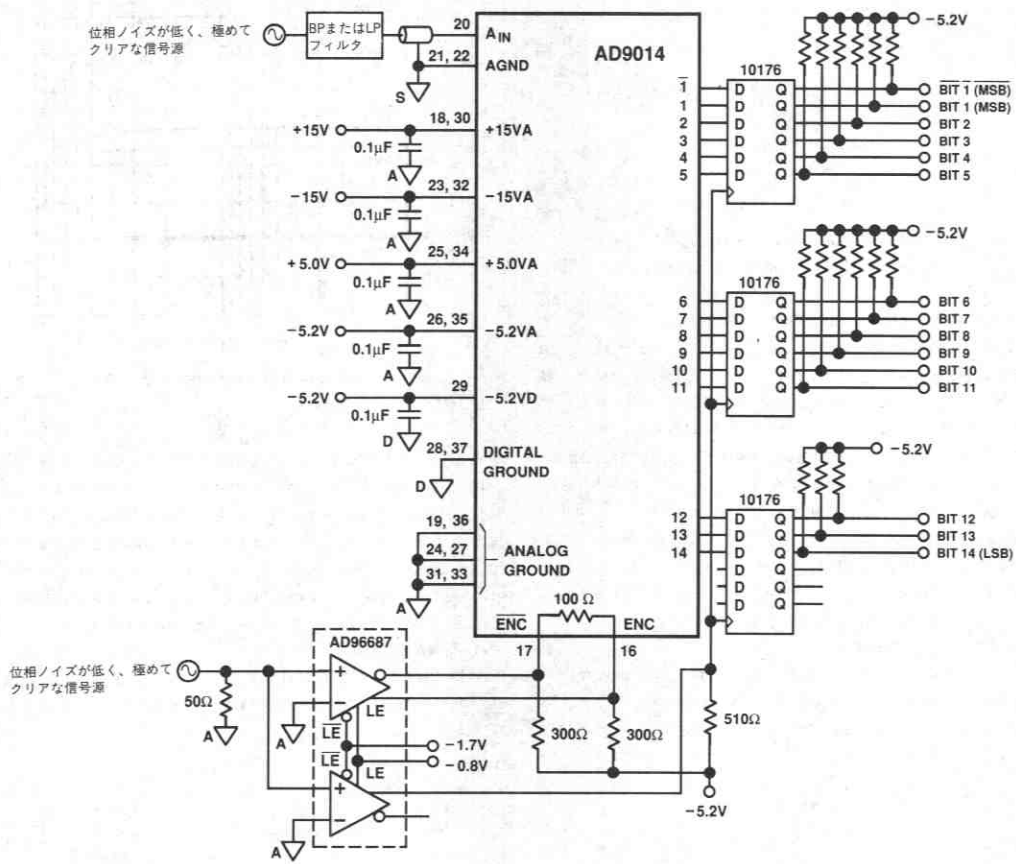
A/Dコンバータに到達する前にアナログ入力信号が劣化しないよう特別な注意が必要です。必要なフィルタ回路はAD9014に可能な限り近く、かつデジタル信号線から離れた位置に配置しなければなりません。

AD9014のフルスケール・アナログ入力範囲は9dBm (75Ωに対して±1V) です。多くの応用ではアナログ入力はそれよりもかなり低いレベルで、AD9014のフルスケール範囲に適合するよう増幅しなければなりません。この増幅のための最適な方法は個々の応用によって変わります。

周波数領域での応用でゲインが必要な場合には、下図に示す回路を推奨します。この接続はADC特性を劣化させるスプリアスを発生せず、10MHzまでのアナログ入力周波数で良好に動作します。2.3MHzで2V_{p-p}の入力で発生する全スプリアスは-100dBcです。この回路の出力はAD9014の75Ωの入力インピーダンスを駆動するように設定されています。ただしノイズ・フロアが約6dB上昇するため、S/N比が重要な応用ではこの回路を使用すべきではありません。



AD9014の低歪み駆動回路



AD9014の推奨接続

信号経路はU3とU4で、直列の反転接続によりゲイン帯域幅積が周波数に応じて減少する際に発生する偶数次高調波を打ち消すよう動作します。U1とU2はそれぞれU3とU4の駆動電流を減少させます。

U1とU2のゲインはU3とU4のゲインの2倍に設定されており、この影響で総合的にU3とU4の出力段は無負荷となります。この動作によりU3とU4の出力段に発生する偶数次高調波が取り除けます。

この回路の総合ゲインは+400Ω/Rで、入力インピーダンスはR/3となります。このアンプ回路の出力は75Ω負荷に対し1V_{p-p}となるよう設定されています。

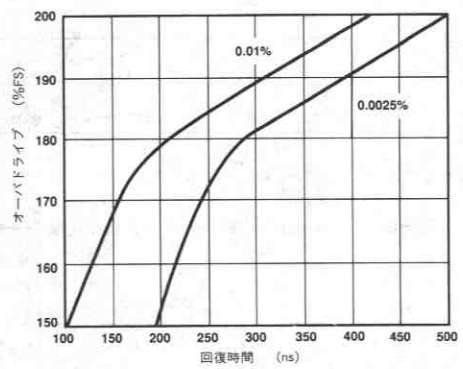
アナログ入力のオーバードライブ

AD9014に長期損傷を与えずに、12dB (±4V) までのレベルでのアナログ入力のオーバードライブが可能です。オーバードライブ時にはデジタル出力は極性に反応してすべて1または0になります。

コンバータが有効データに戻るまでの時間はオーバードライブの大きさの関数となり、この程度に応じて瞬間的な過電圧条件からの復帰時間が軽減されます。この特性を右図に示します。

デジタル出力データの処理

AD9014のデジタル・データ出力はECLコンパチブルです。プルダウン抵抗はエンコーダ・ハイブリッドの中に内蔵されています。またAD9014のアナログ部からデジタル出力を完全に分離するた

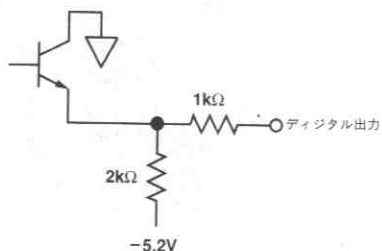


オーバードライブ回復時間

め1kΩの直列抵抗も内蔵されています。(モトローラ社のMECLシステム・デザイン・ハンドブック、第4版、27ページを参照。)

デジタル出力はAD9014に可能な限り近い位置でECLラッチャーレシーバに直接インタフェースしなければなりません。外部プルダ

ウン抵抗は必要ありません。これらは下図のようにAD9014に内蔵されています。



AD9014のデジタル出力回路
(15本の中の1本の例、MSBを含む)

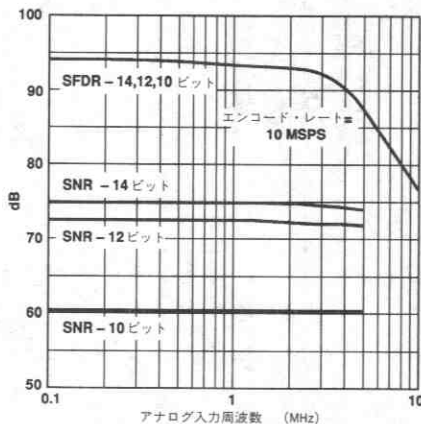
ナイキスト周波数を越える信号のデジタル化

AD9014はナイキスト周波数を越える信号のデジタル化にも使用できます。10MHzのフルスケール・アナログ入力においても、最も大きなスプリアスは第3高調波で標準値-72dBcです。アナログ入力レベルが6dB下がれば、第3高調波レベルは12dB下がり、ADCにより発生するすべてのスプリアスは-84dBFS typに保たれます。

任意に定義されるAD9014へのフルスケール電力レベルは-6dBFSまたは3dBmまでで、スプリアス・フリーのダイナミック・レンジを最低80dBに保ちながら10MHzまでの入力信号がデジタル化できます。この例ではビット1とビット2はオーバーフロー信号として使用され、コンバータからの14ビット出力はすべて有効であるため、全ビットを使用し処理しなければなりません。

14ビット以下の精度での使用

場合によってはAD9014の最下位ビットを使用しない場合があります。たとえば、以前に設計された10または12ビット・ワードを処理可能なDSPやバッファ・メモリを、AD9014を用いてシステムの再



AD9014の周波数対SFDRとS/N比

構成を行うことによって、大幅な改善を行なうことができます。

任意のA/Dコンバータのスプリアス・フリー・ダイナミック・レンジ(SFDR)はコンバータの直線性の関数となり、このコンバータ出力のビット数がノイズ・フロア・レベルに影響を与えます。内部で発生されたスプリアスのレベルはビット数を落としても増加しませんが、ビットが少なくなるに従ってノイズ・フロアは増加します。上図にAD9014のSFDRと処理ビット数の関係を示します。

ノイズ指数の計算

AD9014のノイズ指数は仕様表に示したデータから算出できます。デバイスを通過するアナログ信号のS/N比の低下として定義されています。



AD9014のデジタル・コーディング

AD9014はゲインをもたないため、ノイズ指数は入出力のノイズ・レベルを比較することによって計算できます。50Ω系のシステムでは入力ノイズはボルツマン定数、絶対温度、帯域幅を使用することで決定できます。室温で帯域幅1 Hzの場合にはこの値は-174 dBm/Hzとなります。

AD9014の出力におけるノイズ・レベルは規定されたS/N比75dBから算出できます。フルスケールのアナログ入力信号が+9dBmであるため、AD9014の出力ノイズ・レベルは5MHz帯域幅で-66dBmとなります。

ノイズ指数は以下の式で定義されます。

$$NF = \text{出力ノイズ} - 10 \log_{10} (BW_o / BW_i) - \text{入力ノイズ・レベル}$$

ここで $BW_o = 5\text{MHz}$ 、 $BW_i = 1\text{Hz}$ です。

AD9014ではノイズ指数の計算は以下のようになります。

$$NF = -66\text{dB} - 67\text{dB} - (-174\text{dB}) = 41\text{dB}$$

第3次インターセプト・ポイント

これまで、ミキサの第3次2トーン相互変調の規定では、測定結果の周波数が基本波信号に非常に接近しており、フィルタで除去することが困難なため、大きな問題がありました。AD9014では、差動

設計により2トーンIMDスプリアスの発生は最小になります。

任意の周波数におけるAD9014の2トーンIMDインターセプト・ポイントはIMDスプリアス・レベルの高調波抑圧比がわかれば（あるいは測定できれば）簡単に計算できます。本データ・シートの代表的特性の項で示したように、2.3MHzと2.4MHzの2dBm（-7dBFS）のアナログ入力トーンでは、関連したIMDスプリアスは2.2MHzと2.5MHzにあり、そのレベルは-95dBm（-102dBFS）となります。

このコンバータのインターセプト・ポイントは以下の式で定義されます。

$$\text{インターセプト・ポイント} = [\text{高調波抑圧比} / (N-1)] + \text{入力電力}$$

ここでNはIMDの次数（この場合3）

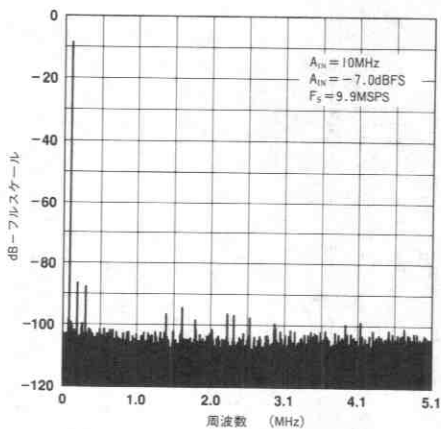
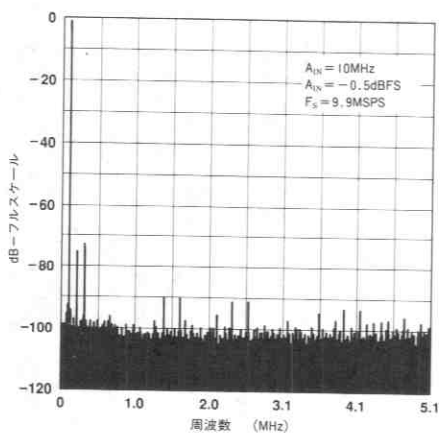
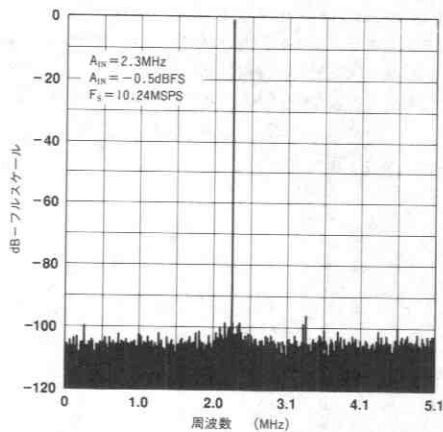
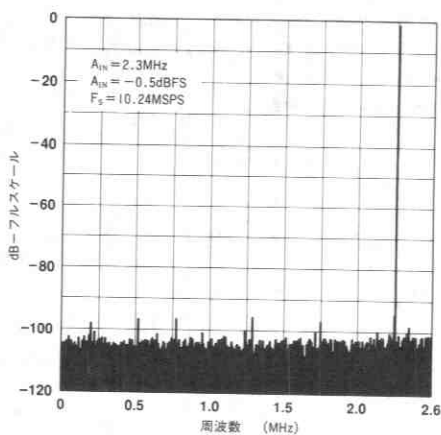
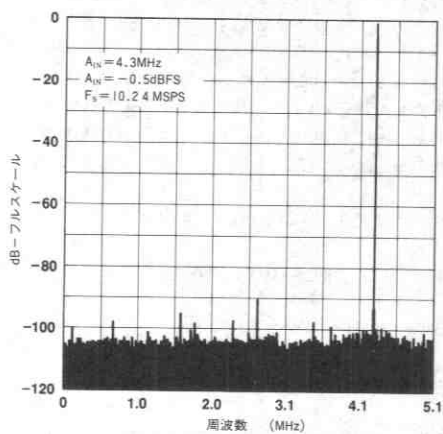
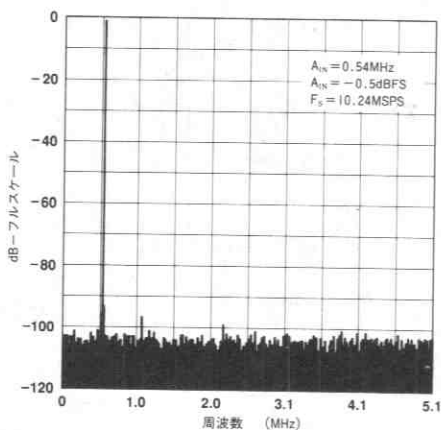
$$\begin{aligned} \text{AD9014のインターセプト・ポイント} &= 95/2 + 2\text{dBm} \\ &= 49.5\text{dBm} \end{aligned}$$

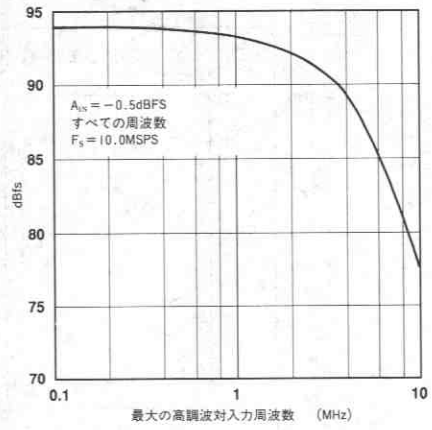
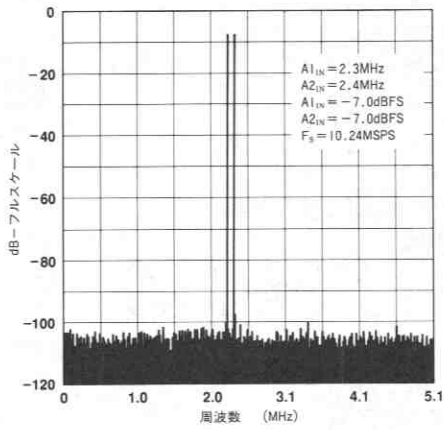
となります。

AD9014のインターセプト・ポイントはAD9014のトラック・ホールド・アンプの影響による測定値で、関係する周波数範囲とコンバータの規定されたフルスケール範囲の約10dBまでのアナログ入力値まで有効です。アナログ入力レベルが-10dBFS以下の場合にはエンコーダの非直線性は劣化する傾向となり、インターセプト・ポイントの概念は無効になります。

AD9014Kの標準的な周波数特性

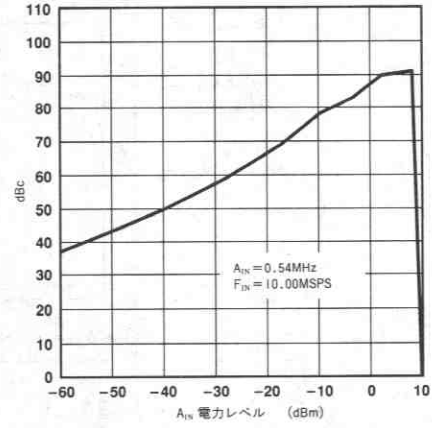
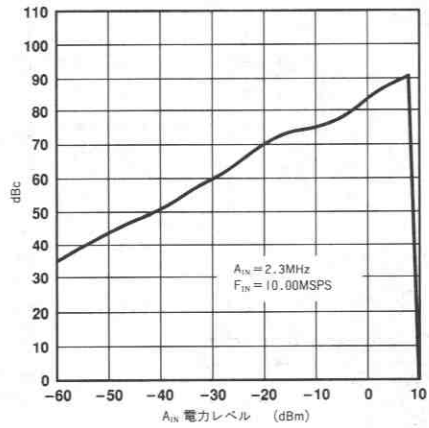
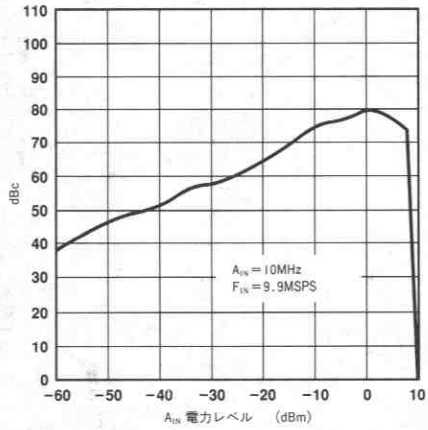
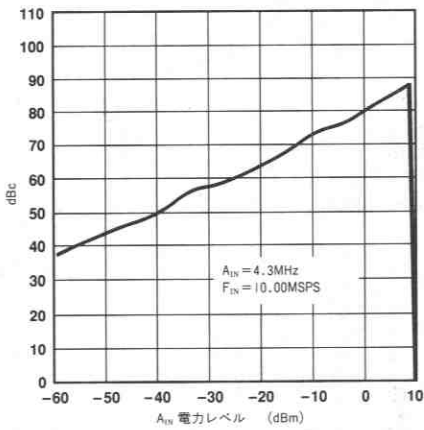
5回の8,192ポイントのFFTの平均値。すべての高調波はエアリングされています。



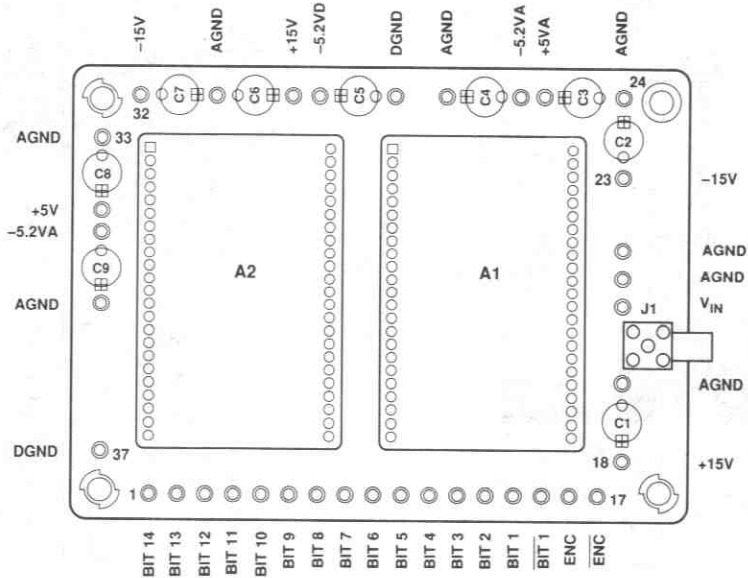


AD9014の標準的性能

スプリアス・フリー・ダイナミック・レンジ (SFDR) 対入力電力レベル



AD9014のピン配置



オーダ・ガイド

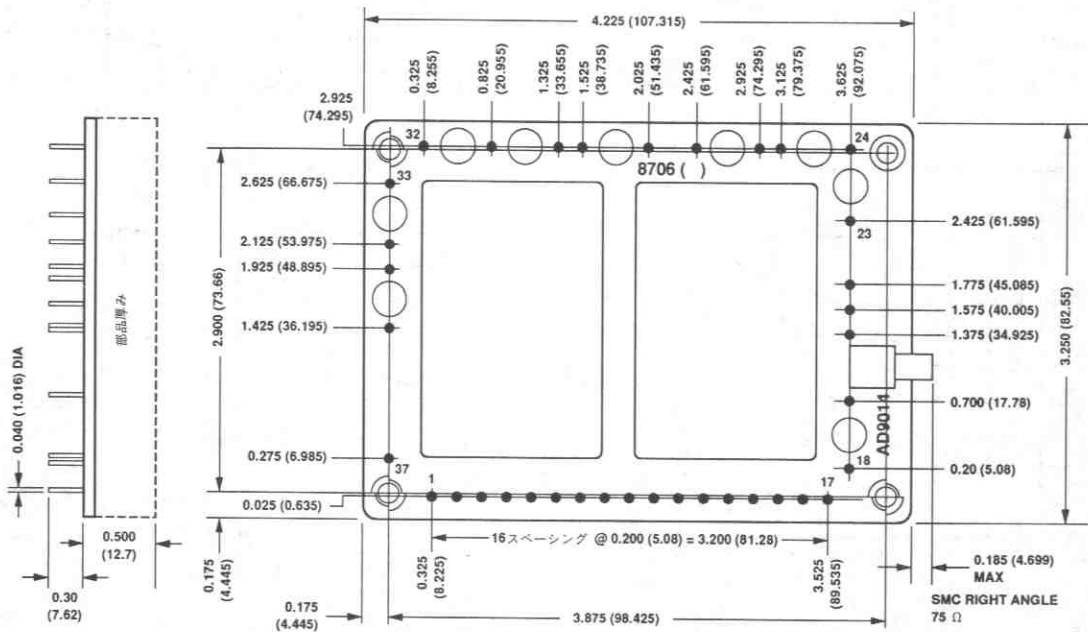
モデル*	温度範囲	SFDR
AD9014J	0°C ~ +70°C	84dB
AD9014K	0°C ~ +70°C	90dB

注

*入力インピーダンス50Ω製品に関しては部品番号に-50を付けて下さい。

外形サイズ

単位はインチと(mm)で示します。



特長

シングル・チップにマッチングのとれた2個のADCを内蔵

50MSPSの変換速度

リファレンス内蔵

低消費電力 (<1W)

低入力容量 (10pF)

電源電圧±5V

フレキシブルな入力レンジ

応用

通信用クワドラチャ復調器

デジタル・オシロスコープ

レーダ

概要

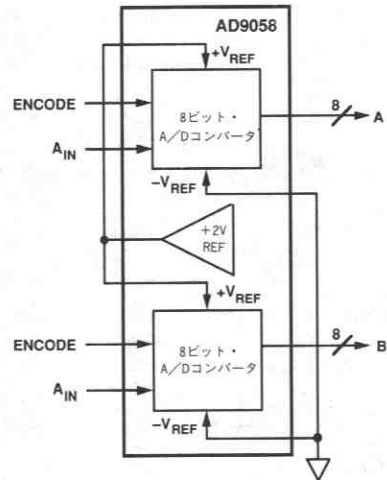
AD9058は、2つの独立した高性能8ビットA/DコンバータをモノリシックIC上に内蔵しています。内蔵電圧リファレンスとの組み合わせにより、AD9058は複数のADCを必要とするシステムにとってコスト的に非常に有効です。

ダイナミック特性 (S/N比、ENOB) は50MSPSの変換速度に対して最適化されています。独自のアーキテクチャによって低入力容量を実現し、高性能と低消費電力を実現しています (<0.5W/チャネル)。デジタル入出力はTTLコンパチブルです。

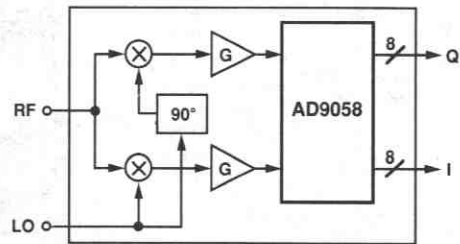
性能は2Vp-pのアナログ入力レンジで最適化されています (±1V: 0~+2V)。内蔵の+2V電圧リファレンスを用いることにより、AD9058を正のユニポーラ動作 (0~+2V) に設定することができます。この内部電圧リファレンスは、内蔵している2つのADCを駆動することができます。

一般用 (0~+70°C) および軍用 (-55~+125°C) の2種類の動作温度範囲に対応した製品を供給可能です。ハーメチック48ピンDIPおよび44ピン "J" リード・パッケージの製品を用意しています。

AD9058機能ブロック図



クワドラチャ・レシーバ



仕様

絶対最大定格¹⁾

アナログ入力	-1.5V ~ +2.5V
+V _S	+6V
-V _S	+0.8V ~ -6V ²⁾
デジタル入力	-0.5V ~ +V _S
デジタル出力電流	20mA
電圧リファレンス電流	53mA
+V _{REF}	+2.5V
-V _{REF}	-1.5V

動作温度範囲

AD9058JD/JJ/KD/KJ	0 ~ +70°C
AD9058TD/TJ/883	-55°C ~ +125°C

最大接合温度³⁾

AD9058JD/JJ/KD/KJ	+175°C
AD9058TD/TJ/883	+175°C

保管温度範囲

	-65°C ~ +150°C
--	----------------

リード温度 (ハンダ付け、10秒間)

	+300°C
--	--------

電気的特性 [特に指定のない限り、±V_S=±5V、V_{REF}=+2V (内部)、ENCODE=40MSPS、A_{IN}=0~+2V、-V_{REF}=グラウンド。]²⁾ 全仕様は2つのADCのいずれかに適用されます。

パラメータ (条件)	温度範囲	テスト・レベル	サブグループ ⁴⁾	AD9058JD/JJ			AD9058KD/KJ			AD9058TD/TJ/883			単位
				Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
分解能				8			8			8			ビット
DC精度													
微分非直線性	+25°C	I	7	0.25	0.65		0.25	0.5		0.25	0.5		LSB
	全範囲	VI	8		0.8			0.7			1.0		LSB
積分非直線性	+25°C	I	7	0.5	1.3		0.5	1.0		0.5	1.0		LSB
	全範囲	VI	8		1.4			1.25			1.25		LSB
ノーマス・コード	全範囲	VI	7,8	保証			保証			保証			
アナログ入力													
入力バイアス電流	+25°C	I	1	75	170		75	170		75	170		μA
	全範囲	VI	2,3		340			340			340		μA
入力抵抗	+25°C	I	1	12	28		12	28		12	28		kΩ
入力容量	+25°C	IV		10	15		10	15		10	15		pF
アナログ入力帯域幅	+25°C	V		175			175			175			MHz
リファレンス入力													
リファレンス・ラダー抵抗	+25°C	I	1	120	170	220	120	170	220	120	170	220	Ω
	全範囲	VI	2,3	80		270	80		270	80		270	Ω
ラダー温度係数	全範囲	V			0.45			0.45			0.45		Ω/°C
リファレンス・ラダー・オフセット (トップ)	+25°C	I	1	8	16		8	16		8	16		mV
	全範囲	VI	2,3		24			24			24		mV
リファレンス・ラダー・オフセット (ボトム)	+25°C	I	1	8	23		8	23		8	23		mV
	全範囲	VI	2,3		33			33			33		mV
オフセット・ドリフト係数	全範囲	V		50			50			50			μV/°C
内部電圧リファレンス													
リファレンス電圧	+25°C	I	1	1.95	2.0	2.20	1.95	2.0	2.20	1.95	2.0	2.20	V
	全範囲	VI	2,3	1.90		2.25	1.90		2.25	1.90		2.25	V
温度係数	全範囲	V			150			150			150		μV/°C
電源変動除去比 (PSRR)	+25°C	I	1	10	25		10	25		10	25		mV/V
スイッチング特性													
最大変換速度 ⁵⁾	+25°C	I	4	50			50	60		50	60		MSPS
アパーチャ遅延 (t _A)	+25°C	IV		0.1	0.8	1.5	0.1	0.8	1.5	0.1	0.8	1.5	ns
アパーチャ遅延マッチング	+25°C	IV			0.2	0.5		0.2	0.5		0.2	0.5	ns
アパーチャ不確実性 (ジッタ)	+25°C	V			10			10			10		ps, rms
出力遅延 (有効) (t _v) ⁶⁾	+25°C	I	9	8			5	8		5	8		ns
出力遅延 (t _v) 温度係数	全範囲	V			16			16			16		ps/°C
伝播遅延 (t _{PD}) ⁶⁾	+25°C	I	9	12			12	19		12	19		ns
伝播遅延 (t _{PD}) 温度係数	全範囲	V			-16			-16			-16		ps/°C
出力タイム・スキュー	+25°C	V		1			1			1			ns

パラメータ (条件)	温度範囲	テスト・レベル	サブグループ ⁴	AD9058JD/JJ			AD9058KD/KJ			AD9058TD/TJ/883			単位
				Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
エンコード入力													
ロジック "1" 電圧	全範囲	VI	1,2,3	2			2			2			V
ロジック "0" 電圧	全範囲	VI	1,2,3			0.8			0.8			0.8	V
ロジック "1" 電流	全範囲	VI	1,2,3		175	300		175	300		175	300	μA
ロジック "0" 電流	全範囲	VI	1,2,3		265	500		265	500		265	500	μA
入力容量	+25°C	V			5			5			5		pF
パルス幅 (HI)	+25°C	I	4		8			8			8		ns
パルス幅 (LOW)	+25°C	I	4		8			8			8		ns
ダイナミック性能													
過渡応答	+25°C	V			2			2			2		ns
過電圧回復時間	+25°C	V			2			2			2		ns
有効ビット数 (ENOB) ⁶													ビット
アナログ入力 @ 2.3MHz	+25°C	I	4		7.7			7.2	7.7		7.2	7.7	ビット
@ 10.3MHz	+25°C	I	4		7.4			7.1	7.4		7.1	7.4	ビット
S/N比 ⁷													dB
アナログ入力 @ 2.3MHz	+25°C	I	4		48			45	48		45	48	dB
@ 10.3MHz	+25°C	I	4		46			44	46		44	46	dB
S/N比 ⁷ (高調波を除く)													dB
アナログ入力 @ 2.3MHz	+25°C	I	4		48			46	48		46	48	dB
@ 10.3MHz	+25°C	I	4		47			45	47		45	47	dB
第2次高調波重み													dBc
アナログ入力 @ 2.3MHz	+25°C	I	4		58			48	58		48	58	dBc
@ 10.3MHz	+25°C	I	4		58			48	58		48	58	dBc
第3次高調波重み													dBc
アナログ入力 @ 2.3MHz	+25°C	I	4		58			50	58		50	58	dBc
@ 10.3MHz	+25°C	I	4		58			50	58		50	58	dBc
クロストーク除去比 ⁸	+25°C	IV			60			48	60		48	60	dBc
デジタル出力													
ロジック "1" 電圧 (I _{OH} = 2mA)	全範囲	VI	1,2,3	2.4			2.4			2.4			V
ロジック "0" 電圧 (I _{OL} = 2mA)	全範囲	VI	1,2,3			0.4			0.4			0.4	V
電源 ⁹													
+V _S 電源電流	全範囲	VI	1,2,3		127	154		127	154		127	161	mA
-V _S 電源電流	全範囲	VI	1,2,3		27	38		27	38		27	39	mA
消費電力	全範囲	VI	1,2,3		770	960		770	960		770	1000	mW

注

- 絶対最大定格は個々に適用される限界値であり、この値を越えた場合回路の機能動作が損なわれることがあります。これらの条件下における機能的動作を意味するものではありません。絶対最大定格の条件下にデバイスを長期間さらすと、デバイスの信頼性に影響を与えることがあります。
- V_Sより先に+V_Sが供給される場合や、+V_S電流が500mA以下に制限されていない回路では、デバイスの破壊を防止するために-V_Sとグラウンドとの間に逆バイアス・クランプ・ダイオードを挿入してください。詳しくは「AD9058の使用法」を参照してください。
- 熱抵抗の標準値は以下のとおりです。44ピン・ハーメチックJリード・セラミックパッケージ: θ_{JA} = 86.4°C/W, θ_{JC} = 24.9°C/W。48ピン・ハーメチックDIP: θ_{JA} = 40°C/W, θ_{JC} = 12°C/W。
- 軍用サブ・グループは、軍用グレードのデバイスにのみ適用されます。

- 5.変換速度を確保するため、各データ出力とグラウンドとの間に、2kΩのプルダウン抵抗を挿入して下さい。
- 6.48ピンDIP/D²パッケージのS/N比の規定値は、表に示した値よりも1dB小さくなります。ENOB規定値は0.3dB落ちます。S/N比、ENOBともにアナログ入力信号はフルスケールの1dB減衰値、仕様周波数において測定しています。
- 7.クロストーク除去比は、各チャネルに異なる周波数(2.3MHzと3.5MHz)のフルスケール信号を入力し測定しています。2つの信号は同期した40MSPSでエンコードされ、不要な周波数からのアイソレーションはFFTによって測定されています。
- 8.2つのA/Dを動作した場合の電力であり、内部ラダーでの消費を含みます。

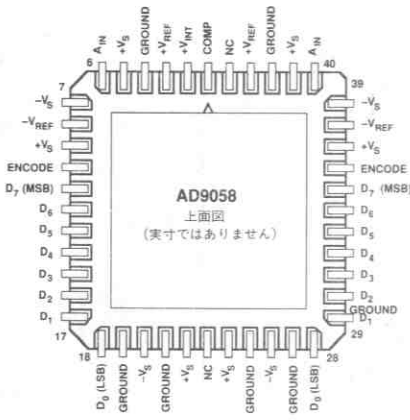
仕様は予告なしに変更することがあります。

軍用サブ・グループの説明

- サブ・グループ 1 - +25°Cでスタティック検査。
(高性能バージョンについては、サブ・グループ1に対し、5%PDAを算出。)
- サブ・グループ 2 - 最高定格温度でのスタティック検査。
- サブ・グループ 3 - 最低定格温度でのスタティック検査。
- サブ・グループ 4 - +25°Cでのダイナミック検査。
- サブ・グループ 5 - 最高定格温度でのダイナミック検査。
- サブ・グループ 6 - 最低定格温度でのダイナミック検査。
- サブ・グループ 7 - +25°Cでの機能検査。
- サブ・グループ 8 - 最高および最低定格動作温度での機能検査。
- サブ・グループ 9 - +25°Cでのスイッチング検査。
- サブ・グループ10 - 最高定格温度でのスイッチング検査。
- サブ・グループ11 - 最低定格温度でのスイッチング検査。
- サブ・グループ12 - 定期的なサンプリング検査。

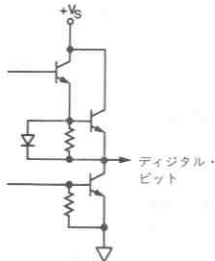
AD9058ピン説明

Jリード ピン番号		名称	機能	セラミックDIP ピン番号	
ADC-A	ADC-B			ADC-A	ADC-B
3	43	+V _{REF}	内部電圧リファレンス・ラダーのトップ	14	11
4	42	GROUND	アナログ・グラウンド	15	10
5	41	+V _S	+5Vアナログ正電源	16	9
6	40	A _{IN}	アナログ入力電圧	17	8
7	39	-V _S	-5V負電源	19	6
8	38	-V _{REF}	内部電圧リファレンス・ラダーのボトム	20	5
9	37	+V _S	+5Vデジタル正電源	22	3
10	36	ENCODE	TTLコンパチブル変換コマンド入力	23	2
11	35	D7(MSB)	TTLデジタル出力最上位ビット	25	48
12~17	34~29	D6~D1	TTLコンパチブル・デジタル出力ビット	26~31	47~42
18	28	D0(LSB)	TTLデジタル出力最下位ビット	32	41
19	27	GROUND	デジタル・グラウンド・リターン	21, 24, 33	1, 4, 40
20	26	-V _S	-5V負電源	34	39
21	25	GROUND	アナログ・グラウンド・リターン	35	38
22	24	+V _S	+5Vアナログ正電源	36	37
共通ピン				共通ピン	
1		COMP	外部補償用コンデンサ接続端子 (0.1μF)	12	
2		+V _{INT}	内部+2Vリファレンス；両ADCの+V _{REF} を駆動可能です。	13	

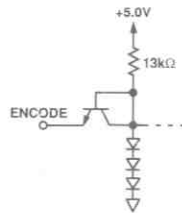


NC=接続なし

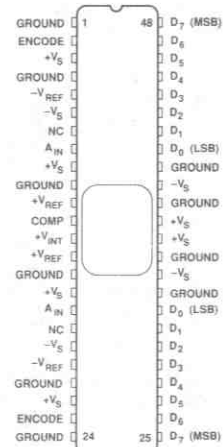
AD9058JJ/KJ/TJピン配置



AD9058 デジタル出力等価回路

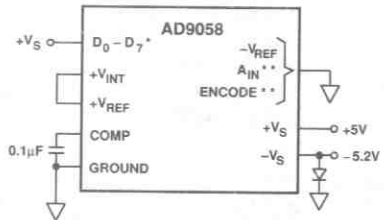


AD9058 エンコード入力等価回路



NC=接続なし

AD9058JD/KD/TDピン配置



*各ピンには2kΩの抵抗が接続されています。
**各ピンには100Ωの抵抗が接続されています。

AD9058 パワーイン回路

動作説明

AD9058は、単一のシリコン・チップ上に2つの独立した8ビット・アナログ・デジタル・コンバータ (ADC) を内蔵しています。2つのデバイスは、それぞれ個別のアナログ入力、電圧リファレンス、クロックによって独立に動作します。

従来のフラッシュ・コンバータでは、8ビット分解能の並列変換を行なうために256個の入力コンバータが必要でした。これに対し、AD9058は図1に示すような構造を用いています。

従来からの「フラッシュ型」あるいは「並列型」のコンバータと異なり、AD9058内の各ADCは独自の補間アーキテクチャを用いています。これにより、回路の単純化、チップの小型化、入力容量の減少が可能になりました。これらの利点は、変換を行なうための入力コンバータの数を一般的なフラッシュ型の構造に対して半減することにより可能となりました。

このデバイスでは、変換を行なうためのコンバータは、2つの独立したADCそれぞれに128 (2⁷) 個ずつしか用いていません。128個のコンバータにより上位7ビットが変換されます。最下位ビットの値は、デコード・レジスタ内の隣接するコンバータ間の補間を行なうことにより決定されます。この独自のデコード機構によってコンバータ出力を処理し、各ADCの出力レジスタに8ビット・コードを出力しています。また、この機構によって変換誤差も最小になります。

アナログ入力レンジは、電圧リファレンス (+V_{REF} と -V_{REF}) に入力される電圧で決まります。AD9058は内部電圧リファレンスを用いた際に、0 ~ +2Vのレンジに設定可能で、外部電圧リファレンスの使用時には、-1V ~ +2Vのレンジで動作可能です。外部リファレンスを用いた場合、入力レンジは2V_{P-P}に制限されます。内部抵抗ラダーは、入力された電圧リファレンスを、各ステップが2つの8ビット量子化レベルを表す

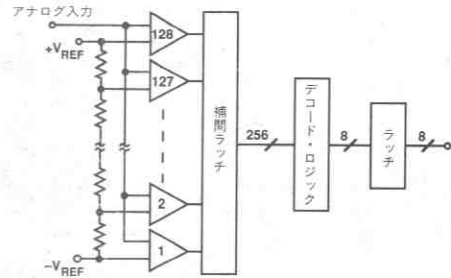


図1. AD9058のコンバータ・ブロック図

128ステップに分割します。

内部電圧リファレンス+V_{INT}は、両方のリファレンス・ラダーを駆動するのに十分な能力をもつバンドギャップ・リファレンスです。内部電圧リファレンスは、AD9058の2つのADCを正のユニポーラ動作 (0 ~ +2V) に駆動可能な+2Vリファレンスを供給します。

AD9058の使用法

図2を参照してください。

図に示すように内部電圧リファレンスを両方のADCに接続することにより、わずかな外付け部品数で完全なデータ・アクイジション・システムを構成することができます。この構成におけるADCの入力レンジは0 ~ +2Vレンジの正のユニポーラです。バイポーラ入力信号を用いる際には、AD9617やAD9618などの低歪みアンプを用いてバッファリングおよび増幅を行い、ADCの規定の入力レンジにオフセットします。

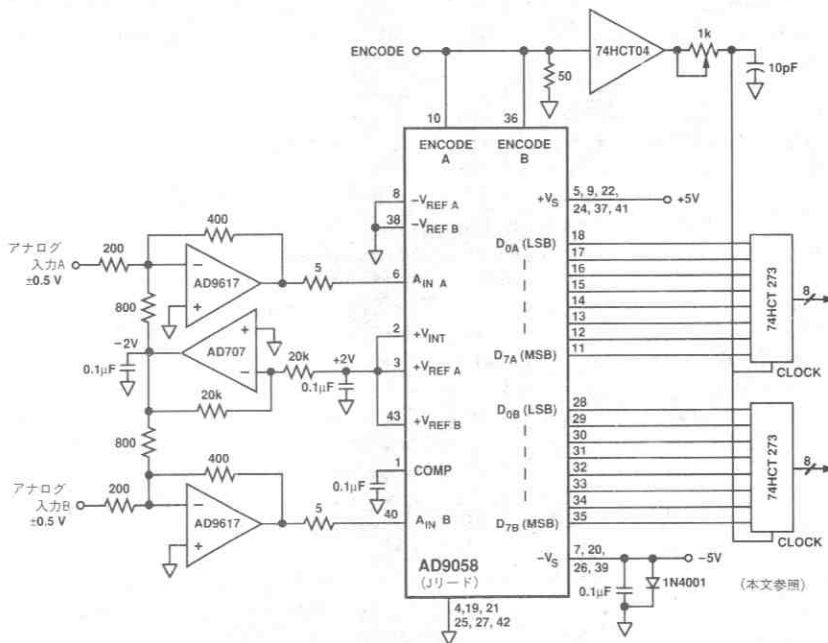


図2. +2V内部電圧リファレンスを用いたAD9058回路例

め、コスト、信頼性、スペースが重要なあらゆるシステムに有効です。システム毎のデバイスの使い方に応じて、異った仕様のパラメータが重要となります。

高密度デジタル無線通信では、一組の高速ADCによって変調信号の位相 (I) およびクワドラチャ (Q) 成分のデジタル化が行われます。この種のシステムでは、各ADCに現われる信号はコンバータのサンプリング周期と等しい周期で変化するメッセージに依存した振幅から構成されています。

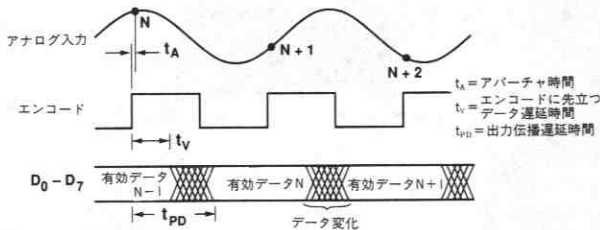


図4. AD9058 タイミング図

図5に、AD9058のアナログ入力がサンプル・クロックに関係して観察される様子を示します。S/N比、過渡応答、サンプリング速度は、このような「アイバターン」をデジタル化するために重要です。

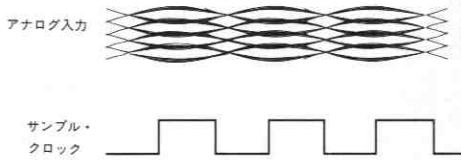


図5 AD9058のIおよびQ入力信号

受信感度はシステムのS/N比によって決まります。ADCのS/N比は周波数領域で測定し、高速フーリエ変換 (FFT) で求めます。S/N比とは、信号の基本波成分 (振幅のrms値) と雑音レベルのrms値との比率です。ノイズはDCを除いた、高調波歪みを含む他の周波数成分の和です。

エンコードされた瞬間のサンプリング信号が大きなスルー・レートをもたないとしても、ADCおよびシステムのダイナミック性能はやはり重要です。過渡応答とはステップ入力を与えられたとき、AD9058の出力が仕様精度に達するために必要な時間です。過電圧回復時間とは、オーバドライブされたアナログ入力信号が適正な入力範囲に戻った後、仕様精度に回復するために必要な時間です。

ADCの時間領域の性能は、デジタル・オシロスコープの応用においても極めて重要です。ADCの前段にトラック (サンプル) ・アンド・ホールドを用いているときの動作は、前に述べた受信機と同様です。

高周波入力に対するダイナミック応答は有効ビット数 (ENOB) で表わされます。有効ビット数は、正弦波曲線への適合性によって求められ、以下のように表現されます。

$$\text{ENOB} = N - \text{LOG}_2 [\text{誤差 (測定値)} / \text{誤差 (理想値)}]$$

ここでNは分解能 (ビット数) であり、誤差の測定値とは、純粋な正弦波の入力によるコンバータの出力から計算される実際のrms誤

差です。

最大変換レートはアナログ信号の最も低いテスト周波数のS/N比が保証されたリミット値よりも3dB以下になる変換レートとして定義されます。

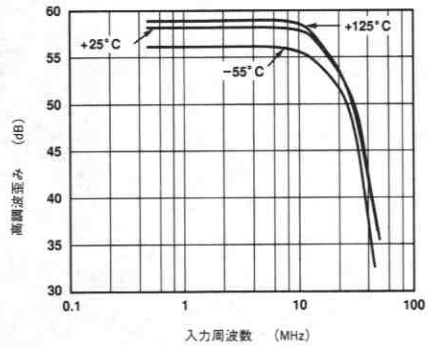


図6. 高調波歪み対アナログ入力周波数

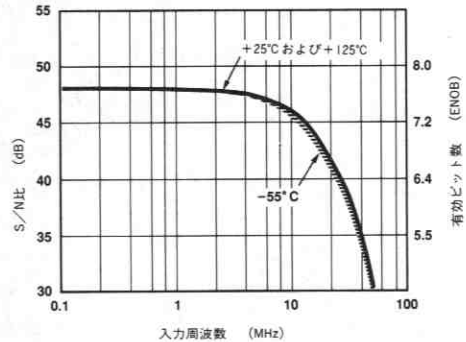
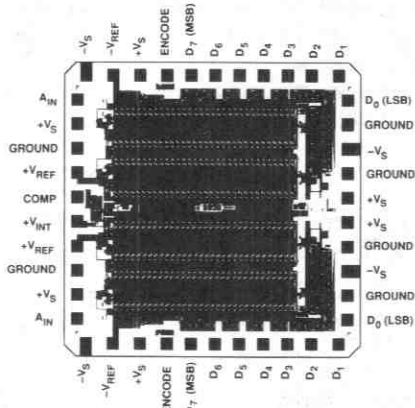


図7. AD9058ダイナミック性能対アナログ入力周波数

機構的データ

ダイ・サイズ106×108×15 (±2) mils
 パッド・サイズ4×4mils
 メタライゼーション金
 パッキングなし
 基板電位 $-V_S$
 パッシベーションナイトライド
 ダイ・アタッチ金共晶 (セラミック)
 ボンディング・ワイヤ ...1~1.3mil、金、金ボール・ボンディング



オーダー・ガイド

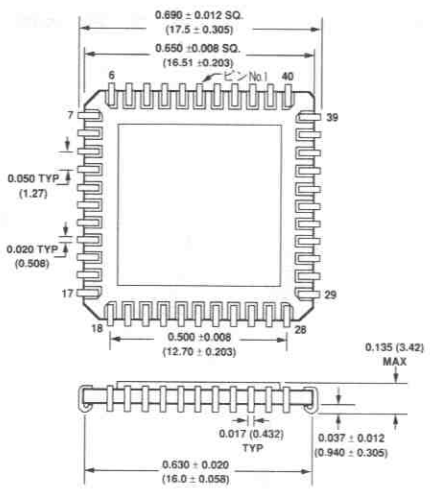
モデル	温度範囲	説明	パッケージ・オプション*
AD9058JJ	0~+70°C	44ピンリード・セラミック**	J-44
AD9058KJ	0~+70°C	44ピンリード・セラミック、ACテスト済み	J-44
AD9058TJ/883	-55~+125°C	44ピンリード・セラミック、ACテスト済み	J-44
AD9058JD	0~+70°C	48ピン・セラミックDIP	D-48
AD9058KD	0~+70°C	48ピン・セラミックDIP、ACテスト済み	D-48
AD9058TD/883	-55~+125°C	48ピン・セラミックDIP、ACテスト済み	D-48
AD9058/PCB	0~+70°C	AD9058評価用ボード (Jリード)	

*D=ハーメチック・セラミックDIPパッケージ、J=リード付きセラミック・パッケージ。
 **ハーメチック・シールド・セラミック・パッケージ、PLCCと同等のフットプリント

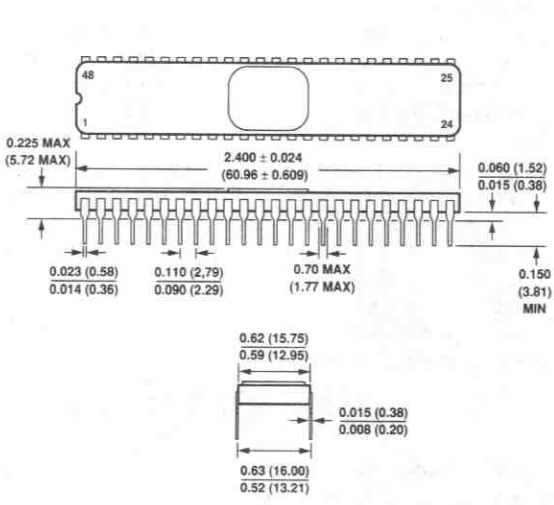
外形サイズ

サイズはインチと (mm) で示します。

44ピンリード・セラミック (J-44) パッケージ



48ピン・セラミックDIP (D-48) パッケージ



サンプル/トラック・ホールド・アンプ

目次

	ページ
セクション・ガイド	730
AD781 高速700nsサンプル・ホールド・アンプ	731
AD9100 超高速モノリシック・トラック・ホールド・アンプ	739
SMP-04 CMOSクワッド・サンプル・ホールド・アンプ	751
SMP-08 マルチプレクサ入力オクタール・サンプル・ホールド・アンプ	764

セレクション・ガイド

サンプル/トラック・ホールド・アンプ

モデル	規定 精度 %	アクイジション 時間 μs max	オーバーチャ 時間 ns typ	オーバーチャ ジッタ ns typ	ドループ レート $\mu\text{V}/\mu\text{s}$ max	パッケージ オプション	温度 ²⁾ 範囲	特長	掲載ページ
AD1154	0.00076	5.0	80	0.15	0.1	W	C, I	低価格, 16ビット精度	D14-39
AD386	0.00076	4.1	12	0.040	0.1	D	C, M	高分解能, 高速	D14-6
AD389	0.003	2.5	30	0.4	0.1	D	C, I	高分解能	D14-21
●AD9100	0.01	23ns	800ps	1ps	6mV/ μs	D	C, I, M	優れたホールド・モード歪み特性	739
HTC-0300A	0.01	0.1	6	0.05	0.5	D	I, M	超高速	D14-45
●AD781	0.01	0.9	20	0.1	1	N, Q, R	C, I, M	高速900ns	731
AD684	0.01	1.0	20	0.1	1	Q	C, I, M	クワッド, モノリシック	D14-31
AD346	0.01	2.0	60	0.4	0.5	D	C, M	高速	—
AD585	0.01	3.0	35	0.5	1	E, P, Q	C, I, M	高速, 高精度	D14-25
SMP-10	0.01	3.5	50	1	0.02	Q	C, M	低ドループ・レート	P13-29
SMP-11	0.01	3.5	50	1	0.2	Q, N	C, I, M	低ドループ・レート	P13-29
AD583	0.01	5.0	50	5	—	D	C	5 μs	—
●SMP-04	0.01	7.0	—	—	0.025	N, Q, R	I, M	CMOSクワッド	751
SMP-81	0.045	3.5	50	1	2.0	Q	I	高精度	P13-37
HTS-0010	0.10	0.019	2	0.002	—	D	C, I	超高速	D14-49
HTS-0025	0.10	0.035	5	0.01	—	D	C, I	超高速	D14-52
AD582	0.1	6.0	200	15	—	D, M	C, M	低価格, 15 μs	D14-23
●SMP-08	0.1	7.0	—	—	0.02	N, Q, R	I, M	オクタル, マルチプレクサ入力	764

- 注1. パッケージ: D=セラミックDIP, E=セラミック・リードレス・チップキャリア, M=メタルDIP, P=プラスチック・リード付きチップキャリア(PLCC), Q=サーディップ, W=セラミック/ガラスDIP
2. 温度範囲: C=0~+70°C, I=-40~+85°C(旧製品では-25~+85°Cの場合もある), M=-55~+125°C
3. Dはデータブック1990/1991年版, PはPrecision Monolithics Divisionデータブック, そしてモデル名に●印のある製品は本データブック追補版に掲載されています。

太字で示すモデルは新規設計に最適な製品です。

特長

アキュイジション時間(0.01%) : 700ns max

低消費電力 : 95mW

低ドループ・レート : $0.01\mu\text{V}/\mu\text{s}$

完全に規定され、試験済みのホールド・モード歪み

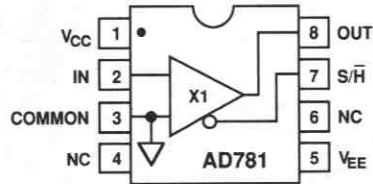
全高調波歪み : -73dB

オーバーチャ・ジッタ : 75ps max

ホールド・コンデンサ内蔵

自己補正アーキテクチャ

8ピン・ミニ・サーディップおよびプラスチック・パッケージ



AD781機能ブロック図

概要

AD781は高速モノリシック・サンプル・ホールド・アンプ (SHA) です。AD781は全温度範囲で、0.01%に対する最大アキュイジション時間700nsを保証します。AD781ではホールド・モードでの全高調波歪みおよびホールド・モードのS/N比+歪みに対して仕様が規定され、テストされています。AD781はユニティ・ゲイン・アンプとして構成されており、自己補正アーキテクチャを採用していることから全温度範囲でホールド・モード誤差が最小限に抑えられ、精度を保証しています。AD781は全機能を内蔵しており、外部素子や調整を必要としません。

低消費電力、8ピン・ミニDIPパッケージおよび全機能の内蔵により、AD781は超小型ボード・レイアウトに最適です。AD781は700ns以下でフルスケール入力を取集し、 $0.01\mu\text{V}/\mu\text{s}$ のドループ・レートでホールドした電圧を保持します。優れた直線性とホールド・モードでのDCおよびダイナミック性能により、AD781は12ビットおよび14ビット高速A/Dコンバータに最適です。

高精度、高速の低消費電力SHAを実現するために、AD781は高性能、低ノイズのバイポーラ回路と低消費電力CMOSの組合せ技術である弊社のBiMOSプロセスで製造されています。

AD781は3つの温度範囲に対して仕様が規定されています。Jグレードは $0\sim+70^\circ\text{C}$ 、Aグレードは $-40\sim+85^\circ\text{C}$ 、Sグレードは $-55\sim+125^\circ\text{C}$ の動作についてそれぞれ仕様が規定されています。JグレードとAグレードは8ピン・プラスチックDIPパッケージで、Sグレードは8ピン・サーディップ・パッケージです。

製品ハイライト

1. 高速アキュイジション時間 (700ns)、低オーバーチャ・ジッタ (75 ps) および完全に規定されたホールド・モード歪みにより、AD781はサンプリング・システムに理想的なSHAです。
2. 低ドループ ($0.01\mu\text{V}/\mu\text{s}$) と内部補償のホールド・モード誤差により、優れたシステム精度が得られます。
3. 低消費電力 (標準95mW)、全機能内蔵、小型という点で、AD781は多様な高性能、低電力応用に理想的です。
4. AD781は外部素子や調整を必要としません。
5. AD671、AD7586、AD674、AD7572、AD7672等の高速A/Dコンバータ用フロント・エンドSHAとして最適です。
6. 完全に規定され、テストされたホールド・モード歪みは、サンプル・データ・システムにおけるSHAの性能を保証します。

DC仕様

(特に指定のない限り、 $T_{min} \sim T_{max}$ 、 $V_{CC} = +12V \pm 10\%$ 、 $V_{EE} = -12V \pm 10\%$ 、 $C_L = 20pF$ のとき)

パラメータ	AD781J			AD781A			AD781S			単位
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
サンプリング特性										
アキュジション時間										
10Vステップ (0.01%)		600	700		600	700		600	700	ns
10Vステップ (0.1%)		500	600		500	600		500	600	ns
小信号帯域幅		4			4			4		MHz
フルパワー帯域幅		1			1			1		MHz
ホールド特性										
実効アンバーチャ遅延 (25°C)	-35	-25	-15	-35	-25	-15	-35	-25	-15	ns
アンバーチャ・ジッタ (25°C)		50	75		50	75		50	75	ps
ホールド・セトリング (1mVまで、25°C)		250	500		250	500		250	500	ns
ドループ・レート		0.01	1		0.01	1		0.01	1	$\mu V/\mu s$
フィードスルー (25°C) ($V_{IN} = \pm 5V$, 100kHz)		-86			-86			-86		dB
精度特性 ¹⁾										
ホールド・モード・オフセット	-4	-1	+3	-4	-1	+3	-4	-1	+3	mV
ホールド・モード・オフセット・ドリフト		10			10			10		$\mu V/^\circ C$
サンプル・モード・オフセット		50	200		50	200		50	200	mV
非直線性		± 0.002	± 0.003		± 0.002	± 0.003		± 0.003	± 0.005	%FS
ゲイン誤差		± 0.01	± 0.025		± 0.01	± 0.025		± 0.01	± 0.025	%FS
出力特性										
出力駆動電流	-5		+5	-5		+5	-5		+5	mA
出力抵抗、DC		0.3	0.5		0.3	0.5		0.3	0.5	Ω
全出力ノイズ (DC~5MHz)		150			150			150		μV rms
サンプルDC不確かさ		85			85			85		μV rms
ホールド・モード・ノイズ (DC~5MHz)		125			125			125		μV rms
短絡回路電流										
ソース		20			20			20		mA
シンク		10			10			10		mA
入力特性										
入力電圧範囲	-5		+5	-5		+5	-5		+5	V
バイアス電流		50	250		50	250		50	250	nA
入力インピーダンス		50			50			50		M Ω
入力容量		2			2			2		pF
デジタル特性										
入力電圧LOW			0.8			0.8			0.8	V
入力電圧HI	2.0			2.0			2.0			V
入力電流HI ($V_{IN} = 5V$)		2	10		2	10		2	10	μA
電源										
動作電圧範囲	± 10.8	± 12	± 13.2	± 10.8	± 12	± 13.2	± 10.8	± 12	± 13.2	V
電源電流		4	6.5		4	6.5		4	7	mA
+PSRR (+12V $\pm 10\%$)	70	80		70	80		70	80		dB
-PSRR (-12V $\pm 10\%$)	65	75		65	75		65	75		dB
消費電力		95	175		95	175		95	185	mW
動作温度範囲	0		+70	-40		+85	-55		+125	$^\circ C$

注

1 $\pm 5V$ の入力範囲で仕様が規定され、テストされています。

仕様は予告なしに変更することがあります。

太字で示す仕様は、最終電氣的特性試験で全デバイスにおいてテストされています。これらのテスト結果から出荷品質レベルが算出されます。最小および最大の仕様はすべて保証されています。但し、太字で示す仕様だけしかテストされていません。

ホールド・モードAC仕様

(特に指定のない限り、 $T_{min} \sim T_{max}$ 、 $V_{CC} = +12V \pm 10\%$ 、 $V_{EE} = -12V \pm 10\%$ 、 $C_L = 20pF$ のとき)¹

パラメータ	AD781J			AD781A			AD781S			単位
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
全高調波歪み										
$F_{IN} = 10kHz$		-90	-80		-90	-80		-90	-80	dB
$F_{IN} = 50kHz$		-73			-73			-73		dB
$F_{IN} = 100kHz$		-68			-68			-68		dB
S/N+D										
$F_{IN} = 10kHz$	72	78		72	78		72	78		dB
$F_{IN} = 50kHz$		73			73			73		dB
$F_{IN} = 100kHz$		67			67			67		dB
相互変調歪み										
$F_{IN1} = 49kHz$ 、 $F_{IN2} = 50kHz$										
2次項		-77			-77			-77		dB
3次項		-78			-78			-78		dB

注
1 特に指定のない限り、 F_{IN} 振幅=0dB、 $F_{SAMPLE} = 500kHz$ 。
太字で示す仕様は、最終電気的特性試験で全デバイスにおいてテストされています。これらのテスト結果から、出荷品質レベルが算出されています。最小および最大の仕様はすべて保証されています。但し、太字で示す仕様だけしかテストされていません。

絶対最大定格*

パラメータ	対象	最小	最大	単位
V_{CC}	コモン	-0.3	+15	V
V_{EE}	コモン	-15	+0.3	V
制御入力	コモン	-0.5	+7	V
アナログ入力	コモン	-12	+12	V
グラウンド、 V_{CC} または V_{EE} への出力短絡回路		無制限		
最大接合温度			+175	°C
保管温度		-65	+150	°C
リード温度 (最大10秒)			+300	°C
消費電力			195	mW

*「絶対最大定格」に示す値を越えるストレスは、デバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

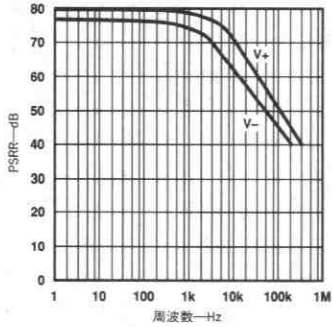
注意

この素子はESD (electrostatic discharge) センシティブ・デバイスです。デジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは、導電フォームに挿すか導体でショートするなどして保存してください。

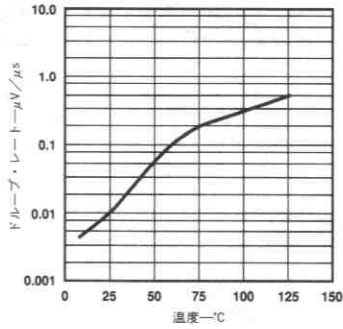
ピン配置



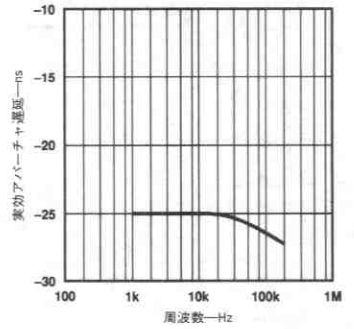
AD781代表特性



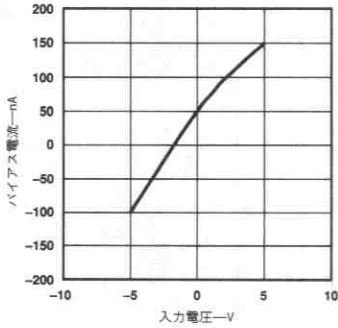
電源変動除去比 (PSRR) 対周波数



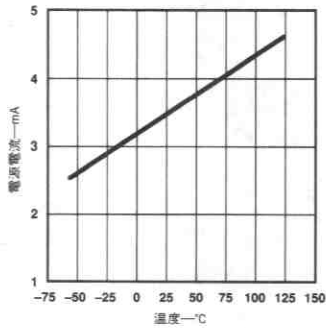
$V_{IN} = 0V$ 時のドリフト・レート対温度



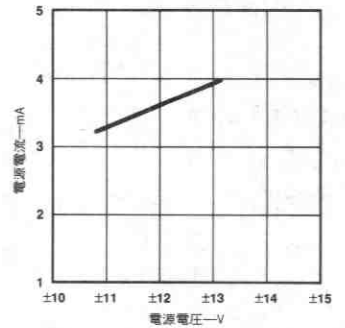
実効オーバーチャージ遅延対周波数



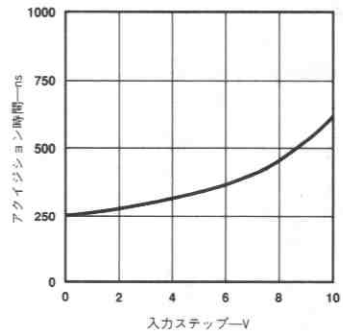
バイアス電流対入力電圧



電源電流対温度



電源電流対電源電圧



アキュイジション時間 (0.01%) 対入力ステップ・サイズ

仕様用語の説明

アキュジション時間—与えられた精度レベルでフルスケール入力ステップを収集するためにSHAがサンプル・モードで保持しなければならない時間。

小信号帯域幅— $100\text{mV}_{\text{p-p}}$ の正弦波を入力した時、ホールドされた出力レベルが入力レベルの3dB下となる周波数。

フルパワー帯域幅— $10\text{V}_{\text{p-p}}$ の正弦波を入力した時、ホールドされた出力レベルが入力レベルの3dB下となる周波数。

有効アパーチャ遅延—SHAチャンネルのスイッチ遅延とアナログ遅延の差。負の場合は、遅延全体に占めるアナログ部分の割合がスイッチ部分より高いことを示します。この有効遅延は、ホールド・コマンドに対して入力信号がサンプリングされる時点を表します。

アパーチャ・ジッター—連続サンプルにおけるアパーチャ遅延の変化。正確にサンプリングされ得る最大周波数がアパーチャ・ジッターの上限となります。

ホールド・セトリング時間—ホールド・コマンドが与えられてから、出力が最終ホールド値の規定された精度内に収まるまでに要する時間。

ドループ・レート—ホールド・モードにおける出力電圧のドリフト。

フィードスルー—SHAがホールド・モードの時、出力に現れる、変化している入力信号が減衰されたもの。

ホールド・モード・オフセット—入力信号とホールド出力との差。このオフセットはホールド・モードにだけ適用され、チャージ・インジェクションによって生じる誤差などすべての内部オフセットを包含します。0V入力に対して規定されます。

トラッキング・モード・オフセット—SHAがトラック・モードにある時の入力信号と出力信号の差。

非直線性— $-5\text{V} \sim +5\text{V}$ 入力レンジで入力と(ホールド)出力の関係を示したエンドポイント間を結んだ直線からの偏差。

ゲイン誤差—入力対ホールド出力の伝達関数における+1ゲインからの偏差。

電源変動除去比—正または負電源における規定の変化によって生じるホールド出力電圧の変化。

DCサンプリング不確実性—ホールド・コンデンサにサンプリングされる内部のrms SHAノイズ。

ホールド・モード・ノイズ—与えられた帯域幅に対してSHAがホールド・モードにある時、その出力に生じるrmsノイズ。

トータル出力ノイズ—SHAがホールド・モードにある時、その出力に見られる全rmsノイズ。これはDCサンプリング不確実性とホールド・モード・ノイズをrms合計したものです。

出力駆動電流—ホールド・モード・オフセットの変化を 2.5mV 以内に維持しつつSHAがソース(シンク)することのできる最大電流。

信号/ノイズ+歪み (S/N+D) 比

S/N+Dは、DCを除き高調波を含むナイキスト周波数以下の他のすべてのスペクトラル成分のrms値の和に対する、測定された入力信号のrms値の比です。S/N+D値はデシベルで表されます。

全高調波歪み (THD)

THDは、測定された入力信号のrms値に対する、6次高調波成分までのrms値の和の比です。パーセントまたはデシベルで表されます。

相互変調歪み

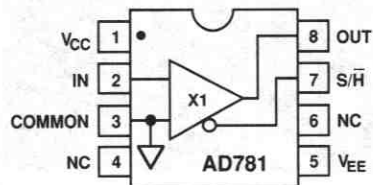
どのようなアクティブ・デバイスでも f_a と f_b の2つの周波数の正弦波から成る入力を与えた場合、周波数の和と差で表される歪み積、すなわち $mfa \pm nfb$ ($m, n=0, 1, 2, 3, \dots$)を生成します。そのうち m と n がともに0でないものを相互変調項といいます。例えば2次項は $(fa+fb)$ と $(fa-fb)$ 、3次項は $(2fa+fb)$ 、 $(2fa-fb)$ 、 $(fa+2fb)$ および $(fa-2fb)$ となります。IMD積は歪み項のrms値の和に対して測定された入力信号のrms値の和のデシベル比として表されます。2つの信号が等振幅である場合、それらの和のピーク値はフルスケールから -0.5dB となります。IMD積は 0dB 入力信号に対して正規化されています。

機能説明

AD781は全機能を内蔵したサンプル・ホールド・アンプで、700ns以下で12ビット精度の高速サンプリング機能を提供します。

AD781は全機能を内蔵しており、オンチップのホールド・コンデンサを搭載し、サンプリング機能を行なうために外部素子や調整機能が必要としません。入出力信号ともにモコモ基準のシングル・エンド信号として取扱われます。

AD781は自己補正アーキテクチャをもつ独自の回路設計を採用しています。このサンプル・ホールド回路は、ホールド・コマンドを受取った後、アンプ・ゲインやオフセット誤差、チャージ・インジェクション誤差を補償することによって、内部誤差に対して補正を行ないます。その設計の性質上、サンプル・モード時のSHA出力は入力を正確に再現しません。しかし、ホールド・モード時に内部回路は再構成され、入力信号の正確な保持値を出力します。下にAD781のブロック図を示します。



機能ブロック図

ダイナミック性能

AD781は精度と速度に関して、12ビットA/Dコンバータとコンパチブルです。高速アキュイジション時間、高速ホールド・セトリング時間、優れた出力駆動能力により、AD781は、AD674やAD7672等の高速で高分解能のA/Dコンバータと共に使用することができます。AD781の高速アキュイジション時間により、マルチチャネル・データ・アキュイジション・システムで高スループット・レートを得ることができます。サンプル・ホールド回路は標準600ns以下で10Vステップを収集することができます。図1にアキュイジション時間に対するセトリング精度を示します。

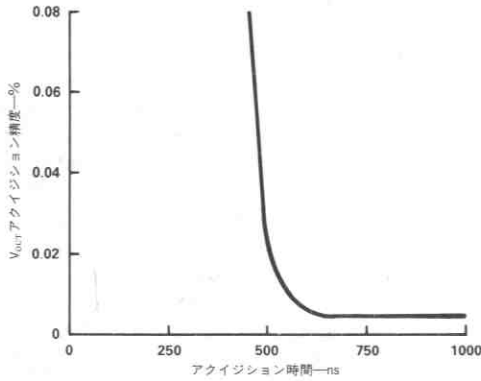


図1. V_{OUT} セトリング対アキュイジション時間

ホールド・セトリングは、ホールド・コマンドを受取った後、出力が規定の最終精度に達するまでに要する時間を決定します。AD781の標準セトリング動作を図2に示します。AD781のセトリング時間は高速であり、ほとんどの場合「変換開始」遅延を付加する必要なく、SHAによってA/Dコンバータを直接駆動することが可能です。

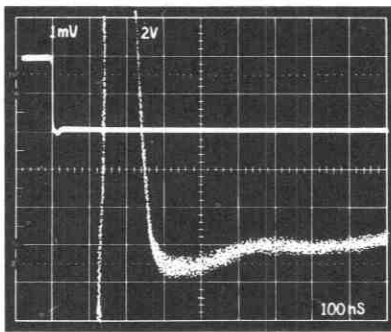


図2. 標準のAD781ホールド・モード

ホールド・モード・オフセット

AD781のDC精度は、主にホールド・モード・オフセットにより決定されます。ホールド・モード・オフセットは、最終保持出力電圧とホールド・コマンドを受信したときの入力信号電圧間の差です。ホールド・モード・オフセットは、内部スイッチのチャージ・インジェクションによりホールド・コンデンサに電圧誤差が導入されることにより発生します。通常のホールド・モード・オフセットは、0V入力条件下で規定されます。-5Vから+5Vの入力範囲で、AD781

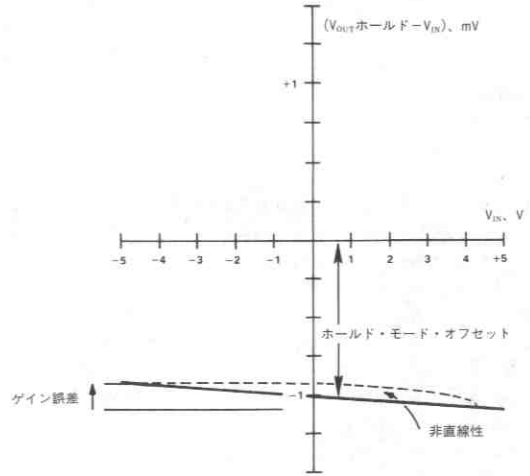


図3. ホールド・モード・オフセット、ゲイン誤差および非直線性

は図3に示すように、保持値の実効ゲイン誤差と非直線性に関しても特性づけられています。AD781の仕様表に示すように、ホールド・モード・オフセットは全温度範囲で非常に安定しています。

ゼロ・オフセットを得ることが重要な応用では、ホールド・モード・オフセットは、A/Dコンバータへの入力側で外部的にゼロにできます。オフセットの調整機能は、A/Dコンバータ自体を通して、あるいはゼロ・オフセット能力機能をもつ外部アンプ（例、AD711）によって実現できます。仕様温度範囲内において、オフセットの変化量は0.5mV以下です。

電源デカップリングとグラウンド

高速、高分解能データ・アキュイジション・システムに関してと同様に、電源は十分に安定化し、過度の高周波ノイズ（リップル）の影響を除去してください。AD781に対する電源ラインは、デバイスへのトランジェント電流を十分に供給する能力をもつ必要があります。仕様精度およびダイナミック動作を実現するためには、デカップリング・コンデンサを正負両電源ピンとコモン間に配置する必要があります。セラミック・タイプの0.1 μ Fコンデンサを V_{CC} 、 V_{EE} とコモン間に接続してください。

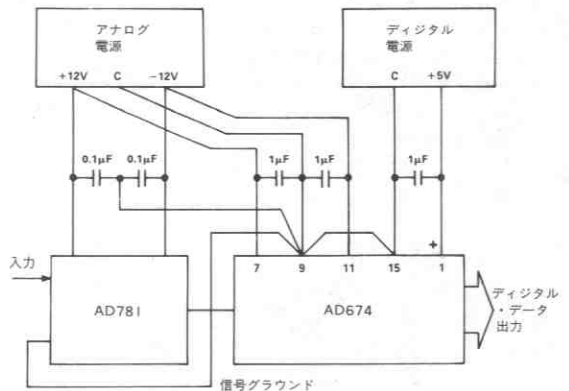


図4. 基本的なグラウンド接続とデカップリング

AD781はほとんどのA/Dコンバータと同様に、分離したアナログおよびデジタル・グラウンド・リードを備えていません。コモン・ピンはデバイスに対する単一のグラウンド端子です。それは、サンプル入力電圧および保持出力電圧に対するリファレンス点であり、同時にデジタル・グラウンド帰還路でもあります。コモン・ピンは、デジタルおよびアナログの独立したグラウンド・リードをもつA/Dコンバータの(アナログ)リファレンス・グラウンドに接続してください。AD781の中でアナログおよびデジタル・グラウンドは内部的に接続されているため、コモン・ピンはデジタル・グラウンド・ピンにも接続する必要があります。そしてそのデジタル・グラウンドは、通常A/Dコンバータのアナログ・コモンに接続されています。図4に推奨のデカップリングおよびグラウンド接続例を示します。

ノイズ特性

データ変換回路の設計では、データ・アクイジション・システムの精度に及ぼすノイズ源の影響について配慮する必要があります。A/Dコンバータの前段に位置するサンプル・ホールド・アンプは、いくらかのノイズをもたらす、変換プロセスにおける不確実性のもう1つの要因となります。AD781からのノイズは全出力ノイズとして規定されます。それは、制限帯域出力ノイズに加えてSHAのサンプル広帯域ノイズも含んでいます。全出力ノイズはサンプルDC不確実性とホールド・モード・ノイズのrms値の和です。全出力ノイズ対コンバータの等価入力帯域幅のプロットを図5に示します。

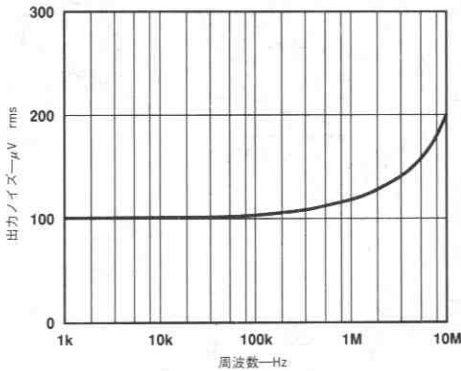


図5. RMSノイズ対ADCの入力帯域幅

アナログ入力の駆動

最高の性能を得るためには、低インピーダンス信号源からAD781のアナログ入力を駆動することが重要です。これによって、アナログおよびデジタル間のクロストークが最小になり、サンプリング精度が向上します。より高いインピーダンス源から入力される信号(例、5kΩ以上)は、比較的高いレベルのクロストークをもつこととなります。信号が高いソース・インピーダンスをもつ応用では、AD781の前段にオペアンプ・バッファが必要となります。これらの応用ではAD711(高精度BiFETオペアンプ)を用いることを推奨します。

高周波サンプリング

アパーチャ・ジッタと歪みが、サンプル・ホールド・アンプの周波数領域性能の限界を決める主な要因です。アパーチャ・ジッタは、

ホールド・コマンドの位相を調整し、サンプル・アナログ入力上に変換ノイズを作りだします。ジッタが引起こしたノイズの大きさは直接、入力信号の周波数に關与します。

ジッタが引起こした誤差の大きさ対入力信号周波数のグラフを図6に示します。

高周波信号のサンプリング精度はまた、サンプル・ホールドによって発生する歪みとノイズによって制限を受けます。歪みのレベルは周波数とともに増加し、変換の“有効ビット数”を減らします。

図7および図8は、 $V_{IN}=10V_{p-p}$ 、サンプル周波数100kSPSの14ビットA/Dコンバータを用いて測定した結果です。

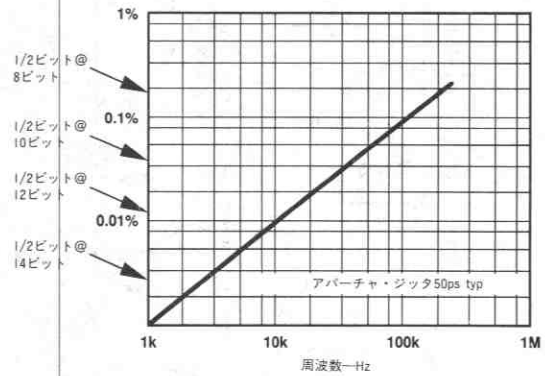


図6. 誤差の大きさ対周波数

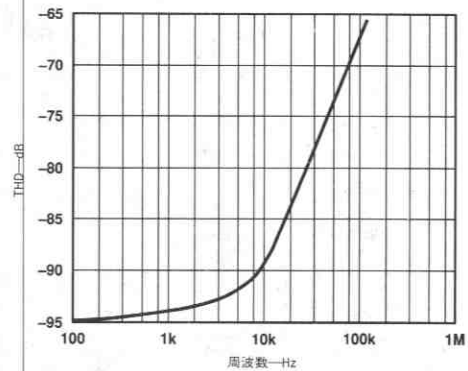


図7. 全高調波歪み対周波数

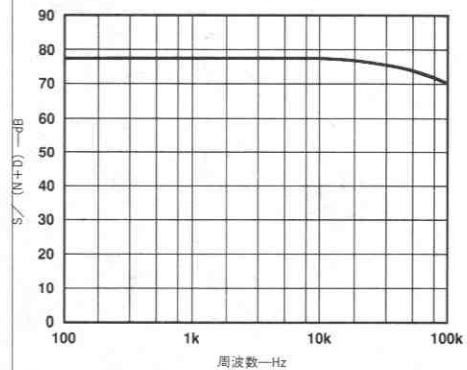


図8. S/(N+D) 対周波数

AD781とAD674のインタフェース

図9に、高い直線性、低アパーチャ・ジッタのSHAであるAD781と12ビット高速ADCのAD674を用いた代表的なデータ・アキュイジション回路を示します。AD674のステータス・ラインがHIレベルに遷移してから実際に変換が始まるまでの時間でAD781は0.01%範囲内にセトリングすることができます。その結果、AD674のステータス・ラインはAD781の制御に使われます。2つのデバイス間のインタフェースにはインバータのみが必要です。

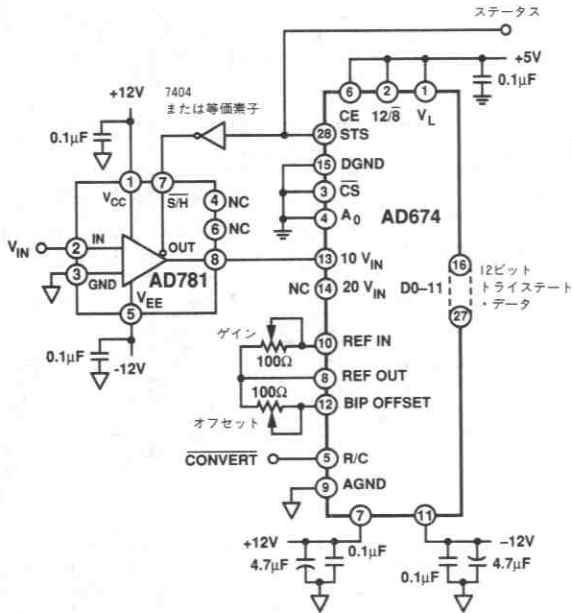


図9. AD781とAD674のインタフェース

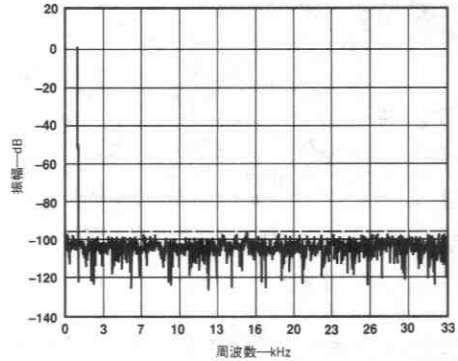
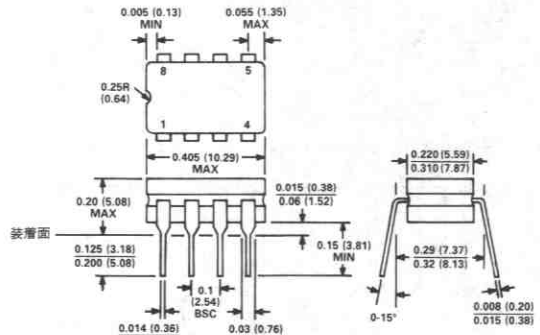


図10. AD781とAD674のインタフェースのFFTプロット、 $F_{IN}=1\text{kHz}$

外形サイズ

サイズはインチと (mm) で示します。

サーディップ (Q) パッケージ

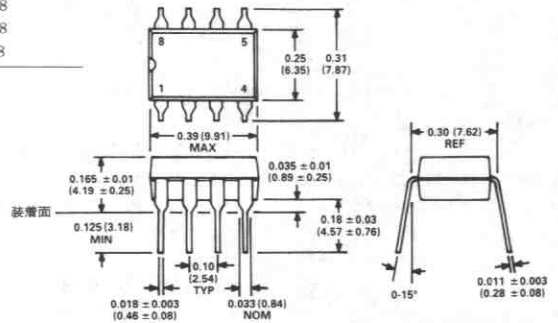


AD781オーダ・ガイド

型名	温度範囲	説明	パッケージ・オプション*
AD781JN	0 ~ +70°C	8ピン・プラスチックDIP	N-8
AD781AN	-40 ~ +85°C	8ピン・プラスチックDIP	N-8
AD781SQ	-55 ~ +125°C	8ピン・サーディップ	Q-8

*N=プラスチックDIP; Q=サーディップ

ミニDIP (N) パッケージ



特長
優れたホールド・モード歪み率

- 30MSPSにおいて -88dB (2.3MHz V_{IN})
- 30MSPSにおいて -83dB (12.1MHz V_{IN})
- 30MSPSにおいて -74dB (19.7MHz V_{IN})

アクイジション時間: 16ns (0.01%)

1ps以下のオーバーチャージット

250MHzのトラックング帯域幅

83dBのフィードスルー・リジェクション (20MHz)

 3.3nV/ $\sqrt{\text{Hz}}$ スペクトラル・ノイズ密度

応用
高速A/D変換

ダイレクトIFサンプリング

画像/FLIRシステム

ピーク検出器

レーダ/EW/ECM

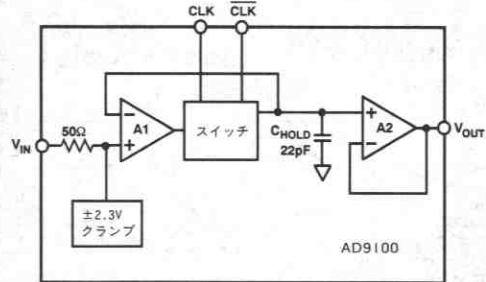
スペクトラム分析

CCD ATE

概要

AD9100は、高速・広ダイナミック・レンジの応用に新しく業界標準となるモノリシック・トラック・ホールド・アンプです。このデバイスは先進の高速コンプリメンタリ・バイポーラ・プロセスによって製造されています。新方式の回路設計に加え、寄生容量を最小化し、ダイナミック性能を最適化するカスタム・パッケージを採用しています。

アクイジション時間（ホールドからトラックへ）は、0.1%精度に対して13ns、0.01%では16nsです。AD9100はホールド・モードでの最高の周波数領域性能を備えており、30MSPSのサンプリング時でのホールド・モード歪みは、12MHzまでの入力周波数で -83dBfs 以下、20MHzで -74dBfs です。またAD9100はアクイジション時間に影響を与えることなく100pFまでの容量性負荷を駆動することができます。したがって、クロック・スピードが50MSPSまでの8ビットおよび10ビット・フラッシュ・コンバータの駆動に適しています。AD9100のスペクトラル・ノイズ密度は3.3nV/ $\sqrt{\text{Hz}}$ 、20MHzにおけるフィードスルー・リジェクションは83dBで、8~16ビット・システムのダイナミック・レンジの向上に最適です。



AD9100ブロック図

AD9100は「ユーザ・フレンドリ」設計となっており、簡単に使用することができます。(1) $+5\text{V}/-5.2\text{V}$ の電源動作。(2) ホールド・コンデンサとスイッチ電源デカップリング・コンデンサがDIPパッケージに組込まれています。(3) エンコード・クロックはクロック・ジッタを最小化する差動ECLです。(4) 入力抵抗は標準で800k Ω です。(5) アナログ入力は、トランジェント電圧による損傷を防ぐために内部的にクランプされています。

AD9100のパッケージは、20ピン・サイド・ブレース・スキニー-DIPです。一般用、産業用、軍用の温度グレードが用意されています。表面実装パッケージと883規格デバイスのオーダについてはお問い合わせください。

製品ハイライト

1. ホールド・モード歪みが保証されています。
2. モノリシック構造。
3. アナログ入力は内部的にクランプされており、過渡的な過電圧から保護され、高速なリカバリが保証されています。
4. 出力は短絡から保護されています。
5. 100pFまでの容量性負荷を駆動できます。
6. 差動ECLクロック入力。

仕様

絶対最大定格¹⁾

電源電圧 (±V _S)	接合温度	+175°C
連続出力電流	保管温度	+175°C +150°C
アナログ入力電圧 ²⁾	リード温度 (ハンダ付け、10秒)	-65°C ~ +150°C +300°C
		+300°C

電気的特性

(特に指定のない限り、+V_S=+5V、-V_S=-5.2V、R_{LOAD}=100Ω、R_{IN}=50Ω)

パラメータ	条件	温度	テストレベル	軍用サブグループ	AD9100JD/AD/SD ³⁾			単位
					Min	Typ	Max	
DC精度								
ゲイン	ΔV _{IN} =2V	全範囲	VI	1, 2, 3	0.989	0.994		V/V
オフセット	V _{IN} =0V	全範囲	VI	1, 2, 3	-5	±1	+5	mV
出力抵抗		25°C	V			0.4		Ω
出力駆動能力		全範囲	VI	1, 2, 3	±40	±60		mA
PSRR	ΔV _S =0.5Vp-p	全範囲	VI	7, 8	48	55		dB
電源レギュレーション	ΔV _S =0.5Vp-p	全範囲	VI	7, 8		0.9	2	mV/V
アナログ入力/出力								
出力電圧レンジ		全範囲	VI	1, 2, 3	+2	±2.2	-2	V
入力バイアス電流		25°C	VI	1	-8	±3	+8	μA
		全範囲	VI	2, 3	-16		+16	μA
入力オーバードライブ電流 ⁴⁾	V _{IN} =±4V	25°C	V			±22		mA
入力容量		25°C	V			1.2		pF
入力抵抗		25°C、T max	VI	1, 2	350	800		kΩ
		T min	VI	3	200			kΩ
CLOCK/CLOCK入力								
入力バイアス電流	CL/CL= -0.1V	全範囲	VI	1, 2, 3		4	5	mA
入力LOW電圧 (V _{IL})		全範囲	VI	1, 2, 3	-1.8		-1.5	V
入力HI電圧 (V _{IH})		全範囲	VI	1, 2, 3	-1.0		-0.8	V
トラック・モード・ダイナミック特性								
帯域幅 (-3dB)	V _{OUT} ≤ 0.4Vp-p	全範囲	IV	4, 5, 6	160	250		MHz
スルー・レート	4Vステップ	25°C	IV	4	550	850		V/μs
	4Vステップ	Tmin, Tmax	IV	5, 6	500	700		V/μs
オーバードライブ・リカバリ時間 (0.1%)	V _{IN} =±4V~0V	25°C	V			21		ns
2次高調波歪み (20MHz, 2Vp-p)		全範囲	V			-65		dBc
3次高調波歪み (20MHz, 2Vp-p)		全範囲	V			-75		dBc
総合出力ノイズ (1~200MHz)		25°C	V			45		μV
RMSスペクトラル・ノイズ (10MHz)		25°C	V			3.3		nV/√Hz
ホールド・モード・ダイナミック特性								
高調波、最悪時 (2.3MHz, 30MSPS)	V _{OUT} =2Vp-p	25°C	V			-83		dBfs
高調波、最悪時 (12.1MHz, 30MSPS)	V _{OUT} =2Vp-p	25°C、T max	IV	4, 5		-81	-72	dBfs
高調波、最悪時 (12.1MHz, 30MSPS)	V _{OUT} =2Vp-p	T min	IV	6		-77	-70	dBfs
高調波、最悪時 (19.7MHz, 30MSPS)	V _{OUT} =2Vp-p	25°C	V			-74		dBfs
ホールド・ノイズ ⁵⁾		25°C	V			300×I _q		V/s rms
ドループ・レート ⁶⁾	V _{IN} =0V	25°C	VI	4		1	6	±mV/μs
		T min	VI	6		7	40	±mV/μs
		T max	VI	5		5	30	±mV/μs
フィードスルー・リジエクシオン (20MHz)	V _{IN} =2Vp-p	全範囲	V			83		dB
トラックからホールドへのスイッチング特性								
アバーチャ遅延		25°C	V			+800		ps
アバーチャ・ジッタ		25°C	V			<1		ps
ベテスタル・オフセット	V _{IN} =0V	25°C	VI	4	-5	±1	+5	mV
		全範囲	VI	5, 6	-10		+10	mV
トランジェント振幅	V _{IN} =0V	全範囲	V			±6		mV
セトリング時間 (1mV)		全範囲	VI	7, 8		7	11	ns
グリッチ積	V _{IN} =0V	25°C	V			15		pV-s
ホールドからトラックへのスイッチング特性								
アキュイジション時間 (0.1%)	2Vステップ	25°C	V			13		ns
アキュイジション時間 (0.01%)	2Vステップ	全範囲	IV	7, 8		16	23	ns
アキュイジション時間 (0.01%)	4Vステップ	25°C	V			20		ns
電源								
消費電力		全範囲	VI	1, 2, 3		1.05	1.25	W
+V _S 電流		全範囲	VI	1, 2, 3		96	118	mA
-V _S 電流		全範囲	VI	1, 2, 3		116	132	mA

注:

- 絶対最大定格は個々に適用される制限値であり、これらの値を越えると回路の機能は影響を受けます。機能的な動作性については考慮されていません。デバイスを絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。
- アナログ入力電圧は±V_Sを越えてはいけません。
- 「全範囲」温度仕様は電源投入後のDIPパッケージの周囲温度です。AD9100JDは-40~+70°C、AD9100ADは-40~+85°C、AD9100SDは-55~+125°Cです。θ_{JA}=38°C/W。この値はグラウンドに接続された表面16インチ四方、2オンスの銅被覆基板にデバイスを平行に実装し、エア・フローなしのときの値です。

- (4) AD9100の入力は内部的に±2.3Vにクランプされています。内部の入力直列抵抗は通常50Ωです。
- (5) ホールド・モード・ノイズは信号がホールドされる時間に比例します。例えばホールド時間 (t_h) が20nsの場合には、蓄積されるノイズは標準で6μV (300V/s×20ns) になります。
- (6) 最小と最大ドループ・レートは軍用温度範囲 (-55~+125°C) の値です。一般用、産業用範囲での最小/最大値については「ドループ・レート対温度」のグラフを参照してください。

仕様は予告なしに変更することがあります。

テスト・レベルの説明

テスト・レベル

- I - 製品の100%をテスト。
- II - 製品の100%を+25°Cでテスト、サンプリング・テストを規定温度で実施。
- III - サンプリング・テストのみ。
- IV - パラメータは設計および特性テストで保証。
- V - パラメータは標準値のみ。
- VI - デバイスはすべて、100%を+25°Cでテスト。軍用デバイスでは、100%を最大および最小温度でテスト。一般用/産業用デバイスでは、最大および最小温度でサンプリング・テスト。

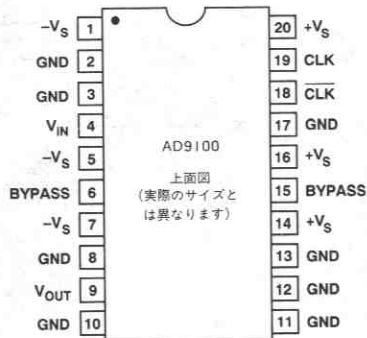
軍用サブグループの説明

- サブグループ1 - +25°Cでスタティック・テスト。
(高信頼性バージョンでは、サブグループ1に対して、5%PDAを計算。)
- サブグループ2 - 最大定格温度でスタティック・テスト。
- サブグループ3 - 最小定格温度でスタティック・テスト。
- サブグループ4 - +25°Cでダイナミック・テスト。
- サブグループ5 - 最大定格温度でダイナミック・テスト。
- サブグループ6 - 最小定格温度でダイナミック・テスト。
- サブグループ7 - +25°Cで機能テスト。
- サブグループ8 - 最大および最小定格温度で機能テスト。
- サブグループ9 - +25°Cでスイッチング・テスト。
- サブグループ10 - 最大定格温度でスイッチング・テスト。
- サブグループ11 - 最小定格温度でスイッチング・テスト。
- サブグループ12 - 周期サンプリング・テスト。

AD9100ピン説明/接続

ピン番号	記号	接続
1	-V _S	-5.2V電源
2	GND	コモン・グラウンド・プレーン
3	GND	コモン・グラウンド・プレーン
4	V _{IN}	アナログ入力信号
5	-V _S	-5.2V電源
6	BYPASS	0.1μFを通してグラウンドへ
7	-V _S	-5.2V電源
8	GND	コモン・グラウンド・プレーン
9	V _{OUT}	トラック・ホールド出力
10	GND	コモン・グラウンド・プレーン
11	GND	コモン・グラウンド・プレーン
12	GND	コモン・グラウンド・プレーン
13	GND	コモン・グラウンド・プレーン
14	+V _S	+5V電源
15	BYPASS	0.1μFを通してグラウンドへ
16	+V _S	+5V電源
17	GND	コモン・グラウンド・プレーン
18	CLK	「負論理」ECLクロック
19	CLK	「正論理」ECLクロック
20	+V _S	+5V電源

AD9100ピン配置



仕様用語の説明

アキュイジション時間：ホールドからトラック・モードへのスイッチング時にAD9100が再度アナログ入力を収集するために要する時間です。この規定は、クロック変化の50%の時点から、入力信号がホールド・コンデンサの仕様誤差範囲内に収まる時点までの時間です。

アナログ遅延：アナログ入力信号のデバイスの入力から出力への伝播時間です。

アパーチャ遅延：入力信号が実際にサンプリングされる瞬間を表しています。フロント・エンド・バッファのアナログ伝播遅延とコントロール・スイッチ遅延時間の差です（ホールド・コマンドが遷移してからスイッチが開くまでの時間）。AD9100では正の値となり、これはスイッチ遅延がアナログ遅延より長いことを意味しています。

アパーチャ・ジッタ：アパーチャ遅延のランダムな変化です。これはps-rmsで測定され、ホールドされる信号に位相ノイズを生じます。

ドレup・レート：出力電圧の変化で、時間の関数です (dV/dt)。AD9100では、規定のDC値でホールドされた入力およびホールド・モードにおけるデバイス出力の変化で測定されます。その測定はT/Hがトラックからホールドへスイッチされた直後に開始します。

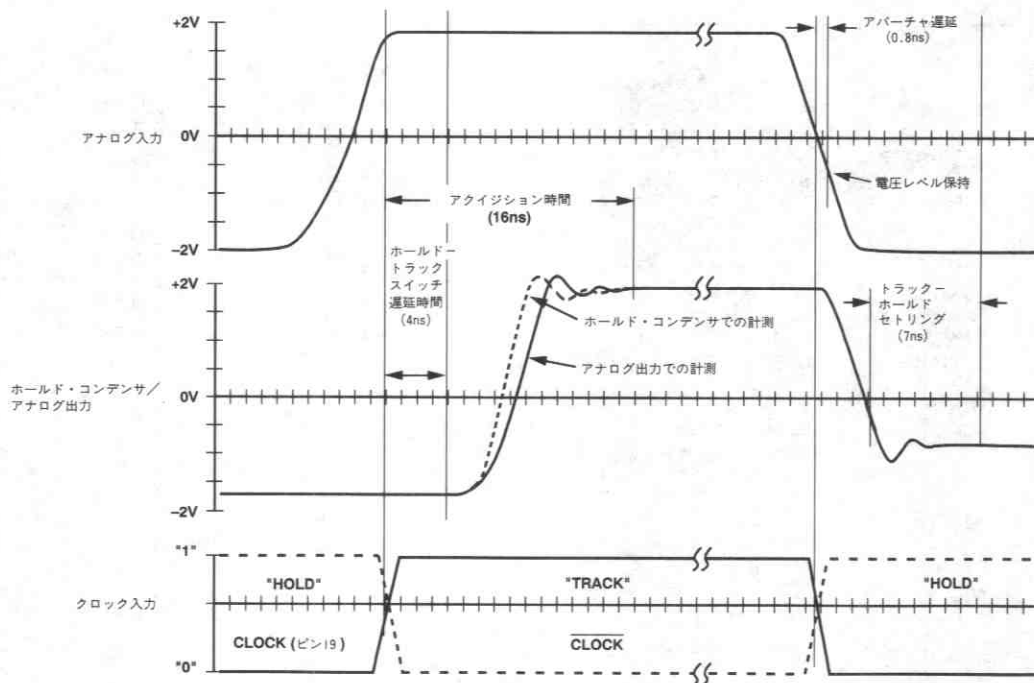
フィードスルー・リジェクション：ホールド・モードでの入力信号と出力信号の比です。これはスイッチが入力信号を出力へのフィードスルーから絶縁する性能を表しています。

ホールド・トラック・スイッチ遅延：トラック・コマンドから出力変化および新しい信号の収集までの遅延時間です。

ベデスタル・オフセット：入力が0VのときにAD9100がトラック・モードからホールド・モードへ切替わった直後に発生するオフセット電圧ステップです。

トラック・ホールド・セトリング時間：トラック・モードからホールド・モードへのスイッチング・トランジェントが最終値の1mV以内にセトリングするのに必要な時間です。

トラック・ホールド・スイッチング・トランジェント：トラック・モードからホールド・モードへ切替わったときにAD9100の出力に現れるトランジェント電圧の最大ピークです。



AD9100 タイミング図

動作説明

AD9100は新しいトラック・ホールド・アーキテクチャを採用しています。従来の一般用高速トラック・ホールドは、フロントエンドにオープン・ループ入力バッファ、その後ダイオード・ブリッジ、ホールド・コンデンサ、ホールド・コンデンサに接続されたFET入力をもつ（クローズドまたはオープン・ループの）出力バッファを備えていました。この構造は異種プロセスの組み合わせ技術とハイブリッド構成を必要としていました。このようなハイブリッドのサンプリング・レートは、12ビット精度では20MSPSに制限されていました。フロントエンド・アンプ/ブリッジで生ずる歪みは、10MHz以下のアナログ入力信号のダイナミック・レンジ性能を-70dBfs付近に制限していました。広帯域ノイズおよびスイッチから生じるノイズは、従来のトラック・ホールドのS/N比を約70dBに制限していました。

AD9100はモノリシック・デバイスであり、高レベルの高速、高精度を達成するために、高周波コンプリメンタリ・バイポーラ・プロセスを用いています。このアーキテクチャは、上述のアーキテクチャとは大きく異なっています（「AD9100のブロック図」を参照）。スイッチング型ブリッジは、初段のクローズド・ループ入力アンプに内蔵されています。これによってオープン・ループ設計のスルー・レートを保ちながら、スイッチとアンプの誤差（歪み）補正が可能となります。これに加え、ホールド・コンデンサへのアクイジション・スルー電流は一般的なダイオード・ブリッジとスイッチの構成よりも高くなり、最大サンプリング・レートと入力周波数を制限する主要因を取除いています。

デバイスのスイッチング回路は（電圧スイッチングに対して）電流ステアリングを採用し、スイッチ部とアナログ部間の絶縁を改善しています。これによりアナログ入力信号についてのアパーチャ時間変動は小さくなり、電源ノイズとアナログ・スイッチング・ノイズを抑えています。トラックからホールドへのピーク・スイッチング・トランジェントは標準値でわずか6mVで、7nsで1mV以下にセトリングします。またアナログ入力電圧のベダスタル感度は非常に低く（0.6mV/V）、一次直線性が歪みに著しい影響を与えることはありません。

クローズド・ループ出力バッファはゼロ電圧バイアス電流のキャンセルも行い、高温時のドループ・レートはFET型入力とはほぼ同じです。このバッファはまた一次の準スタティック・バイアス補正を行なうため、極めて高い入力抵抗と非常に低いドループ変動対入力電圧レベル（標準で1.5mV/V- μ s以下）が得られます。このクローズド・ループ構造は高速ループ補正を行い、重い負荷での低歪みを実現します。

極めて高速な時定数の直線性（2Vステップで0.01%に対して7ns）は、出力バッファがAD9100のサンプリング・レートまたはアナログ入力周波数を制限しないことを保証します。（アクイジションとセトリング時間は主に入力アンプとスイッチにのみ制限されます。）250 Ω の低負荷においては、出力はAD9100のホールド・モードでの全歪みレベルの影響を受けません。

AD9100のフルスケール・トラックおよびアクイジション・スルー・レートはそれぞれ800および1000V/ μ sです。優れた位相マージン（標準で5%オーバーシュート）、広い帯域幅、DCゲイン精度の組み合わせにより0.01%のアクイジション時間はわずか16nsです。設計値で、14ビット精度（-88dB歪み@2.3MHz）のセトリング時間は20nsとなります。

アクイジション時間

アクイジション時間は、ホールドからトラック・モードへスイッチングするときにAD9100が次のアナログ入力を収集するのに要する時間です。クロック変化の50%の時点から、入力信号がホールド・コンデンサの仕様誤差範囲内に収束するまでの時間です。

ホールド・トラック・スイッチ遅延（ t_{DHT} ）はホールドからトラックへ移行するときに生じるチャージ時間の遅延で、アクイジション時間から省くことはできません。これは標準値で4~6nsで、最も時間のかかる遅延です。したがって、AD9100の要するトラック時間はアクイジション時間に等しく、 t_{DHT} を含んでいます。アクイジション時間はホールド・コンデンサでの電圧のセトリングとして定義され、遅延と出力バッファのセトリング時間を含まないことに注意してください。下の例は、なぜ出力バッファ・アンプがAD9100の全アクイジション時間に寄与しないかを示しています。

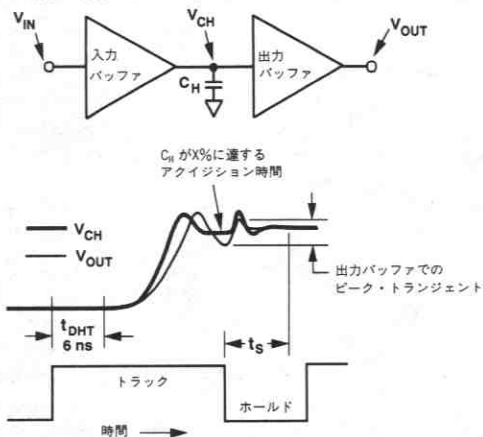


図1. アクイジション時間ブロック図

図1の太い曲線は、 V_{CH} が最終値のx%以内にセトリングすることを示しています。しかし V_{OUT} は（スルー・レートの限界、BWの制限、電源のリングングなどのため）トラック時間内ではセトリングしません。しかし出力バッファは常にフロント・エンド回路に追従しているため、ホールド時間内に「追い付き」、直接 V_{CH} に重なります（約600ps以下のアナログ遅延）。出力バッファの小信号セトリング時間は、 ± 1 mVに対して約1.8nsであり、規定のホールド時間より著しく小さいため、アクイジション時間はホールド・コンデンサに依存することになります。

ホールド・セトリング時間の大部分と出力アクイジション時間は、入力バッファとスイッチ・ネットワークに依存することに注意してください。出力アクイジション時間では、出力バッファは全体でわずか約5nsしか影響しません。ホールド・モードではわずか1.8ns（上で述べた通り）です。

アクイジション時間の厳密な定義は、規定の精度までのアクイジション時間とホールド時間の和です。12ビット+歪みレベルと30MSPSでの動作を得るために推奨のトラックおよびホールド時間は、それぞれ20nsと13.5nsです。2Vp-pフル・スケール入力で8ビット・フラッシュ・コンバータを動作させるための1LSB精度のホールド時間は、AD9100よりは主にエンコーダによって決まります。これにより、エンコーダの性能の最適化により選択されたホールド時間とともに、トラック時間は約13nsに減らすことが可能になります。

ホールド対トラック・モード歪み

従来の高速、オープン・ループ・トラック・モードの多くは、トラック・モード歪みがホールド・モード歪みより良好です。トラック・モード歪みはスイッチ・ネットワークのための非直線性を含まず、ホールド・モード歪みとは関連ありません。しかしホールド・モード歪みは製造メーカーの仕様表にないため、ユーザーはT/Hとエンコーダの組合わせの有効な全ホールド・モード歪みを自ら規定する必要があります。

AD9100の構造はホールド・モード歪みを規定の周波数範囲内で最小化します。例えば、トラック・モードでは20MHzの入力で生じる最悪の高調波は標準で-65dBfsです。ホールド・モードでは同じ条件で30MSPSのサンプリングの場合、最悪高調波は-74dBfsになります。これはホールド・モードでの出力バッファがDC歪みにのみ関係するからです。良好な直線性(0.01%に安定するまでに7ns)により、出力バッファは最短で30nsのトラックおよびホールド時間内でDC歪みレベルに安定します。従来のオープン・ループ出力バッファでは、AC(トラック・モード)とDC(ホールド・モード)歪みレベルはしばしば同じぐらいです。

ドループ・レート

ドループ・レートは必ずしもトラックとホールドの歪み特性には影響しません。ドループ・レートがあるホールド時間について、入力電圧に対し一定だとすると、ドループ・レートはエンコーダへのDCオフセットとして現れます。AD9100ではドループ・レートの標準値は $\pm 1\text{mV}/\mu\text{s}$ です。信号が $1\mu\text{s}$ 保持された場合、これを交換するエンコーダは 1mV のオフセット電圧を受けることになります。もし保持された電圧値が入力電圧によるドループの変化がない場合、一定の 1mV のオフセットが入力信号に乗り、ホールド・モード非直線性には影響を与えません。

ドループ・レートが保持電圧信号レベルの大きさに比例して変化する例では、ゲイン誤差はA/Dエンコーダにのみ影響します。AD9100は $1.5\text{mV}/\text{V}-\mu\text{sec}$ の入力レベルへのドループ感度をもっています。 2Vp-p 入力信号は $0.15\%/ \mu\text{s}$ のゲイン誤差に変換され、歪み誤差は付加されません。

AD9100では、ドループ感度は入力レベルに影響を及ぼしません。しかしホールド・コンデンサの $R \times C_{\text{H}}$ 時定数のために、ホールド時間を約 $2\mu\text{s}$ より長くすると歪みが生じる可能性があります。加えて、ホールド・モード・ノイズはホールド時間に対し直線的に増加し、S/N比性能を劣化させます。

レイアウト

最高の性能を得るためには、良好で高速回路向けの設計技術を採用しなければなりません。部品面(上面)のグラウンド・プレーンができる限り大きくしてください。銅被膜が適しています。接続線はすべてできる限り短くし、デカップリング・コンデンサを用いてください。

図2に推奨のAD9100評価用ボードを示します。(アセンブル済みのボードについてはお問合わせください。) $0.01\mu\text{F}$ のデカップリング・コンデンサはすべて低インダクタンス表面実装デバイス(AVXのモデル05085C103MT050)を用いて、指定ピンの30mil以下の部品面に接続し、もう一端は上面グラウンド・プレーンに直接ハンダ付けしてください。

$10\mu\text{F}$ 低周波用タンタル・デカップリング・コンデンサはAD9100の1.5インチ以内に置いてください。 $0.01\mu\text{F}$ 電源コンデンサを一緒に接続してください。(10 μF コンデンサと電源に接続された)コモン電源バスはボードの下面を通して $0.01\mu\text{F}$ 電源コンデンサにデジィー・チェーン接続することができます。

リモート入出力を駆動する応用では、信号の忠実度を減じてしまうライン反射を最小化するためにインピーダンスを考慮する必要があります。容量性および高インピーダンス・レベルが存在する場合には、負荷と電源のいずれか一方または両方をAD9100の約1インチ以内に置いてください。負荷が 6pF 以上のときには直列抵抗 R_s が必要になることに注意してください。(「標準特性」の推奨 R_s 対CL図では、さまざまな容量性負荷での R_s 値を示しており、 $80\mu\text{F}$ までの負荷へのセトリック時間は20%以上は増加しません。)グラウンド・プレーンではできる限り V_{IN} と V_{OUT} ピンのまわりから離れて、アナログ信号経路へのカップリングを最小としてください。

信号グラウンド・プレーンが推奨されますが、アナログ信号と差動ECLクロック・グラウンド電流はコモン電圧信号線に直接接続される狭い経路を通してください。反射を減らすため、特に伝送ラインの効率のために終端処理を用いている場合には、クロック、 V_{IN} および V_{OUT} 信号と、それぞれのグラウンド・バスが交差しないようにしてください。もし交差した場合には、望ましくないカップリングが生じる可能性があります。

高周波デカップリング・コンデンサを通した高電流グラウンド・トランジェントは、 V_{IN} と V_{OUT} 電流ループに望ましくないカップリングを生じる可能性があります。したがって、これらのアナログ信号の終端処理は、フィードスルーを最小にするために電源デカップリング・コンデンサからできるだけ遠ざけてください。

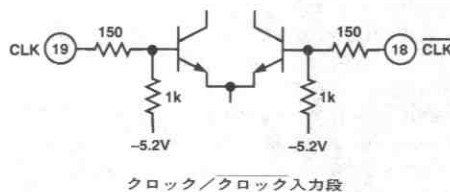
ソケットの使用

ピン・ソケット(AMPのモデル6-330808-3)はデバイスをPCBに直接はんだ付けできないときにお使いください。側面が高いものやワイヤ・ラップ型のソケットはデバイスのダイナミック特性を著しく損ない、かつケース~エア間の熱抵抗を増加させます。

エンコード・クロックの駆動

AD9100は差動ECLクロック・コマンドを用います。AD9100の内部スイッチの高いゲイン帯域幅を得るために、入力クロックは少なくとも $100\text{V}/\mu\text{s}$ のスルー・レートをもつ必要があります。

ノイズ性能に対し最良の信号を得るために、特に高いアナログ入力周波数では、低いジッタのクロック源を用いてください。AD9100のクロックは非常に低いジッタの超高速ECLコンパレータであるAD96685で駆動できます。



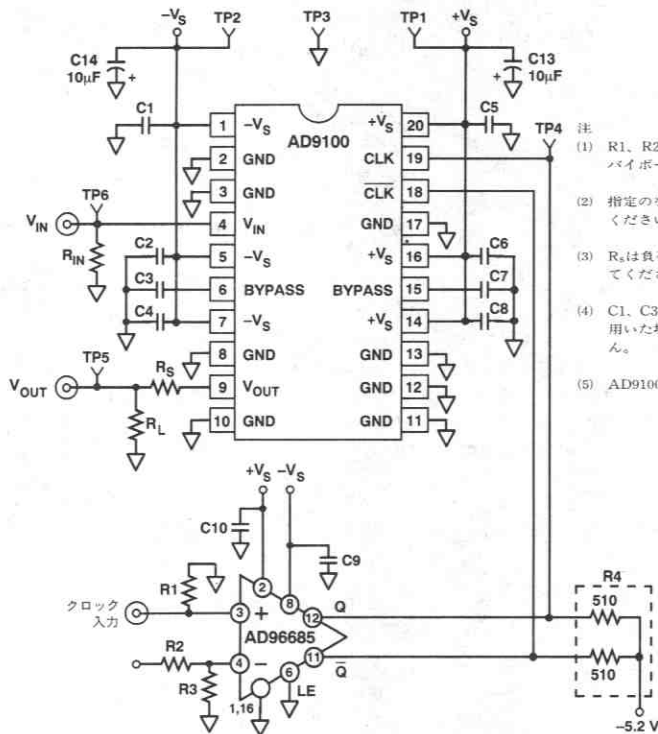


図2. AD9100応用回路図

- 注
- (1) R1, R2, R3はロジック・ドライブ・レベルに応じてユーザー選択可能でバイポーラ駆動の場合、ピン4 (AD96685) は接地してください。
 - (2) 指定のないすべてのコンデンサは $\pm 0.01\mu\text{F}$ です。表面実装コンデンサを用いください。
 - (3) R_s は負荷容量に基づいて選択し、容量負荷が 6pF 以下になる場合には短絡してください。
 - (4) C1, C3, C5, C7はオプションです。データ・シートはこれらのコンデンサ用いた場合について述べています。取外した場合の劣化はほとんどありません。
 - (5) AD9100とAD96685のピン配置はDIPパッケージの場合です。

アナログ入力の駆動

アナログ入力信号がAD9100に達する前に劣化しないことを保証するように特に注意してください。ノイズ性能に対して最良の信号を得るためには、非常に低い位相ノイズ・アナログ・ソースが必要です。加えて、入力フィルタおよび高調波の小さな信号源がスプリアスのないダイナミック・レンジを最大化するために必要です。フィルタが必要な場合には、AD9100の近くで行い、デジタル線からは遠ざけてください。

アナログ入力のオーバドライブ

AD9100は出力バッファの飽和を防ぐために入力クランプを備えており、これによってアナログ入力ガリニアな入力領域 ($\pm 2\text{V}$) に戻った際の高速な過電圧リカバリを得ています。クランプは内部的に $\pm 2.3\text{V}$ に設定されており、ユーザがこれを変更することはできません。出力は過電圧が緩和されてから 21ns 後にその値の 0.01% にセトリングします。アナログ入力ガリニア領域以外にあるときは、アナログ出力は $+2.2\text{V}$ か -2.2V のどちらかになります。

AD9100とA/Dエンコーダのマッチング

AD9100のアナログ出力レベルは、与えられたA/Dコンバータのフルスケール・レンジにマッチングさせるために、オフセットを与えたり、増幅することが必要な可能性があります。通常これはAD9100の後にアンプを挿入することで行ないます。例えば、AD671は12ビット 500ns モノリシックADCエンコーダで、 $0\sim +5\text{V}$ のフルスケール・アナログ入力を必要とします。AD9100の出力をAD671のフルスケール・レンジにマッチングさせるためにAD84Xシリーズのアンプを用いることができます。

超低歪み／低抵抗性負荷の応用

低い抵抗性負荷を駆動する場合やできる限り広いスプリアスのないダイナミック・レンジが必要な場合は、負荷をAD9100から分離することによってシステムの性能を向上させることができます。AD9620低歪みクローズド・ループ・バッファアンプは800k Ω の入力抵抗をもち、高調波の発生はAD9100よりも低くなっています。AD9100よりも高調波の発生が多いバッファは使用できません。

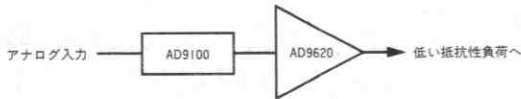


図3. 絶縁アンプとしてのAD9620の使用

ナイキスト周波数以上の信号／低歪み

AD9100は、ナイキスト周波数以上の信号のサンプリングに用いることが可能で、高忠実度のダイレクトIFサンプリングが可能です。アナログ入力信号が20MHz以上の応用では、AD9100のアナログ入力を制限し、AD9617などの低歪みアンプで出力を増幅することによって、システム・レベルでの性能向上が実現できます（図4参照）。

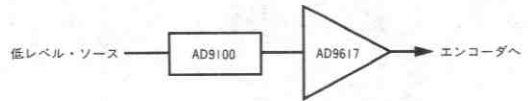


図4. AD9100のポスト・アンプとしてのAD9617の使用

低ノイズ応用

低レベル単一事象信号のプロセスではノイズ性能は特に重要であり、AD9100の前で信号を増幅することにより、ノイズ比に対するシステム全体の信号を大きくできます。フロントエンド増幅では、用いるアンプのトラック・モード限界によって、しばしばホールド・モード歪みレベルが増加します。信号レベルと帯域幅に応じて、AD9618低ノイズ高ゲイン・アンプをこの応用で使用できます（図5参照）。

一般的に、最終目標がS/N比を最大にする（ノイズを最小にすること）ならば、AD9100の前で増幅を行うことをお勧めします。システムの最終目標がスプリアスのないダイナミック・レンジを最大にする（歪みを最小にすること）ならば、AD9100の後で増幅を行ってください。

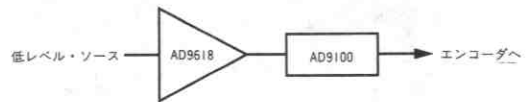
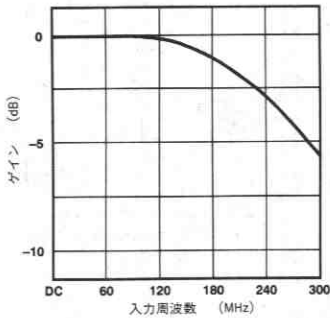
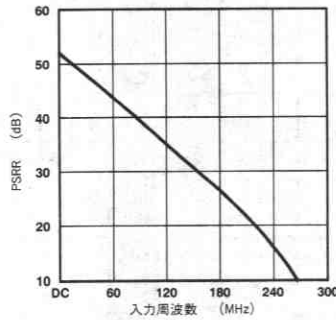


図5. AD9100のプリアンプとしてのAD9618の使用

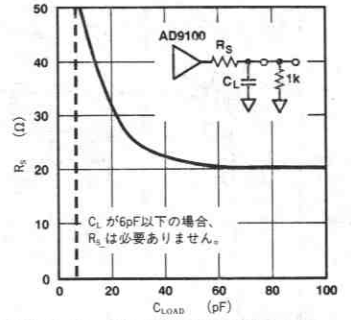
代表特性 AD9100



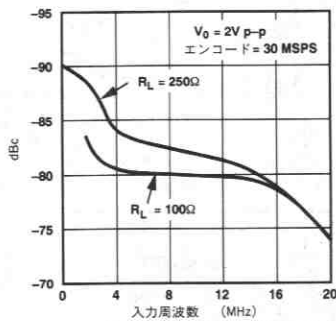
ゲイン対周波数 (トラック・モード)



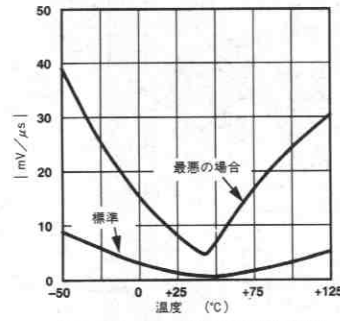
電源変動除去比対周波数 (PSRR)



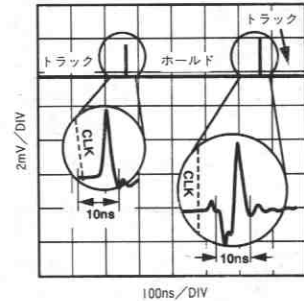
最適セトリング時間のための推奨 R_L 。対 C_{LOAD}



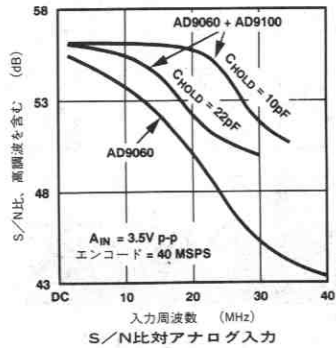
ホールド・モード高調波対アナログ入力周波数



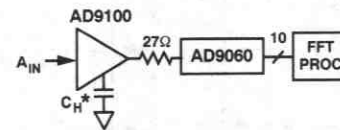
ドループ・レートの大きさに対温度



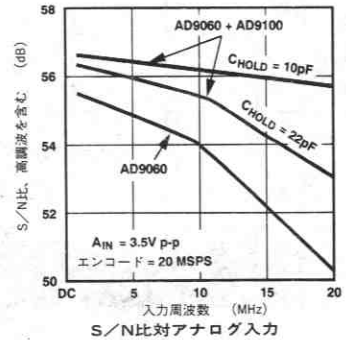
トラック〜ホールド〜トラック・スイッチ・トランジェント



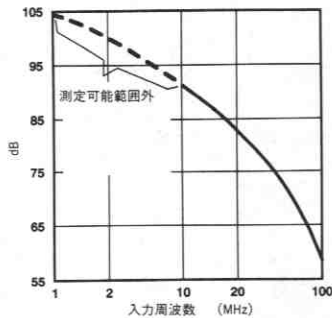
S/N比対アナログ入力



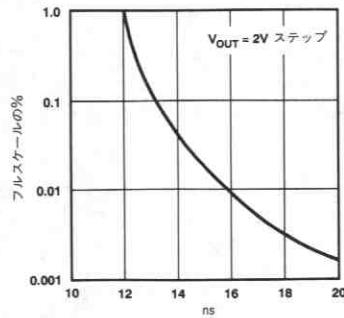
AD9060は弊社の10ビット、75MSPSモノリシックADCです。
*AD9100XD (DIP) は内部に22pFホールド・コンデンサを備えています。外部ホールド・コンデンサ付きの28ピン・リード・チップ・キャリア・パッケージについてはお問合わせください。



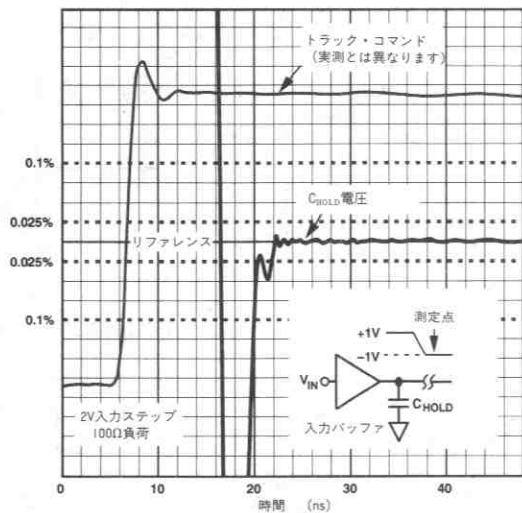
S/N比対アナログ入力



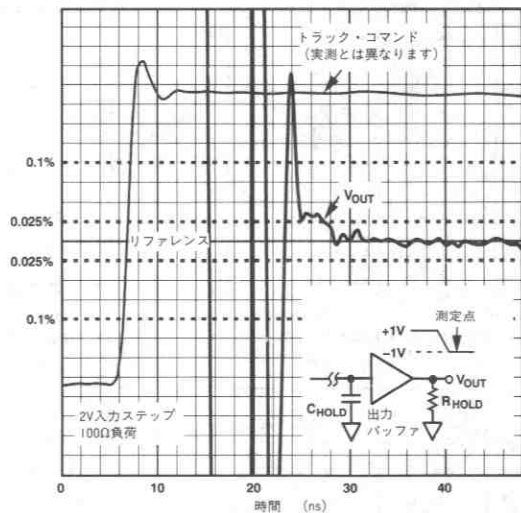
フィードスルー・リジェクション対入力周波数



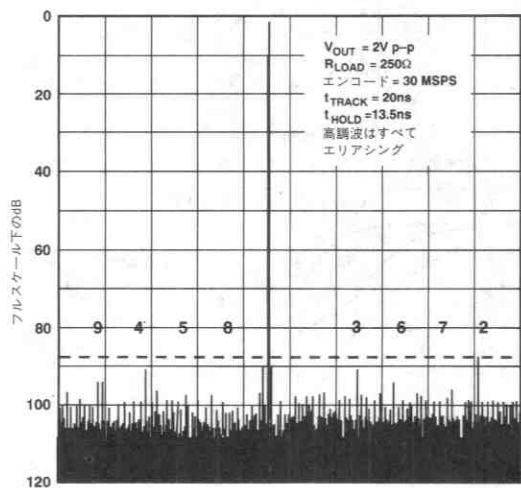
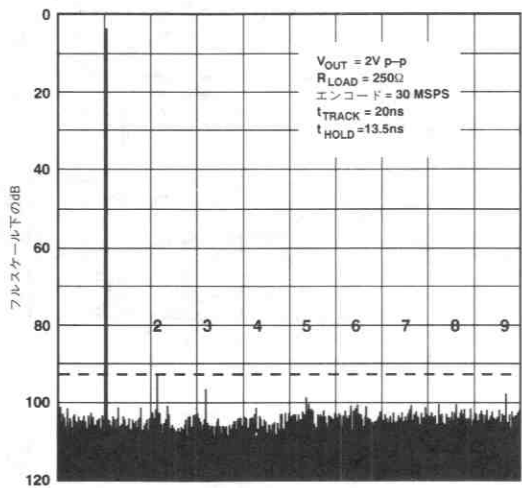
セトリング許容範囲対アキュイジション時間



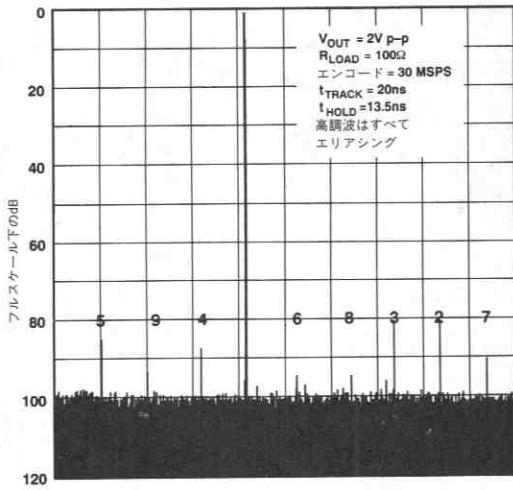
AD9100 アクイジション時間



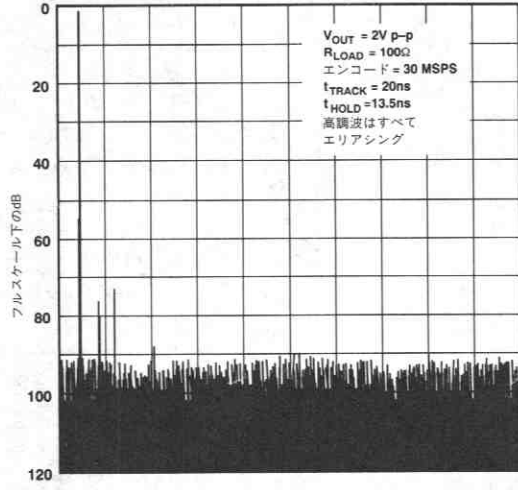
AD9100 出力アクイジション時間



AD9100

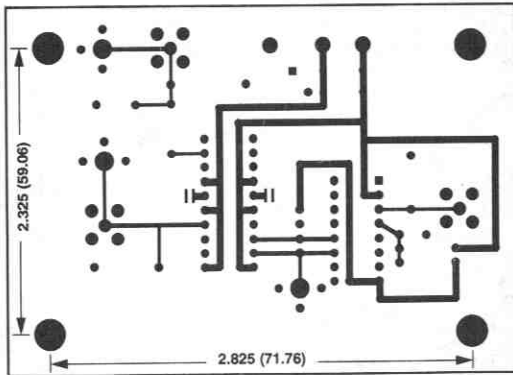


周波数 (500kHz/DIV) アナログ入力=12.1MHz

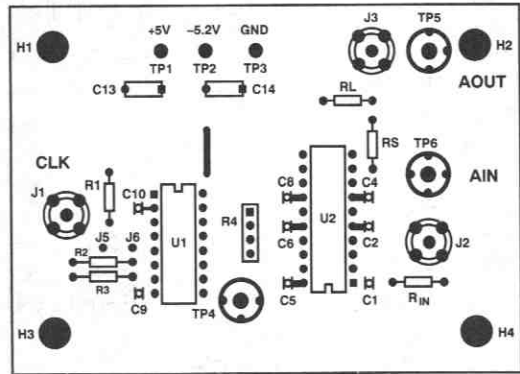


周波数 (500kHz/DIV) アナログ入力=19.8MHz

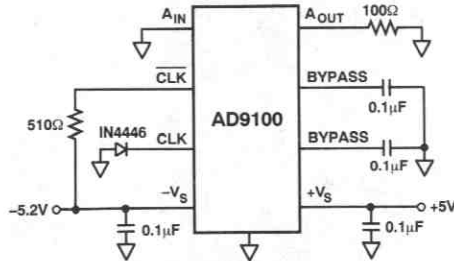
基板のサイズは3 1/2" x 3" (88.9mm x 76.2mm)



AD9100評価用ボード (底面から見たハンダ面)



AD9100評価用ボード (上から見た部品面)



AD9100バーン・イン回路

AD9100オーダ・ガイド

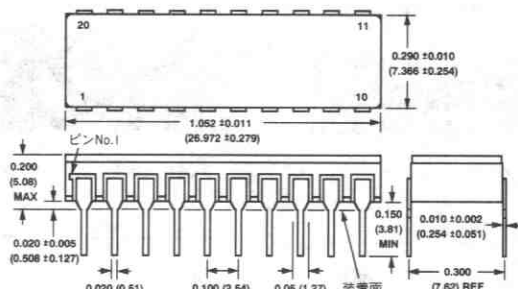
モデル	温度範囲	パッケージ
AD9100JD	0~+70°C	セラミックDIP
AD9100AD	-40~+85°C	セラミックDIP
AD9100SD	-55~+125°C	セラミックDIP

Jリード表面実装パッケージ部品については、MIL規格883部品と同様にお問合わせください。

外形サイズ

サイズはインチと (mm) で示します。

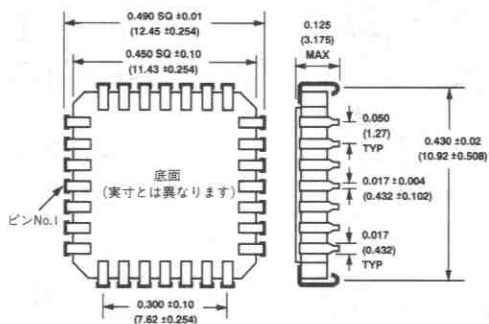
20ピン・サイド・ブレース・セラミックDIP



注意：パッケージの底面は接地されています。

28ピン・Jリード・パッケージ

(お問合わせ下さい)



特長

- 4個の独立したサンプル・ホールドを内蔵
- ホールド・コンデンサを内蔵
- 高精度12ビット
- 超低ドレブ・レート (2mV/s typ)
- $C_L \leq 500\text{pF}$ で安定な出力バッファ
- TTL/CMOSコンパチブルのロジック入力
- 単一またはデュアル電源動作
- モノリシック、ローパワーCMOS設計

応用

- 信号処理システム
- マルチ・チャンネル・データ収集システム
- 自動試験装置
- 医療用および分析用計装
- イベント解析
- DACデグリッチ

オーダ・ガイド¹⁾

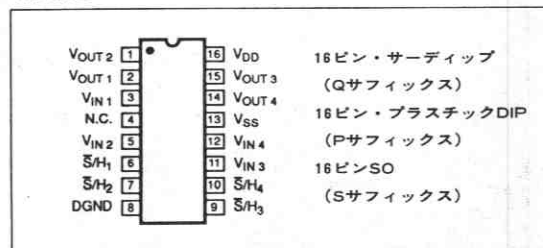
パッケージ		動作温度範囲
プラスチック	サーディップ	
16ピン	16ピン	
—	SMP04AQ/883*	MIL
SMP04EP	SMP04EQ	XIND
SMP04ES ²⁾	—	XIND

*883規格品のデータ・シートについては弊社にお問い合わせ下さい。

注1. サーディップおよびプラスチックDIPパッケージの産業用、一般用温度範囲品についてはバージョンが可能です。

2. SOパッケージ品の供給とバージョンに関しては弊社までお問い合わせ下さい。

ピン配置



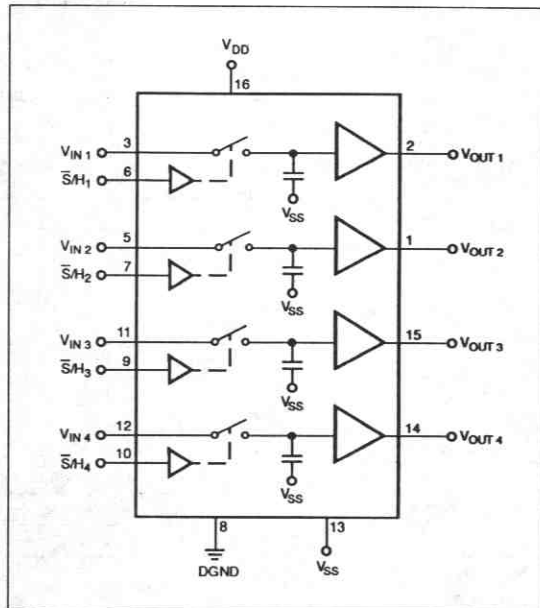
概要

SMP-04はモノリシックのクワッド・サンプル・ホールドです。4個の高精度バッファ・アンプとホールド・コンデンサを内蔵しています。このデバイスは弊社の先進の酸化物絶縁CMOS技術によってデータ収集システムや信号処理システムなどに必要とされる高精度、低ドレブ・レート、高速アキュイジション時間を実現しています。SMP-04は7 μs 以下の時間で8ビット精度の入力信号を誤差 $\pm 1/2$ LSB以内とすることができます。SMP-04は単一またはデュアル電源で動作し、TTL/CMOSロジックとコンパチブルです。出力振幅は単一電源でグラウンド電位からの振幅が得られます。

SMP-04はアンプのオフセットやVCAゲインの調整など幅広いサンプル・ホールド用途に最適です。SMP-04を単一または複数のDACと共に使用することによりシステム内に複数の設定ポイントを得ることができます。

SMP-04は従来のモジュールやディスクリート製品に比べ価格とサイズの大規模な低減を実現しています。SMP-04は16ピン・パッケージまたはプラスチックDIPおよび表面実装SOICパッケージが供給可能です。拡張産業用温度範囲の $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ で仕様が規定されています。 $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の規定に関してはSMP-04/883のデータ・シートを参照下さい。

機能ブロック図



絶対最大定格 (特に指定のない限り、 $T_A = +25^\circ\text{C}$)

$V_{DD} - \text{DGND}$	-0.3V, 17V
$V_{DD} - V_{SS}$	-0.7V, 17V
$V_{\text{LOGIC}} - \text{DGND}$	-0.3V, V_{DD}
$V_{\text{IN}} - \text{DGND}$	$-V_{SS}$, V_{DD}
$V_{\text{OUT}} - \text{DGND}$	$-V_{SS}$, V_{DD}
アナログ出力電流	$\pm 20\text{mA}$ (出力短絡に対し保護されていません)
デジタル入力電圧 - DGND	-0.3V, $V_{DD} + 0.3\text{V}$
動作温度範囲	
EQ, EP, ES	$-40^\circ\text{C} \sim +85^\circ\text{C}$
AQ	$-55^\circ\text{C} \sim +125^\circ\text{C}$
接合温度	$+150^\circ\text{C}$
保管温度	$-65^\circ\text{C} \sim +150^\circ\text{C}$
リード温度 (ハンダ付け, 60秒)	$+300^\circ\text{C}$

パッケージ	θ_{JA} (注1)	θ_{JC}	単位
16ピン・サーディップ (Q)	94	12	$^\circ\text{C}/\text{W}$
16ピン・プラスチックDIP (P)	76	33	$^\circ\text{C}/\text{W}$
16ピンSO (S)	92	27	$^\circ\text{C}/\text{W}$

注:

1. θ_{JA} はサーディップ・パッケージとプラスチックDIPパッケージでソケットを使用した場合の最悪の実装条件として規定されています。SOパッケージの θ_{JA} はデバイスをプリント基板にハンダ付けた場合として規定されています。

注意

- 絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。
- デジタル入力および出力は保護されていますが、未接続のピンへの高エネルギーの静電気により破壊が起こることがあります。使用する直前までデバイスを導電ボンジや導電パッケージで保管して下さい。正しい帯電防止を行なって下さい。
- デバイスをソケットに装着またはソケットから引き抜く場合には事前に電源を落としてから行なって下さい。

電気的特性

(特に指定のない限り、 $V_{DD} = +12.0\text{V}$ 、 $V_{SS} = \text{DGND} = 0\text{V}$ 、 R_L は無負荷、 T_A は絶対最大定格に規定された動作温度範囲)

パラメータ	記号	条件	SMP-04			単位
			Min	Typ	Max	
直線性誤差	-	-	-	0.01	-	%
バッファ・オフセット電圧	V_{OS}	$V_{IN} = 6\text{V}$	-10	± 2.5	+10	mV
ホールド・ステップ	V_{HS}	$V_{IN} = 6\text{V}$	-	1	± 4	mV
ドループ・レート	$\Delta V / \Delta t$	$V_{IN} = 6\text{V}$ 、 $T_A = +25^\circ\text{C}$	-	2	25	mV/s
出力ソース電流	I_{SOURCE}	$V_{IN} = 6\text{V}$ (注1)	1.2	-	-	mA
出力シンク電流	I_{SINK}	$V_{IN} = 6\text{V}$ (注1)	0.5	-	-	mA
出力電圧範囲	OVR	$R_L = 20\text{k}\Omega$	0.05	-	10.0	V
		$R_L = 10\text{k}\Omega$	0.05	-	9.5	V
ロジック特性						
ロジック入力HI電圧	V_{INH}	-	2.4	-	-	V
ロジック入力LOW電圧	V_{INL}	-	-	-	0.8	V
ロジック入力電流	I_{IN}	-	-	0.5	1	μA
ダイナミック特性 (注2)						
アキュイジション時間	t_A	$T_A = +25^\circ\text{C}$ 、 0~10Vステップ、0.1%	-	7	-	μs
アキュイジション時間	t_A	$T_A = +25^\circ\text{C}$ 、 0~10Vステップ、0.01%	-	9	-	μs
ホールド・モード・セトリック時間	t_H	1mV	-	1	-	μs
スルー・レート	SR	$R_L = 20\text{k}\Omega$ (注3)	3	4	-	V/ μs
容量性負荷安定度	C_L	<30%オーバershoot	-	500	-	pF
アナログ・クロストーク	-	0~10Vステップ	-	-80	-	dB
電源特性						
電源変動除去比	PSRR	$10.8 \leq V_{DD} \leq 13.2\text{V}$	60	75	-	dB
電源電流	I_{DD}	-	-	4	7	mA
消費電力	P_{DIS}	-	-	-	84	mW

注

- 出力のシンクおよびソース能力は20mA以上ですが、直線性とオフセットは規定負荷レベルで保証されます。
- 入力制御信号はすべて $t_r = t_f = 5\text{ns}$ (+5Vの10%~90%) および1.6Vの電圧レベルからの時間で規定されます。
- サンプル・モードで0~10Vステップの20~80%で測定されたスルー・レート。

電気的特性

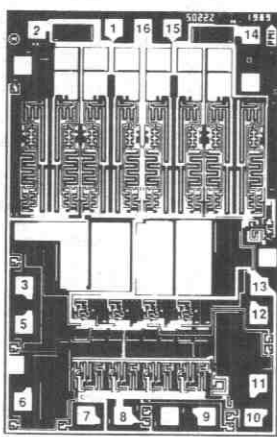
(特に指定のない限り、 $V_{DD}=+5.0V$ 、 $V_{SS}=-5.0V$ 、 $DGND=0.0V$ 、 R_L は無負荷、 T_A は絶対最大定格に規定された動作温度範囲)

パラメータ	記号	条件	Min	SMP-04		単位
				Typ	Max	
直線性誤差			-	0.01	-	%
バッファ・オフセット電圧	V_{OS}	$V_{IN}=0V$	-10	± 2.5	+10	mV
ホールド・ステップ	V_{HS}	$V_{IN}=0V$	-	-1	± 4	mV
ドロープ・レート	$\Delta V / \Delta t$	$V_{IN}=0V$ 、 $T_A=+25^\circ C$	-	2	25	mV/s
出力抵抗	R_{OUT}		-	1	-	Ω
出力ソース電流	I_{SOURCE}	$V_{IN}=0V$ (注1)	1.2	-	-	mA
出力シンク電流	I_{SINK}	$V_{IN}=0V$ (注1)	0.5	-	-	mA
出力電圧範囲	OVR	$R_L=20k\Omega$	-3.0	-	+3.0	V
ロジック特性						
ロジック入力HI電圧	V_{INH}		2.4	-	-	V
ロジック入力LOW電圧	V_{INL}		-	-	0.8	V
ロジック入力電流	I_{IN}		-	0.5	1	μA
ダイナミック特性 (注2)						
アキュイジション時間	t_A	-3V~+3Vステップ、0.1%	-	7	-	μs
アキュイジション時間	t_A	-3V~+3Vステップ、0.01%	-	9	-	μs
ホールド・モード・セトリック時間	t_H	1mV	-	1	-	μs
スルー・レート	SR	$R_L=20k\Omega$ (注3)	-	3	-	V/ μs
容量性負荷安定度	C_L	<30%オーバシュート	500	-	-	pF
電源特性						
電源変動除去比	PSRR	$\pm 5 \leq V_{DD} \leq \pm 6V$	60	75	-	dB
電源電流	I_{DD}		-	3.5	5.5	mA
消費電力	P_{DIS}		-	-	55	mW

注

- 出力のシンクおよびソース能力は20mA以上ですが、直線性とオフセットは規定負荷レベルで保証されます。
- 入力制御信号はすべて $t_r=t_f=5ns$ (+5Vの10%~90%) および1.6Vの電圧レベルからの時間で規定されます。
- サンプル・モードで-3~+3Vステップの20~80%で測定されたスルー・レート。

ダイス仕様



ダイ・サイズ:
0.080×0.120インチ, 9,600平方mil
(2.032×3.048mm, 6.193mm²)

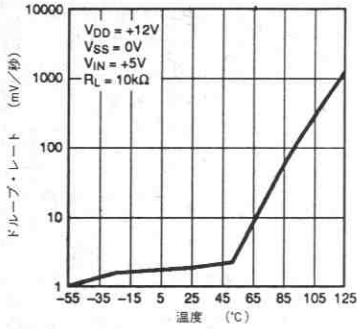
1. V_{OUT2}	9. S/H ₃
2. V_{OUT1}	10. S/H ₄
3. V_{IN1}	11. V_{IN3}
4. N.C.	12. V_{IN4}
5. V_{IN2}	13. V_{SS}
6. S/H ₁	14. V_{OUT4}
7. S/H ₂	15. V_{OUT3}
8. DGND	16. V_{DD}

ウエハ・テスト・リミット (特に指定のない限り、 $V_{DD}=+12.0V$ 、 $V_{SS}=DGND=0V$ 、 R_L は無負荷、 $T_A=+25^\circ C$)

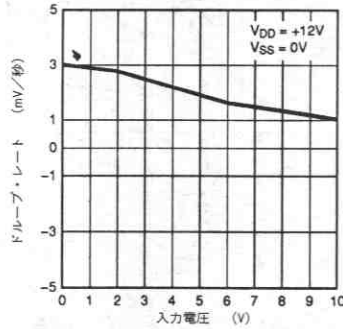
パラメータ	記号	条件	SMP-04G リミット値	単位
バッファ・オフセット電圧	V_{OS}	$V_{IN}=6V$	±10	mV max
ホールド・ステップ	V_{HS}	$V_{IN}=6V$	±4	mV max
ドループ・レート	$\Delta V/\Delta t$	$V_{IN}=6V$	25	mV/s max
出力ソース電流	I_{SOURCE}	$V_{IN}=6V$	1.2	mA min
出力シンク電流	I_{SINK}	$V_{IN}=6V$	0.5	mA min
出力電圧範囲	OVR	$R_L=20k\Omega$	0.05/10.0	V min/max
		$R_L=10k\Omega$	0.05/9.5	V min/max
ロジック特性				
ロジック入力HI電圧	V_{INH}		2.4	V min
ロジック入力LOW電圧	V_{INL}		0.8	V max
ロジック入力電流	I_{IN}		1	μA max
電源特性				
電源変動除去比	PSRR	$10.8 \leq V_{DD} \leq 13.2V$	60	dB min
電源電流	I_{DD}		7	mA max
消費電力	P_{DIS}		84	mW max

注
ここに示したリミット値の電気的特性の試験はウエハ・プローブで行なわれています。パッケージング後の歩留りはアセンブリ方法の違い、製造歩留りの変動により異なりますので、スタンダード品のパッケージング後の歩留りは保証されません。サンプル的にパッケージングし、検査する場合のダイスのロット評価に基づく仕様をご希望の方はお問い合わせ下さい。

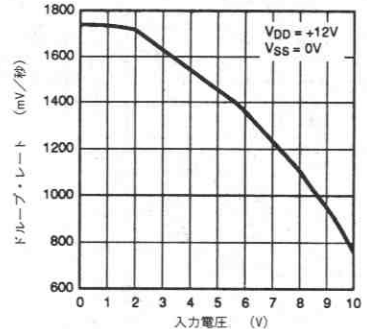
代表的な特性



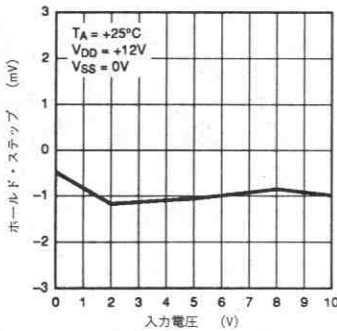
ドレープ・レート対温度



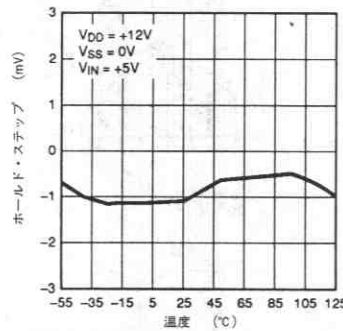
ドレープ・レート対入力電圧 (TA = +25°C)



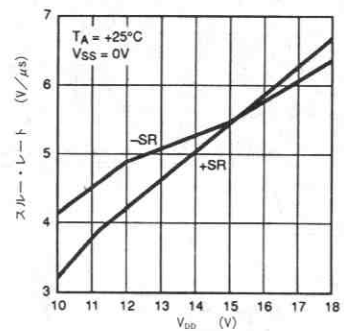
ドレープ・レート対入力電圧 (TA = +125°C)



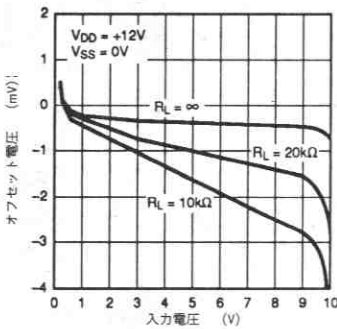
ホールド・ステップ対入力電圧



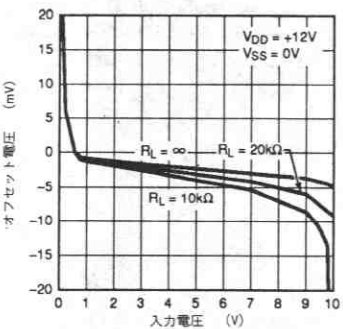
ホールド・ステップ対温度



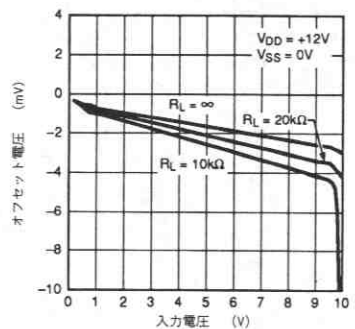
スルー・レート対VDD



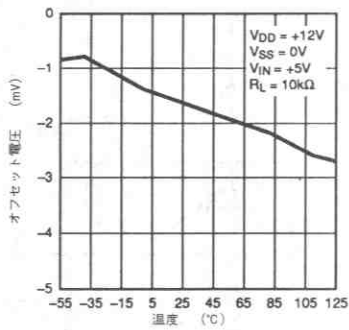
オフセット電圧対入力電圧 (TA = +25°C)



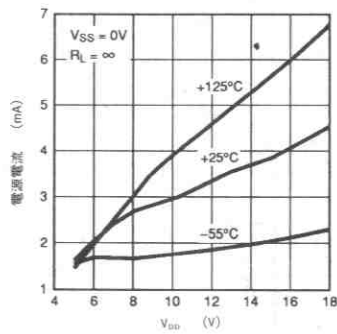
オフセット電圧対入力電圧 (TA = +125°C)



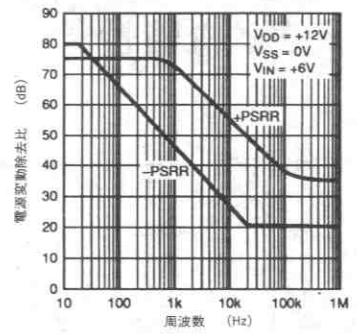
オフセット電圧対入力電圧 (TA = -55°C)



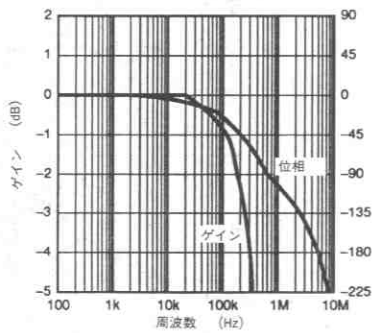
オフセット電圧対温度



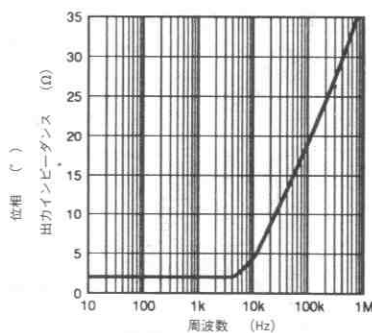
電源電流対V_{DD}



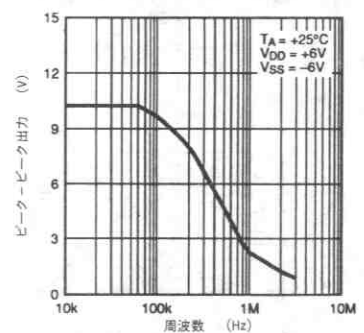
サンプル・モード電源変動除去比



ゲイン、位相シフト対周波数



出力インピーダンス対周波数



最大出力電圧対周波数

概要

SMP-04はクワッド・サンプル・ホールドで、個々のトラック・ホールドにそれぞれ入力、出力、コントロール、オン・チップのホールド・コンデンサを備えています。単一チップ上に高性能トラック・ホールド・コンデンサを内蔵しているため、基板スペースと設計時間を節約することができ、信頼性が向上します。

一般にサンプル・ホールド・アンプを選択した後に主に考慮すべきことは、ホールド・コンデンサと基板配置です。SMP-04ではホールド・コンデンサを内蔵し、漏れ電流、フィードスルー、ガード・リング、誘電体吸収などの問題のほとんどを解決しました。

電源

SMP-04は7~15Vの単一またはデュアル電源の両方で動作します。使用する電源電圧V_{DD}とV_{SS}により出力電圧範囲が以下のように決まります。

$$V_{SS} + 0.05V \leq V_{OUT} \leq V_{DD} - 2V$$

7V以下の電源電圧ではアクイジション時間、オフセットおよび出力電圧コンプライアンスなどの仕様が劣化しますのでご注意ください。正電源電流は出力無負荷時には4mA typです。SMP-04は規定の電源範囲内でTTL/CMOSとの互換性が保たれるように内部で安定化されたTTL電源を備えています。

単一電源動作時のグラウンドに関する配慮

単一電源動作では V_{SS} (負電源) ピンを正しくグラウンドに接続することが非常に重要です。これは内蔵のホールド・コンデンサが内部で V_{SS} に接続されているためです。グラウンドからのノイズはサンプル・ホールド出力に直接結合し、S/N比を劣化させます。アナログ・グラウンドおよびデジタル・グラウンドのプリント・パターンをなるべく離し、デジタル・スイッチング・ノイズのアナログ回路への流れ込みを防ぐことをお奨めします。

電源のバイパス

最良の性能を得るためには V_{DD} 電源ピンは高品質の高周波セラミック・コンデンサでバイパスしなければなりません。推奨値は $0.1\mu\text{F}$ です。デュアル電源を使用する場合には V_{SS} (負電源) のバイパスが特に重要となります。これは内蔵ホールド・コンデンサが V_{SS} に接続されているからです。良好なバイパスによりサンプル・ホールド・アンプへ高周波ノイズが流入することを防ぎます。通常は $0.1\mu\text{F}$ のセラミック・コンデンサで十分なバイパスが可能です。高ノイズ環境では $10\mu\text{F}$ のタンタル・コンデンサを $0.1\mu\text{F}$ のセラミック・コンデンサと並列に接続し、さらにバイパス効果を得ることができます。

電源投入の手順

入力にロジック・レベル信号が加わる前に V_{DD} を与える必要があります。SMP-04はラッチ・アップしにくいように設計されていますが、注意を怠らないうで下さい。

出力バッファ (ピン1、2、14、15)

出力バッファのオフセット仕様値は $\pm 10\text{mV}$ です。この値は 10V フルスケールの8ビットDACで $\pm 1/2\text{LSB}$ 以下に相当します。出力範囲内で生じるオフセット変化は 3mV typです。ホールド・ステップはサンプル・モードからホールド・モードに入った時に発生する電圧ステップの大きさです。この誤差はベダスタル誤差またはサンプル・ホールド・オフセット誤差と呼ばれ、約 1mV の値となっています。ホールドしたチャンネルのドループ・レートは $2\mu\text{V}/\text{ms}$ typ、 $\pm 25\mu\text{V}/\text{ms}$ maxです。

バッファは主としてグラウンドとの間に接続された負荷を駆動するように設計されています。バッファ出力は全電圧範囲で規定された精度を保ちながら、それぞれ 1.2mA のソース電流を流すことができます。デュアル電源動作の場合には両電源電圧から 2V 以下の範囲で対称な出力振幅を得ることができます。

SMP-04のバッファはオン・チップのため、外付バッファでの電位差による安定度の問題がありません。出力は 500pF までの容量性負荷に対し安定です。しかしSMP-04のバッファ出力は出力短絡に対して保護されていないため、出力と電源やグラウンドとの短絡は避けるよう注意すべきです。

信号入力 (ピン3、5、11、12)

信号入力はオペアンプのような低インピーダンスの電圧源で駆動しなければなりません。SMP-04の高速のアクイジション特性を保つため、このオペアンプは高いスルー・レートと高速なセトリング特性を備えていなければなりません。CMOSデバイスに共通の注意事項として、入力電圧は電源電圧範囲内 ($V_{SS} \leq V_{IN} \leq V_{DD}$) に保ち、ラッチ・アップを避けなければなりません。

内蔵のホールド・コンデンサは 60pF typで、内部スイッチのON抵抗は $4\text{k}\Omega$ です。単一電源動作の場合には入力駆動にOP-21、

OP-80、OP-90などの出力電圧範囲にグラウンド電位を含むオペアンプを使用することができます。 $\pm 7.5\text{V}$ などのデュアル電源の場合でも上記のオペアンプを使用することができます。

使用上の注意

使用しないデジタル入力はロジックLOWに、また使用しないアナログ入力はアナログ・グラウンドに接続してください。コネクタを使用し接続する場合、一時的に無接続 (オープン) となる可能性のあるアナログ入力は V_{SS} またはアナログ・グラウンドとの間に $0.2 \sim 1\text{M}\Omega$ の抵抗を接続しなければなりません。

入力電流値が 10mA 以下に制限されていない限り、SMP-04に電源を与えずに信号を加えてはいけません。

トラック・ホールド・アンプはプリント・パターンと接続方法に大きな影響を受けます。最良の性能を得るためにSMP-04にソケットを使用しないことをお奨めします。

周波数領域の特性

SMP-04はダイナミック信号入力の応用のために周波数領域での規定も行っています。図1aに 86.1kHz のサンプル・レートで 8kHz の信号を入力した場合のスペクトラムを示します。通常はSMP-04は 85kHz 以下のサンプリング周波数で信号をサンプルします。最大サンプル・レートの場合でも最小サンプル・パルス幅を任意に設計することができます。弊社の試験ではサンプル・パルス幅による性能低下は $4\mu\text{s}$ 以下となっています。

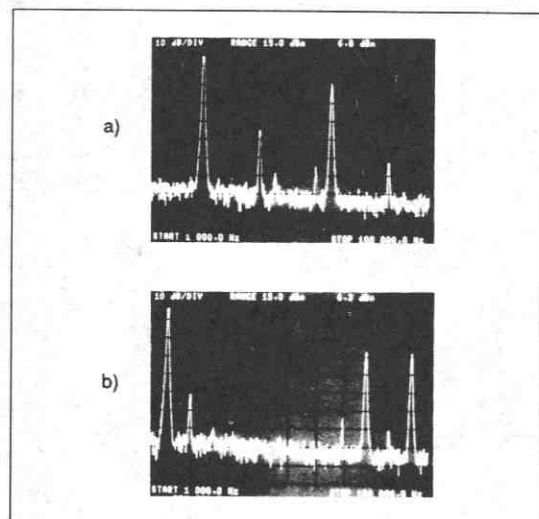


図1. 86kHz のサンプリング周波数における周波数応答特性。

(a)は 20kHz のキャリア周波数、(b)は 8kHz のキャリア周波数を示します。

SMP-04のダイナミック性能の最適化

入力電圧振幅、サンプリング・パルス幅、そして先に述べた電源バイパスとグラウンド方法などのさまざまな動作条件によってS/N比が変動します。表1にSMP-04のS/N比対入力レベルの関係を示します。

電源電圧が増加するとSMP-04の歪みは減少します。これはスルーレイトが増加することによるものです。表2に12.3kHzのサンプリング周波数と2kHzの入力周波数によるデータを示します。全高調波歪みは2次および3次高調波が主なものとなっています。

表3にSMP-04のサンプリング・パルス幅とS/N比の関係を示します。1.4V_{p-p}の入力信号の場合にアキュジション時間とS/N比の良好な関係を得るためには動作パルス幅の推奨値は最小5μsであることがわかります。これより大きな信号振幅では、増加した電圧に追従する時間が必要なため、より大きなパルス幅を必要とします。

入力電圧 (V _{p-p})	SNR (dB)
1	-61
2	-53
3	-50
4	-47
5	-45
6	-44

条件: V_s = ±6V, f_s = 14.4kHz, f_{in} = 1.8kHz, t_{pw} = 10μs

表1. S/N比対V_{IN}

電源電圧	第2次 (dB)	第3次 (dB)
10V	-49	-62
12V	-55	-71
14V	-60	-80
15V	-62	< -80
16V	-63	< -83
17V	-65	< -85

表2. S/N比対電源電圧

サンプル パルス幅 (μs)	SNR (dB)
1	-37
2	-44
3	-50
4	-54
5	-54.9
6	-55
7	-55.3

条件: V_s = ±6V, V_{IN} = 1.4V_{p-p}, f_s = 14.4kHz, f_{in} = 1.8kHz

表3. S/N比対サンプル・パルス幅

サンプル・モードの歪み特性

SMP-04はサンプル・ホールドとして設計されていますが、連続的にサンプル・モードに設定することによりバッファ・アンプとして使用することもできます。 \overline{S}/H コントロール・ピンをロジックLOWに接続することでこの構成にできます。このバッファの帯域幅は入力信号周波数が増加するにつれて、歪み成分により制限されます。図2にSMP-04の入力信号周波数に対する歪み特性を示します。全高調波歪みが8kHzまでの音声帯域内では1%以下であることがわかります。

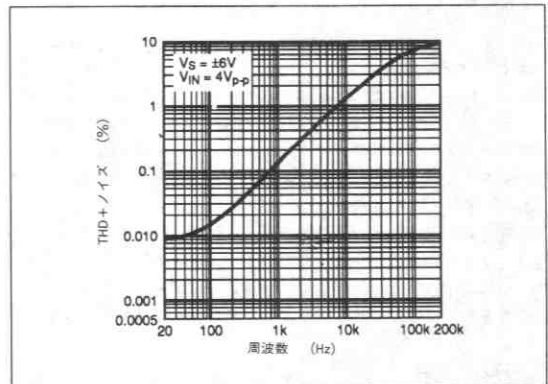


図2. THD (全高調波歪み)+N特性対周波数

サンプルしたデータのダイナミック特性

音声のデジタル化や通信回路のようにデータを連続的にサンプリングする応用ではサンプル・ホールドの周波数応答を考慮することが重要です。図1aとbに振幅1.4V_{p-p}の20kHzと8kHzの正弦波をSMP-04によって86kHzでサンプリングした場合の周波数応答特性を示します。写真には入力信号周波数とその高調波も捉えられています。20kHzの入力信号周波数の場合には2次高調波は基本波の-41dBのレベルであり、そのためにS/N比は-40.9dBとなっています。8kHzの場合にはS/N特性が改善され-48dBとなります。

V.32とV.33モデムではSMP-04に1.8kHzのキャリア信号周波数が加えられます。図3にサンプリング周波数14.4kHz、9.6kHz、7.2kHzの場合のSMP-04の周波数応答特性を示します。S/N比はそれぞれ58.2dB、59.3dB、60dBとなっています。

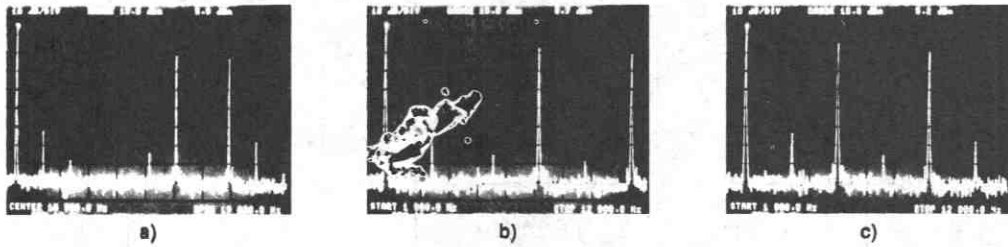


図3. 入力信号周波数1.8kHzの場合のSMP-04の周波数応答特性。(a) サンプル周波数14.4kHzの場合。S/N比は58.2dB。
(b) サンプル周波数8.6kHzの場合。S/N比は59.3dB。(c) サンプル周波数7.2kHzの場合。S/N比は60dB。

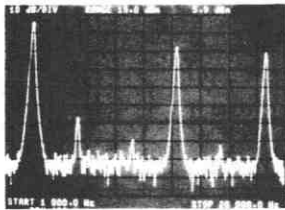


図4. 入力信号周波数3kHz、サンプル周波数15.7kHzの場合のSMP-04の周波数応答特性。

図4に3kHzの音声周波数を15.7kHzでサンプルした場合のSMP-04の周波数応答特性を示します。この場合にはS/N比は53dBとなります。

応用

マルチプレクサ付きクワッドDAC (図5)

SMP-04を使用し、1個のD/Aコンバータ出力を4個の独立したアナログ出力に分けることができます。この回路は、DAC-8228のような電圧出力DACを用いることによってかなり簡素化できます。出力の変動を防ぐため、サンプル信号が有効になるまでの最終電圧へのセトリング時間として5μsを見込まなければなりません。ドロップが10mVまたは1/2LSBを越えないようにするため、個々のサンプル・ホールド・アンプは1秒以下の周期でリフレッシュしなければなりません。

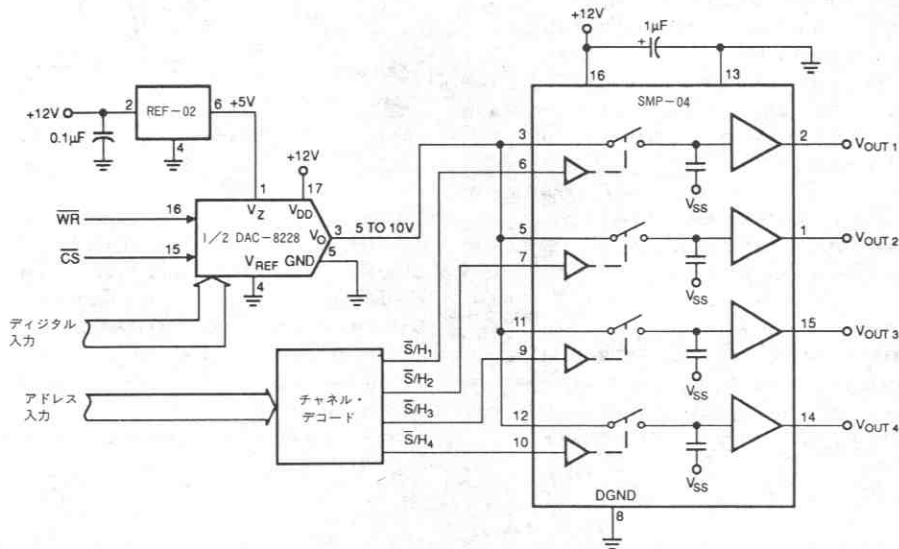


図5. マルチプレクサ付きクワッドDAC

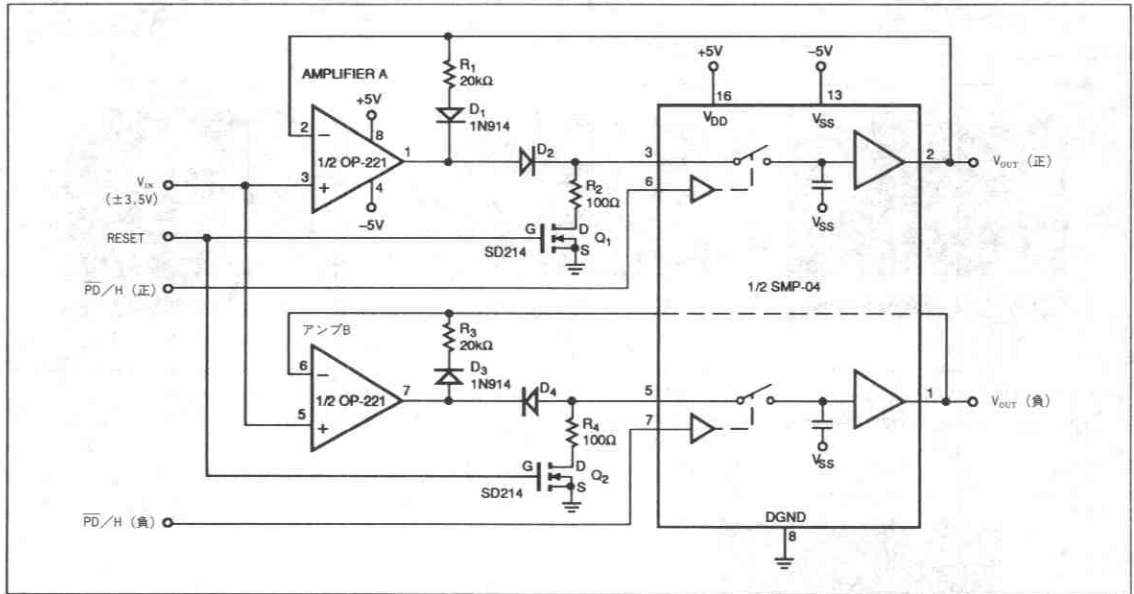


図6. ホールド・コントロール付きの正および負のピーク・ディテクタ

ホールド・コントロール付きの正および負のピーク・ディテクタ (図6)

この応用では上側のアンプ (アンプA) が正のピーク・ディテクタ、下側のアンプ (アンプB) が負のピーク・ディテクタとして使用されています。この回路の動作は以下のようになります。まず \overline{S}/H (\overline{PK}/H) スイッチが閉の時に正の増加電圧が A_{IN} に加わると、 D_2 がON、 D_1 がOFF となってアンプAとSMP-04により帰還ループを形成し、出力が入力に追従します。逆に下側の負のピーク・ディテクタ回路では D_4 がOFF、 D_3 がONとなり、最終的にSMP-04によって最も大きな負の入力電圧がホールドされます。この電圧はバッファされ、 $V_{O(NEG)}$ 出力となります。

V_{IN} が逆極性の電圧まで下がると最も大きな正のピーク電圧が $V_{O(POS)}$ 出力でホールドされます。この電圧は入力がかこれまでに保持したピーク電圧よりも大きな正の電圧となるか、またはリセット条件が加えられるまで保持されます。

\overline{PD}/H 入力にロジックHIを加えることでホールド制御機能を使用することができます。このHOLDモードによって、ピーク・ホールド期間中に逆バイアスされたダイオード (D_2 と D_4) を通じて流れる漏れ電流を減少させる効果があります。

ゲイン10のサンプル・ホールド (図7)

この応用ではSMP-04をアンプの帰還ループ内に接続しています。SMP-04は極性の反転がなく、アンプは非常に高いオープン・ループ・ゲインを備えているため、この回路のゲインは信号源抵抗と帰還抵抗の和と信号源抵抗との比によって設定されます。

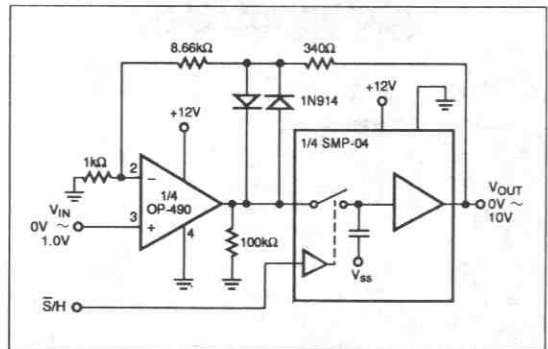


図7. ゲイン10のサンプル・ホールド・アンプ

\overline{S}/H 制御入力にロジックLOWレベルを加えることによりOP-490の周囲にループが形成され、ゲイン10のアンプ (上図に示す) として動作します。 \overline{S}/H 制御がHIレベルになるとループはオープンとなり、SMP-04が最後にサンプルした電圧をホールドします。このループは \overline{S}/H 制御にロジックLOWが加えられるまでオープンとなり、出力は入力により影響を受けません。オペアンプ出力とトラック・ホールド出力の間に互いに逆方向に接続されたダイオードは、トラック・ホールドがホールド・モードとなりループがオープンになった時にオペアンプが飽和することを避けるためのものです。

サンプル機能付き差動アンプ (図8)

この回路では2個のサンプル・ホールドを使用し、タイミング t_1 および t_2 における2つの電圧の差を測定することができます。サンプリングされた電圧はAMP-02計装アンプの差動入力に加えられます。この計装アンプのゲインは抵抗 R_G によって設定できます。この応用ではSMP-04の同一チップ上に構成された4個のユニットのうち2個を使用することにより、マッチングのとれた特性のサンプル・ホールド性能を得ることができるメリットがあります。

単一電源、サンプリング機能付き計装アンプ (図9)

この応用でもSMP-04に内蔵の4チャンネルのうちの2ユニットと計装アンプを使用しサンプリングした差電圧を得ます。この回路では同じタイミングで信号をサンプリングするため、サンプル・ホールド信号はお互いに接続されています。SMP-04の残り2チャンネルはコントロール信号線をグラウンドに接続し常にサンプリングさせることによって、アンプとして使用されています。その片方は同相電圧に対するカードの駆動のため、もう片方は単一動作のときのオフセットとして使用する+6Vリファレンス電圧を発生するために使用されています。

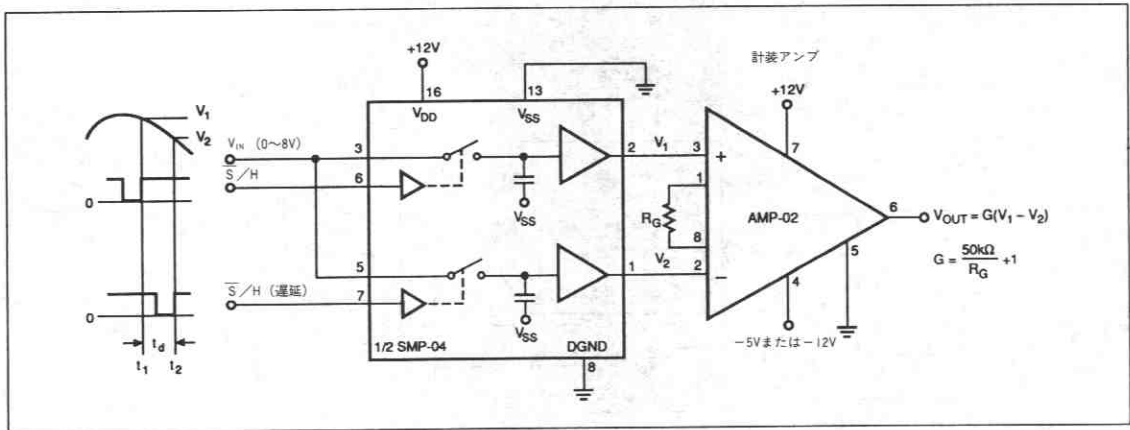


図8. サンプリング機能付き差動アンプ

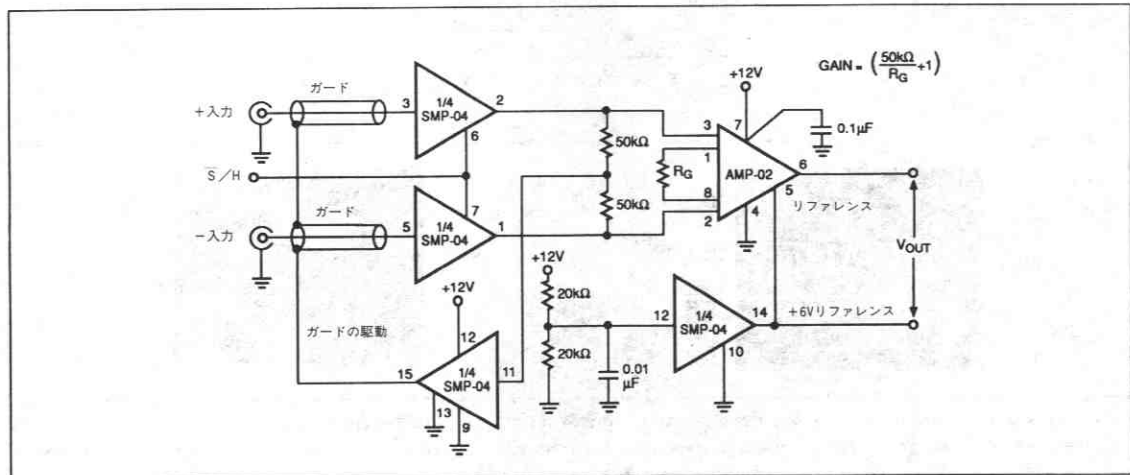


図9. +12V単一電源、ガード駆動、サンプリング機能付き計装アンプ

D/Aコンバータのデグリッチャ

ほとんどのD/Aコンバータは入力デジタル・コードが変化するとき出力に多少のグリッチを発生します。このグリッチの振幅は数mV～数100mVの範囲です。この値は多くの応用では無視できないものです。SMP-04を使用しDACの出力遷移を選択的に遅延させることによって出力波形を平滑化することができます。図10にこのようなデグリッチ回路の回路図を示します。2つの簡単なロジック・ゲート (ORとNANDゲート) により、DACの \overline{WR} ストロープ信号とSMP-04の \overline{S}/H 制御信号のための正しいタイミングが作られます。この例では10ビット・バイナリ・カウンタの最上位8ビット出力をDACへ加えることによりニアなランプ信号を発生しています。下位2ビットは遅延された \overline{WR} ストロープ信号と \overline{S}/H 制御信号を発生するために使用します。図11aに示すように、DAC入力に

加えられる新しいデータは \overline{S}/H の立下がりエッジでセットアップされますが、 \overline{WR} ストロープが有効になるまでDAC出力は変化しません。この間、SMP-04はサンプル・モードになっており、出力はDACの出力電圧に追従しています。 \overline{S}/H がHIレベルになると、現在のDAC出力電圧はSMP-04によってホールドされます。DAC出力が変化する時間を与えるため、1.2 μ sのセトリック時間の後に \overline{WR} ストロープ信号がLOWになります。DAC出力に現われるどのようなグリッチもSMP-04によって効果的に阻止されます。 \overline{WR} ストロープがHIになるとすぐにデジタル・データがラッチされ、同時に \overline{S}/H がLOWとなり、SMP-04が新しいDAC出力電圧に追従します。

図11bにデグリッチ動作の様子を示します。上側の信号はデータ遷移時のDAC出力、下側の信号はSMP-04のデグリッチ後の出力です。

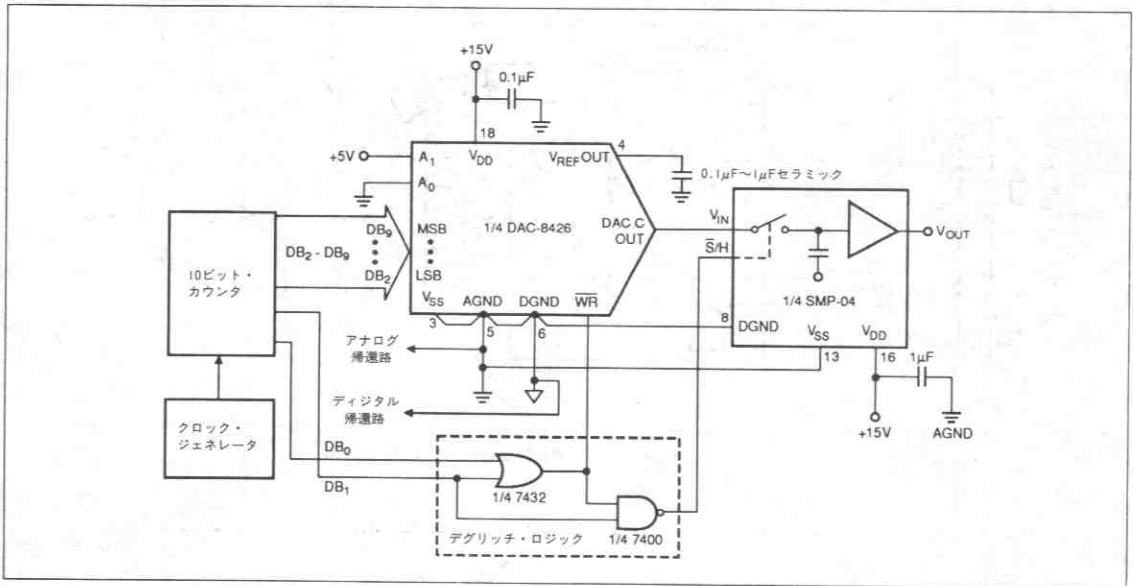


図10. DACデグリッチ回路

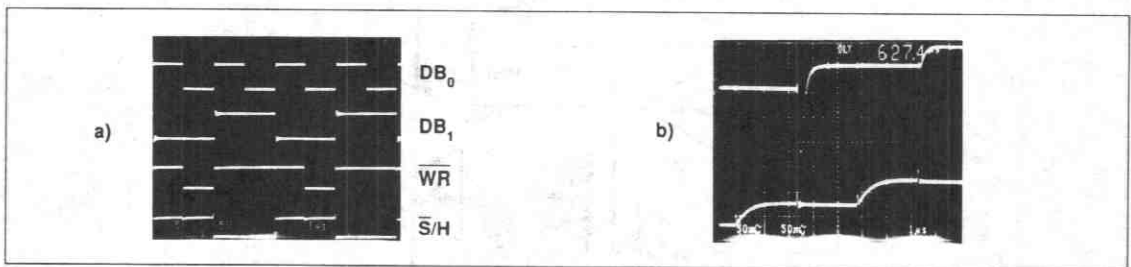
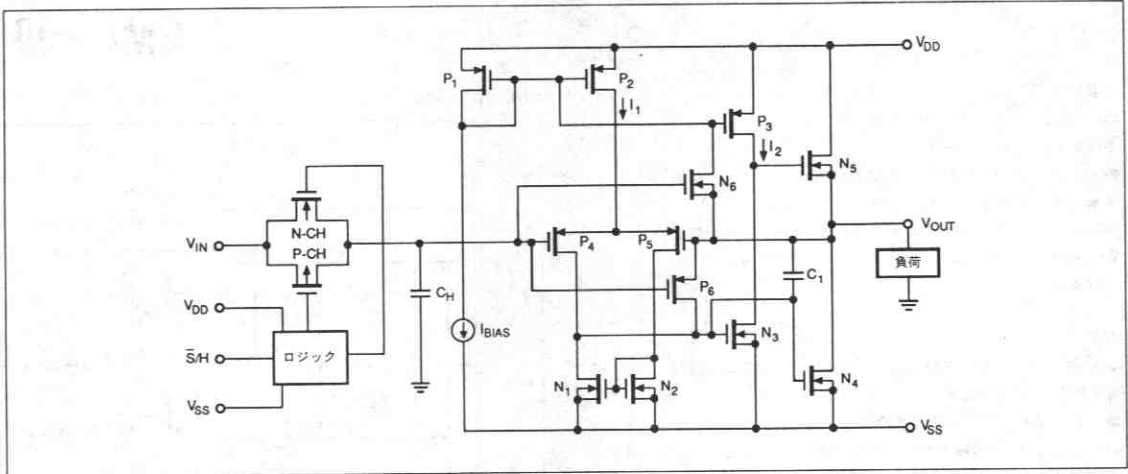
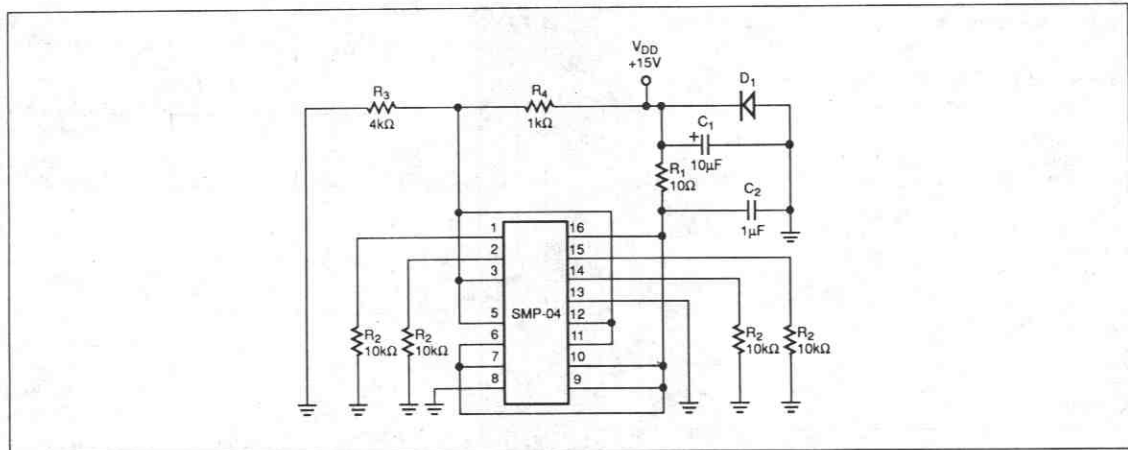


図11. (a) デグリッチ回路のロジック・タイミング。上側の2つの信号は下位2ビット (DB0とDB1) です。これら2ビットは \overline{WR} と \overline{S}/H 信号を発生するために使用されます。 \overline{WR} と \overline{S}/H 信号は下側の2つの信号で示されています。(b) にDACの代表的なグリッチ振幅 (上側の信号) とSMP-04のデグリッチ後の出力 (下側の信号) を示します。

SMP-04



等価回路



パインイン回路

特長

- ホールド・コンデンサを内蔵
- 低いドループ・レート
- TTL/CMOSコンパチブルのロジック入力
- 単一またはデュアル電源動作
- ブレーク・ビフォア・メークのチャンネル・アドレス動作
- CD4051とピン・コンパチブル
- 低価格

応用

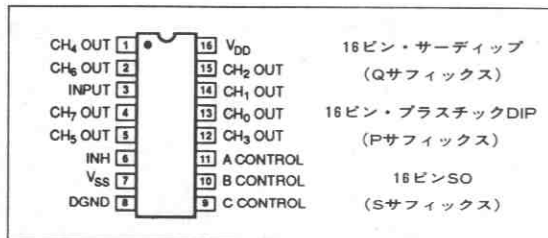
- A, T, E, 用マルチ経路タイミング・デスキュー回路
- メモリ・プログラマ
- マス・フロー/プロセス制御システム
- マルチ・チャンネルのデータ収集システム
- ロボットおよび制御装置
- 医療及び分析用装置
- イベント解析
- ステージ照明制御

オーダー・ガイド*

16ピンDIP/SOパッケージ		
サーディップ	プラスチック	
16ピン	16ピン	動作温度範囲
TBA*	—	MIL
SMP08FQ	SMP08FP	XIND
—	SMP08FS	XIND

* 883準拠製品のデータ・シートについては弊社にお問い合わせ下さい。
* サーディップおよびプラスチックDIPパッケージの産業用温度範囲品についてはバージョンが可能です。

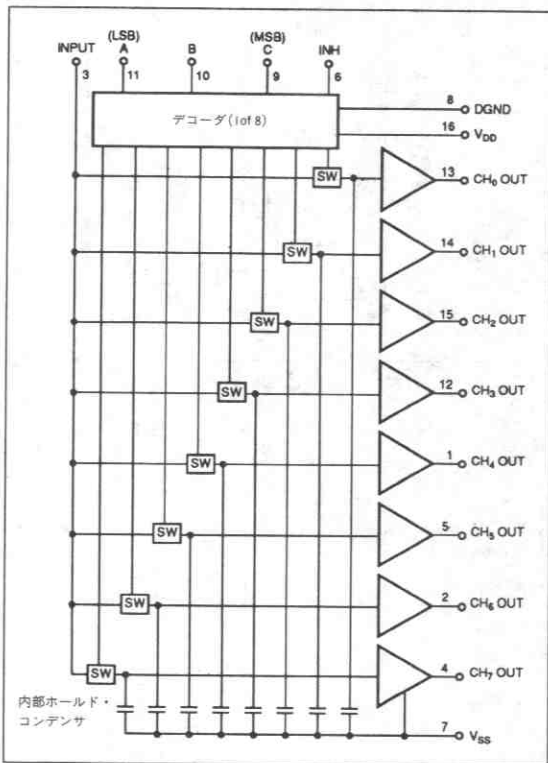
ピン接続



概要

SMP-08はモノリシックのオクタール・サンプル・ホールドです。8個のバッファ・アンプ、入力マルチプレクサ、ホールド・コンデンサを内蔵しています。このデバイスは弊社の先進の酸化物絶縁

機能ブロック図



CMOS技術によって高精度、低ドループ、高速アキュイジション時間を実現しています。SMP-08の直線性誤差の標準値は0.01%であり、7μs以下で10ビット精度の入力信号(±1/2LSB)を収集することができます。SMP-08の出力振幅は単一およびデュアル電源動作の両方でグラウンド電位からの振幅が得られます。

SMP-08は複数のシステム・パラメータを調整するためのキャリブレーション・サイクルを備えたシステムのために特に設計されました。SMP-08は低価格、高集積度のため、これまでASICや高価な複数のD/Aコンバータを必要としていたキャリブレーション回路部分に最適です。

SMP-08はアンプのオフセットやVCAゲイン調整などを含む幅広いサンプル・ホールド用途にも最適です。1個以上のSMP-08を単一または複数のDACと共に使用し、システム内に複数の基準電圧を設けることができます。

SMP-08によりディスクリット設計のコスト負担とサイズが大幅に改善されます。SMP-08は16ピン・ハーメチックまたはプラスチックDIPおよび表面実装SOICパッケージが供給可能です。

絶対最大定格 (注1)

$V_{DD}-DGND$	-0.3V, 17V
$V_{DD}-V_{SS}$	-0.3V, 17V
$V_{LOGIC}-DGND$	-0.3V, V_{DD}
$V_{IN}-DGND$	V_{SS} , V_{DD}
$V_{OUT}-DGND$	V_{SS} , V_{DD}
アナログ出力電流	±20mA

(出力短絡に対し保護されていません)

動作温度範囲

FP, FS	-40°C ~ +85°C
接合温度	+150°C
保管温度	-65°C ~ +150°C
リード温度 (ハンダ付け, 60秒)	+300°C

パッケージ	θ_{JA} (注2)	θ_{JC}	単位
16ピン・サーディップ (Q)	94	12	°C/W
16ピン・プラスチックDIP (P)	76	33	°C/W
16ピンSO (S)	92	27	°C/W

注:

- 特に指定のない限り、絶対最大定格はゲイスとパッケージの両方に適用されます。
- θ_{JA} はサーディップ・パッケージとDIPパッケージでソケットを使用した場合のような最悪の実装条件として規定されています。SOパッケージの θ_{JA} はデバイスがプリント基板にハンダ付けした場合として規定されています。

注意:

- 絶対最大定格を超えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスがある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。
- デジタル入力および出力は保護されていますが、未接続のピンで高エネルギーの静電気により破壊が起こることがあります。使用する直前まで、デバイスを導電スポンジや導電パッケージに保管して下さい。正しい帯電防止を行なって下さい。
- デバイスをソケットに装着またはソケットから引き抜く場合には事前に電源を落としてから行なって下さい。

電気的特性

(特に指定のない限り、 $V_{DD}=+5V$ 、 $V_{SS}=-5V$ 、 $DGND=0V$ 、 R_L は無負荷、 $T_A=-40°C \sim +85°C$)

パラメータ	記号	条件	SMP-08F			単位
			Min	Typ	Max	
直線性誤差			-	0.01	-	%
バッファ オフセット電圧	V_{OS}	$T_A = +25°C$ $-40°C \leq T_A \leq +85°C$	-	2.5 3.5	10 20	mV
ホールド・ステップ	V_{HS}		-	1	4	mV
ドループ・レート	$\Delta V_{CH}/\Delta t$	$T_A = +25°C$ 、 $V_{IN} = 0V$	-	2	20	mV/s
出力ソース電流	I_{SOURCE}	$V_{IN} = 0V$ (注1)	1.2	-	-	mA
出力シンク電流	I_{SINK}	$V_{IN} = 0V$ (注1)	0.5	-	-	mA
出力電圧範囲	V_O	$R_L = 20k\Omega$	-3.0	-	+3.0	V
ロジック特性						
ロジック入力HI電圧	V_{INH}		2.4	-	-	V
ロジック入力LOW電圧	V_{INL}		-	-	0.8	V
ロジック入力電流	I_{IN}	$V_{IN} = 2.4V$	-	0.5	1	μA
ダイナミック特性 (注2)						
アキュイジション時間	t_{AQ}	$T_A = +25°C$ 、 $-3V \sim +3V$ ステップ、0.1%	-	7	-	μs
ホールド・モード・セトリング時間	t_{H}	最終値の±1mV	-	1	-	μs
チャネル選択時間	t_{CH}		-	90	-	ns
チャネル開放時間	t_{DCS}		-	45	-	ns
インヒビット回復時間	t_{IR}		-	90	-	ns
スルー・レート	SR	$R_L = 20k\Omega$	-	3	-	V/ μs
容量性負荷安定度		<30% オーバシュート	-	500	-	pF
アナログ・クロストーク		$-3V \sim +3V$ ステップ	-	-72	-	dB
電源特性						
電源変動除去比	PSRR	$V_S = \pm 5V \sim \pm 6V$	60	75	-	dB
電源電流	I_{DD}	$T_A = +25°C$ $-40°C \leq T_A \leq +85°C$	-	5.5 7.5	7.5 9.5	mA

注:

- 出力のシンクおよびソース能力は20mA以上ですが、オフセットは規定負荷レベルで保証されます。
- 入力制御信号はすべて $t_r = t_f = 5ns$ (+5Vの10%~90%) および1.6Vの電圧レベルからの時間で規定されます。

電気的特性

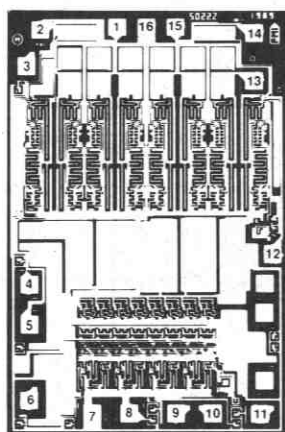
(特に指定のない限り、 $V_{DD}=+12V$ 、 $V_{SS}=0V$ 、 $DGND=0V$ 、 R_L は無負荷、 $T_A=-40^{\circ}C\sim+85^{\circ}C$)

パラメータ	記号	条件	SMP-08F			単位
			Min	Typ	Max	
直線性誤差			-	0.01	-	%
バックファ オフセット電圧	V_{OS}	$T_A=+25^{\circ}C$ $-40^{\circ}C \leq T_A \leq +85^{\circ}C$	-	2.5 3.5	10 20	mV
ホールド・ステップ	V_{HS}		-	1	4	mV
ドループ・レート	$\Delta V_{CH}/\Delta t$	$T_A=+25^{\circ}C$ 、 $V_{IN}=6V$	-	2	20	mV/s
出力ソース電流	I_{SOURCE}	$V_{IN}=6V$ (注1)	1.2	-	-	mA
出力シンク電流	I_{SINK}	$V_{IN}=6V$ (注1)	0.5	-	-	mA
出力電圧範囲	V_O	$R_L=20k\Omega$ $R_L=10k\Omega$	0.05 0.05	-	10.0 9.5	V
ロジック特性						
ロジック入力HI電圧	V_{INH}		2.4	-	-	V
ロジック入力LOW電圧	V_{INL}		-	-	0.8	V
ロジック入力電流	I_{IN}	$V_{IN}=2.4V$	-	0.5	1	μA
ダイナミック特性 (注2)						
アキュジション時間	t_{AQ}	$T_A=+25^{\circ}C$ 、 $0\sim 10V$ ステップ、0.1%	-	9	-	μs
ホールド・モード・セトリック時間	t_H	最終値の $\pm 1mV$	-	1	-	μs
チャネル選択時間	t_{CH}		-	90	-	ns
チャネル開放時間	t_{DCS}		-	45	-	ns
インヒビット回復時間	t_{IR}		-	90	-	ns
スルー・レート	SR	$R_L=20k\Omega$ (注3)	3	4	-	$V/\mu s$
容量性負荷安定度		<30%オーバシュート	-	500	-	pF
アナログ・クロストーク		$0\sim 10V$ ステップ	-	-72	-	dB
電源特性						
電源変動除去比	PSRR	$10.8V \leq V_{DD} \leq 13.2V$	60	75	-	dB
電源電流	I_{DD}	$T_A=+25^{\circ}C$ $-40^{\circ}C \leq T_A \leq +85^{\circ}C$	-	6.0 8.0	8.0 10.0	mA

注

- 出力のシンクおよびソース能力は20mA以上ですが、オフセットは規定負荷レベルで保証されます。
- 入力制動信号はすべて $t_r=t_f=5ns$ (+5Vの10%~90%) および1.6Vの電圧レベルからの時間で規定されます。
- サンプル・モードで0V~10Vステップの20~80%で測定されたスルー・レート。

ダイス仕様



- | | |
|-----------------------|------------------------|
| 1. CH ₁ 出力 | 9. C制御入力 |
| 2. CH ₂ 出力 | 10. B制御入力 |
| 3. 入力 | 11. A制御入力 |
| 4. CH ₁ 出力 | 12. CH ₁ 出力 |
| 5. CH ₂ 出力 | 13. CH ₂ 出力 |
| 6. INH | 14. CH ₂ 出力 |
| 7. V _{SS} | 15. CH ₂ 出力 |
| 8. DGND | 16. V _{DD} |

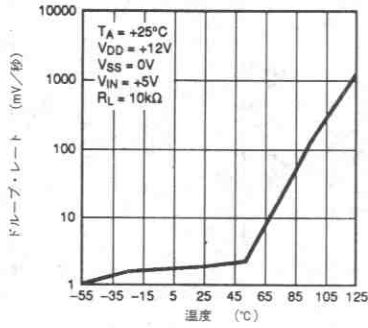
ダイ・サイズ: 0.080×0.120インチ, 9,600平方mil
(2.032×3.048mm, 6.193平方mm)

ウエハ・テスト・リミット (特に指定のない限り、V_{DD}=+12V、V_{SS}=DGND=0V、R_Lは無負荷、T_A=+25°C)

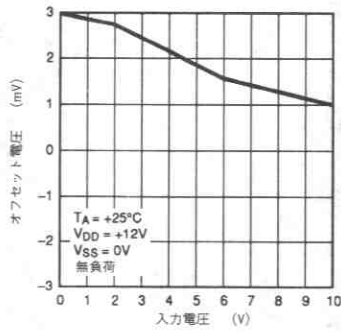
パラメータ	記号	条件	SMP-08GBC リミット値	単位
バッファ・オフセット電圧	V _{OS}	V _{IN} =+6V	20	mV max
ドループ・レート	ΔV _{CH} /Δt		20	mV/s max
出力ソース電流	I _{SOURCE}	V _{IN} =+6V	1.2	mA min
出力シンク電流	I _{SINK}	V _{IN} =+6V	0.5	mA min
出力電圧範囲	V _O	R _L =20kΩ	0.05/10.0	V max/min
		R _L =10kΩ	0.05/9.5	V max/min
ロジック特性				
ロジック入力HI電圧	V _{INH}		2.4	V min
ロジック入力LOW電圧	V _{INL}		0.8	V max
ロジック入力電流	I _{IN}	V _{IN} =2.4V	1	μA max
電源特性				
電源変動除去比	PSRR	10.8 ≤ V _{DD} ≤ 13.2V	60	dB min
電源電流	I _{DD}		8.0	mA max

注：
ここに示したリミット値の電気的特性の試験はウエハ・プローブで行なわれています。パッケージ後の歩留りはアセンブリ方法の違い、製造歩留りの変動により異なりますので、スタンダード品のパッケージング後の歩留りは保証されません。サンプル的にパッケージングし、検査する場合のダイスのロット評価に基づく仕様をご希望の方はご相談下さい。

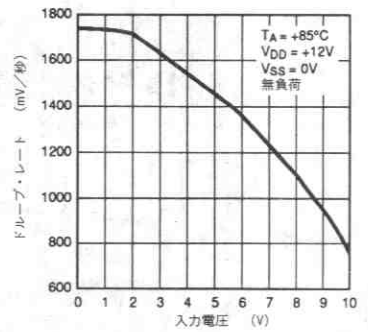
代表的な特性



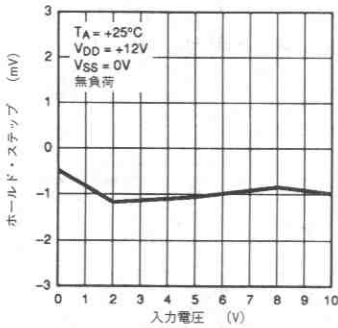
ドレーブ・レート対温度



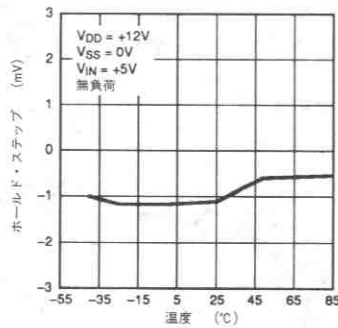
オフセット電圧対入力電圧



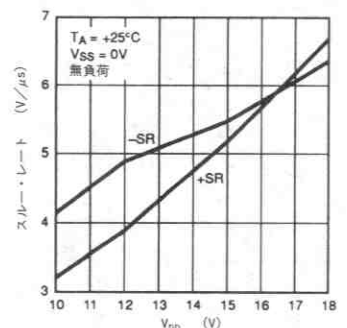
ドレーブ・レート対入力電圧



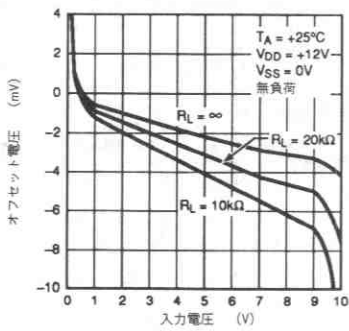
ホールド・ステップ対入力電圧



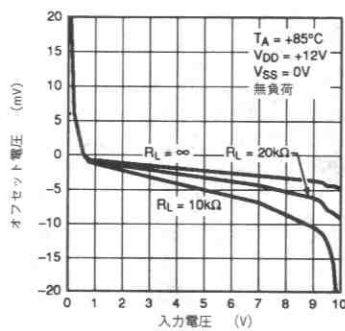
ホールド・ステップ対温度



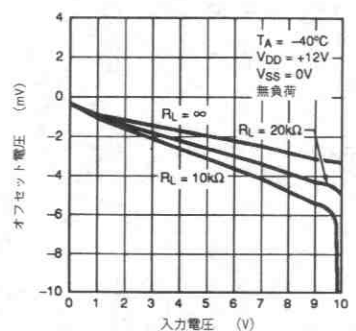
スルー・レート対VDD



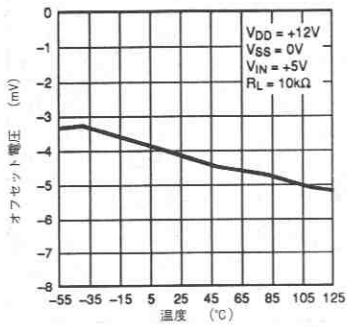
オフセット電圧対入力電圧



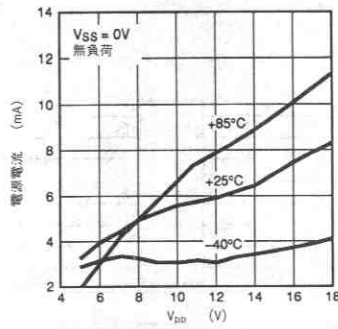
オフセット電圧対入力電圧



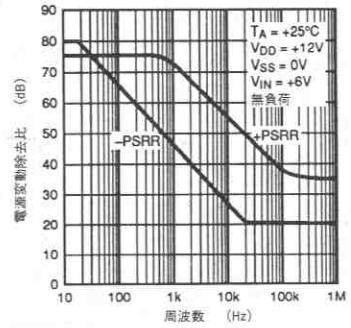
オフセット電圧対入力電圧



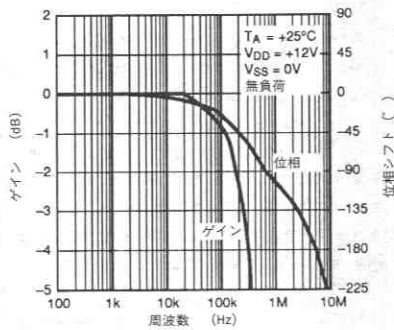
オフセット電圧対温度



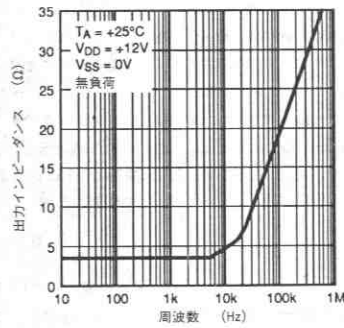
電源電流対V_{DD}



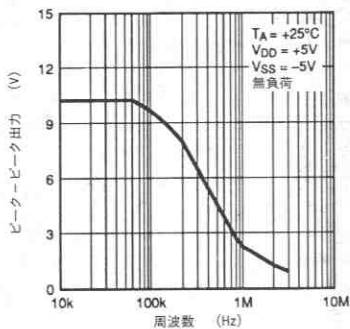
サンプル・モード電源変動除去比



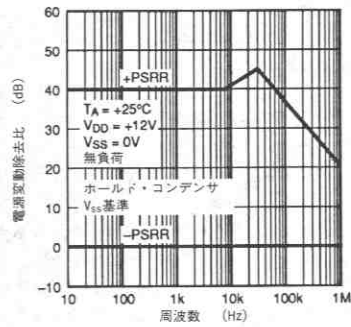
ゲインおよび位相対周波数



出力インピーダンス対周波数

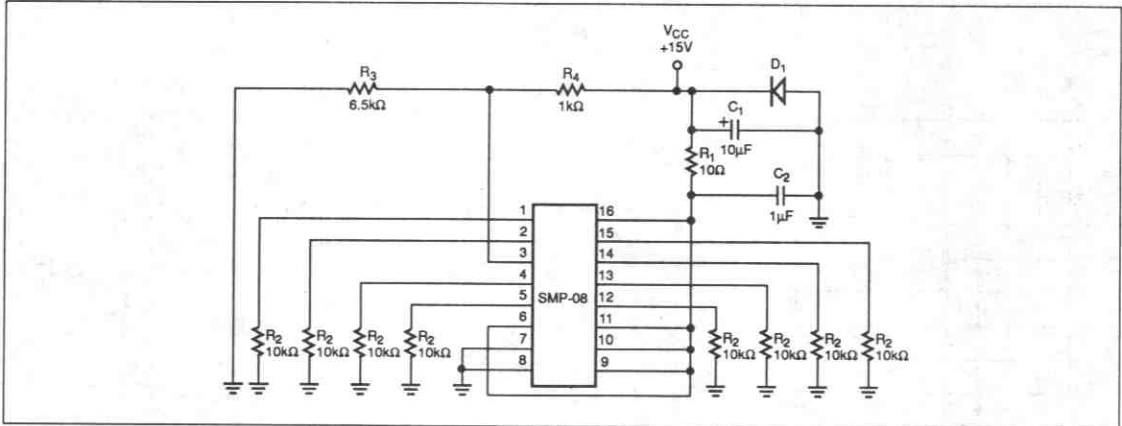


最大出力電圧対周波数



ホールド・モード電源変動除去比

バーンイン回路



概要

SMP-08はマルチプレクサ付きのオクタール・サンプル・ホールドで、キャリブレーション・サイクルや複数の制御電圧を必要とするシステムのボード・スペースを最小にすることができます。SMP-08を低価格の10ビットD/Aコンバータと組合せることにより、マイクロプロセッサ・ベースのシステムを容易に構成することができます。SMP-08のスイッチはブレーク・ビフォア・メーク動作であり、内部にデコーダを内蔵しているため、外付けロジックを必要としません。SMP-08は規定の電源範囲内でTTL/CMOSとの互換性が保たれるように内部で安定化されたTTL電源を備えています。チャンネルのデコード・アドレスについては図1を参照下さい。

電源

SMP-08は7~15Vの範囲の単一またはデュアル電源のいずれかで動作します。使用する電源電圧 V_{DD} と V_{SS} により出力電圧範囲が以下のように決まります。

$$(V_{SS} + 0.05V) \leq V_{OUT} \leq (V_{DD} - 2V)$$

7V以下の電源電圧ではアキュジション時間、オフセットおよび出力電圧コンプライアンスなどの仕様が劣化しますのでご注意ください。

デュアル電源を使用する場合には負電源に0.1 μ Fのセラミック・コンデンサと10 μ Fのタンタル・コンデンサを並列に接続してバイパスしなければなりません。内蔵ホールド・コンデンサが内部で V_{SS} に接続されているため、このピンのノイズは出力に現われます。

単一電源動作では V_{SS} (負電源) ピンを正しくグラウンドに接続することが非常に重要です。これは内蔵のホールド・コンデンサが内部で V_{SS} (負電源) に接続されているためです。グラウンドからのノイズや妨害はサンプル・ホールド出力に直接カップリングし、S/N比性能を劣化させます。アナログ・グラウンドおよびデジタル・グラウンドのプリント・パターンをなるべく離し、デジタル・スイッチング・ノイズのアナログ回路への流れ込みを防ぐことをお奨めします。

電源投入の順序

入力にロジック・レベル信号が加わる前に V_{DD} を与える必要があります。SMP-08はラッチ・アップしにくいように設計されていますが、通常の注意は怠らないで下さい。

出力バッファ (ピン1, 2, 4, 5, 12, 13, 14, 15)

出力バッファのオフセット仕様値は10mVです。この値は10Vフルスケールの8ビットDACで1/2LSB以下に相当します。ホールド・ステップ (サンプラー・ホールド・モードに入った時に発生する電圧ステップの大きさで、ペダスタル誤差またはサンプラー・ホールド・オフセット誤差とも呼ばれる) は約2mVの値であり、出力電圧範囲内でほとんど変動しません。ホールドしたチャンネルのドループ・レートは2mV/s typ.、20mV/s maxです。

バッファは主としてグラウンドとの間に接続された負荷を駆動するよう設計されています。バッファ出力は全電圧範囲で20mA以上のソース電流を供給できますが、 V_{SS} 付近のシンク電流能力は限定されます。デュアル電源動作の場合には各電源電圧から2V以下の範囲で対称な出力振幅を得ることができます。

SMP-08のバッファはオン・チップのため、外付バッファでの電位差による安定度の問題がありません。出力は500pFまでの容量性負荷に対し安定です。しかしSMP-08のバッファ出力は出力短絡に対して保護されていないため、出力と電源やグラウンドとの短絡は避けるよう注意すべきです。

信号入力 (ピン3)

信号入力はオペアンプのような低インピーダンスの電圧源で駆動しなければなりません。SMP-08の高速のアキュジション特性を保つため、このオペアンプは高いスルー・レートと高速のセtring特性を備えていなければなりません。CMOSデバイスに共通の注意事項として入力電圧は電源電圧範囲内 ($V_{SS} \leq V_{IN} \leq V_{DD}$) に保ち、ラッチ・アップを避けなければなりません。単一電源動作の場合には入力の駆動にOP-21、OP-80、OP-90などの入出力電圧コンプライアンスにグラウンド電位を含むオペアンプを使用することができます。±7.5Vなどのデュアル電源の場合でも上記のオペアンプを使用することができます。

使用上の注意

使用しないデジタル入力はロジックLOWに、また使用しないアナログ入力はアナログ・グラウンドに接続してください。コネクタを使用し接続する場合、一時的に無接続 (オープン) となる可能性のあるアナログ入力は、200k Ω ~1M Ω の抵抗を介して V_{DD} や V_{SS} またはアナログ・グラウンドに接続しなければなりません。

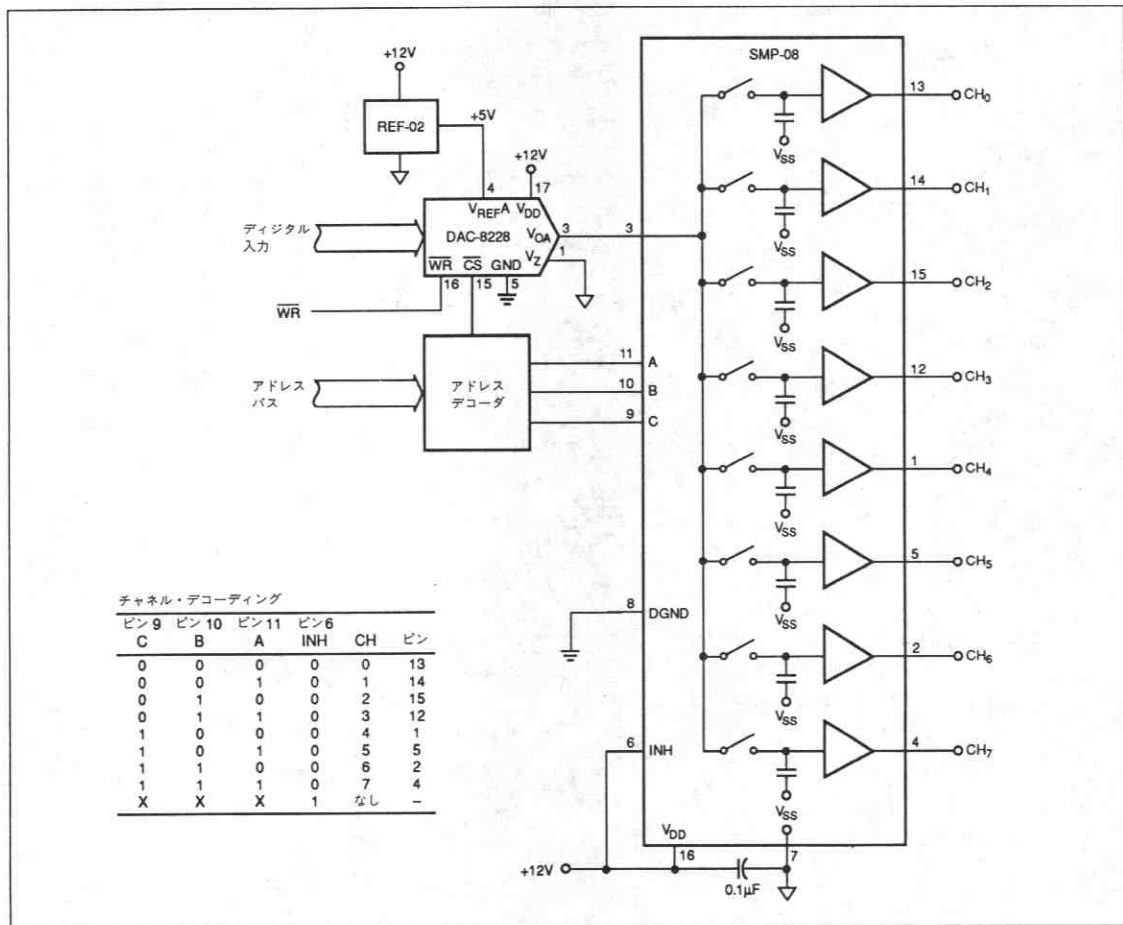


図1. 8チャンネル・マルチプレクサ付きD/Aコンバータ

入力電流が10mA以下に制限されていない限り、SMP-08に電源を与えずに信号を加えてはいけません。

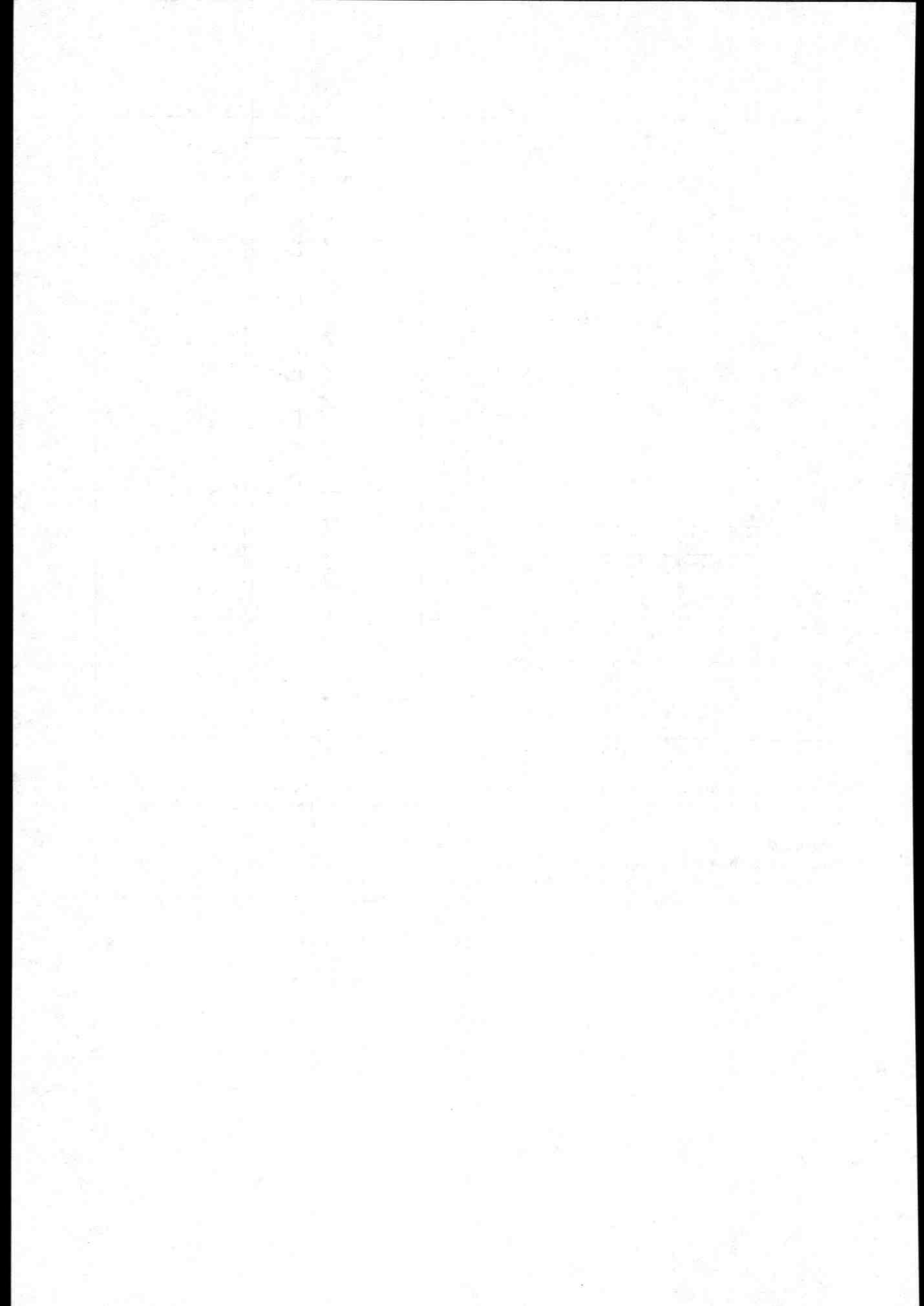
代表的な応用

マルチプレクサ付き8チャンネルD/Aコンバータ

図1にSMP-08の代表的なマルチプレクサ動作例を示します。SMP-08は異なる8個のデジタル・コードによるD/Aコンバータからの出力電圧をサンプル・ホールドするために使用されています。

SMP-08のドループ・レートは20mV/sであるため、ホールド電圧が1/2LSB精度（8ビットDACの1LSBはフルスケール電圧5Vのとき19.5mV）を越える変動をする前に500ms以下のレートでリフレッシュしなければなりません。

10ビットDACの場合にはリフレッシュ・レートは120ms以下、また12ビットDACの場合には31ms以下となります。この方式は出力チャンネル数の増加にともないDACを複数使用する方式に比較して大幅なコスト低減を実現します。



データ収集サブシステム

目次

	ページ
セクション・ガイド	774
AD1341 16チャンネル・データ・アキュジション・システム	775

セレクション・ガイド

データ収集サブシステム

モデル	分解能 (ビット)	スループット レート kHz	バス チャンネル数	インタフェース	パッケージ オプション	温度 ² 範囲	特長	掲載ページ
●AD1341	12	150	16/8	16	Z	C, M	プログラマブルDAS, 高速	775
AD1332	12	125	1	12	D	I	12ビット 125kHzサンプリング	D15-31
AD1334	12	65	4	12	D	I	4CH12ビット・サンプリング	D15-48
AD368	12	50	1	12	D	I, M	12ビットADC, プログラマブル・ゲイン1, 8, 64, 512	D15-9
AD369	12	50	1	12	M	I	12ビットADC, プログラマブル・ゲイン1, 10, 100, 500	D15-9
AD364	12	20	16/8	12	D	C, M	高速, 16CH 12ビットDAS	—
AD363	12	25	16/8	12	D	C, M	16CH 12ビットDAS	—
AD1362	12	—	16/8	—	D	C, M	16CH アナログ・フロントエンド	D15-64
DAS1152	14	25	1	14	モジュール	I	14ビット精度サンプリング	—
DAS1157	14	18	1	14	モジュール	I	ローパワー, 14ビット・サンプリング	—
DAS1153	15	25	1	15	モジュール	I	15ビット精度サンプリング	—
DAS1158	15	18	1	15	モジュール	I	ローパワー, 16ビット・サンプリング	—
AD367	15	—	1	シリアル	M	C	PGA付き積分型	D15-7
DAS1159	16	18	1	16	モジュール	I	ローパワー, 16ビット・サンプリング	—

- 注1. パッケージ: D=セラミックDIP, M=メタルDIP, Z=セラミック・リード付きチップ・キャリア
 2. 温度範囲: C=0~+70°C, I=-40~+85°C (旧製品では-25~+85°Cの場合もある), M=-55~+125°C
 3. Dはデータブック1990/1991年版, PはPrecision Monolithics Divisionデータブック, そしてモデル名に●印のある製品は本データブック追補版に掲載されています。

太字で示すモデルは新規設計に最適な製品です。

特長

スループット・レート：150,000チャンネル/秒

アナログ入力

16CHシングルエンド (SE) または8CH差動 (DE) 入力
(32SEまたは16DEまで拡張可能)

入力過電圧保護

電源オフ時保護機能

プログラマブル・ゲイン・アンプ (PGA)

バイナリ・ステップ・ゲイン：1~128

チャンネル毎に独立したゲイン設定可能

12ビット・サンプリングA/Dコンバータ

プロセッサ・インタフェース

チャンネル動作モード設定および変換結果出力用のFIFOを内蔵

完全非同同期動作の16ビット・パラレル・バス

データ・アクセス時間：15ns

プログラマブルな16ビット・データ・フォーマット

プログラム可能な割り込み機能

セラミック表面実装パッケージ

応用

DSPデータ・アキュジション

プロセス制御

ミサイル誘導システム

振動解析

概要

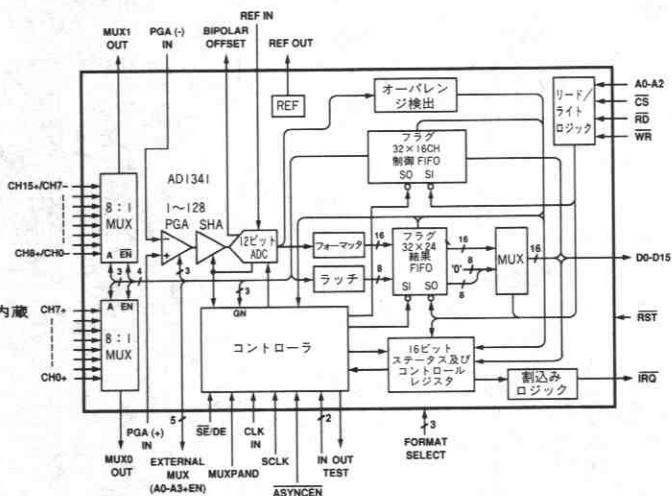
AD1341は全機能を内蔵した16チャンネルのデータ・アキュジション・システムで、マルチチャンネル制御やデジタル信号処理への応用に最適化されています。このデバイスは、2つの8チャンネル入力マルチプレクサ、プログラマブル・ゲイン・アンプ(PGA)、12ビット・サンプリングA/Dコンバータ、2つの32ワードFIFO、コントローラ、ステータスおよびコントロール・レジスタから構成されています。パッケージは、100ピンのセラミック・クワッド・フラット・パッケージです。

入力マルチプレクサは、16チャンネルのシングルエンド入力、または8チャンネルの差動入力のいずれにも設定可能です。外部に16チャンネル・マルチプレクサを追加することによって、チャンネル数を倍にすることができます。全入力は、AD1341の電源が入力側とは異なる場合に備えて電源オフ状態から保護されています。

プログラマブル・ゲイン・アンプ (PGA) は差動入力と8ステップのバイナリ・ゲインを備えており、ゲイン範囲は1~128です。各チャンネルのゲインは個々にプログラム可能です。AD1341は、コントローラのタイミング設定により、ゲイン1~8において150,000チャンネル/秒でA/D変換動作が可能です。ゲイン8以上の場合、スループット・レートは、ゲインの増加に比例して減少します。

12ビット・サンプリングA/Dコンバータは、DCおよびAC性能について仕様規定され、テストされています。

AD1341機能ブロック図



AD1341は、16ビット幅のデータ・バスを通してマイクロプロセッサと非同同期に通信します。データ形式は、左詰め、右詰めあるいは中央揃えされた、ストレート・バイナリまたは2の補数形式とすることができます。32ワードのFIFOはチャンネル選択およびPGAゲインの設定に用いることができます。もうひとつの32ワードFIFOは、A/D変換結果の格納に用いられます。

製品ハイライト

1. AD1341は高いスループット・レートを備えており、モーション制御、音声処理、PCデータ・アキュジション、医療機器、ミサイル誘導など広い範囲の応用に最適です。
2. チャンネル選択、PGAのゲイン変更およびセッティング、A/D変換などのためのタイミングはAD1341の内部で生成されるため、ソフトウェア開発が容易です。割り込み条件の設定、割り込み条件のポーリングおよびリアルタイムでのステータス情報のためにレジスタが用意されています。
3. FIFO内にチャンネル情報や変換結果を保持できるため、ソフトウェアのオーバーヘッドが小さくなります。
4. AD1341はプロセッサとは完全に非同同期で動作するため、プロセッサ・インタフェースが単純化されます。このインタフェースのデータ・アクセス時間は最高15nsであり、ハイブリッド構造によってアナログ回路から絶縁されています。

AD1341 仕様

(特に指定のない限り、 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 15\text{V dc}$ 、 $V_{DD} = +5\text{V dc}$ 、16チャンネル・シングルエンド・バイポーラ・モード、 $\overline{\text{ASYNCEN}} = \text{Low}$ 、 $F_{\text{CLK}} = 3.0\text{MHz}$ 、 $G = 1$)

パラメータ	AD1341KZ			AD1341TZ			単位
	Min	Typ	Max	Min	Typ	Max	
アナログ入力 (各チャンネル共通)							
インピーダンス							
シングルエンド		100 50			100 50		M Ω pF
差動		100 25			100 25		M Ω pF
電圧レンジ							
同相モード	± 10			± 10			V
差動		$10 \div G$			$10 \div G$		V
CMRR @ 120Hz, G=1	80	90		80	90		dB
G=128	80	90		80	90		dB
バイアス電流 ($V_{\text{CM}} = 0$)		± 0.1	± 2		± 0.1	± 2	nA
$T_{\text{min}} \sim T_{\text{max}}$			± 200			± 300	nA
電圧ノイズ (RTI), G=1		75			75		$\mu\text{V rms}$
G=128		10			10		$\mu\text{V rms}$
アナログ出力							
リファレンス電圧	9.90		10.10	9.90		10.10	V
ドリフト		± 10	± 30		± 10	± 30	ppm/ $^\circ\text{C}$
出力電流	± 1	± 2		± 1	± 2		mA
伝達特性							
標準スループット・レート ¹⁾							
G=1, 2, 4, 8	150,000			150,000			チャンネル/秒
G=16	75,000			75,000			チャンネル/秒
G=32	37,500			37,500			チャンネル/秒
G=64	18,750			18,750			チャンネル/秒
G=128	9,375			9,375			チャンネル/秒
高速スループット・レート ²⁾							
G=1, 2, 4, 8	150,000			150,000			チャンネル/秒
G=16	100,000			100,000			チャンネル/秒
G=32	57,690			57,690			チャンネル/秒
G=64	29,410			29,410			チャンネル/秒
G=128	14,850			14,850			チャンネル/秒
スタティック特性							
PGAゲイン精度 (全ゲイン・レンジ)		$\pm 1/2$	± 2		$\pm 1/2$	± 2	%
積分非直線性		$\pm 1/2$	± 1		$\pm 1/2$	± 1	LSB
$T_{\text{min}} \sim T_{\text{max}}$			± 1			± 1	LSB
ノーマス・コード分解能	12			12			ビット
$T_{\text{min}} \sim T_{\text{max}}$	12			12			ビット
ユニポーラ・オフセット誤差		± 1	± 2		± 1	± 2	LSB
$T_{\text{min}} \sim T_{\text{max}}$			± 4			± 6	LSB
バイポーラ・ゼロ誤差		± 1	± 2		± 1	± 2	LSB
$T_{\text{min}} \sim T_{\text{max}}$			± 8			± 12	LSB
ゲイン誤差		± 1	± 2		± 1	± 2	LSB
$T_{\text{min}} \sim T_{\text{max}}$			± 8			± 12	LSB
ダイナミック特性							
S/N比							
G=1, $f_s = 150.0\text{kHz}^3$	70	73		70	73		dB
G=2, $f_s = 150.0\text{kHz}$		72			72		dB
G=4, $f_s = 150.0\text{kHz}$		72			72		dB
G=8, $f_s = 150.0\text{kHz}$		71			71		dB
G=16, $f_s = 75.0\text{kHz}^3$	68	71		68	71		dB
G=32, $f_s = 37.5\text{kHz}$		70			70		dB
G=64, $f_s = 18.8\text{kHz}$		69			69		dB
G=128, $f_s = 9.4\text{kHz}$		66			66		dB

パラメータ	AD1341KZ			AD1341TZ			単位
	Min	Typ	Max	Min	Typ	Max	
THD							
G=1、 $f_s=150.0\text{kHz}^3$		-90	-80		-90	-80	dB
G=2、 $f_s=150.0\text{kHz}$		-90			-90		dB
G=4、 $f_s=150.0\text{kHz}$		-88			-88		dB
G=8、 $f_s=150.0\text{kHz}$		-88			-88		dB
G=16、 $f_s=75.0\text{kHz}^2$		-88	-78		-88	-78	dB
G=32、 $f_s=37.5\text{kHz}$		-88			-88		dB
G=64、 $f_s=18.8\text{kHz}$		-85			-85		dB
G=128、 $f_s=9.4\text{kHz}$		-84			-84		dB
チャンネル間アイソレーション		80			80		dB
デジタル入力 ⁴							
入力電圧							
ロジックLOW			0.8			0.8	V
ロジックHI	2.0			2.25			V
入力電流		±60	±200		±60	±200	μA
入力容量		2			2		pF
RST LOWパルス幅	10			10			ns
CLK入力							
周波数			3.0			3.0	MHz
デューティ・サイクル	45		55	45		55	%
デジタル出力 ⁴							
出力電圧							
ロジックLOW							
$I_{OL}=4.0\text{mA}$		0.2	0.4		0.2	0.4	V
$I_{OL}=3.2\text{mA}$							V
ロジックHI							
$I_{OH}=-4.0\text{mA}$	2.4	4.5		2.4	4.5		V
$I_{OH}=-3.2\text{mA}$							V
出力容量		6			6		pF
ハイ・インピーダンス時							
漏れ電流、D0~15		±60	±200		±60	±200	μA
オフ・ステート時							
漏れ電流、IRQ		±1	±10		±1	±10	μA
電源							
動作電圧範囲							
+V _S	+14.25		+15.75	+13.5		+16.5	V
-V _S	-15.75		-14.25	-16.5		-13.5	V
V _{DD}	+4.75		+5.25	+4.5		+5.5	V
無負荷時電源電流							
+V _S		41	56		41	56	mA
-V _S		35	50		35	50	mA
V _{DD}		5	10		5	10	mA
消費電力		1.2	1.6		1.2	1.6	W
PSRR、±V _S		±1/2			±1/2		LSB/V
温度範囲							
定格動作範囲	0		+70	-55		+125	°C
保管時	-65		+150	-65		+150	°C

注

1. 全チャンネル・ゲインは指定値に固定。
2. 高速スループット性能は、バイプライン動作とSHAアクイジション時間を一定にすることによって実現しています（本文を参照）。
3. G=1については $f_N=4.6\text{kHz}$ 、G=16については $f_N=2.3\text{kHz}$ でテストしています。S/N比は2~9次の高調波を含んでいません。THDは2~9次の高調波を含んでいます。入力振幅は、各ゲインにおけるフルスケールの-0.3dBです。
4. 動作温度範囲の全域について保証されていますが、テストは+25°Cにおいてのみ行なわれています。

仕様は予告なしに変更することがあります。

絶対最大定格*

+V _S -APWR/ASIG GND間+18V
-V _S -APWR/ASIG GND間-18V
V _{DD} -DGND間+7V
APWR/ASIG GND-DGND間-0.3~+0.3V
アナログ入力-APWR/ASIG GND間	
マルチプレクサ+V _S +16V、-V _S -16V
PGA入力-V _S +V _S
リファレンス入力0~+11V
ディジタル入力-DGND間-0.3V~V _{DD} +0.3Vまたは、10mA

出力回路短絡保護

リファレンスおよびマルチプレクサ出力無制限
ディジタル出力1出力につき1秒間
リード・ハンダ付け温度 (10秒間)+300°C

*絶対最大定格を越えるストレスはデバイスに永久破壊をもたらすことがあります。この定格はデバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

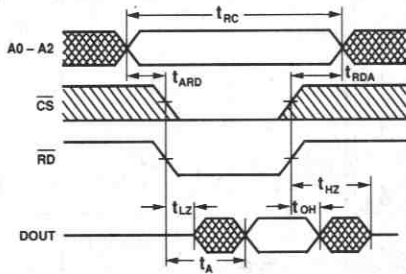
注意

この素子はESD(Electrostatic-Discharge)センシティブ・デバイスです。ディジタル制御入力端子はダイオードで保護されていますが、接続されていないデバイスが高いエネルギーの静電界にさらされると永久破壊を起こすことがあります。使用しないデバイスは導電フォームに挿すか導体でショートするなどして保存してください。デバイスを導電フォームから抜く際には、フォームをあらかじめソケットに接触させ放電させる必要があります。



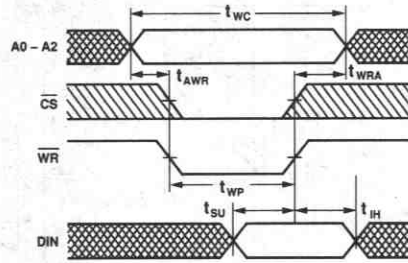
スイッチング特性 (特に指定のない限り、動作温度範囲および電源電圧範囲
C_{OUT}=30pFまたは100pF)

パラメータ	説明	条件	Min	Typ	Max	単位
リード・サイクル						
t _{RC}	リード・サイクル時間	C _{OUT} =30pF	25			ns
		C _{OUT} =100pF	35			ns
t _A	データ・アクセス時間	C _{OUT} =30pF			15	ns
		C _{OUT} =100pF			25	ns
		C _{OUT} =150pF			35	ns
t _{LZ}	出力HI-Z-アクティブ時間		2			ns
t _{HZ}	出力アクティブ-HI-Z時間	C _{OUT} =30pF			15	ns
		C _{OUT} =100pF			25	ns
t _{OH}	出力ホールド時間		2			ns
t _{ARD}	アドレス有効-RD LOW		3			ns
t _{RDA}	RD HI-アドレス無効		3			ns
t _{ACS}	アドレス有効-CS LOW		3			ns
t _{CSA}	CS HI-アドレス無効		3			ns
ライト・サイクル						
t _{WC}	ライト・サイクル時間		15			ns
t _{WP}	ライト・パルス幅		5			ns
t _{SU}	入力セットアップ時間		2			ns
t _{IH}	入力ホールド時間		3			ns
t _{AWR}	アドレス有効-WR LOW		3			ns
t _{WRA}	WR HI-アドレス無効		3			ns
t _{ACS}	アドレス有効-CS LOW		3			ns
t _{CSA}	CS HI-アドレス無効		3			ns



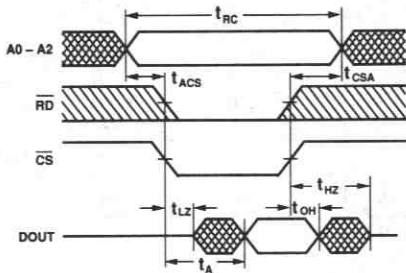
注
 CSはRDの立下り遷移と同時に、またはそれ以前に有効。
 CSはRDの立上り遷移と同時に、またはそれ以降に無効。
 WRはリード・サイクル期間中に有効としてはならない。

図 1 a. リード・サイクル1 (RD制御) のタイミング図



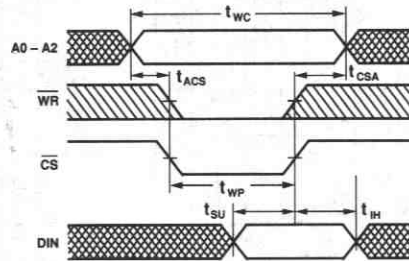
注
 CSはWRの立下り遷移と同時に、またはそれ以前に有効。
 CSはWRの立上り遷移と同時に、またはそれ以降に無効。
 RDはライト・サイクル期間中に有効としてはならない。

図 2 a. ライト・サイクル1 (WR制御) のタイミング図



注
 RDはCSの立下り遷移と同時に、またはそれ以前に有効。
 RDはCSの立上り遷移と同時に、またはそれ以降に無効。
 WRはリード・サイクル期間中に有効としてはならない。

図 1 b. リード・サイクル2 (CS制御) のタイミング図



注
 WRはCSの立下り遷移と同時に、またはそれ以前に有効。
 WRはCSの立上り遷移と同時に、またはそれ以降に無効。
 RDはライト・サイクル期間中に有効としてはならない。

図 2 b. ライト・サイクル2 (CS制御) のタイミング図

ACテスト条件

入力パルス・レベル	DGND - +3.0V
入力立上り/立下り時間	5ns以下
タイミング測定時リファレンスレベル	
入力	1.5V
出力	
LOW	0.4V
HI	2.4V
アクティブLOWへの動作	$V_T - 0.1V$
アクティブHIへの動作	$V_T + 0.1V$
LOWからディスエーブル	$V_{OL} + 0.5V$
HIからディスエーブル	$V_{OH} - 0.5V$

$V_T = 1.5V$, トライステート出力がフォースされる電圧

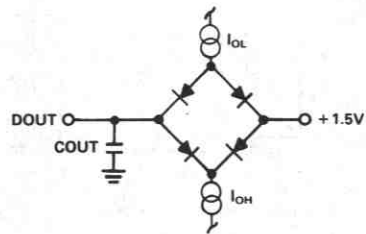


図 3. 出力負荷回路

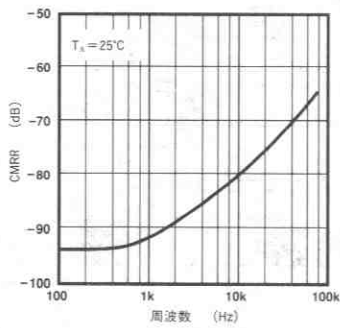


図4. PGIAのCMRR対周波数、ゲイン=1

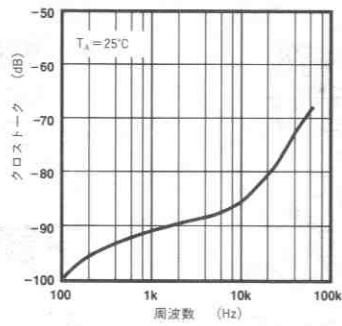


図5. マルチプレクサ・オフ時クロストーク対周波数

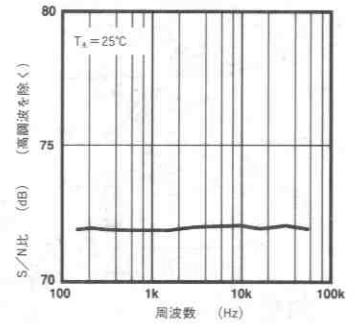


図6. S/N比対周波数、シングル・チャンネル、ゲイン=1

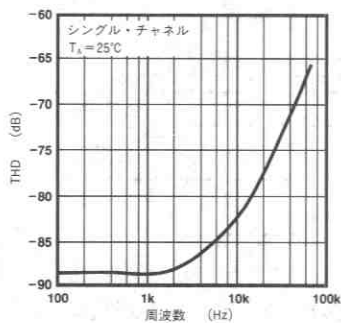


図7. THD対入力周波数、シングル・チャンネル、ゲイン=1

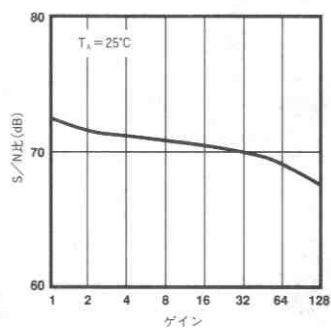


図8. S/N比対ゲイン、 $f_{IN}=1904\text{Hz}$

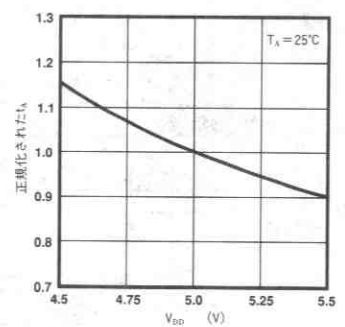


図9. 正規化されたアクセス時間(t_A)対 V_{DD}

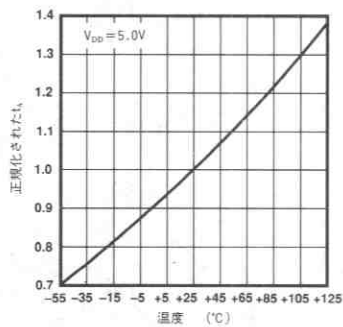


図10. 正規化されたアクセス時間(t_A)対温度

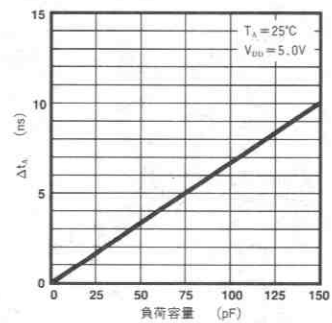


図11. データ・アクセス時間の変動対負荷容量

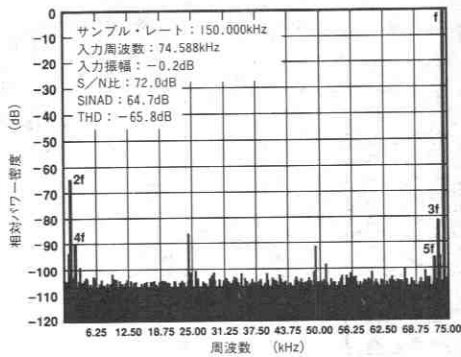


図12. AD1341のダイナミック性能
(シングル・チャンネル、ゲイン=1)

動作説明

機能の概要

AD1341は、全機能を内蔵したデータ・アキュイジション・システムであり、最新のプロセッサ技術を意識して設計されています。AD1341の心臓部は、最大スループット150kHzの性能を有する12ビット・サンプリングA/Dコンバータです。10Vの入力範囲は、ピン・ストラップによって、ユニポーラ (0~+10V) とバイポーラ (-5V~+5V) のいずれにも設定可能です。ADCの前段には、1~128の範囲で8段階のバイナリ・ステップによるゲインの設定が可能なプログラマブル・ゲイン差動アンプが用意されています。マルチプレクサには16本の入力チャンネルが用意されており、ピン・ストラップによって16チャンネルのシングルエンド動作または8チャンネルの差動動作のいずれかに設定できます。すべてのマルチプレクサ入力は、過電圧および電源オフに対して完全に保護されています。マルチプレクサの出力とプログラマブル・ゲイン・アンプの入力は内部的には接続されており、アプリケーション上の柔軟性と拡張性が得られます。+10Vのリファレンス出力も用意されています。

AD1341のインタフェースとコントロールは、さまざまな設定を行うことが可能です。プログラミングおよびデータの読出しは、高速非同期動作のパラレル16ビット・バスを通して行います。変換結

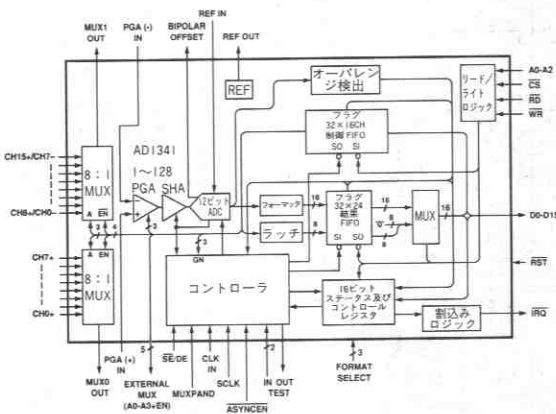


図13. AD1341機能ブロック図

果は32ワードFIFOに格納されるため、I/Oオーバーヘッドを小さくすることができます。出力は6種類のデータ形式を用いることができます。32までのチャンネル/ゲインの組合わせが設定可能なサンプリング・シーケンスはコマンドFIFOに書き込みます。サンプリング・シーケンスの実行は1回のみ、あるいは、プログラムによりリピート・モードを用いることによって無限回繰り返すことができます。また、AD1341には拡張出力が用意されており、外部にマルチプレクサを接続することによって入力チャンネル数を倍にできます。拡張構成時であっても、AD1341を単独で用いた場合の機能や性能は変わりません。割込み構造もプログラム可能で、ステータスのポーリング機能も完全にサポートされています。AD1341は、独立したプログラマブル16ビット・カウントダウン・タイマを内蔵しています。図13に、AD1341の機能ブロック図を示します。

入力の構成

AD1341のADCは、ユニポーラ入力、バイポーラ入力のいずれの構成とすることもできます。ユニポーラ動作とする場合には、Ref Out (ピン80) をRef In (ピン79) に接続します。そして、BP Off (ピン78) はアナログ信号グラウンドに接続する必要があります。バイポーラ動作時には、Ref In, Ref Out, BP Offを接続します。低ドリフト動作が求められる場合には、AD2710などの外部+10Vリファレンスを用いることができます。+10.24Vのリファレンスを用い、PGA (プログラマブル・ゲイン差動アンプ) のゲインを1とした場合、基本LSBサイズは2mVとなります。

AD1341のマルチプレクサ出力とPGA入力は内部的には接続されており、パッケージ・ピンとして外部に取り出されています。このデバイスを用いるシステムの要求に応じて、さまざまなピン・ストラップを行うことができます。外部マルチプレクサのアドレスリング機能を用いることによって、入力チャンネル数も容易に2倍にすることができます。

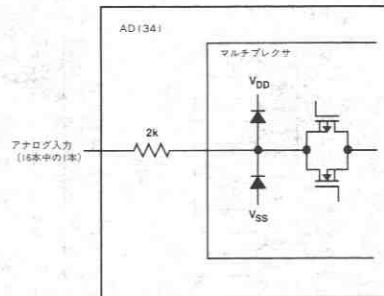


図14. AD1341入力保護回路

シングルエンド動作と差動動作の選択は、SE/DE入力によって行います。MUXPAND入力グラウンドに接続されている場合、AD1341は16本のシングルエンド入力、あるいは、8本の差動入力のいずれかで動作します。MUXPAND入力をプルアップしADG506Aマルチプレクサを付加した場合、入力本数は32本 (シングルエンド)、あるいは16本 (差動) に増やすことができます。5本の拡張用出力を用いて、外部マルチプレクサのオン・オフおよびアドレスリングを行うことにより、拡張されたシステムはAD1341の単独動作時と同様の機能およびプログラム性を備えることができます。4種類の入力構成を図15~18に、それぞれに必要なピン・ストラップを表Iに示します。

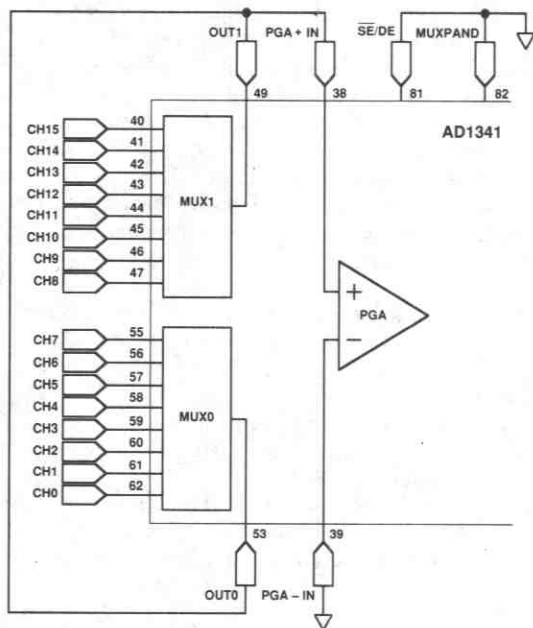


図15. 16本のシングルエンド入力チャンネル構成

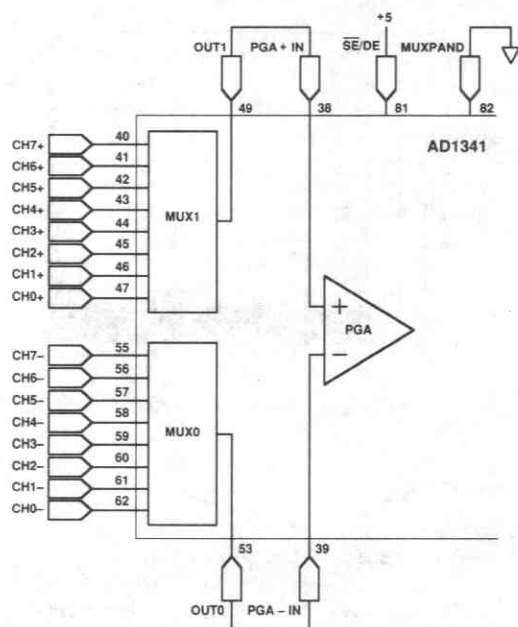


図16. 8本の差動入力チャンネル構成

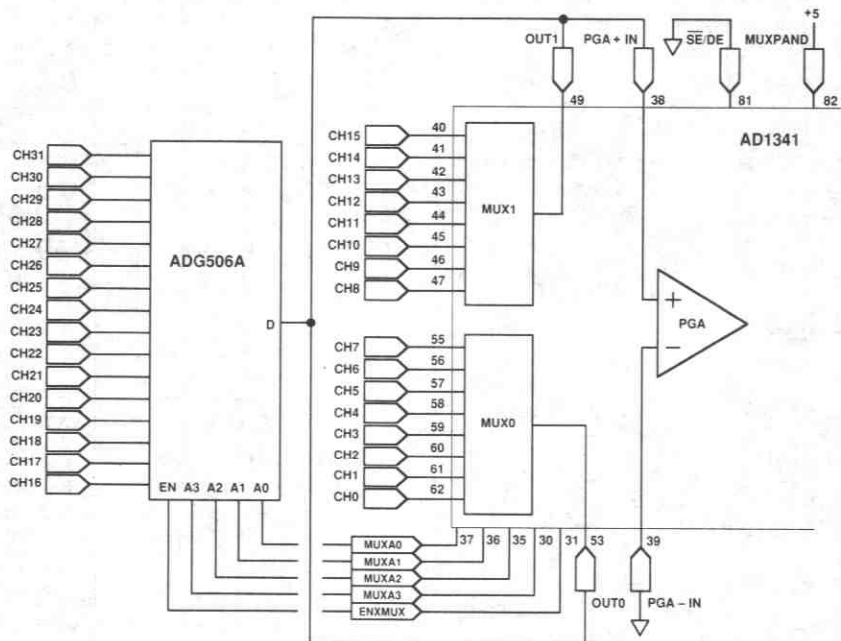


図17. 32本のシングルエンド入力チャンネル拡張構成

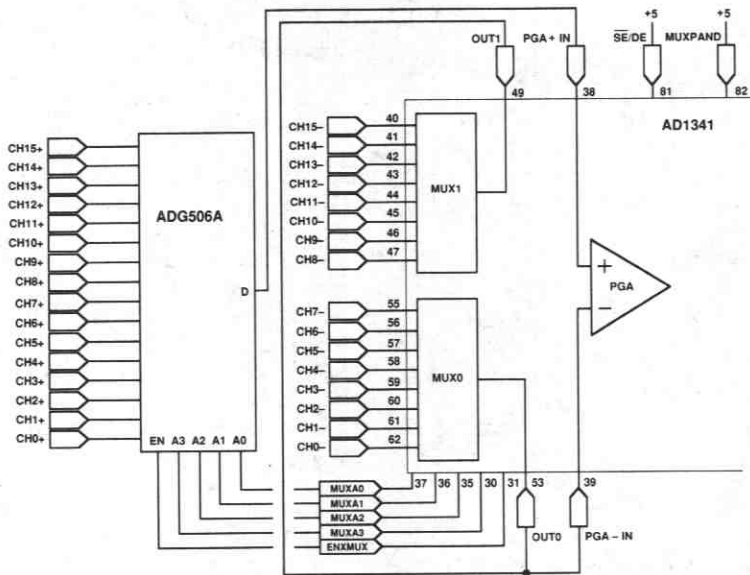


図18. 16本の差動入力チャンネル拡張構成

	16チャンネル シングルエンド	8チャンネル 差動	32チャンネル シングルエンド	16チャンネル 差動
SE/DE	0	1	0	1
MUXPAND	0	0	1	1
MUXOUT1	PGA+IN	PGA+IN	PGA+IN	PGA-IN
MUXOUT0	PGA+IN	PGA-IN	PGA+IN	PGA-IN
ASIGGND	PGA-IN		PGA-IN	PGA+IN
D(ADG506A)			PGA+IN	PGA+IN
EN(ADG506A)			ENXMUX	ENXMUX
A0(ADG506A)			MUXA0	MUXA0
A1(ADG506A)			MUXA1	MUXA1
A2(ADG506A)			MUXA2	MUXA2
A3(ADG506A)			MUXA3	MUXA3

表 I. AD1341の入力設定

AD1341のマルチプレクサ入力は、電源オフ状態あるいは過電圧状態といった破壊的なラッチアップに対して保護されています。各入力は2kΩの電流制限抵抗と2本のダイオードによって、最低でもアナログ電源から16Vオーバーした電圧から保護されています(図14参照)。図17、18に示されている拡張構成の場合も、2kΩ抵抗を外部マルチプレクサの各入力と直列に接続することにより同様に保護することができます。過負荷条件下では、チャンネル間に相互作用が起きることがあります。AD1341およびADG506Aの未使用の入力はグラウンドに接続してください。

データ形式の選択

6種類のデータ・フォーマットが用意されています。ストレート・バイナリ・コードおよび2の補数コードのそれぞれについて、12ビットの変換結果を16ビット・フィールド内に左詰め、右詰め、中央揃えとすることができます。データ形式は、FMT0、FMT1、FMT2(ピン87、86および85)の、3本の入力によって決定します。これらの接続はハードワイヤードとしてください。ストレート・バイナリ形式では、すべての未使用のビット位置にロジック0が入ります。2の補数形式の場合、符号ビットは必要に応じて拡張され、空の最下位ビット位置には0が入ります。表IIおよびIIIに、データ形式とそれらの選択方法を示します。

FMT2	FMT1	FMT0	出力形式
0	0	0	ストレート・バイナリ、左詰め
0	0	1	ストレート・バイナリ、右詰め
0	1	0	ストレート・バイナリ、中央揃え
0	1	1	使用不可
1	0	0	2の補数形式、左詰め
1	0	1	2の補数形式、右詰め
1	1	0	2の補数形式、中央揃え
1	1	1	使用不可

表 II. データ形式の選択

	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
ストレート、左詰め	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	0	0	0	0
ストレート、中央	0	0	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	0	0
ストレート、右詰め	0	0	0	0	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
2の補数、左詰め	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	0	0	0	0
2の補数、中央	B11	B11	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	0	0
2の補数、右詰め	B11	B11	B11	B11	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0

表 III. AD1341のデータ形式。D15: データ・バスの MSB、B11: ADCの MSB。

図19にAD1341を、16本のシングルエンド入力チャンネル、±5V入力レンジ、左詰めされた2の補数形式データで動作するデータ・アキュイジション・システムとして構成するために必要な基本接続を示します。

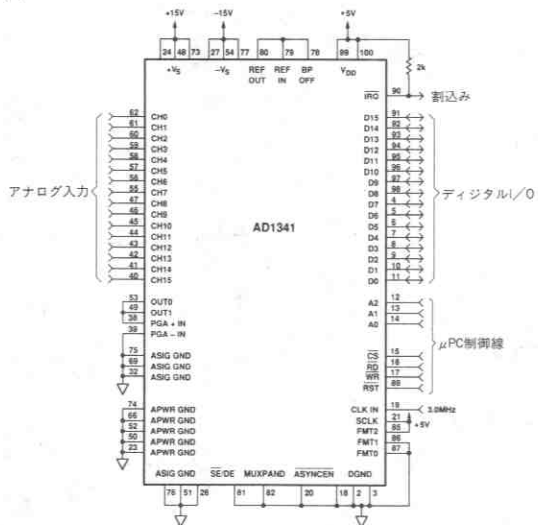


図19. 代表的なインタフェース回路

制御構造

AD1341は、デジタル・インタフェースを通して制御されます。電源投入またはリセット後、このデバイスの動作はディスエーブル状態になっています。そして、変換を開始する前にプログラムする必要があります。

変換シーケンスはチャンネル・コントロールFIFO内に格納され、このFIFOの内容に基づいて実行されます。各変換命令はチャンネル・アドレスとチャンネル・ゲインから構成されています。チャンネル・コントロールFIFOの大きさは32ワードです。

プログラムされた変換シーケンスの実行は、モード・コントロール・レジスタを通して起動されます。このレジスタは、プログラムによるリセット、割込みの許可および禁止、リピート・モード、タイム・システム・タイミングの選択にも用いられます。さまざまな割込みオプションの選択は、割込みマスク・レジスタの内容によって制御されます。各レジスタの内容は確認のために読出すことができます。32ワードFIFO内に変換結果はバッファリングされます。AD1341のレジスタ・アドレス空間を表IVに示します。

A2	A1	A0	レジスタ名/機能	名称	種類
0	0	0	チャンネル・コントロールFIFO	CCR	R/W
0	0	1	変換結果FIFO	CRR	R
0	1	0	使用不可		
0	1	1	使用不可		
1	0	0	モード・コントロール・レジスタ	MCR	R/W
1	0	1	タイム・レジスタ	TMR	R/W
1	1	0	割込みマスク・レジスタ	IMR	R/W
1	1	1	ステータス・レジスタ	STS	R

表IV. AD1341のアドレス

レジスタの説明

チャンネル・コントロール・レジスタ (CCR)

CCRは16ビット幅のリード/ライト可能なレジスタです。以降の実行のために、最大32CCRワードをチャンネル・コントロール・キュー

ーに書き込むことができます。CCRはチャンネル・アドレスおよびゲイン・データから構成されます。この情報は、変換が終了し変換結果が読み出された後に読み出すことが可能です。CCRのビット構成を以下に示します (B15がMSBです)。

CCRの構成

ビット	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
名称	0	0	0	0	0	GN2	GN1	GN0	0	0	0	A4	A3	A2	A1	A0

ビットGN2~GN0によりPGIAのゲインを制御します。GN0がLSBです。ゲインはバイナリで重み付けられており、1~128の範囲です。ゲイン・コード000はゲイン1を表し、ゲイン・コード111のときゲインは128となります。すべてのチャンネルを任意のゲインにプログラム可能です。A4~A0はチャンネル・アドレス・ビットで、A0がLSBです。設定可能なアドレスの範囲は、SE/DEおよびMUXPAND入力の結線によって決まる入力構成に依存します。アドレス設定範囲の概略を表Vに示します。ユーザーの選んだ入力構成に対して無効となるアドレス・ビットは、必ず0とします。ゲインおよびアドレス・フィールド以外のビットは、書き込み時には無視され、読出し時には0となります。

入力構成	SE/DE	MUXPAND	有効アドレス範囲
8チャンネル差動	1	0	0~7
16チャンネル・シングルエンド	0	0	0~15
16チャンネル差動	1	1	0~15
32チャンネル・シングルエンド	0	1	0~31

表V. AD1341のアドレス範囲

CRRから変換結果を読み出した後は、CCRはリード・オンリーとしてください(CRRの項を参照)。CRRの読出しによって、関係するCCRデータはテンポラリ・レジスタ内に格納されます。このレジスタの内容は、引き続きCCRの読出しの間データ・バス上に現れます。次のCRR読出しまでに初めのCCR読出しが行われなかった場合、最初のCRRの内容に関するチャンネル情報は失われます。

変換結果レジスタ (CRR)

CRRは16ビット幅のリード・オンリーFIFOレジスタです。変換結果は、最大で32ワードまでCRR内に格納されます。変換結果の読出しはCCRの読出しをすることなく連続的に行えますが、その場合にはその前の変換結果についてのチャンネルおよびゲイン情報は失われます。以下のビット構成表で、R0~R11は変換結果を表しており、SEは符号拡張ビットを表しています。これらのビットは、2の補数形式でのR11と同じであり、ストレート (符号無し) バイナリ形式では0となります。

CRRの構成 (左詰め)

ビット	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
名称	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	R0	0	0	0	0

CRRの構成 (中央揃え)

ビット	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
名称	SE	SE	SE	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	R0	0

CRRの構成 (右詰め)

ビット	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
名称	SE	SE	SE	SE	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	R0

オーバーレンジまたはアンダーレンジとなった変換結果は、ストレート・バイナリの場合、それぞれ12ビットがオール1または12ビットがオール0となり、データ詰めに応じた12ビットのフィールド内に位置します。2の補数形式の場合、それぞれ0111 1111 1111または1000 0000 0000となり、所定のフィールド内位置に出力されます。

モード・コントロール・レジスタ (MCR)

MCRは16ビット幅のリード/ライト可能レジスタです。このレジスタには6ビットの有効ビットがあります。リセット (デフォルト) 状態では、全ビットとも0となります。

MCRの構成

ビット	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
名称	INT	0	RST	0	CVN	0	REP	0	TIM	0	ACC	0	0	0	0	0

INTは割込みマスク・レジスタ (IMR) の許可または禁止に用います。INTに1がセットされている場合、IMR制御下での割込み発生が許可されます。INTに0がセットされている場合、新たな割込みは禁止されますが、INTに0がセットされた時点での実行中の割込みは影響を受けません。

RSTはAD1341をプログラムによってリセットするために用います。RSTに1を書き込むことにより、すべてのレジスタとFIFOはリセットされデフォルト状態となります。リセット・シーケンスが終了するまでRSTはセットされており、終了した時点でクリアされます。リセット・サイクルの実行時間は、MCRへの書き込みのためのシステム・クロックとのタイミングに依存して、少なくとも1クロック期間全体、約667ns (クロック3MHzの場合) の時間がかかります。

CVNはホスト制御下での変換の許可または禁止を制御します。CVNをセットすることによりCCR内に格納された変換シーケンスの実行が開始します。CVNをクリアすることで不要な変換が禁止されますが、その時処理中の変換は最後まで行われ、変換結果はCCR内に書き込まれます。処理中の変換によりCCRからゲインおよびチャネル命令が読み出されます。CVNはクリアされた後、任意の時点でセットすることが可能であり、CCR内に残っている変換命令は順序通りに再度実行されます。

REPに1をセットすることにより、リビート・モードが起動可能になります。このビットは任意の時点でセット可能です。REPのセットにより、CCRへの書き込みが禁止されます。REPが一度セットされると、最後の読出しからCCRに書き込まれたデータが周期的に繰り返されます。変換が開始した後にリビート・モードが許可されるとCCRキュー内で実行されていない変換のみが繰り返されます。リビート・モードは、CCRキュー内の任意の命令数について機能します。REPをクリアすることによってCCRキューはクリアされ、コントロールは新しいデータの受信と変換開始の準備を行います。

TIMは、16ビット内蔵タイマーのイネーブルに用います。TIMに0がセットされるとタイマーの動作は禁止され、1がセットされると起動されます。動作が許可されると、カウンタはTMR内に格納されているカウント値のカウントダウンを開始し、(タイマー割込みが許可されているならば) タイマー割込みを発生します。そして、TMRからのデータのロードによってカウント値がプリセットされ、次のクロック・エッジから新たなカウントダウンが始まります。TIMをクリアすることによって、タイマーは停止し、カウント内容はクリアされます。TMRの内容はTIMのクリアによる影響を受けません。

一度禁止されたタイマーの動作が許可されると、以前にプログラムされていたカウント値からカウントダウンを再開します。カウント終了信号は、ピン22から出力されます。

ACCにより標準および高速システム・タイミング (変換タイミングの項を参照) の選択を行ないます。ACCを0にセットすれば標準タイミング、そして1にセットすれば高速タイミング (オプション) を選択できます。

タイマー・レジスタ (TMR)

TMRは、汎用タイマーへのロードやカウント値の読出しに用いるリード/ライト可能なレジスタです。TMRへの書き込みによって遅延時間がプログラムされます。遅延時間は次式によって与えられます。

$$\text{遅延時間} = \text{プログラムされたカウント値} \times \text{基本遅延ステップ}$$

基本遅延ステップはクロック周期、例えばは3.00MHzクロックにおいて333.3nsです。最大遅延時間は65535基本遅延ステップとなります。T15がMSBです。TMRのリセット (デフォルト) ステートは0です。タイマーが許可されてから最初のカウントダウンまでに起因する、1クロック期間の誤差があります。それ以降のすべてのタイマー・インターバルは、タイマー動作によるプログラムされた遅延時間に等しく、割込みを受けません。

TMRの構成

ビット	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
名称	T15	T14	T13	T12	T11	T10	T9	T8	T7	T6	T5	T4	T3	T2	T1	T0

TMRを読み出すことによって、現在のプログラム値を得ることができます。読出しはタイマー動作が停止している場合にのみサポートされており、タイマー動作中にタイマーの状態を読み出すことはできません。

割込みマスク・レジスタ (IMR)

IMRは16ビット幅のリード/ライト可能レジスタです。IMR内の各ビットをセットすることにより、ホスト・プロセッサに対する割込み条件を設定することができます。必要な割込み条件について適切なビットに1をセットし、他のすべてのビットは0とします。IMRのリセット (デフォルト) 状態は全ビット0です。

IMRの構成

ビット	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
名称	0	CVD	CVP	TME	0	ORG	0	CCF	CCH	CCE	0	0	0	CRF	CRH	CRE

IMR内の各ビットは以下のような意味をもっています。

CVD: 変換結果がCCRにシフト・インされる毎に割込みが発生します。

CVP: CCR内の最後のコマンドを実行することによって得られた変換結果がCCR内に格納された時点で割込みが発生します。CVP割込み条件は、「最後の」変換が予定通り開始した時点でセンスされます (「変換タイミング」を参照)。最後の変換の開始前にCCRに他のコマンドを書き込むとCVP割込みは発生しません。

TME: タイマーのカウント値がゼロに達した時点で割込みが発生

します。

- ORG: オーバレンジ・データがCCR内にシフト・インされた時点で割込みが発生します。
- CCF: CCRキューがデータで一杯になった時点で割込みが発生します。CCRの大きさは32ワードです。
- CCH: CCRキューに半分以上データが入った時点で割込みが発生します (16ワード以上となった時)。
- CCE: 最後のチャンネル/ゲイン・コマンドがCCRからシフト・アウトされプログラムされた変換が開始した時点で割込みが発生します。この変換は、他にCCRへの書き込みがなかった場合にCVP割込みを引き起こします。
- CRF: CCRが一杯になった時点で割込みが発生します。CCRの大きさは32ワードです。
- CRH: CCRが半分以上になった時点で割込みが発生します。
- CRE: CCRが空になった時点で割込みが発生します。

ステータス・レジスタ (STS)

ステータス・レジスタは、16ビット幅のリード・オンリー・レジスタであり、AD1341の内部状態を連続的に表示します。STS内の各ビットはデフォルトでトランスペアレントです。割込み条件が許可されると、STSは許可された割込みに関連するビットをラッチしますが、他のビットはトランスペアレントのままです。プロセッサがSTSを読み出すまで、割込み要求はアクティブ状態を保ちます。そして、ラッチされたSTSビットは読出し動作が終了した時点でトランスペアレント・モードに戻ります。ペンディングされている割込み条件はSTSレジスタが読み出された後も割込みを要求し続けます。EVTビットは、マスクされていない割込み条件による割込み要求が発生した場合、必ずセットされます。

STSの構成

ビット	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
名前	EVT	CVD	CVP	TME	ORG	CCF	CCH	CCE	CRF	CRH	CRE					

STS内の各ビットはEVT以外、IMR内の各ビットと関連しています。STS内の各ビットは以下のような意味をもっています。

- EVT: 許可されている割込みイベントが発生した時点でセットされます。このビットはユーザーによって直接クリアすることはできず、割込みがサービスされるまでセットされたままとなります。
- CVD: 変換終了時にセットされます。
- CVP: 変換パイプライン (CCRキュー) が空になった時にセットされます。
- TME: タイマーのカウンタ値が0となった時点でセットされます。
- ORG: オーバレンジまたはアンダーレンジのデータがCCR内にシフト・インされた時点でセットされます。
- CCF: CCRキューが一杯となった時にセットされます。
- CCH: CCRキューに半分以上のデータがあるときにセットされます。
- CCE: CCRキューが空となった時にセットされます。
- CRF: CRR FIFOが一杯になった時にセットされます。
- CRH: CRR FIFOに半分以上のデータがある時にセットされます。
- CRE: CRR FIFOが空となった時にセットされます。

STS内の他の数ビットはテスト時に用いられます。このためのビ

ット (B11、B9、B5、B4およびB3) は通常動作時にはマスクしてください。

FIFO境界条件

CCRまたはCCR内に32ワード以上のデータが書き込まれると、オーバーフロー状態となります。どちらの場合も32番目以降のデータは無視されます。FIFO内の32個のデータは影響を受けません。

CCRから32個以上のデータを読み出そうとすると、アンダーフロー状態となります。最後の有効ワードがCCR内に残り、32回目以降の読出しに対してはこのデータが繰返しバスに現れます。CCRキューはアンダーフローしません。リピート・モードが禁止されている場合、CCR内の最後のコマンドが読み出されて実行されると変換は停止します。

変換タイミング

AD1341では、スループットを最大化するためにいくつかの信号処理をオーバラップしています。このパイプライン処理は、複数の変換命令がCCR内にバッファされ内部コントローラによって連続的に実行された際に最大のスループットを実現します。パイプライン処理を用いるか、あるいは、用いずに、外部トリガによる変換を行うことも可能です。最後に、内部タイマーを外部トリガと用いることによって、サンプリング・レートをよりカスタマイズすることができます。

パイプライン変換

通常のパイプライン動作は、ASYNCEN入力 (ピン20) をグラウンドに接続し、SCLK入力をV_{DD}に接続することによって有効となります。このモードでは、AD1341のタイミングは内部コントローラによって制御されます。N番目のA/D変換のスタート時に、N+1番目のチャンネルおよびゲイン命令がCCRから読み出され実行されます。これによってA/D変換の実行中にPGIAをセトリングさせることができます。AD1341のスループットは、ゲインに応じたPGIAのセトリング時間の差異があるので、チャンネル数とゲインの組合せに依存します。内部シーケンサは、チャンネル数やゲイン設定に関わらず、常に正規のセトリング時間を動作中のチャンネルに供給します。

標準と高速の2つのシーケンサ・モードが用意されており、MCR内のACCビット (ビット5) によって選択します。標準タイミング・モードでは、高ゲイン値に対してはSHAのアクイジション時間とPGIAのセトリング時間が増加します。高速モードではゲインに関わらずSHAのアクイジション時間を一定に維持し最大のシステム・スループットを実現します。表VIは、これら2つのタイミング・モードにおけるスループット性能の詳細を示しています。この表のスループットは全チャンネル同一ゲインでの動作を前提としています。

	標準モード		高速モード	
	パイプライン変換時のクロック数	パイプライン時スループット (kHz)	パイプライン変換時のクロック数	パイプライン時スループット (kHz)
1~8	20	150.00	20	150.00
16	40	75.00	30	100.00
32	80	37.50	52	57.69
64	160	18.75	102	29.41
128	320	9.38	202	14.85

表VI. AD1341のタイミングおよびスループット (3MHzクロック)

リピート・モードが許可されている場合、CCR内の命令の読出しと実行は回転式に無限に繰り返されます。任意のチャンネル数とさま

さまざまなゲインにおける、リビート・モードでのチャンネルあたりのサンプリング・レートは簡単な計算で求めることができます。この計算には、表VI内の「パイプライン変換時のクロック数」と、プログラムされたチャンネル/ゲイン値を用います。実際のサンプル時間は特定のチャンネルとゲインによって決まりますが、各チャンネルは計算されたレートでサンプリングされます。以下の例では、図17に示した拡張入力チャンネル構成時としています。

ゲイン1~8で11チャンネル	$11 \times 20 = 220$ クロック期間
ゲイン16で8チャンネル	$8 \times 30 = 240$ クロック期間
ゲイン32で5チャンネル	$5 \times 52 = 260$ クロック期間
ゲイン64で2チャンネル	$2 \times 102 = 204$ クロック期間
ゲイン128で4チャンネル	$4 \times 202 = 808$ クロック期間

計 30チャンネル 1732クロック期間

$$\text{システム・サンプル・レート} = \frac{1}{1732 \times 333.33\text{ns}} = 1.73210\text{kHz}$$

システム・サンプル・レートの算出 (高速タイミング・モード、3MHzクロック)

システム・サンプル・レートは、CC出力での連続する立上りエッジ間のクロック数を数えることによっても算出可能です。あるシーケンスでの最後の交換の開始時にCCはHIとなり、その交換が終了するまでHI状態を保ちます。単一の変換が繰り返されている場合にはCCはトグルしません。CCのデューティ・サイクルはシーケンス内のチャンネル数とゲインに依存します。CCの遷移はクロックの立上りエッジで起こります。

外部トリガ変換

ASYNCEN入力を V_{DD} に接続した場合には、ホスト・システムから直接変換のトリガを行うことができます。外部トリガ変換は、リビート・モードが許可されている場合のみ使うようにして下さい。まず、チャンネルおよびゲイン・データをCCRに書き込みます。すべてのCCRの書き込みが終了した時点で、ホスト・プロセッサによってREP (MCRのビット9) をセットします。これによって最初のCCR命令が読み出され、マルチプレクサのアドレスとゲインが設定されます。引き続きSCLK入力の立上りエッジによって、SHAはホールド・モードとなりA/D変換がトリガされ、3MHzのクロックに同期して終了します。SCLKの立上りエッジの後の、最初のクロックの立上りエッジにより、CCRから次のチャンネル/ゲイン・ワードが読み出され、外部トリガ変換におけるパイプライン動作となります。クロックの立上りエッジに対するSCLK HIの標準的なセットアップ時間は10nsです。

AD1341のアクイジション・タイミング・コントローラは、ASYNCENがHIのときには動作しないため、ホスト・システムはSCLKラインにパルスを与える前に、各入力に十分なセットアップ時間を与える必要があります。これを怠ると変換結果が不正確になります。与えられたゲインに対する必要最小時間は、表VI内の「パイプライン変換時のクロック数」で得ることができます。SCLKが外部クロックと同期していない場合、外部トリガ変換は1クロック期間 (3MHzクロックで333.3ns) のタイミング不確実性をもっています。

SCLK機能は、通常のADCでの変換開始パルスによく似ています。しかし通常のADCとは異なり、AD1341にはBUSYあるいはSTATUS出力がありません。ただし、変換終了毎に割込みを発生するようにIMRをプログラムすることによって、IRQ出力をBUSYやSTATUS出力と同様の動作とすることができます。AD1341のすべての割込み条件は外部トリガ変換時にも機能します。

タイマー制御変換

AD1341のプログラマブル・タイマーを外部トリガ変換に用いることにより、最小のホストに対するオーバヘッド・タイムで極めて低いサンプリング・レートを実現することができます。タイマー制御変換は、リビート・モードが許可されている場合にのみ用いるようにしてください。TC (ピン22) をSCLK (ピン21) に接続し、タイマーを少なくとも「パイプライン変換時のクロック数」(表VI) 内の必要な最大値と等しいかより大きい遅延を生成するようにプログラムします。

MCRのビット7および9は、CCRとTMRのプログラムを行った後にセットします。これによって最初のCCR命令が読み出され、タイマーの動作が開始します。最初の入力チャンネルがサンプリングされ、タイマー・インターバルの終わりを示すTC出力の最初の立上りエッジにおいてA/D変換が開始します。また、このエッジによって同時に次の命令がCCRから読み出され、TMR内に格納されている遅延時間の再ロード、タイマーの再起動が行われます。AD1341が再プログラムされ直すまでセットされるまでの間、タイマーのカウントが終了した時点で変換が実行されます。

単一変換

単一変換を実行する際にはリビートを禁止する必要があります。必要なチャンネルとゲインを、まずCCR内に書き込みます。CVN (MCRのビット11) をセットすることにより、ASYNCENがLOWの場合には内部タイミング制御に基づいて変換が開始します。単一サンプリング時のアクイジションおよび変換の実行に必要な時間を表VIIに示します。これらの時間は、CVNがセットされた後の、最初のクロックの立上りエッジから測定されています。CVNの標準的なセットアップ時間 (WRの立下りエッジからCLKの立上りエッジ) は10nsです。

アクイジションおよび変換は、CVNのセットした後のクロック・エッジによって開始するため、入力がサンプリングされるタイミングに不確実性誤差が生じることがあります。AD1341の3MHzクロックとバス動作が同期していないシステムでは、ばらつきは最大で1クロック期間であり、1クロック期間 (333ns) を表VIIの内容に付加してください。この誤差は、ホスト・システムのバスを3MHzクロックに同期させることによって排除することが可能で、CVNのセットアップ時間も適合します。

ゲイン	標準モード変換時間 (μs)	高速モード変換時間 (μs)
1-8	11.00	11.00
16	17.67	15.00
32	31.00	23.33
64	57.67	40.00
128	111.00	73.33

表VII. AD1341変換時間 (3MHzクロック、ASYNCEN LOW)

ASYNCENがHIの場合、単一変換は外部トリガとなります。チャンネルおよびゲイン命令はREPがセットされた時にCCRから読み出され、この時点から信号のアクイジションが開始します。SCLKの立上りエッジにおいてSHAはホールド・モードとなり、A/D変換はSCLKの遷移後の最初のクロック立上りエッジで開始します。表VIIIは、CVNのセットからSCLKの立上りエッジ間の最小許容アクイジション時間と、実際のA/D変換に必要な時間を示しています。全変換時間は、表VIIIのアクイジション時間とA/D変換時間の和です。

ゲイン	標準モード		高速モード	
	アクイジション時間 (μ s)	A/D変換時間 (μ s)	アクイジション時間 (μ s)	A/D変換時間 (μ s)
1~8	6.67	4.33	6.67	4.33
16	13.33	4.33	10.67	4.33
32	26.67	4.33	19.00	4.33
64	53.33	4.33	35.67	4.33
128	106.67	4.33	69.00	4.33

表VIII. AD1341のタイミングおよびスループット (3MHzクロック)

変換システムが非同期動作の場合、表VIIIのアクイジション時間とA/D変換時間の両方に1クロック期間の不確実性誤差が含まれています。第一の誤差要因は、WRの立下りエッジと対応するCLKの立上りエッジ間が可変なことであり、第二はCLKの立上りエッジとSCLK間のタイミング不確実性に起因します。

使用上の注意

アナログ・インタフェース

AD1341の16本のマルチプレクサ入力は、直列抵抗と2本のダイオードによって過電圧や電源無印加時の入力から保護されています(図14)。各入力の標準的な時定数は、差動入力構成の場合50ns、シングルエンド構成の場合100nsです。これらの時定数によるセトリグ遅延は、AD1341の内部タイミング・ジェネレータに加味されています。外部に直列抵抗を追加すると、これらの時定数が増加し、与えられた時間内でのセトリグを阻害します。このため、AD1341の入力は、オペアンプ出力のような低インピーダンス・ソースによる駆動が適しています。

AD1341のマルチプレクサ出力およびPGIA入力はバッカージの外部に引き出されているため、容易にシステムの拡張を行うことができます。これらのピンに大きな容量を付加することはセトリグが低下されるため、避けるべきです。容量性およびノイズ・カップリングを最小限に抑えるため、すべての接続はできる限り短く、直線的に行ってください。(AD1341のタイミング・ジェネレータは、図17、18に示されている拡張マルチプレクサによって追加される容量については十分な入力セトリグ時間を考慮しています。)

少量の電荷は、その入力を選択されているかどうかに関わらず、各入力を通じてダンパされます。この電荷の大きさは標準的に4pCです。各信号源は、この過渡状態を吸収するために高周波において低出力インピーダンスをもつべきです。マイクロパワー・オペアンプは、一般的に高い出力インピーダンスと低いゲイン帯域幅積をもつため、このような過渡応答には問題があります。AD711、AD712およびAD713は、AD1341の入力の駆動に適しています。

各マルチプレクサ入力には、オフ状態での漏れ電流のために帰還路が必要です。通常は駆動源がこの経路となります。未使用の入力は、オープンのままとはせず、アナログ・グラウンド・プレーンに接続してください。

電源とグラウンド

適切なグラウンド処理と電源バイパスはAD1341の定格性能を引き出すために不可欠です。AD1341は独立したアナログ信号グラウンド、アナログ電源グラウンド、デジタル・グラウンドを備えています。すべてのアナログ信号および電源グラウンド・ピンは、AD1341直下のコモン・グラウンド・プレーンに接続します。これによって、ダイナミック電源電流とAD1341で処理される低レベル信

号間のカップリングを最小化するために必要な低インピーダンスが得られます。

AD1341の金属蓋は、アナログ電源グラウンドと内部的に接続されており、電気的な干渉に対するシールドの役目を果たしています。AD1341を回路基板にハンダ付けする場合、金属蓋は回路基板に面するようにします。AD1341の直下に来る基板面には、回路短絡の可能性を低くするため、信号や電源トレースが来ないようにします。この部分をグラウンド・プレーンとすることにより、グラウンド・インピーダンスを最小とし、信号の精度を高めます。

可能ならば、デジタル・グラウンド・ピンもこのグラウンド・プレーンに接続します。これによって、デジタル・スイッチング・ノイズに対する強い耐性ができます。ただし、この接続によってグラウンド・ループや他のシステム・レベルでの問題が生じた場合、分離したグラウンド・プレーンや他の低インピーダンスの帰還路を用意する必要があります。この場合、アナログおよびデジタル・グラウンドは、相対方向に接続した2本のショットキー・ダイオードと高周波特性の優れたバイパス・コンデンサを用いて、AD1341において相互に接続します。0.01 μ F~0.1 μ Fのセラミック・コンデンサが適しています。これらの部品によってアナログおよびデジタル・グラウンド間の破壊的なDC電位差の発生が防止され、過渡電流のための低インピーダンス経路が用意されます。

各供給電源は、ダイナミック信号や電源電流のための低ソース・インピーダンスを得るために、デバイスのできる限り近くに配置したコンデンサによってグラウンド・プレーンに交流的にバイパスしてください。各電源は、セラミックおよび固体タンタル・コンデンサを用いてバイパスします。0.01~0.1 μ Fのセラミック・コンデンサ、1~10 μ Fのタンタル・コンデンサが適しています。アルミニウム電解コンデンサは、同程度の容量をもつタンタル・コンデンサよりもかなり高い等価直列抵抗を有しているため、適していません。

デジタル・インタフェース

AD1341の高速パラレル・バスでは、ほとんどの応用においてウェイト・ステートなしの動作が可能となっており、システム設計を簡略化できます。多くの場合、AD1341とマイクロプロセッサ間のインタフェースに必要な回路はアドレス・デコード回路のみです。図20~23に、AD1341と各種シングルチップDSPとのインタフェース例を示します。

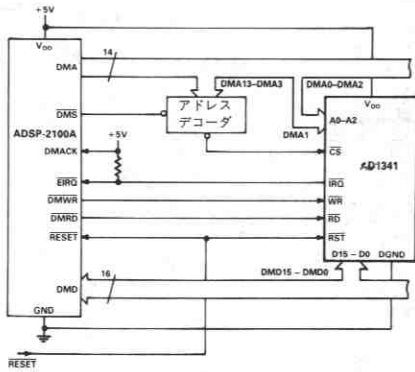


図20. ADSP-2100AとAD1341のインタフェース

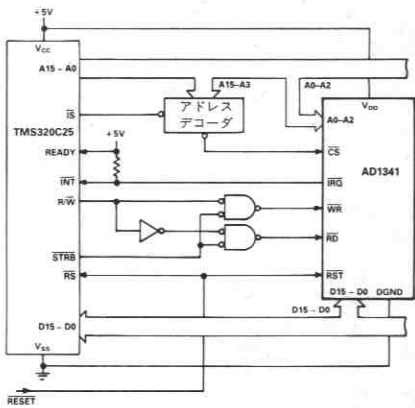


図21. TMS320C25とAD1341のインタフェース

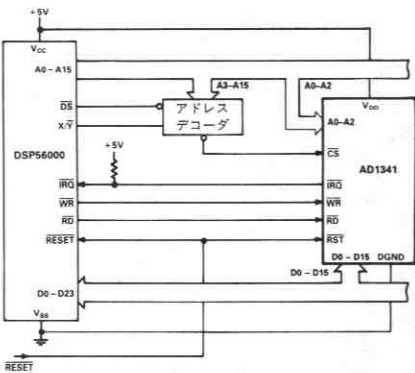


図22. DSP56000とAD1341のインタフェース

AD1341のデジタル・インタフェースは、TTLおよびCMOSコンパチブルの電圧レベル動作を10K ECLの速度で実現しており、標準的なエッジ・スピードは15pFの負荷において1.4nsです。適切なレイアウトとインピーダンス・マッチング技術は、クロストーク、反射、

グラウンドのバウンスによって生じる問題を防止するために重要です。

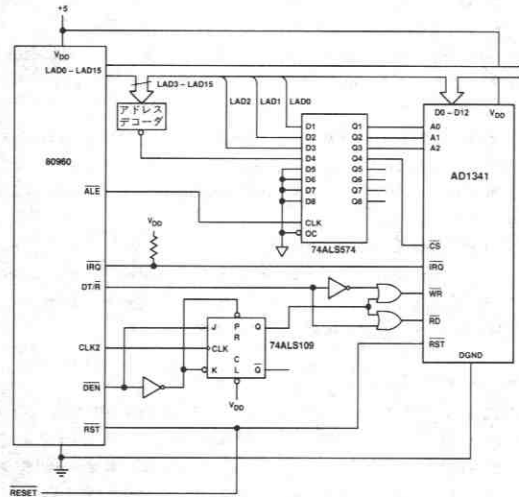


図23. 80960とAD1341のインタフェース

クロストーク

CMOSシステムでの高速なエッジ・スピードと大きな電圧スイングは、隣接するPCBパターン間における容量性および誘導性カップリング（クロストーク）の原因となります。クロストークによって信号の正確さが損なわれ、ノイズ・マージンが抑えられます。この影響は、データ・ラインの近くに位置する、クロック同期の制御ライン（RD、WR、CS）において最も顕著となります。カップリング・ノイズは誤ったI/O動作を引き起こすのに十分な大きさとなることもあります。

クロストークは、長くて平行なPCBパターンをなくし、データ・ラインをクロック同期の制御ラインから速く離すことで抑えることができます。データおよび制御ラインの両側にグラウンドに接続されたパターンを通すことによってシールドを施すことも可能ですが、物理的な距離をあける方法ほどの効果はありません。

反射

高インピーダンスのCMOS入力、低インピーダンスのCMOS出力、そして標準的なPCB回路パターン間の総合インピーダンス・ミスマッチングは、電圧の反射およびリングングを引き起こします。インピーダンス不整合からの反射は、ライン上の反射による遅延が駆動する信号の立上りまたは立下り時間を上回った場合、重要となります。反射が影響し始めるラインの長さは、AD1341ではわずかに13cmです（エッジ・スピード：1.4V/ns、ライン遅延：0.055ns/cmと仮定）。信号ラインをグラウンド・プレーンに通すことにより、追加された容量がエッジ・スピードを制限するため（グラウンド・バウンスの増加という代償で）、この臨界値を長くすることができます。

より優れた解決方法は、すべての信号ラインを正しく終端することです。AD1341のCMOS出力は、PCBラインをその特性インピーダンスで終端するために必要な電流を駆動する能力を備えていません。そのため、反射やリングングを抑えるためには直列ダンピングが適

AD1341 オーダ・ガイド

しています。できる限り信号源に近い位置で、低抵抗 (10~75Ω) を信号ラインと直列に接続します。駆動側の出力抵抗と直列抵抗値を加えた値がライン・インピーダンスと一致するようにします。これによって、信号源に対する反射は吸収されます。

直列終端の第一の欠点は、ライン・インピーダンスと終端抵抗が分圧ネットワークを形成し、ラインの双方向遅延時間の間、このライン上の電圧が有効ロジック・レベルの間に位置することです。このことは、このラインの先にいくつかのデバイス入力接続されている際に、伝播遅延時間中に有効ロジック・レベルを必要とするデバイス入力は、このラインから信号を受け取ることができない、ということの意味しています。

Cypress Semiconductor社から出版されているアプリケーション・ノート「Systems Design Considerations when Using Cypress CMOS Circuits」には、さまざまなライン・マッチング技術についての詳細な分析と解説が掲載されています。

グラウンド・バウンス

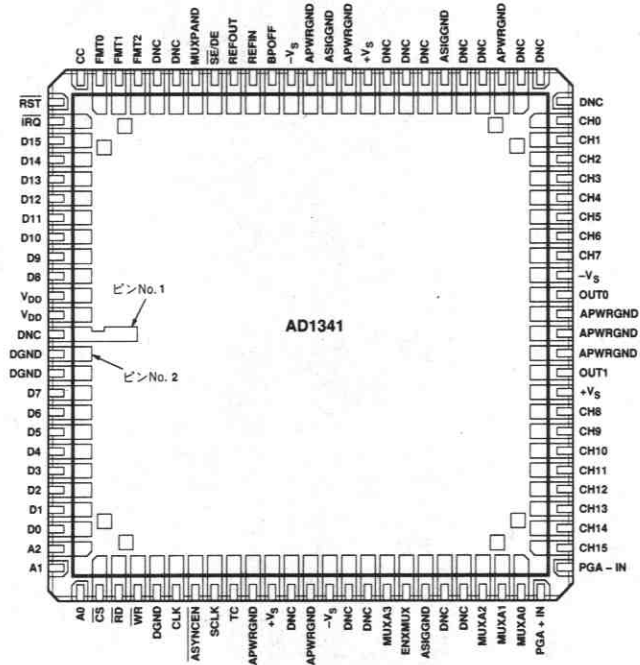
AD1341のデータ・バス出力の、1本または複数本がHIからLOW (または、以前のバス・データがHIだった場合、ハイ・インピーダンスからLOW) にスイッチングした際、大量の過渡電流がデジタル・グラウンドに流れます。これらの電流は、データ・バス内の寄生容量の放電によって生じます。グラウンド帰還路のインダクタンスはこの寄生容量とともに共振するL-C回路を形成し、システム内の電源やその他でグラウンドに接続するデバイスのグラウンド点においてリングングが生じます。このリングングまたは「グラウンド・バウンス」の振幅や期間は寄生リアクタンスの大きさに依存します。リングングの振幅および期間は、インダクタンスまたは容量の増加に応じて大きくなります。

グラウンド・バウンスの影響により、ロジックLOWレベルのノイズ・マージンが劣化します。これはシステム・データ・エラーの原因となります。極端な場合、グラウンド・バウンスによってAD1341で誤ったI/O動作が開始され、データの損失につながります。グラウンド・バウンスに対する最良の防御策は、データ・バスの容量性負荷を最小にすることと、グラウンド・プレーンを用いることにより必然的な過渡電流に対する低インピーダンスの帰還路を用意しておくことです。バス容量が大きくなることが避けられない場合、AD1341とシステム・データ・バス間にBiCMOSバス・トランシーバを用いることができます。これは、リードおよびライト・サイクル時間の増加要因となりますが、制御されたエッジ速度によってピーク電流が抑制され、データ・エラーの発生や誤ったI/O動作の可能性を低くします。トランシーバはAD1341の近くに配置し、AD1341のデータ出力から見た容量を最小限に抑えます。

モデル	温度範囲	パッケージ・オプション*
AD1341KZ	0~+70°C	Z-100
AD1341TZ/883B	-55~+125°C	Z-100

*Z=セラミック・リード付きチップ・キャリア・パッケージ

AD1341ピン配置



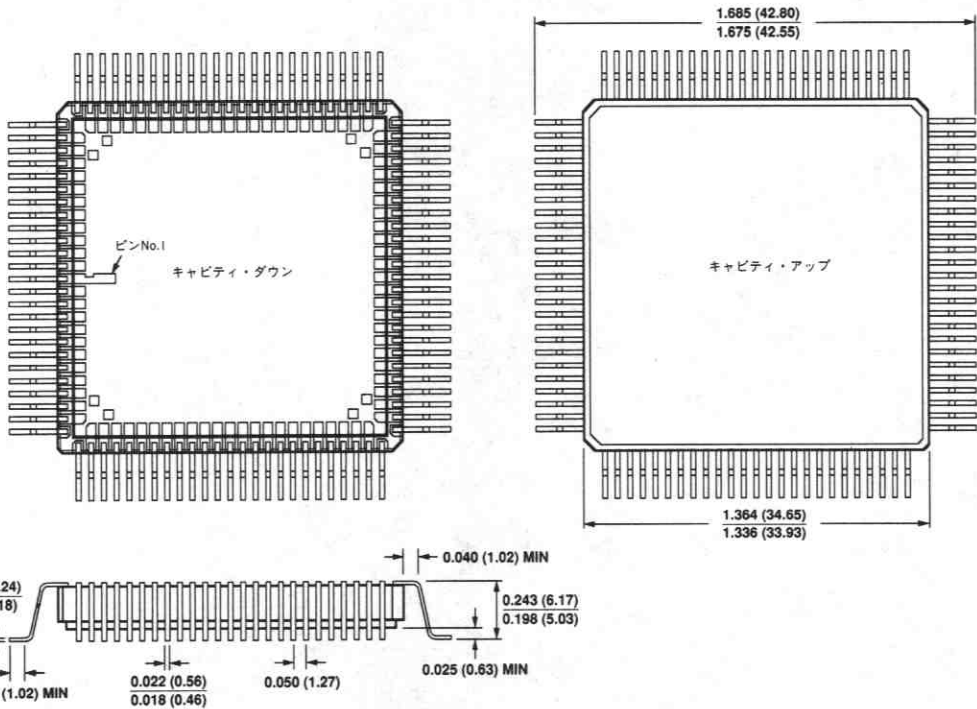
DNC = 無接続

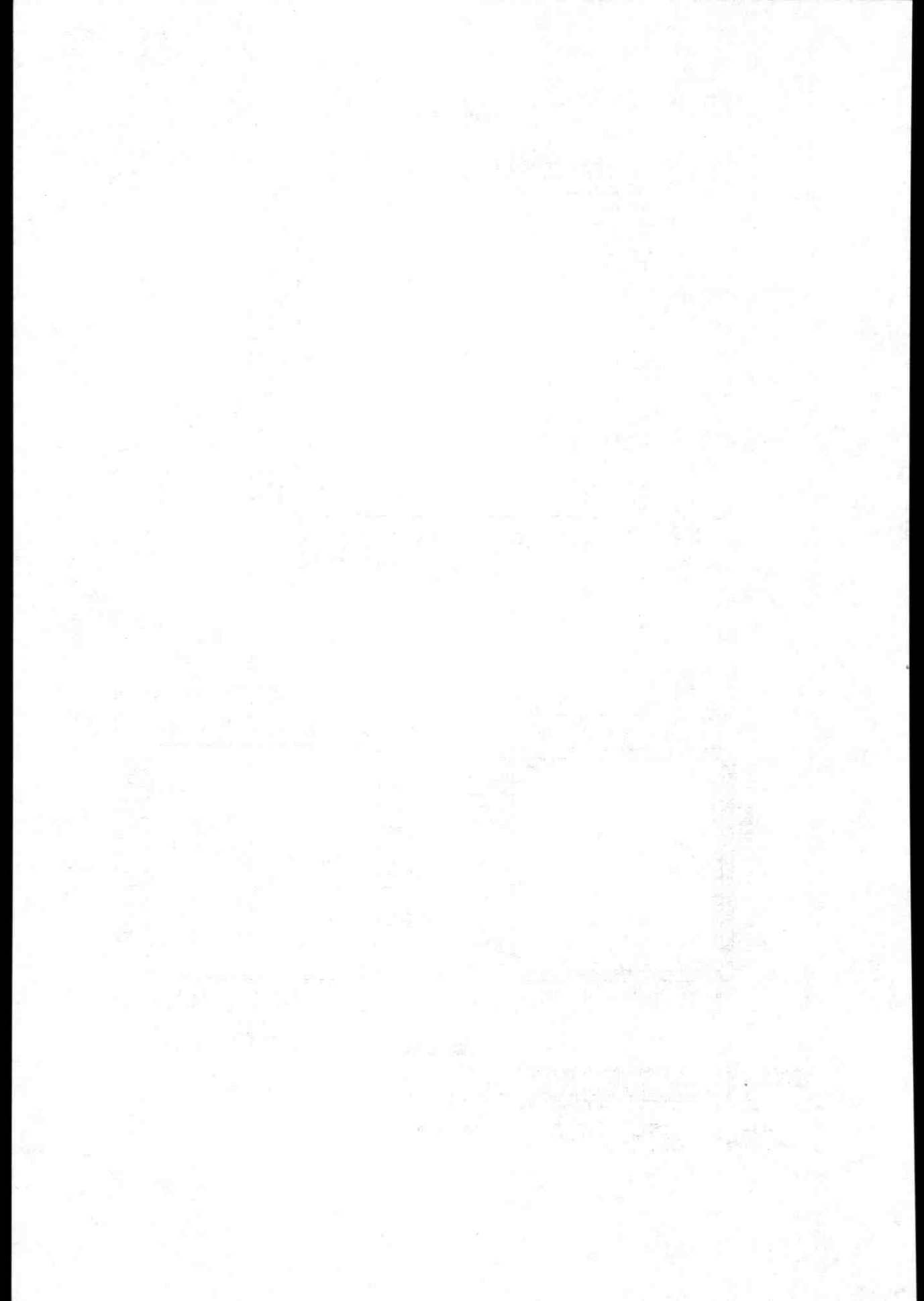
外形サイズ

サイズはインチと (mm) で示します。

Z-100

100リード・リード付きチップ・キャリア (セラミック)





シンクロ/レゾルバ・コンバータ

目次

	ページ
セレクション・ガイド	794
AD2S34 14ビット, 2チャンネル・レゾルバ/デジタル・コンバータ	795
AD2S46 低価格, 16ビット・シンクロ/レゾルバ-デジタル・コンバータ	803

セレクトション・ガイド

シンクロ&レゾルバ・コンバータ

シンクロ, レゾルバ, インダクトシン, LVDT/ディジタル・コンバータ

モデル	分解能 ビット	入力 ¹ フォー マット	精度 arc min	トラッキング・ レート・ オプション revs/sec ²	リファレンス 周波数 オプション Hz	入力 絶縁	パッケージ ³ オプション	温度 ⁴ 範囲	特長	掲載ページ ¹⁰
SDC/RDC1741	12	S, R	±15.3	18	400, 2.6k	○	M	C, M	トライステート, ラッチ出力	D17-52
SDC/RDC1742	12	S, R	±8.5	18	400, 2.6k	○	M	C, M	トライステート, ラッチ出力	D17-52
AD2S81A	12	I, R	±30 ⁵	260	400→20k	×	D	C	モノリシック, 高トラッキング・レート	—
SDC/RDC1740	14	S, R	±5.3	12	400, 2.6k	○	M	C, M	トライステート, ラッチ出力	D17-52
2S54	14	LVDT	±0.006 ⁶	360 LSB/ms ⁷	360→5k	×	M	C, M	レシオメトリック変換, 外部調整不要	D17-12
2S56	16	LVDT	±0.006 ⁶	360 LSB/ms ⁷	360→5k	×	M	M	レシオメトリック変換, 外部調整不要	D17-12
2S58	16	LVDT	±0.003 ⁶	680 LSB/ms ⁷	7k→11k	×	M	C, M	レシオメトリック変換, 高ゲイン	D17-12
AD2S80A	16, 14, 12, 10 ⁸	I, R	±2, ±4, ±8	1040 ⁹	50-20k	×	D	C, M	モノリシック, 高トラッキング・レート	—
AD2S82A	16, 14, 12, 10 ⁸	I, R	±2, ±4, ±8	1040 ⁹	50-20k	×	P	C	モノリシック, 可変分解能	—
2S50	11	LVDT	±0.025 ⁶	200 LSB/ms ⁷	400, 1k→10k	×	D, M	C, M	トライステート, 外部調整不要	—
●AD2S34	14	R	±2.6, ±4.0	20, 48	0.4, 2.6, 4.0k	×	Z	M	2CH R/D, 外部調整不要	795
●AD2S46	16	S, R	±1.3, ±2.6	12	0→2.6k	×	D	M	R/S-ディジタル・コンバー タ, 外部調整不要	803

注1. S=シンクロ, R=レゾルバ, I=インダクトシン

2. インダクトシンの場合, ビッチ/秒と等しいrevs/sec. 高いリファレンス周波数オプションは高いトラッキング・レートをもちます。

3. パッケージ: D=セラミックDIP, M=メタル・ハーメチック, P=プラスチック・リード付きチップキャリア(PLCC), Z=セラミック・リード付きチップ・キャリア

4. 温度範囲: C=0~+70°C, I=-40~+85°C(旧製品では-25~+85°Cの場合もある), M=-55~+125°C

5. データシートを参照ください

6. %フルスケール直線性で示すLVDTコンバータ精度

7. スルーレート(min)

8. 分解能は選択可能

9. 選択分解能による

10. Dはデータブック1990/1991本版, PはPrecision Monolithics Divisionデータブック, そしてモデル名に●印のある製品は本データブック追補版に掲載されています。

太字で示すモデルは新規設計に最適な製品です。

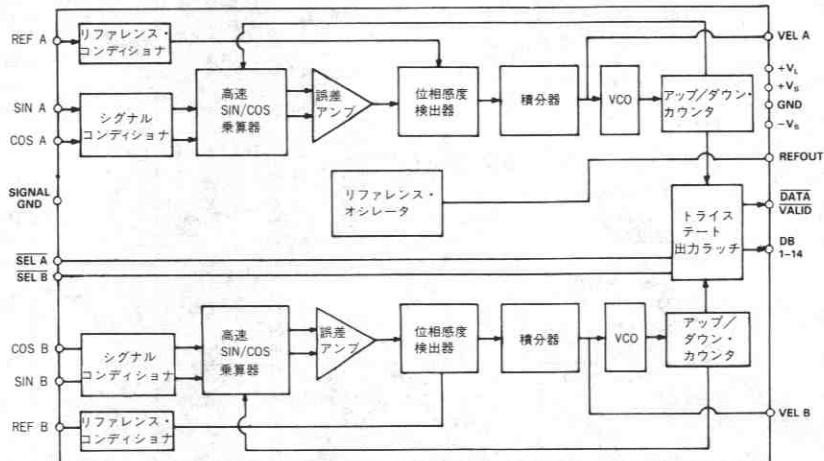
AD2S34

特長

コンパクトな32ピン・フラット・パッケージ
2.6Arc Minの精度
14ビット分解能
オシレータ内蔵
独立したリファレンス入力
独立した速度出力
高いトラッキング・レート

応用

ジンバル/ジャイロ制御システム
レーダ/ソナー
エンジン制御
座標変換
軍用サーボ制御システム
航空電子システム
アンテナ・モータ
CNCマシン・ツール



AD2S34機能ブロック図

概要

AD2S34シリーズは、14ビット、2チャンネルの連続トラッキング・レゾルバ/ディジタル・コンバータです。このシリーズは省スペース、軽量が重視される応用のために設計されています。32ピン・ハイブリッド・パッケージには、2つの独立したタイプIIサーボループ・トラッキング・コンバータとレゾルバの励起に適したパワー・オシレータを内蔵しています。コンバータはレシオメトリック変換技術を採用しており、優れた耐ノイズ特性、繰返し性そしてリード線を長くしても影響を受けにくいことが特長です。変換機能の中心は、消費電力の低いCMOSディジタル・ロジックとバイポーラ・リニア回路を組合わせた弊社独自のBiMOS IIプロセスによって構成されたモノリシック集積回路です。この集積回路を用いることにより、内部部品数を減少させ、高い信頼性を保証しています。

AD2S34はレゾルバの2V_{rms}出力に直接インタフェースします。簡単な抵抗分圧回路を用いることによって、他の標準レゾルバの出力から2V_{rms}を得ることが可能です。

内蔵オシレータは、400Hz、2.6kHzまたは4kHzで動作するレゾルバにリファレンス励起を供給します。それぞれのチャンネルは独立したリファレンス入力をもっており、レゾルバから誘導される信号(正弦および余弦)とリファレンス間の位相シフトを補償することができます。

コンバータの出力はトリステートのトランスベアレント・ラッ

チを通して出力されるため、コンバータの動作に割込むことなくデータを読取ることができます。SEL AおよびSEL B制御ラインによってチャンネルの選択を行うことで、共通データ出力ピンにディジタル位置が出力されます。DATA VALIDフラグはデータ転送を支援するために用意されています。

AD2S34は、各チャンネル1本ずつの2本の速度出力を備えています。これらの出力からは、レゾルバ軸の回転速度に比例したアナログ信号が連続的に出力されます。これらの信号は、多くの応用においてループの安定化と速度フィードバック・データを得るために用いている速度トランスデューサの置換えとすることができます。

モデル

AD2S34には精度に応じて2つのグレードが用意されています。

AD2S34TZ	14ビット	2.6Arc Min	-55~+125°C
AD2S34SZ	14ビット	4.0Arc Min	-55~+125°C

デバイスはすべて-55°C、+25°C、+125°Cにおいて100%テストされています。高信頼性スクリーニング規格(サフィックスB)準拠のデバイスには、高レベルの信頼性を得るために、より高度のテストとスクリーニングが実施されています。オーダ・ガイドを本データシートの最終ページに記載しています。

仕様 (特に指定のない限り、+25°Cにおける標準値)

パラメータ	AD2S34			単位	備考
	Min	Typ	Max		
性能					
精度 ¹					
AD2S34TZ			±2.6	Arc Min	-55~+125°C
AD2S34SZ			±4.0	Arc Min	-55~+125°C
最大トラッキング・レート					
AD2S34xZ10	20			回転/秒	
AD2S34xZ40	48			回転/秒	
AD2S34xZ60	20			回転/秒	
分解能			14	ビット	出力コーディングはパラレル純バイナリ
			(1 LSB=1.3Arc Min)		
繰返し性			1	LSB	
信号/リファレンス周波数					
AD2S34xZ10	360	400	440	Hz	
AD2S34xZ40	2340	2600	2860	Hz	
AD2S34xZ60	3600	4000	4400	Hz	
トラッキング帯域幅					
AD2S34xZ10	90			Hz	
AD2S34xZ40	370			Hz	
AD2S34xZ60	650			Hz	
信号入力 (正弦、余弦)					
信号電圧	1.8	2.0	2.2	V rms	
許容位相シフト (信号-リファレンス)			±10		
入力インピーダンス	1			MΩ	
リファレンス入力 (REF A、REF B)					
リファレンス電圧	1.8	2.0	2.2	V rms	
許容範囲	1.4		8.0	V peak	
入力インピーダンス	1			MΩ	
加速定数					
AD2S34xZ10	53000			秒 ⁻²	
AD2S34xZ40	695000			秒 ⁻²	
AD2S34xZ60	2164000			秒 ⁻²	
ステップ応答					
大ステップ ¹					
AD2S34xZ10		60	72	ms	179°、1LSBの誤差
AD2S34xZ40		30	36	ms	
AD2S34xZ60		22.5	30	ms	
電源ライン (REF OUT は無負荷)					
+V _s =+15V dc ¹		40	55	mA	
-V _s =-15V dc ¹		30	45	mA	
+V _L =+5V dc ¹		1	5	mA	無負荷時
消費電力 ¹		1.06	1.53	W	無負荷時
デジタル入力 (SEL A、SEL B)					
V _{IL}			0.8	V dc	
V _{IH}	2.0			V dc	
I _{IL}			±100	μA	V _{IL} =0V
I _{IH}			±100	μA	V _{IH} =5V
デジタル出力 (DB1~DB14、DATA VALID)					
V _{OL} ¹			0.4	V dc	I _{OL} =1.2mA
V _{OH} ¹	2.4			V dc	I _{OH} =100μA
トライステート漏れ電流 ¹			±100	μA	
駆動能力			3	LSTTL負荷	

AD2S34

パラメータ	AD2S34			単位	備考
	Min	Typ	Max		
速度出力 (VEL A、VEL B) 電圧 ¹	±7.5			V dc	最大トラッキング・レート
直線性 ¹ AD2S34xZ10			±1	出力の%	
AD2S34xZ40			±3	出力の%	
AD2S34xZ60			±1	出力の%	
復帰誤差 ¹			±3	%	
DCゼロ・オフセット@+25°C AD2S34xZ10		22	55	mV	
AD2S34xZ40		9	23	mV	
AD2S34xZ60		22	55	mV	
DCゼロ・オフセット温度係数 AD2S34xZ10			-100	μV/°C	
AD2S34xZ40			-42	μV/°C	
AD2S34xZ60			-100	μV/°C	
ゲイン・スケーリング誤差			±10	FSDの%	
LSBレートでのノイズ およびリップル			2	mV	
ダイナミック・リップル (ピーク)			1.5	平均出力の%	
リファレンス出力 (REF OUT) 周波数 ¹ AD2S34xZ10	360	400	440	Hz	
AD2S34xZ40	2340	2600	2860	Hz	
AD2S34xZ60	3600	4000	4400	Hz	
電圧 ¹	5.5	6.0	6.5	V rms@50mA	最小120Ω負荷
データ転送 (図3参照) データ安定までの時間 (SEL AまたはSEL Bの立下りエッジ後)			1000	ns	t _s
データが高インピーダンスとなるまでの時間 (SEL AまたはSEL Bの立上りエッジ後)			50	ns	t _k
DATA VALIDがHIになるまでの時間 (SEL AまたはSEL Bの立下りエッジ後)	1050			ns	t _v
DATA VALIDがLOWになるまでの時間 (SEL AまたはSEL Bの立上りエッジ後)	40			ns	t _Q
サイズ	25.4×25.4×3.9			mm	外形サイズの項を参照
重量				7.2	グラム
熱抵抗 ² θ _{JC} 最悪値				35	°C/W
θ _{CA}				31	°C/W

注

- 1 -55~+125°Cの温度範囲での仕様。(a) 10%の信号とリファレンス振幅の変動があります。(b) 10%の信号とリファレンスの高調波歪みがあります。(c) 5%の電源変動があります。(d) 10%のリファレンス周波数の変動があります。
- 2 ハイブリッド内の最も熱い部品の接合温度が150°Cの最大定格値を越えないことを保証するために、ケース温度は130°Cを超えてはいけません。

太字は、電源、入力信号電圧、動作周波数の公称値において100%テストを実施したパラメータです。他のすべてのパラメータは設計上保証されていますが、テストは実施していません。

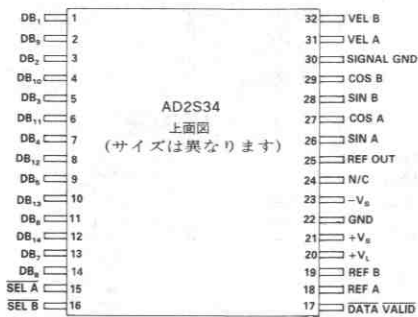
仕様は予告なしに変更することがあります。

絶対最大定格

+V _S -GND+17.25V dc
-V _S -GND-17.25V dc
+V _L -GND0~+7.0V dc
任意のロジック入力-GND (max)+7.0V dc
任意のロジック入力-GND (min)-0.4V dc
SIN, COS-SIGNAL GND±12V dc
REF A, REF B-SIGNAL GND±12V dc
保管温度範囲-65~+150°C
動作温度範囲-55~+125°C

注意

1. 絶対最大定格を越える値はデバイスに損傷を与えることがあります。
2. +V_Sと-V_Sの各端子には正しい極性の電圧を与える必要があります。



AD2S34ピン配置図

推奨動作条件

電源電圧 (+V _S -GND)+15V dc±5%
電源電圧 (-V _S -GND)-15V dc±5%
電源電圧 V _L+5V dc±5%
アナログ入力電圧 (SIN, COS-SIGNAL GND)	2V rms±10%
アナログ入力電圧 (REF A, REF B-SIGNAL GND)1.0~8.0V peak
信号およびリファレンス高調波歪み±10%
信号-リファレンス間の位相シフト±10°
周囲動作温度範囲-55~+125°C

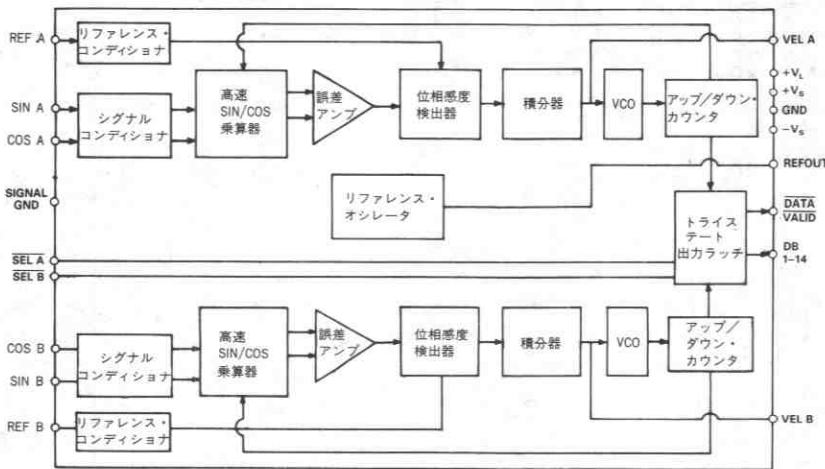
AD2S34のピン機能説明

ピン	名称	説明
1~14	DB1~DB14	パラレル出力データ
15	SEL A	チャンネルAセレクト
16	SEL B	チャンネルBセレクト
17	DATA VALID	データ有効
18	REF A	チャンネルAリファレンス入力
19	REF B	チャンネルBリファレンス入力
20	+V _L	ロジック電源
21	+V _S	正電源
22	GND	電源グラウンド (注: このピンはケースと電気的に接続されています)
23	-V _S	負電源
24	N/C	無接続
25	REF OUT	リファレンス出力
26	SIN A	チャンネルA正弦入力
27	COS A	チャンネルA余弦入力
28	SIN B	チャンネルB正弦入力
29	COS B	チャンネルB余弦入力
30	SIGNAL GND	レゾルバ信号用グラウンド
31	VEL A	チャンネルA速度出力
32	VEL B	チャンネルB速度出力

ESD感度

AD2S34は、大きな「分布」ダイオードとポリシリコン直列抵抗で構成された入力保護回路を備えています。この回路は高エネルギーの放電（人体モデル）と高速、低エネルギーのパルス（充電デバイス・モデル）の両方を散逸させます。

機能的な損傷や性能の劣化を避けるために、正しいESD保護措置の実施をお勧めします。ESD保護に関する詳細な情報は弊社発行の「ESDマニュアル」を参照してください。



AD2S34機能ブロック図

動作説明

AD2S34シリーズは、タイプIIトラッキング・クロズド・ループ原理で動作します。デジタル・ワード出力は外部からの変換コマンドやウェイト・ステートなしで、常にレゾルバ軸の位置に追従します。トランスデューサがLSBの重みに相当する位置を通過すると、デジタル・ワード出力は1LSBだけ更新されます。

各チャンネルは、動作、電源の共用、デジタル位置出力ピンにおいて同等です。

いずれのチャンネルも連続的かつ独立して動作します。各チャンネルの共用のデジタル出力は、チャンネル選択入力をスイッチングすることによって得ることができます。

変換プロセスの説明において、レゾルバ形式の入力信号は以下のように表現します。

$$V_1 = K E_0 \sin \omega t \sin \theta$$

$$V_2 = K E_0 \sin \omega t \cos \theta$$

ここで、 θ はレゾルバ軸の角度です。

アップダウン・カウンタの現在のワード・ステートを ϕ としたとき、 V_1 に $\cos \phi$ を乗じ、 V_2 に $\sin \phi$ を乗じることによって次式が得られます。

$$K E_0 \sin \omega t \sin \theta \cos \phi$$

$$K E_0 \sin \omega t \cos \theta \sin \phi$$

これらの信号は誤差アンプによって減じられ、次式となります。

$$K E_0 \sin \omega t (\sin \theta \cos \phi - \cos \theta \sin \phi)$$

あるいは、

$$K E_0 \sin \omega t \sin (\theta - \phi)$$

位相感度検出器、積分器、電圧制御オシレータ(VCO)は、 $\sin(\theta - \phi)$ をゼロとするクロズド・ループ・システムを形成します。これが完了すると、アップダウン・カウンタのワード・ステート ϕ は、コンバータの定格精度内でレゾルバ軸の角度 θ と等しくなります。

コンバータの接続

$+V_S$ および $-V_S$ に接続する電源電圧はそれぞれ $+15V$ dcおよび $-15V$ dcとし、逆にはいけません。 V_L に与える電圧は公称値 $+5V$ としてください。 $100nF$ (セラミック)と $6.8\mu F$ (タンタル)のコンデンサを並列に組合わせ、3本の電源ピンとGND間に接続してください。

GNDと記されたピンはケースと電気的に接続されており、システム内で $0V$ 電位としてください。

デジタル出力はピン1~14から得られます。ピン1がMSB、ピン12がLSBです。ピン配置を参照してください。

内蔵オシレータ出力(REF OUT)は各レゾルバに接続し、オプションの位相シフト補償回路を通してリファレンス入力(REF AおよびREF B)に接続してください。図1に適切な位相補償回路を示します。

注: 400Hzオプション(AD2S34xZ10)では上述の位相シフト補償に加えて、ハイブリッド内の内部位相シフトの補償のために、外部で 3.8° の位相進みを行ってください。より高い周波数オプションでは、定格精度は内部位相シフトの影響を受けないためこの外部での位相進みは不要です。

各信号は以下の式にしたがって正弦および余弦に接続します。

$$E_{SIN} = E_{RLO-RHI} \sin \omega t \sin \theta$$

$$E_{COS} = E_{RLO-RHI} \sin \omega t \cos \theta$$

各レゾルバからの2本の信号グラウンド線は、正弦および余弦信号のコップリングを最小化するために、コンバータのSIGNAL GNDにおいて接続してください。同様の理由で、レゾルバとの接続には個別のツイスト・ペア・ケーブルを用い、正弦、余弦、リファレンスの各信号用のツイストは分離してください。

図1に推奨接続回路例を示します。

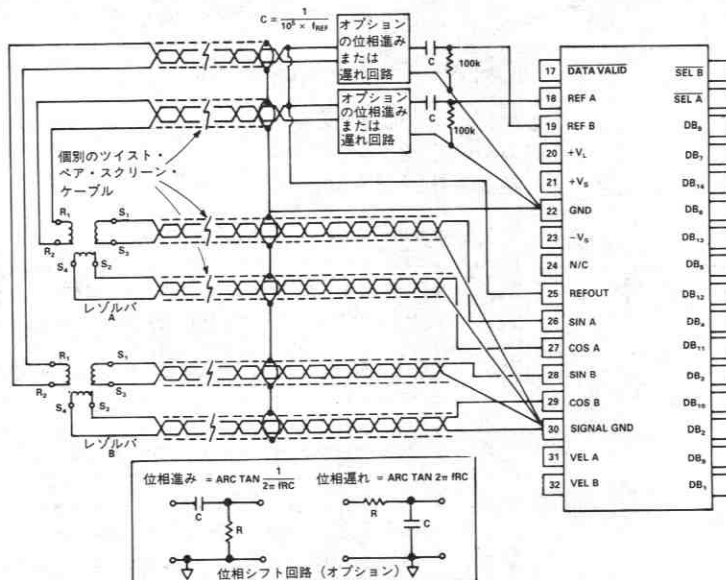


図1. AD2S34とレゾルバの接続

非標準信号のスケールリング

本シリーズ・コンバータの特長は、コンバータの公称±10%の限度から外れる非標準入力信号とリファレンス電圧を調整するために、信号とリファレンス入力に抵抗でスケールリングできることです。この技術を使うと、広範囲の入力およびリファレンス電圧が必要なシステムで「専用カード」で標準コンバータを使うことが可能です。

注：コンバータの精度は外部スケールリングに使われる抵抗の精度のマッチングに影響を受けます。正弦信号の抵抗値と余弦信号との高精度マッチングが重要です。一般に、抵抗値の0.1%のミスマッチングで、1.7Arc Minの変換誤差が増加します。そして、抵抗値がアンバランスな場合、信号入力の同相除去比が大きく損なわれます。

チャンネル選択 SEL A、SEL B

SEL AおよびSEL Bはチャンネル選択入力です。SEL Aに対してロジックLOWを与えるとチャンネルAが選択され、SEL Bに対してロジックLOWを与えるとチャンネルBが選択されます。両チャンネルを同時に選択することはできません。

SEL AまたはSEL Bの立下りエッジの1μs後にデータは有効となります。図2にタイミング図を示します。

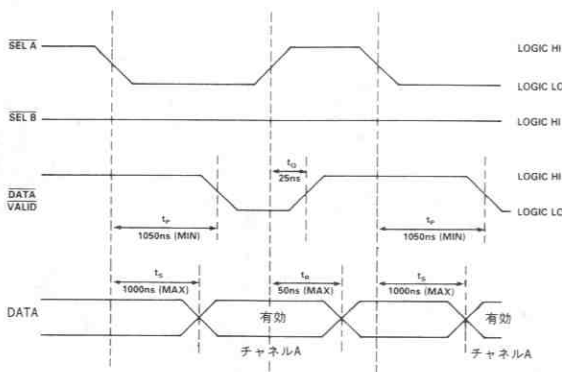


図2a. 1つのチャンネルの繰り返し読出しタイミング

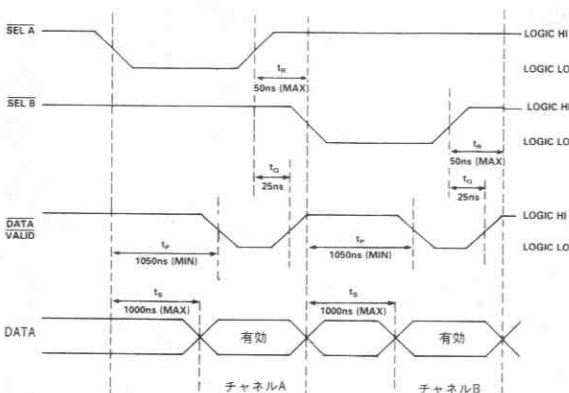


図2b. 各チャンネルの交互読出しタイミング

DATA VALID

DATA VALID出力は、いずれかのチャンネルに対するチャンネル選択の立下りエッジの1μs後にLOWレベルとなり、出力ラッチに転送すべき有効データがあることを示します。

リファレンス出力 REF OUT

リファレンス出力は400Hz、2.6kHzまたは4.0kHz周波数の6 Vrms信号を供給しますが、これは2つのレゾルバの起動とともに、コンバータのリファレンスとしても使用できます。

誤差の原因

差動位相シフト

レゾルバからの、正弦および余弦信号の間の位相シフトは差動位相シフトとして知られており、スタティック誤差の原因となります。すべてのレゾルバはトランスデューサ特性をもつため、いくらかの差動位相シフトが存在します。レゾルバの残留電圧（クワドラチャ電圧）が小さい場合、差動位相シフトが小さいことを示します。正弦チャンネルのケーブルと余弦チャンネルのケーブルの配線経路が異なる場合、更に位相シフトが加わります。つまり、異なるケーブル長または異なる容量性負荷は差動位相シフトの原因となります。入力信号上の差動位相シフトによって追加される誤差は以下のよう

$$\text{誤差} = 0.53 \times a \times b \text{ Arc Min}$$

ここで、aは差動位相シフト(°)、bは信号-リファレンス間の位相シフト(°)です。

この誤差は残留電圧の小さなレゾルバを選択し、正弦および余弦信号の同等な取扱いとリファレンス位相シフトの除去（「コンバータの接続」を参照）を行うことにより最小にできます。このような予防処置の実施により誤差の追加は無視できる程度となります。

レゾルバ位相シフト

スタティックな動作条件下において、リファレンスと信号ライン間の位相シフトは理論的に単独ではコンバータの定格精度に影響を与えません。しかしながら、ほとんどのレゾルバでは信号とリファレンス間に位相シフトがあります。この位相シフトは、ダイナミックな動作条件下では以下のような追加誤差となります。

$$\frac{\text{軸速度 (rps)} \times \text{位相シフト (°)}}{\text{リファレンス周波数}}$$

この影響はレゾルバ内の位相シフトと同等の位相シフトをリファレンスに置くことによって取除くことができます（「コンバータの接続」を参照）。

速度出力 VEL A、VEL B

これらのピンから出力される信号は、それぞれの入力角度の変化率に比例するアナログ電圧です。これらの信号は、チャンネル選択信号のSEL AおよびSEL Bの状態とは関係なく出力されます。

以下の点を配慮することによってより質のよい速度信号を得ることができます。

1. 保護。5pFまたは10kΩ以上の負荷に対しては速度信号をあらかじめバッファしてください。
2. リップルおよびノイズ。コンバータへの入力信号上のノイズは、速度信号上にノイズを生じる主要な要因です。このノイズは以下の予防処置によって最小限に抑えることができます

レゾルバとコンバータ間の正弦、余弦およびリファレンス信号の接続には、同じ長さの分離されたシールド・ツイスト・ペア・ケーブルを用いてください。

可能な限り外部ノイズの低減に注意を払ってください。

残留電圧の小さなレゾルバ、すなわちクワドラチャ信号の小さなレゾルバを選択してください。

リファレンス周波数のフィードスルーは速度信号をフィルタすることで除去できます。フィルタを接続する際には、スピード・ループ帯域幅を損なわないように注意を払ってください。

リファレンス一信号間の位相シフトは、クワドラチャ効果と大きなリップルを除去するために最小化してください。

以上の予防処置によって良好なノイズおよびリップル性能が実現され、AD2S34の速度信号を非常にノイズの多い環境下で使用することが可能となります。

ダイナミック性能

コンバータの伝達関数を以下に示します。

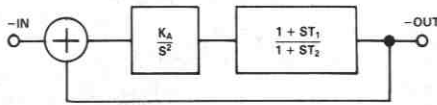


図3. AD2S34の伝達関数

オープン・ループの伝達関数は次式です。

$$\frac{\theta_{OUT}}{\theta_{IN}} = \frac{K_A (1 + sT_1)}{s^2 (1 + sT_2)}$$

クローズド・ループの伝達関数は次式です。

$$\frac{\theta_{OUT}}{\theta_{IN}} = \frac{1 + sT_1}{1 + sT_1 + s^2/K_A + s^3T_2/K_A}$$

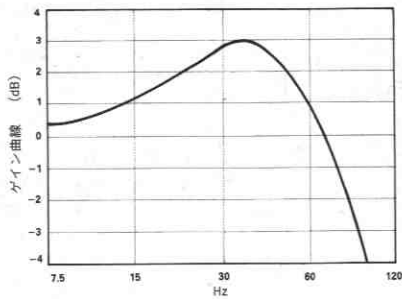


図4. AD2S34xZ10のゲイン曲線

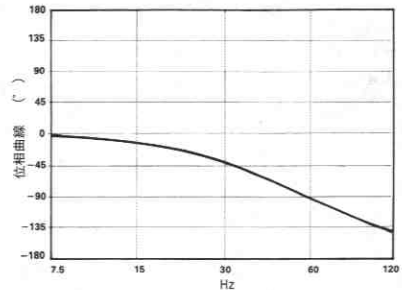


図5. AD2S34xZ10の位相曲線

ここで、

xZ10オプション

$$K_A = 53000 \text{秒}^{-2}$$

$$T_1 = 0.0062 \text{秒}$$

$$T_2 = 0.00079 \text{秒}$$

xZ40オプション

$$K_A = 695000 \text{秒}^{-2}$$

$$T_1 = 0.0019 \text{秒}$$

$$T_2 = 0.0003 \text{秒}$$

xZ60オプション

$$K_A = 2164000 \text{秒}^{-2}$$

$$T_1 = 0.0011 \text{秒}$$

$$T_2 = 0.00017 \text{秒}$$

ゲインおよび位相曲線を図4~9に示します。

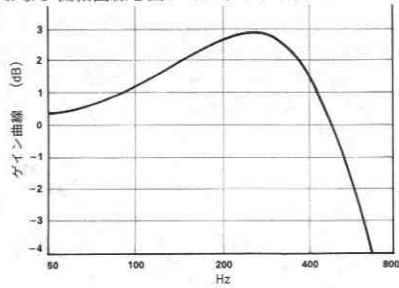


図6. AD2S34xZ40のゲイン曲線

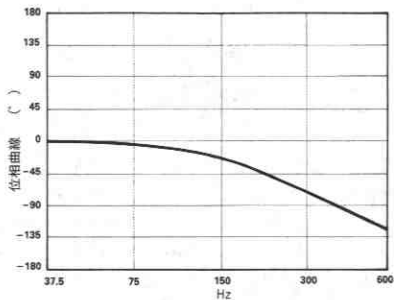


図7. AD2S34xZ40の位相曲線

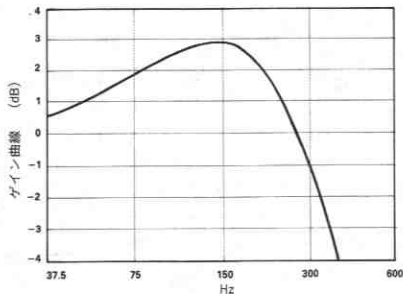


図8. AD2S34xZ60のゲイン曲線

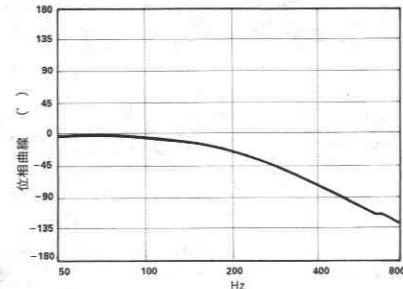


図9. AD2S34xZ60の位相曲線

加速度誤差

タイプIIのサーボ・ループを採用しているトラッキング・コンバータは、あらゆる速度の遅れに影響を受けません。しかしながら、加速度によって生じる誤差が存在します。この誤差は、加速度定数 K_A を用いて以下のように定義することができます。

$$K_A = \frac{\text{入力加速度}}{\text{出力角の誤差}}$$

分子と分母の角単位は一致している必要があります。例えば、 K_A の単位が 秒^{-2} の場合、入力加速度の単位は $^\circ/\text{秒}^2$ 、出力角の誤差は $^\circ$ です。測定に用いる角単位にはラジアン、Arc Min、LSBなどを用いることができます。

K_A は最大加速度ではなく加速度によって生じる誤差のみを定義します。AD2S34がトラッキングを保つことのできる最大加速度は400Hzオプションにおいて、 $5^\circ \times K_A = 265000^\circ/\text{秒}^2$ 、または、約730回転 $/\text{秒}^2$ です。

K_A を用いて入力加速度による出力位置誤差を予測することができます。例えば、 $K_A = 53000$ において50回転 $/\text{秒}^2$ の加速度では次式となります。

$$\begin{aligned} \text{LSBでの誤差} &= \frac{\text{入力加速度} \left[\frac{\text{LSB}}{\text{秒}^2} \right]}{K_A \left[\frac{\text{秒}^2}{\text{秒}^2} \right]} \\ &= \frac{50 \left[\frac{\text{回転}}{\text{秒}^2} \right] \cdot 2^{14} \left[\frac{\text{LSB}}{\text{回転}} \right]}{53000 \left[\frac{\text{秒}^2}{\text{秒}^2} \right]} \\ &= 15.5 \text{LSB} \end{aligned}$$

高信頼性

AD2S34シリーズはアクティブ部品数を減らすカスタム・チップ回路を大幅に採用しているため、非常に高い信頼性を備えています。さまざまな環境条件下におけるMTBFの算出値を提供可能です。

図10に、海軍シェルタ条件およびairborne uninhabited attack条件下でMIL-HDBK-217E規格に従って算出した、年とケース温度でのMTBFを示します。

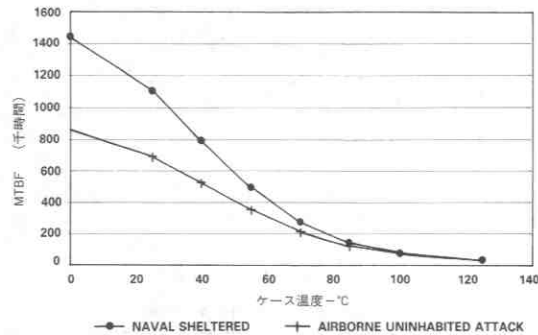


図10. AD2S34のMTBF対温度

他の製品

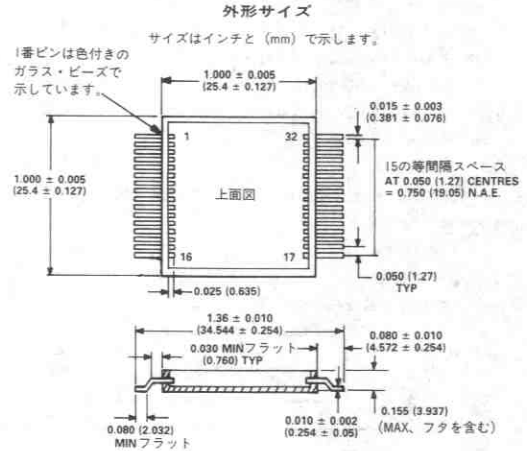
AD2S44は低価格の2チャンネル・シンクロ/レゾルバ・コンバータで、独立したリファレンス入力および内蔵テスト機能を備えています。AD2S44は一般的なシンクロおよびレゾルバとの直接インタフェースに必要なすべての電気的フロント・エンドを内蔵しています。

AD2S80A/AD2S81A/AD2S82Aは、モノリシック・レゾルバ・デジタル・コンバータです。AD2S80A/AD2S82Aは10~16ビットの分解能を選択可能です。AD2S81Aの分解能は12ビットです。すべてのデバイスのダイナミック性能はユーザー選択可能です。AD2

S80Aのパッケージは40ピンDIPおよび44ピンLCCで、MIL-STD-883B, Rev Cに準拠しています。AD2S82Aのパッケージは44ピンPLCC、AD2S81Aは28ピンDIPです。

AD2S46は、高度に集積化されたハイブリッドのレゾルバ/シンクロ・デジタル・コンバータで、28ピンDIPパッケージです。この製品は、軍用温度範囲の全域で1.3Arc Minの精度を備えています。

1740/41/42は、ハイブリッドのレゾルバ/シンクロ・デジタル・コンバータで、ピコ・トランスで絶縁された入力信号コンディショニング機能を備えています。



オーダ・ガイド

オーダの際には、コンバータの部品番号に精度グレードを示す2文字のコードと、信号/リファレンス周波数と電圧を示す2桁の数字コードを付加してください。すべての標準オプションとそのオプション・コードを以下に示します。ここに示されていないオプションについてはお問い合わせください。



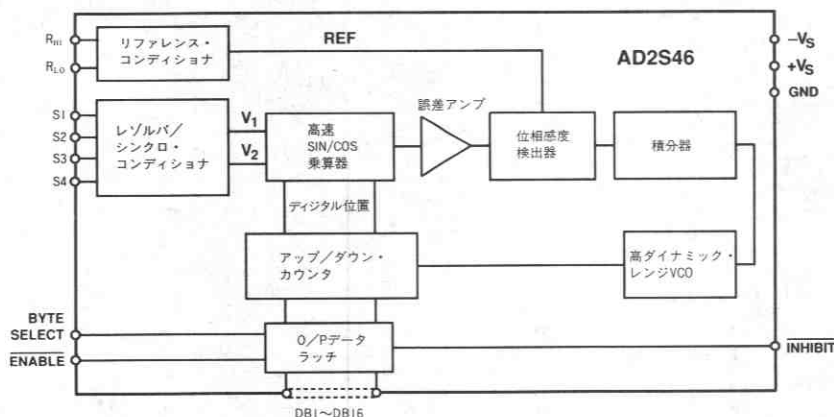
例えば、400Hzのリファレンス周波数で動作し、 $-55 \sim +125^\circ\text{C}$ の温度範囲で2.6Arc Minの精度をもち、高信頼性処理が実施されたデバイスの部品番号は、AD2S34TZ10Bとなります。

特長

- 1.3 Arc Minの精度
- 16ビット分解能
- 小型28ピン・セラミックDIP
- 低価格

応用

- ジンバル/ジャイロ制御システム
- レーダ・システム
- エンジン制御
- ソナー
- 軍用サーボ制御システム
- 航空電子システム
- アンテナ・モニタ
- CNCマシン・ツール



概要

AD2S46シリーズは、16ビットの連続トラッキング・シンクロ/レゾルバーデジタル・コンバータです。このシリーズは省スペース、高性能が重視される応用のために設計されています。28ピン・ハイブリッド・パッケージにタイプ2サーボ・ループ・トラッキング・コンバータを内蔵し、レシオメトリック変換技術の採用によって優れた耐ノイズ特性、繰返し性そしてリード線を長くしても影響を受けにくいことが特長です。

変換機能の中心は、消費電力の低いCMOSデジタル・ロジックとバイポーラ・リニア回路を組合わせた弊社独自のBiMOS IIプロセスによって構成されたモノリシック集積回路です。この集積回路を用いることによって内部部品数を抑え、モノリシックLSIと同様のパッケージを実現すると共に、高い信頼性を保証しています。

このデバイスは、信号入力に高精度差動信号調整回路を備えており、74dB以上の同相除去比を実現しています。シンクロおよびレゾルバー形式入力のいずれについてもオプションが用意されています。コンバータの出力は、トライステートのトランスベアレント・ラッチを通して出力されるため、変換動作を妨げることなくデータの読出しが可能です。

デジタル・データの転送はENABLE入力によって行います。この入力はトライステート出力を制御し、HIからLOWへの遷移時にデータがバスに出力されます。

INHIBITはENABLE入みに優先し、アップダウン・カウンタから出力ラッチへのデータ転送を停止します。この動作はトラッキング・ループの動作を妨げません。INHIBITをリリースすることによってデータの更新は自動的に再開します。BYTE SELECT入力によって、8または16ビット・バス・システムのインタフェースが可能です。

モデル

AD2S46には精度に応じて2つのグレードが用意されています。

AD2S46TD	16ビット	±1.3Arc Min	-55~+125°C
AD2S46SD	16ビット	±2.6Arc Min	-55~+125°C

デバイスはすべて-55°C、+25°C、+125°Cにおいて100%テストされています。高信頼性スクリーニング規格(サフィックスB)準拠のデバイスには、高レベルの信頼性を得るために、より高度のテストとスクリーニングが実施されています。オーダ・ガイドを本データシートの最終ページに記載しています。

仕様

(特に指定のない限り、+25°Cにおける標準値)

パラメータ	AD2S46			単位	備考
	Min	Typ	Max		
性能					
精度 ¹					
AD2S46TD			±1.3	Arc Min	出力コーディングはパラレル・純バイナリ 1 IN65356
AD2S46SD			±2.6	Arc Min	
トラッキング・レート			12	回転/秒	
分解能			16	ビット	
		(1 LSB = 20 Arc sec)			
繰返し性			1	LSB	
信号/リファレンス					
周波数	360		2860	Hz	
帯域幅			85	Hz	
信号入力					
信号電圧		2.11, 8, 26, 90 ± 10%		V rms	オーグ・ガイドを参照
インピーダンス					抵抗許容範囲 ±2%
90V信号		200		kΩ	
26V信号		58		kΩ	
11.8V信号		26		kΩ	
2V信号		4.4		kΩ	
同相除去比	74			dB	
同相レンジ					
90V信号			±250	V dc	
26V信号			±120	V dc	
11.8V信号			±60	V dc	
2V信号			±12	V dc	
リファレンス入力					
リファレンス電圧		2.11, 8, 26, 115 ± 10%		V rms	オーグ・ガイドを参照
インピーダンス					抵抗許容範囲 ±5%
115Vリファレンス		275		kΩ	
26Vリファレンス		275		kΩ	
11.8Vリファレンス		25		kΩ	
2Vリファレンス		25		kΩ	
同相レンジ					
115Vリファレンス			±210	V dc	
26Vリファレンス			±210	V dc	
11.8Vリファレンス			±35	V dc	
2Vリファレンス			±35	V dc	
INHIBIT					
センス					図3参照
データ安定までの時間 (INHIBITの立下りエッジ後)			600	ns	ロジックLOW-INHIBIT
ENABLE					
ロジックLOWからデータ出力まで			110	ns	図3参照
ロジックHIから高インピーダンス			110	ns	データ出力 出力は高インピーダンス
BYTE SELECT					
ロジックHIからデータ安定まで			130	ns	図3参照
ロジックLOWからデータ安定まで			130	ns	MSバイトDB1~DB8 LSバイトDB1~DB8
ステップ応答					
大ステップ ¹		75	95	ms	179°, 1LSBの誤差
小ステップ ¹		25	30	ms	2°, 1LSBの誤差
加速定数	48000			秒 ⁻²	
デジタル入力 (ENABLE, INHIBIT, BYTE SELECT)					
V _{IL}			0.8	V dc	V _{IL} = 0V V _{IH} = 5V
V _{IH}	2.0			V dc	
I _{IL}			±100	μA	
I _{IH}			±100	μA	

AD2S46

パラメータ	AD2S46			単位	備考
	Min	Typ	Max		
デジタル出力 (DB1-DB16) V_{OL}^1 V_{OH}^1 トライステート漏れ電流 駆動能力	2.4		0.4 ±100 3	V dc V dc μ A LSTTL	$I_{OL}=1.2mA$ $I_{OH}=100\mu A$
電源 電圧レベル $+V_S^1$ $-V_S^1$ 電流 $+I_S$ $-I_S$ 消費電力	+14.25 -14.25	+15 -15	+15.75 -15.75 30 15 675	V dc V dc mA mA mW	
サイズ	35.6×15.2×3.4			mm	外形サイズの項を参照
重量				6.3	グラム

注

1 -55~+125°Cの温度範囲での仕様。(a)10%の信号とリファレンス振幅の変動があります。(b)±10%の信号とリファレンスの高調波歪みがあります。(c)±5%の電源変動があります。(d)±10%のリファレンス周波数の変動があります。

大字は、電源、入力信号電圧、動作周波数の公称値において100%テストを実施したパラメータです。他のすべてのパラメータは設計上保証されていますが、テストは実施していません。

仕様は予告なしに変更することがあります。

絶対最大定格

$+V_S-GND$	+17.25V dc
$-V_S-GND$	-17.25V dc
任意のロジック入力-GND (max)	+5.5V dc
任意のロジック入力-GND (min)	-0.4V dc
最大接合温度	150°C
$S1, S2, S3, S4$ (ライン間) ¹	
(90Vオプション)	±600V dc
(26Vオプション)	±160V dc
(11.8Vオプション)	±80V dc
(2Vオプション)	±14V dc
$S1, S2, S3, S4-GND$ 間	
(90Vオプション)	±250V dc
(26Vオプション)	±120V dc
(11.8Vオプション)	±60V dc
(2Vオプション)	±12V dc
$R_{HI}-R_{LO}$	
(26V、115Vオプション)	±600V dc
(2V、11.8Vオプション)	±50V dc
R_{HI} および $R_{LO}-GND$ 間	
(26V、115Vオプション)	±210V dc
(2V、11.8Vオプション)	±35V dc
保管温度範囲	-65~+150°C
動作温度範囲 ²	-55~+125°C

注

- シンクロ入力オプションでは、ライン間電圧とは $S2-S1, S1-S3, S3-S2$ の差動電圧に関するものとなります。レゾルバ入力オプションでは、ライン間レベルは $S1-S3$ および $S2-S4$ 電圧に関するものとなります。
- 熱抵抗：ハイブリッド内の最も熱い部品の接合温度が150°Cの最大定格値を越えないことを保証するために、ケース温度は130°Cを超えてはいけません。

推奨動作条件

電源電圧 ($+V_S-GND$)	+15V dc ±5%
電源電圧 ($-V_S-GND$)	-15V dc ±5%
アナログ入力電圧 ($S1, S2, S3, S4$ ライン間)	
(90Vオプション)	90V rms ±10%
(26Vオプション)	26V rms ±10%
(11.8Vオプション)	11.8V rms ±10%
(2Vオプション)	2V rms ±10%
アナログ入力電圧 ($R_{HI}-R_{LO}$ 間)	
(26Vオプション)	26V rms ±10%
(115Vオプション)	115V rms ±10%
(11.8Vオプション)	11.8V rms ±10%
(2Vオプション)	2V rms ±10%
信号およびリファレンス高調波歪み	±10%
信号-リファレンス間の位相シフト	±10°
周囲動作温度範囲	-55~+125°C

注意

- 絶対最大定格を越える値はデバイスに損傷を与えることがあります。
- $+V_S$ と $-V_S$ の各端子には正しい極性の電圧を与える必要があります。

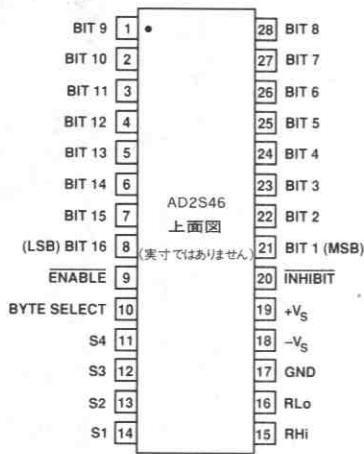
ESD感度

AD2S46は、大きな「分布」ダイオードとポリシリコン直列抵抗で構成された入力保護回路を備えています。この回路は高エネルギーの放電（人体モデル）と高速、低エネルギーのパルス（充電デバイス・モデル）の両方を散逸させます。

機能的な損傷や性能の劣化を避けるために、正しいESD保護措置の実施をお薦めします。ESD保護に関する詳細な情報は弊社発行の「ESDマニュアル」を参照してください。



ピン配置図



AD2S46ピン機能説明

ピン	名称	説明
1~8	DB9~DB16	パラレル出力データ・ビット
21~28	DB1~DB8	パラレル出力データ・ビット
9	ENABLE	出カイネーブル入力
10	BYTE SELECT	BYTE選択入力信号
11~14	S4~S1	シンクロ/レゾルバ信号入力
15	R _{Hi}	リファレンスHI入力ピン
16	R _{Lo}	リファレンスLOW入力ピン
17	GND	電源グラウンド
18	-V _S	負電源
19	+V _S	正電源
20	INHIBIT	コンバータ動作インヒビット入力ピン

動作原理

AD2S46シリーズは、タイプIIトラッキング・クローズド・ループ原理で動作します。デジタル・ワード出力は外部からの変換コマンドやウェイト・ステートなしで、常にレゾルバ/シンクロ軸の位置に追従します。トランスデューサがLSBの重み付けに相当する位置を通過すると、デジタル・ワード出力は1LSBだけ更新されます。

デバイスがシンクロ・デジタル・コンバータならば、3線シンクロ出力はユニット上のS1、S2、S3に接続します。これらの信号はソリッド・ステート・スコットT入力コンディショナによって以下のようなレゾルバ形式に変換されます。

$$V_1 = K E_0 \sin \omega t \sin \theta \quad (\text{正弦})$$

$$V_2 = K E_0 \sin \omega t \cos \theta \quad (\text{余弦})$$

ここで、 θ はシンクロ軸の角度、 $E_0 \sin \omega t$ はリファレンス信号、 K は入力信号・コンディショナの変圧比です。このデバイスがレゾルバ・デジタル・コンバータならば、レゾルバの4線出力をユニット上のS1、S2、S3、S4に直接接続します。

変換処理を理解するために、アップダウン・カウンタの現在ワード値を ϕ とします。 V_1 に $\cos \phi$ を乗じ、 V_2 に $\sin \phi$ を乗じることで次式が得られます。

$$K E_0 \sin \omega t \sin \theta \cos \phi$$

$$K E_0 \sin \omega t \cos \theta \sin \phi$$

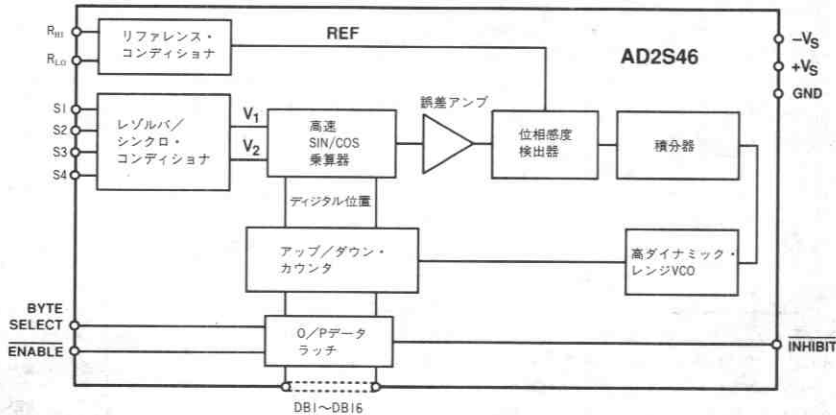
これらの信号は誤差アンプによって減じられ、次式となります。

$$K E_0 \sin \omega t (\sin \theta \cos \phi - \cos \theta \sin \phi)$$

あるいは、

$$K E_0 \sin \omega t \sin (\theta - \phi)$$

位相感度検出器、積分器、電圧制御オシレータ (VCO) は、 $\sin (\theta - \phi)$ をゼロとするクローズド・ループ・システムを形成します。これが完了すると、アップダウン・カウンタのワード・ステート ϕ は、コンバータの精度内でシンクロ/レゾルバ軸の角度 θ と等しくなります。



AD2S46機能ブロック図

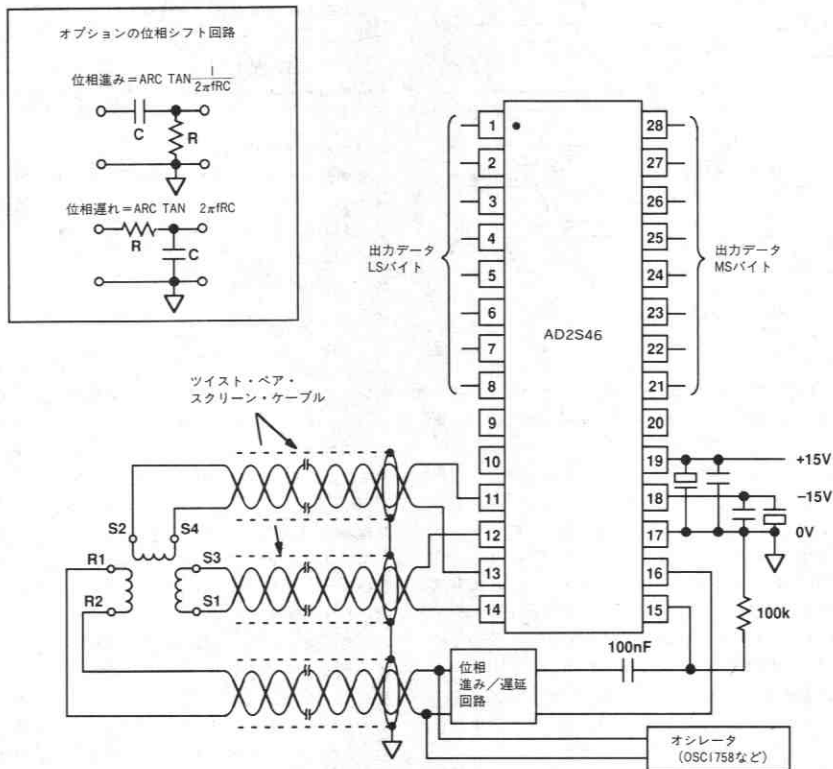


図1. 接続図

コンバータの接続

+V_sおよび-V_sピンに接続する電源電圧はそれぞれ+15Vおよび-15Vとし、逆にはいけません。

100nF (セラミック) と6、8μF (タンタル) のコンデンサを並列に組合わせ、各電源ピンとGND間に接続してください。

デジタル出力はピン21-28およびピン1-8から得られます。ピン21がMSB、ピン8がLSBです。

リファレンス接続は、REF HIおよびREF LOに接続します。

シンクロに接続する場合には、以下の式に従って各信号をS1、S2、S3に接続します。

$$\begin{aligned} E_{S1-S3} &= E_{RLO-RHI} \sin\omega t \sin\theta \\ E_{S3-S2} &= E_{RLO-RHI} \sin\omega t \sin(\theta+120^\circ) \\ E_{S2-S1} &= E_{RLO-RHI} \sin\omega t \sin(\theta+240^\circ) \end{aligned}$$

レゾルバに接続する場合、以下の式に従って各信号をS1、S2、S3、S4に接続します。

$$\begin{aligned} E_{S1-S3} &= E_{RLO-RHI} \sin\omega t \sin\theta \\ E_{S2-S4} &= E_{RLO-RHI} \sin\omega t \cos\theta \end{aligned}$$

レゾルバの接続は、個別のツイスト・ペア・ケーブルを用い、正弦、余弦、リファレンスの各信号用に分離してツイストしてください。

データの転送

データの転送にはINHIBIT入力を用います。INHIBITにロジックLOWを与えて600ns後にデータは有効となります。ENABLE入力を用いることにより、INHIBITをロジックHIに戻し、出力ラッチの更新をイネーブルした後に2バイト・データの転送を行なうことが可能です。

INHIBIT入力

INHIBITロジック入力は、単にアップダウン・カウンタから出力ラッチへのデータ転送をインヒビットするだけであり、トラッキング・ループの動作を妨げません。INHIBITをリリースすることで、出力データの更新は自動的に行われます。

ENABLE入力

ENABLE入力は出力データのステートを決定します。このピンにロジックHIを与えると、データ出力ピンは高インピーダンス状態を保ち、ロジックLOWによってラッチされているデータが出力ピンに現れます。ENABLEの動作は変換プロセスに影響を与えません。図2にタイミング図を示します。

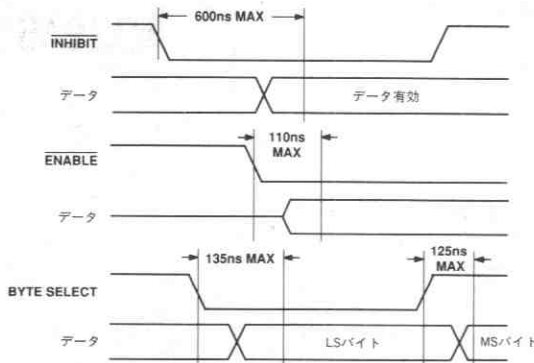


図2. タイミング図

BYTE SELECT入力

BYTE SELECT入力により、AD2S46は8ビットまたは16ビットいずれかのマイクロプロセッサ・バスとインタフェース可能になります。

16ビット・パラレル・バスにインタフェースする際には、BYTE SELECTピンはロジックHIとします。この場合、デジタル出力位置の最上位バイトはピン21~28（それぞれ、ビット1MSB~ビット8）、最下位バイトはピン1~8（それぞれ、ビット9~ビット16LSB）にあります。ENABLEは、16ビット・パラレル・デジタル出力位置データのピンへの出力を制御します。

8ビット・パラレル・バスにインタフェースする場合、2度の連続的な読出しが必要です。BYTE SELECTピンをロジックHIとすることにより、最上位バイトがピン21（MSB）~28に現れます。ENABLEを用いることにより、パラレル・データはバス上に出力されます。

BYTE SELECTにロジックLOWを与えることにより、ピン21~28（LSB）に最下位バイトが現れます。ENABLEによってパラレル・データはバス上に出力されます。

BYTE SELECTの動作はコンバータの変換プロセスに影響を与えません。

リファレンス入力

コンバータの入力に与えるリファレンス信号の振幅は重要ではありませんが、推奨動作条件内とすることに注意してください。

AD2S46は、電源や信号入力を与えられていない場合にリファレンスが供給されても損傷を受けません。

誤差の原因

差動位相シフト

レゾルバからの、正弦および余弦信号間の位相シフトは差動位相シフトとして知られており、スタティック誤差の原因となります。すべてのレゾルバはトランスデューサの特性があるため、いくらかの差動位相シフトが存在します。レゾルバの残留電圧（クワドラチャ電圧）が小さい場合、差動位相シフトが小さいことを示します。正弦チャンネルのケーブルと余弦チャンネルのケーブルの配線が異なった処理の場合、更に位相シフトが加わります。つまり、異なるケーブル長または異なる容量性負荷は差動位相シフトの原因となります。入力信号上の差動位相シフトによって追加される誤差は以下のように近似することができます。

$$\text{誤差} = 0.53 \times a \times b \text{ Arc Min}$$

ここで、aは差動位相シフト（°）、

bは信号—リファレンスの位相シフト（°）

です。

この誤差は残留電圧の小さなレゾルバを選択し、正弦および余弦信号の同等な取扱いとリファレンス/信号位相シフトの除去（「コンバータの接続」を参照）を行うことで最小にできます。このような予防処置の実施により、誤差の追加は無視できる程度となります。

レゾルバ位相シフト

スタティックな動作条件下において、リファレンスと信号ライン間の位相シフトは理論的に単独ではコンバータの定格精度に影響を与えません。しかしながら、ほとんどのレゾルバでは信号とリファレンス間に位相シフトがあります。この位相シフトは、ダイナミックな動作条件下では以下のような追加誤差となります。

$$\frac{\text{軸速度 (rps)} \times \text{位相シフト (°)}}{\text{リファレンス周波数}}$$

この影響は、レゾルバによって生じる位相シフトと等価なコンバータへのリファレンス信号に対して位相進み/遅れ回路を設けることで除去することができます（「コンバータの接続」を参照）。

注：信号およびリファレンス・リードでの容量性、誘導性のクロストークは、先に述べた場合と同様な状態の原因となります。

非標準信号のスケールリング

本シリーズのコンバータの特長は、コンバータの公称±10%の限度から外れる非標準入力信号とリファレンス電圧を調整するために、信号とリファレンス入力抵抗がスケールリングできることです。この技術を使うと、広範囲の入力およびリファレンス電圧が必要なシステムで「専用カード」で標準コンバータを使うことが可能です。

注：コンバータの精度は外部スケールリングに使われる抵抗の精度のマッチングに影響を受けます。レゾルバ形式オプションでは、S1-S3信号入力ペアの抵抗値がS4-S2入力ペアと正確にマッチングしていることが重要です。シンク・オプションでは、S1、S2、S3の3つの抵抗がマッチングする必要があります。一般に、抵抗値の0.1%のミスマッチングで、1.7Arc Minの変換誤差が加わります。そして、抵抗値がアンバランスな場合、信号入力と同除去比が大きく損なわれます。

外部スケールリング抵抗の値を計算するためには、S1、S2、S3、およびS4（レゾルバ・オプションのみ）と直列に信号が1V増加することに1.111kΩを加え、R_{LO}およびR_Mと直列にリファレンスが1V増すことに3kΩを加えます。

バイナリ・ビット(N)	分解能(2 ⁿ)	°/ビット	Min /ビット	Sec /ビット
0	1	360.0	21600.0	1296000.0
1	2	180.0	10800.0	648000.0
2	4	90.0	5400.0	324000.0
3	8	45.0	2700.0	162000.0
4	16	22.5	1350.0	81000.0
5	32	11.25	675.0	40500.0
6	64	5.625	337.5	20250.0
7	128	2.8125	168.75	10125.0
8	256	1.40625	84.375	5062.5
9	512	0.703125	42.1875	2531.25
10	1024	0.3515625	21.09375	1265.625
11	2048	0.1757813	10.546875	632.8125
12	4096	0.0878906	5.273438	316.40625
13	8192	0.0439453	2.636719	158.20313
14	16384	0.0219727	1.318359	79.10156
15	32768	0.0109864	0.659180	39.55078
16	65536	0.0054932	0.329590	19.77539
17	131072	0.0027466	0.164795	9.88770
18	262144	0.0013733	0.082397	4.94385

ビット重み付け表

ダイナミック性能

コンバータの伝達関数を以下に示します。

オープン・ループの伝達関数は次式です。

$$\frac{\theta_{OUT}}{\theta_{IN}} = \frac{K_A (1+sT_1)}{S^2 (1+sT_2)}$$

クローズド・ループの伝達関数は次式です。

$$\frac{\theta_{OUT}}{\theta_{IN}} = \frac{1+sT_1}{1+sT_1+s^2/K_A+s^3T_2/K_A}$$

ここで、

$$K_A = 48000 \text{ 秒}^{-2}$$

$$T_1 = 0.0071 \text{ 秒}$$

$$T_2 = 0.00125 \text{ 秒}$$

ゲインおよび位相曲線を図3、4に示します。

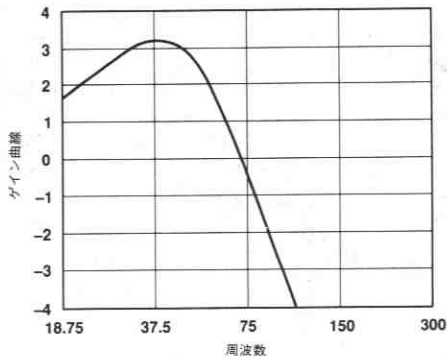


図3. AD2S46のゲイン曲線

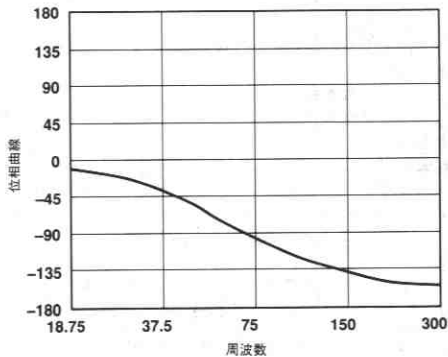


図4. AD2S46の位相曲線

加速度誤差

タイプ2のサーボ・ループを採用しているトラッキング・コンバータは、あらゆる速度の遅れに影響を受けません。しかしながら、加速度によって生じる誤差が存在します。

この誤差は、加速度定数 K_A を用いて以下のように定義することができます。

$$K_A = \frac{\text{入力加速度}}{\text{出力角の誤差}}$$

分子と分母の角単位は一致している必要があります。例えば、 K_A の単位が sec^{-2} の場合、入力加速度の単位は $^\circ/\text{sec}^2$ 、出力角の誤差は $^\circ$ です。あるいは、測定に用いる角単位にはラジアン、Arc Min、LSBを用いることもできます。

K_A は最大加速度ではなく加速度によって生じる誤差のみを定義します。AD2S46がトラッキングを保つことのできる最大加速度は、 $5^\circ \times K_A = 238000^\circ/\text{sec}^2$ 、または約660回転 $/\text{sec}^2$ です。

K_A を用いて入力加速度による出力位置誤差を予測することができます。例えば、 $K_A = 48000$ において、50回転 $/\text{sec}^2$ の加速度では次式となります。

$$\begin{aligned} \text{LSBでの誤差} &= \frac{\text{入力加速度} [\text{LSB}/\text{sec}^2]}{K_A [\text{sec}^{-2}]} \\ &= \frac{50 [\text{回転}/\text{sec}^2] \cdot 2^{16} [\text{LSB}/\text{sec}^2]}{47662 [\text{sec}^{-2}]} \\ &= 68 \text{ LSB} \end{aligned}$$

高信頼性

AD2S46はアクティブ部品数を減らすカスタム・チップ回路を大幅に採用しているため、非常に高い信頼性を備えています。さまざまな環境条件下におけるMTBFの算出値を提供可能です。

図5に、海軍シエルタ条件およびairborne unhabited cargo条件下でMIL-HDBK-217E規格に従って算出した、年とケース温度でのMTBFを示します。

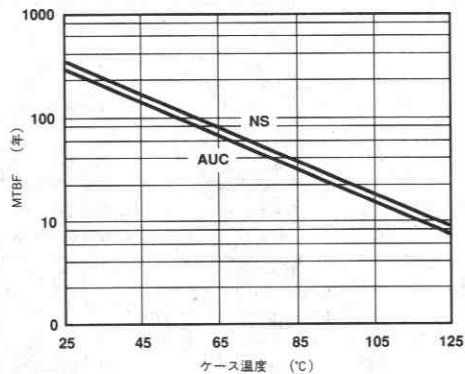


図5. AD2S46のMTBF対温度

オーダー・ガイド

オーダーの際には、コンバータの部品番号に精度グレードを示す2文字のコードと、信号/リファレンス電圧と周波数を示す2つの数字コードを付加してください。すべての標準オプションとそのオプション・コードを以下に示します。ここに示されていないオプションについてはお問い合わせください。



例えば、90V信号、115Vリファレンスのシンクロ形式で動作し、-55~+125°Cの温度範囲で±1.3Arc Minの精度をもつデバイスの部品番号は、AD2S46TD12です。同等の製品で高信頼性処理が実施されたデバイスでは、文字Bを付加し、AD2S46TD12Bとなります。

他の製品

弊社では、シンクロ/レゾルバ・データ・コンバータ製品を数多く販売しています。そのうちのいくつかを以下に示します。弊社の製品へのご質問や特定の応用に関するアドバイスが必要な際には、お問い合わせください。

SDC/RDC1740/41/42は、内部絶縁マイクロ・トランスを備えたハイブリッド・シンクロ/レゾルバ・デジタル・コンバータです。

SDC/RDC1767/1768は、SDC/RDC1740シリーズの同等品ですが、アナログ速度出力とDC誤差出力機能が追加されています。

OSC1758は、ハイブリッド正弦/余弦パワー・オシレータです。このデバイスは1kHz~10kHzの周波数範囲で動作し、最大パワー出力は1.5Wです。

DRC1745およびDRC1746は、14および16ビットの純バイナリ・ラッチ出力ハイパワー・ハイブリッド・デジタル・レゾルバ・コンバータです。精度は、±2±4Arc Min、出力は7V rmsにおいて2VAを供給可能です。高電圧レベルで出力をシンクロまたはレゾルバ形式に変換するためのトランスを用意しています。

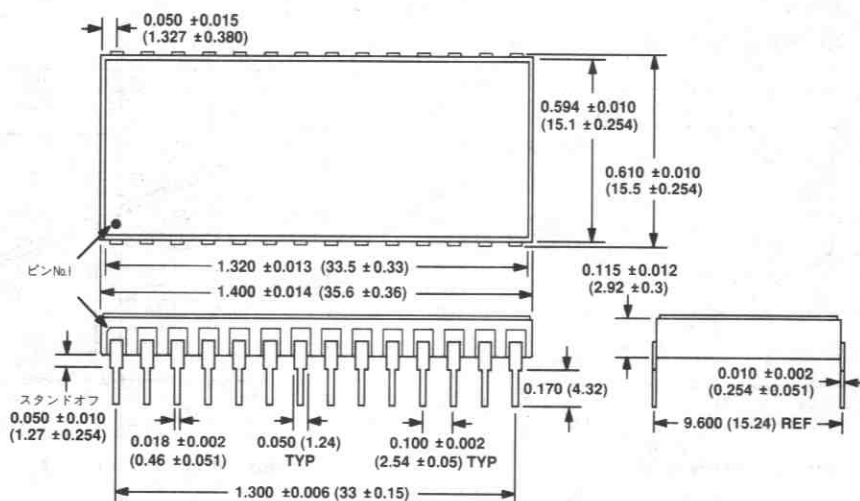
AD2S65/66はDRC1745/46と同様ですが、パワー出力段がありません。このシリーズには、±1Arc Minまでの性能グレードをもつデバイスもあります。

AD2S44およびAD2S34は、14ビット、2チャンネルのシンクロ/レゾルバ・デジタル・コンバータです。このシリーズには±2.6Arc Minの性能グレードをもつデバイスが用意されており、表面実装パッケージでの供給も可能です。

2S80シリーズは、±2Arc Minの精度で16ビットの分解能のレゾルバ・デジタル変換を行うモノリシックICです。

外形サイズ

サイズはインチと (mm) で示します。



第5版

データブック

DATA-ACQUISITION

追補版

1991年7月 第1刷発行

アナログ・デバイス株式会社

本社/東京都千代田区麹町4-7-8 地引ビル

西東京営業所/東京都国分寺市西恋ヶ窪2-15-23 N F 9

大阪営業所/大阪市北区中津1-2-19 新清風ビル

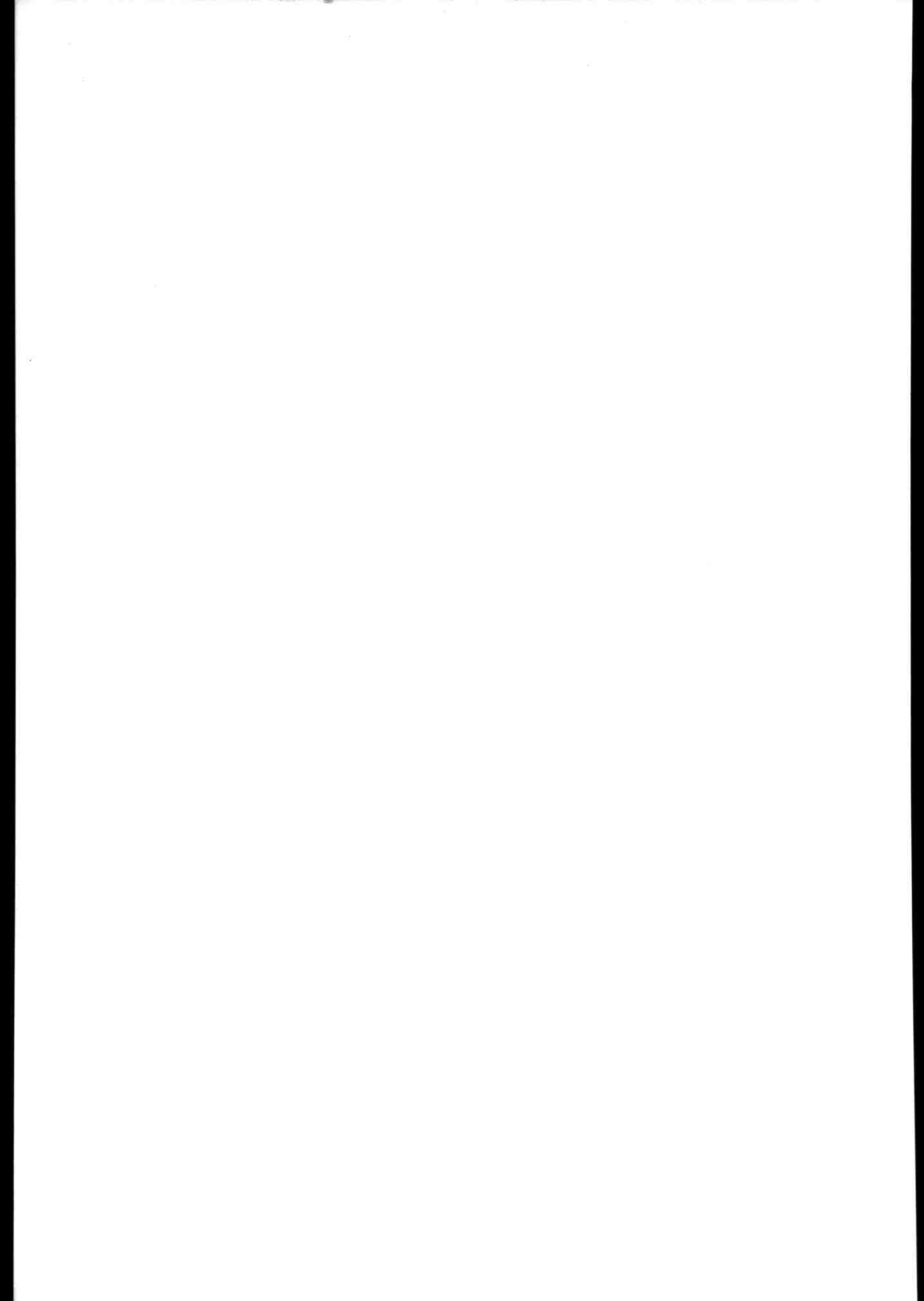
名古屋営業所/名古屋市中区錦1-2-22 名錦ビル

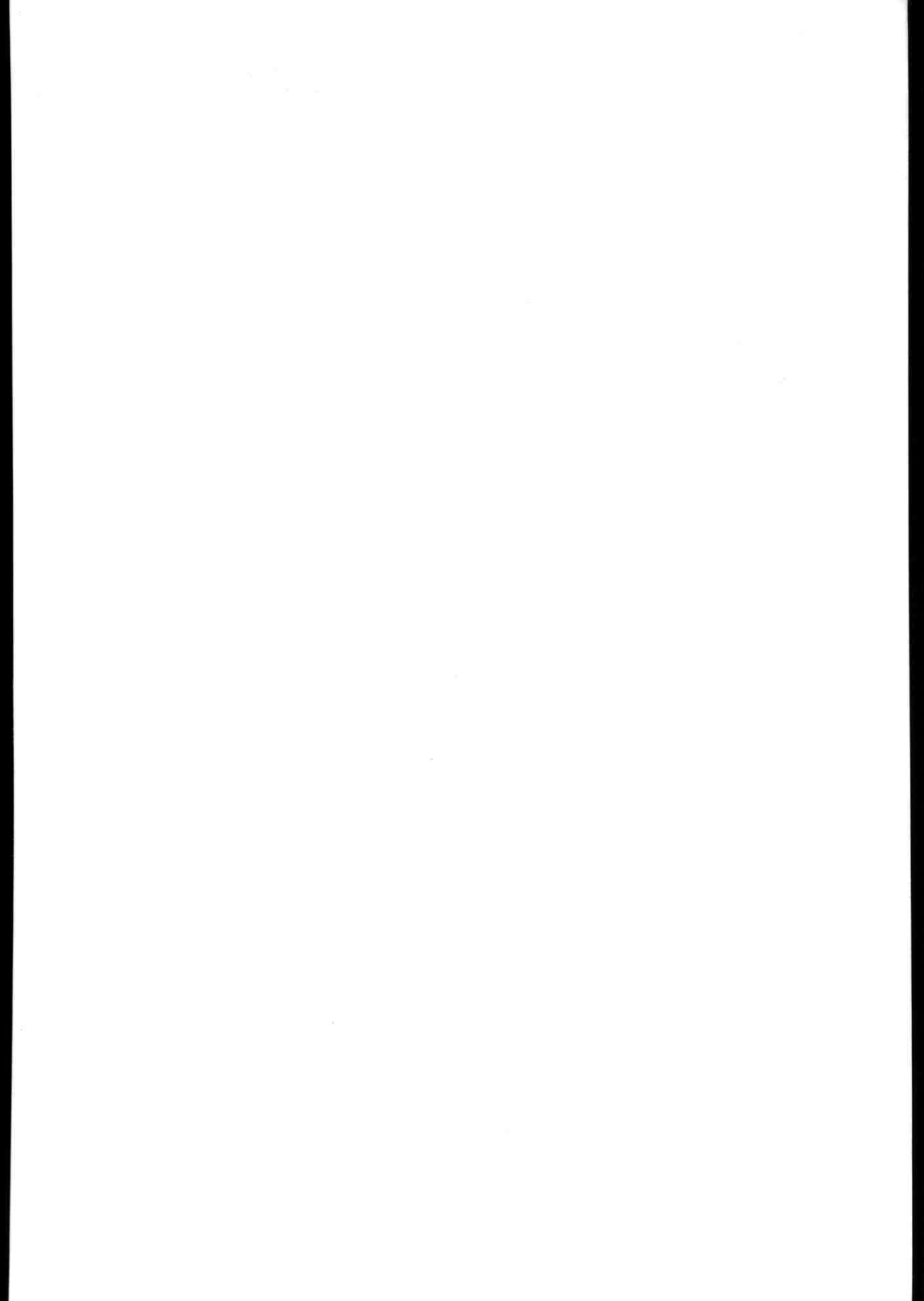
☎03(3263)6826代庁102

☎0423(24)9481代庁185

☎06(372)1814代庁531

☎052(201)8333代庁460





DATA BOOK



橘テクノロ株式会社

本 社	〒153 東京都目黒区東山2-2-5 日興パレス東山ビル3F	
	☎ 03(3791)1511(代)	FAX 03(3791)1516
システム機器事業部	☎ 03(3791)6631(代)	FAX 03(3791)1516
東京営業所	☎ 03(3715)3221(代)	FAX 03(3793)1329
厚木営業所	☎ 0462(24)4581(代)	FAX 0462(24)3506
三島営業所	☎ 0559(72)8827(代)	FAX 0559(72)0259
八王子営業所	☎ 0426(45)6060(代)	FAX 0426(45)6157
埼玉営業所	☎ 0492(46)3263(代)	FAX 0492(46)0515
勝田営業所	☎ 0292(75)7474(代)	FAX 0292(72)5470
松本営業所	☎ 0263(54)4151(代)	FAX 0263(54)4160
名古屋営業所	☎ 052(201)6361(代)	FAX 052(201)6379
京都営業所	☎ 075(321)1013(代)	FAX 075(315)1570
大阪営業所	☎ 06(304)0366(代)	FAX 06(304)8110
豊橋営業所	☎ 0532(55)0311(代)	FAX 0532(55)2260
商事課	☎ 03(3719)2240(代)	FAX 03(3793)1329
推進課・特販課	☎ 03(3719)2261(代)	FAX 03(3793)1329