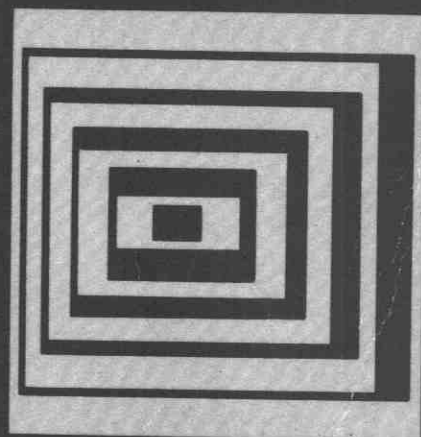
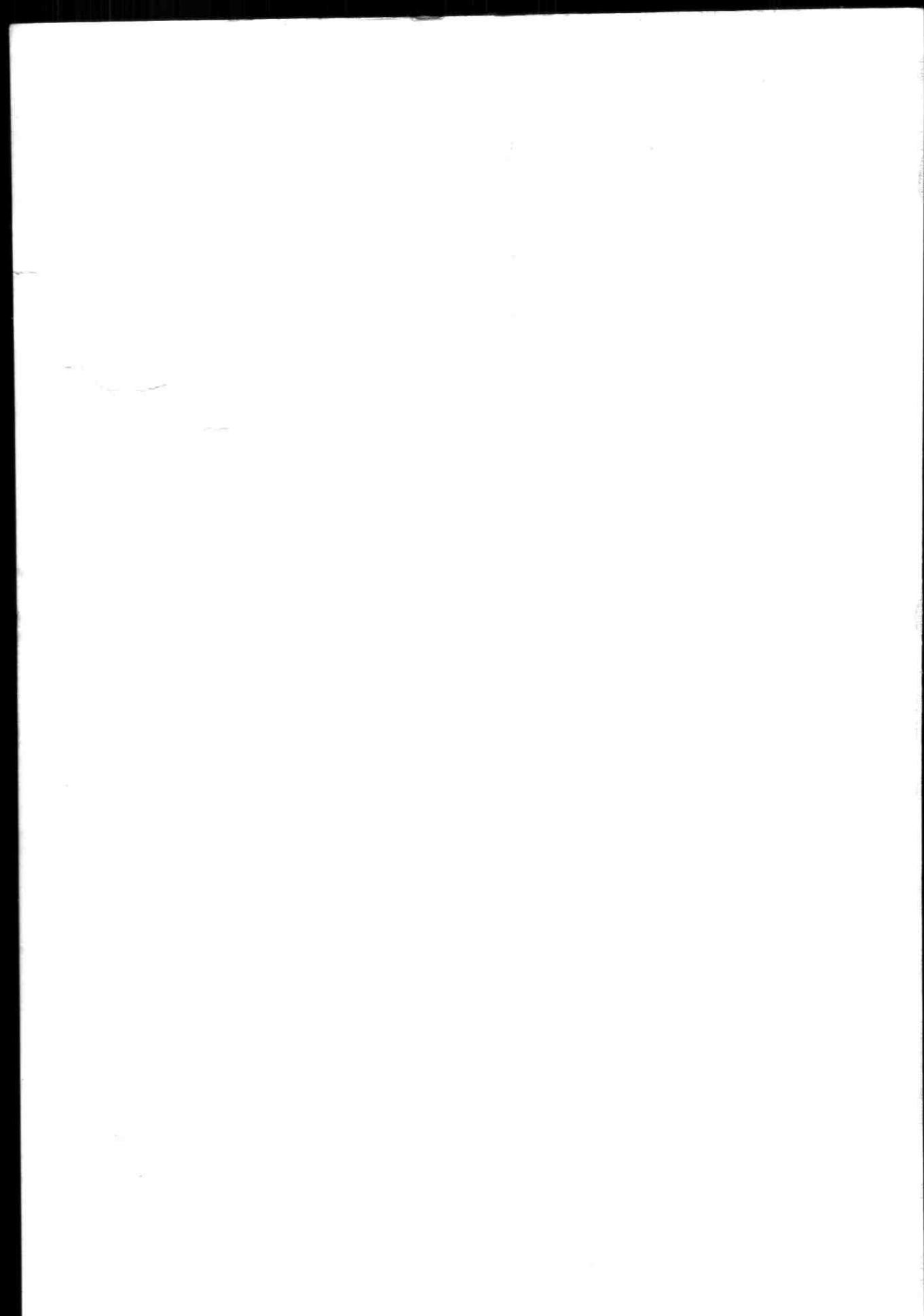


# '79三菱半導体データブック

■マイクロコンピュータ関連LSI編

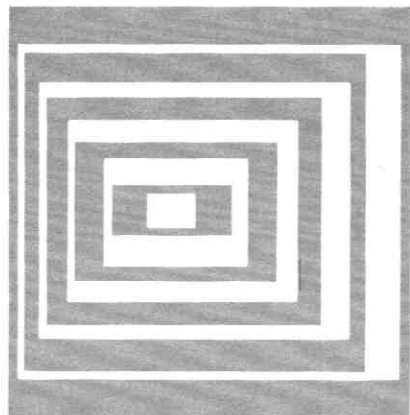






# '79三菱半導体データブック

■マイクロコンピュータ関連LSI編



このデータブックに記載されている内容については、  
今後特性改良などの理由で改訂することがあります。

なお、記載された情報、図面及び諸データは、正確かつ信頼しうるものであります。ただし、これら掲載内容の使用に起因する第三者の特許権その他の権利侵害に関しては、三菱電機株式会社はその責任を負いません。

索引	1
形名のつけ方, パッケージ外形図	2
概説	3
RAM	4
ROM	5
MELPS 4 マイクロコンピュータ	6
MELPS 41 マイクロコンピュータ	7
MELPS 8/85 マイクロプロセッサ	8
マイクロプロセッサ 周辺回路 LSI	9
汎用 MOS LSI	10
マイクロコンピュータシステム	11
マイクロコンピュータ支援システム	12
マイクロコンピュータ ソフトウェア	13
応用	14

Handwritten text on a lined page, appearing as bleed-through from the reverse side. The text is mirrored and includes the following lines:

1. 第一、

2. 第二、

3. 第三、

4. 第四、

5. 第五、

6. 第六、

7. 第七、

8. 第八、

9. 第九、

10. 第十、

平素は「三菱半導体製品」をご愛用いただき厚く御礼申し上げます。

急激な発展をたどっているエレクトロニクス産業の中核的存在である、半導体製品の応用分野はいよいよ拡大され、その性能、機能も一層の高度化・多様化を要求されてきております。

当社においても極力その品種を増やし、画期的な新製品を開発し、高性能・高信頼性の半導体製品を続々と誕生させ各方面にご活用いただいております。

今回発行しました「'79三菱半導体データブック<マイクロコンピュータ関連LSI編>」は、新形名体系を採用し、他社製品との互換性をわかりやすくしました。

また、MELPS 85 マイクロプロセッサM5L 8085 AP,Sの周辺用LSI、ワンチップ4ビットマイクロコンピュータ、ICメモリ、基板コンピュータおよび開発支援システム等とともにオリジナル製品の各種MOS LSIも追加いたしました。

皆様の良き手引きとしてお役に立てるよう、細心の注意と努力を払って編集いたしました。まだまだ不備な点が多々あろうかと存じます。お気付きの点はどしどしご意見をお寄せくださいますようお願い申し上げます。

昭和54年5月

三菱電機株式会社

半導体事業部長 佐藤 公夫

**1** 索引

機能別索引	1-2
形名別索引	1-7
互換性表	1-10
RAM, PROM, ROM選択表	1-22

**2** 形名のつけ方, パッケージ外形図

形名のつけ方, パッケージ外形の形名のつけ方	2-3
8P1形, 14P4形	2-5
16P4形, 16K1形	2-6
16S1形, 18P1形	2-7
18S1形, 22P1形	2-8
22S1形, 24P1形	2-9
24K10形, 24S1形	2-10
24S10形, 28P1形	2-11
40P1形, 40S1形	2-12
42P1形, 60P2形	2-13
64S1形, 68P2形	2-14

**3** 概説

集積回路の用語	3-3
集積回路に用いられる文字記号の説明	3-8
三菱半導体集積回路の品質保証システムと信頼性	3-10
MOS IC取り扱い上のご注意	3-14

**4** RAM

M58656S 1024-Bit (256-Word by 4-Bit) Nonvolatile Static RAM	4-3
M58981S-45 4096-Bit (1024-Word by 4-Bit) CMOS Static RAM	4-9
M5K 4116P,S-2, M5K 4116P,S-3, M5K 4116P,S-4 16384-Bit (16384-Word by 1-Bit) Dynamic RAM	4-13
M5L 2101AP,S, M5L 2101AP,S-2, M5L 2101AP,S-4 1024-Bit (256-Word by 4-Bit) Static RAM	4-25
M5L 2102AP,S-4 1024-Bit (1024-Word by 1-Bit) Static RAM	4-29
M5L 2107BP,S 4096-Bit (4096-Word by 1-Bit) Dynamic RAM	4-33
M5L 2111AP,S, M5L 2111AP,S-2, M5L 2111AP,S-4 1024-Bit (256-Word by 4-Bit) Static RAM	4-39
M5L 2112AP,S, M5L 2112AP,S-2, M5L 2112AP,S-4 1024-Bit (256-Word by 4-Bit) Static RAM	4-43
M5L 2114LP,S, M5L 2114LP,S-2, M5L 2114LP,S-3 4096-Bit (1024-Word by 4-Bit) Static RAM	4-49
M5L 5101LP-1 1024-Bit (256-Word by 4-Bit) CMOS Static RAM	4-53
M5T 4044P,S-20, M5T 4044P,S-30, M5T 4044P,S-45 4096-Bit (4096-Word by 1-Bit) Static RAM	4-57

**5** ROM

マスクROM受注方法	5-2
M54700K, P, S 1024-Bit (256-Word by 4-Bit) Field Programmable ROM	5-6
M54730K, P, S 256-Bit (32-Word by 8-Bit) Field Programmable ROM	5-11
M58333-XXXX 32768-Bit (4096-Word by 8-Bit) Mask Programmable ROM	5-15
M58334-XXXX 65536-Bit (8192-Word by 8-Bit) Mask Programmable ROM	5-17
M58730-XXXX 8192-Bit (1024-Word by 8-Bit) Mask Programmable ROM	5-19

	ページ
M58730-001S 8192-Bit(1024-Word by 8-Bit)Mask Programmable ROM, サブルーチン(1)-整数演算	5-22
M58731-XXXX, S 16384-Bit(2048-Word by 8-Bit)Mask Programmable ROM	5-23
M58731-001S 16384-Bit(2048-Word by 8-Bit)Mask Programmable ROM MELPS 8 ベーシック オペレーティング モニタBOM-B	5-26
M5G 1400P 1400-Bit(100-Word by 14-Bit)Electrically Alterable ROM	5-27
M5L 2708K,S, M5L 2708K,S-65 8192-Bit(1024-Word by 8-Bit)Erasable and Electrically Reprogrammable ROM	5-31
M5L 2716K,M5L 2716K-65 16384-Bit(2048-Word by 8-Bit)Erasable and Electrically Reprogrammable ROM	5-35
<b>6</b> MELPS 4 マイクロコンピュータ	
M58840-XXXX Single-Chip 4-Bit Microcomputer	6-3
M58842S MELPS 4 System Evaluator Device	6-19
<b>7</b> MELPS41 マイクロコンピュータ	
M58494-XXXX CMOS Single-Chip 4-Bit Microcomputer	7-3
<b>8</b> MELPS 8 /85 マイクロプロセッサ	
M5L 8080AP,S 8-Bit Parallel CPU	8-3
M5L 8224P Clock Generator and Driver for CPU M5L 8080AP, S	8-17
M5L 8228P System Controller and Bus Driver for CPU M5L 8080AP, S	8-23
M5L 8085AP,S, M5L 8085AP,S-20 Single-Chip 8-Bit N-Channel Microprocessor	8-29
<b>9</b> マイクロプロセッサ周辺回路LSI	
M58609-04P,S Keyboard Encoder(JIS Code Standard Product)	9-3
M58609-09P,S Keyboard Encoder(USASCII Code Standard Product)	9-9
M58620-001S Keyboard Encoder(JIS Code Standard Product)	9-11
M58741P TV Interface	9-19
M5L 8041A-XXXX Universal Peripheral Interface	9-23
M5L 8212P 8-Bit Input/Output Port	9-27
M5L 8216P, M5L 8226P 4-Bit Parallel Bi-Directional Bus Driver	9-31
M5L 8243P Input/Output Expander	9-35
M5L 8251AP Programmable Communication Interface	9-39
M5L 8253P, M5L 8253P-5 Programmable Interval Timer	9-55
M5L 8255AP, M5L 8255AP-5 Programmable Peripheral Interface	9-63
M5L 8257P, M5L 8257P-5 Programmable DMA Controller	9-79
M5L 8279P, M5L 8279P-5 Programmable Keyboard/Display Interface	9-87
<b>10</b> 汎用 MOS LSI	
M58412P, M58413P CMOS LCD Alarm Clock Circuit	10-3
M58434P, M58435P, M58436-001P, M58437-001P CMOS Analog Clock Circuit	10-11
M58478P 17-Stage Oscillator/Divider	10-15
M58479P, M58482P CMOS Counter/Timer	10-19
M58480P, M58484P 30 Function Remote Control Transmitter	10-23

	ページ
M58481P	30 Function Remote Control Receiver..... 10-27
M58485P	29 Function Remote Control Receiver..... 10-31
M58487P	22 Function Remote Control Receiver..... 10-35
M58872P	Single-Chip Printing Calculator..... 10-39

## 11 マイクロコンピュータ システム

PCA0801	MELCS 8/2 基板コンピュータ..... 11-3
PCA0802	MELCS 8/2 メモリ・I/O 拡張用基板..... 11-7
PCA0803	MELCS 8/2 プログラムチェッカ..... 11-11
PCA0804	MELCS 8/2 カラーTVディスプレイ用基板コンピュータ..... 11-13
PCA8501	MELCS 85/2 汎用基板コンピュータ..... 11-19
PC8500	MELCS 85/1 ポータブル マイクロコンピュータ コンソール..... 11-23

## 12 マイクロコンピュータ支援システム

PCA0401	MELCS 4 評価用基板コンピュータ..... 12-3
PCA0402	MELCS 4 タッチキーボード基板..... 12-7
PCA0403	MELCS 4 プログラムチェッカ..... 12-9

## 13 マイクロコンピュータ ソフトウエア

ソフトウェアの製造番号の付け方	13-2
MELPS 4/41 ソフトウエア一覧表	13-3
MELPS 8/85 ソフトウエア一覧表	13-4
MELPS 4/41 ソフトウエア概要	13-5
MELPS 8/85 ソフトウエア概要	13-6
MELPS 4/41 プログラム開発体系	13-7
MELPS 8/85 プログラム開発体系	13-8
MELPS 4 クロスアセンブラ	13-9
MELPS 4 シミュレータ	13-13
MELPS 4 PROMライター用紙テープ作成プログラム	13-17
MELPS 41 クロスアセンブラ	13-19
MELPS 41 シミュレータ	13-23
MELPS 41 PROMライター用紙テープ作成プログラム	13-27
MELPS 8/48 クロスアセンブラ	13-29
MELPS 8/48 PROMライター用紙テープ作成プログラム	13-33
MELPS 8/85 クロスコンパイラPL/1 $\mu$	13-35
MELPS 8/85 クロスアセンブラ	13-39
MELPS 8/85 シミュレータ	13-43
MELPS 8/85 PROMライター用紙テープ作成プログラム	13-47
MELPS 8/85 セルフアセンブラ	13-49
MELPS エディタ	13-53
MELPS 8 ベーシックオペレーティングモニタ(BOM-PTS)	13-55
MELPS 8 ベーシックオペレーティングモニタ(BOM-B)	13-57

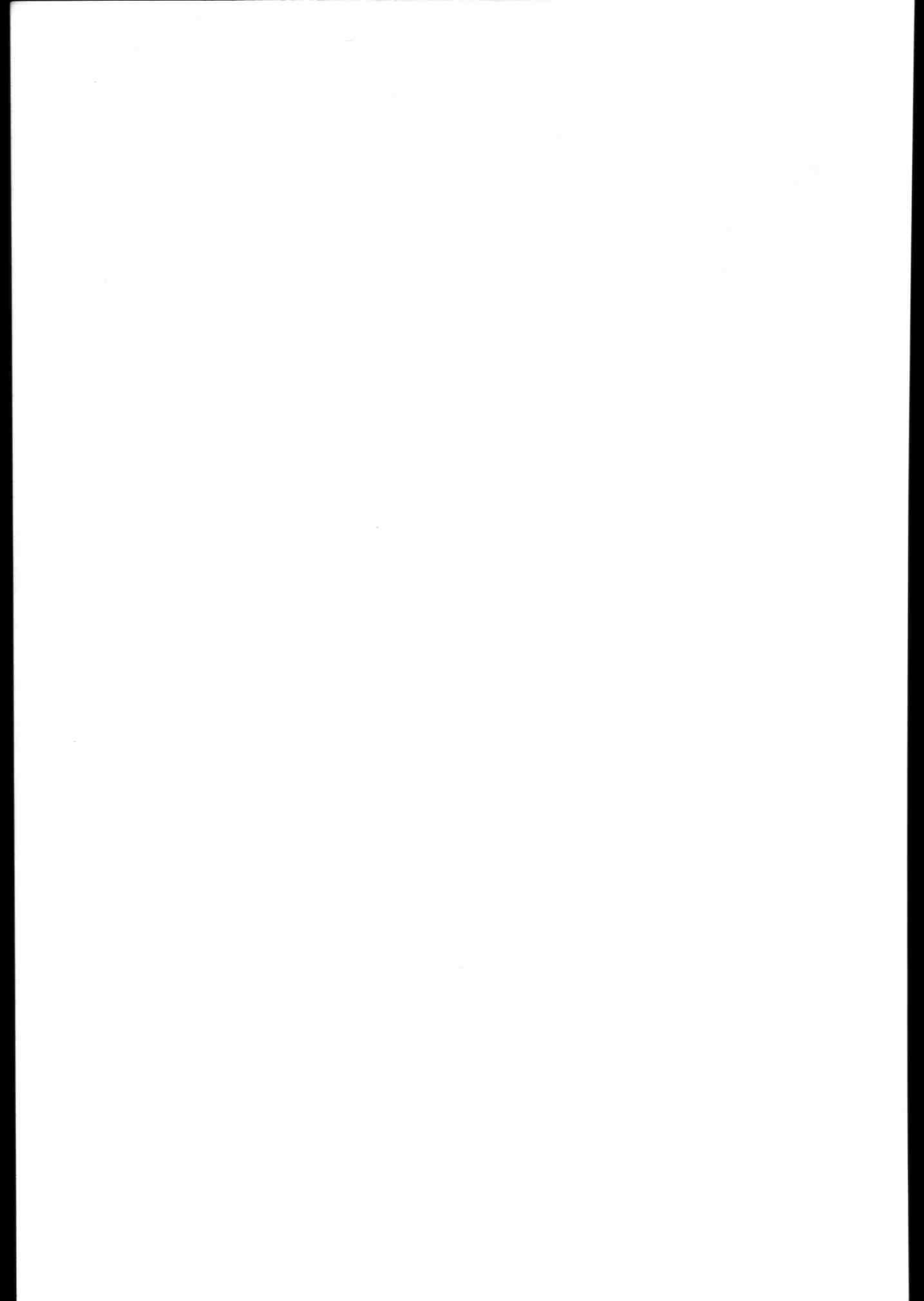


---

<b>14</b> 応 用	ページ
M5K 4116P, Sの応用 M5K 4116P, S 16K-Bit Dynamic RAM	14-3
CMOS RAMの応用 M5L 5101LP-1 and M58981S-45 CMOS Static RAM	14-15
不揮発性メモリの周辺回路 M58656S 1K-Bit Non-volatile Static RAM	14-19
MELPS 4 プログラムライブラリ サブルーチン	14-23
MELPS 4 電子レンジへの応用	14-35
MELPS 8/85 プログラムライブラリ	14-39
MELPS 8/85 サブルーチン：整数演算 マスクROM M58730-001S	14-43
三菱基板コンピュータMELCS 8/2の応用	
マスタスレーブ方式のマルチマイクロコンピュータによるデータ転送	14-47

お問い合わせ先

---





形名	旧形名	回路機能	機能概要	構造	動作周囲温度範囲 Ta(°C)
----	-----	------	------	----	--------------------

## ■ スタチック RAM

M5L 2101AP,S-2 M5L 2101AP,S M5L 2101AP,S-4	— — M58721P, S	1024-Bit (256×4) Static RAM	Separate data input/output. OD terminal. 2 chip-selects	N, Si, ED	0~70
M5L 2111AP,S-2 M5L 2111AP,S M5L 2111AP,S-4	— — M58722P, S	1024-Bit (256×4) Static RAM	Common data input/output. OD terminal. 2 chip-selects	N, Si, ED	0~70
M5L 2112AP,S-2 M5L 2112AP,S M5L 2112AP,S-4	— — M58723P, S	1024-Bit (256×4) Static RAM	Common data input/output	Ni, Si, ED	0~70
M5L 2102AP,S-4	M58751P, S	1024-Bit (1024×1) Static RAM		N, Si, ED	0~70
M5L 2114LP,S-2 M5L 2114LP,S-3 M5L 2114LP,S	M58724P, S-2 M58724P, S-3 M58724P, S	4096-Bit (1024×4) Static RAM	Common data input/output	N, Si, ED	0~70
M5T 4044P,S-20 M5T 4044P,S-30 M5T 4044P,S-45	M58754P, S-2 M58754P, S-3 M58754P, S	4096-Bit (4096×1) Static RAM	Separate data input/output	N, Si, ED	0~70

## ■ ダイナミック RAM

M5L 2107BP,S	M58755P, S-1	4096-Bit (4096×1) Dynamic RAM		N, Si	0~70
M5K 4116P,S-2 M5K 4116P,S-3 M5K 4116P,S-4	M58759P, S-15 M58759P, S-20 M58759P, S-25	16384-Bit (16384×1) Dynamic RAM		N, Si	0~70

## ■ CMOS スタチック RAM

M5L 5101LP-1	M58980P	1024-Bit (256×4) CMOS RAM	Common data input/output	C, Si	0~70
M58981S-45	—	4096-Bit (1024×4) CMOS RAM	Common data input/output. same pin configuration with M5L2114LP, S	C, Si	0~70

## ■ 不揮発性 RAM

M58656S	—	1024-Bit (256×4) Nonvolatile Static RAM	Common data input/output	P, Al	0~70
---------	---	---	--------------------------	-------	------

## ■ マスク ROM

M58730-XXXX	—	8192-Bit (1024×8) Mask ROM	Custom product	N, Si	0~70
M58730-001S	—	8192-Bit (1024×8) Mask ROM	Subroutine integer arithmetic operations	N, Si	0~70
M58731-XXXXP,S	—	16384-Bit (2048×8) Mask ROM	Custom product	N, Si, ED	0~70
M58731-001S	—	16384-Bit (2048×8) Mask ROM	Basic operation monitor BOM-B	N, Si, ED	0~70
M58333-XXXXP *	—	32768-Bit (4096×8) Mask ROM	Custom product	N, Al	0~70
M58334-XXXXP **	—	65536-Bit (8192×8) Mask ROM	Custom product	N, Al, ED	0~70

## ■ フィールドプログラマブル ROM (EPROM, EAROM, PROM)

M5G 1400P *	M58654P	1400-Bit (100×14) Electrically Alterable ROM	Electrical programming and erasing	P, Al	0~70
M5L 2708K,S M5L 2708K,S-65	M58732S M58732S-1	8192-Bit (1024×8) Erasable and Electrically Reprogrammable ROM	Electrical programming, ultraviolet erasing	N, Si, FA	0~70
M5L 2716K *	—	16384-Bit (2048×8) Erasable and Electrically Reprogrammable ROM	Electrical programming, ultraviolet erasing	N, Si, FA	0~70
M5L 2716K-65 *	—	16384-Bit (2048×8) Erasable and Electrically Reprogrammable ROM	Electrical programming, ultraviolet erasing	N, Si, FA	0~70
M54700K,P,S	—	1024-Bit (256×4) Field-Programmable ROM with Open-Collector Outputs	Ni-Cr fuse programming	B	0~75
M54730K,P,S	—	256-Bit (32×8) Field-Programmable ROM with Open-Collector Outputs	Ni-Cr fuse programming	B	0~75

\* : New product    N : N-channel    ED : Enhancement depletion mode    B : Bipolar    Si : Silicon-gate  
\*\* : Under development    P : P-channel    FA : FAMOS    C : CMOS    Al : Aluminum-gate

電源電圧				クロック 入力電圧 V <sub>i</sub> (φ)	電気的特性					外形	他社相当品		ページ
V <sub>DD</sub>	V <sub>CC</sub>	V <sub>SS</sub> GND	V <sub>BB</sub>		標準 消費 電力 (mW)	最大ア クセス 時間 (ns)	最小サ イクル 時間 (ns)	最大 動作 周波数 (MHz)	TTL コンバ チブル		メーカー名	形名	

—	5V±5%	0V	—	—	200	250	250	—	YES	22P1 22S1	INTEL	P. C2101A-2	4-25
					175	350	350					P. C2101A	
					150	450	450					P. C2101A-4	
—	5V±5%	0V	—	—	200	250	350	—	YES	18P1 18S1	INTEL	P. C2111A-2	4-39
					175	350	350					P. C2111A	
					150	450	450					P. C2111A-4	
—	5V±5%	0V	—	—	200	250	250	—	YES	16P1 16S1	INTEL	P. C2112A-2	4-43
					175	350	350					P. C2112A	
					150	450	450					P. C2112A-4	
—	5V±5%	0V	—	—	100	450	450	—	YES	16P1 16S1	INTEL	P. C2102A-4	4-29
—	5V±10%	0V	—	—	300	200	200	—	YES	18P1 18S1	INTEL TI	P. C2114L-2 TMS4045-20JL, NL	4-49
					250	300	300					P. C2114L-3 TMS4045-30JL, NL	
					200	450	450					P. C2114L TMS4045-45JL, NL	
—	5V±10%	0V	—	—	300	200	200	—	YES	18P1 18S1	TI	TMS4044-20JL, NL	4-57
					250	300	300					TMS4044-30JL, NL	
					200	450	450					TMS4044-45JL, NL	

12V±10%	5V±10%	0V	-5V±10%	V <sub>DD</sub> ±1V	300	200	400	—	YES	22P1 22S1	INTEL TI	C2107B TMS4060-2JL	4-33
12V±10%	5V±10%	0V	-4.5 ~ -5.7V	2.7V	280	150	375	—	YES	16P1 16S1	MOSTEK	MK4116-2	4-13
					280	200	375					MK4116-3	
					260	250	410					MK4116-4	

—	5V±10%	0V	—	—	75	450	450	—	YES	22P1	INTEL	P5101L-1	4-53
—	5V±10%	0V	—	—	75	450	450	—	YES	18S1	—	—	4-9

-15V±5%	—	5V±5%	—	—	500	1500	1750	—	YES	18S1	TOSHIBA	TMM142C	4-3
---------	---	-------	---	---	-----	------	------	---	-----	------	---------	---------	-----

12V±5%	5V±5%	0V	-5V±5%	—	250	850	—	—	YES	24S1	INTEL	C8308	5-19
12V±5%	5V±5%	0V	-5V±5%	—	250	850	—	—	YES	24S1	—	—	5-22
—	5V±5%	0V	—	—	200	850	—	—	YES	24P1 24S1	INTEL	P8316A C8316A	5-23
—	5V±5%	0V	—	—	200	850	—	—	YES	24S1	—	—	5-26
—	5V±5%	0V	—	—	300	650	—	—	YES	24P1	—	—	5-15
—	5V±5%	0V	—	—	300	650	—	—	YES	24P1	—	—	5-17

—	5V±5%	0V	—	—	200	20μs	—	16.8KHz	YES	14P4	GI	1400	5-27
12V±5%	5V±5%	0V	-5V±5%	—	600	450	—	—	YES	24K10 24S10	INTEL	D. C2708	5-31
					600	650	—					—	
—	5V±5%	0V	—	—	300	450	—	—	YES	24K10	INTEL	D2716	5-35
					300	650	—					—	
—	5V±5%	0V	—	—	450	60	60	—	YES	16K1 16P1 16S1	MMI	6300J 6300 6300D	5-6
—	5V±5%	0V	—	—	450	50	50	—	YES	16K1 16P1 16S1	MMI	6330J 6330 6330D	5-11

Package outline:

24 S 1

- 1: DIL, 10: Quartz lid
- K: Glass-sealed ceramic DIL
- P: Plastic-molded DIL
- S: Metal-sealed ceramic DIL
- Number of pins

形名	旧形名	回路機能	機能概要	構造	動作周囲温度範囲 Ta(℃)
----	-----	------	------	----	-------------------

## ■ ワンチップマイクロコンピュータ

M58840-XXXP	—	Single-Chip 4-Bit Microcomputer with 8-Bit A/D Converter	68 instructions, Mask ROM 2K-word by 9-bit, RAM 128-word by 4-bit	P, A $\bar{L}$ , ED	-10~70
M58842S	—	Single-Chip 4-Bit System Evaluator Device with 8-Bit A/D Converter	68 instructions, RAM 128-word by 4-bit	P, A $\bar{L}$ , ED	-10~70
M58494-XXXP **	—	Single-Chip 4-Bit Microcomputer	93 instructions, Mask ROM 4K-word by 10-bit, RAM 128-bit	C, A $\bar{L}$	-10~70

## ■ マイクロプロセッサ

M5L 8080AP, S	M58710P, S	8-Bit Parallel CPU	78 instructions	N, Si	0~70
M5L 8085AP, S *	M58712P, S	Single-Chip 8-Bit N-Channel Microprocessor	80 instructions	N, Si, ED	0~70
M5L 8085AP, S-20 *	M58712P, S-20				

## ■ マイクロプロセッサ周辺回路LSI

M58609-04P, S	—	Keyboard Encoder	JIS code standard	P, A $\bar{L}$	-20~75
M58609-09P, S	—	Keyboard Encoder	US ASCII code standard product	P, A $\bar{L}$	-20~75
M58620-001S	—	Keyboard Encoder	JIS code standard product	P, A $\bar{L}$	-20~75
M58741P	—	TV Interface for Microcomputer	64x64 color segments display	N, Si, ED	0~70
M5L 8041A-XXXP **	—	Universal Peripheral Interface	90 instructions, Mask ROM 1K-word by 8-bit, RAM 64-word by 8-bit	N, Si, ED	-20~70
M5L 8212P	M54552P	8-Bit Input/Output Port		B, S	0~75
M5L 8216P	M54553P	4-Bit Parallel Bidirectional Bus Driver with Non-Invert Outputs	Three-state outputs	B, S	0~75
M5L 8224P	M54550P	Clock Generator and Driver for CPU M5L 8080AP, S	CPU M5L 8080AP, S	B, S	0~75
M5L 8226P	M54554P	4-Bit Parallel Bidirectional Bus Driver with Invert Outputs	Three-state outputs	B, S	0~75
M5L 8228P	M54551P	System Controller and Bus Driver for CPU M5L 8080AP, S	For use with CPU M5L8080AP,S Bidirectional bus driver for data bus isolation	B, S	0~75
M5L 8243P **	—	Input/Output Expander	For 4-bit I/O ports	N, Si, ED	-20~70
M5L 8251AP **	—	Programmable Communication Interface	Synchronous/asynchronous operation	N, Si, ED	0~70
M5L 8253P **	—	Programmable Interval Timer	3 independent 16-bit counters	N, Si, ED	0~70
M5L 8253P-5 **	—				
M5L 8255AP *	—	Programmable Peripheral Interface	24 programmable I/O pins	N, Si, ED	0~70
M5L 8255AP-5 *	—				
M5L 8257P **	—	Programmable DMA Controller	Priority DMA request logic	N, Si, ED	0~70
M5L 8257P-5 **	—				
M5L 8279P	M58743P	Programmable Keyboard/Display Interface	For contact switch 64 or 128 keys, dual 8 or 16 numerical display	N, Si, ED	0~70
M5L 8279P-5	—				

## ■ 汎用 MOS LSI

M58412P	—	CMOS LCD Alarm Clock Circuit	4.2MHz oscillator/divider	C, A $\bar{L}$	-20~65
M58413P	—	CMOS LCD Alarm Clock Circuit	32KHz oscillator/divider	C, A $\bar{L}$	-20~65
M58434P	—	CMOS Analog Clock Circuit	4.2MHz oscillator/divider	C, Si	-20~70
M58435P	—	CMOS Analog Clock Circuit	4.2MHz oscillator/divider	C, Si	-20~70
M58436-001P *	—	CMOS Analog Clock Circuit	4.2MHz oscillator/divider	C, A $\bar{L}$	-20~70
M58437-001P *	—	CMOS Analog Clock Circuit	32KHz oscillator/divider	C, A $\bar{L}$	-20~70
M58478P	—	17-Stage Oscillator/Divider	17-stage binary divider	C, A $\bar{L}$	-30~70
M58479P	—	CMOS Counter/Timer	50ms~4800h timer/counter	C, A $\bar{L}$	-30~70
M58482P	—	CMOS Counter/Timer	50ms~4800h timer counter	C, A $\bar{L}$	-30~70
M58480P *	—	30-Function Remote Control Transmitter		C, A $\bar{L}$	-30~70
M58484P *	—	30-Function Remote Control Transmitter		C, A $\bar{L}$	-30~70
M58481P *	—	30-Function Remote Control Receiver		C, A $\bar{L}$	-30~70
M58485P *	—	29-Function Remote Control Receiver		C, A $\bar{L}$	-30~70
M58487P *	—	22-Function Remote Control Receiver		C, A $\bar{L}$	-30~70
M58872P *	—	Single-Chip Printing Calculator		P, A $\bar{L}$ , ED	0~50

\* : New product    N : N-channel    ED : Enhancement depletion mode    B : Bipolar    Si : Silicon-gate    C : CMOS  
 \*\* : Under development    P : P-channel    FA : FAMOS    S : Schottkey    A $\bar{L}$  : Aluminum-gate

電源電圧				クロック 入力電圧 V <sub>1</sub> (φ)	電気的特性					外形	他社相当品		ページ
V <sub>DD</sub>	V <sub>CC</sub>	V <sub>SS</sub> GND	V <sub>BB</sub>		標準 消費 電力 (mW)	最大ア クセス 時間 (ns)	最小サ イクル 時間 (ns)	最大 動作 周波数 (MHz)	TTL コンパ チブル		メーカ名	形名	

-15V±10%	—	0V	—	—	250	—	10000	0.6	YES	42P1	—	—	6-3
-15V±10%	—	0V	—	—	250	—	10000	0.6	YES	64S1	—	—	6-19
—	5V±5%	0V	—	—	5	—	6600	0.455	YES	68P2	—	—	7-3

12V±1V	5V±5%	0V	-5V±5%	V <sub>DD</sub> +1V ~9V	780	—	—	2	YES	40P1 40S1	INTEL	P, C8080A	8-3
—	5V±5%	0V	—	—	600	—	—	3 2	YES	40P1 40S1	INTEL	P, C8085A	8-29

-12V±1V	0V	5V±10%	—	—	70	—	—	0.1	YES	40P1 40S1	—	—	9-3
-12V±1V	0V	5V±10%	—	—	70	—	—	0.1	YES	40P1 40S1	—	—	9-9
-12V±10%	0V	5V±10%	—	—	350	—	—	—	YES	40S1	—	—	9-11
—	5V±5%	0V	—	—	300	—	—	—	YES	40P1	—	—	9-19
—	5V±10%	0V	—	—	300	—	—	6	YES	40P1	INTEL	P8041A	9-23
—	5V±5%	0V	—	—	450	25☆	—	—	YES	24P1	INTEL	P8212	9-27
—	5V±5%	0V	—	—	475	30☆	—	—	YES	16P4	INTEL	P8216	9-31
—	5V±5%	0V	—	—	450	—	—	—	YES	16P4	INTEL	P8224	8-17
—	5V±5%	0V	—	—	425	25☆	—	—	YES	16P4	INTEL	P8226	9-31
—	5V±5%	0V	—	—	550	—	—	—	YES	28P1	INTEL	P8228	8-23
—	5V±10%	0V	—	—	50	—	—	—	YES	24P1	INTEL	P8243	9-35
—	5V±5%	0V	—	—	300	—	—	3	YES	28P1	INTEL	P8251A	9-39
—	5V±5%	0V	—	—	300	—	—	2	YES	24P1	INTEL	P8253 P8253-5	9-55
—	5V±5%	0V	—	—	250	—	—	—	YES	40P1	INTEL	P8255A P8255A-5	9-63
—	5V±5%	0V	—	—	300	—	—	3	YES	40P1	INTEL	P8257 P8257-5	9-79
—	5V±10%	0V	—	—	650	—	—	2 3	YES	40P1	INTEL	P8279 P8279-5	9-87

-2.4~-3.8V	-1.2~-1.9V	0V	—	—	0.045	—	—	—	YES	60P2	—	—	10-3
-2.2~-4V	-1.1~-2V	0V	—	—	0.003	—	—	—	YES	60P2	—	—	
1.2-1.9V	—	0V	—	—	0.045	—	—	—	YES	8P1	—	—	10-11
1.2-1.9V	—	0V	—	—	0.045	—	—	—	YES	8P1	—	—	
1.1-1.9V	—	0V	—	—	0.053	—	—	—	YES	8P1	—	—	
1.1-1.9V	—	0V	—	—	0.003	—	—	—	YES	8P1	—	—	
4.75-8.5V	—	0V	—	—	16	—	—	—	YES	8P1	—	—	10-15
7.4-9V	—	0V	—	—	2	—	—	—	YES	14P4	—	—	10-19
3-9V	—	0V	—	—	0.2	—	—	—	YES	14P4	—	—	
2.2-8V	—	0V	—	—	—	—	—	—	YES	16P4	—	—	10-23
2.2-8V	—	0V	—	—	—	—	—	—	YES	16P4	—	—	
4.5-8V	—	0V	—	—	—	—	—	—	YES	28P1	—	—	
8-14V	—	0V	—	—	—	—	—	—	YES	28P1	—	—	10-31
4.5-8V	—	0V	—	—	—	—	—	—	YES	28P1	—	—	10-35
-12~-14V	—	0V	—	—	50	—	—	—	YES	40P1	—	—	10-39

☆: DATA frequency

Package outline:

24 S 1

1: DIL, 2: Flat, 4: DIL(New Type) 10: Quartz lid  
K: Glass-sealed ceramic DIL  
P: Plastic-molded DIL  
S: Metal-sealed ceramic DIL  
Number of pins

形名	機能名	機能概要	メモリ容量		I/O ポート (ビット)	動作周 圍温度 範囲 Ta(°C)	電 源 電 圧 (V)	外形寸法 縦×横×高さ (mm)	ページ
			RAM (バイト)	ROM (バイト)					

## ■ マイクロコンピュータシステム

PCA0801	MELCS 8/2 Board Computer	CPU M5L8080AP,S is used	256	2K (Note 1)	48	0~55	5	125×145×17	11-3
PCA0802	MELCS 8/2 Memory and I/O Expansion Board	Expansion for PCA0801	1K	4K (Note 1)	24	0~55	12.5,-5	125×145×17	11-7
PCA0803	MELCS 8/2 Program Checker	Conservative checker for PCA0801,PCA0802	—	—	—	0~55	5	170×200×27	11-11
PCA0804G01* PCA0804G02*	MELCS 8/2 Color TV Display Board Computer	CPU M5L8080AP,S and TV Interface M58741P are used	1K	2K (Note 2)	24	5~40	12.5,-5	125×145×30	11-13
PCA8501G01* PCA8501G02*	MELCS 85/2 Board Computer	CPU M5L8085AP is used	1K	4K (Note 3)	48	0~55	5	125×145×17	11-19
PC8500 *	MELCS 85/1 Portable Microcomputer Console	Microcomputer System	—	—	—	10~40	AC100	350×370×140	11-23

Note 1: The standard product contains one 1K-byte EPROM M5L2708K.

2: The PCA0804G01 does not contain the EPROM M5L2708K.

3: The standard product contains one 2K-byte EPROM M5L2716K.

## ■ マイクロコンピュータ支援システム

PCA0401	MELCS 4 Evaluator Board Computer	Single-chip 4 bit microcomputer is used	128	2K	34	0~55	7,-15	180×190×20	12-3
PCA0402	MELCS 4 Touch Key-Board	Touch key-board for PCA0401	—	—	—	0~55	-15 0~-120	180×180×20	12-7
PCA0403	MELCS 4 Program Checker	Conservation checker for PCA0401,PCA0402	—	—	—	0~55	7,-5 -10,-15	200×270×27	12-9



形名	構造	機能	回路機能	ページ
M54700K	B	PROM	1024ビット(256語×4ビット)フィールド プログラマブルROM (オープンコレクタ出力)	5-6
M54700P				
M54700S				
M54730K	B	PROM	256ビット(32語×8ビット)フィールド プログラマブルROM (オープンコレクタ出力)	5-11
M54730P				
M54730S				
M58333-XXXP	N, Al	ROM	32768ビット(4096語×8ビット)マスク プログラマブルROM	5-15
M58334-XXXP	N, Al, ED	ROM	65536ビット(8192語×8ビット)マスク プログラマブルROM	5-17
M58412P	C, Al	時計	CMOS LCDデジタルアラーム水晶時計	10-3
M58413P	C, Al	時計	CMOS LCDデジタルアラーム水晶時計	10-3
M58434P	C, Si	時計	CMOS アナログ水晶時計	10-11
M58435P	C, Si	時計	CMOS アナログ水晶時計	10-11
M58436-001P	C, Al	時計	CMOS アナログ水晶時計	10-11
M58437-001P	C, Al	時計	CMOS アナログ水晶時計	10-11
M58478P	C, Al	カウンタ	17段 オシレータ/デバイダ	10-15
M58479P	C, Al	カウンタ	CMOS カウンタ/タイマ	10-19
M58480P	C, Al	リモコン	30機能 リモートコントロール送信回路	10-23
M58481P	C, Al	リモコン	30機能 リモートコントロール受信回路	10-27
M58482P	C, Al	カウンタ	CMOS カウンタ/タイマ	10-19
M58484P	C, Al	リモコン	30機能 リモートコントロール送信回路	10-23
M58485P	C, Al	リモコン	29機能 リモートコントロール受信回路	10-31
M58487P	C, Al	リモコン	22機能 リモートコントロール受信回路	10-35
M58494-XXXP	C, Al	CPU	CMOS ワンチップ4ビット マイクロコンピュータ	7-3
M58609-04P	P, Al	I/O	キーボード エンコーダ(JISコード標準品)	9-3
M58609-04S				
M58609-09P				
M58609-09S				
M58620-001S	P, Al	I/O	キーボード エンコーダ(JISコード標準品)	9-11
M58656S	P, Al	RAM	1024ビット(256語×4ビット)不揮発性スタチックRAM	4-3
M58730-001S	N, Si	ROM	8192ビット(1024語×8ビット)マスク プログラマブルROM	5-22
M58730-XXXS	N, Si	ROM	8192ビット(1024語×8ビット)マスク プログラマブルROM	5-19
M58731-XXXP	N, ED	ROM	16384ビット(2048語×8ビット)マスク プログラマブルROM	5-23
M58731-001S	N, ED	ROM	16384ビット(2048語×8ビット)マスク プログラマブルROM MELPS 8 ベーシック オペレーティングモニタ BOM-B	5-26
M58731-XXXS	N, ED	ROM	16384ビット(2048語×8ビット)マスク プログラマブルROM	5-23
M58741P	N, Si, ED	I/O	TVインターフェース	9-11
M58840-XXXP	P, Al, ED	CPU	ワンチップ4ビット マイクロコンピュータ(8ビットAD変換器付き)	6-3
M58842S	P, Al, ED	CPU	ワンチップ4ビット システム評価用素子(8ビットAD変換器付き)	6-19
M58872P	P, Al, ED	電卓	ワンチップ プリント付き電卓	10-39
M58981S-45	C, Si	RAM	4096ビット(1024語×4ビット)CMOS RAM	4-9
M5G1400P	P, Al	ROM	1400ビット(100語×14ビット)電氣的消去 ROM	5-27
M5K4116P-2	N, Si	RAM	16384ビット(16384語×1ビット)ダイナミックRAM	4-13
M5K4116S-2				
M5K4116P-3				
M5K4116S-3				
M5K4116P-4				
M5K4116S-4				

形名	構造	機能	回路機能	ページ
M5L 2101AP	N, Si, ED	RAM	1024ビット(256語×4ビット)スタックRAM	4-25
M5L 2101AS				
M5L 2101AP-2				
M5L 2101AS-2				
M5L 2101AP-4				
M5L 2101AS-4				
M5L 2102AP-4	N, Si, ED	RAM	1024ビット(1024語×1ビット)スタックRAM	4-29
M5L 2102AS-4				
M5L 2107BP	N, Si	RAM	4096ビット(4096語×1ビット)ダイナミックRAM	4-33
M5L 2107BS				
M5L 2111AP	N, Si, ED	RAM	1024ビット(256語×4ビット)スタックRAM	4-39
M5L 2111AS				
M5L 2111AP-2				
M5L 2111AS-2				
M5L 2111AP-4				
M5L 2111AS-4				
M5L 2112AP	N, Si, ED	RAM	1024ビット(256語×4ビット)スタックRAM	4-43
M5L 2112AS				
M5L 2112AP-2				
M5L 2112AS-2				
M5L 2112AP-4				
M5L 2112AS-4				
M5L 2114LP	N, Si, ED	RAM	4096(1024語×4ビット)スタックRAM	4-49
M5L 2114LS				
M5L 2114LP-2				
M5L 2114LS-2				
M5L 2114LP-3				
M5L 2114LS-3				
M5L 2708K	N, Si, FA	ROM	8192ビット(1024語×8ビット)消去及び電氣的再プログラム可能ROM	5-31
M5L 2708S				
M5L 2708K-65				
M5L 2708S-65				
M5L 2716K	N, Si, FA	ROM	16384ビット(2048語×8ビット)消去及び電氣的再プログラム可能ROM	5-35
M5L 2716K-65				
M5L 5101LP-1	C, Si	RAM	1024ビット(256語×4ビット)CMOS RAM	4-53
M5L 8041A-XXXP	N, Si, ED	I/O	ユニバーサル ペリフェラル インターフェース	9-23
M5L 8080AP	N, Si	CPU	8ビット並列処理CPU	8-3
M5L 8080AS				
M5L 8085AP	N, Si, ED	CPU	ワンチップ8ビットNチャネルマイクロプロセッサ	8-29
M5L 8085AS				
M5L 8085AP-20				
M5L 8085AS-20				
M5L 8212P	B, S	I/O	8ビット入出力ポート(スリーステート出力)	9-27
M5L 8216P	B, S	I/O	4ビット並列双方向性バスドライバ(ノンインバート出力)	9-31
M5L 8224P	B, S	I/O	クロックジェネレータ及びドライバ(CPU M5L 8080AP,S用)	8-17
M5L 8226P	B, S	I/O	4ビット並列双方向性バスドライバ(インバート出力)	9-31
M5L 8228P	B, S	I/O	システムコントローラ及びバスドライバ(CPU M5L 8080AP,S用)	8-23
M5L 8243P	N, Si, ED	I/O	入出力ポート拡張インターフェース	9-35
M5L 8251AP	N, Si, ED	I/O	プログラマブル コミュニケーション インターフェース	9-39

形 名	構 造	機 能	回 路 機 能	ペ ー ジ
M5L 8253P	N, Si, ED	I/O	プログラマブル インターバル タイマ	9-55
M5L 8253P-5				
M5L 8255AP	N, Si, ED	I/O	プログラマブル ペリフェラル インターフェース	9-63
M5L 8255AP-5				
M5L 8257P	N, Si, ED	I/O	プログラマブル DMA コントローラ	9-79
M5L 8257P-5				
M5L 8279P	N, Si, ED	I/O	プログラマブル キーボード/表示 インターフェース	9-87
M5L 8279P-5				
M5T 4044P-20	N, Si, ED	RAM	4096ビット(4096語×1ビット)スタチックRAM	4-57
M5T 4044S-20				
M5T 4044P-30				
M5T 4044S-30				
M5T 4044P-45				
M5T 4044S-45				

N : Nチャンネル    P : Pチャンネル    FA : FAMOS    B : バイポーラ    PROM : プログラムリードオンメモリ  
 Si : シリコンゲート    Al : アルミニウムゲート    S : ショットキー    CPU : 中央処理装置    ROM : マスクリードオンメモリ  
 ED : エンハンスメントデプレッション形    RAM : ランダムアクセスメモリ    C : CMOS    I/O : 周辺装置用

機能	三菱 Mitsubishi Electric Corp.	回路機能	AMD Advanced Micro Devices, Inc.	AMI American Microsystems. Inc.	EAI Electronic Arrays Inc.
CPU	M58840-XXXP	ワンチップ4ビット マイクロコンピュータ			
	M58842S	ワンチップ4ビット システム評価用素子			
	M58494-XXXP	CMOS ワンチップ4ビット マイクロコンピュータ			
	M5L 8080AP	8ビット並列処理 マイクロプロセッサ			
	M5L 8080AS	8ビット並列処理 マイクロプロセッサ	AM9080A		
	M5L 8085AP	ワンチップ8ビット Nチャネル マイクロプロセッサ			
	M5L 8085AS	ワンチップ8ビット Nチャネル マイクロプロセッサ			
	M5L 8085AP-20	ワンチップ8ビット Nチャネル マイクロプロセッサ			
M5L 8085AS-20	ワンチップ8ビット Nチャネル マイクロプロセッサ				
スタチックRAM	M5L 2101AP-2	256×4ビット SRAM			
	M5L 2101AS-2	256×4ビット SRAM			
	M5L 2101AP	256×4ビット SRAM			
	M5L 2101AS	256×4ビット SRAM			
	M5L 2101AP-4	256×4ビット SRAM			
	M5L 2101AS-4	256×4ビット SRAM			
	M5L 2111AP-2	256×4ビット SRAM			
	M5L 2111AS-2	256×4ビット SRAM			
	M5L 2111AP	256×4ビット SRAM			
	M5L 2111AS	256×4ビット SRAM			
	M5L 2111AP-4	256×4ビット SRAM			
	M5L 2111AS-4	256×4ビット SRAM			
	M5L 2112AP-2	256×4ビット SRAM			
	M5L 2112AS-2	256×4ビット SRAM			
	M5L 2112AP	256×4ビット SRAM			
	M5L 2112AS	256×4ビット SRAM			
	M5L 2112AP-4	256×4ビット SRAM			
	M5L 2112AS-4	256×4ビット SRAM			
	M5L 2102AP-4	1024×1ビット SRAM			
	M5L 2102AS-4	1024×1ビット SRAM		S3102	
	M5L 2114LP-2	1024×4ビット SRAM			
	M5L 2114LS-2	1024×4ビット SRAM			
	M5L 2114LP-3	1024×4ビット SRAM			
	M5L 2114LS-3	1024×4ビット SRAM			
	M5L 2114LP	1024×4ビット SRAM			
	M5L 2114LS	1024×4ビット SRAM			
	M5T 4044P-20	4096×1ビット SRAM			
	M5T 4044S-20	4096×1ビット SRAM			
M5T 4044P-30	4096×1ビット SRAM				
M5T 4044S-30	4096×1ビット SRAM				
M5T 4044P-45	4096×1ビット SRAM				
M5T 4044S-45	4096×1ビット SRAM				

SRAM : スタチックRAM

EAROM : 電氣的書き換え可能ROM

DRAM : ダイナミックRAM

FAMOS : 浮遊ゲートアバランシェ注入型不揮発性MOS



機能	三菱 Mitsubishi Electric Corp.	回路機能	MOTOROLA Motorola Semiconductor Products, Inc.	NSC National Semiconductor Corp	日電 Nippon Electric Co., Ltd.
CPU	M58840-XXXP	ワンチップ4ビット マイクロコンピュータ			
	M58842S	ワンチップ4ビット システム評価用素子			
	M58494-XXXP	CMOS ワンチップ4ビット マイクロコンピュータ			
	M5L 8080AP	8ビット並列処理 マイクロプロセッサ			
	M5L 8080AS	8ビット並列処理 マイクロプロセッサ			
	M5L 8085AP	ワンチップ8ビット Nチャンネル マイクロプロセッサ			
	M5L 8085AS	ワンチップ8ビット Nチャンネル マイクロプロセッサ			
	M5L 8085AP-20 M5L 8085AS-20	ワンチップ8ビット Nチャンネル マイクロプロセッサ			
スタチックRAM	M5L 2101AP-2	256×4ビット SRAM			
	M5L 2101AS-2	256×4ビット SRAM			
	M5L 2101AP	256×4ビット SRAM			
	M5L 2101AS	256×4ビット SRAM			
	M5L 2101AP-4	256×4ビット SRAM			
	M5L 2101AS-4	256×4ビット SRAM			μPD2101A
	M5L 2111AP-2	256×4ビット SRAM			
	M5L 2111AS-2	256×4ビット SRAM			
	M5L 2111AP	256×4ビット SRAM			
	M5L 2111AS	256×4ビット SRAM			
	M5L 2111AP-4	256×4ビット SRAM			
	M5L 2111AS-4	256×4ビット SRAM			μPD2111A
	M5L 2112AP-2	256×4ビット SRAM			
	M5L 2112AS-2	256×4ビット SRAM			
	M5L 2112AP	256×4ビット SRAM			
	M5L 2112AS	256×4ビット SRAM			
	M5L 2112AP-4	256×4ビット SRAM			
	M5L 2112AS-4	256×4ビット SRAM			
	M5L 2102AP-4	1024×1ビット SRAM			
	M5L 2102AS-4	1024×1ビット SRAM			
	M5L 2114LP-2	1024×4ビット SRAM			
	M5L 2114LS-2	1024×4ビット SRAM			
	M5L 2114LP-3	1024×4ビット SRAM			
	M5L 2114LS-3	1024×4ビット SRAM			
	M5L 2114LP	1024×4ビット SRAM			
	M5L 2114LS	1024×4ビット SRAM			
M5T 4044P-20	4096×1ビット SRAM				
M5T 4044S-20	4096×1ビット SRAM				
M5T 4044P-30	4096×1ビット SRAM				
M5T 4044S-30	4096×1ビット SRAM				
M5T 4044P-45	4096×1ビット SRAM				
M5T 4044S-45	4096×1ビット SRAM				

SRAM : スタチックRAM

EAROM : 電氣的書き換え可能ROM

DRAM : ダイナミックRAM

FAMOS : 浮遊ゲートアバラシエ注入型不揮発性MOS



機能	三菱 Mitsubishi Electric Corp.	回路機能	AMD Advanced Micro Devices Inc.	AMI American Microsystems. Inc.	EAI Electronic Arrays Inc.
ダイナミックRAM	M5L 2107BP	4096×1ビット DRAM			
	M5L 2107BS	4096×1ビット DRAM		S4021-1	
	M5K 4116P-2	16384×1ビット DRAM			
	M5K 4116S-2	16384×1ビット DRAM			
	M5K 4116P-3	16384×1ビット DRAM			
	M5K 4116S-3	16384×1ビット DRAM			
	M5K 4116P-4	16384×1ビット DRAM			
	M5K 4116S-4	16384×1ビット DRAM			
CMOS RAM	M5L 5101LP-1	256×4ビット CMOS RAM			
	M58981S-45	1024×4ビット CMOS RAM			
不揮 発性 RAM	M58656S	256×4ビット NV RAM			
マスクROM	M58730-XXXS	1024×8ビット マスクROM			
	M58730-001S	1024×8ビット マスクROM			
	M58731-XXXP	2048×8ビット マスクROM			
	M58731-XXXS	2048×8ビット マスクROM			
	M58731-001S	2048×8ビット マスクROM			
	M58333-XXXP	4096×8ビット マスクROM			
	M58334-XXXP	8192×8ビット マスクROM			
EPROM・EAROM	M5G 1400P	100×14ビット EAROM			
	M5L 2708K	1024×8ビット FAMOS			
	M5L 2708S	1024×8ビット FAMOS			
	M5L 2708K-65	1024×8ビット FAMOS			
	M5L 2708S-65	1024×8ビット FAMOS			
	M5L 2716K	2048×8ビット FAMOS			
	M5L 2716K-65	2048×8ビット FAMOS			
ヒューズROM	M54700K	256×4ビット ヒューズROM			
	M54700P	256×4ビット ヒューズROM			
	M54700S	256×4ビット ヒューズROM			
	M54730K	32×8ビット ヒューズROM			
	M54730P	32×8ビット ヒューズROM			
	M54730S	32×8ビット ヒューズROM			

DRAM : ダイナミックRAM      EAROM: 電気の書き換え可能ROM

FAMOS: 浮遊ゲートアバランシェ注入型不揮発性MOS



FSC Fairchild Sem iconductor	富士通 Fujitsu Ltd.	日立 Hitachi Ltd.	INTEL Inter Corp.	INTERSIL Intersil, Inc.	MMI Monolithic Memories, Inc.	MOSTEK Mostek Corp.
			P2107B			MK4006-6P
3524-5	MB8103	HM3503	C2107B			
						MK4116-2
						MK4116-2
						MK4116-3
						MK4116-3
						MK4116-4
						MK4116-4
			P5101L-1			
			C8308			
			P8316A			
			C8316A			
			D2708			
			C2708			
			D2716			
					6300J	
					6300	
					6300D	
					6330J	
					6330	
					6330D	

機能	三菱 Mitsubishi Electric Corp.	回路機能	MOTOROLA Motorola Semiconductor Products, Inc.	NSC National Semiconductor Corp.	日電 Nippon Electric Co., Ltd.
ダイナミックRAM	M5L 2107BP	4096×1ビット DRAM			μPD411D
	M5L 2107BS	4096×1ビット DRAM			
	M5K 4116P-2	16384×1ビット DRAM			
	M5K 4116S-2	16384×1ビット DRAM			
	M5K 4116P-3	16384×1ビット DRAM			
	M5K 4116S-3	16384×1ビット DRAM			
	M5K 4116P-4	16384×1ビット DRAM			
CMOS RAM	M5L 5101LP-1	256×4ビット CMOS RAM			
	M58981S-45	1024×4ビット CMOS RAM			
不揮発性RAM	M58656S	256×4ビット NV RAM			
マスクROM	M58730-XXXS	1024×8ビット マスクROM			
	M58730-001S	1024×8ビット マスクROM			
	M58731-XXXP	2048×8ビット マスクROM			
	M58731-XXXS	2048×8ビット マスクROM			
	M58731-001S	2048×8ビット マスクROM			
	M58333-XXXP	4096×8ビット マスクROM			
EPROM・EAROM	M5G 1400P	100×14ビット EAROM			
	M5L 2708K	1024×8ビット FAMOS			
	M5L 2708S	1024×8ビット FAMOS			
	M5L 2708K-65	1024×8ビット FAMOS			
	M5L 2708S-65	1024×8ビット FAMOS			
	M5L 2716K	2048×8ビット FAMOS			
	M5L 2716K-65	2048×8ビット FAMOS			
ヒューズROM	M54700K	256×4ビット ヒューズROM			
	M54700P	256×4ビット ヒューズROM			
	M54700S	256×4ビット ヒューズROM			
	M54730K	32×8ビット ヒューズROM			
	M54730P	32×8ビット ヒューズROM			
	M54730S	32×8ビット ヒューズROM			

DRAM : ダイナミックRAM      EAROM: 電氣的書き換え可能ROM

FAMOS : 浮遊ゲートアバランシェ注入型不揮発性MOS



機能	三菱 Mitsubishi Electric Corp.	回路機能	AMD Advanced Micro Devices Inc.	AMI American Microsystems. Inc.	EAI Electronic Arrays Inc.
周辺回路	M58609-04P	キーボード エンコーダ			
	M58609-04S	キーボード エンコーダ			
	M58609-09P	キーボード エンコーダ			
	M58609-09S	キーボード エンコーダ			
	M58620-001S	キーボード エンコーダ			
	M58741P	TVインターフェース			
	M5L 8041A-XXXP	ユニバーサルペリフェラル インターフェース			
	M5L 8212P	8ビット入出力ポート(スリーステート出力)	AM8212		
	M5L 8216P	4ビット並列双方向性バスドライバ(ノンインバート出力)			
	M5L 8224P	クロック ジェネレータ/ドライバ			
	M5L 8226P	4ビット並列双方向性バスドライバ(インバート出力)			
	M5L 8228P	システムコントローラ/バスドライバ			
	M5L 8243P	入出力ポート拡張 インターフェース			
	M5L 8251AP	プログラマブル コミュニケーション インターフェース			
	M5L 8253P	プログラマブル インターバル タイマ			
	M5L 8253P-5	プログラマブル インターバル タイマ			
	M5L 8255AP	プログラマブル ペリフェラル インターフェース			
	M5L 8255AP-5	プログラマブル ペリフェラル インターフェース			
M5L 8257P	プログラマブル DMA コントローラ				
M5L 8257P-5	プログラマブル DMA コントローラ				
M5L 8279P	プログラマブル キーボード/表示 インターフェース				
M5L 8279P-5	プログラマブル キーボード/表示 インターフェース				
汎用MOSLSI	M58412P	CMOS LCD デジタルアラーム水晶時計			
	M58413P	CMOS LCD デジタルアラーム水晶時計			
	M58434P	CMOS アナログ 水晶時計			
	M58435P	CMOS アナログ 水晶時計			
	M58436-001P	CMOS アナログ 水晶時計			
	M58437-001P	CMOS アナログ 水晶時計			
	M58478P	17段 オシレータ/デバイダ			
	M58479P	CMOS カウンタ/タイマ			
	M58480P	30機能リモートコントロール送信回路			
	M58481P	30機能リモートコントロール受信回路			
	M58482P	CMOS カウンタ/タイマ			
	M58484P	30機能リモートコントロール送信回路			
	M58485P	29機能リモートコントロール受信回路			
	M58487P	22機能リモートコントロール受信回路			
	M58872P	ワンチップ プリンタ付き電卓			



機能	三菱 Mitsubishi Electric Corp.	回路機能	MOTOROLA Motorola Semiconductor Products, Inc.	NSC National Semiconductor Corp.	日電 Nippon Electric Co., Ltd.
周辺回路	M58609-04P	キーボード エンコーダ			
	M58609-04S	キーボード エンコーダ			
	M58609-09P	キーボード エンコーダ			
	M58609-09S	キーボード エンコーダ			
	M58620-001S	キーボード エンコーダ			
	M58741P	TVインターフェース			
	M5L 8041A-XXXXP	ユニバーサルペリフェラル インターフェース			
	M5L 8212P	8ビット入出力ポート(スリーステート出力)			μPB8212
	M5L 8216P	4ビット並列双方向性バスドライバ(ノンインバート出力)			
	M5L 8224P	クロック ジェネレータ/ドライバ			μPB8224
	M5L 8226P	4ビット並列双方向性バスドライバ(インバート出力)			
	M5L 8228P	システムコントローラ/バスドライバ			μPB8228
	M5L 8243P	入出力ポート拡張 インターフェース			
	M5L 8251AP	プログラマブル コミュニケーション インターフェース			
	M5L 8253P	プログラマブル インターバル タイマ			
	M5L 8253P-5	プログラマブル インターバル タイマ			
	M5L 8255AP	プログラマブル ペリフェラル インターフェース			
	M5L 8255AP-5	プログラマブル ペリフェラル インターフェース			
	M5L 8257P	プログラマブル DMA コントローラ			
	M5L 8257P-5	プログラマブル DMA コントローラ			
M5L 8279P	プログラマブル キーボード/表示 インターフェース				
M5L 8279P-5	プログラマブル キーボード/表示 インターフェース				
汎用MOSLSI	M58412P	CMOS LCD デジタルアラーム水晶時計			
	M58413P	CMOS LCD デジタルアラーム水晶時計			
	M58434P	CMOS アナログ 水晶時計			
	M58435P	CMOS アナログ 水晶時計			
	M58436-001P	CMOS アナログ 水晶時計			
	M58437-001P	CMOS アナログ 水晶時計			
	M58478P	17段 オシレータ/デバイダ			
	M58479P	CMOS カウンタ/タイマ			
	M58480P	30機能リモートコントロール送信回路			
	M58481P	30機能リモートコントロール受信回路			
	M58482P	CMOS カウンタ/タイマ			
	M58484P	30機能リモートコントロール送信回路			
	M58485P	29機能リモートコントロール受信回路			
	M58487P	22機能リモートコントロール受信回路			
	M58872P	ワンチップ プリンタ付き電卓			



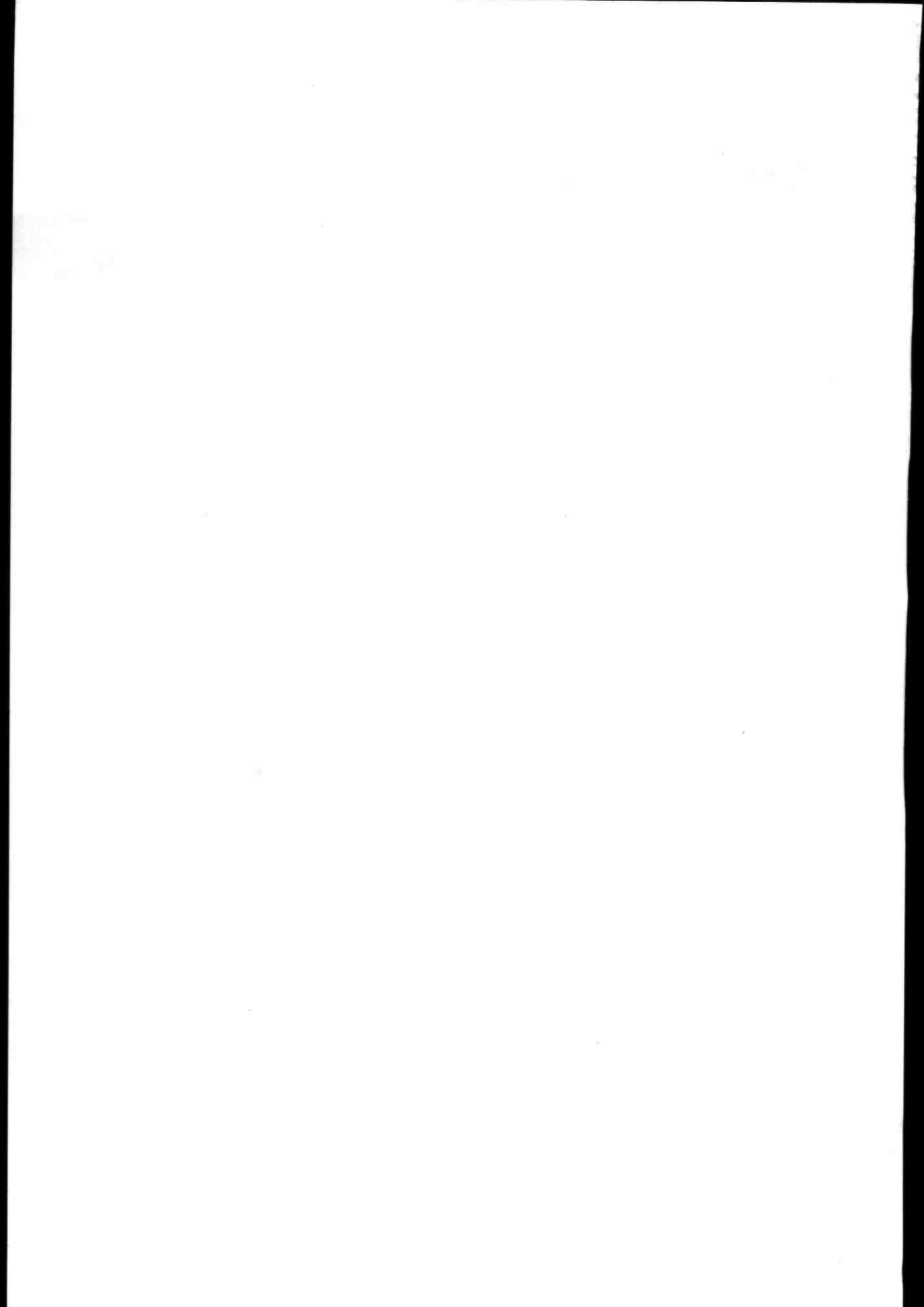
## RAM, PROM, ROM選択表

語	ビット/語		
	1	4	8
32			PROM M54730K, P, S
256		RAM M58656S M5L 2101AP, S-4 M5L 2111AP, S-4 M5L 2112AP, S-4 M5L 5101LP-4  PROM M54700K, P, S	
1024	RAM M5L 2102AP, S-4	RAM M58981S-45 M5L 2114LP, S M5L 2114LP, S-2 M5L 2114LP, S-3	ROM M58730-XXXS M58730-001S  PROM M5L 2708K, S M5L 2708K, S-65
2048			ROM M58731-XXXP, S M58731-001P, S  PROM M5L 2716K M5L 2716K-65
4096	RAM M5L 2107BP, S M5T 4044P, S M5T 4044P, S-2 M5T 4044P, S-3		ROM M58333-XXXP
8192			ROM M58334-XXXP
16384	RAM M5K 4116P, S-2 M5K 4116P, S-3 M5K 4116P, S-4		



# 形名のつけ方, パッケージ外形図

2

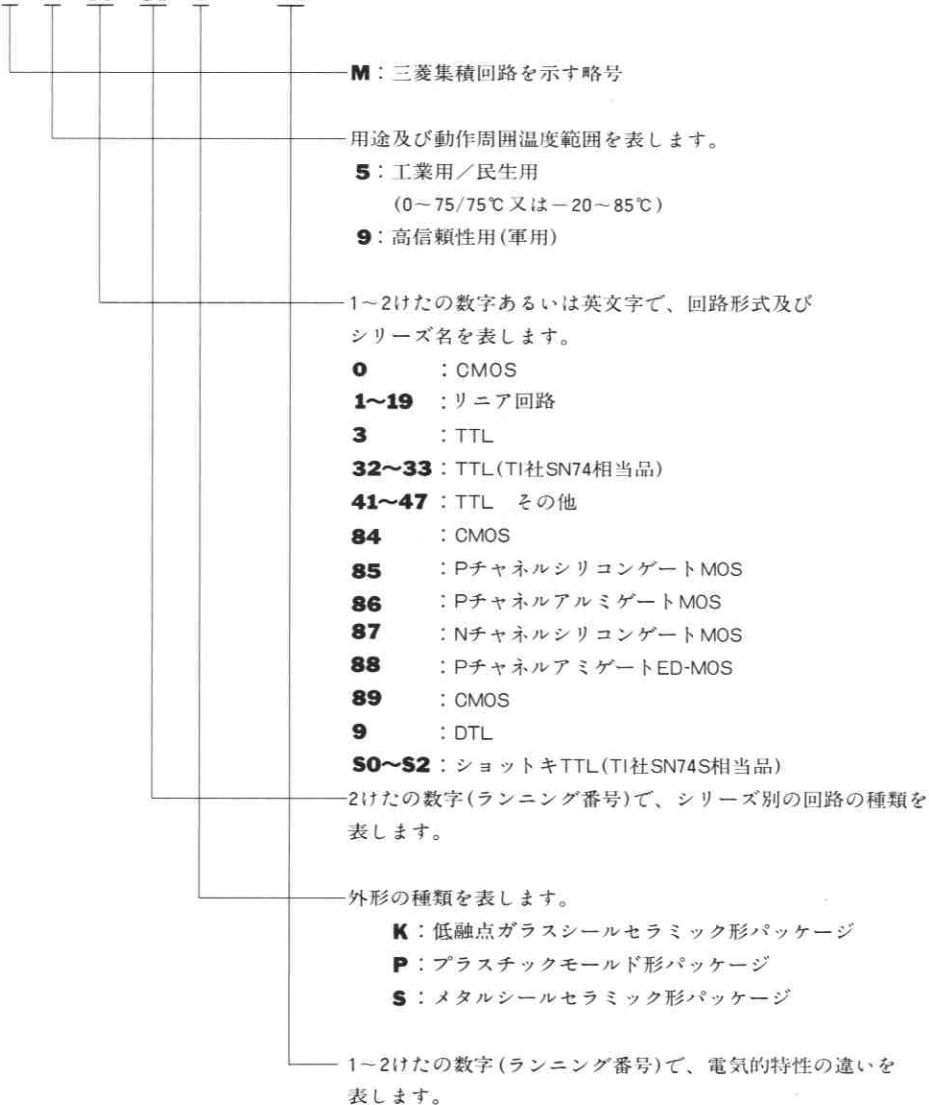


形名のつけ方

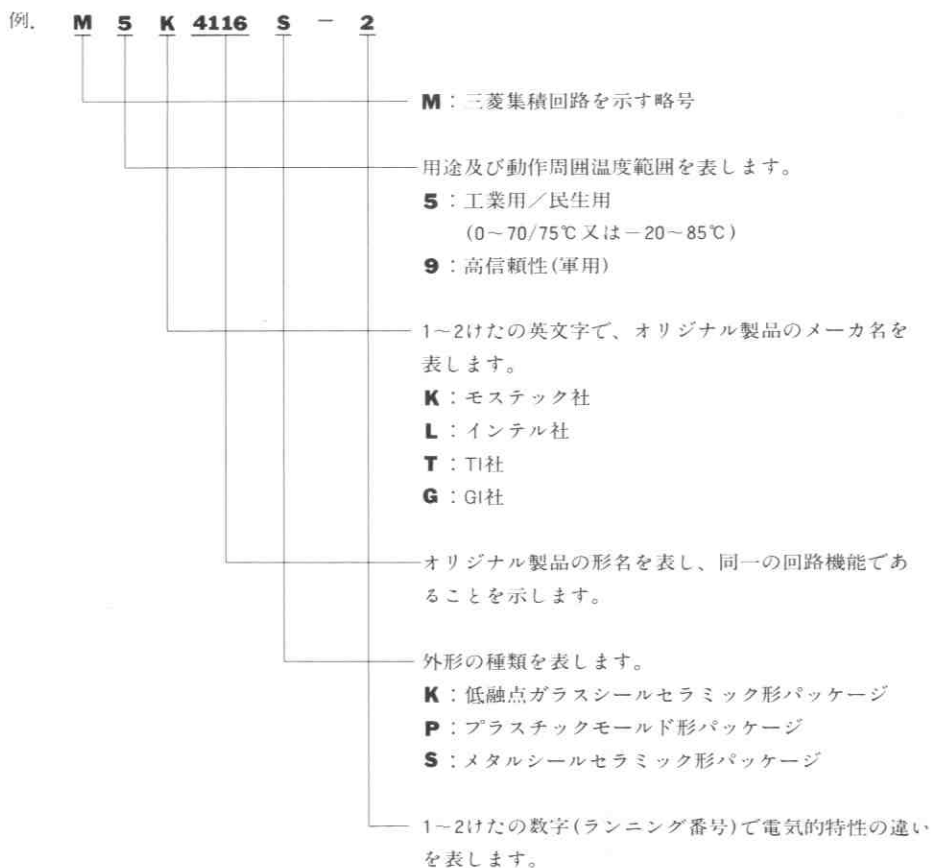
三菱集積回路の形名は、その製品の機能と外形が一見してわかるように、次に示す英文字及び数字によって表します。

1. 三菱オリジナル製品の形名のつけ方

例. **M 5 89 81 S - 30**

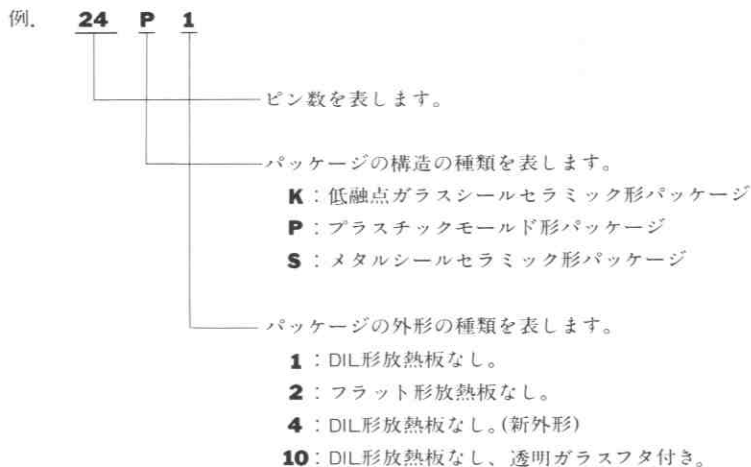


2. セカンドソース製品の形名のつけ方

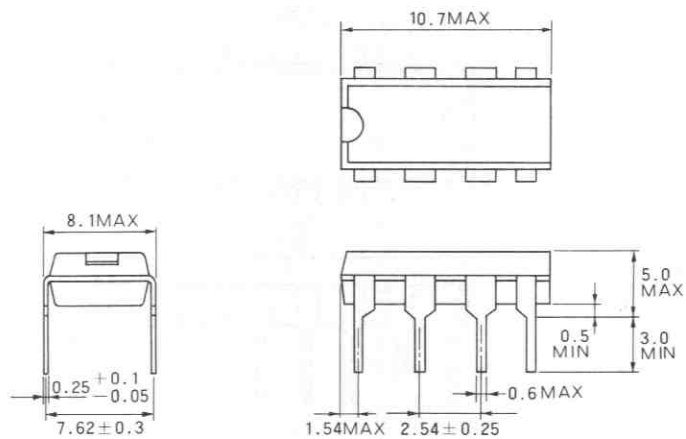


パッケージ外形の形名のつけ方

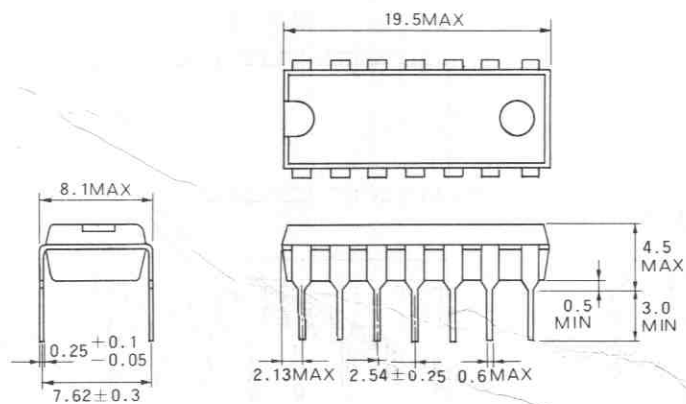
三菱集積回路のパッケージ外形が一目でわかるように、次に示す英文字及び数字によって表します。



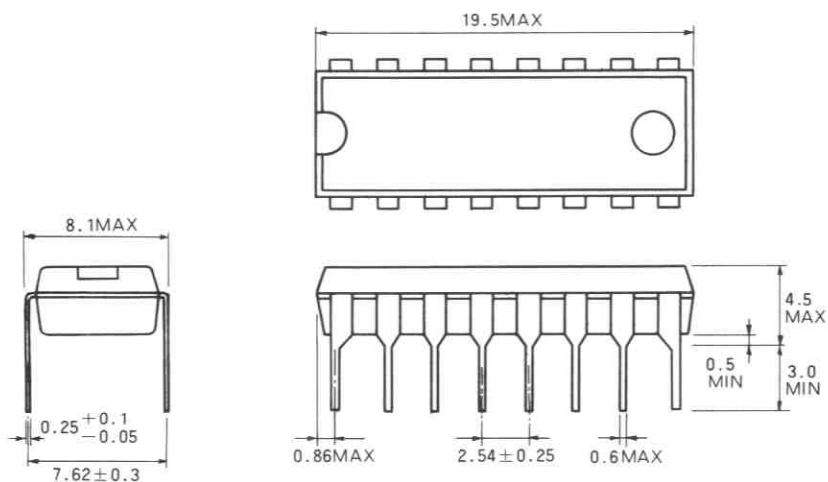
8P1形&lt;8ピン プラスチック モールド DIL&gt;



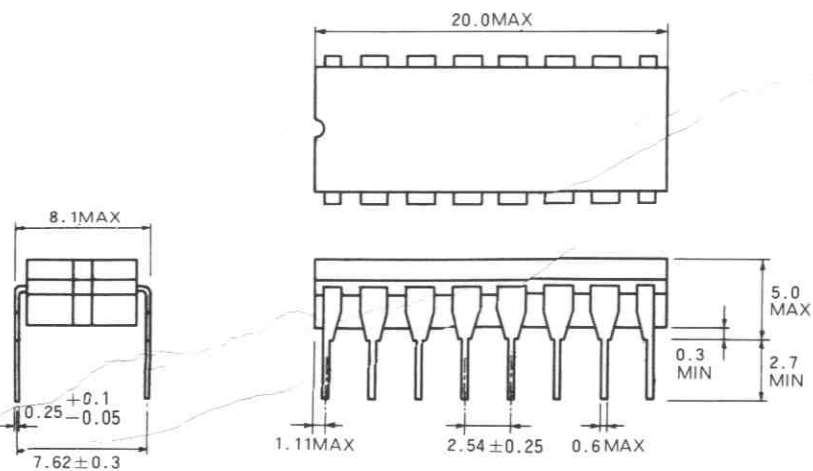
14P4形&lt;14ピン プラスチック モールド DIL&gt;



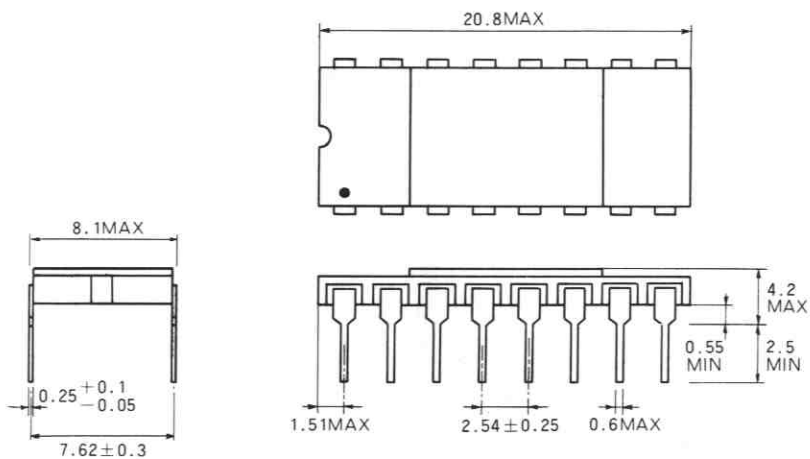
16P4形<16ピン プラスチック モールド DIL



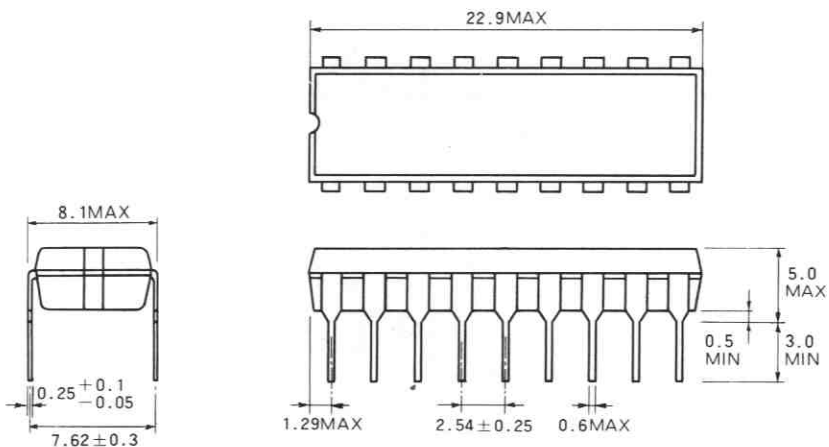
16K1形<16ピン ガラスシール セラミック DIL>



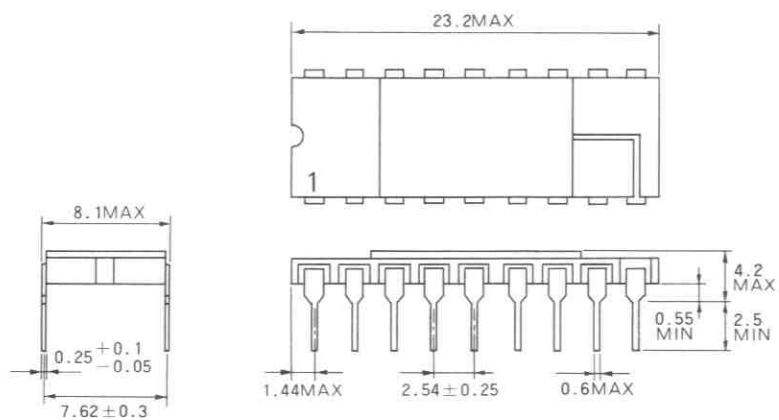
16S1形<16ピン メタルシール セラミック DIL>



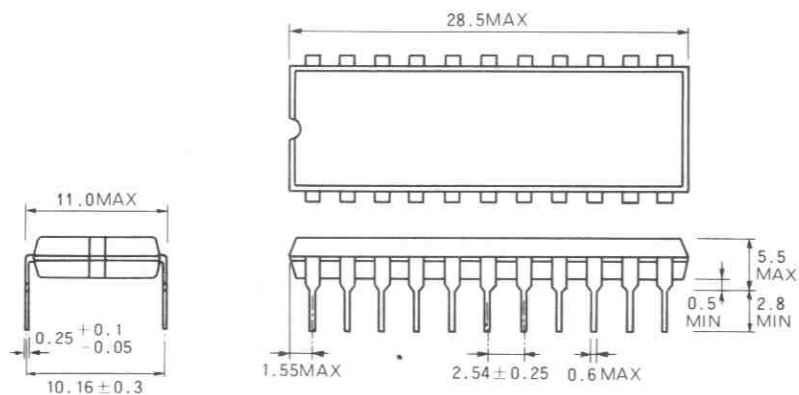
18P1形<18ピン プラスチック モールド DIL>



18S1形<18ピン メタルシール セラミック DIL>

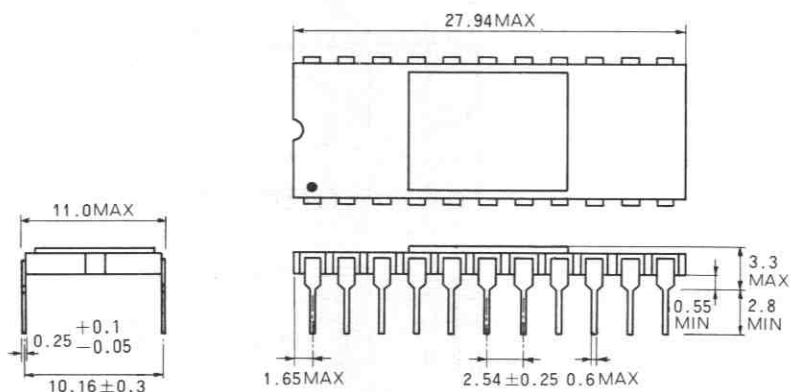


22P1形<22ピン プラスチック モールド DIL>

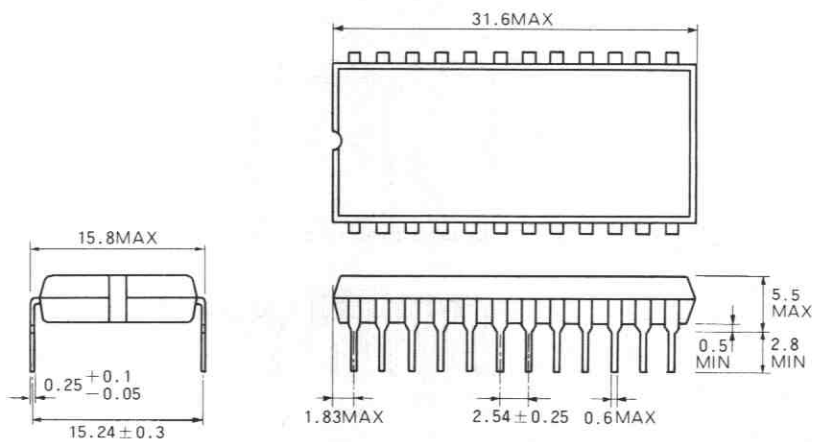




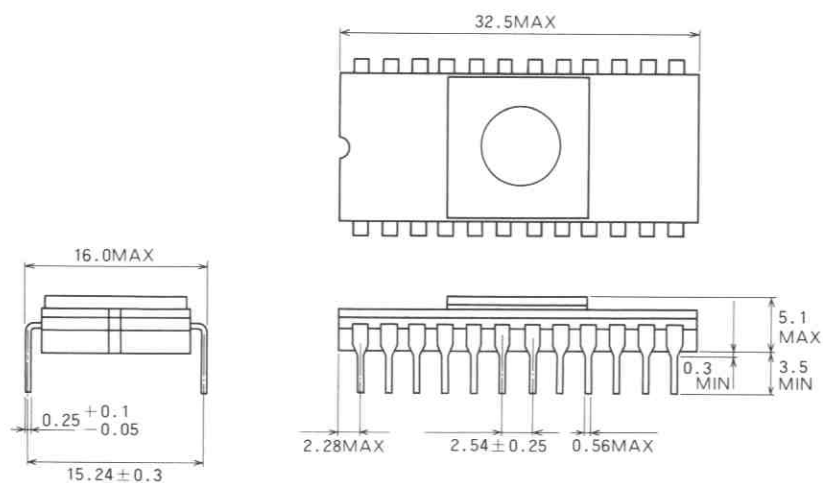
22S1形&lt;22ピン メタルシール セラミック DIL&gt;



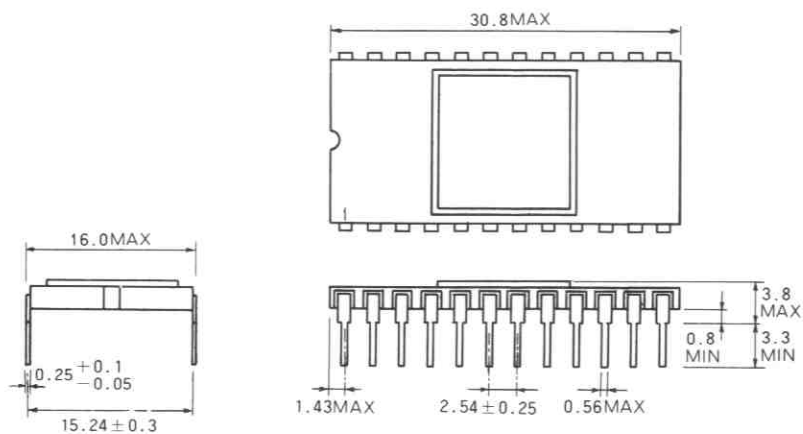
24P1形&lt;24ピン プラスチック モールド DIL&gt;



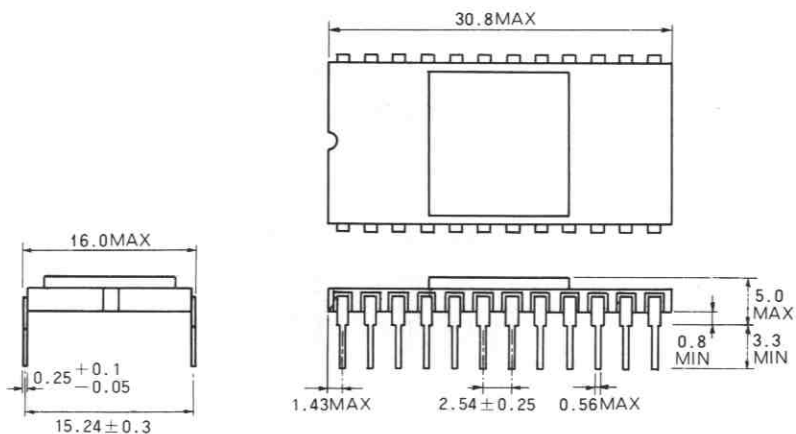
24K10形&lt;24ピン ガラスふた付き ガラスシール セラミック DIL&gt;



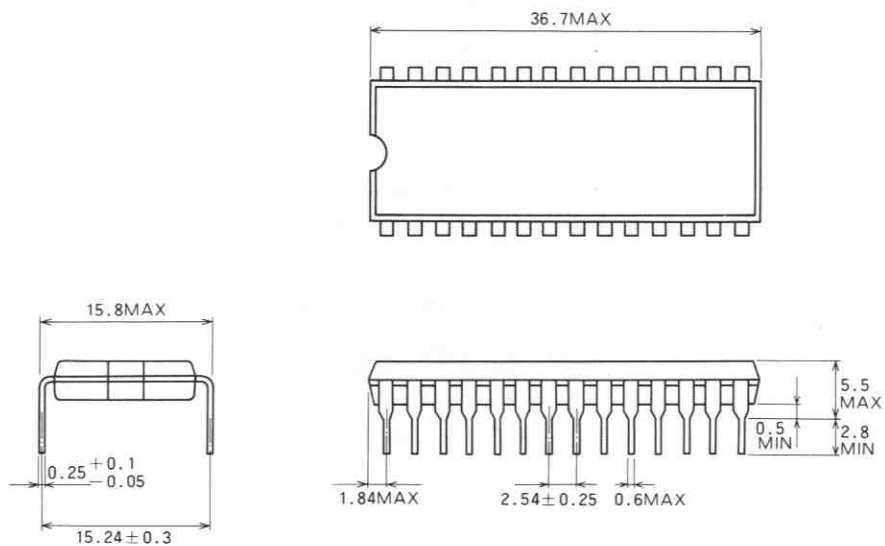
24S1形&lt;24ピン メタルシール セラミック DIL&gt;



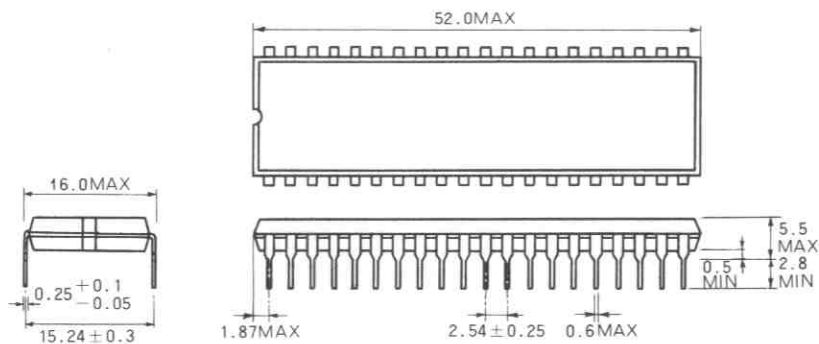
24S10形&lt;24ピン 石英ガラスふた付き セラミック DIL&gt;



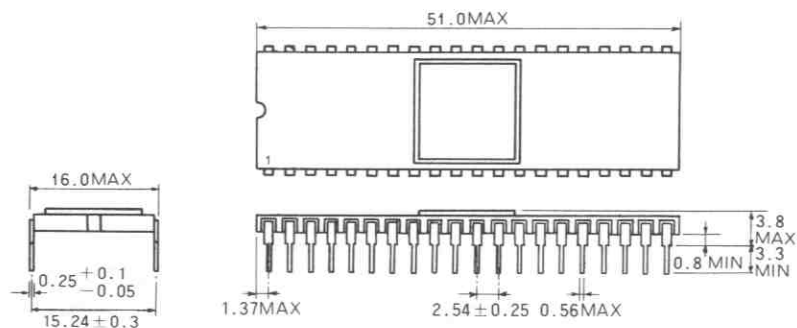
28P1形&lt;28ピン プラスチック モールド DIL&gt;



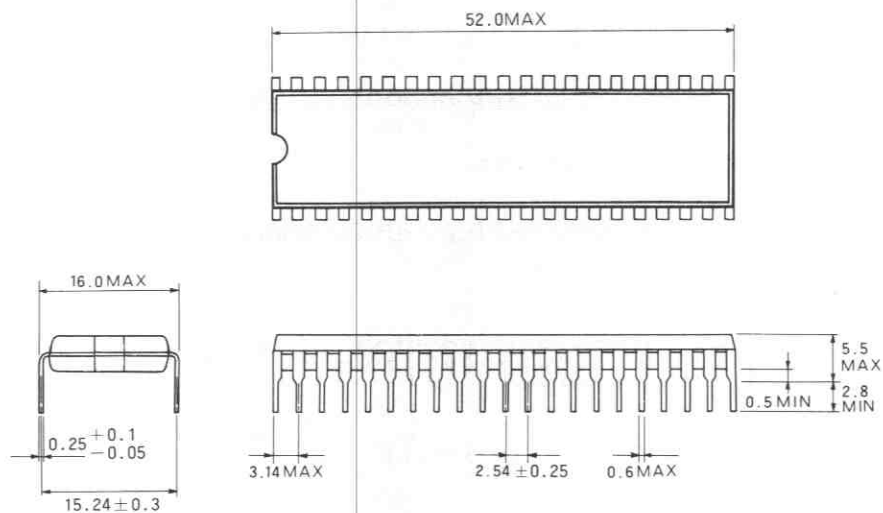
40P1形&lt;40ピン プラスチック モールド DIL&gt;



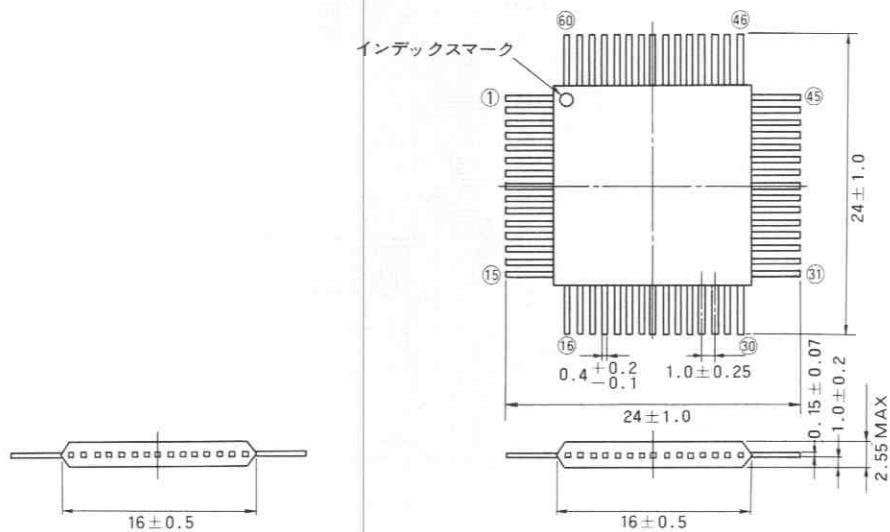
40S1形&lt;40ピン メタルシール セラミック DIL&gt;



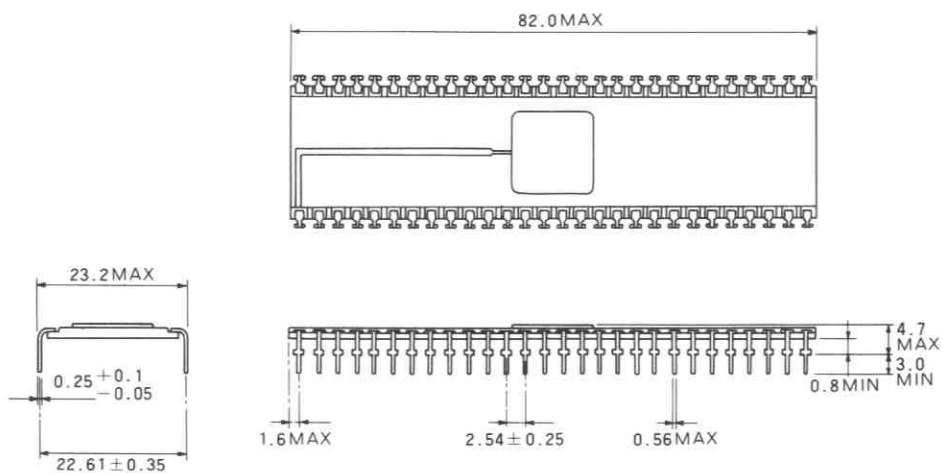
42P1形 <42ピン プラスチック モールド DIL>



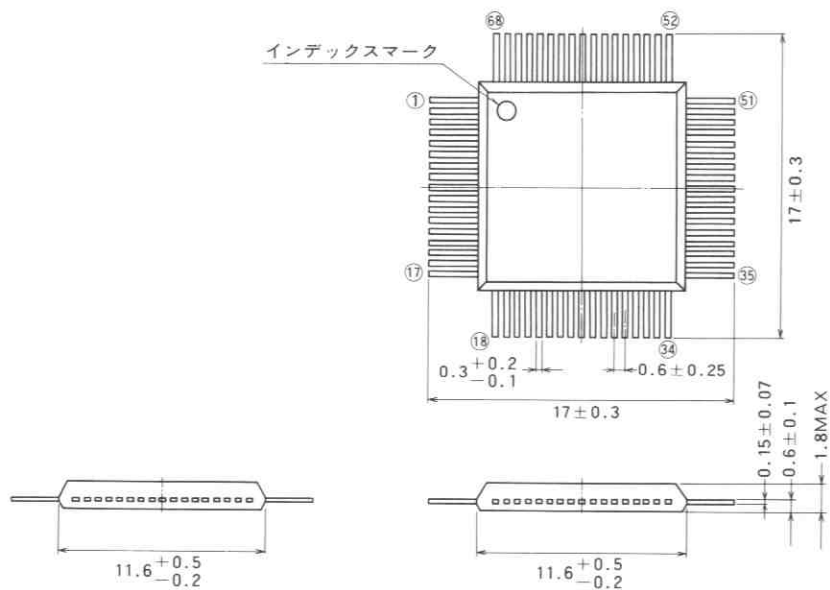
60P2形 <60ピン プラスチック モールド フラット>



64S1形<64ピン メタルシール セラミック DIL>



68P2形<68ピン プラスチック モールド フラット>



---

# 概 説

---

約 集





## 半導体一般

### 半導体 (Semiconductor)

通常、金属と絶縁体との間の比抵抗をもつ材料で、温度が上がると、電荷キャリア密度が増加するもの。

### 外因性半導体 (Extrinsic semiconductor)

不純物又は他の不整合によって電荷キャリア密度が定まる半導体。

### N形半導体 (N-type semiconductor)

導電性電子密度が可動正孔密度より多い外因性半導体。

### P形半導体 (P-type semiconductor)

可動正孔密度が導電性電子密度より多い外因性半導体。

### 接合 (Junction)

異なった電気的性質を持つ半導体領域間の遷移領域。

### PN接合 (PN junction)

P形とN形半導体材料間の接合。

### 空乏層 (Depletion layer)

可動電荷キャリア密度が、ドナー又はアクセプタの正規の固定電荷密度を中性化するに不十分な領域。

### ブレイク ダウン (PN接合逆バイアスの)

(Break down (of a reverse-biased PN junction))

高い抵抗値の状態から、逆電流値が増加して、実質的に低い抵抗値の状態に遷移することが観察されはじめる現象。

### 半導体素子 (Semiconductor device)

必須特性が、半導体内部の電荷キャリアの流れに起因する素子。

### 逆電圧 (Reverse voltage)

高抵抗値の方向にバイアスされたとき、接合又はダイオードにかかる電圧。

### ブレイクダウン電圧 (Breakdown voltage)

接合に流れる逆電流が規定値より大きくなったときの逆電圧。

### ケース温度 (Case temperature)

半導体素子のケース上の規定された点で測定した温度。

### 保存温度 (Storage temperature)

電圧を印加せずに素子を保存する温度。

## 集積回路(Integrated circuit)

### マイクロエレクトロニクス (Microelectronics)

組み立てられた物の概念で、非常に小型化された電子回路。

### マイクロ回路 (Microcircuit)

マイクロエレクトロニクスの素子で、高密度の等価な回路素子及び/又は部分を持ち、単体のもの。

注一マイクロ回路はマイクロアセンブリ又は集積回路でもあります。

### 集積回路 (Integrated circuit)

多くの回路素子が分離せずに組み合わせてあり、電氣的に接続されている回路で、仕様の決定、試験、売買及び保守などの目的には単体として取り扱うもの。

注一この定義では、回路素子は外装又は外部接続端子はなく、単体では仕様が定められたり、売られたりしないものをいいます。

### 集積マイクロ回路 (Integrated microcircuit)

多くの回路素子が分離せずに組み合わせてあり、電氣的に接続されている回路で、仕様の決定、測定、売買及び保守などの目的には単体と考えられるもの。

注一この定義では、回路素子は外装又は外部接続端子はなく、単体では仕様が定められたり、売られたりしないものをいいます。

注二誤りが無い場合は、集積マイクロ回路は集積回路を省略できます。

注三一さらに限定した用語として、特定の集積マイクロ回路の製造技術を示すために使われます。

限定した用語の例を次に示します。

半導体モノリシック集積回路  
半導体マルチチップ集積回路  
薄膜集積回路  
厚膜集積回路  
混成集積回路

### マイクロアセンブリ (Micro-assembly)

別々に作られ、組み立て及びパッケージされる前に試験をした種々の部品及び/又は集積マイクロ回路で構成されたマイクロ回路。

注一この定義では、部品は外部接続端子をもち、通常外装があり、単体で仕様が定められ、売られるものをいいます。

注二一さらに限定した用語として、特定のマイクロアセンブリを組み立てるとき用いる部品の形状及び/又はアセンブリ技術を示すために使われます。

限定した用語の例を次に示します。

半導体マルチチップ マイクロアセンブリ  
個別部品マイクロアセンブリ

### 集積回路エレクトロニクス (Integrated electronics)

集積回路の設計・製造・応用の技術。

### 最悪条件 (一特性の)

(Worst case conditions (for a single characteristic))

適用する条件の値で、個々に規定範囲内から選ばれ、考えている特性が互に最も好ましくない値とする。

注一異なった特性に対する最悪条件は異なるのもです。

## デジタル集積回路(Digital integrated circuit)

### デジタル信号 (Digital signal)

物理量の時間に対する変化で、情報の伝達又は情報処理に用いられ、値の範囲がオーバーラップせずに有限の数を持つ。

注一物理量は電圧、電流、インピーダンスなどです。

注二一便宜上、値の各範囲は単一の値、すなわち名目上の値で表すことができます。

**2進信号 (Binary signal)**

2つの値の範囲を持つデジタル信号。

注一便宜上、値の各範囲は単一の値、すなわち名目上の値で表すことができます。

**低範囲 (2進信号の)(Low range (of a binary signal))**

2進信号の正方向に最小(負方向に最大)のレベル範囲。

注一この範囲は、しばしば“L”範囲と表し、この範囲の任意のレベルを“L”レベルと表します。

**高範囲 (2進信号の)(High range (of a binary signal))**

2進信号の正方向に最大(負方向に最小)のレベル範囲。

注一この範囲は、しばしば“H”範囲と表し、この範囲の任意のレベルを“H”レベルと表します。

**デジタル回路 (Digital circuit)**

入力及び出力がデジタル信号によって動作するよう設置された回路。

注一この定義では、入力及び出力には、直流電源を含まないものとします。

注二ある種のデジタル回路、すなわち、ある型のアステープル回路には、入力がある必要はありません。

**2進回路 (Binary circuit)**

2進信号で動作するよう設計されたデジタル回路。

注一端子が異なれば、2進数の2つの値の範囲は異なる場合があります。

**入力パターン (2進回路の)**

(Input configuration (input pattern)(of a binary circuit))

与えられた時刻の入力端子での“L”レベル及び“H”レベルの組み合わせ。

**出力パターン (2進回路の)**

(Output configuration (output pattern)(of a binary circuit))

与えられた時刻の出力端子での“L”レベル及び“H”レベルの組み合わせ。

注一あいまいさがないときは、出力パターンは、回路の出力端子の信号レベル(“L”レベル又は“H”レベルで表す)で表します。

**入力端子 (Input terminal)**

印加した信号によって、

—直接的に

—又は、他の端子の信号が回路に作用し、間接的に回路の出力パターンが変更することができる端子。

**組み合わせ (デジタル) 回路**

(Combinatorial (digital) circuit)

入力に印加する各可能なデジタル信号の組み合わせに対して、出力には、デジタル信号は唯一の組み合わせのみが得られるデジタル回路。

**逐次 (デジタル) 回路**

(Sequential (digital) circuit)

入力にデジタル信号の組み合わせが少なくとも1つ存在して、これに対し、出力にはデジタル信号の組み合わせが1つ以上存在するデジタル回路。

注一これらの出力の組み合わせは、(以前の状態(内部メモリ、遅延などの結果として)により決定されます。

**基本組み合わせ回路**

(Elementary combinatorial circuit)

二進の組み合わせ(デジタル)回路で、出力端子が1つのみあり、すべての入力端子に印加する信号が、すべて“H”範囲又はすべて“L”範囲のときのみ、全機能中一度のみ起り、出力信号を受け付けるものです。

注一機能表で一度のみ起る出力信号の値は“H”範囲又は“L”範囲にあるので、基本組み合わせ回路は4種類存在します。ブール代数の2進数値0及び1の代わりに信号の値“H”及び“L”を用いて、次の論理機能は4種類の基本組み合わせ回路で実現できます。

AND、OR、NAND、NOR。

注二基本組み合わせ回路に属さない組み合わせ回路は、基本組み合わせ回路の組み合わせ回路と本組み合わせ回路とインバータの組み合わせで形成されます。

**機能表 (Function table)**

デジタル回路の入力及び出力のデジタル信号の値の必要かつ可能な関係を表現するもので、これらのデジタル信号の値は、直接電気量で表すか、電気量を表す信号(すなわち、2進回路のときは“L”及び“H”)で表します。

一般的に、

—各列は、デジタル回路の入力又は出力のデジタル信号の値を示します。

—各行は、入力のデジタル信号の組み合わせと、その結果として得られる出力のデジタル信号とを示します。

—出力のデジタル信号の値が定まらないときは、クエッションマークで示さなければなりません。

—入力のデジタル信号の値が何ら作用をしない場合は、“L”/“H”又は“X”の記号を用いて示さなければなりません。

**真理値表 (デジタル量間の関係の)**

(Truth table (for a relation between digital variables))

1つ又は1つ以上の独立デジタル変数と1つ又は1つ以上の従属デジタル変数との論理関係を表を用いて表現するもので、独立変数の値の可能な組み合わせに対して適当な従属変数の値を与えるものです。

注一基本的に“機能表”と“真理値表”との明確な区別が必要で、なぜなら、デジタル電気量の値に対し、デジタル変数の値を指定することにより、同種のデジタル回路でも数種の異なる論理動作を実現するからです。

**入力負荷係数 (バイポーラ論理回路の)**

(Input loading factor (of a bipolar digital circuit))

比較する負荷となる特殊な回路の入力電流に対する、デジタル回路の規定された端子の入力電流の比を示す係数。

注一比較する負荷は、入力負荷係数が整数になるよう選ぶことが望ましい。

### 出力負荷係数 (バイポーラ論理回路の)

(Output loading capability (of a bipolar digital circuit))

比較する負荷となる特殊な回路の入力電流の比を示す係数。

注—比較する負荷は、出力負荷係数が整数になるよう選ぶことが望ましい。

### イクサイテーション (Excitation)

次のことのできる入力パターン又は入力パターンの変化をいいます。

—直接又はすでに存在する準備状態によって、回路の出力パターンを変化させます。

—又は、回路を準備状態にします。

—又は、すでに存在する準備状態を取り消すか、修正します。

注1—イクサイテーションを繰り返しても、すでに行ったイクサイテーションと同じ効果が得られなくてもかまいません。

注2—ある場合は、イクサイテーションは、イクサイテーションによって得られた出力パターンを保持することもできます。

### イクスパンダ回路 (Expander circuit)

結合した回路の機能を変えずに、結合した回路の入力数を増加したと同じ効果を得ることができると付加回路。

### 2進インバータ (Binary inverter)

1つの入力端子を持ち、1つの出力端子を持つ2進回路で、入力の信号がL(H)のとき、出力に信号値H(L)が得られるもの。

### 機能マトリックス (Function (sequential) matrix)

各入力パターンに対する可能な出力パターンを与える数個の入力を持った表で、この表から、各個々の入力パターンから他の入力パターンに対して遷移が起ったとき、その結果として得られる出力パターンを直接読み取ることができるとのもの。

注—必要に応じ、機能マトリックスは、時間に関するデータ又は詳細説明を付け加えてもかまいません。すなわち、入力レベルに対する遷移時間、遅延時間、新しい出力パターンを得るため必要な入力パターンの期間など。

## 逐次回路 (Sequential circuits)

### マスタースレーブ配列 (Master-slave arrangement)

2つのバイステープル回路の配列で、このうち1つは“スレーブ”と呼ばれ、“マスター”と呼ばれる他の回路の出力パターンを再生します。マスターからスレーブへの信号の伝達は、適当な信号により行います。

### レジスタ (Register)

情報を受け付け、保存し、戻す機能を持つバイステープル回路の配列。

注—レジスタは他のメモリの一部を形成し、特定の容量を持ちます。

### シフトレジスタ (Shift register)

適当な制御信号によって、連続したバイステープル回路間をシーケンスを保持しながら情報を伝達することができるレジスタ。

### カウンタ (Counter)

数を保存することができる逐次回路で、この数を1を含む定義された常数分増加又は減少できるもの。

## 入力信号間の時間間隔

(Time intervals between input signals)

### セットアップ時間 (デジタル回路の): $t_{su}$

(Setup time (of a digital circuit))

規定入力端子で保持しておかなければならない入力信号と、他の規定入力端子で連続的に能動的な遷移を起さすための入力信号との時間間隔。

注1—セットアップ時間は、信号が遷移中に2信号が規定値レベルをよこぎる瞬間に測定します。

注2—セットアップ時間は、2つの事象間に現存する時間であり、セットアップを完了するには不十分な場合もあり得ます。最小値が規定され、これはデジタル回路が正しく動作することが保証される最も短い時間間隔です。

注3—セットアップ時間は負の値を持つことがあります。この場合、デジタル回路が正しく動作することが保証される最小限界で、能動的なレベル変化と他の信号入力との最大時間間隔で定義されます。

### ホールド時間 (デジタル信号の): $t_h$

(Hold time (of a digital circuit))

他の規定入力端子で能動的な遷移が起った後、規定入力端子で保持しておかなければならない入力信号との時間間隔。

注1—ホールド時間は、信号が遷移中に2信号が規定値レベルをよこぎる瞬間に測定します。

注2—ホールド時間は、2つの事象間に現存する時間であり、必要な結果を完了するには不十分な場合もあり得ます。最小値が規定され、これはデジタル回路が正しく動作することが保証される最も短い時間間隔です。

注3—ホールド時間は負の値を持つことがあります。この場合、デジタル回路が正しく動作することが保証される最小限界で、信号の変化と能動的な遷移との最大時間間隔で定義されます。

### 分解能時間 (デジタル回路の): $t_{res}$

(Resolution time (of a digital circuit))

同一入力端子に印加される入力パルスの終りと、次の入力パルスの始めとの時間間隔。

注1—分解能時間は、信号の遷移中に入力信号が規定値レベルをよこぎる瞬間に測定します。

注2—分解能時間は、2つのパルスの間に現存する時間であり、両パルスを確認することが可能な場合があります。最小値が規定される、これはデジタル回路が正しく動作することを保証する最も短い時間間隔です。

## 2進回路のスイッチング時間 (Switching times of binary circuits)

**高レベルから低レベル(低レベルから高レベル)伝搬時間:**  $t_{PLH}$   
( $t_{PLH}$ )  
(High-level to Low-level (Low-level to High-level) propagation time)

入力及び出力パルスの規定基準点間の時間間隔で、出力が低(高)レベルにゆき、この素子は同一の標準素子により駆動され、また同一の標準素子を駆動する場合です。

注—一般的に規定レベルは、入力低レベル範囲の上限値と入力高レベル範囲の下限値との平均が用いられます。

**高レベルから低レベル(低レベルから高レベル)遅延時間:**  $t_{DLH}$   
( $t_{DLH}$ )  
(High-level to Low-level (Low-level to High-level) delay time)

入力及び出力パルスの規定基準点間の時間間隔で、出力が低(高)レベルにゆき、この端子は指定回路網により駆動され、また指定回路網を駆動する場合があります。

**高レベルから低レベル(低レベルから高レベル)遷移時間:**  $t_{TLH}$   
( $t_{TLH}$ )  
(High-level to Low-level (Low-level to High-level) transition time)

出力パルスの両端に指定された2つの規定基準点間の時間間隔で、出力が低(高)レベルにゆき、指定された入力信号を指定された回路網を通して印加し、指定された他の回路網で出力を駆動する場合です。

## 集積回路メモリ(Integrated circuit memory)

**メモリセル** (Memory cell(or memory element))

メモリの最も小さい細分で、この中へデータの一単位を、入れておくか又は入れることができ、この中で保存されているか又は保存することができ、取り出すことができます。

**集積回路メモリ** (Integrated circuit memory)

メモリセルで構成されている集積回路で、通常アドレス選択回路、増幅器などの附属回路を含んでいます。

**読み出し専用メモリ** (ROM) (Read-only memory)

読み出しのみに作られたメモリ。

注—規定がない場合“読み出し専用メモリ”は、その内容はその構造で定められ、変化しないものを意味します。

**固定プログラム読み出し専用メモリ**

(Fixed programmed read-only memory)

各セルのデータの内容は製造中に決められ、その後変えることができない読み出し専用メモリ。

**マスクプログラム読み出し専用メモリ**

(Mask programmed read-only memory)

各セルのデータの内容は製造中にマスクを用いて決められる固定プログラム読み出し専用メモリ。

**フィールド プログラマブル読み出し専用メモリ**

(Field programmable read-only memory)

製造後、各メモリセルのデータ内容を変えられる読み出し専用メモリ。

**プログラム可能読み出し専用メモリ (PROM)**

(Programmable read-only memory)

各メモリセルのデータ内容を1度のみ変えられるフィールドプログラマブル読み出し専用メモリ。

**再プログラム可能読み出し専用メモリ**

(Reprogrammable read-only memory)

各メモリセルのデータ内容を1度以上変えられるフィールドプログラマブル読み出し専用メモリ。

**読み出し/書き込みメモリ (Read/write memory)**

読み出し及び書き込みができるメモリで、適当な電気的信号を印加することにより、各セルが選択でき、保存されたデータを(a)適当な出力端子に出力するか、(b)他の同様な電気的入力信号に応じて変化させることができるもの。

**スタチック (読み出し/書き込み) メモリ**

(Static (read/write) memory)

制御信号がなくてもデータを保持できるメモリ。

注1—誤解する恐れがない場合は、“読み出し/書き込み”の語を省略することができます。

注2—スタチックメモリはダイナミックアドレッシング又はセンス回路を用いてもよい。

**ダイナミック (読み出し/書き込み) メモリ**

(Dynamic (read/write) memory)

保存されているデータを保持するために、制御信号を繰り返し印加することが必要なセルをもつメモリ。

注1—誤解する恐れがない場合は、“読み出し/書き込み”の語を省略することができます。

注2—このような制御信号を繰り返し印加することを、通常リフレッシュ動作と呼びます。

注3—ダイナミックメモリはスタチックアドレッシング又はセンス回路を用いてもかまいません。

注4—この定義は、制御信号が集積回路の内部で発生されても、外部で発生されても、適用できます。

**揮発メモリ (Volatile memory)**

電源が消されたときにデータ内容が消えてしまうメモリ。

**ランダムアクセスメモリ (Random-access memory)**

どのシーケンスでも、どの番地でもアクセスすることができるメモリ。

## マイクロプロセッサ集積回路 (Microprocessor integrated circuit)

### マイクロプロセッサ集積回路

(Microprocessor integrated circuit)

マイクロプロセッサ集積回路は、次のことのできる集積回路です。

- (1)コード化された命令を、1つ又は1つ以上の端子から受けています。
- (2)受け取った命令に従って、次のすべてのことを実行します。
  - (a)コード化されたデータを受け取り、処理及び/又は保存します。
  - (b)入力データと、マイクロプロセッサ集積回路内に保存された関連するデータとで代数又は論理演算を行います。
  - (c)コード化されたデータを出力します。
- (3)マイクロプロセッサの動作又は状態を制御及び/又は表示信号を受ける及び/又は出力します。

注一命令は、外部メモリから与えられ、作られ、保持されます。

注. この用語の定義は、IEC Publication 147-0より抜すいし翻訳したものです。ただし、メモリ及びマイクロプロセッサに関しては一部審議中のものを含みます。

## 集積回路に用いられる文字記号の説明

## デジタル回路用文字記号

文字記号	項 目 及 び 説 明
$C_i$	入力容量。
$C_o$	出力容量。
$C_{i/o}$	入出力端子容量。
$C_{i(\phi)}$	クロック入力容量。
$f$	周波数。
$f(\phi)$	クロック周波数。
$I$	電流。ICに流れ込む電流を正、ICから流れ出る電流を負と定義する。
$I_{BB}$	$V_{BB}$ 電源電流。
$I_{BB(AV)}$	$V_{BB}$ 平均電源電流。
$I_{CC}$	$V_{CC}$ 電源電流。
$I_{CC(AV)}$	$V_{CC}$ 平均電源電流。
$I_{CC(PD)}$	$V_{CC}$ パワーダウン電源電流。
$I_{DD}$	$V_{DD}$ 電源電流。
$I_{DD(AV)}$	$V_{DD}$ 平均電源電流。
$I_{GG}$	$V_{GG}$ 電源電流。
$I_{GG(AV)}$	$V_{GG}$ 平均電源電流。
$I_i$	入力電流。
$I_{IH}$	"H"入力電流。 $V_{OH}$ が入力に加えられたときの、入力電流の値。
$I_{IL}$	"L"入力電流。 $V_{OL}$ が入力に加えられたときの、入力電流の値。
$I_{OH}$	"H"出力電流。 $V_{OH}$ が入力に加えられたときの、出力電流の値。
$I_{OL}$	"L"出力電流。 $V_{OL}$ が入力に加えられたときの、出力電流の値。
$I_{OZ}$	オフ状態（高インピーダンス状態）出力電流、製品の仕様に基き、出力がオフ状態（高インピーダンス状態）になる入力条件を与えたときに、3-状態になった出力に流れ込む電流。
$I_{OZH}$	オフ状態（高インピーダンス状態）出力電流、"H"出力電圧印加時。
$I_{OZL}$	オフ状態（高インピーダンス状態）出力電流、"L"出力電圧印加時。
$I_{OS}$	出力短絡電流。
$I_{SS}$	$V_{SS}$ 電源電流。
$P_d$	消費電力。
$R_i$	入力抵抗。
$R_L$	外付け負荷抵抗。
$R_{OFF}$	オフ状態出力抵抗。
$R_{ON}$	オン状態出力抵抗。
$t_a$	アクセス時間。リードサイクル時に、出力に得られる有効データ信号と、規定入力パルス間の時間間隔。
$t_a(AD)$	アドレス アクセス時間。アドレス入力パルスと出力に得られる有効データ信号との時間間隔。
$t_a(OE)$	チップ イネーブル アクセス時間。
$t_a(CS)$	チップ セレクト アクセス時間。
$t_c$	サイクル時間。
$t_c(REF)$	リフレッシュ サイクル時間。ダイナミック メモリ セル内のレベルを初期のレベルに保つために連続した信号を加えるが、この信号の時間間隔。
$t_c(RD)$	リード サイクル時間。リード サイクルの始まりと次のリード サイクルの始まりとの間の時間間隔。
$t_c(RMW)$	リード モディファイ ライト サイクル時間。メモリのデータを読み出し、データを書き込むサイクルの始まりと、次のサイクルの始まりとの間の時間間隔。
$t_c(WR)$	ライト サイクル時間。ライト サイクルの始まりと次のライト サイクルの始まりとの間の時間間隔。
$t_{dv}(AD)$	アドレスに対するデータ有効時間。初めのアドレスの変化と初めのアドレスに保たれているデータが出力で有効である期間との時間間隔。
$t_{dv}(OE)$	チップ イネーブルに対するデータ有効時間。チップ イネーブルに入力に対し、出力データが有効な期間との時間間隔。
$t_{dv}(CS)$	チップ セレクトに対するデータ有効時間。チップ セレクトに対し、出力データが有効な期間との時間間隔。
$t_d$	遅延時間。2つのパルスの規定レベル間の時間間隔。
$t_d(\phi)$	クロック パルス間遅延時間。クロック $\phi_1$ と $\phi_2$ 間又はクロック $\phi_2$ と $\phi_1$ 間遅延時間。
$t_{DHL}$	高レベルから低レベル遅延時間。
$t_{DLH}$	低レベルから高レベル遅延時間。
$t_f$	下降時間。
$t_h$	ホールド時間。
$t_h(AD)$	アドレス ホールド時間。
$t_h(OE)$	チップ イネーブル ホールド時間。
$t_h(CS)$	チップ セレクト ホールド時間。
$t_h(DA)$	データ ホールド時間。

## 集積回路に用いられる文字記号の説明

文字記号	項 目 及 び 説 明
$t_h(RD)$	リード ホールド時間。
$t_h(WR)$	ライト ホールド時間。
$t_{PHL}$	高レベルから低レベル伝搬時間。
$t_{PLH}$	低レベルから高レベル伝搬時間。
$t_r$	上昇時間。
$t_{su}$	セットアップ時間。
$t_{su}(AD)$	アドレス セットアップ時間。
$t_{su}(AD-WR)$	ライトに対するアドレス セットアップ時間。
$t_{su}(CE-P)$	プリチャージに対するチップイネーブル セットアップ時間。
$t_{su}(CS)$	チップセレクト セットアップ時間。
$t_{su}(CS-WR)$	ライトに対するチップセレクト セットアップ時間。
$t_{su}(DA)$	データ セットアップ時間。
$t_{su}(P-CE)$	チップイネーブルに対するプリチャージ セットアップ時間。
$t_{su}(RD)$	リード セットアップ時間。
$t_{su}(WR)$	ライト セットアップ時間。
$t_{THL}$	高レベルから低レベル遷移時間。
$t_{TLH}$	低レベルから高レベル遷移時間。
$t_w$	パルス幅。パルス波形の立ち上り端から立ち下り端間の規定レベルでのパルス幅。
$t_w(CE)$	チップイネーブル パルス幅。
$t_w(OEH)$	チップイネーブル“H”パルス幅。
$t_w(OEL)$	チップイネーブル“L”パルス幅。
$t_w(CS)$	チップセレクト パルス幅。
$t_w(RD)$	リード パルス幅。
$t_w(WR)$	ライト パルス幅。
$t_w(\phi)$	クロック パルス幅。
$t_{wr}$	ライト リカバリー時間。ライト パルスの終りと、次のサイクルの始まりとの間の時間間隔。
$T_a$	周囲温度。
$T_{opr}$	動作周囲温度。
$T_{stg}$	保存温度。
$V_{BB}$	$V_{BB}$ 電源電圧。
$V_{CC}$	$V_{CC}$ 電源電圧。
$V_{DD}$	$V_{DD}$ 電源電圧。
$V_{GG}$	$V_{GG}$ 電源電圧。
$V_i$	入力電圧。
$V_{IH}$	“H”入力電圧。入力端子に加えられる高レベル状態の電圧値の範囲。
$V_{IL}$	“L”入力電圧。入力端子に加えられる低レベル状態の電圧値の範囲。
$V_O$	出力電圧。
$V_{OH}$	“H”出力電圧。出力端子で保証される高レベル状態の電圧値の範囲。
$V_{OL}$	“L”出力電圧。出力端子で保証される低レベル状態の電圧値の範囲。

注1.この文字記号は、一部を除いてIEC Publication 148に従っています。

## 三菱半導体集積回路の品質保証システムと信頼性

## まえがき

ここ数年来、集積回路は高集積度化・高速度化などその性能面において急速な技術的進歩をしている。電子機器のシステムの複雑化・高信頼度化の要求、組立工程の合理化要求などから集積回路の需要は急増しており、それに伴い、安定した品質の集積回路を顧客に供給することが重要な課題となっています。当社では以下に述べる品質保証システム、及び信頼性管理を確立してすでに高信頼で安定した品質の集積回路を顧客に供給しています。このシステム及び管理により得られた信頼度試験結果を述べ、今後集積回路の信頼性の維持・向上のために進もうとしている方向について述べます。

## 品質保証システム

設計品質と製造品質の保証システムからなり、全系統図は図1に示します。また信頼度評価手順も示します。

## 1. 設計品質保証

これは次に述べる方法に基づいて行っています。

- (1)標準化された集積回路構造の個別部品(ブレッドボード素子)で要求される特性・品質を検討
- (2)CADの技術を駆使し整備・登録された設計標準を用いて、回路・デバイスを設計

## 2. 製造品質保証

これは次に述べる管理・検査から確保されています。

- (1)環境の管理
- (2)設計・工具・計測器などの定期点検及び保守管理
- (3)購入資材の管理
- (4)製造工程中の管理
- (5)中間検査：ウエハ工程及びアセンブリ工程で行います。
- (6)最終検査：完成品の検査で、外観・寸法・構造及び電気的特性の良否の判定を行います。
- (7)品質保証検査：これは最終的に顧客が製品を使用する観点にたつて、総合的品質を確認し製品の倉入れの可否を判断する検査であり次のグループA・B・Cからなります。

グループA：外観・表示・電気的特性の各試験

グループB：環境・機械的・寿命の各試験

グループC：グループA・Bに合格したロットから一定期間ごとにサンプリングして行う信頼性試験であり、環境・機械的・長時間の寿命などの各試験からなり、数カ月に1回実施されます。

ここで使用される試験装置の例を図2～5に示します。

## 3. 開発試作から量産までの信頼度評価手順

1項及び2項で述べた品質の確認をするために、開発・プリプロ(量産前生産)・量産という三つの生産段階を定めて信頼度評価を行っています。

開発試作の段階では第1次形式試験で合格になった時点で次のプリプロ段階へ進む。プリプロ段階ではある程度多量の生産を行いつつ、開発試作の段階で確認された品質と信頼性が維持されていることを第2次形式試験によってチェックします。量産

の段階では前述の品質保証検査により、品質・信頼性が維持されていることを確認します。

## 信頼性管理

## 1. 信頼度試験

信頼性に関しては、国際的にはIECにおける電子部品の品質認定制度、国内的には日本電子部品信頼性センター(RCJ)の設立によりJIS制度のもとで品質認証が行われようとしています。

当社では、信頼度試験の内容をMIL-STD-883、EIAJ-IC-121などを準用して決めており、その概略を表1に示します。

表1. 集積回路の信頼度試験項目・条件の内容(例)

グループ	試験項目	試験条件
1	高温動作寿命	最高動作周囲温度 1000h
	高温保存	最高保存温度 1000h
	高温高湿保存	65°C、95%RH、500h
2	はんだ耐熱性	260°C、10s
	熱衝撃	0~100°C、15サイクル、10min/サイクル
3	温度サイクル	最低~最高保存温度、10サイクル 1h/サイクル
	はんだ付性	230°C、5s、ロジン系フラックス使用
	端子強度	引張り：340g、30s 曲げ：225g、±30°、3回
	振動	20G、X、Y、Z方向各4回、100~2000Hz、 4min/サイクル
	自然落下	75cm、3回、木板、Y1方向
	定加速度	20000G、Y1方向、1min

## 2. 故障解析

集積回路の信頼度を高めるために信頼度試験や加速試験で発生した故障の原因を追求しプロセス技術部門や製造部門にその情報をフィードバックして改善を図っています。その故障解析手順を表2に示します。

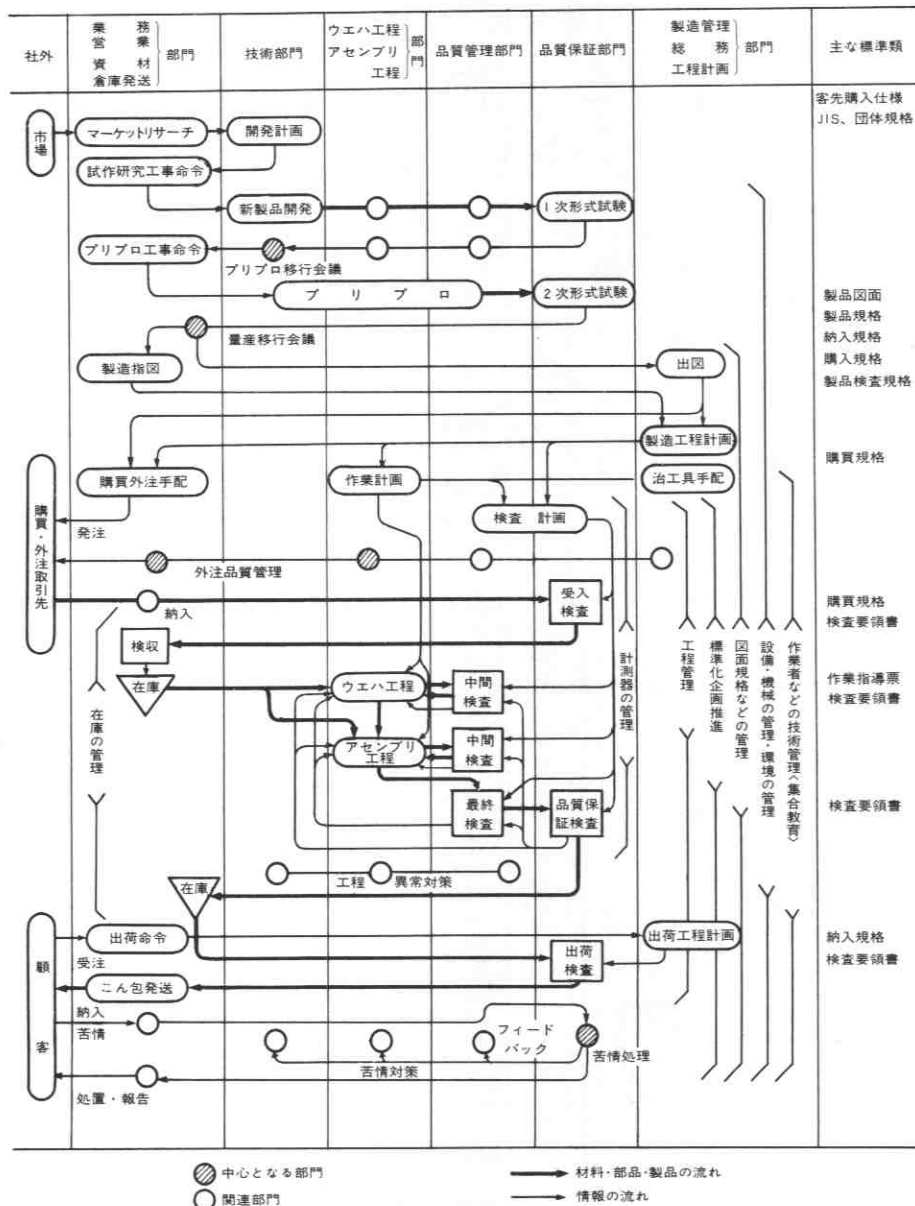
表2. 集積回路の故障解析手順概要

ステップ	概要	要
(1)外部検査	○リード、めっき、はんだづけ、溶接部分の状態などの検査 ○パッケージ材料、封止、マーキングなどの検査 ○その他、保証されている外観の状態の検査 ○手法として、実体顕微鏡、金属顕微鏡、X線透過装置、ファインリーク及びグロスリークテスタなどが適宜使用される	
(2)電気的検査	○電気的パラメータの測定による断線、短絡、パラメータの劣化の判定 ○シンクロスコープ、カーブトレーサなどによる特性観察及び重要な物理的特性を電気的な特性で観察 ○必要により環境試験、寿命試験などのストレス試験を行う	
(3)内部検査	○素子のパッケージのふたを取り除き、素子内部の構造を光学的に検査する ○シリコンチップの表面の観察 ○適用できる場合、プローブによる電気的特性の測定 ○必要によりSEM、XMA、赤外線マイクロスキャンなどが適宜使用される	
(4)チップ解析	○内部検査で行われる解析を補足するために、金属学的な解析が行われる ○チップの断面切断 ○酸化膜の欠陥の解析 ○拡散の欠陥の解析	



# 三菱半導体集積回路の品質保証システムと信頼性

図1. 品質保証系統図



3

図2. LSI大形テストシステム



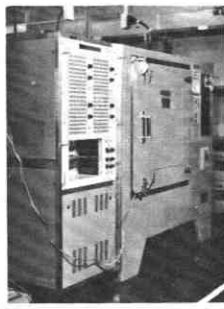
図3. 通電温度変化試験装置



図4. ヘリウムリーク試験装置



図5. 動作寿命試験装置



## 三菱半導体集積回路の品質保証システムと信頼性

## 信頼度試験結果及び故障解析結果例

## 1. 信頼度試験結果

メモリ用MOS LSIは当初メタルシールセラミックパッケージを使用し、高い信頼度を得ていたが、その後高信頼度のプラスチックモールド技術を開発し、その結果、現在、高信頼度のプラスチックモールドメモリ用MOS LSIを量産するに至っています。ここに、そのMOS LSIの寿命試験結果の一例を表3に示します。この信頼度から加速係数を考慮して、故障率を推定すると、ビット当たり0.1FIT以下 ( $1FIT=10^{-9}/時間$ ) が期待されコアメモリとはほぼ同等か、それ以上のレベルが得られています。この寿命試験は動作寿命・DCバイアス・高温保存試験の3項目からなり、内容の概略は下記の通りです。

- (1)動作寿命試験：高温状態で図6のようにクロック入力を印加し動作させて耐性を試験します。
- (2)DCバイアス試験：高温状態でDCバイアスをかけて耐性を試験します。その例を図7に示します。
- (3)高温保存：高温に放置した場合の耐性を試験します。

図6. 4KビットダイナミックRAM(M5L 2107BP,S)の動作寿命試験方法

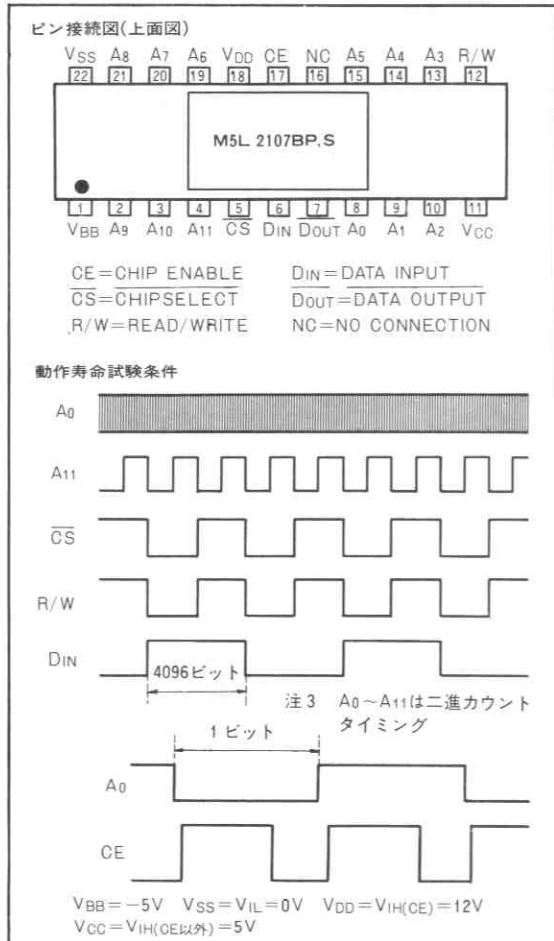


図7. 1KビットスタチックRAM(M5L 2102AP)のDCバイアス試験方法

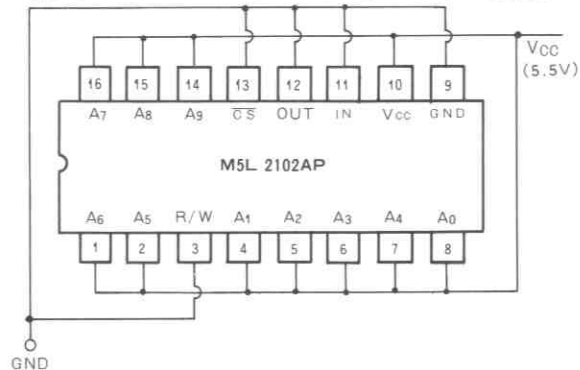


表3. メモリ用MOS LSIの寿命試験結果の例

品種名	パッケージ	試験項目・条件	試験 個数	コンポーネント ア ワ ー	故障 個数	故障内容
M5L 2102AP	16ピン プラスチック モールド	動作寿命 80℃	40	80,000	0	
		125℃	173	213,000	0	
		DCバイアス 125℃	40	80,000	0	
		高温保存 DIL 150℃	5	5,000	0	
		200℃	5	5,000	0	
M5L 2111AP	18ピン プラスチック モールド	動作寿命 80℃	22	44,000	0	
		125℃	22	44,000	0	
		DCバイアス 125℃	22	44,000	0	
		高温保存 DIL 125℃	22	22,000	0	
		150℃	22	22,000	0	
M5L 2107BS	22ピン メタルシール セラミック	動作寿命 80℃	39	88,000	0	ファンクシ ョン不良 (240時間)
		125℃	149	271,000	1	
		DCバイアス DIL 125℃	66	137,000	0	
M5L 2114LS	18ピン メタルシール セラミック	動作寿命 125℃	44	88,000	0	
		DCバイアス 125℃	22	66,000	0	
		高温保存 DIL 150℃	22	22,000	0	
M5K 4116S	16ピン メタルシール セラミック	動作寿命 125℃	172	234,000	0	
		高温保存 DIL 200℃	22	22,000	0	
M5K 4116P	16ピン プラスチック モールド	動作寿命 125℃	152	152,000	0	
		高温保存 DIL 150℃	38	38,000	0	
M5L 5101LP	22ピン プラスチック モールド	動作寿命 125℃	88	110,000	0	
		高温保存 DIL 150℃	44	44,000	0	

## 2. 故障解析結果例

実使用状態より厳しい条件のもとで加速試験を行った結果、発生した故障の例として、耐湿性不良、ワイヤボンディング不良、サージ電圧破壊不良及びアルミ蒸着配線不良などがありその解析例を以下に示します。

## (1)耐湿性不良

プラスチックモールドパッケージの耐湿性評価の一つとしてスチームプレッシャ試験を行った結果生じた不良の例を図8に示します。これは湿気の浸入によりアルミニウム蒸着配線が溶解しています。

## 三菱半導体集積回路の品質保証システムと信頼性

図8. アルミニウム蒸着配線腐食例  
(金属顕微鏡による解析)



## (2)ワイヤボンディングの不良

集積回路のインナーリードのワイヤボンディング性を評価する目的で、通電温度変化試験を行った結果生じた故障品の例を図9に示します。この故障原因はインナーリードのボンディング部のはく離であり金属と樹脂との熱膨張係数の差によりインナーリードにストレスが加ったために、はく離現象に至ったと考えられます。

図9. 金インナーリードはく離例  
(金属顕微鏡による解析)

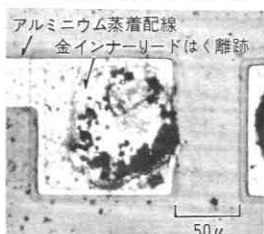


図10. サージ破壊例  
(金属顕微鏡による解析)

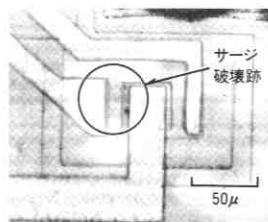


図11. 図10の試料のアルミニウムのブリッジ状況  
(XMA-AIKαによる解析)

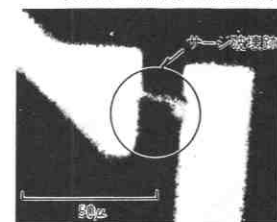


図12. ボンディングパッド局部的異常発熱例  
(赤外線マイクロキャナによる解析)

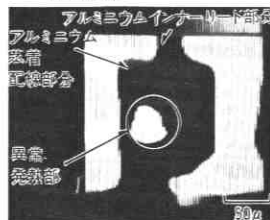


図13. 図12の試料をアルミニウム除去したものを  
(金属顕微鏡による解析)

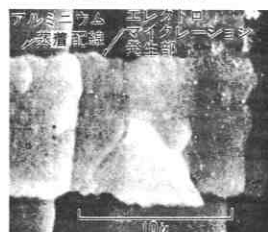


## (3)サージ電圧破壊不良

集積回路のフィールドでの故障の大きい割合を占めるものにサージ電圧による破壊があり、この故障を再現しサージ対策をとるためにサージ電圧耐量試験を行いました。この結果生じた故障の例を図10~13に示します。図10・11はX線マイクロアナライザでブリッジの存在が認められたものであり、図12・13は赤外線マイクロキャナによってホットスポットの存在が認められた例です。

## (4)アルミニウム蒸着配線不良

図14. アルミニウム配線のエレクトロマイグレーション例  
(SEMによる解析)



集積回路の温度・電圧などによる劣化や故障の発生状況を調査する目的でステップストレス試験として高電流密度領域での動作寿命試験を実施した結果生じたアルミニウム蒸着配線の断線現象例を図14に示します。これはエレクトロマイグレーション(アルミニウム蒸着配線に高電流密度で通電すると発生する)による故障例です。

## むすび

集積回路の品質保証システムと信頼管理の方法について概要を述べました。今後集積回路はますます高信頼度化が要求されてきます。このために集積回路製造メーカーとして、次のことを更に強化していくよう努めています。

- (1) 信頼性を含めた品質水準をユーザとともに設定していく。
- (2) ウェハやアセンブリのプロセス評価を中心とした信頼度試験の充実をはかり、これを回路設計基準及びデバイス設計基準におり込みプロセスの標準化を図る。
- (3) 故障解析技術の向上及び加速寿命試験の方法の研究により信頼性のあるプロセスをより早く確立する。
- (4) フィールドにおける故障率の収集システムを確立し、これを信頼性向上の手法におり込む。

信頼性ある集積回路の実現のためにユーザ各位においては集積回路のシステム設計、品質水準の設定、受入検査時、組立調整時の管理、フィールドデータの収集などに関して御協力を乞う次第であります。

## MOS IC 取り扱い上のご注意

MOSトランジスタは、シリコン基板上に非常に薄い絶縁膜とゲート電極を作り、ゲート電圧によって形成されたチャネル中の可動電荷を制御してソース・ドレイン電極間のコンダクタンス(9m)を変化させるデバイスです。

このゲート電極に高い電圧がかかると、ゲート電極直下の絶縁膜が破壊する場合がありますが、三菱MOS IC/LSIにはこれを保護するためにすべての入力端子に保護回路を内蔵しています。また、MOS IC/LSIは本質的にP-N接合を逆バイアスにして使用することが必要です。

しかし、不測の高電圧印加による絶縁膜破壊、過大電流による熱的破壊又は順方向にバイアスされたP-N接合の過大電流による熱的破壊などを完全に避けることができない場合が考えられ、取り扱いには下記の点を十分注意してください。

#### 1. 各端子には絶対最大定格を越える電圧、電流を印加しないでください。

(1)各規格値は十分に余裕をもっていますが、装置の品質を高めるために標準使用条件の範囲内でご使用ください。

(2)各端子には、順方向のバイアスがつかからないようにしてください。

これは順方向の過大電流によって熱的破壊を起す恐れがあるためです。

(3)各出力端子は、電源と直接つながないでください。

低インピーダンスの電源と短絡しますと、過大電流によって内部の配線の溶断又は熱的破壊の恐れがあります。

#### 2. 運搬や保存のときには、各端子を同電位になるようにしてください。

使用していないときのMOS IC/LSIは、入出力端子ともに非常に高いインピーダンスになりますので、空間の交流電界や周辺の帯電体から静電誘導を受け易い状態になっています。運搬や保存のときには、導電性スポンジ、金属性又はアルミ箔処理をした箱などの使用やアルミ箔などによるしゃだんなどを行ってください。

#### 3. 電気設備、作業台及び作業者は、同電位になるようにしてください。

(1)電気設備、作業台及び作業者は、大地との接地をとってください。

作業台は、良伝性の銅又はアルミ板を敷き、接地をとってください。

作業者は、電気設備に漏電がないことを確認してから、保安上1MΩ程度の抵抗を介して接地をとるのが望ましいと思われれます。腕時計の金属リング相当を手首にはめ、1MΩを介して接地をとるのも一方法です。

ただし、人体に関する安全規格を満足するよう注意する必要があります。

(2)電気設備の漏電

作業者の保安上から望ましくありません。

また、MOS IC/LSIにとっては前述の破壊の一因にもなりますので、テスタ、カーブトレーサおよびシンクロスコー

プなどの電気設備は、漏電がないことを確認してから接地をとってください。

半田ゴテについても、同じ配慮が必要です。

#### 4. 装置構成上のご注意

(1)MOS IC/LSIの入出力端子のプリント配線は、電源などのような高電圧、高電力系の信号線と近接又は並行しないことが望ましいと思われれます。組み立て時の半田による短絡、調整や検査のときにチェック棒やプローブなどによって短絡した状態で電源が投入されますと、MOS IC/LSIの絶対最大定格を越えて破壊の原因になる恐れがあります。

(2)MOS IC/LSIの入出力が開放回路のままコネクタなどにつながる場合には、2項と同じ取り扱いが必要でです。又、インターフェース回路又はMOS IC/LSIの出力駆動能力の範囲の抵抗を、コネクタにつながるMOS IC/LSIの入出力端子と、電源又は接地間を挿入すると、閉回路ができますので、取り扱い時の不測の事態を軽減することができます。

(3)交流電源に豊重している外来サージは、非常にパワフルな場合が多いので、フィルタの挿入などによって電源部で吸収してください。

(4)NC(無接続)以外の端子を使用しない場合は、カタログ又は納入規格の指定にもとづいた処置をしてください。

(5)MOS IC/LSIの入出力端子の配線の周辺に、電氣的に浮動な金属を置かないでください。電氣的に浮動な金属板などが、静電誘導によって帯電すると、不測の絶縁破壊を起す恐れがあります。

(6)外装上で静電遮蔽を行いますと、装置の品質を一層高めることができます。特に、樹脂系のケースを使う場合は内面に導電性塗料を塗布して装置との接地をとるのが望ましいと思われれます。

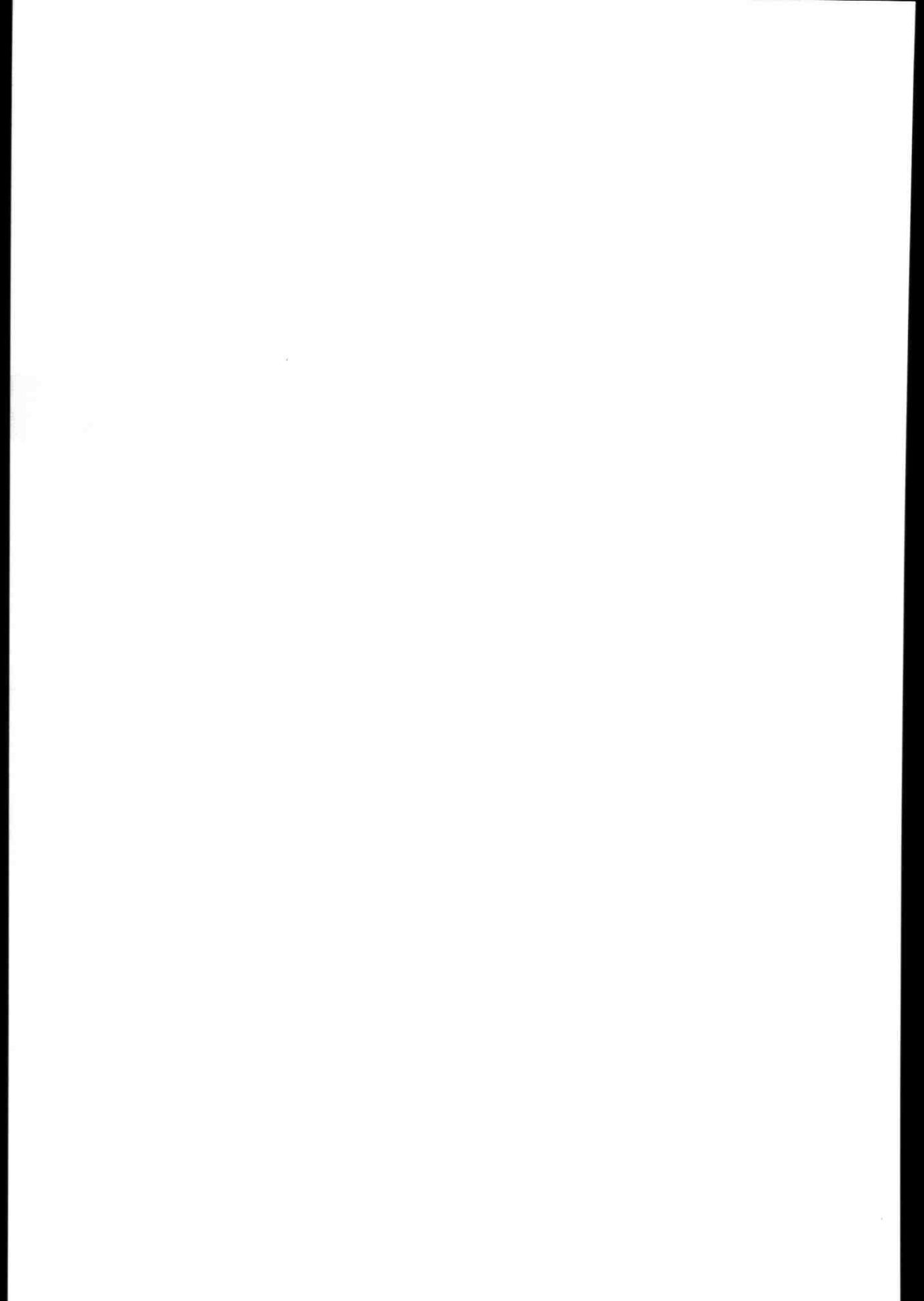
電池駆動の装置の場合も、同じような配慮が必要です。

---

# RAM

---

4



1024-BIT (256-WORD BY 4-BIT)  
NONVOLATILE STATIC RANDOM-ACCESS MEMORY

概要

M58656Sは、PチャネルMNOSプロセス技術を用いて製作した256語×4ビット構成の不揮発性スタチックRAMです。各メモセルは、通常のフリップフロップと不揮発性情報を記憶するための電氣的書き換え可能な一対のMNOSメモトランジスタからなる回路構成をとっています。

不揮発性動作は、電源しゃ断時及び投入時にMG(メモリゲート)信号を印加することにより実現されます。入出力は、プルアップ抵抗をV<sub>SS</sub>端子との間に付加することによりTTLと接続可能であり、データ端子は入出力共通です。

特長

- 不揮発性動作.....電源しゃ断時に補助電源不要
- スタチック動作.....クロック不要
- アクセス時間.....1.5μs(最大)
- チップイネーブル信号により、メモリ容量の拡張が容易
- 出力はスリーステートでORタイ可能
- NR信号を用いてRAM/ROM使用可能
- 東芝TMM142Cとピン接続及び電氣的特性の互換性あり

応用

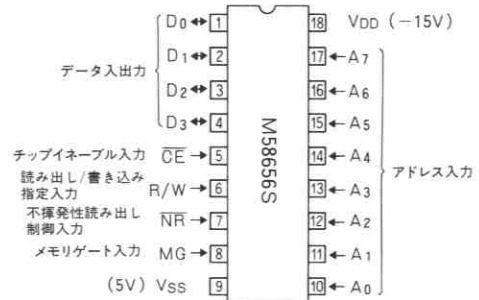
- 小容量不揮発性メモリシステム

機能概要

M58656Sは、前述のようなメモセルを用いており、通電中は通常のスタチックRAMとして高速動作します。

電源しゃ断時MG端子に不揮発性書き込み信号を印加することにより、各フリップフロップの内容をMNOSメモトランジスタに転送し、不揮発性情報として一年以上情報の保持をします。

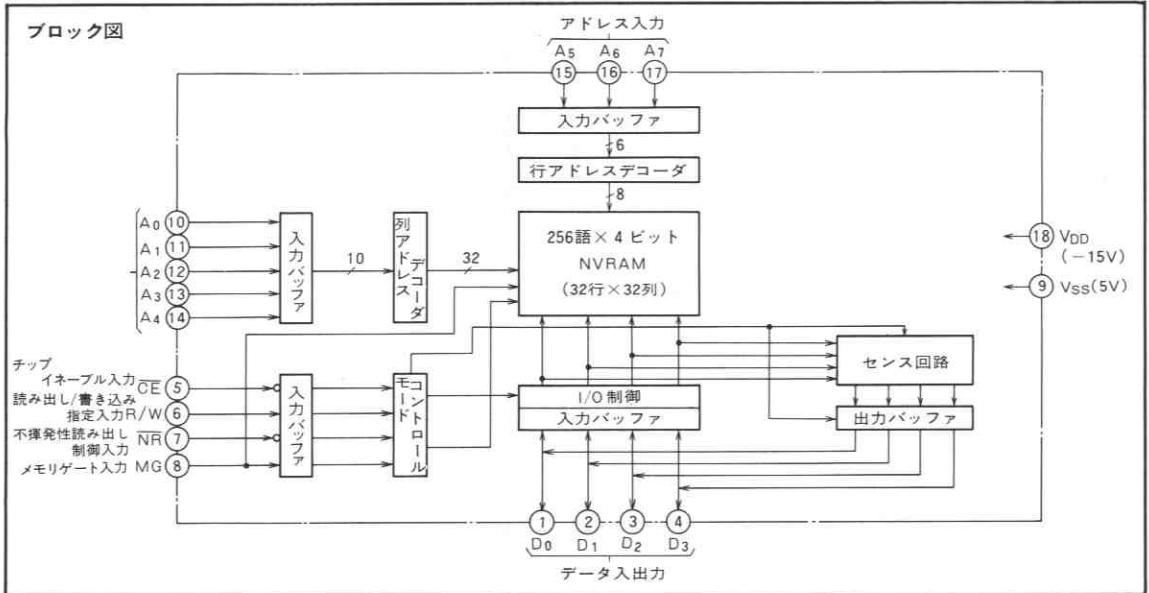
ピン接続図(上面図)



外形 18S1

また、電源投入時MG端子に不揮発性読み出し信号を印加することにより、各MNOSメモトランジスタの不揮発性情報が各フリップフロップにセットされます。

ブロック図



1024-BIT (256-WORD BY 4-BIT)  
NONVOLATILE STATIC RANDOM-ACCESS MEMORY

機能説明

動作モードには、次の5つのモードがあります。

- (1) 通常RAM動作 (リードライトメモリモード)
- (2) MG (メモリゲート) 消去モード
- (3) MG (メモリゲート) ライトモード
- (4) 不揮発性リードモード1
- (5) 不揮発性リードモード2

リードライトメモリモード

MG、 $\overline{NR}$ 入力を $V_{SS}$ レベルに保つことにより、各メモリセルのフリップフロップは付随のMNOSメモリトランジスタから切り離されて動作します。したがって、この期間は、通常のスタックリードライトメモリとして高速動作します。

MG(メモリゲート)消去モード

MNOSメモリトランジスタの不揮発性情報は、MG入力に $V_{MGE}$ 、 $t_{w(MGE1)}$ の正のパルスを印加することにより全ビット同時に消去することができます。このモードは不揮発性リードモード1、2以外の期間であればどこで行っても支障ありません。

MG(メモリゲート)ライトモード

この動作は電源電圧がしゃ断される時のリードライトメモリの情報もしくは、リードライトメモリ動作中の特定の情報を

不揮発にすることです。 $V_{DD}$ が $V_{WT}$ より負に深いバイアス下で $V_{MGW}$ 、 $t_{w(MGW1)}$ の負のパルスをMG入力に印加することにより、フリップフロップの情報が一對のMNOSメモリトランジスタに転送され不揮発性情報となります。

不揮発性リードモード1

この動作はMNOSメモリトランジスタに保持された不揮発性情報をメモリセルに読み出すことです。電源 $V_{DD}$ とメモリゲート入力MGとをそれぞれ $V_{SS}$ に対してゆるやかに立ち上げ、MG入力が $V_{MGR}$ の規格値に達した後、 $V_{SS}$ レベルに復帰させることにより電源しゃ断時の情報が再現されます。

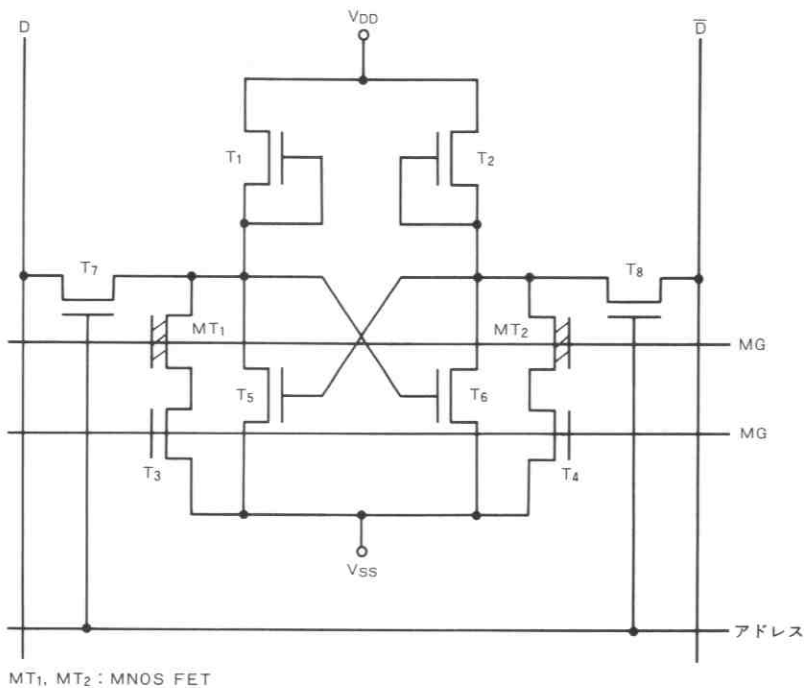
不揮発性リードモード2

この動作は $\overline{NR}$ 入力を使用してリードライトメモリ動作中に、MNOSメモリトランジスタに記憶されている不揮発性情報の読み出しを割り込ませることです。 $\overline{NR}$ 入力を“L”レベルに保持し、不揮発性リードモード1と同じ波形のMG入力を印加することにより、不揮発性情報がメモリセルに読み出されます。すなわち、MNOSメモリトランジスタの情報をROMとしてRAM動作中任意の時点で読み出すことが可能です。

不揮発性メモリセル

M58656Sに使用しているメモリセル等価回路を下图に示します。

不揮発性メモリセルの等価回路図





1024-BIT (256-WORD BY 4-BIT)  
NONVOLATILE STATIC RANDOM-ACCESS MEMORY

絶対最大定格

記号	項目	条件	規格値	単位
V <sub>DD</sub>	電源電圧	V <sub>SS</sub> 端子を基準とした場合	0.3 ~ -30	V
V <sub>I(MG)</sub>	メモリゲート入力電圧		40 ~ -40	V
V <sub>I</sub>	入力電圧		0.3 ~ -30	V
V <sub>O</sub>	出力電圧		0.3 ~ -30	V
t <sub>MG</sub>	メモリゲート入力パルス幅		1	s
P <sub>d</sub>	最大消費電力	T <sub>a</sub> = 25°C	875	mW
T <sub>opr</sub>	動作周囲温度		0 ~ 70	°C
T <sub>stg</sub>	保存温度		-55 ~ 150	°C

4

リードライトメモリ動作

推奨使用条件(指定のない場合は、T<sub>a</sub> = 0 ~ 70°C)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>DD</sub>	電源電圧	-14.25	-15	-15.75	V
V <sub>SS</sub>	電源電圧	4.75	5	5.25	V
V <sub>IH</sub>	"H"入力電圧	V <sub>SS</sub> -1.5		V <sub>SS</sub> +0.3	V
V <sub>IL</sub>	"L"入力電圧	-3		0.8	V

電気的特性(指定のない場合は、T<sub>a</sub> = 0 ~ 70°C, V<sub>DD</sub> = -15V ± 5%, V<sub>SS</sub> = 5V ± 5%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>IH</sub>	"H"入力電圧		V <sub>SS</sub> -1.5		V <sub>SS</sub> +0.3	V
V <sub>IL</sub>	"L"入力電圧		-3		0.8	V
I <sub>IH</sub>	"H"入力電流	V <sub>I</sub> = V <sub>SS</sub>			1	μA
I <sub>IL</sub>	"L"入力電流	V <sub>I</sub> = -3V			±1	μA
I <sub>O</sub>	出力リーク電流	V <sub>I</sub> (OE) = V <sub>IH</sub> 又は V <sub>I</sub> (R/W) = V <sub>IL</sub> V <sub>O</sub> = 0V ~ V <sub>SS</sub> -1V			±10	μA
V <sub>OH</sub>	"H"出力電圧	I <sub>OH</sub> = -0.4mA	V <sub>SS</sub> -1			V
I <sub>OH</sub>	"H"出力電流	V <sub>OH</sub> = 4V	-0.4			mA
V <sub>OL</sub>	"L"出力電圧	I <sub>OL</sub> = 1.6mA			0.4	V
I <sub>OL</sub>	"L"出力電流	V <sub>OL</sub> = -0.6V, T <sub>a</sub> = 70°C			5	mA
I <sub>DD</sub>	V <sub>DD</sub> 電源電流	I <sub>O</sub> = 0mA, 標準値は T <sub>a</sub> = 25°C		-25	-40	mA
V <sub>I(MG)</sub>	MG入力電圧		V <sub>SS</sub> -1	V <sub>SS</sub>	V <sub>SS</sub> +1	V
I <sub>I(MG)</sub>	MG入力電流	V <sub>I(MG)</sub> = V <sub>SS</sub> ± 1V			0.1	mA
C <sub>i</sub>	入力容量	V <sub>I</sub> = 0V, f = 1MHz, T <sub>a</sub> = 25°C			8	pF
C <sub>o</sub>	出力容量	V <sub>O</sub> = 0V, f = 1MHz, T <sub>a</sub> = 25°C			10	pF

注1. 電流はI<sub>O</sub>に流れ込む向きを正(無符号)とします。

## 1024-BIT (256-WORD BY 4-BIT) NONVOLATILE STATIC RANDOM-ACCESS MEMORY

タイミング必要条件(指定のない場合は,  $T_a=0\sim 70^\circ\text{C}$ ,  $V_{DD}=-15\text{V}\pm 5\%$ ,  $V_{SS}=5\text{V}\pm 5\%$ )

### リードサイクル

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{c(RD)}$	リードサイクル時間	入力パルス	1750			ns
$t_{su(AD-\overline{CE})}$	チップイネーブルに対するアドレスセットアップ時間	$V_{IH}=V_{SS}-1.5\text{V}$ , $V_{IL}=0.8\text{V}$	50			ns
$t_h(AD-\overline{CE})$	チップイネーブルに対するアドレスホールド時間	$t_r=t_f\leq 25\text{ns}$	250			ns

### ライトサイクル

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{c(WR)}$	ライトサイクル時間	入力パルス $V_{IH}=V_{SS}-1.5\text{V}$ $V_{IL}=0.8\text{V}$ $t_r=t_f\leq 25\text{ns}$	1000			ns
$t_{su(AD-\overline{CE})}$	チップイネーブルに対するアドレスセットアップ時間		50			ns
$t_{su(AD-R/W)}$	ライトパルスに対するアドレスセットアップ時間		50			ns
$t_h(AD-\overline{CE})$	チップイネーブルに対するアドレスホールド時間		250			ns
$t_w(WR)$	ライトパルス幅		500			ns
$t_{su(DA)}$	データセットアップ時間		400			ns
$t_h(DA)$	データホールド時間	200			ns	

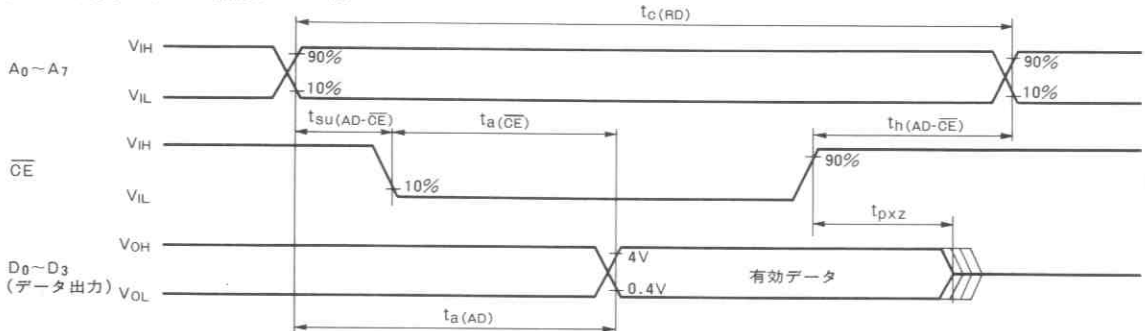
スイッチング特性(指定のない場合は,  $T_a=0\sim 70^\circ\text{C}$ ,  $V_{DD}=-15\text{V}\pm 5\%$ ,  $V_{SS}=5\text{V}\pm 5\%$ )

### リードサイクル

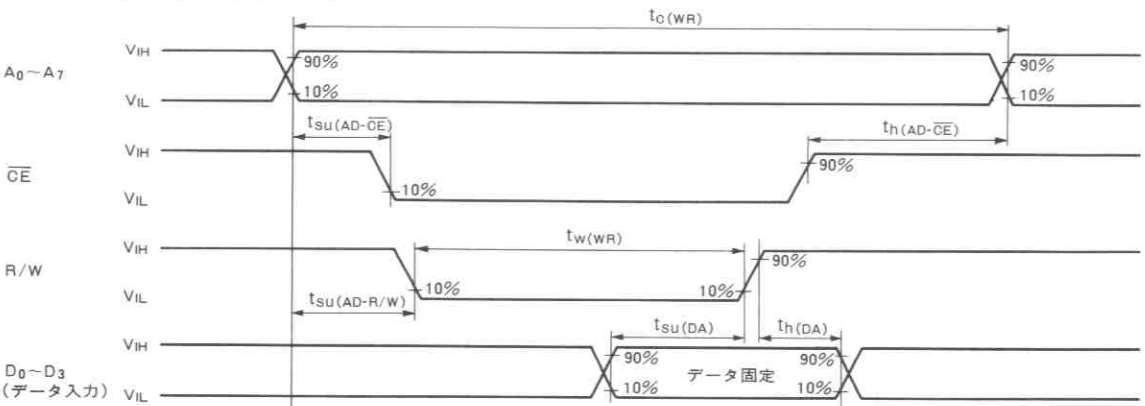
記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_a(AD)$	アドレスアクセス時間	負荷 = 1TTL, $C_L=100\text{pF}$			1500	ns
$t_a(\overline{CE})$	チップイネーブルアクセス時間				1450	ns
$t_{pxz}$	出力ディスエーブル時間				600	ns

### タイミング図

リードサイクル( $MG=V_{I(MG)}$ ,  $\overline{NR}=V_{IH}$ )



ライトサイクル( $MG=V_{I(MG)}$ ,  $\overline{NR}=V_{IH}$ )



## 1024-BIT (256-WORD BY 4-BIT) NONVOLATILE STATIC RANDOM-ACCESS MEMORY

### 不揮発性動作 1, 2

電気的特性(指定のない場合は,  $T_a=0\sim 70^\circ\text{C}$ ,  $V_{DD}=-15\text{V}\pm 5\%$ ,  $V_{SS}=5\text{V}\pm 5\%$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$V_{MGE}$	メモリゲート消去電圧	$t_{W(MGE1)}=t_{W(MGW1)}=0.75\sim 1.25\text{ms}$	28	29	31	V
$V_{MGW}$	メモリゲート書き込み電圧	$V_{MGE}\geq  V_{MGW} $	-26	-28	-30	V
$V_{MGR}$	メモリゲート読み出し電圧		-10		-15	V
$V_{WT}$	メモリゲート書き込み可能電源電圧		-15			V
$t_{W(MGE/W1)}$	メモリゲートパルス幅 (1)		0.75	1	1.25	ms
$t_{W(MGE/W2)}$	メモリゲートパルス幅 (2)				10	ms
$t_{r(MGR)}$	メモリゲート読み出し上昇時間	$V_{MGR}=V_{SS}-10\text{V}$			20	V/ms
$t_{r(VDD)}$	電源電圧上昇時間				20	V/ms
$t_{r(MGR)}/t_{r(VDD)}$	メモリゲート読み出し, 電源電圧上昇時間比	$V_{DD}=0\text{V}\sim V_{MGR}$	0.9	1	1.1	—
$t_s$	無電源時データ保持時間	$V_{MGE}=28\text{V}$	1			年
$N_w$	書き換え可能回数	$V_{MGW}=-28\text{V}$ , $t_{W(MGE/W, 1)}=1\text{ms}$	105			回
$I_i(MG)$	メモリゲート入力電流	$V_{MGE}=30\text{V}$ , $V_{MGW}=-30\text{V}$			$\pm 0.4$	mA

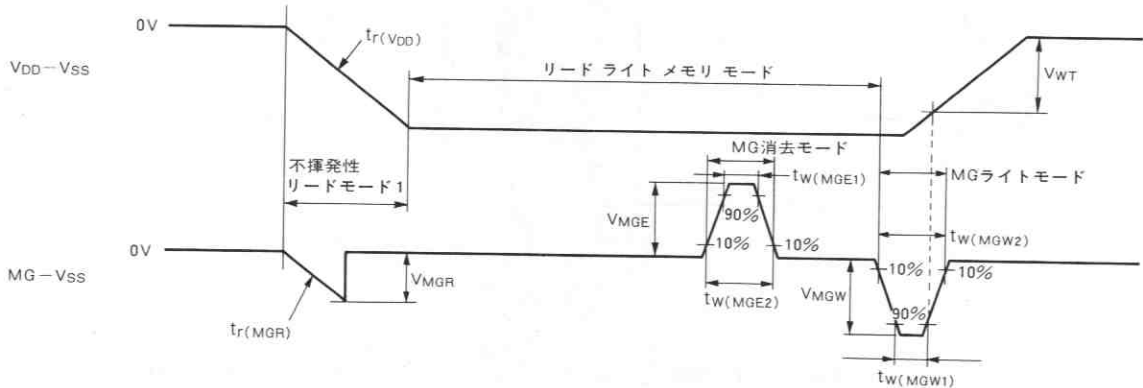
### 不揮発性動作 2

タイミング必要条件(指定のない場合は,  $T_a=0\sim 70^\circ\text{C}$ ,  $V_{DD}=-15\text{V}\pm 5\%$ ,  $V_{SS}=5\text{V}\pm 5\%$ )

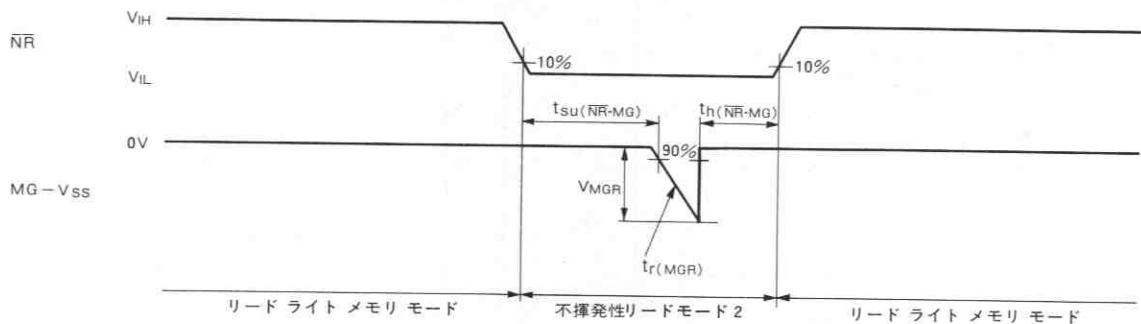
記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{su}(\overline{NR}\text{-MG})$	MGに対するNRのセットアップ時間		1.45			$\mu\text{s}$
$t_h(\overline{NR}\text{-MG})$	MGに対するNRのホールド時間		0			$\mu\text{s}$

### タイミング図

#### 不揮発性動作 1 ( $\overline{NR}=V_{IH}$ )



#### 不揮発性動作 2 ( $\overline{CE}=V_{IH}$ )

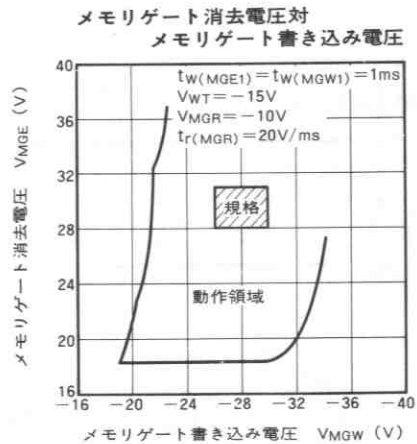
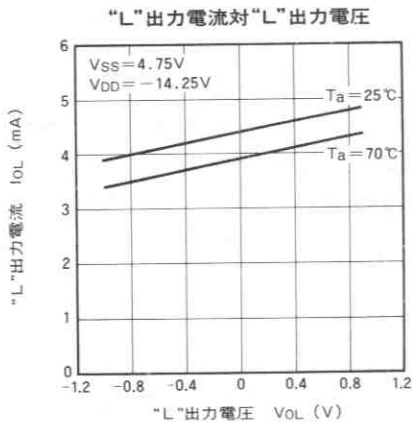
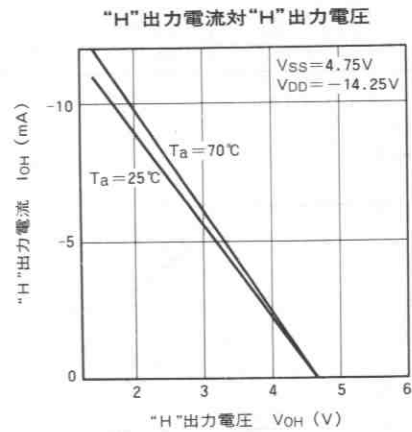
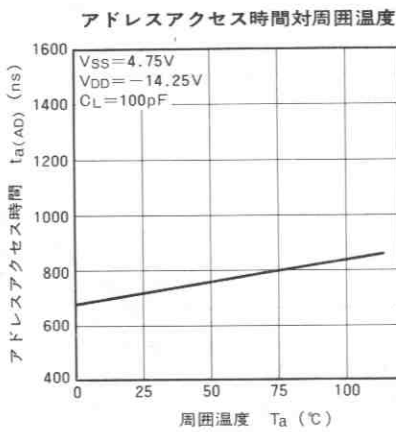
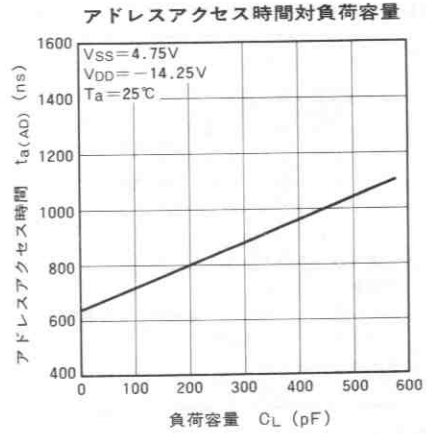
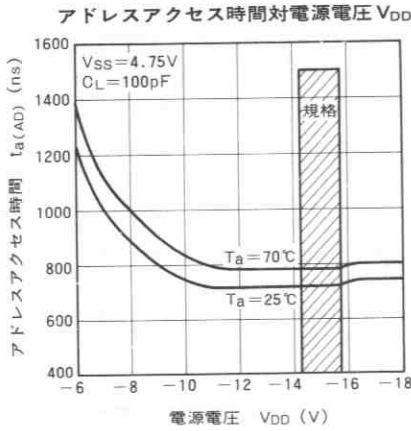


注 2. 不揮発性動作 2 における MG 消去モード, MG ライトモードは, 不揮発性動作 1 と同じです。

3. 不揮発性リードモード 1 は, 特別仕様の場合のみ保証します。

1024-BIT (256-WORD BY 4-BIT)  
NONVOLATILE STATIC RANDOM-ACCESS MEMORY

標準特性



## 4096-BIT (1024-WORD BY 4-BIT) CMOS STATIC RANDOM-ACCESS MEMORY

## 概要

M58981Sは、低消費電力とバッテリーバックアップの必要な場合に使い易く設計した1024語×4ビット構成のシリコンゲートCMOSスタチックRAMです。

チップ選択信号 $\overline{CS}$ によるチップ非選択状態では、スタンバイ電流 $15\mu\text{A}$  (最大)と極めて低消費電力動作となり、バッテリー駆動、バッテリーバックアップを必要とするメモリシステムに適しています。

TTLと同じ5Vの単一電源で動作し、入出力はTTLと直結可能で、I/O端子は共通です。

## 特長

- アクセス時間……………450ns (最大)
- スタンバイ時低消費電流…………… $15\mu\text{A}$  (最大)
- 5V単一電源
- 電源電圧2Vでのデータ保持可能
- 外部クロック及びリフレッシュ操作不要
- 入出力ともTTL直結可能
- 出力はスリーステートでORタイ可能
- チップセレクト信号によりメモリ容量の拡張が容易
- データ端子は入力、出力が共通
- 三菱M58724S (Nチャンネル4KスタチックRAM) インテル社製2114及びTI社製TMS4045と同一ピン接続

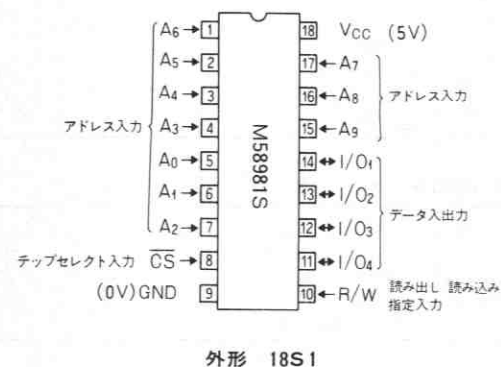
## 応用

- バッテリー駆動、バッテリーバックアップ付小容量記憶装置

## 機能概要

M58981Sは、1024語×4ビット構成で、データ入出力端子は共通にしました。

## ピン接続図(上面図)



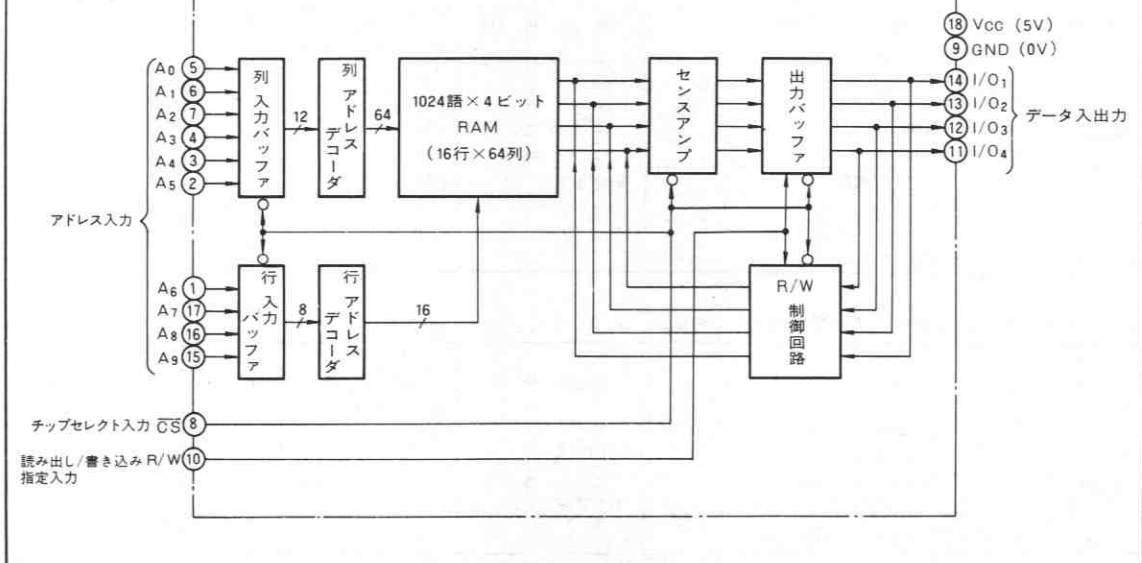
書き込み時には、アドレス信号 $A_0 \sim A_9$ で番地を指定し、R/W信号を“L”レベルにすると、その時のI/Oのデータが書き込まれます。

読み出し時には、アドレス信号 $A_0 \sim A_9$ で番地を指定し、R/W信号を“H”レベルにすると、指定された番地のデータがI/O端子に出力します。

$\overline{CS}$ 信号を“H”レベルにすると、チップは読み出しも書き込みもできない非選択状態になります。この時、出力はフローティング状態(高インピーダンス状態)になりますので、他のチップの出力端子とORタイが可能です。

さらにチップ非選択状態では、スタンバイ電流は $15\mu\text{A}$ (最大)と極めて低消費電力動作となり、電源電圧を2Vに下げても記憶データは保持されるので、停電時のバッテリーバックアップ、あるいは非動作時のパワーダウンが可能です。

## ブロック図



4096-BIT (1024-WORD BY 4-BIT) CMOS STATIC RANDOM-ACCESS MEMORY

絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧	GND端子を基準とした場合	-0.3~7	V
V <sub>I</sub>	入力電圧		-0.3~V <sub>CC</sub> +0.3	V
V <sub>O</sub>	出力電圧		0~V <sub>CC</sub>	V
P <sub>d</sub>	最大消費電力	T <sub>a</sub> =25℃	1000	mW
T <sub>opr</sub>	動作周囲温度		0~70	℃
T <sub>stg</sub>	保存温度		-65~150	℃

推奨使用条件(指定のない場合は、T<sub>a</sub>=0~70℃)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.5	5	5.5	V
V <sub>IL</sub>	"L"入力電圧	-0.3		0.65	V
V <sub>IH</sub>	"H"入力電圧	2.2		V <sub>CC</sub>	V

電気的特性(指定のない場合は、T<sub>a</sub>=0~70℃、V<sub>CC</sub>=5V±10%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>IH</sub>	"H"入力電圧		2.2		V <sub>CC</sub>	V
V <sub>IL</sub>	"L"入力電圧		-0.3		0.65	V
V <sub>OH</sub>	"H"出力電圧	I <sub>OH</sub> =-1mA	2.4			V
V <sub>OL</sub>	"L"出力電圧	I <sub>OL</sub> =2mA			0.4	V
I <sub>I</sub>	入力電流	V <sub>I</sub> =0~5.5V			±1	μA
I <sub>OZH</sub>	オフ状態"H"レベル出力電流	V <sub>I</sub> (CS)=2.2V, V <sub>O</sub> =2.4V~V <sub>CC</sub>			1	μA
I <sub>OZL</sub>	オフ状態"L"レベル出力電流	V <sub>I</sub> (CS)=2.2V, V <sub>O</sub> =0.4V			-1	μA
I <sub>CC1</sub>	V <sub>CC</sub> 電源電流	CS≤0.01V, 他入力=V <sub>CC</sub> 出力端子開放		9		mA
I <sub>CC2</sub>	V <sub>CC</sub> 電源電流	CS≤0.01V, 他入力=2.2V 出力端子開放		13		mA
I <sub>CC3</sub>	V <sub>CC</sub> 電源電流	V <sub>I</sub> (CS)=V <sub>CC</sub>			15	μA
C <sub>i</sub>	入力容量, 全入力	V <sub>I</sub> =GND, V <sub>I</sub> =25mVrms, f=1MHz		4	8	pF
C <sub>o</sub>	出力容量	V <sub>O</sub> =GND, V <sub>O</sub> =25mVrms, f=1MHz		8	12	pF

注1. 電流はICに流れ込む向きを正(無符号)とします。

ライトサイクル タイミング必要条件(指定のない場合は、T<sub>a</sub>=0~70℃、V<sub>CC</sub>=5V±10%)

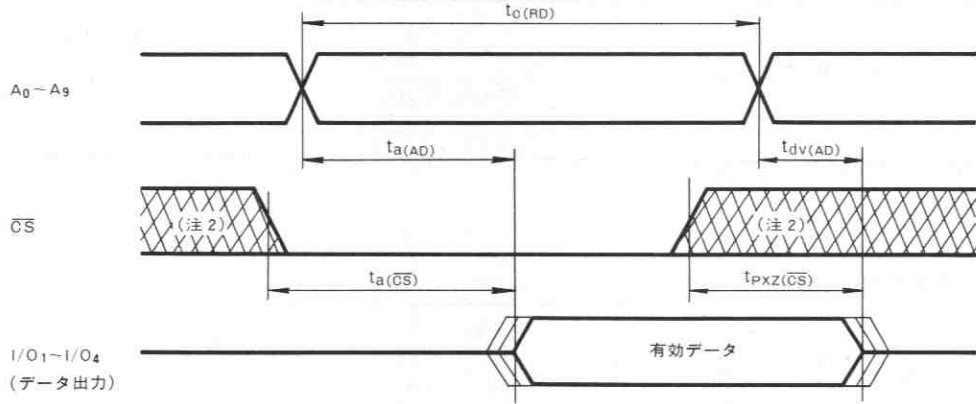
記号	項目	測定条件	M58981S-45			単位
			規格値			
			最小	標準	最大	
t <sub>C(WR)</sub>	ライトサイクル時間	入力パルス	450			ns
t <sub>SU(AD)</sub>	ライトパルスに対するアドレスセットアップ時間	V <sub>IH</sub> =2.2V	130			ns
t <sub>W(WR)</sub>	ライトパルス幅	V <sub>OH</sub> =0.65V	250			ns
t <sub>WR</sub>	ライトリカバリー時間	t <sub>r</sub> =t <sub>f</sub> =20ns	50			ns
t <sub>SU(DA)</sub>	データセットアップ時間	判定電圧=1.5V	250			ns
t <sub>H(DA)</sub>	データホールド時間	負荷=1TTL, C <sub>L</sub> =100pF	0			ns
t <sub>SU(CS)</sub>	チップセレクトセットアップ時間		350			ns
t <sub>PXZ(WR)</sub>	ライトパルス幅に対する出力ディスエーブル時間			100		ns

リードサイクル スイッチング特性(指定のない場合は、T<sub>a</sub>=0~70℃、V<sub>CC</sub>=5V±10%)

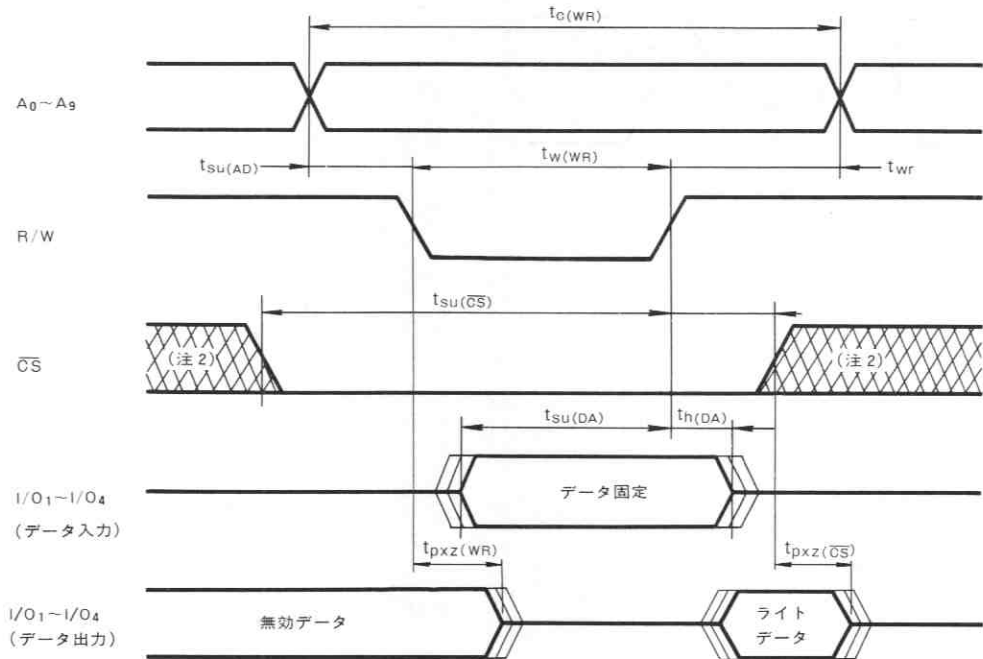
記号	項目	測定条件	M58981S-45			単位
			規格値			
			最小	標準	最大	
t <sub>C(RD)</sub>	リードサイクル時間	入力パルス	450			ns
t <sub>a(AD)</sub>	アドレスアクセス時間	V <sub>IH</sub> =2.2V, V <sub>OH</sub> =0.65V			450	ns
t <sub>a(CS)</sub>	チップセレクトアクセス時間	t <sub>r</sub> =t <sub>f</sub> =20ns			450	ns
t <sub>PXZ(CS)</sub>	チップセレクトに対する出力ディスエーブル時間	判定電圧=1.5V 負荷=1TTL, C <sub>L</sub> =100pF			130	ns
t <sub>dV(AD)</sub>	アドレスに対するデータ有効時間		0			ns

4096-BIT (1024-WORD BY 4-BIT) CMOS STATIC RANDOM-ACCESS MEMORY

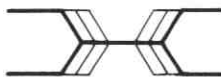
タイミング図  
リードサイクル



ライトサイクル



注2. "H", "L"いずれの状態でもよろしい。



中心線はフローティング(高インピーダンス)状態を示します。

4096-BIT (1024-WORD BY 4-BIT) CMOS STATIC RANDOM-ACCESS MEMORY

パワーダウン動作

電気的特性 (指定のない場合は,  $T_a=0\sim70^\circ\text{C}$ )

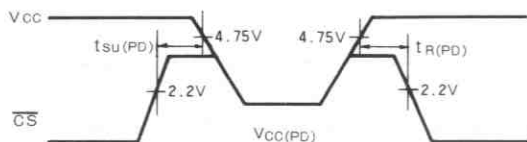
記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$V_{CC(PD)}$	パワーダウン電源電圧		2			V
$V_I(\overline{CS})$	パワーダウン $\overline{CS}$ 電圧	$2.2\text{V} \leq V_{CC(PD)} \leq V_{CC}$	2.2			V
		$2\text{V} \leq V_{CC(PD)} \leq 2.2\text{V}$	$V_{CC(PD)}$			V
$I_{CC(PD)}$	パワーダウン電源電流	$V_{CC} = 2\text{V}$ , 全入力=2V			15	$\mu\text{A}$

注3. 電流はICに流れ込む向きを正(無符号)とします。

タイミング必要条件 (指定のない場合は,  $T_a=0\sim70^\circ\text{C}$ ,  $V_{CC}=5\text{V} \pm 10\%$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{su(PD)}$	パワーダウンセットアップ時間		0			ns
$t_{R(PD)}$	パワーダウンリカバリー時間		$t_{c(PD)}$			ns

タイミング図





# M5K 4116P,S-2, M5K 4116P,S-3, M5K 4116P,S-4

(旧形名M58759P,S)

16384-BIT (16384-WORD BY 1-BIT) DYNAMIC RANDOM-ACCESS MEMORY

**概要**

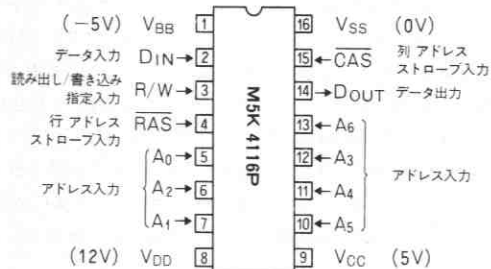
M5K 4116P,Sシリーズは、16384語×1ビット構成のNチャネルシリコンゲートMOSダイナミックRAMで、高速、低消費電力、低価格が必要とされる、大容量メモリシステムに最適です。2層ポリシリコンプロセスと1トランジスタメモリセルにより高集積度化、低価格化、また、センスアンプを含め回路をダイナミック化することにより低消費電力化を実現しました。また、アドレス信号をマルチプレックスすることにより、ピン数を減らし、標準形16ピンパッケージ構造にしたものであり、システムの高密度化にも最適です。

**特長**

形名	アクセス時間 (最大) (ns)	サイクル時間 (最小) (ns)	消費電力 (標準) (mW)
M5K 4116P,S-15	150	320	330
M5K 4116P,S-20	200	375	280
M5K 4116P,S-25	250	410	260

- 標準形16ピンパッケージ
- 全電源(V<sub>DD</sub>, V<sub>CC</sub>, V<sub>BB</sub>)電圧保証領域……………±10%
- 低消費電力 動作時……………462.0mW (最大)  
スタンバイ時……………19.8mW (最大)
- 非ラッチ出力方式により、2次元チップ選択とページ領域の拡張が可能
- アーリーライト動作により、共通I/O動作が可能
- リードモディファイライト、RASオンリーリフレッシュ、ページモード動作が可能
- 全入力ともTTL直結可能で低入力容量
- 出力はスリーステートでTTL直結可能

**ピン接続図(上面図)**



外形 16P1(M5K 4116P)  
16S1(M5K 4116S)

- 128リフレッシュサイクル
- モステック社製MK4116とピン接続及び電気的特性に互換性あり

**応用**

- 計算機主記憶装置

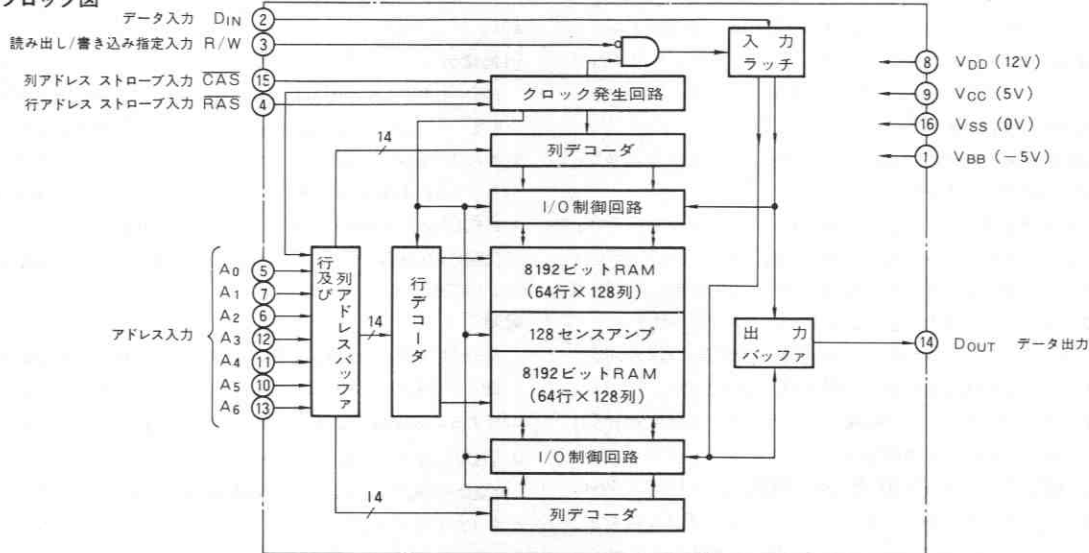
**機能概要**

M5K 4116P,Sシリーズは、通常のリード、ライト、リードモディファイライト動作以外に、ページモード、RASオンリーリフレッシュ、ディレイドライト等種々の使い方が可能です。各種動作に対する入力条件の一覧表を下に表します。

動作	入カ						出力	リフレッシュ	備考
	RAS	CAS	R/W	DIN	行アドレス	列アドレス			
リードサイクル	活性	活性	非活性	任意	指定	指定	有効	可	ページモードでも同一です。ただし、リフレッシュは不可です。
ライトサイクル(アーリーライト)	活性	活性	活性	有効	指定	指定	開放	可	
リードモディファイライトサイクル	活性	活性	活性	有効	指定	指定	有効	可	
RASオンリーリフレッシュサイクル	活性	非活性	任意	任意	指定	任意	開放	可	
スタンバイ	非活性	任意	任意	任意	任意	任意	開放	不可	

注. 行アドレス=ROW ADDRESS, 列アドレス=COLUMN ADDRESS

**ブロック図**



# M5K 4116P,S-2, M5K 4116P,S-3, M5K 4116P,S-4

(旧形名M58759P,S)

## 16384-BIT (16384-WORD BY 1-BIT) DYNAMIC RANDOM-ACCESS MEMORY

### 動作説明

#### アドレス入力

M5K 4116P,Sの16384のメモリスセルの内の1つのセルを選択するには、14ビットのアドレス信号を7本のアドレス信号にマルチプレックスする必要があります。そしてこの7本のアドレス信号を外部からの2つのクロックパルスによって内部回路にラッチします。最初に、行(ロー)アドレスストロブパルス( $\overline{\text{RAS}}$ )の立ち下りて、7ビットの行アドレスを内部回路にラッチします。次に、列(コラム)アドレスストロブパルス( $\overline{\text{CAS}}$ )の立ち下りて、7ビットの列アドレスを内部回路にラッチします。

この場合、 $\overline{\text{RAS}}$ と $\overline{\text{CAS}}$ のクロックタイミングの設定に2つの方法があります。

(1)  $\overline{\text{RAS}}$ と $\overline{\text{CAS}}$ 間の遅延時間 $t_d(\overline{\text{RAS}}-\overline{\text{CAS}})$ を規格の最小と最大の間に設定した場合:内部的には、 $\overline{\text{CAS}}$ システムの信号発生は、ほぼ $t_d(\overline{\text{RAS}}-\overline{\text{CAS}})_{\text{max}}$ 時間まで禁止されていますので(ゲーティッド $\overline{\text{CAS}}$ )、内部回路の動作に影響を与えることなしに(外部的には、例えばアクセス時間)、外部 $\overline{\text{CAS}}$ を余裕をもって入力することができ、同時に、行アドレスが入力された後、列アドレスを余裕をもって入力することができます。

(2)  $t_d(\overline{\text{RAS}}-\overline{\text{CAS}})$ を規格の最大値より大きくした場合:この場合は、内部的な $\overline{\text{CAS}}$ の禁止は既に解除されており内部の $\overline{\text{CAS}}$ システムの信号は外部の $\overline{\text{CAS}}$ によって制御されますので、アクセス時間は、外部 $\overline{\text{CAS}}$ によって制御されることとなります。

#### データ入力

選択されたセルに書き込まれるデータは、R/W入力と $\overline{\text{CAS}}$ 入力のいずれか一方の立ち下りの遅い方によってストロブされます。もし、R/W入力が $\overline{\text{CAS}}$ 入力の前で立ち下った場合(アーリーライト)には、データ入力は、 $\overline{\text{CAS}}$ によってストロブされて、 $\overline{\text{CAS}}$ の立ち下り点がセットアップ時間とホールド時間の基準となります。一方、リードライトあるいはリードモディファイライトサイクルの場合には、R/W入力は、 $\overline{\text{CAS}}$ が立ち下った後遅れて立ち下りますが、この場合は、R/Wの立ち下り点がセットアップ時間とホールド時間の基準となります。

#### 出力データの制御

M5K 4116P,Sの出力は、 $\overline{\text{CAS}}$ が高レベルになると高インピーダンス状態になります。

メモリスサイクルがリード、リードモディファイライト、ディレイドライトサイクルになった場合、出力は高インピーダンス状態から活性状態に変わり、選択されたセルからデータが読み出されます。この出力データは入力データと同じ極性です。

一度活性になった出力は、 $\overline{\text{RAS}}$ の状態に無関係に $\overline{\text{CAS}}$ が高レベルになるまで保持されます。(最大10 $\mu\text{s}$ までです)

アーリーライトサイクルの場合は、出力はサイクル全体にわたって高インピーダンス状態のままです。

このように、M5K 4116P,Sの出力状態は、ライトサイクルのとき、ライトパルスの位置を、また、リードサイクルのとき、 $\overline{\text{CAS}}$ パルスの幅を制御することにより簡単に変更することができ

ます。この特長ある出力制御方式を利用することにより、次のような種々の応用が可能です。

#### (1) 共通I/O動作

もし、すべてのライト動作を“アーリーライト”で行った場合、入力と出力を接続してI/Oバスとすることが可能です。

#### (2) 出力データの保持

リードサイクルの間、サイクル時間を長くすることなしに、読み出された出力データを次のサイクルの始まりまで保持することができるので、 $\overline{\text{RAS}}$ と $\overline{\text{CAS}}$ のクロックタイミングの設定が非常に容易です。

#### (3) 2つのチップ選択方法

出力はラッチされていないので、 $\overline{\text{CAS}}$ はマトリクス中の非選択メモリの出力を高インピーダンスにする必要がありません。これにより、 $\overline{\text{CAS}}$ と $\overline{\text{RAS}}$ の両方又は、いずれか一方をチップ選択のためにデコードすることができます。

#### (4) ページ領域の拡張

$\overline{\text{CAS}}$ をデコードすることによって、単一チップの128列のページ領域を拡張することができます。この場合、 $\overline{\text{RAS}}$ はすべてのデバイスに接続する必要があります。

#### ページモード動作

ページモード動作は、同一行アドレス上で複数の列アドレスの指定を行う動作です。この動作は、行アドレスをストロブした後 $\overline{\text{RAS}}$ が変化しないので、 $\overline{\text{RAS}}$ の立ち下り時の電力を節約できます。また、2回目のサイクルから行アドレスを指定する時間を必要としないので、アクセス時間、サイクル時間を短くすることができます。

#### リフレッシュ

ダイナミックセルマトリクスのリフレッシュは2ms以内に各128の行アドレスでメモリ動作を行うことによってなされます。いくつかのメモリ動作の中で、 $\overline{\text{RAS}}$ オンリーリフレッシュによってリフレッシュをした場合、消費電力を節約することができます。

#### 消費電力

M5K 4116P,Sに使われているほとんどの回路はダイナミック形で、ほとんどの電力はアドレスをストロブするときに消費されます。メモリシステムにおいて、 $\overline{\text{RAS}}$ と $\overline{\text{CAS}}$ はデコードされ、M5K 4116P,Sのチップ選択信号として使われますが、もし $\overline{\text{RAS}}$ をデコードした場合、すべての非選択デバイスは $\overline{\text{CAS}}$ の状態に無関係にスタンバイ状態になり、システムの電力を最小にできます。

#### 電源

M5K 4116P,Sは最大定格の範囲内であれば、特別な電源投入順序を必要としませんが、 $V_{\text{BB}}$ 電源を最初に投入して最後に切断することを推奨します。また、 $V_{\text{DD}}$ が供給されているとき、 $V_{\text{BB}}$ は $V_{\text{SS}}$ よりも正極性にできません。

電源が投入された後、メモリ動作の前に8回程度のダミーサイクルが必要です。

# M5K 4116P,S-2, M5K 4116P,S-3, M5K 4116P,S-4

(旧形名M58759P,S)

## 16384-BIT (16384-WORD BY 1-BIT) DYNAMIC RANDOM-ACCESS MEMORY

## 絶対最大定格

記号	項目	条件	定格値	単位	
V <sub>DD</sub>	電源電圧	V <sub>BB</sub> 端子を基準とした場合	-0.5~20	V	
V <sub>CC</sub>	電源電圧		-0.5~20	V	
V <sub>SS</sub>	電源電圧		-0.5~20	V	
V <sub>I</sub>	入力電圧		-0.5~20	V	
V <sub>O</sub>	出力電圧		-0.5~20	V	
V <sub>DD</sub>	電源電圧	V <sub>SS</sub> 端子を基準とした場合	-1~15	V	
V <sub>CC</sub>	電源電圧		-1~15	V	
V <sub>BB</sub> -V <sub>SS</sub>	電源電圧		V <sub>DD</sub> -V <sub>SS</sub> >0	0	V
I <sub>O</sub>	出力電流		50	mA	
P <sub>d</sub>	最大消費電力	M5K 4116S	T <sub>a</sub> =25℃	1000	mW
		M5K 4116P	T <sub>a</sub> =25℃	700	mW
T <sub>opr</sub>	動作周囲温度		0~70	℃	
T <sub>stg</sub>	保存温度	M5K 4116S		-65~150	℃
		M5K 4116P		-40~125	℃

4

推奨使用条件(指定のない場合は, T<sub>a</sub>=0~70℃)(注1)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>DD</sub>	電源電圧	10.8	12	13.2	V
V <sub>CC</sub>	電源電圧(注2)	4.5	5	5.5	V
V <sub>SS</sub>	電源電圧	0	0	0	V
V <sub>BB</sub>	電源電圧	-4.5	-5	-5.7	V
V <sub>IH1</sub>	"H"入力電圧, RAS, CAS, R/W	2.7		7	V
V <sub>IH2</sub>	"H"入力電圧, A <sub>0</sub> ~A <sub>6</sub> , D <sub>IN</sub>	2.4		7	V
V <sub>IL</sub>	"L"入力電圧, 全入力	-1		0.8	V

注1. すべての電圧はV<sub>SS</sub>を基準とします。V<sub>BB</sub>電源は他の電源よりも先に投入し, 最後に切断してください。2. 出力負荷電流が零のとき出力電圧はV<sub>SS</sub>からV<sub>CC</sub>まで振れます。データを保持するためのスタンバイモードにおいて, V<sub>CC</sub>はリフレッシュ動作あるいはデータ保持に影響を与えることなしにV<sub>SS</sub>に下げられますがV<sub>OH</sub> min 規格は保証されません。電気的特性(指定のない場合は, T<sub>a</sub>=0~70℃, V<sub>DD</sub>=12V±10%, V<sub>CC</sub>=5V±10%, V<sub>SS</sub>=0V, -5.7V≤V<sub>BB</sub>≤-4.5V)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>OH</sub>	"H"出力電圧(注2)	I <sub>OH</sub> =-5mA	2.4		V <sub>CC</sub>	V
V <sub>OL</sub>	"L"出力電圧(注2)	I <sub>OL</sub> =4.2mA	0		0.4	V
I <sub>OZ</sub>	オフ状態出力電流	D <sub>OUT</sub> はフローティング 0V≤V <sub>OUT</sub> ≤5.5V	-10		10	μA
I <sub>I</sub>	入力電流	V <sub>BB</sub> =-5V, 0V≤V <sub>IN</sub> ≤7.0V 測定外ピンは0V	-10		10	μA
I <sub>DD1(AV)</sub>	V <sub>DD</sub> 平均電源電流, 動作時	RAS, CASサイクリング			35	mA
I <sub>CC1(AV)</sub>	V <sub>CC</sub> 平均電源電流, 動作時(注4)	t <sub>C(RD)</sub> =t <sub>C(WR)</sub> =MIN.			200	μA
I <sub>BB1(AV)</sub>	V <sub>BB</sub> 平均電源電流, 動作時				1.5	mA
I <sub>DD2</sub>	V <sub>DD</sub> 電源電流, スタンドバイ時	RAS=V <sub>IH</sub>	-10		10	μA
I <sub>CC2</sub>	V <sub>CC</sub> 電源電流, スタンドバイ時	D <sub>OUT</sub> はフローティング			100	μA
I <sub>BB2</sub>	V <sub>BB</sub> 電源電流, スタンドバイ時				100	μA
I <sub>DD3(AV)</sub>	V <sub>DD</sub> 平均電源電流, リフレッシュ時	RASサイクリング CAS=V <sub>IH</sub>	-10		27	mA
I <sub>CC3(AV)</sub>	V <sub>CC</sub> 平均電源電流, リフレッシュ時	t <sub>C(REF)</sub> =MIN.			10	μA
I <sub>BB3(AV)</sub>	V <sub>BB</sub> 平均電源電流, リフレッシュ時				200	μA
I <sub>DD4(AV)</sub>	V <sub>DD</sub> 平均電源電流, ページモード時	RAS=V <sub>IL</sub> , CASサイクリング			27	mA
I <sub>CC4(AV)</sub>	V <sub>CC</sub> 平均電源電流, ページモード時(注4)	t <sub>C(PG)</sub> =MIN.			200	μA
I <sub>BB4(AV)</sub>	V <sub>BB</sub> 平均電源電流, ページモード時				200	μA
C <sub>I(AD)</sub>	入力容量, アドレス端子				5	pF
C <sub>I(DA)</sub>	入力容量, データ入力端子	V <sub>I</sub> =V <sub>SS</sub>			5	pF
C <sub>I(R/W)</sub>	入力容量, R/W端子	f=1MHz			7	pF
C <sub>I(RAS)</sub>	入力容量, RAS端子	V <sub>I</sub> =25mVrms			10	pF
C <sub>I(CAS)</sub>	入力容量, CAS端子				10	pF
C <sub>O</sub>	出力容量	V <sub>O</sub> =V <sub>SS</sub> , f=1MHz, V <sub>I</sub> =25mVrms			7	pF

注3. 電流はICに流れ込む向きを正(無符号)とします(I<sub>BB</sub>は除く)4. V<sub>CC</sub>は出力バッファ回路にのみ接続されており, I<sub>CC1</sub>とI<sub>CC4</sub>は出力負荷に依存します。

# M5K 4116P,S-2, M5K 4116P,S-3, M5K 4116P,S-4

(旧形名M58759P,S)

## 16384-BIT (16384-WORD BY 1-BIT) DYNAMIC RANDOM-ACCESS MEMORY

タイミング必要条件 (指定のない場合は,  $T_a=0\sim 70^\circ\text{C}$ ,  $V_{DD}=12\text{V}\pm 10\%$ ,  $V_{CC}=5\text{V}\pm 10\%$ ,  $V_{SS}=0\text{V}$ ,  $-5.7\text{V}\leq V_{BB}\leq -4.5\text{V}$ ) (注5, 6, 7)  
リード, ライト, リードモディファイライト, リフレッシュ, リフレッシュ, ページモードサイクル 共通

記号	項目	他社相当記号	M5K 4116-15		M5K 4116-20		M5K 4116-25		単位
			規格値	規格値	規格値	規格値	規格値	規格値	
			最小	最大	最小	最大	最小	最大	
$t_{c(\text{REF})}$	リフレッシュサイクル時間	$t_{\text{REF}}$		2		2		2	ms
$t_{w(\text{RAS})}$	RAS "H" パルス幅	$t_{\text{RP}}$	100		120		150		ns
$t_{w(\text{RASL})}$	RAS "L" パルス幅	$t_{\text{RAS}}$	150	10000	200	10000	250	10000	ns
$t_{w(\text{CASL})}$	CAS "L" パルス幅 (注8)	$t_{\text{CAS}}$	100		135		165		ns
$t_{\text{h}(\text{RAS-CAS})}$	CAS ホールド時間	$t_{\text{CSH}}$	150		200		250		ns
$t_{\text{h}(\text{CAS-RAS})}$	RAS ホールド時間	$t_{\text{RSH}}$	100		135		165		ns
$t_{\text{d}(\text{RAS-CAS})}$	RAS-CAS 間遅延時間 (注9)	$t_{\text{RCD}}$	20	50	25	65	35	85	ns
$t_{\text{d}(\text{CAS-RAS})}$	CAS-RAS 間遅延時間	$t_{\text{CRP}}$	-20		-20		-20		ns
$t_{\text{su}(\text{RA-RAS})}$	RAS に対する行アドレスセットアップ時間	$t_{\text{ASR}}$	0		0		0		ns
$t_{\text{su}(\text{CA-CAS})}$	CAS に対する列アドレスセットアップ時間	$t_{\text{ASC}}$	-10		-10		-10		ns
$t_{\text{h}(\text{RAS-RA})}$	RAS に対する行アドレスホールド時間	$t_{\text{RAH}}$	20		25		35		ns
$t_{\text{h}(\text{CAS-CA})}$	CAS に対する列アドレスホールド時間	$t_{\text{CAH}}$	45		55		75		ns
$t_{\text{h}(\text{RAS-CA})}$	RAS に対する列アドレスホールド時間	$t_{\text{AR}}$	95		120		160		ns
$t_{\text{THL}}$ $t_{\text{TLH}}$	遷移時間	$t_{\text{T}}$	3	35	3	50	3	50	ns

注5. 電源投入後, メモリ動作の前に8回程度のダミーサイクルが必要です。ダミーサイクルとしてはRAS/CASリフレッシュサイクルあるいはRASオンリーリフレッシュサイクルが適当です。また, 電源投入後ダミーサイクルの前にRASを3 $\mu\text{s}$ 以上"H"レベルに保持するか, あるいはダミーサイクル時のRASパルスの"H"の時間( $t_{w(\text{RAS})}$ )を最低1回3 $\mu\text{s}$ 以上にしてください。

6. スイッチング特性は $t_{\text{THL}}=t_{\text{TLH}}=5\text{ns}$ で定義します。

7. 入力信号のタイミング測定点は $V_{\text{IH1 min}}$ ,  $V_{\text{IH2 min}}$ ,  $V_{\text{IL max}}$ の点です。遷移時間も $V_{\text{IH1}}$ 又は $V_{\text{IH2}}$ と $V_{\text{IL}}$ の間で測定します。

8.  $t_{\text{d}(\text{RAS-CAS})} \geq t_{\text{d}(\text{RAS-CAS}) \text{ max}}$  の場合の値です。もし  $t_{\text{d}(\text{RAS-CAS})} < t_{\text{d}(\text{RAS-CAS}) \text{ max}}$  の場合は,  $t_{w(\text{CASL})}$  は  $t_{\text{d}(\text{RAS-CAS})}$  の減少分だけ大きくする必要があります。

9.  $t_{\text{d}(\text{RAS-CAS})}$  の最大値は動作の限界を示すのではなく, RASアクセス時間 $t_{\text{a}(\text{RAS}) \text{ max}}$ を保証する点を示します。もし $t_{\text{d}(\text{RAS-CAS})}$ が $t_{\text{d}(\text{RAS-CAS}) \text{ max}}$ よりも大きくなると, RASアクセス時間はCASアクセス時間によってコントロールされます。

スイッチング特性 (指定のない場合は,  $T_a=0\sim 70^\circ\text{C}$ ,  $V_{DD}=12\text{V}\pm 10\%$ ,  $V_{CC}=5\text{V}\pm 10\%$ ,  $V_{SS}=0\text{V}$ ,  $-5.7\text{V}\leq V_{BB}\leq -4.5\text{V}$ )  
リードサイクル

記号	項目	他社相当記号	M5K 4116-15		M5K 4116-20		M5K 4116-25		単位
			規格値	規格値	規格値	規格値	規格値	規格値	
			最小	最大	最小	最大	最小	最大	
$t_{c(\text{RD})}$	リードサイクル時間	$t_{\text{RC}}$	320		375		410		ns
$t_{\text{su}(\text{RD-CAS})}$	CAS に対するリードセットアップ時間	$t_{\text{RCS}}$	0		0		0		ns
$t_{\text{h}(\text{CAS-RD})}$	CAS に対するリードホールド時間	$t_{\text{RCH}}$	0		0		0		ns
$t_{\text{h}(\text{CAS-OUT})}$	出力ホールド時間	$t_{\text{OFF}}$	0	40	0	50	0	60	ns
$t_{\text{a}(\text{CAS})}$	CAS アクセス時間 (注10)	$t_{\text{CAC}}$		100		135		165	ns
$t_{\text{a}(\text{RAS})}$	RAS アクセス時間 (注11)	$t_{\text{RAC}}$		150		200		250	ns

注10.  $t_{\text{d}(\text{RAS-CAS})} \geq t_{\text{d}(\text{RAS-CAS}) \text{ max}}$  の場合の値です。2TTLと100pFの負荷条件です。

11.  $t_{\text{d}(\text{RAS-CAS})} < t_{\text{d}(\text{RAS-CAS}) \text{ max}}$  の場合の値です。もし,  $t_{\text{d}(\text{RAS-CAS})} \geq t_{\text{d}(\text{RAS-CAS}) \text{ max}}$  の場合は,  $t_{\text{a}(\text{RAS})}$  は  $t_{\text{d}(\text{RAS-CAS})}$  の増加分だけ大きくなります。2TTLと100pFの負荷条件です。

ライトサイクル

記号	項目	他社相当記号	M5K 4116-15		M5K 4116-20		M5K 4116-25		単位
			規格値	規格値	規格値	規格値	規格値	規格値	
			最小	最大	最小	最大	最小	最大	
$t_{c(\text{WR})}$	ライトサイクル時間	$t_{\text{RC}}$	320		375		410		ns
$t_{\text{su}(\text{WR-CAS})}$	CAS に対するライトセットアップ時間	$t_{\text{WCS}}$	-20		-20		-20		ns
$t_{\text{h}(\text{CAS-WR})}$	CAS に対するライトホールド時間	$t_{\text{WCH}}$	45		55		75		ns
$t_{\text{h}(\text{RAS-WR})}$	RAS に対するライトホールド時間	$t_{\text{WCR}}$	95		120		160		ns
$t_{\text{h}(\text{WR-RAS})}$	ライト に対する RAS ホールド時間	$t_{\text{RWL}}$	50		70		85		ns
$t_{\text{h}(\text{WR-CAS})}$	ライト に対する CAS ホールド時間	$t_{\text{CWL}}$	50		70		85		ns
$t_{w(\text{WR})}$	ライトパルス幅	$t_{\text{WP}}$	45		55		75		ns
$t_{\text{su}(\text{DA-CAS})}$	CAS に対するデータセットアップ時間	$t_{\text{DS}}$	0		0		0		ns
$t_{\text{h}(\text{CAS-DA})}$	CAS に対するデータホールド時間	$t_{\text{DH}}$	45		55		75		ns
$t_{\text{h}(\text{RAS-DA})}$	RAS に対するデータホールド時間	$t_{\text{DHR}}$	95		120		160		ns

# M5K 4116P,S-2, M5K 4116P,S-3, M5K 4116P,S-4

(旧形名M58759P,S)

## 16384-BIT (16384-WORD BY 1-BIT) DYNAMIC RANDOM-ACCESS MEMORY

## リードライト, リードモディファイライトサイクル

記号	項目	他社相当 記号	M5K 4116-15		M5K 4116-20		M5K 4116-25		単位
			規格値		規格値		規格値		
			最小	最大	最小	最大	最小	最大	
$t_{C(RMW)}$	リードモディファイライトサイクル時間	$t_{RWC}$	320		405		500		ns
$t_{C(RW)}$	リード-ライトサイクル時間	$t_{RWC}$	320		375		425		ns
$t_{h(WR-\overline{RAS})}$	ライトに対する $\overline{RAS}$ ホールド時間	$t_{RWL}$	50		70		85		ns
$t_{h(WR-\overline{CAS})}$	ライトに対する $\overline{CAS}$ ホールド時間	$t_{CWL}$	50		70		85		ns
$t_{W(WR)}$	ライトパルス幅	$t_{WP}$	45		55		75		ns
$t_{SU(RD-\overline{CAS})}$	$\overline{CAS}$ に対するリードセットアップ時間	$t_{RCS}$	0		0		0		ns
$t_{d(\overline{RAS}-WR)}$	$\overline{RAS}$ -ライト間遅延時間 (注12)	$t_{RWD}$	110		145		175		ns
$t_{d(\overline{CAS}-WR)}$	$\overline{CAS}$ -ライト間遅延時間 (注12)	$t_{CWD}$	60		80		90		ns
$t_{SU(DA-WR)}$	ライトに対するデータセットアップ時間	$t_{DS}$	0		0		0		ns
$t_{h(WR-DA)}$	ライトに対するデータホールド時間	$t_{DH}$	45		55		75		ns
$t_{h(\overline{CAS}-OUT)}$	出力ホールド時間	$t_{OFF}$	0	40	0	50	0	60	ns
$t_a(\overline{CAS})$	$\overline{CAS}$ アクセス時間 (注10)	$t_{CAC}$		100		135		165	ns
$t_a(\overline{RAS})$	$\overline{RAS}$ アクセス時間 (注11)	$t_{RAC}$		150		200		250	ns

注12.  $t_{SU(WR-\overline{CAS})}$ ,  $t_{d(\overline{RAS}-WR)}$ ,  $t_{d(\overline{CAS}-WR)}$ は動作の限界を規定する規格ではありません。電気的特性としてのみ示されています。

もし,  $t_{SU(WR-\overline{CAS})} \geq t_{SU(WR-\overline{CAS}) \min}$  の場合は, アーリーライトサイクルとなり出力は高インピーダンス状態になります。

もし,  $t_{d(\overline{RAS}-WR)} \geq t_{d(\overline{RAS}-WR) \min}$  かつ  $t_{d(\overline{CAS}-WR)} \geq t_{d(\overline{CAS}-WR) \min}$  の場合は, リードモディファイライトサイクルとなり出力には指定されたアドレスのデータが読み出されます。上記以外の条件では出力は定義されません。

4

## ページモードサイクル

記号	項目	他社相当 記号	M5K 4116-15		M5K 4116-20		M5K 4116-25		単位
			規格値		規格値		規格値		
			最小	最大	最小	最大	最小	最大	
$t_{C(PG)}$	ページモードサイクル時間	$t_{PC}$	170		225		275		ns
$t_{W(\overline{CASH})}$	$\overline{CAS}$ "H" パルス幅	$t_{CP}$	60		80		100		ns

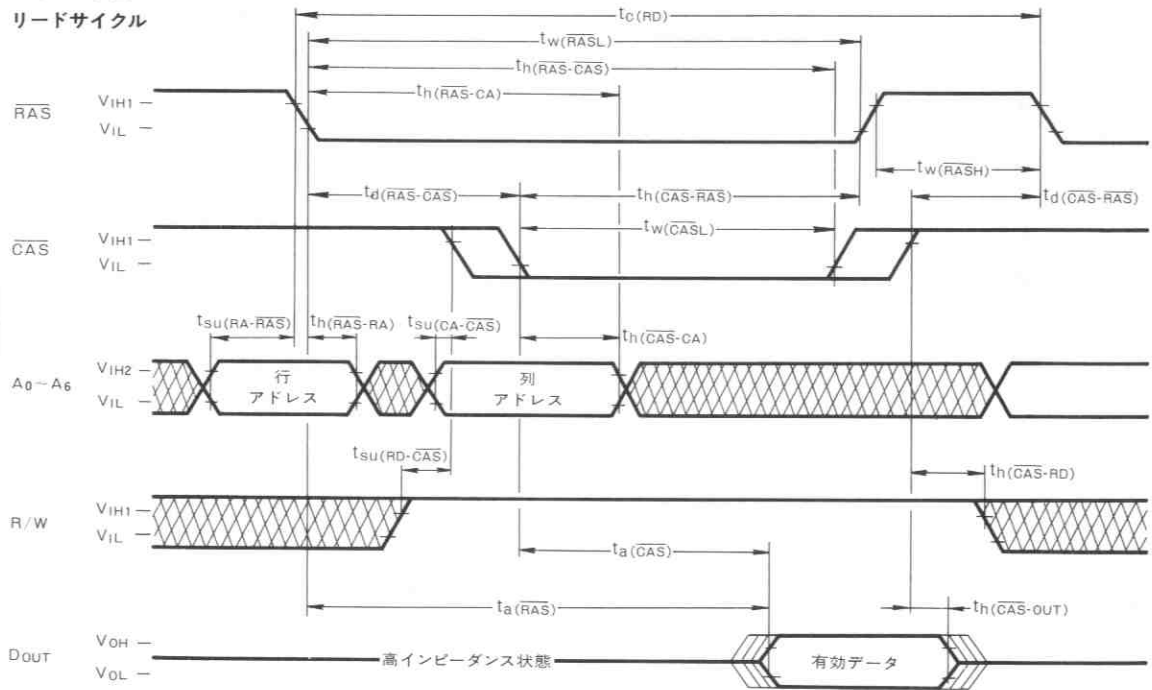
# M5K 4116P,S-2, M5K 4116P,S-3, M5K 4116P,S-4

(旧形名M58759P,S)

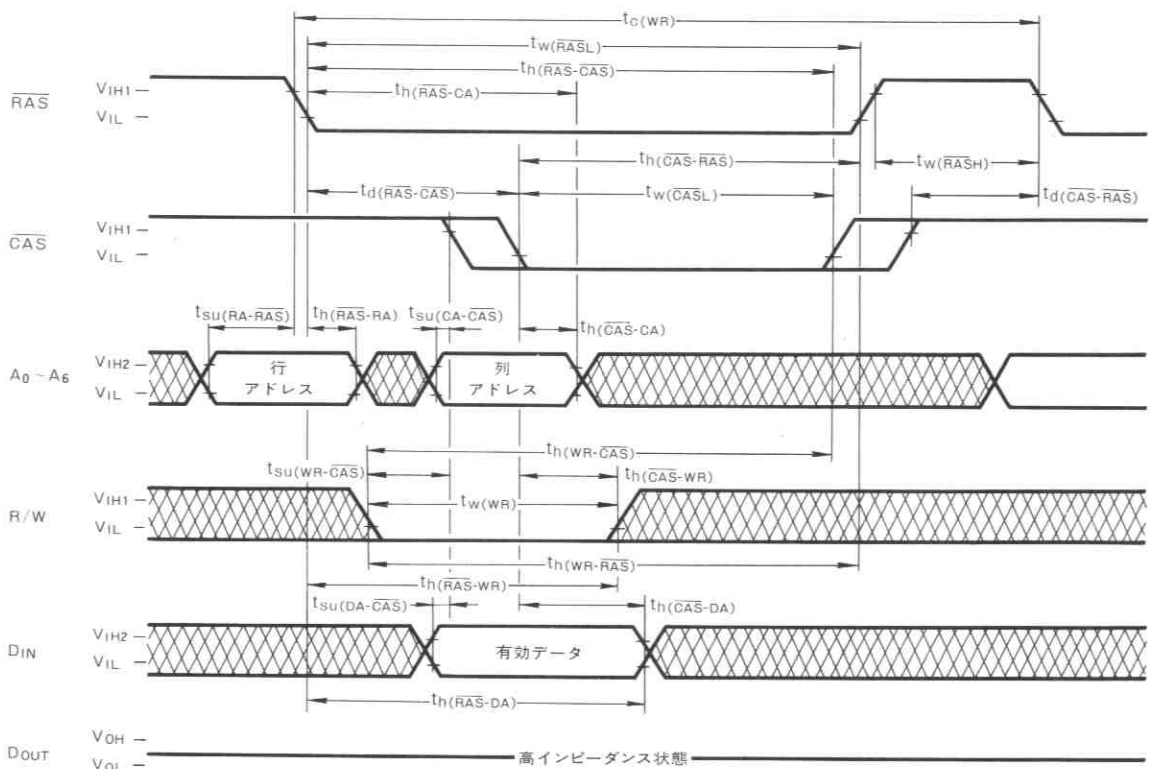
## 16384-BIT (16384-WORD BY 1-BIT) DYNAMIC RANDOM-ACCESS MEMORY

### タイミング図

#### リードサイクル



#### ライトサイクル(アーリーライト)

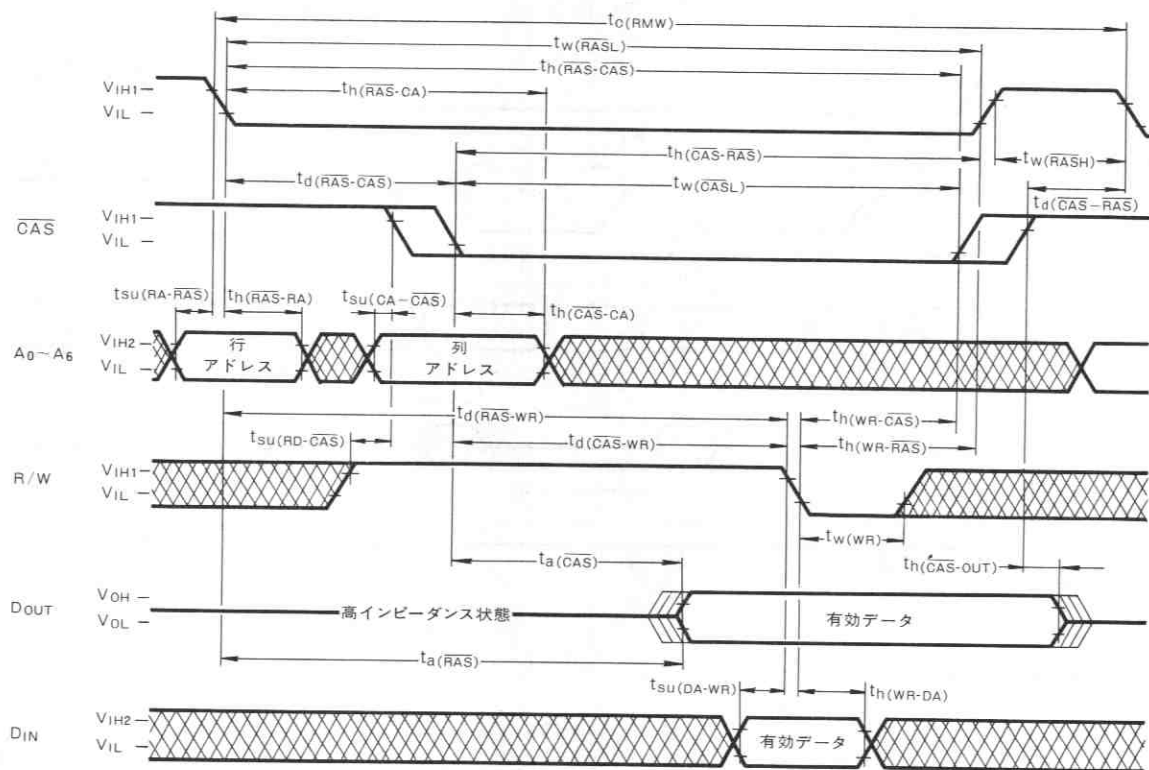


# M5K 4116P,S-2, M5K 4116P,S-3, M5K 4116P,S-4

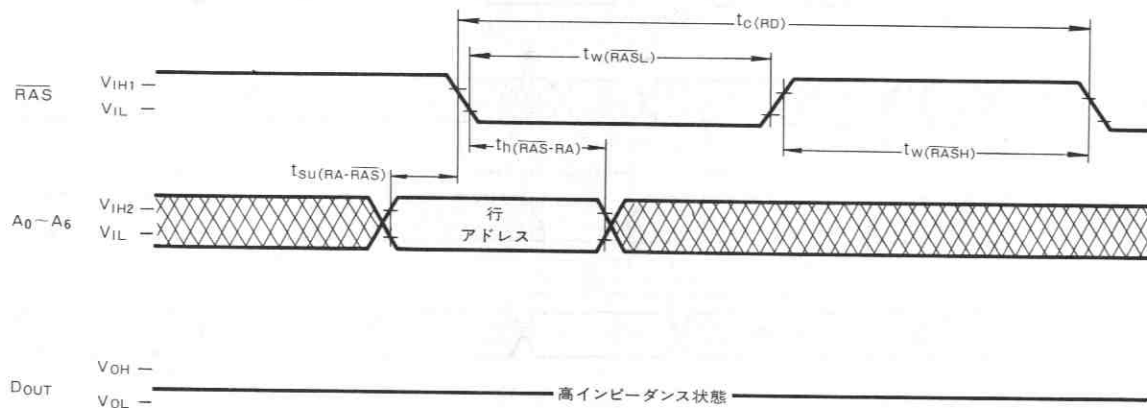
(旧形名M58759P,S)

## 16384-BIT (16384-WORD BY 1-BIT) DYNAMIC RANDOM-ACCESS MEMORY

リードライト, リードモディファイライトサイクル



### RAS オンリーリフレッシュサイクル



注13.  $\overline{\text{CAS}} = V_{IH1}$ , R/W = 任意

4

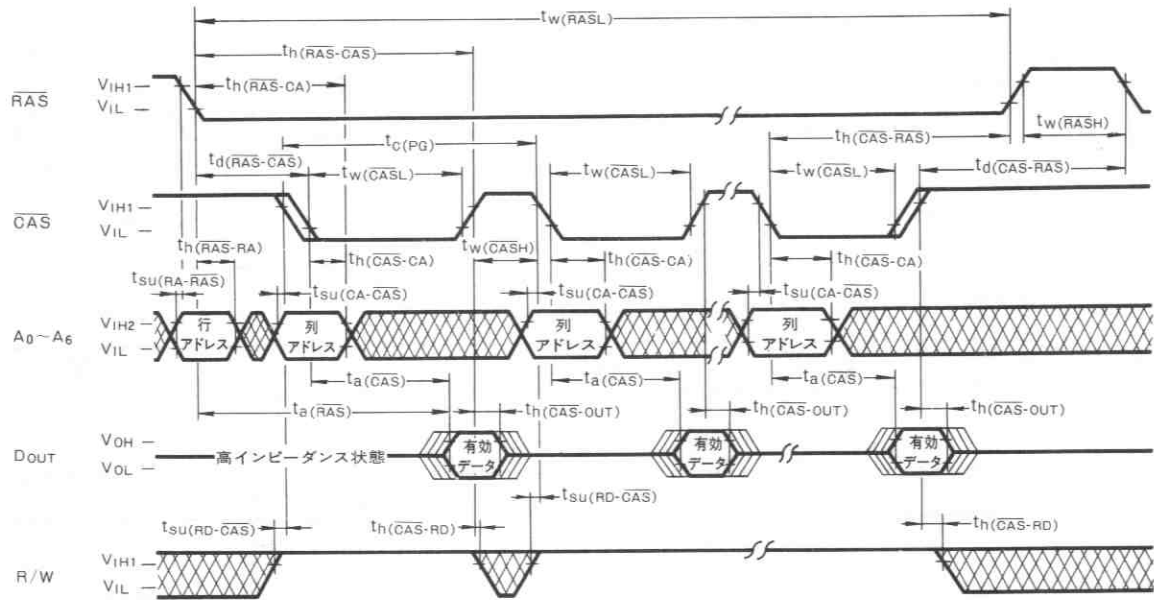


# M5K 4116P,S-2, M5K 4116P,S-3, M5K 4116P,S-4

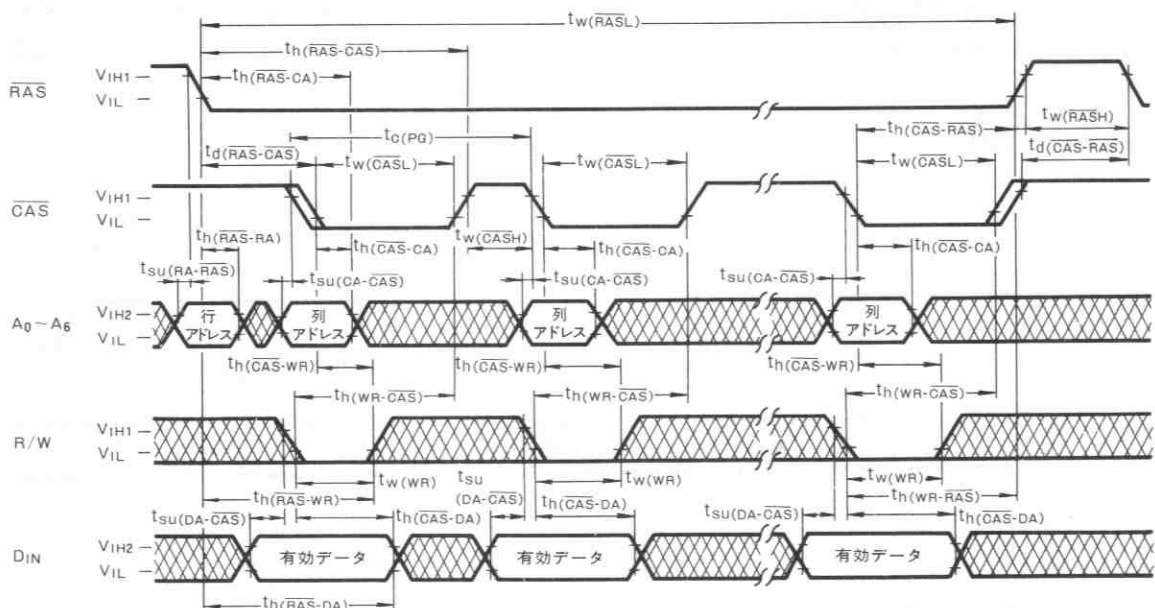
(旧形名M58759P,S)

## 16384-BIT (16384-WORD BY 1-BIT) DYNAMIC RANDOM-ACCESS MEMORY

### ページモードリードサイクル



### ページモードライトサイクル



注14.

任意入力を示します。

中心線は高インピーダンス状態を示します。

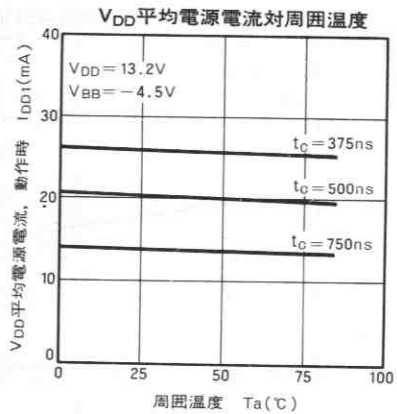
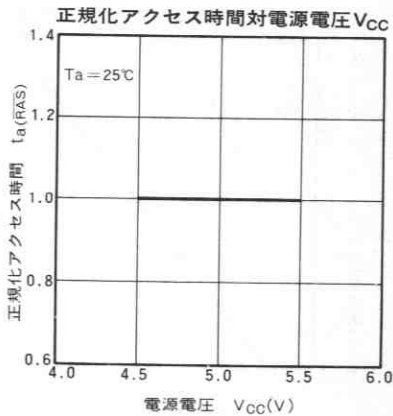
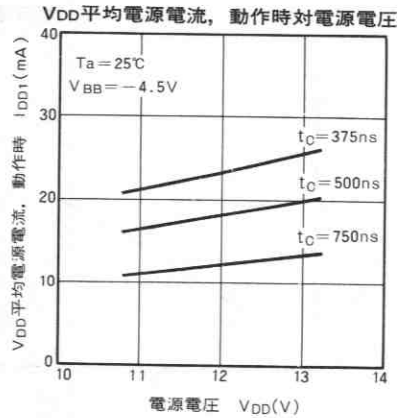
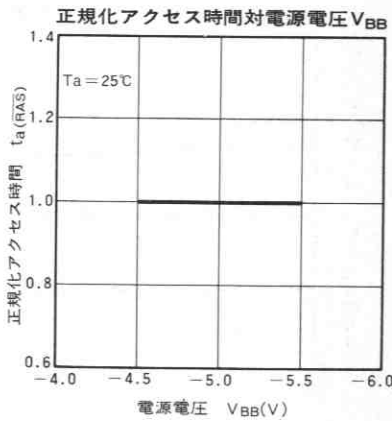
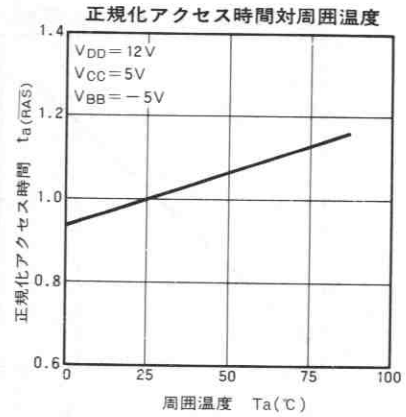
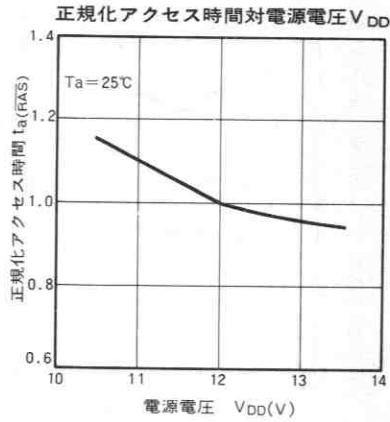


# M5K 4116P,S-2, M5K 4116P,S-3, M5K 4116P,S-4

(旧形名M58759P,S)

## 16384-BIT (16384-WORD BY 1-BIT) DYNAMIC RANDOM-ACCESS MEMORY

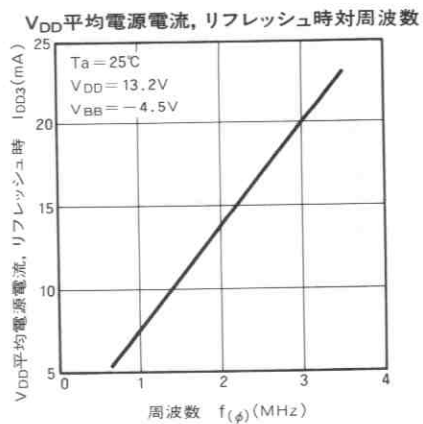
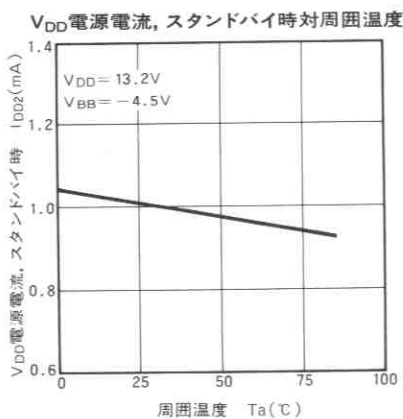
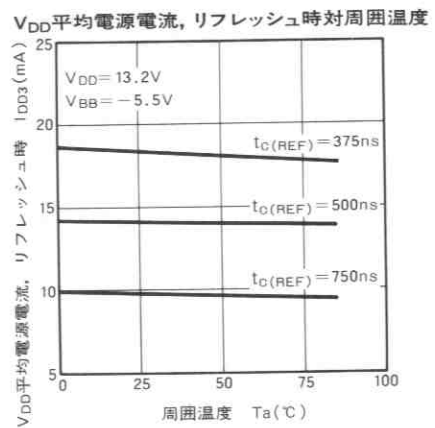
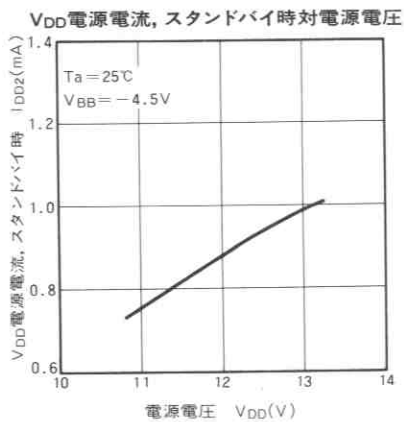
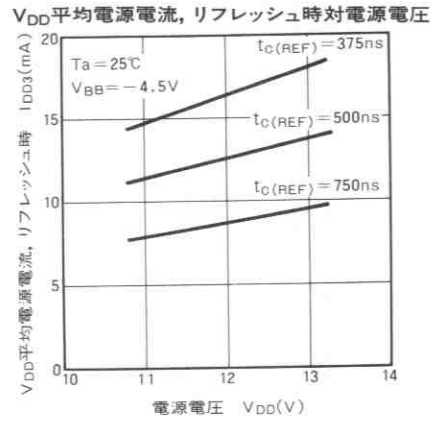
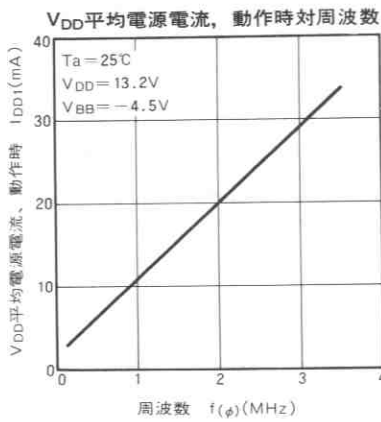
標準特性



# M5K 4116P,S-2, M5K 4116P,S-3, M5K 4116P,S-4

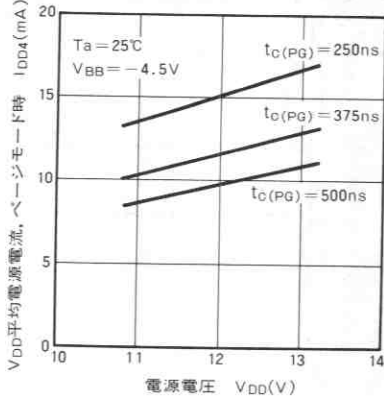
(旧形名M58759P,S)

## 16384-BIT (16384-WORD BY 1-BIT) DYNAMIC RANDOM-ACCESS MEMORY

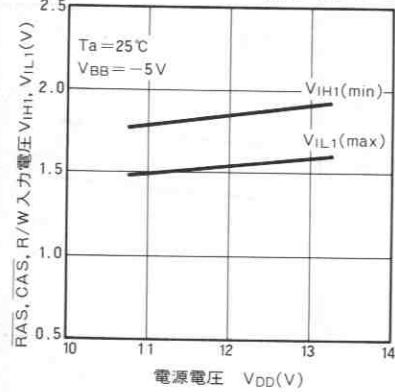


**16384-BIT (16384-WORD BY 1-BIT) DYNAMIC RANDOM-ACCESS MEMORY**

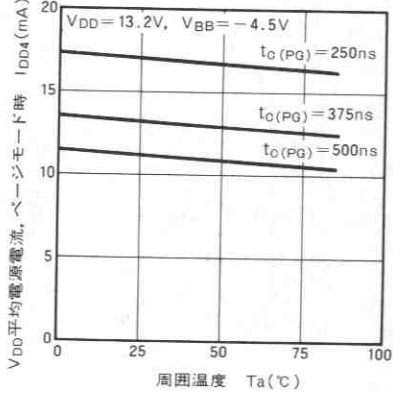
$V_{DD}$ 平均電源電流ページモード時対電源電圧



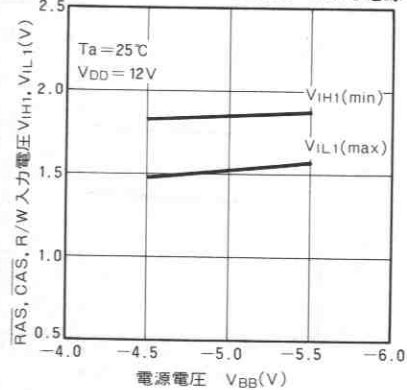
RAS, CAS, R/W入力電圧  $V_{IH1}$ ,  $V_{IL1}$  対電源電圧



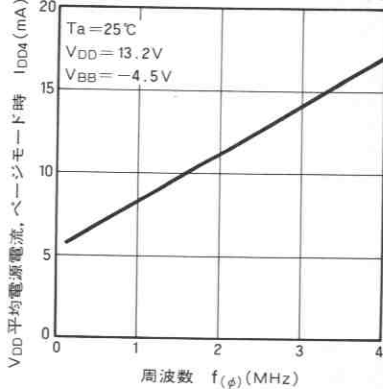
$V_{DD}$ 平均電源電流, ページモード時対周囲温度



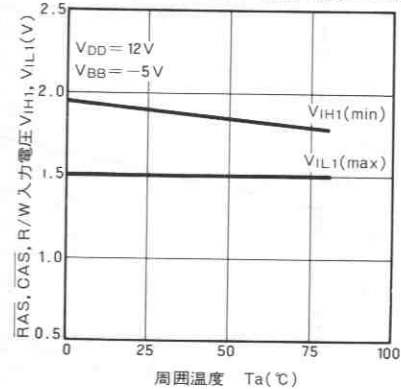
RAS, CAS, R/W入力電圧  $V_{IH1}$ ,  $V_{IL1}$  対電源電圧



$V_{DD}$ 平均電源電流, ページモード対周波数



RAS, CAS, R/W入力電圧  $V_{IH1}$ ,  $V_{IL1}$  対周囲温度

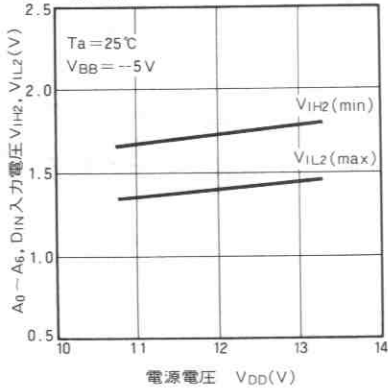


# M5K 4116P,S-2, M5K 4116P,S-3, M5K 4116P,S-4

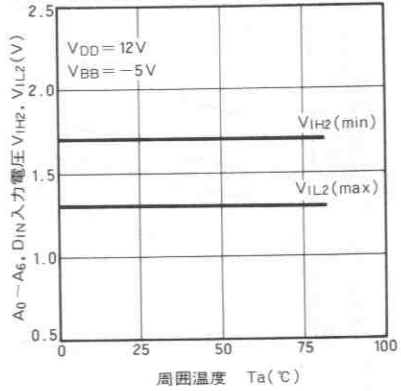
(旧形名M58759P,S)

## 16384-BIT (16384-WORD BY 1-BIT) DYNAMIC RANDOM-ACCESS MEMORY

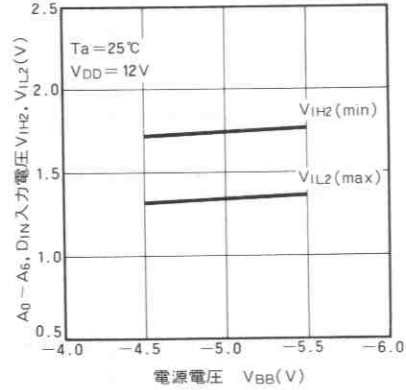
A<sub>0</sub>~A<sub>6</sub>, D<sub>IN</sub>入力電圧 V<sub>IH2</sub>, V<sub>IL2</sub>対電源電圧



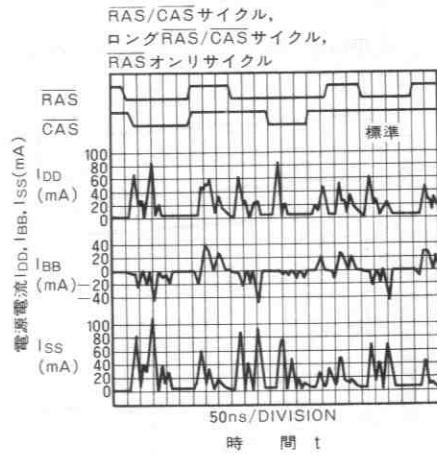
A<sub>0</sub>~A<sub>6</sub>, D<sub>IN</sub>入力電圧 V<sub>IH2</sub>, V<sub>IL2</sub>対周囲温度



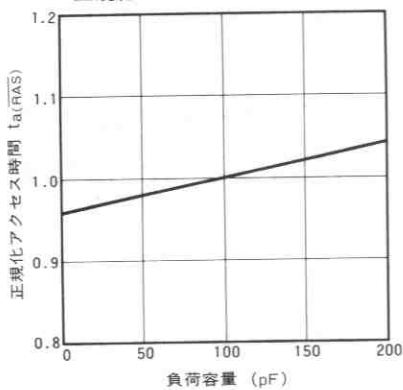
A<sub>0</sub>~A<sub>6</sub>, D<sub>IN</sub>入力電圧 V<sub>IH2</sub>, V<sub>IL2</sub>対電源電圧



電源電流対時間



正規化アクセス時間対負荷容量



# M5L 2101AP,S, M5L 2101AP,S-2, M5L 2101AP,S-4

(旧形名M58721P,S)

## 1024-BIT(256-WORD BY 4-BIT) STATIC RANDOM-ACCESS MEMORY

### 概要

M5L 2101AP, S シリーズは使い易さを重点に設計された256語×4ビットのNチャネルシリコンゲートMOSスタチックRAMです。TTLと同じ5Vの単一電源で動作し、入出力はTTLと直結可能です。

アクセス時間の分類によりM5L 2101AP, S-2、M5L 2101AP, S、M5L 2101AP, S-4の3品種があります。

### 特長

項目	M5L 2101AP,S-2	M5L 2101AP,S	M5L 2101AP,S-4
アクセス時間(最大)	250ns	350ns	450ns
サイクル時間(最小)	250ns	350ns	450ns

- 低消費電力……………150 $\mu$ W/ビット(標準)
- 5V単一電源
- 電源電圧1.5Vでのデータ保持可能(特別仕様の場合)
- 外部クロック及びリフレッシュ操作不要
- 入出力ともTTL直結可能
- 出力はスリーステートでORタイ可能
- チップセレクト信号によりメモリ容量の拡張が容易
- データ端子は入力、出力が独立
- インテル社製2101A-4とピン接続及び電気的特性の互換性あり

### 応用

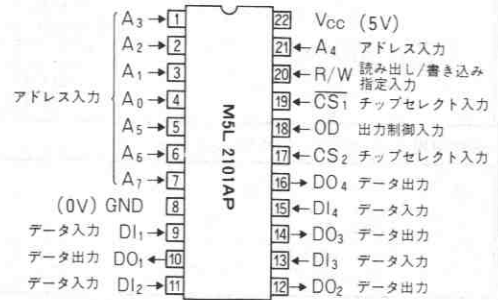
- 小容量記憶装置

### 機能概要

M5L 2101AP, S シリーズは256語×4ビット構成で、データ入力及び出力は互いに独立しています。書き込み時には、アドレス信号A<sub>0</sub>~A<sub>7</sub>で番地を指定し、R/W信号を“L”にすると、そのときのDI信号のデータが書き込まれます。

読み出し時には、R/W信号を“H”にし、アドレス信号A<sub>0</sub>~A<sub>7</sub>で番地を指定すると、指定された番地のデータがDO端子に出力

### ピン接続図(上面図)



外形 22P1(M5L 2101AP)  
22S1(M5L 2101AS)

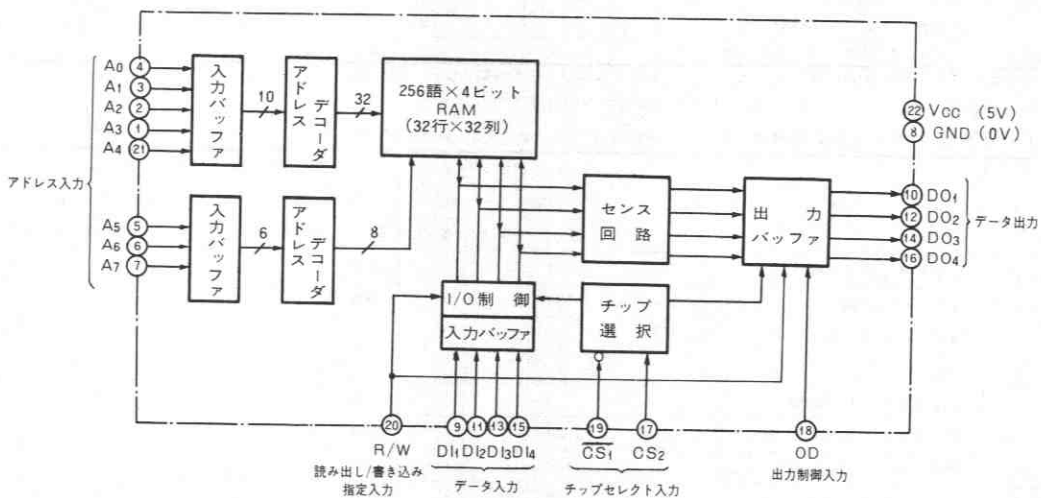
されます。

CS<sub>1</sub>信号を“H”、あるいはCS<sub>2</sub>を“L”にすると、チップは読み出しも書き込みもできない非選択状態になります。このとき出力はフローティング状態(高インピーダンス状態)になり、他のチップの出力端子とORタイが可能です。

OD信号を“H”にすると、出力端子はフローティング状態になるので、データ入力と出力とを共通に結線して使用する場合、入出力切換えの制御信号としてOD信号が使用できます。

電源電圧を1.5Vに下げても記憶データは保持されるので、停電時のバッテリーバックアップ、あるいは非動作時のパワーダウンが可能です。

### ブロック図



# M5L 2101AP,S, M5L 2101AP,S-2, M5L 2101AP,S-4

(旧形名M58721P,S)

## 1024-BIT(256-WORD BY 4-BIT) STATIC RANDOM-ACCESS MEMORY

## 絶対最大定格

記号	項目	条件	定格値	単位	
V <sub>CC</sub>	電源電圧	GND端子を基準とした場合	-0.3~7	V	
V <sub>I</sub>	入力電圧		-0.3~7	V	
V <sub>O</sub>	出力電圧		-0.3~7	V	
P <sub>d</sub>	最大消費電力	T <sub>a</sub> =25°C	M5L 2101AP	700	mW
			M5L 2101AS	1000	mW
T <sub>opr</sub>	動作周囲温度		0~70	°C	
T <sub>stg</sub>	保存温度	M5L 2101AP	-40~125	°C	
		M5L 2101AS	-65~150	°C	

推奨使用条件(指定のない場合は、T<sub>a</sub>=0~70°C)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.75	5	5.25	V
V <sub>IL</sub>	"L"入力電圧	0		0.8	V
V <sub>IH</sub>	"H"入力電圧	2.2		V <sub>CC</sub>	V

電気的特性(指定のない場合は、T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±5%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>IH</sub>	"H"入力電圧		2.2		V <sub>CC</sub>	V
V <sub>IL</sub>	"L"入力電圧		0		0.8	V
V <sub>OH</sub>	"H"出力電圧	I <sub>OH</sub> =-200μA	2.4			V
V <sub>OL</sub>	"L"出力電圧	I <sub>OL</sub> =3.5mA			0.4	V
I <sub>I</sub>	入力電流	V <sub>I</sub> =0~5.25V			10	μA
I <sub>OZH</sub>	オフ状態"H"レベル出力電流	V <sub>I</sub> (CS <sub>1</sub> )=2.2V, V <sub>O</sub> =2.4V~V <sub>CC</sub>			10	μA
I <sub>OZL</sub>	オフ状態"L"レベル出力電流	V <sub>I</sub> (CS <sub>1</sub> )=2.2V, V <sub>O</sub> =0.4V			-10	μA
I <sub>CC</sub>	電源電流	V <sub>I</sub> =5.25V全入力, 出力端子開放, T <sub>a</sub> =25°C	30		60	mA
C <sub>I</sub>	入力容量(全入力)	V <sub>I</sub> =GND, V <sub>I</sub> =25mVrms, f=1MHz,	3		5	pF
C <sub>O</sub>	出力容量	V <sub>O</sub> =GND, V <sub>O</sub> =25mVrms, f=1MHz,	8		12	pF

注1. 電流はICに流れ込む向きを正(無符号)とします。

リードサイクルスイッチング特性(指定のない場合は、T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±5%)(注2)

記号	項目	M5L 2101AP,S-2			M5L 2101AP,S			M5L 2101AP,S-4			単位
		規格値			規格値			規格値			
		最小	標準	最大	最小	標準	最大	最小	標準	最大	
t <sub>C(RD)</sub>	リードサイクル時間	250			350			450			ns
t <sub>a(AD)</sub>	アドレスアクセス時間			250			350			450	ns
t <sub>a(CS)</sub>	チップセレクトアクセス時間			180			180			180	ns
t <sub>a(OD)</sub>	ODアクセス時間			130			150			150	ns
t <sub>PXZ</sub>	出力ディスエーブル時間(注3)			100			100			100	ns
t <sub>dv(AD)</sub>	アドレスに対するデータ有効時間	40			40			40			ns

注2. 測定条件 入力パルスレベル 0.8~2V, 入力パルス上昇時間, 下降時間 20ns, 判定電圧 1.5V, 負荷 2TTL C<sub>L</sub>=100pF3. t<sub>PXZ</sub>はCS<sub>1</sub>, CS<sub>2</sub>, ODの中で最初にセットされた信号からの時間です。ライトサイクルタイミング必要条件(指定のない場合は、T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±5%)(注2)

記号	項目	M5L 2101AP,S-2			M5L 2101AP,S			M5L 2101AP,S-4			単位
		規格値			規格値			規格値			
		最小	標準	最大	最小	標準	最大	最小	標準	最大	
t <sub>C(WR)</sub>	ライトサイクル時間	170			220			270			ns
t <sub>w(WR)</sub>	ライトパルス幅	150			200			250			ns
t <sub>SU(AD)</sub>	ライトパルスに対するアドレスセットアップ時間	20			20			20			ns
t <sub>wr</sub>	ライトリカバリー時間	0			0			0			ns
t <sub>SU(OD)</sub>	データインに対するODセットアップ時間	20			20			20			ns
t <sub>SU(DA)</sub>	データセットアップ時間	100			150			170			ns
t <sub>H(DA)</sub>	データホールド時間	0			0			0			ns
t <sub>SU(CS)</sub>	チップセレクトセットアップ時間	150			200			250			ns

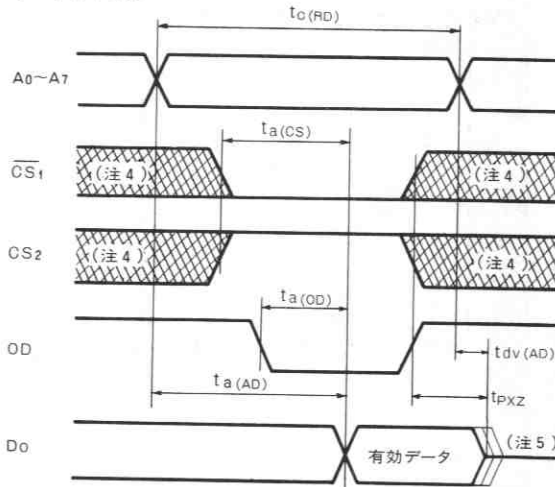
# M5L 2101AP,S, M5L 2101AP,S-2, M5L 2101AP,S-4

(旧形名M58721P,S)

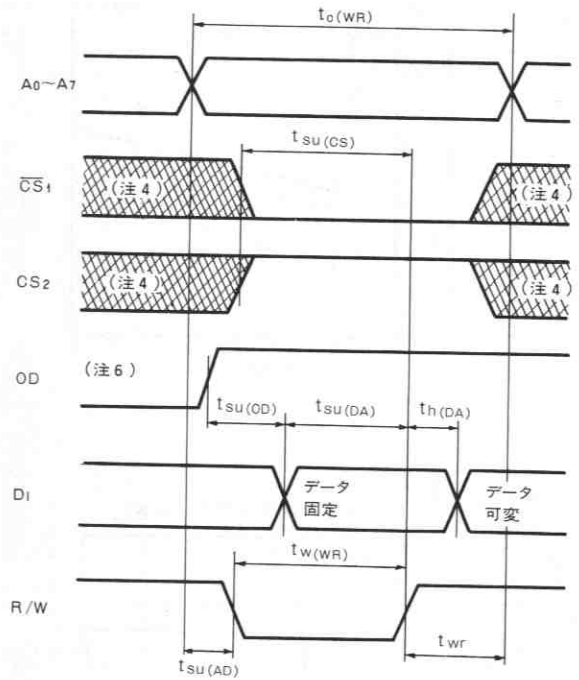
## 1024-BIT(256-WORD BY 4-BIT) STATIC RANDOM-ACCESS MEMORY

### タイミング図

#### リードサイクル



#### ライトサイクル



注4. 斜線部は“H”、“L”いずれの状態でもよろしい。

5. この期間は $t_{dv}(AD)$ の定義に対しては、無効データ状態、 $t_{pxz}$ の定義に対してはフローティング状態であることを示します。

6. 入出力端子を共通に接続しない場合は全サイクル“L”にしてよろしい。

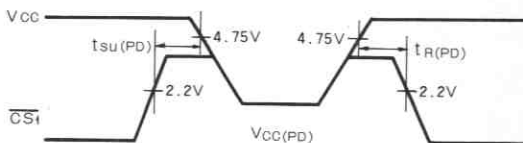
パワーダウン特性(指定のない場合は、 $T_a=0\sim 70^\circ\text{C}$ ) この特性は、特別仕様の場合のみ保証します。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$V_{CC}(PD)$	パワーダウン電源電圧		1.5			V
$V_I(\overline{CS}_1)$	パワーダウン $\overline{CS}_1$ 電圧	$2.2\text{V} \leq V_{CC}(PD) \leq V_{CC}$	2.2			V
		$1.5\text{V} \leq V_{CC}(PD) \leq 2.2\text{V}$	$V_{CC}(PD)$			V
$I_{CC}(PD1)$	パワーダウン電源電流	$V_{CC}=1.5\text{V}$ , 全入力=1.5V		15	30	mA
$I_{CC}(PD2)$	パワーダウン電源電流	$V_{CC}=2\text{V}$ , 全入力=2V		20	40	mA

パワーダウン タイミング必要条件(指定のない場合は、 $T_a=0\sim 70^\circ\text{C}$ ,  $V_{CC}=5\text{V} \pm 5\%$ ) この特性は、特別仕様の場合のみ保証します。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{su}(PD)$	パワーダウンセットアップ時間		0			ns
$t_R(PD)$	パワーダウンリカバリー時間		$t_c(RD)$			ns

#### パワーダウン タイミング図(特別仕様の場合)



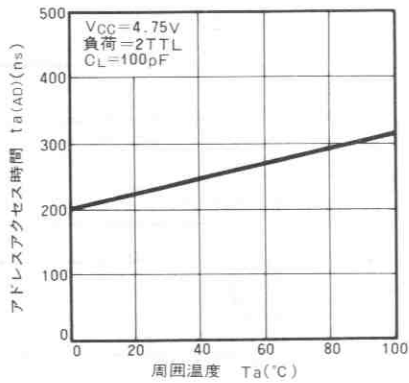
# M5L 2101AP,S, M5L 2101AP,S-2, M5L 2101AP,S-4

(旧形名M58721P,S)

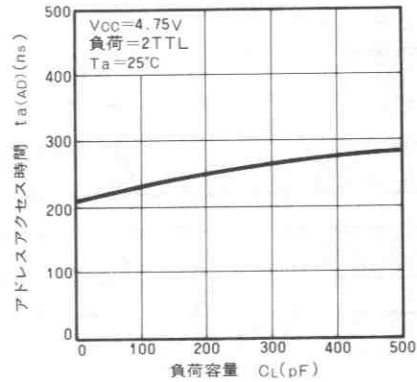
## 1024-BIT(256-WORD BY 4-BIT) STATIC RANDOM-ACCESS MEMORY

標準特性

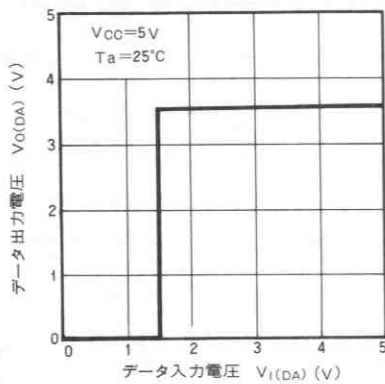
アドレスアクセス時間対周囲温度



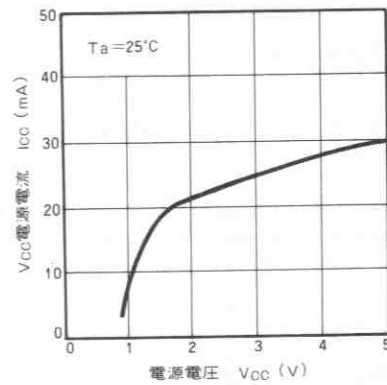
アドレスアクセス時間対負荷容量



データ端子入出力伝達特性



VCC電源電流対電源電圧VCC





# M5L 2102AP, S-4

(旧形名M58751P,S)

## 1024-BIT(1024-WORD BY 1-BIT) STATIC RANDOM-ACCESS MEMORY

### 概要

M5L 2102AP, S-4 は、使い易さを重点に設計された1024語×1ビットのNチャネルシリコンゲートMOSスタチックRAMです。TTLと同じ5Vの単一電源で動作し、入出力はTTLと直結可能です。

### 特長

- 高速アクセス時間…………… 450ns(最大)
- 低消費電力…………… 100 $\mu$ W/ビット(標準)
- 5V単一電源
- 電源電圧1.5Vでのデータ保持可能
- 外部クロック及びリフレッシュ操作不要
- 入出力ともTTL直結可能
- 出力はスリーステートでORタイ可能
- チップセレクト信号によりメモリ容量の拡張が容易
- インテル社製2102A-4とピン接続及び電気的特性の互換性あり

### 応用

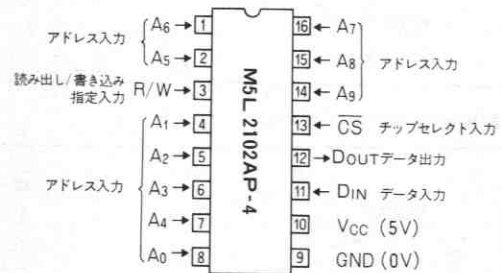
- 小容量記憶装置

### 機能概要

M5L 2102AP, S-4は、5V単一電源で動作し、入出力はTTLと直結可能です。さらに回路は、完全にスタチックなため、外部クロック及びリフレッシュ操作が不要であり非常に使い易くなっています。書き込み時には、アドレス信号A<sub>0</sub>~A<sub>9</sub>で番地を指定し、R/W信号を“L”レベルにすると、そのときのDIN信号のデータが書き込まれます。

読み出し時には、R/W信号を“H”レベルにし、アドレス信号A<sub>0</sub>~A<sub>9</sub>で番地を指定すると、指定された番地のデータがDOUT端

### ピン接続図(上面図)



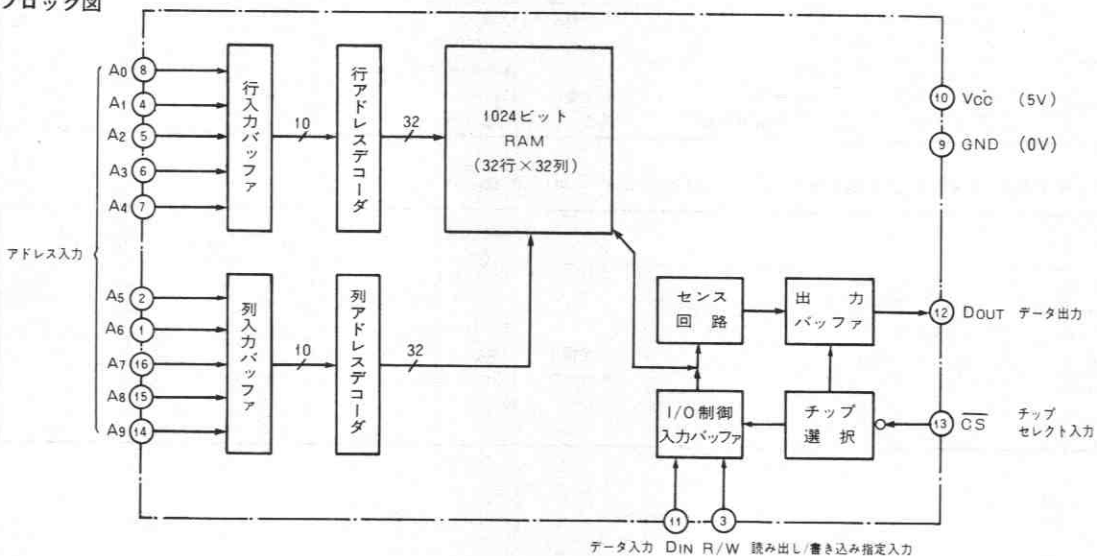
外形 16P1(M5L 2102AP-4)  
16S1(M5L 2102AS-4)

子に出力されます。

CS信号を“H”にすると、チップは読み出しも書き込みもできない非選択状態になります。このとき、出力はフローティング状態(高インピーダンス状態)になり、他のチップの出力端子とORタイが可能です。

電源電圧を1.5Vに下げても記憶データは保持されるので、停電時のバッテリバックアップあるいは非動作時のパワーダウンが可能です。

### ブロック図



# M5L 2102AP,S-4

(旧形名M58751P,S)

## 1024-BIT(1024-WORD BY 1-BIT) STATIC RANDOM-ACCESS MEMORY

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧	GND端子を基準とした場合	-0.3~7	V
V <sub>I</sub>	入力電圧		-0.3~7	V
V <sub>O</sub>	出力電圧		-0.3~7	V
P <sub>d</sub>	最大消費電力	M5L 2102AP-4	700	mW
		M5L 2102AS-4	1000	mW
T <sub>opr</sub>	動作周囲温度	T <sub>a</sub> =25°C	0~70	°C
T <sub>stg</sub>	保存温度	M5L 2102AP-4	-40~125	°C
		M5L 2102AS-4	-65~150	°C

推奨使用条件(指定のない場合は、T<sub>a</sub>=0~70°C)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.75	5	5.25	V
V <sub>IL</sub>	"L"入力電圧	0		0.65	V
V <sub>IH</sub>	"H"入力電圧	2.2		V <sub>CC</sub>	V

電気的特性(指定のない場合は、T<sub>a</sub>=0~70°C、V<sub>CC</sub>=5V±5%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>IH</sub>	"H"入力電圧		2.2		V <sub>CC</sub>	V
V <sub>IL</sub>	"L"入力電圧		0		0.65	V
V <sub>OH</sub>	"H"出力電圧	I <sub>OH</sub> =-200μA	2.4			V
V <sub>OL</sub>	"L"出力電圧	I <sub>OL</sub> =2.1mA			0.4	V
I <sub>I</sub>	入力電流	V <sub>I</sub> =0~5.25V			10	μA
I <sub>OZH</sub>	オフ状態"H"レベル出力電流	V <sub>I</sub> ( $\overline{CS}$ )=2.2V, V <sub>O</sub> =2.4V~V <sub>CC</sub>			10	μA
I <sub>OZL</sub>	オフ状態"L"レベル出力電流	V <sub>I</sub> ( $\overline{CS}$ )=2.2V, V <sub>O</sub> =0.4V			-10	μA
I <sub>CC</sub>	電源電流	V <sub>I</sub> =5.25, 全入力, 出力端子開放, T <sub>a</sub> =25°C		20	40	mA
C <sub>i</sub>	入力容量, 全入力	V <sub>I</sub> =GND, V <sub>I</sub> =25mV <sub>rms</sub> , f=1MHz		3	5	pF
C <sub>o</sub>	出力容量	V <sub>O</sub> =GND, V <sub>O</sub> =25mV <sub>rms</sub> , f=1MHz		7	10	pF

注1. 電流はICに流れ込む向きを正(無符号)とします。

リードサイクル スwitching特性(指定のない場合は、T<sub>a</sub>=0~70°C、V<sub>CC</sub>=5V±5%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>c</sub> (RD)	リードサイクル時間	入力パルス V <sub>IH</sub> =2.2V	450			ns
t <sub>a</sub> (AD)	アドレスアクセス時間	V <sub>IL</sub> =0.65V			450	ns
t <sub>a</sub> ( $\overline{CS}$ )	チップセレクトアクセス時間	t <sub>r</sub> =t <sub>f</sub> =20ns			230	ns
t <sub>dv</sub> (AD)	アドレスに対するデータ有効時間	判定電圧=1.5V	40			ns
t <sub>dv</sub> ( $\overline{CS}$ )	チップセレクトに対するデータ有効時間	負荷=1TTL, C <sub>L</sub> =100pF	0			ns

ライトサイクル タイミング必要条件(指定のない場合は、T<sub>a</sub>=0~70°C、V<sub>CC</sub>=5V±5%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>c</sub> (WR)	ライトサイクル時間	入力パルス V <sub>IH</sub> =2.2V	450			ns
t <sub>su</sub> (AD)	ライトパルスに対するアドレスセットアップ時間	V <sub>IL</sub> =0.65V	20			ns
t <sub>w</sub> (WR)	ライトパルス幅	t <sub>r</sub> =t <sub>f</sub> =20ns	300			ns
t <sub>h</sub> (DA)	データホールド時間	判定電圧=1.5V	0			ns
t <sub>su</sub> (DA)	データセットアップ時間	負荷=1TTL, C <sub>L</sub> =100pF	300			ns
t <sub>WR</sub>	ライトリカバリー時間		0			ns
t <sub>su</sub> ( $\overline{CS}$ )	ライトパルスに対する $\overline{CS}$ セットアップ時間		300			ns

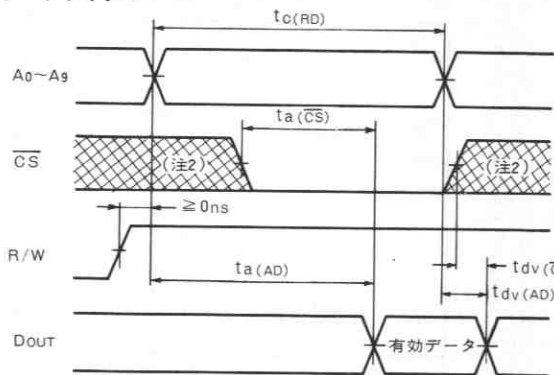
# M5L 2102AP,S-4

(旧形名M58751P,S)

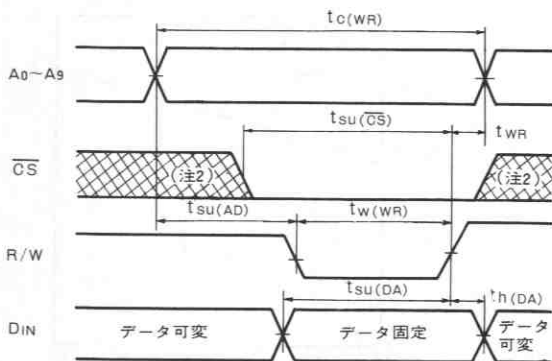
## 1024-BIT(1024-WORD BY 1-BIT) STATIC RANDOM-ACCESS MEMORY

### タイミング図

#### リードサイクル



#### ライトサイクル



注2. 斜線部は "H" "L" いずれの状態でもよろしい。

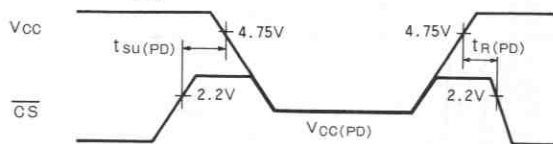
#### パワーダウン特性(指定のない場合は, Ta=0~70°C)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>CC</sub> (PD)	パワーダウン電源電圧		1.5			V
V <sub>I</sub> (CS)	パワーダウンCS電圧	2.2V ≤ V <sub>CC</sub> (PD) ≤ V <sub>CC</sub>	2.2			V
		1.5V ≤ V <sub>CC</sub> (PD) ≤ 2.2V	V <sub>CC</sub> (PD)			V
I <sub>CC</sub> (PD1)	パワーダウン電源電流	V <sub>CC</sub> =1.5V, 全入力=1.5V		13	25	mA
I <sub>CC</sub> (PD2)	パワーダウン電源電流	V <sub>CC</sub> =2V, 全入力=2V		15	30	mA

#### パワーダウン タイミング必要条件 (指定のない場合は, Ta=0~70°C, V<sub>CC</sub>=5V ±5%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>su</sub> (PD)	パワーダウンセットアップ時間		0			ns
t <sub>R</sub> (PD)	パワーダウンリカバリー時間		t <sub>c</sub> (RD)			ns

#### パワーダウン動作



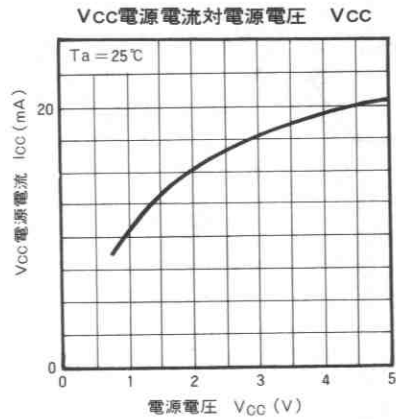
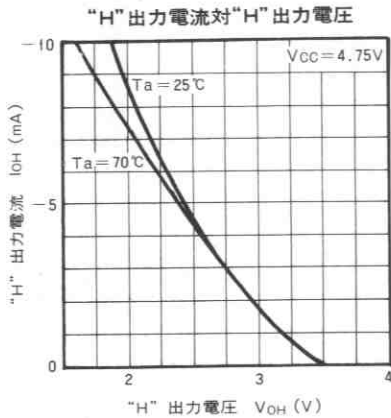
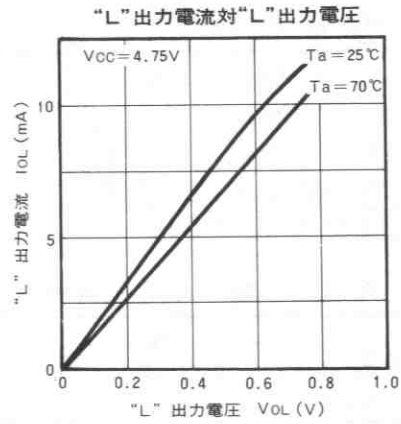
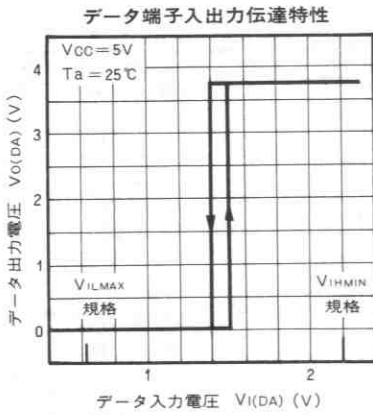
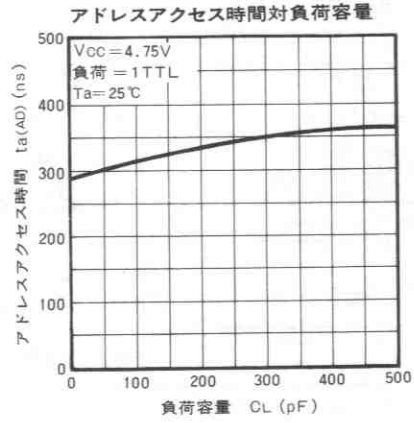
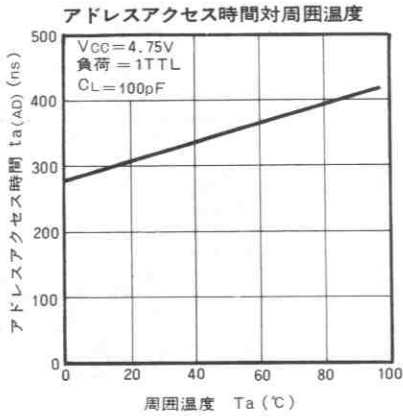
4

# M5L 2102AP,S-4

(旧形名M58751P,S)

## 1024-BIT(1024-WORD BY 1-BIT) STATIC RANDOM-ACCESS MEMORY

標準特性



# M5L 2107BP,S

(旧形名M58755P,S-1)

## 4096-BIT(4096-WORD BY 1-BIT) DYNAMIC RANDOM-ACCESS MEMORY

### 概要

M5L 2107BP, Sは、高速、低消費電力、低価格、使い易さを実現した4096語×1ビット構成のNチャネルシリコンゲートMOSダイナミックRAMで、大容量メモリスステムの应用到最適です。

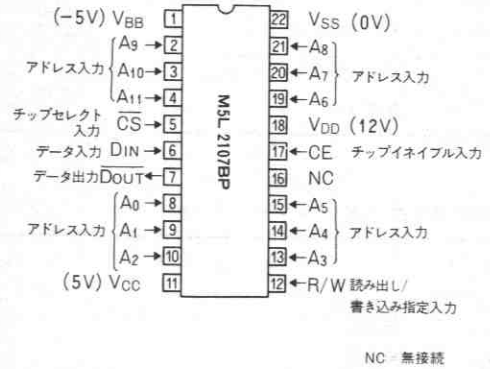
### 特長

- 高速アクセス時間.....200ns (最大)
- 高速サイクル時間.....400ns (最小)
- 低動作時消費電力.....300mW (標準)
- 低スタンバイ消費電力.....0.03 $\mu$ W/ビット (標準)
- 全電源(V<sub>DD</sub>、V<sub>CC</sub>、V<sub>BB</sub>)電圧保証領域..... $\pm 10\%$
- リフレッシュ間隔.....2ms(T<sub>a</sub>=0~70°C)
- リフレッシュアドレス、A<sub>0</sub>、A<sub>1</sub>、A<sub>2</sub>、A<sub>3</sub>、A<sub>4</sub>、A<sub>5</sub>
- CE信号を除く、他の全入力信号はTTL信号と直結可能
- CS信号を“H”電圧又はCE信号を“L”電圧にすると、出力端子はフローティング状態(高インピーダンス状態)になり、メモリ容量の拡張が容易
- インテル社製2107B、テキサスインスツルメント社製TMS 4060とピン接続及び電気的特性の互換性あり

### 用途

- 計算機主記憶装置

### ピン接続図(上面図)



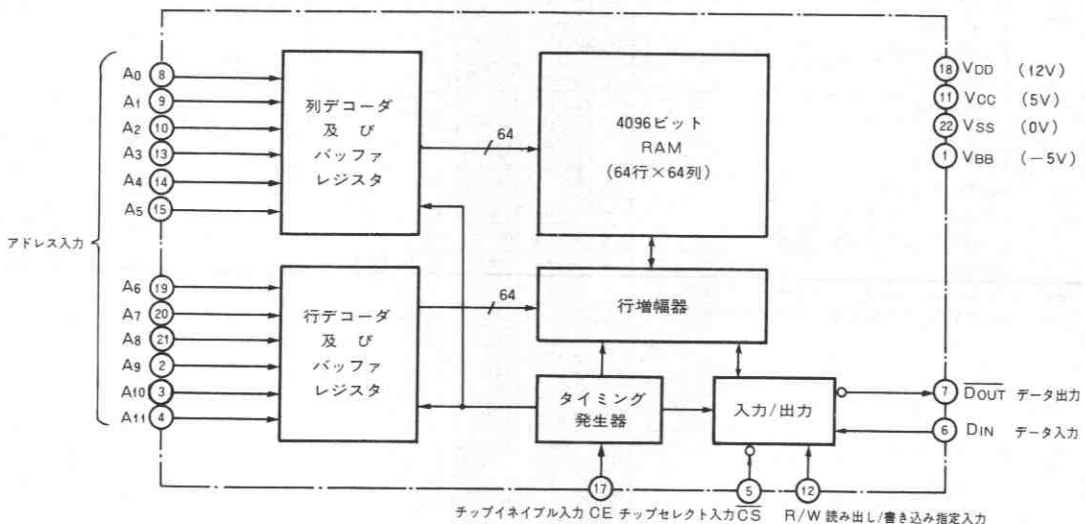
外形 22P1(M5L 2107BP)  
22S1(M5L 2107BS)

### 機能概要

A<sub>0</sub>~A<sub>11</sub>のアドレス信号で番地を指定し、R/W信号でその番地への書き込み、読み出しを制御します。CS信号を“H”にすると、チップは読み出しも書き込みもできない非選択状態になります。

リフレッシュ操作は2ms以内にA<sub>0</sub>~A<sub>5</sub>の6本のアドレス信号に対応した64の指定番地の読み出し動作を逐次行うことによって実行できます。

### ブロック図



# M5L 2107BP,S

(旧形名M58755P,S-1)

## 4096-BIT(4096-WORD BY 1-BIT) DYNAMIC RANDOM-ACCESS MEMORY

## 絶対最大定格

記号	項目	条件		定格値	単位
V <sub>DD</sub>	電源電圧	V <sub>BB</sub> 端子を基準とした場合		-0.3~20	V
V <sub>CC</sub>	電源電圧			-0.3~20	V
V <sub>SS</sub>	電源電圧			-0.3~20	V
V <sub>I</sub>	入力電圧			-0.3~20	V
V <sub>O</sub>	出力電圧			-0.3~20	V
P <sub>d</sub>	最大消費電力	M5L 2107BP	T <sub>a</sub> =25°C	700	mW
		M5L 2107BS	T <sub>a</sub> =25°C	1000	mW
T <sub>opr</sub>	動作周囲温度			0~70	°C
T <sub>stg</sub>	保存温度	M5L 2107BP		-40~125	°C
		M5L 2107BS		-65~150	°C

推奨使用条件(指定のない場合は, T<sub>a</sub>=0~70°C)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>DD</sub>	電源電圧	10.8	12	13.2	V
V <sub>CC</sub>	電源電圧	4.5	5	5.5	V
V <sub>SS</sub>	電源電圧		0		V
V <sub>BB</sub>	電源電圧	-4.5	-5	-5.5	V
V <sub>IH(CE)</sub>	"H"入力電圧, CE入力	V <sub>DD</sub> -1		V <sub>DD</sub> +1	V
V <sub>IH</sub>	"H"入力電圧, CE入力を除く入力	2.4		V <sub>CC</sub> +1	V
V <sub>IL(CE)</sub>	"L"入力電圧, CE入力	-1		1	V
V <sub>IL</sub>	"L"入力電圧, CE入力を除く入力	-1		0.6	V

電気的特性(指定のない場合は, T<sub>a</sub>=0~70°C, V<sub>DD</sub>=12V±10%, V<sub>CC</sub>=5V±10%, V<sub>SS</sub>=0V, V<sub>BB</sub>=-5V±10%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>IH(CE)</sub>	"H"入力電圧, CE入力		V <sub>DD</sub> -1		V <sub>DD</sub> +1	V
V <sub>IH</sub>	"H"入力電圧, CE入力を除く入力		2.4		V <sub>CC</sub> +1	V
V <sub>IL(CE)</sub>	"L"入力電圧, CE入力		-1		1	V
V <sub>IL</sub>	"L"入力電圧, CE入力を除く入力		-1		0.6	V
I <sub>I(CE)</sub>	入力電流, CE入力	V <sub>I</sub> =V <sub>DD</sub> +1V		0.01	2	μA
I <sub>I</sub>	入力電流, CE入力を除く入力	V <sub>I</sub> =6.5V		0.01	10	μA
V <sub>OH</sub>	"H"出力電圧	I <sub>OH</sub> =-2mA	2.4		V <sub>CC</sub>	V
V <sub>OL</sub>	"L"出力電圧	I <sub>OL</sub> =2mA	0		0.45	V
I <sub>OZ</sub>	オフ状態出力電流	V <sub>OZ</sub> =0~V <sub>CC</sub>			±10	μA
I <sub>DD1</sub>	V <sub>DD</sub> 電源電流	V <sub>IL(CE)</sub> =-1V~-0.6V		10	200	μA
I <sub>DD2</sub>	V <sub>DD</sub> 電源電流	V <sub>I(CE)</sub> =V <sub>IH(CE)</sub> , V <sub>I(CS)</sub> =V <sub>IL</sub>		10	25	mA
I <sub>CC</sub>	V <sub>CC</sub> 電源電流	V <sub>I(CE)</sub> =V <sub>IL(CE)</sub> 又はV <sub>I(CS)</sub> =V <sub>IH</sub>		0.01	10	μA
I <sub>BB</sub>	V <sub>BB</sub> 電源電流			0.01	100	μA
I <sub>DD(AV)</sub>	V <sub>DD</sub> 平均電源電流	t <sub>w(CE)</sub> =230ns, t <sub>c</sub> =400ns		25	40	mA
C <sub>I(CE)</sub>	入力容量, CE入力	V <sub>IL</sub> =V <sub>SS</sub> , V <sub>BB</sub> =-5V, f=1MHz		17	25	pF
C <sub>I</sub>	入力容量, CE入力を除く入力	V <sub>IL</sub> =V <sub>SS</sub> , V <sub>BB</sub> =-5V, f=1MHz		5	7	pF
C <sub>O</sub>	出力容量	V <sub>OL</sub> =V <sub>SS</sub> , V <sub>BB</sub> =-5V, f=1MHz		5	7	pF

- 注1. 電流はICに流れ込む向きを正(無符号)とします。  
 2. V<sub>DD</sub>平均電源電流以外の項目は2品種とも共通です。

## 4096-BIT(4096-WORD BY 1-BIT) DYNAMIC RANDOM-ACCESS MEMORY

## リード、ライト、リードモディファイライトサイクル タイミング必要条件

(指定のない場合は、 $T_a=0\sim 70^\circ\text{C}$ 、 $V_{DD}=12\text{V}\pm 10\%$ 、 $V_{CC}=5\text{V}\pm 10\%$ 、 $V_{SS}=0\text{V}$ 、 $V_{BB}=-5\text{V}\pm 10\%$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>C</sub> (REF)	リフレッシュサイクル時間				2	ms
t <sub>w</sub> (CEL)	CE"L"パルス幅		130			ns
t <sub>r</sub> (CE)	CEパルス上昇時間				40	ns
t <sub>f</sub> (CE)	CEパルス下降時間				40	ns
t <sub>su</sub> (AD)	アドレスセットアップ時間		0			ns
t <sub>su</sub> (CS)	CSセットアップ時間		0			ns
t <sub>h</sub> (AD)	アドレスホールド時間		100			ns
t <sub>h</sub> (CS)	CSホールド時間		100			ns

## リードサイクル タイミング必要条件

(指定のない場合は、 $T_a=0\sim 70^\circ\text{C}$ 、 $V_{DD}=12\text{V}\pm 10\%$ 、 $V_{CC}=5\text{V}\pm 10\%$ 、 $V_{SS}=0\text{V}$ 、 $V_{BB}=-5\text{V}\pm 10\%$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>C</sub> (RD)	リードサイクル時間	t <sub>r</sub> =t <sub>f</sub> =20ns	400			ns
t <sub>w</sub> (CEH)	CE"H"パルス幅		230		4000	ns
t <sub>su</sub> (RD)	リードセットアップ時間		-10			ns
t <sub>h</sub> (RD)	リードホールド時間		0			ns

## リードサイクル スイッチング特性

(指定のない場合は、 $T_a=0\sim 70^\circ\text{C}$ 、 $V_{DD}=12\text{V}\pm 10\%$ 、 $V_{CC}=5\text{V}\pm 10\%$ 、 $V_{SS}=0\text{V}$ 、 $V_{BB}=-5\text{V}\pm 10\%$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>a</sub> (CE)	CEアクセス時間	C <sub>L</sub> =50pF, 負荷=1TTL, V <sub>REF</sub> =2.0V t <sub>su</sub> (AD)=0ns, t <sub>r</sub> =t <sub>f</sub> =20ns			180	ns
t <sub>a</sub> (AD)	アドレスアクセス時間				200	ns
t <sub>dv</sub> (CE)	CEに対するデータ有効時間		0			ns

## ライトサイクル又はリードモディファイライトサイクル タイミング必要条件

(指定のない場合は、 $T_a=0\sim 70^\circ\text{C}$ 、 $V_{DD}=12\text{V}\pm 10\%$ 、 $V_{CC}=5\text{V}\pm 10\%$ 、 $V_{SS}=0\text{V}$ 、 $V_{BB}=-5\text{V}\pm 10\%$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>C</sub> (WR)	ライトサイクル時間	t <sub>r</sub> =t <sub>f</sub> =20ns	400			ns
t <sub>C</sub> (RMW)	リードモディファイライトサイクル時間		520			ns
t <sub>w</sub> (CEH)	CE"H"パルス幅, ライトサイクル		230		4000	ns
t <sub>w</sub> (CEH)	CE"H"パルス幅, リードモディファイライトサイクル		350		4000	ns
t <sub>su</sub> (RD)	リードセットアップ時間		-10			ns
t <sub>h</sub> (RD)	リードホールド時間		180			ns
t <sub>su</sub> (WR)	ライトセットアップ時間		150			ns
t <sub>w</sub> (WR)	ライトパルス幅		50			ns
t <sub>d</sub> (WR)	ライト遅延時間		150			ns
t <sub>su</sub> (DA)	データセットアップ時間		0			ns
t <sub>h</sub> (DA)	データホールド時間		0			ns

## リードモディファイライトサイクル スイッチング特性

(指定のない場合は、 $T_a=0\sim 70^\circ\text{C}$ 、 $V_{DD}=12\text{V}\pm 10\%$ 、 $V_{CC}=5\text{V}\pm 10\%$ 、 $V_{SS}=0\text{V}$ 、 $V_{BB}=-5\text{V}\pm 10\%$ )

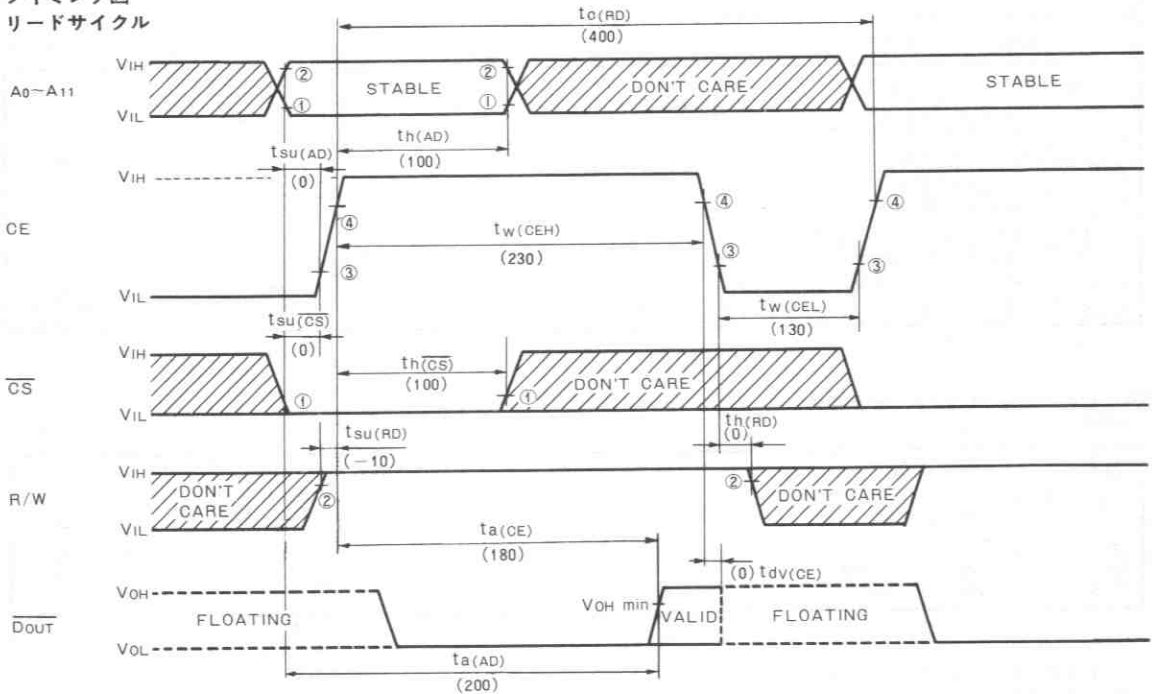
記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>a</sub> (CE)	CEアクセス時間	C <sub>L</sub> =50pF, 負荷=1TTL, V <sub>REF</sub> =2.0V t <sub>su</sub> (AD)=0ns, t <sub>r</sub> =t <sub>f</sub> =20ns			180	ns
t <sub>a</sub> (AD)	アドレスアクセス時間				200	ns
t <sub>dv</sub> (CE)	CEに対するデータ有効時間		0			ns

# M5L 2107BP,S

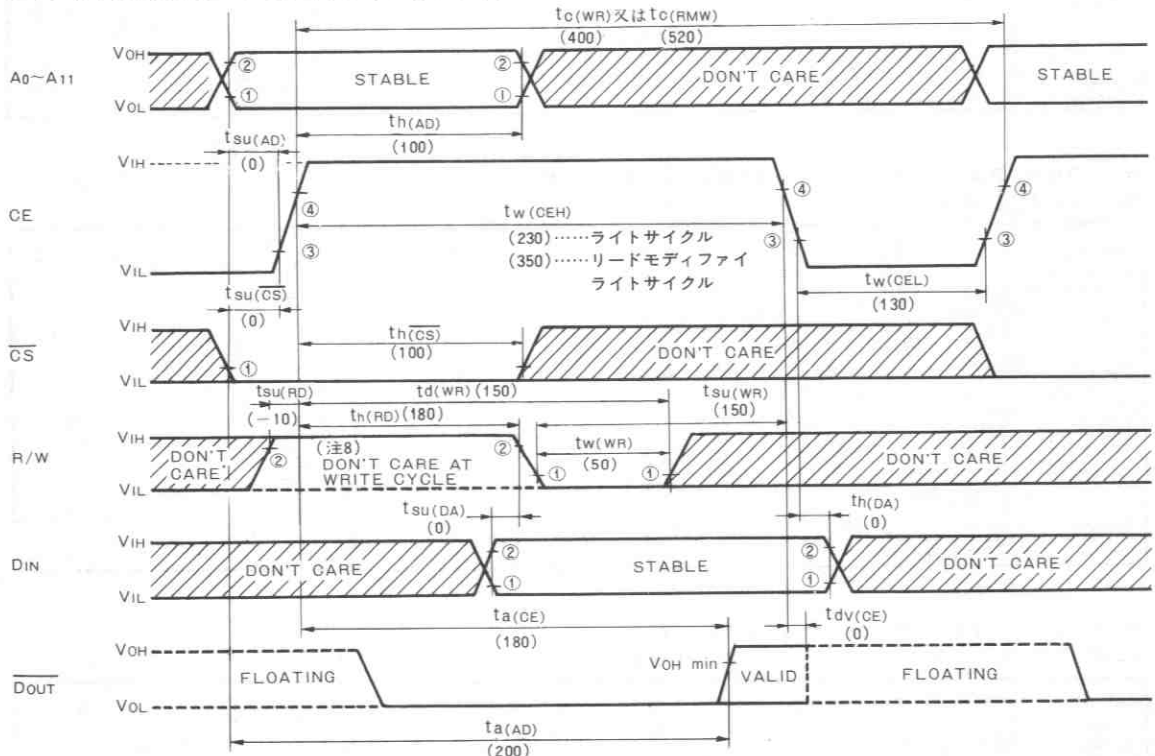
(旧形名M58755P,S-1)

## 4096-BIT(4096-WORD BY 1-BIT) DYNAMIC RANDOM-ACCESS MEMORY

タイミング図  
リードサイクル



ライトサイクル又はリードモディファイライトサイクル



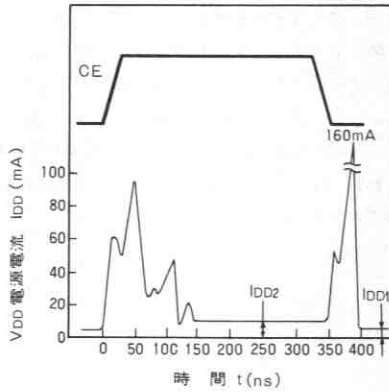
- 注4. 斜線部はH、L及び波形の遷移のいずれの状態でもよい時間帯です。定義されます。
5. ①は $V_{SS}+0.6V$ 、②は $V_{SS}+2.4V$ の電位を示す。8. 破線部の期間、リードモディファイライトサイクルではHに保つ必要があります。
6. ③は $V_{SS}+2V$ 、④は $V_{DD}-2V$ の電位を示す。
7. CEパルスの遷移時間( $t_r$ )は③から④及び④から③への遷移時間で示されています。
9. ( )内の数字は最小タイミング値(単位: ns)を示しています。



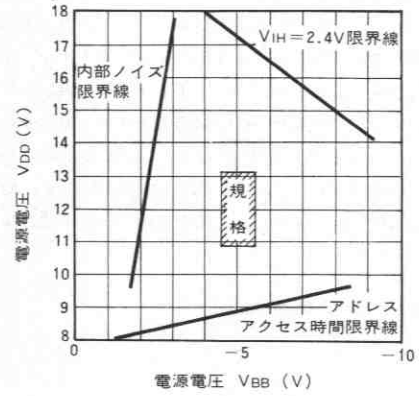
## 4096-BIT(4096-WORD BY 1-BIT) DYNAMIC RANDOM-ACCESS MEMORY

## 標準特性

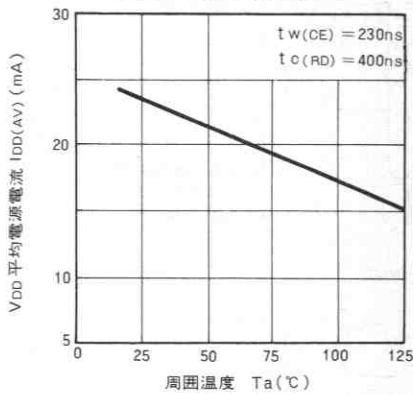
VDD電源電流対時間



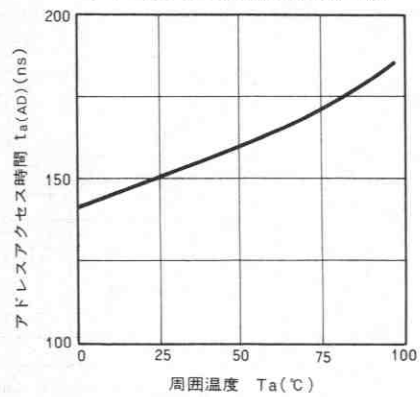
VDD対VBB動作領域



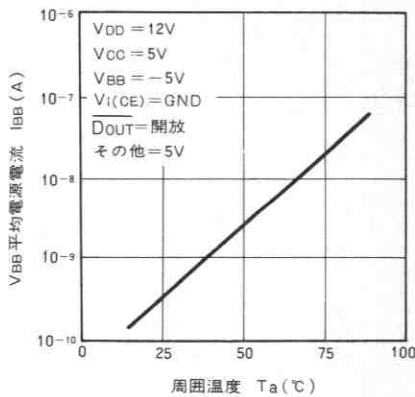
VDD平均電源電流対周囲温度



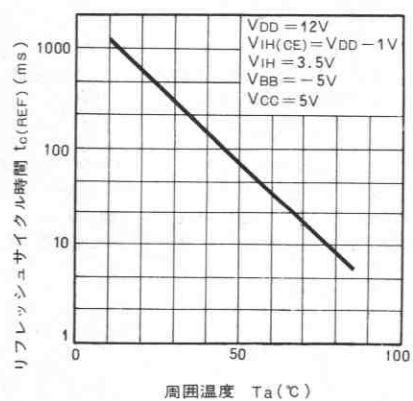
アドレスアクセス時間対周囲温度



VBB平均電源電流対周囲温度



リフレッシュサイクル時間対周囲温度



# M5L 2107BP,S

(旧形名 M58755P,S-1)

## 4096-BIT(4096-WORD BY 1-BIT) DYNAMIC RANDOM-ACCESS MEMORY

### 応用

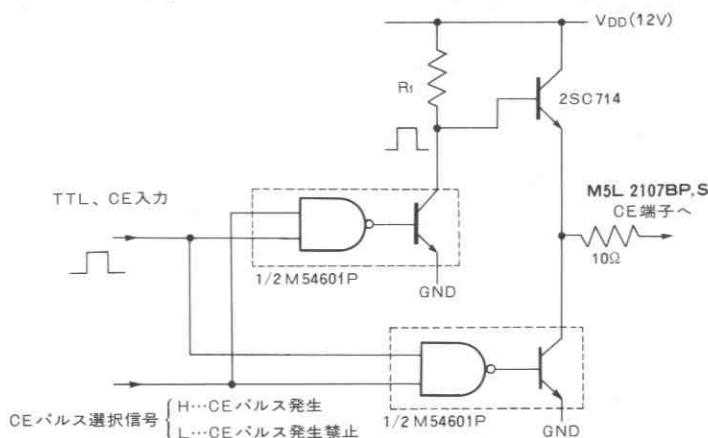
#### リフレッシュ操作法

M5L 2107BP, S はダイナミックRAMですので、リフレッシュ操作が必要です。リフレッシュ操作はリードサイクル、ライトサイクル及びリードモディファイライトサイクルのいずれでも、Xアドレスによって選択された64のメモリセルを一サイクルでリフレッシュします。したがって、4096ビットの全メモリセルをすべてリフレッシュするには、2ms以内にA<sub>0</sub>～A<sub>5</sub>の6本のアドレス信号に対応した64の指定番地すべての読み出し

動作を実行すればよいのです。この場合、ライトサイクルとリードモディファイライトサイクルはCS信号を“L”のままにしておく必要があります。リードサイクルの場合には、CS信号は“H”“L”いずれでもかまいません。CSを“H”にして、チップが非選択の状態を読み出し動作を実行すれば、出力端子(Dout)はフローティング状態(高インピーダンス状態)のままリフレッシュが行われます。したがって、メモリスステムに使用されているすべてのM5L 2107BP, Sを64サイクルでリフレッシュすることが可能です。

#### CEパルス用ドライバー回路(推奨)

部品 M54601P……1個  
2SC714 ……1個  
抵抗 ……2本



注10. R<sub>1</sub>は必要とするパルスの上昇時間によって値を選択します。

例) CEパルスの負荷容量C<sub>L</sub>=300 pFの場合

$$R_1 = 300\Omega \left(\frac{1}{2}W\right)$$

$$\left( \begin{array}{ll} \text{上昇時間 } t_r = 30\text{ns} & \text{下降時間 } t_f = 30\text{ns} \\ t_{\text{PHL}} = 20\text{ns} & t_{\text{PLH}} = 20\text{ns} \end{array} \right)$$

11. 1つのCEドライバー回路に対して、1個のM54601P (Dual Peripheral Positive AND Driver)で構成してください。

## M5L 2111AP,S, M5L 2111AP,S-2, M5L 2111AP,S-4

(旧形名M58722P,S)

## 1024-BIT(256-WORD BY 4-BIT) STATIC RANDOM-ACCESS MEMORY

## 概要

M5L 2111AP,Sシリーズは使い易さを重点に設計された256語×4ビットのNチャンネルシリコンゲートMOSスタチックRAMです。TTLと同じ5Vの単一電源で動作し、入出力はTTLと直結可能です。

I/O端子は共通であり、OD端子(出力制御入力)を持っています。

アクセス時間の分類によりM5L 2111AP, S-2, M5L 2111AP, S, M5L 2111AP, S-4の3品種があります。

## 特長

項目	M5L 2111AP, S-2	M5L 2111AP, S	M5L 2111AP, S-4
アクセス時間(最大)	250ns	350ns	450ns
サイクル時間(最小)	250ns	350ns	450ns

- 低消費電力……………150 $\mu$ W/ビット(標準)
- 5V単一電源
- 電源電圧1.5Vでのデータ保持可能(特別仕様の場合)
- 外部クロック及びリフレッシュ操作不要
- 入出力ともTTL直結可能
- 出力はスリーステートでORタイ可能
- チップセレクト信号によりメモリ容量の拡張が容易
- データ端子は入力、出力が共通
- インテル社製2111A-4と、ピン接続及び電気的特性の互換性あり

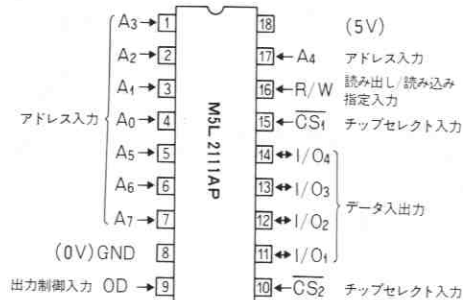
## 応用

- 小容量記憶装置

## 機能概要

M5L 2111AP, Sシリーズは256語×4ビット構成で、データ入出力端子は共通になっています。書き込み時には、アドレス信号A<sub>0</sub>~A<sub>7</sub>で番地を指定し、OD信号を“H”レベルにして、I/O端子を入力モードにし、R/W信号を“L”にすると、そのときのI/Oのデータが書き込まれます。

## ピン接続図(上面図)



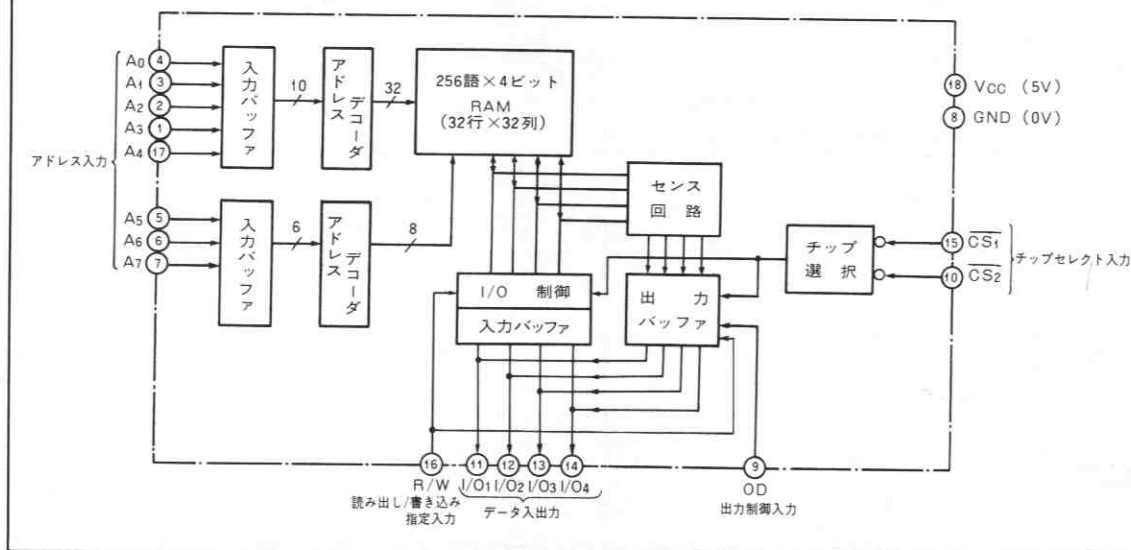
外形 18P1(M5L 2111AP)  
18S1(M5L 2111AS)

読み出し時には、R/W信号を“H”にし、アドレス信号A<sub>0</sub>~A<sub>7</sub>で番地を指定し、OD信号を“L”にしてI/O端子を出力モードにすると、指定された番地のデータがI/O端子に出力されます。

CS<sub>1</sub>信号あるいはCS<sub>2</sub>信号を“H”にすると、チップは読み出しも書き込みもできない非選択状態になります。このとき出力はフローティング状態(高インピーダンス状態)になりますので、他のチップの出力端子とORタイが可能です。

電源電圧を1.5Vに下げても記憶データは保持されるので、停電時のバッテリーバックアップ、あるいは非動作時のパワーダウンが可能です。

## ブロック図



# M5L 2111AP,S, M5L 2111AP,S-2, M5L 2111AP,S-4

(旧形名M58722P,S)

## 1024-BIT(256-WORD BY 4-BIT) STATIC RANDOM-ACCESS MEMORY

## 絶対最大定格

記号	項目	条件	定格値	単位	
V <sub>CC</sub>	電源電圧	GND端子を基準とした場合	-0.3~7	V	
V <sub>I</sub>	入力電圧		-0.3~7	V	
V <sub>O</sub>	出力電圧		-0.3~7	V	
P <sub>d</sub>	最大消費電力	Ta=25°C	M5L 2111AP	700	mW
			M5L 2111AS	1000	mW
T <sub>opr</sub>	動作周囲温度		0~70	°C	
T <sub>stg</sub>	保存温度	M5L 2111AP	-40~125	°C	
		M5L 2111AS	-65~150	°C	

## 推奨使用条件(指定のない場合は, Ta=0~70°C)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.75	5	5.25	V
V <sub>IL</sub>	"L"入力電圧	0		0.8	V
V <sub>IH</sub>	"H"入力電圧	2.2		V <sub>CC</sub>	V

電気的特性(指定のない場合は, Ta=0~70°C, V<sub>CC</sub>=5V±5%)

記号	項目	測定条件	測定条件			単位
			最小	標準	最大	
V <sub>IH</sub>	"H"入力電圧		2.2		V <sub>CC</sub>	V
V <sub>IL</sub>	"L"入力電圧		0		0.8	V
V <sub>OH</sub>	"H"出力電圧	I <sub>OH</sub> =-200μA	2.4			V
V <sub>OL</sub>	"L"出力電圧	I <sub>OL</sub> =3.5mA			0.4	V
I <sub>I</sub>	入力電流	V <sub>I</sub> =0~5.25V			10	μA
I <sub>OZH</sub>	オフ状態"H"レベル出力電流	V <sub>I</sub> (CS1)=2.2V, V <sub>O</sub> =2.4V~V <sub>CC</sub>			10	μA
I <sub>OZL</sub>	オフ状態"L"レベル出力電流	V <sub>I</sub> (CS1)=2.2V, V <sub>O</sub> =0.4V			-10	μA
I <sub>CC</sub>	電源電流	V <sub>I</sub> =5.25V, 全入力, 出力端子開放, Ta=25°C	30		60	mA
C <sub>I</sub>	入力容量, 全入力	V <sub>I</sub> =GND, V <sub>I</sub> =25mVrms, f=1MHz,	3		5	pF
C <sub>O</sub>	出力容量	V <sub>O</sub> =GND, V <sub>O</sub> =25mVrms, f=1MHz,	8		12	pF

注1. 電流はICに流れ込む向きを正(無符号)とします。

リードサイクルスイッチング特性(指定のない場合は, Ta=0~70°C, V<sub>CC</sub>=5V±5%)(注2)

記号	項目	M5L 2111AP,S-2			M5L 2111AP,S			M5L 2111AP,S-4			単位
		規格値			規格値			規格値			
		最小	標準	最大	最小	標準	最大	最小	標準	最大	
t <sub>CRD</sub>	リードサイクル時間	250			350			450			ns
t <sub>a</sub> (AD)	アドレスアクセス時間			250			350			450	ns
t <sub>a</sub> (CS)	チップセレクトアクセス時間			180			180			180	ns
t <sub>a</sub> (OD)	ODアクセス時間			130			150			150	ns
t <sub>pxZ</sub>	出力ディスエーブル時間(注3)			100			100			100	ns
t <sub>dv</sub> (AD)	アドレスに対するデータ有効時間	40			40			40			ns

注2. 測定条件 入力パルスレベル 0.8~2V, 入力パルス上昇時間, 下降時間 20ns, 判定電圧 1.5V, 負荷 2TTL C<sub>L</sub>=100pF3. t<sub>pxZ</sub>はCS<sub>1</sub>, CS<sub>2</sub>, ODの中で最初にセットされた信号からの時間です。ライトサイクルタイミング必要条件(指定のない場合は, Ta=0~70°C, V<sub>CC</sub>=5V±5%)(注2)

記号	項目	M5L 2111AP,S-2			M5L 2111AP,S			M5L 2111AP,S-4			単位
		規格値			規格値			規格値			
		最小	標準	最大	最小	標準	最大	最小	標準	最大	
t <sub>c</sub> (WR)	ライトサイクル時間	170			220			270			ns
t <sub>w</sub> (WR)	ライトパルス幅	150			200			250			ns
t <sub>su</sub> (AD)	ライトパルスに対するアドレスセットアップ時間	20			20			20			ns
t <sub>wr</sub>	ライトリカバリー時間	0			0			0			ns
t <sub>su</sub> (OD)	データインに対するODセットアップ時間	20			20			20			ns
t <sub>su</sub> (DA)	データセットアップ時間	100			150			170			ns
t <sub>h</sub> (DA)	データホールド時間	0			0			0			ns
t <sub>su</sub> (CS)	チップセレクトセットアップ時間	150			200			250			ns

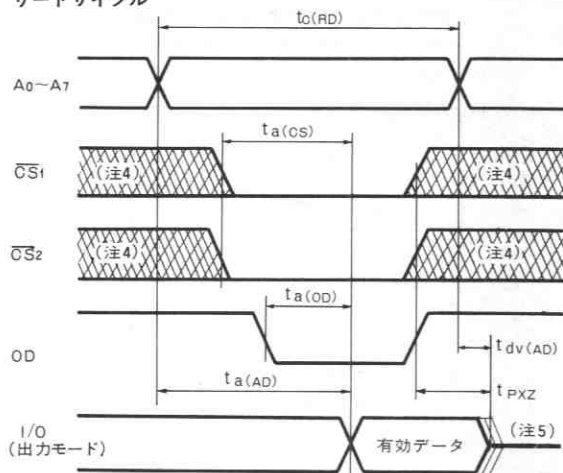
## M5L 2111AP,S, M5L 2111AP,S-2, M5L 2111AP,S-4

(旧形名M58722P,S)

## 1024-BIT(256-WORD BY 4-BIT) STATIC RANDOM-ACCESS MEMORY

## タイミング図

## リードサイクル

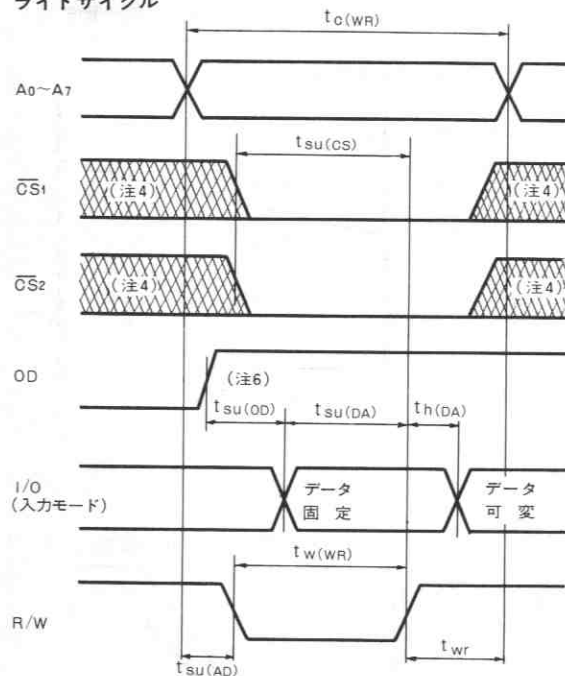


注4. 斜線部は“H”、“L”いずれの状態でもよい。

5. この期間(は $t_{dv}(AD)$ の定義に対しては無効データ状態、 $t_{PXZ}$ の定義に対してはフローティング状態であることを示します。

6. この期間はI/O端子が出力状態であるから外部よりI/O端子に信号を加えないでください。

## ライトサイクル

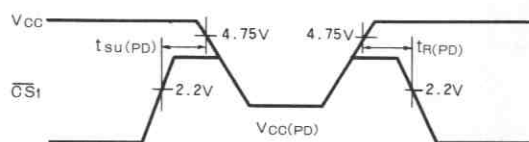
パワーダウン特性(指定のない場合は、 $T_a=0\sim 70^\circ\text{C}$ ) この特性は、特別仕様の場合のみ保証します。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$V_{CC}(PD)$	パワーダウン電源電圧		1.5			V
$V_I(\overline{CS}_1)$	パワーダウン $\overline{CS}_1$ 電圧	$2.2\text{V} \leq V_{CC}(PD) \leq V_{CC}$	2.2			V
$I_{CC}(PD1)$	パワーダウン電源電流	$1.5\text{V} \leq V_{CC}(PD) \leq 2.2\text{V}$	$V_{CC}(PD)$			V
$I_{CC}(PD2)$	パワーダウン電源電流	$V_{CC}=1.5\text{V}$ , 全入力=1.5V		15	30	mA
		$V_{CC}=2\text{V}$ , 全入力=2V		20	40	mA

パワーダウン動作 タイミング必要条件(指定のない場合は、 $T_a=0\sim 70^\circ\text{C}$ ,  $V_{CC}=5\text{V} \pm 5\%$ ) この特性は、特別仕様の場合のみ保証します。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{su}(PD)$	パワーダウンセットアップ時間		0			ns
$t_R(PD)$	パワーダウンリカバリー時間		$t_0(RD)$			ns

## パワーダウン タイミング図(特別仕様の場合)



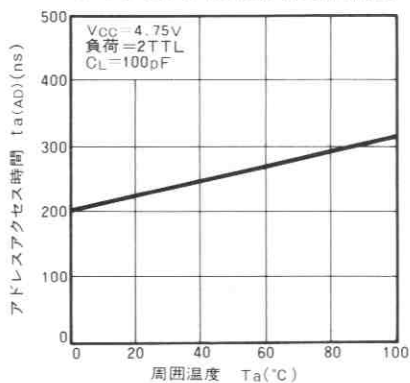
# M5L 2111AP,S, M5L 2111AP,S-2, M5L 2111AP,S-4

(旧形名M58722P,S)

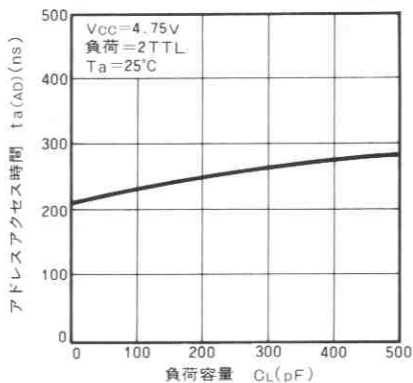
## 1024-BIT(256-WORD BY 4-BIT) STATIC RANDOM-ACCESS MEMORY

標準特性

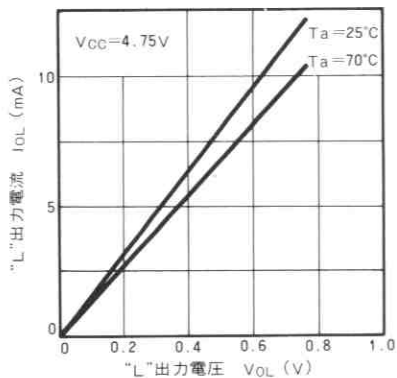
アドレスアクセス時間対周囲温度



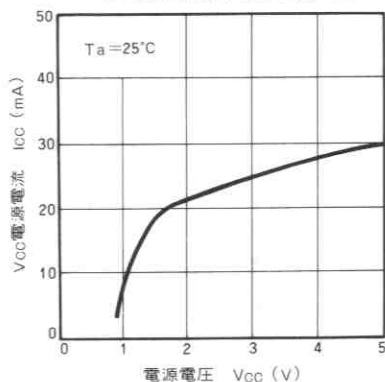
アドレスアクセス時間対負荷容量



“L”出力電流対“L”出力電圧



$V_{CC}$ 電源電流対電源電圧  $V_{CC}$



## M5L 2112AP,S, M5L 2112AP,S-2, M5L 2112AP,S-4

(旧形名M58723P,S)

## 1024-BIT(256-WORD BY 4-BIT) STATIC RANDOM-ACCESS MEMORY

## 概要

M5L 2112AP, Sシリーズは使い易さを重点に設計された256語×4ビットのNチャネルシリコンゲートMOSスタチックRAMです。TTLと同じ5Vの単一電源で動作し、入出力はTTLと直結可能です。

I/O端子は共通です。

アクセス時間の分類によりM5L 2112AP,S-2、M5L 2112AP,S、M5L 2112AP,S-4の3品種があります。

## 特長

項目	M5L 2112AP,S-2	M5L 2112AP,S	M5L 2112AP,S-4
アクセス時間(最大)	250ns	350ns	450ns
サイクル時間(最小)	250ns	350ns	450ns

- 低消費電力.....150 $\mu$ W/ビット(標準)
- 5V単一電源
- 電源電圧1.5Vでのデータ保持可能(特別仕様の場合)
- 外部クロック及びリフレッシュ操作不要
- 入出力ともTTL直結可能
- 出力はスリーステートでORタイ可能
- チップセレクト信号によりメモリ容量の拡張が容易
- データ端子は入力、出力が共通
- インテル社製2112A-4と、ピン接続及び電気的特性の互換性あり

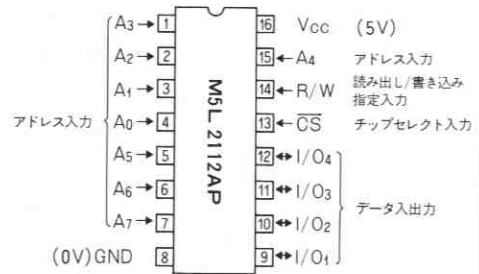
## 応用

- 小容量記憶装置

## 機能概要

M5L 2112AP, Sシリーズは256語×4ビット構成で、データ入出力端子は共通になっています。書き込み時には、アドレス信号A<sub>0</sub>~A<sub>7</sub>で番地を指定し、R/W信号を“L”にするとそのときのI/Oのデータが書き込まれます。

## ピン接続図(上面図)

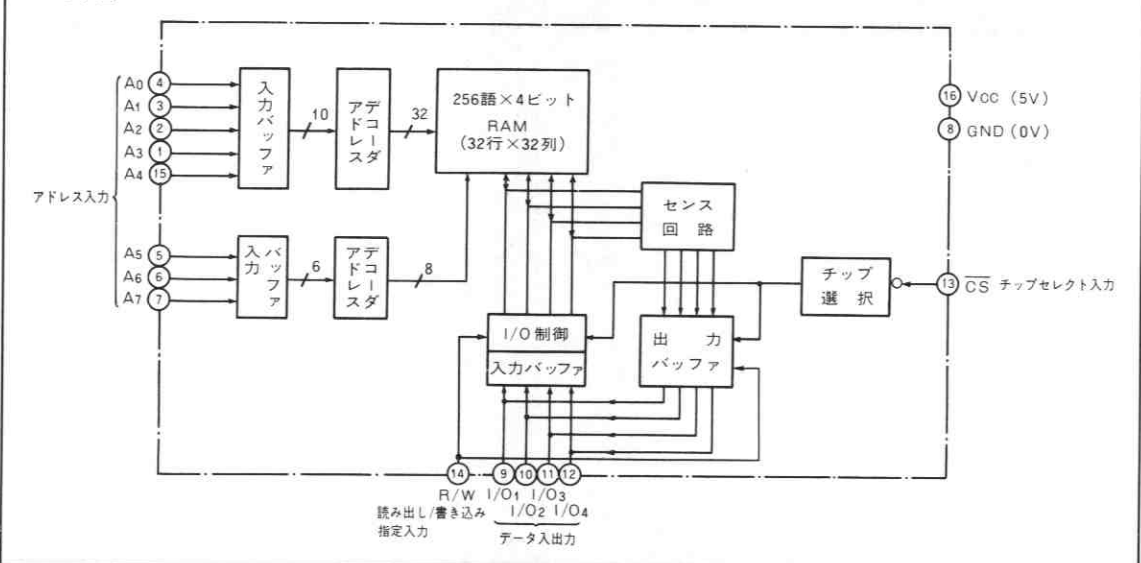


外形 16P1(M5L 2112AP)  
16S1(M5L 2112AS)

読み出し時には、R/W信号を“H”にし、アドレス信号A<sub>0</sub>~A<sub>7</sub>で番地を指定すると、指定された番地のデータがI/O端子に出力されます。CS信号を“H”にすると、チップは読み出しも、書き込みもできない非選択状態になります。このとき、出力はフローティング状態(高インピーダンス状態)になりますので、他のチップの出力端子とORタイが可能です。

電源電圧を1.5Vに下げても記憶データは保持されるので、停電時のバッテリーバックアップあるいは非動作時のパワーダウンが可能です。

## ブロック図



# M5L 2112AP,S, M5L 2112AP,S-2, M5L 2112AP,S-4

(旧形名M58723P,S)

## 1024-BIT(256-WORD BY 4-BIT) STATIC RANDOM-ACCESS MEMORY

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧	GND端子を基準とした場合	-0.3~7	V
V <sub>I</sub>	入力電圧		-0.3~7	V
V <sub>O</sub>	出力電圧		-0.7~7	V
P <sub>d</sub>	最大消費電力	M5L 2112AP M5L 2112AS Ta=25°C	700	mW
			1000	mW
Topr	動作周囲温度		0~70	°C
Tstg	保存温度	M5L 2112AP M5L 2112AS	-40~125	°C
			-65~150	°C

## 推奨使用条件(指定のない場合は, Ta=0~70°C)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.75	5	5.25	V
V <sub>IL</sub>	"L"入力電圧	0		0.8	V
V <sub>IH</sub>	"H"入力電圧	2.2		V <sub>CC</sub>	V

電気的特性(指定のない場合は, Ta=0~70°C, V<sub>CC</sub>=5V±5%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>IH</sub>	"H"入力電圧		2.2		V <sub>CC</sub>	V
V <sub>IL</sub>	"L"入力電圧		0		0.8	V
V <sub>OH</sub>	"H"出力電圧	I <sub>OH</sub> =-200μA	2.4			V
V <sub>OL</sub>	"L"出力電圧	I <sub>OL</sub> =3.5mA			0.4	V
I <sub>I</sub>	入力電流	V <sub>I</sub> =0~5.25V			10	μA
I <sub>OZH</sub>	オフ状態"H"レベル出力電流	V <sub>I</sub> (CS)=2.2V, V <sub>O</sub> =2.4V~V <sub>CC</sub>			10	μA
I <sub>OZL</sub>	オフ状態"L"レベル出力電流	V <sub>I</sub> (CS)=2.2V, V <sub>O</sub> =0.4V			-10	μA
I <sub>CC</sub>	電源電流	V <sub>I</sub> =5.25V, 全入力, 出力端子開放, Ta=25°C	30	60		mA
C <sub>I</sub>	入力容量, 全入力	V <sub>I</sub> =GND, V <sub>I</sub> =25mVrms, f=1MHz		3	5	pF
C <sub>O</sub>	出力容量	V <sub>O</sub> =GND, V <sub>O</sub> =25mVrms, f=1MHz		8	12	pF

注1. 電流はICに流れ込む向きを正(無符号)とします。



## M5L 2112AP,S, M5L 2112AP,S-2, M5L 2112AP,S-4

(旧形名M58723P,S)

## 1024-BIT(256-WORD BY 4-BIT) STATIC RANDOM-ACCESS MEMORY

リードサイクルスイッチング特性(指定のない場合は,  $T_a=0\sim 70^\circ\text{C}$ ,  $V_{CC}=5V\pm 5\%$ )(注2)

記号	項目	M5L 2112AP, S-2			M5L 2112AP, S			M5L 2112AP, S-4			単位
		規格値			規格値			規格値			
		最小	標準	最大	最小	標準	最大	最小	標準	最大	
$t_C(\text{RD})$	リードサイクル時間	250			350			450			ns <sup>f</sup>
$t_a(\text{AD})$	アドレスアクセス時間			250			350			450	ns
$t_a(\text{CS})$	チップセレクトアクセス時間			180			180			180	ns
$t_{pX2}(\text{CS})$	アドレスに対するデータ有効時間	40			40			40			ns

注2. 測定条件 入力パルスレベル 0.8~2V, 入力パルス上昇時間, 下降時間20ns  
 判定電圧 1.5V, 負荷2 TTL  $C_L=100\text{pF}$

タイミング必要条件(指定のない場合は,  $T_a=0\sim 70^\circ\text{C}$ ,  $V_{CC}=5V\pm 5\%$ )(注2)

ライトサイクル I

記号	項目	M5L 2112AP, S-2			M5L 2112AP, S			M5L 2112AP, S-4			単位
		規格値			規格値			規格値			
		最小	標準	最大	最小	標準	最大	最小	標準	最大	
$t_C(\text{WR})_1$	ライトサイクル時間	170			220			270			ns
$t_{su}(\text{AD})_1$	ライトパルスに対するアドレスセットアップ時間	20			20			20			ns
$t_w(\text{WR})_1$	ライトパルス幅	150			200			250			ns
$t_{wr}_1$	ライトリカバリー時間	0			0			0			ns
$t_{su}(\text{DA})_1$	データセットアップ時間	100			150			170			ns
$t_h(\text{DA})_1$	データホールド時間	0			0			0			ns
$t_h(\text{CS})_1$	チップセレクトホールド時間	0			0			0			ns
$t_{su}(\text{WR})_1$	チップセレクトに対するライトパルスセットアップ時間	0			0			0			ns
$t_{su}(\text{CS})_1$	チップセレクトセットアップ時間	100			150			170			ns

ライトサイクル II

記号	項目	M5L 2112AP, S-2			M5L 2112AP, S			M5L 2112AP, S-4			単位
		規格値			規格値			規格値			
		最小	標準	最大	最小	標準	最大	最小	標準	最大	
$t_C(\text{WR})_2$	ライトサイクル時間	170			220			270			ns
$t_{su}(\text{AD})_2$	ライトパルスに対するアドレスセットアップ時間	20			20			20			ns
$t_w(\text{WR})_2$	ライトパルス幅	150			200			250			ns
$t_{wr}_2$	ライトリカバリー時間	0			0			0			ns
$t_{su}(\text{DA})_2$	データセットアップ時間	100			150			170			ns
$t_h(\text{DA})_2$	データホールド時間	0			0			0			ns
$t_h(\text{CS})_2$	チップセレクトホールド時間	0			0			0			ns
$t_{su}(\text{CS})_2$	チップセレクトセットアップ時間	0			0			0			ns
$t_{pX2}(\text{WR})_2$	ライトパルスに対する出力ディスエーブル時間			50			50			80	ns

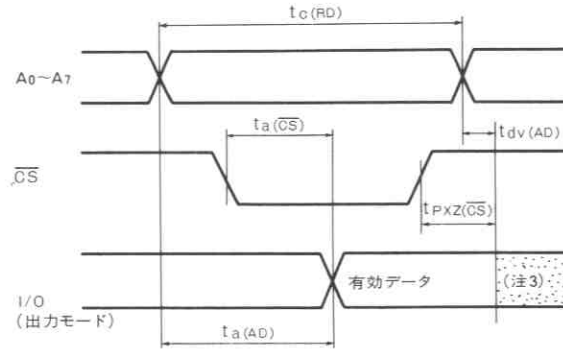
# M5L 2112AP,S, M5L 2112AP,S-2, M5L 2112AP,S-4

(旧形名M58723P,S)

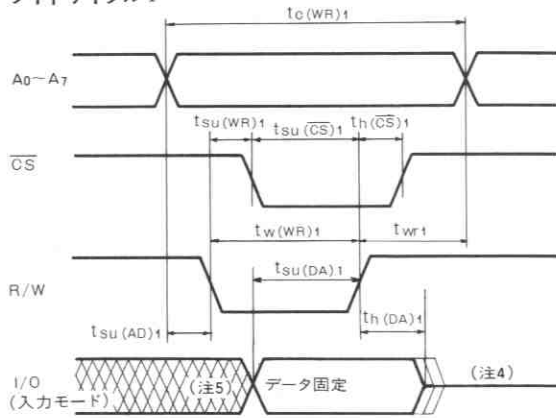
## 1024-BIT(256-WORD BY 4-BIT) STATIC RANDOM-ACCESS MEMORY

タイミング図

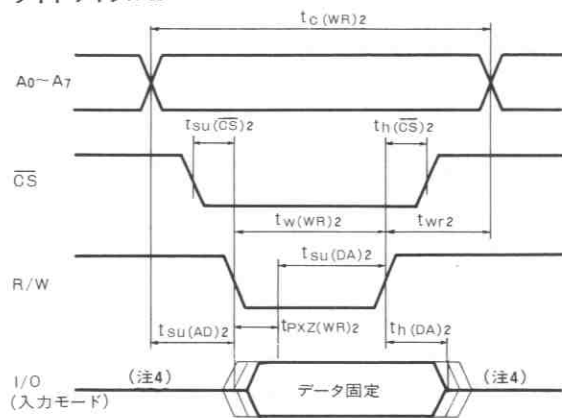
リードサイクル



ライトサイクル I



ライトサイクル II



注3. この期間は  $t_{dv}(AD)$  の定義に対しては無効データ状態で、 $t_{PXZ}(\overline{CS})$  の定義に対してはフローティング状態であることを示します。

4. この期間はI/O端子が出力状態ですからI/O端子に外部信号を加えないでください。(スリーステイトに保ってください。)

5.  $\overline{CS}$  信号をR/W信号より遅らせているので、I/O端子に外部信号を加えてもかまいません。

**M5L 2112AP,S, M5L 2112AP,S-2, M5L 2112AP,S-4**

(旧形名M58723P,S)

**1024-BIT(256-WORD BY 4-BIT) STATIC RANDOM-ACCESS MEMORY**

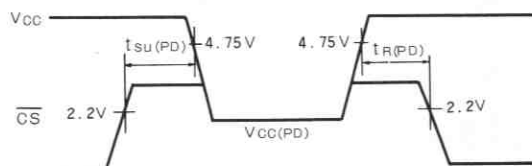
パワーダウン特性(指定のない場合は,  $T_a = 0 \sim 70^\circ\text{C}$ )この特性は, 特別仕様の場合のみ保証します。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$V_{CC(PD)}$	パワーダウン電源電圧		1.5			V
$V_I(\overline{CS})$	パワーダウン $\overline{CS}$ 電圧	$2.2\text{V} \leq V_{CC(PD)} \leq V_{CC}$	2.2			V
		$1.5\text{V} \leq V_{CC(PD)} \leq 2.2\text{V}$	$V_{CC(PD)}$			V
$I_{CC(PD1)}$	パワーダウン電源電流	$V_{CC} = 1.5\text{V}$ , 全入力=1.5V		15	30	mA
$I_{CC(PD2)}$	パワーダウン電源電流	$V_{CC} = 2\text{V}$ , 全入力=2V		20	40	mA

パワーダウン タイミング必要条件(指定のない場合は,  $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )この特性は, 特別仕様の場合のみ保証します。

記号	項目	規格値			単位
		最小	標準	最大	
$t_{su(PD)}$	パワーダウンセットアップ時間	0			ns
$t_{R(PD)}$	パワーダウンリカバリー時間	$t_c(RD)$			ns

パワーダウン タイミング図(特別仕様の場合)

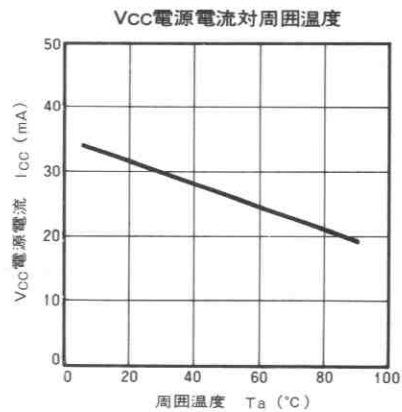
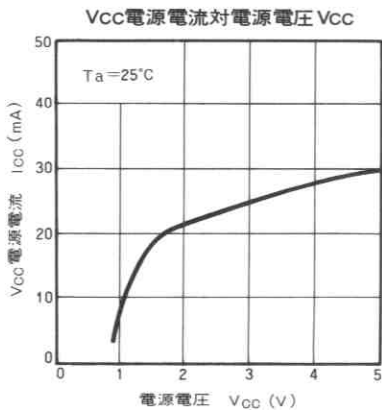
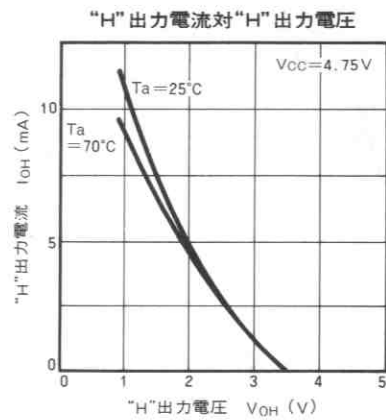
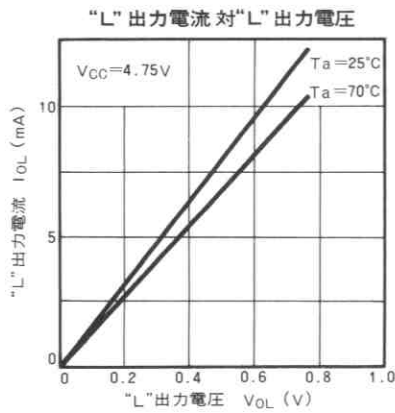
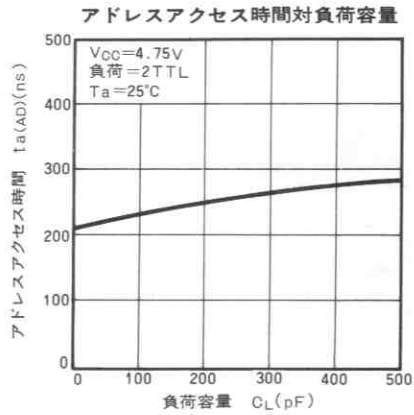
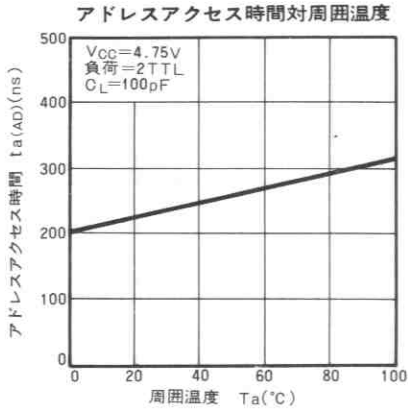


# M5L 2112AP,S, M5L 2112AP,S-2, M5L 2112AP,S-4

(旧形名M58723P,S)

## 1024-BIT(256-WORD BY 4-BIT) STATIC RANDOM-ACCESS MEMORY

標準特性



# M5L 2114LP,S, M5L 2114LP,S-2, M5L 2114LP,S-3

(旧形名M58724P,S)

## 4096-BIT(1024-WORD BY 4-BIT)STATIC RANDOM-ACCESS MEMORY

### 概要

M5L 2114LP,Sシリーズは、使い易さを重点に設計された1024語×4ビット構成のNチャンネルシリコンゲートMOSスタチックRAMです。TTLと同じ5Vの単一電源で動作し、入出力はTTLと直結可能です。I/O端子は共通です。

アクセス時間の分類によりM5L 2114LP,S、M5L 2114LP,S-2、M5L 2114LP,S-3の3品種があります。

### 特長

項目	M5L 2114LP,S-2	M5L 2114LP,S-3	M5L 2114LP,S
アクセス時間(最大)	200ns	300ns	450ns
サイクル時間(最小)	200ns	300ns	450ns

- 低消費電力……………50 $\mu$ W/ビット(標準)
- 5V単一電源(±10%保証)
- 外部クロック及びリフレッシュ操作不要
- 入出力ともTTL直結可能
- 出力はスリーステートでORタイ可能
- チップセレクト信号によりメモリ容量の拡張が容易
- データ端子は入力、出力が共通
- インテル社製2114L、テキサスインスツルメント社製TMS4045とピン接続及び電気的特性の互換性あり

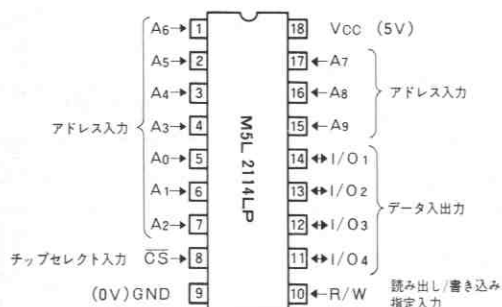
### 応用

- 小容量記憶装置

### 機能概要

M5L 2114LP,Sシリーズは、5V単一電源で動作し、入出力はTTLと直結可能です。さらに回路は、完全にスタチックなため、外部クロック及びリフレッシュ操作が不要であり非常に使い易

### ピン接続図(上面図)



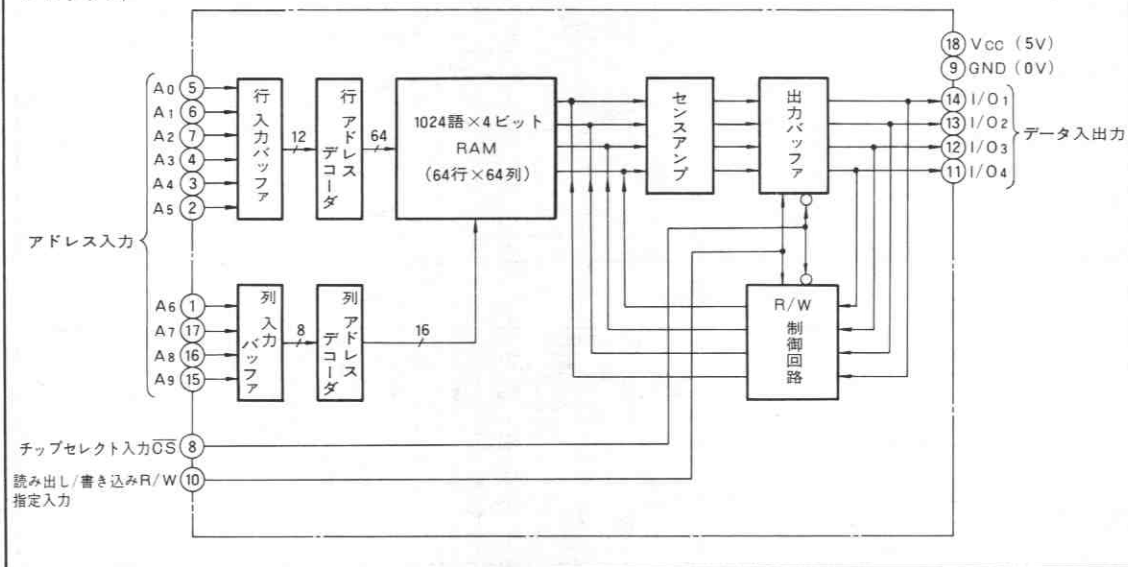
外形 18P1(M5L 2114LP)  
18S1(M5L 2114LS)

くなっています。また、データ入出力端子は共通になっています。書き込み時には、アドレス信号A<sub>0</sub>~A<sub>9</sub>で番地を指定し、R/W信号を“L”レベルにすると、その時のI/Oのデータが書き込まれます。

読み出し時には、R/Wを信号“H”レベルにし、アドレス信号A<sub>0</sub>~A<sub>9</sub>で、番地を指定すると、指定された番地のデータがI/O端子に出力されます。

CS信号を“H”レベルにすると、チップは読み出しも書き込みもできない非選択状態になります。この時、出力はフローティング状態(高インピーダンス状態)になりますので、他のチップの出力端子とORタイが可能です。

### ブロック図



# M5L 2114LP,S, M5L 2114LP,S-2, M5L 2114LP,S-3

(旧形名M58724P,S)

## 4096-BIT(1024-WORD BY 4-BIT)STATIC RANDOM-ACCESS MEMORY

## 絶対最大定格

記号	項目		条件	定格値	単位
V <sub>CC</sub>	電源電圧		GND端子を基準とした場合	-0.5~7	V
V <sub>I</sub>	入力電圧			-0.5~7	V
V <sub>O</sub>	出力電圧			-0.5~7	V
P <sub>d</sub>	最大消費電力	M5L 2114LP	T <sub>a</sub> =25°C	700	mW
		M5L 2114LS	T <sub>a</sub> =25°C	1000	mW
T <sub>opr</sub>	動作周囲温度			0~70	°C
T <sub>stg</sub>	保存温度	M5L 2114LP		-40~125	°C
		M5L 2114LS		-65~150	°C

推奨使用条件 (指定のない場合は, T<sub>a</sub>=0~70°C)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.5	5	5.5	V
V <sub>IL</sub>	"L" 入力電圧	-0.5		0.8	V
V <sub>IH</sub>	"H" 入力電圧	2		6	V

電気的特性 (指定のない場合は, T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±10%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>IH</sub>	"H" 入力電圧		2		6	V
V <sub>IL</sub>	"L" 入力電圧		-0.5		0.8	V
V <sub>OH</sub>	"H" 出力電圧	I <sub>OH</sub> =-200μA, V <sub>CC</sub> =4.5V	2.4			V
V <sub>OL</sub>	"L" 出力電圧	I <sub>OL</sub> =2.1mA			0.4	V
I <sub>I</sub>	入力電流	V <sub>I</sub> =0~5.5V			10	μA
I <sub>OZH</sub>	オフ状態"H" レベル出力電流	V <sub>I</sub> (CS)=2V, V <sub>O</sub> =2.4V~V <sub>CC</sub>			10	μA
I <sub>OZL</sub>	オフ状態"L" レベル出力電流	V <sub>I</sub> (CS)=2V, V <sub>O</sub> =0.4V			-10	μA
I <sub>CC</sub>	電源電流	V <sub>I</sub> =5.5V, 全入力, 出力端子開放, T <sub>a</sub> =25°C	40		65	mA
C <sub>I</sub>	入力容量, 全入力	V <sub>I</sub> =GND, V <sub>I</sub> =25mVrms, f=1MHz	3		5	pF
C <sub>O</sub>	出力容量	V <sub>O</sub> =GND, V <sub>O</sub> =25mVrms, f=1MHz	5		8	pF

注1. 電流はICに流れ込む向きを正(無符号)とします。

ライトサイクル タイミング必要条件 (指定のない場合は, T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±10%) (注2)

記号	項目	M5L 2114LP, S-2			M5L 2114LP, S-3			M5L 2114LP, S			単位
		規格値			規格値			規格値			
		最小	標準	最大	最小	標準	最大	最小	標準	最大	
t <sub>c</sub> (WR)	ライトサイクル時間	200			300			450			ns
t <sub>su</sub> (AD)	ライトパルスに対するアドレスセットアップ時間	0			0			0			ns
t <sub>w</sub> (WR)	ライトパルス幅	120			150			200			ns
t <sub>wr</sub>	ライトリカバリー時間	0			0			0			ns
t <sub>su</sub> (DA)	データセットアップ時間	120			150			200			ns
t <sub>h</sub> (DA)	データホールド時間	0			0			0			ns
t <sub>su</sub> (CS)	チップセレクトセットアップ時間	120			150			200			ns
t <sub>PXZ</sub> (WR)	ライトパルスに対する出力ディセーブル時間			40			80			100	ns

リードサイクル スイッチング特性 (指定のない場合は, T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±10%) (注2)

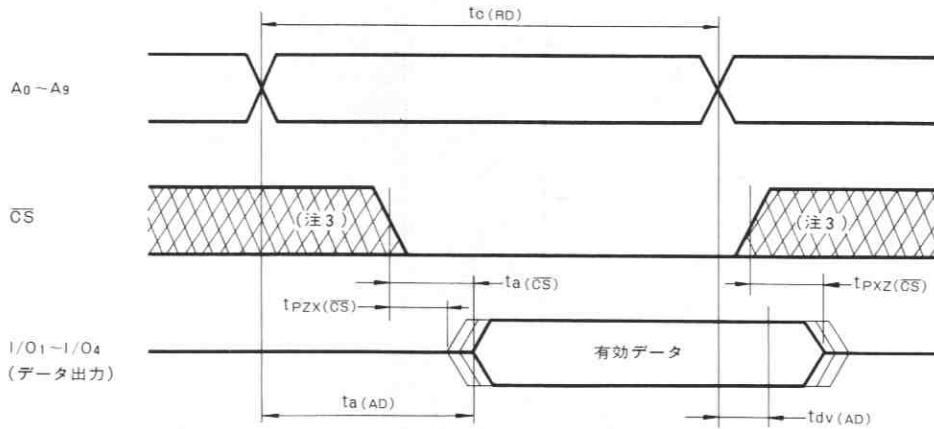
記号	項目	M5L 2114LP, S-2			M5L 2114LP, S-3			M5L 2114LP, S			単位
		規格値			規格値			規格値			
		最小	標準	最大	最小	標準	最大	最小	標準	最大	
t <sub>c</sub> (RD)	リードサイクル時間	200			300			450			ns
t <sub>a</sub> (AD)	アドレスアクセス時間			200			300			450	ns
t <sub>a</sub> (CS)	チップセレクトアクセス時間			80			100			120	ns
t <sub>PXZ</sub> (CS)	チップセレクトに対する出力ディセーブル時間			40			80			100	ns
t <sub>dv</sub> (AD)	アドレスに対するデータ有効時間	50			50			50			ns
t <sub>PZX</sub> (CS)	チップセレクトに対する出力アクティブ時間	20			20			20			ns

# M5L 2114LP,S, M5L 2114LP,S-2, M5L 2114LP,S-3

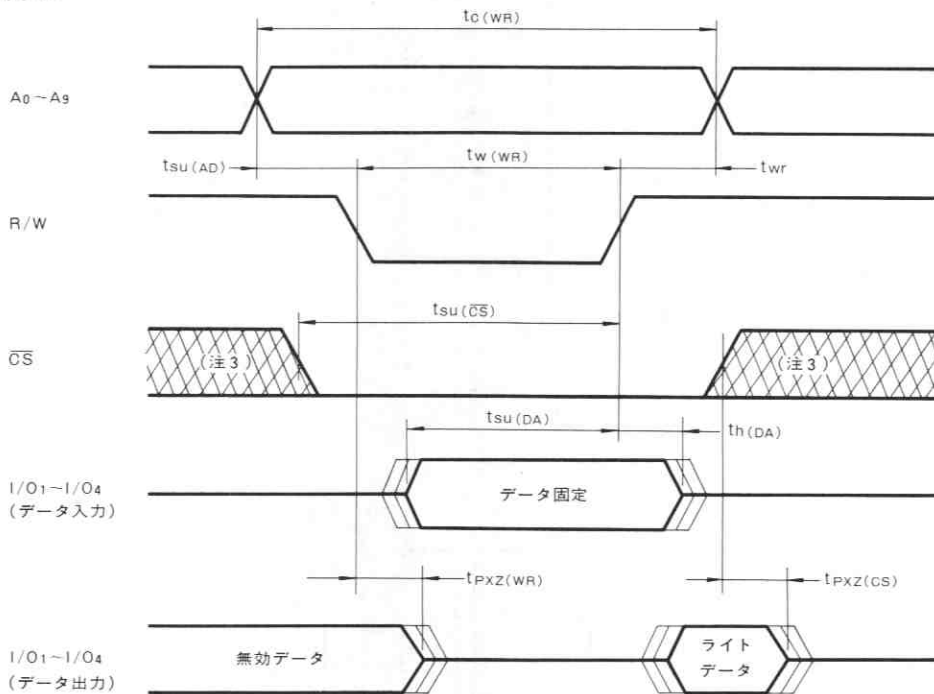
(旧形名M58724P,S)

## 4096-BIT(1024-WORD BY 4-BIT)STATIC RANDOM-ACCESS MEMORY

タイミング図  
リードサイクル



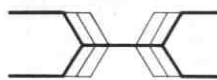
ライトサイクル



注2. 測定条件

入力パルスレベル	0.8~2V
入力パルス上昇時間	20ns
入力パルス下降時間	20ns
判定電圧	
入力	1.5V
出力	1.5V
真荷 1TTL, CL=100pF	

注3. "H", "L"いずれの状態でもよろしい。



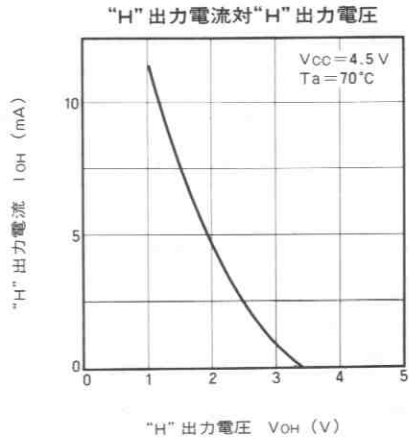
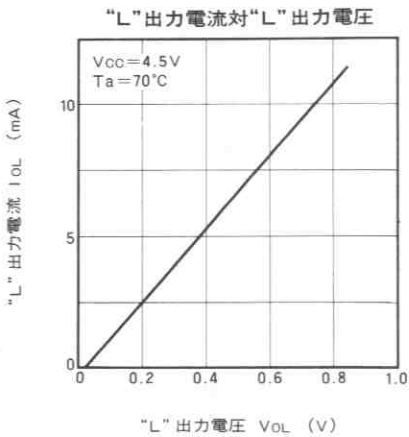
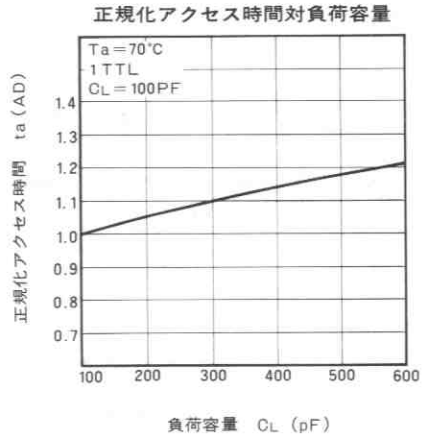
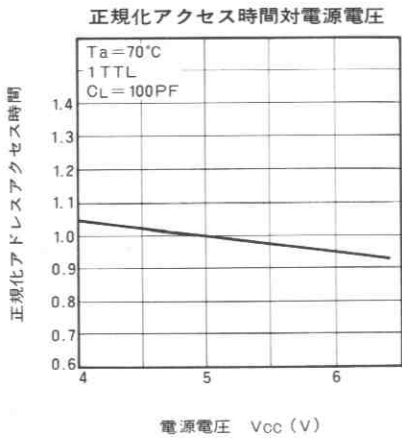
中心線はフローティング(高インピーダンス)状態を示します。

# M5L 2114LP,S, M5L 2114LP,S-2, M5L 2114LP,S-3

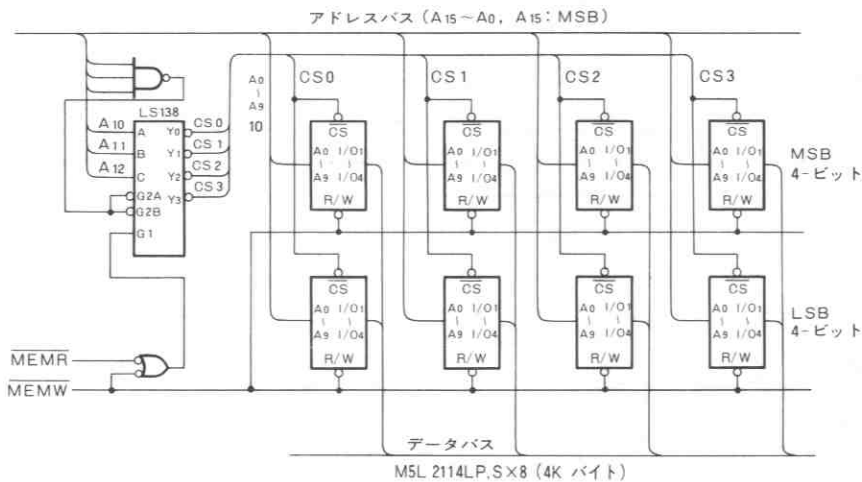
(旧形名M58724P,S)

## 4096-BIT(1024-WORD BY 4-BIT)STATIC RANDOM-ACCESS MEMORY

標準特性



応用回路例





# M5L 5101LP-1

(旧形名M58980P)

## 1024-BIT (256-WORD BY 4-BIT) CMOS STATIC RANDOM-ACCESS MEMORY

### 概要

M5L 5101LP-1は低消費電力とバッテリーバックアップの必要な場合に使い易く設計された256語×4ビット構成のシリコンゲートCMOSスタチックRAMです。

2本のチップ選択信号( $\overline{CS}_1$ ,  $\overline{CS}_2$ )を持ち、チップ非選択状態ではスタンバイ電流1 $\mu$ A(最大)と極めて低消費電力動作となり、バッテリー動作、バッテリーバックアップを必要とするメモリシステムに適しています。

TTLと同じ5Vの単一電源で動作し、入出力はTTLと直結可能です。

### 特長

- 高速アクセス時間……………450ns(最大)
- 低消費電力……………スタンバイ時 75nW/bit(最大)
- 5V単一電源
- 電源電圧2Vでのデータ保持可能
- 外部クロック及びリフレッシュ操作不要
- 入出力ともTTL直結可能
- 出力はスリーステートでORタイ可能
- チップセレクト信号によりメモリ容量の拡張が容易
- データ端子は入力、出力が独立
- インテル社製5101L-1とピン接続及び電気的特性の互換性あり

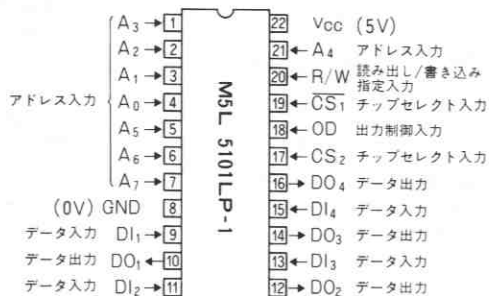
### 応用

- 小容量記憶装置

### 機能概要

M5L 5101LP-1は256語×4ビット構成で、データ入力及び出力は互いに独立しています。書き込み時には、アドレス信号 $A_0$ ～ $A_7$ で番地を指定し、R/W信号を“L”レベルにすると、そのときの

### ピン接続図(上面図)



外形 22P1

DI信号のデータが書き込まれます。

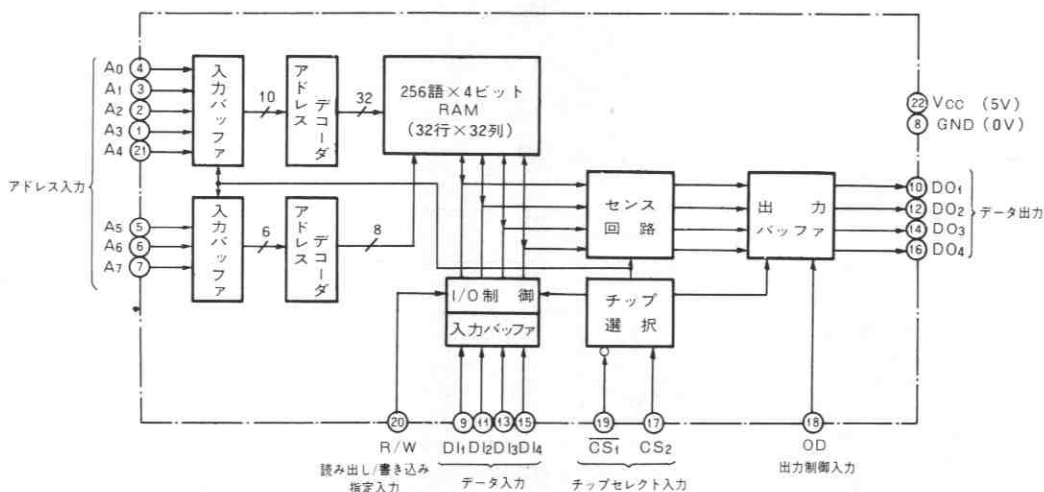
読み出し時には、アドレス信号 $A_0$ ～ $A_7$ で番地を指定し、R/W信号を“H”レベルにすると、指定された番地のデータがDO端子に出力されます。

$\overline{CS}_1$ 信号を“H”、あるいは $\overline{CS}_2$ を“L”にすると、チップは読み出しも書き込みもできない非選択状態になります。このとき出力はフローティング状態(高インピーダンス状態)になり、他のチップの出力端子とORタイが可能です。

OD信号を“H”にすると、出力端子はフローティング状態になるので、データ入力と出力とを共通に結線して使用する場合、入出力切換えの制御信号としてOD信号が使用できます。

電源電圧を2Vに下げても記憶データは保持されるので、停電時のバッテリーバックアップ、あるいは非動作時のパワーダウンが可能です。

### ブロック図



## 1024-BIT (256-WORD BY 4-BIT) CMOS STATIC RANDOM-ACCESS MEMORY

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧	GND端子を基準とした場合	-0.3~7	V
V <sub>I</sub>	入力電圧		-0.3~V <sub>CC</sub> +0.3	V
V <sub>O</sub>	出力電圧		0~V <sub>CC</sub>	V
P <sub>d</sub>	最大消費電力	T <sub>a</sub> =25°C	700	mW
T <sub>opr</sub>	動作周囲温度		0~70	°C
T <sub>stg</sub>	保存温度		-40~125	°C

推奨使用条件(指定のない場合は、T<sub>a</sub>=0~70°C)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.5	5	5.5	V
V <sub>SS</sub>	電源電圧	0	0	0	V
V <sub>IL</sub>	"L" 入力電圧	-0.3		0.65	V
V <sub>IH</sub>	"H" 入力電圧	2.2		V <sub>CC</sub>	V

電気的特性(指定のない場合は、T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±10%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>IH</sub>	"H" 入力電圧		2.2		V <sub>CC</sub>	V
V <sub>IL</sub>	"L" 入力電圧		-0.3		0.65	V
V <sub>OH</sub>	"H" 出力電圧	I <sub>OH</sub> =-1mA	2.4			V
V <sub>OL</sub>	"L" 出力電圧	I <sub>OL</sub> =2mA			0.4	V
I <sub>I</sub>	入力電流	V <sub>I</sub> =0~5.5V		5		nA
I <sub>OZH</sub>	オフ状態"H"レベル出力電流	V <sub>I(CS1)</sub> =2.2V, V <sub>O</sub> =2.4V~V <sub>CC</sub>			1	μA
I <sub>OZL</sub>	オフ状態"L"レベル出力電流	V <sub>I(CS1)</sub> =2.2V, V <sub>O</sub> =0.4V			-1	μA
I <sub>CC1</sub>	V <sub>CC</sub> 電源電流	CS <sub>1</sub> ≤0.01V, 他入力=V <sub>CC</sub> , 出力端子開放		9	22	mA
I <sub>CC2</sub>	V <sub>CC</sub> 電源電流	CS <sub>1</sub> ≤0.01V, 他入力=2.2V, 出力端子開放		13	27	mA
I <sub>CC3</sub>	V <sub>CC</sub> 電源電流	CS <sub>2</sub> ≤0.2V			1	μA
C <sub>I</sub>	入力容量, 全入力	V <sub>I</sub> =GND, V <sub>I</sub> =25mVrms, f=1MHz		4	8	pF
C <sub>O</sub>	出力容量	V <sub>O</sub> =GND, V <sub>O</sub> =25mVrms, f=1MHz		8	12	pF

注1. 電流はICに流れ込む向きを正(無符号)とします。

ライトサイクル タイミング必要条件(指定のない場合は、T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±10%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>C</sub> (WR)	ライトサイクル時間	入力パルス V <sub>IH</sub> =2.2V V <sub>IL</sub> =0.65V t <sub>r</sub> =t <sub>f</sub> =20ns 判定電圧=1.5V 負荷=1TTL, C <sub>L</sub> =100pF	450			ns
t <sub>W</sub> (WR)	ライトパルス幅		250			ns
t <sub>SU</sub> (AD)	ライトパルスに対するアドレスセットアップ時間		130			ns
t <sub>wr</sub>	ライトリカバリー時間		50			ns
t <sub>SU</sub> (OD)	データインに対するODセットアップ時間		130			ns
t <sub>SU</sub> (DA)	データセットアップ時間		250			ns
t <sub>H</sub> (DA)	データホールド時間		50			ns
t <sub>SU</sub> (CS1)	チップセレクトセットアップ時間		350			ns
t <sub>SU</sub> (CS2)	チップセレクトセットアップ時間		350			ns

リードサイクル スイッチング特性(指定のない場合は、T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±10%)

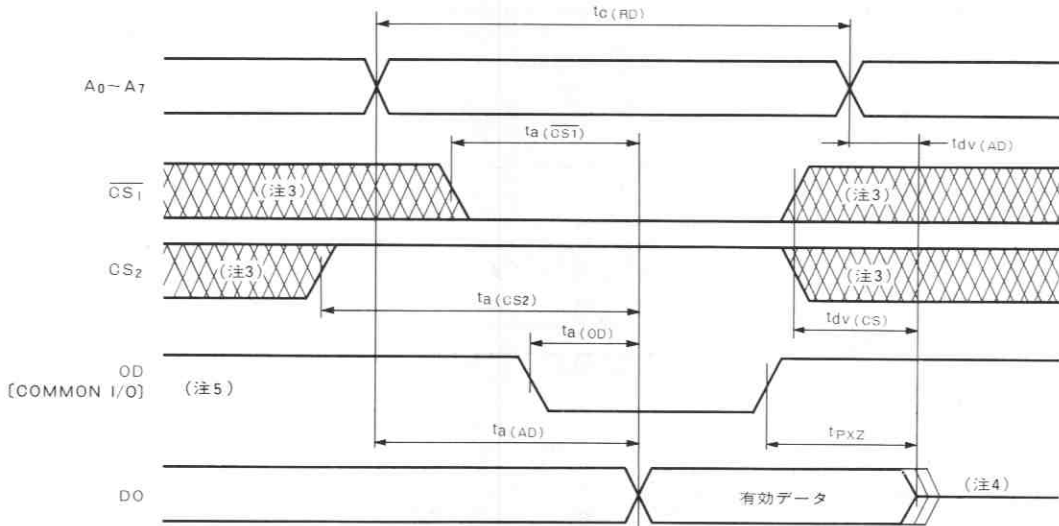
記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>C</sub> (RW)	リードサイクル時間	入力パルス V <sub>IH</sub> =2.2V V <sub>IL</sub> =0.65V t <sub>r</sub> =t <sub>f</sub> =20ns 判定電圧=1.5V 負荷=1TTL, C <sub>L</sub> =100pF	450			ns
t <sub>a</sub> (AD)	アドレスアクセス時間				450	ns
t <sub>a</sub> (CS1)	チップセレクトアクセス時間				400	ns
t <sub>a</sub> (CS2)	チップセレクトアクセス時間				500	ns
t <sub>a</sub> (OD)	ODアクセス時間				250	ns
t <sub>FXZ</sub>	出力ディスエーブル時間(注2)				130	ns
t <sub>DV</sub> (AD)	アドレスに対するデータ有効時間			0		ns

注2. t<sub>FXZ</sub>はCS<sub>1</sub>, CS<sub>2</sub>, ODの中で最初にセットされた信号からの時間です。

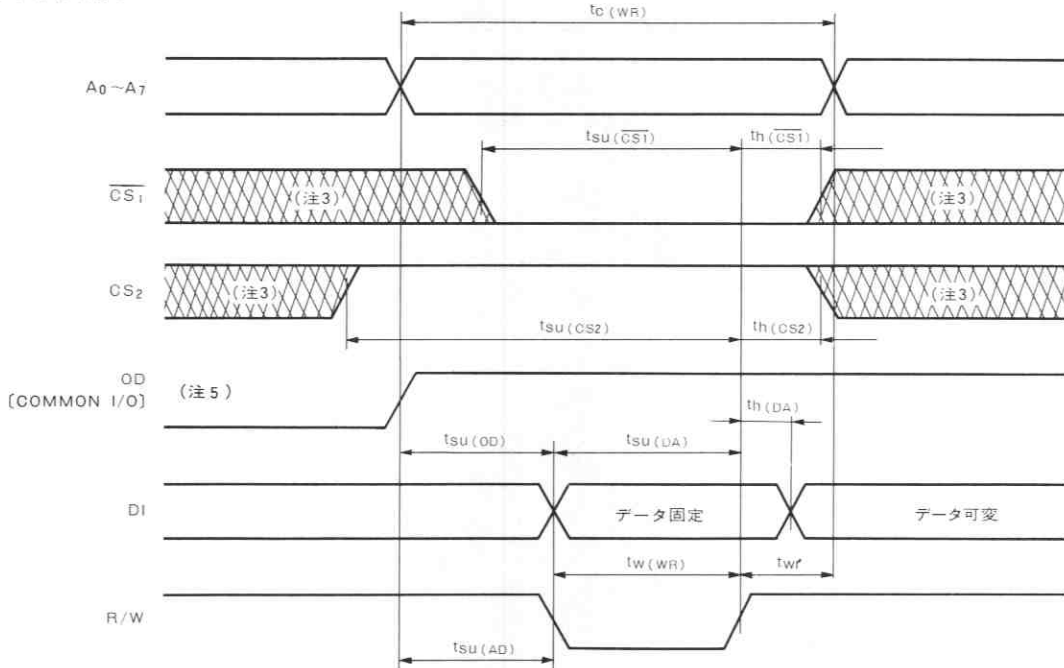
## 1024-BIT (256-WORD BY 4-BIT) CMOS STATIC RANDOM-ACCESS MEMORY

## タイミング図

## リードサイクル



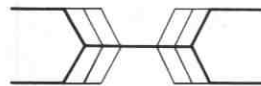
## ライトサイクル



注3. 斜線部は“H”、“L”いずれの状態でもよろしい。

4. この期間は  $t_{dv}(AD)$  の定義に対しては、無効データ状態、 $t_{PXZ}$  の定義に対してはフローティング状態であることを示します。

5. SEPARATE I/O動作のときはLowレベル設定可能です。



中心線はフローティング(高インピーダンス)状態を示します。

**1024-BIT (256-WORD BY 4-BIT) CMOS STATIC RANDOM-ACCESS MEMORY**

パワーダウン動作

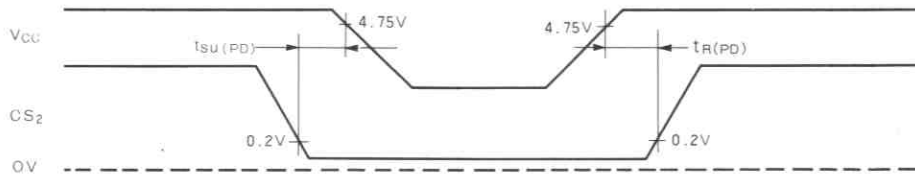
電気的特性(指定のない場合は,  $T_a=0\sim 70^\circ\text{C}$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$V_{CC(PD)}$	パワーダウン電源電圧		2			V
$V_I(\overline{CS}_2)$	パワーダウン $\overline{CS}_2$ 電圧	$2.2\text{V} \leq V_{CC(PD)} \leq V_{CC}$	2.2			V
		$2\text{V} \leq V_{CC(PD)} \leq 2.2\text{V}$	$V_{CC(PD)}$			V
$I_{CC(PD)}$	パワーダウン電源電流	$V_{CC}=2\text{V}$ , 全入力=2V			1	$\mu\text{A}$

タイミング必要条件(指定のない場合は,  $T_a=0\sim 70^\circ\text{C}$ ,  $V_{CC}=5\text{V} \pm 10\%$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{SU(PD)}$	パワーダウンセットアップ時間		0			ns
$t_{R(PD)}$	パワーダウンリカバリー時間		$t_{c(RD)}$			ns

タイミング図



# M5T 4044P,S-20,M5T4044P,S-30, M5T 4044P,S-45

(旧形名M58754P,S)

## 4096-BIT(4096-WORD BY 1-BIT)STATIC RANDOM-ACCESS MEMORY

### 概要

M5T 4044P, S シリーズは、使い易さを重点に設計された4096×1ビット構成のNチャネルシリコンゲートMOSスタチックRAMです。TTLと同じ5Vの単一電源で動作し、入出力はTTLと直結可能です。

アクセス時間の分類によりM5T 4044P, S-20、M5T 4044P, S-30、M5T 4044P, S-45の3品種があります。

### 特長

項目	M5T 4044P,S-20	M5T 4044P,S-30	M5T 4044P,S-45
アクセス時間(最大)	200ns	300ns	450ns
サイクル時間(最小)	200ns	300ns	450ns

- 低消費電力……………50μW/ビット(標準)
- 5V単一電源(±10%保証)
- 外部クロック及びリフレッシュ操作不要
- 入出力ともTTL直結可能
- 出力はスリーステートでORタイ可能
- チップセレクト信号によりメモリ容量の拡張が容易
- テキサスインスツルメント社製TMS4044とピン接続及び電気的特性の互換性あり

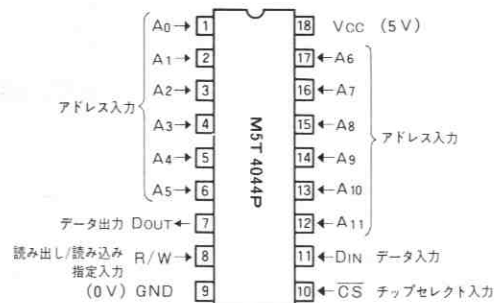
### 応用

- 小容量記憶装置

### 機能概要

M5T 4044P, Sシリーズは、5V単一電源で動作し、入出力はTTLと直結可能です。さらに回路は、完全にスタチックなため、外部クロック及びリフレッシュ操作が不要であり非常に使い易

### ピン接続図(上面図)



外形 18P1(M5T 4044P)  
18S1(M5T 4044S)

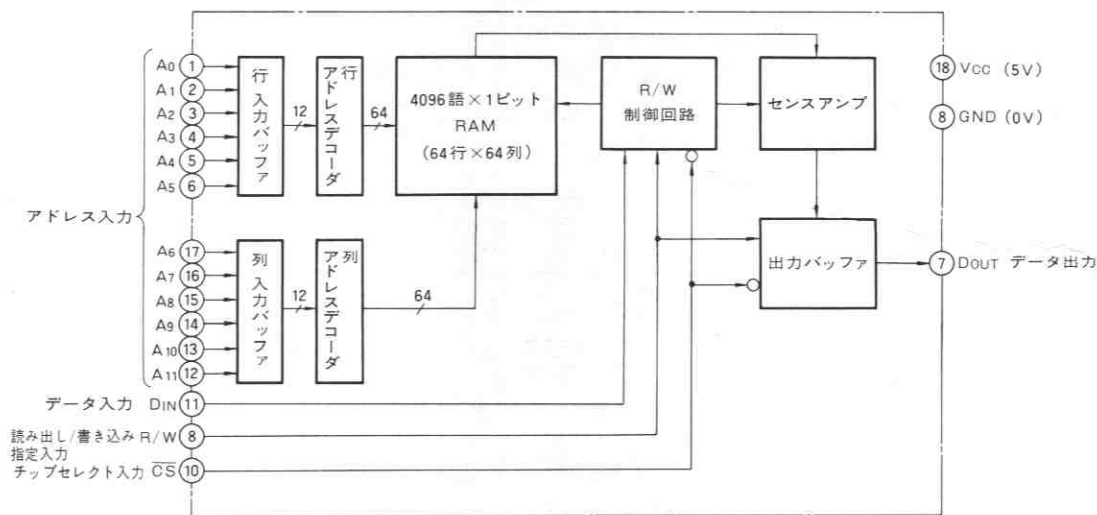
くなっています。

書き込み時には、アドレス信号A<sub>0</sub>~A<sub>11</sub>で番地を指定し、R/W信号を“L”レベルにすると、その時のD<sub>IN</sub>信号のデータが書き込まれます。

読み出し時には、R/W信号を“H”レベルにし、アドレス信号A<sub>0</sub>~A<sub>11</sub>で番地を指定すると、指定された番地のデータがD<sub>OUT</sub>端子に出力されます。

CS信号を“H”にすると、チップは読み出しも書き込みもできない非選択状態になります。この時、出力はフローティング状態(高インピーダンス状態)になりますので、他のチップの出力端子とORタイが可能です。

### ブロック図



## M5T 4044P,S-20, M5T 4044P,S-30, M5T 4044P,S-45

(旧形名M58754P,S)

## 4096-BIT(4096-WORD BY 1-BIT)STATIC RANDOM-ACCESS MEMORY

## 絶対最大定格

記号	項目	条件	定格値	単位	
V <sub>CC</sub>	電源電圧	GND端子を基準とした場合	-0.5~7	V	
V <sub>I</sub>	入力電圧		-0.5~7	V	
V <sub>O</sub>	出力電圧		-0.5~7	V	
P <sub>d</sub>	最大消費電力	M5T 4044P	T <sub>a</sub> =25°C	700	mW
		M5T 4044S	T <sub>a</sub> =25°C	1000	mW
T <sub>opr</sub>	動作周囲温度		0~70	°C	
T <sub>stg</sub>	保存温度	M5T 4044P		-40~125	°C
		M5T 4044S		-65~150	°C

推奨使用条件 (指定のない場合は, T<sub>a</sub>=0~70°C)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.5	5	5.5	V
V <sub>IL</sub>	"L" 入力電圧	-0.5		0.8	V
V <sub>IH</sub>	"H" 入力電圧	2		6	V

電気的特性 (指定のない場合は, T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±10%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>IH</sub>	"H" 入力電圧		2		6	V
V <sub>IL</sub>	"L" 入力電圧		-0.5		0.8	V
V <sub>OH</sub>	"H" 出力電圧	I <sub>OH</sub> =-200μA, V <sub>CC</sub> =4.5V	2.4			V
V <sub>OL</sub>	"L" 出力電圧	I <sub>OL</sub> =2.1mA			0.4	V
V <sub>I</sub>	入力電流	V <sub>I</sub> =0~5.5V			10	μA
I <sub>OZH</sub>	オフ状態"H" レベル出力電流	V <sub>I</sub> ( $\overline{\text{CS}}$ )=2V, V <sub>O</sub> =2.4V-V <sub>CC</sub>			-10	μA
I <sub>OZL</sub>	オフ状態"L" レベル出力電流	V <sub>I</sub> ( $\overline{\text{CS}}$ )=2V, V <sub>O</sub> =0.4V			10	μA
I <sub>CC</sub>	電源電流	V <sub>I</sub> =5.5V, 全入力, 出力端子開放, T <sub>a</sub> =25°C	40		65	mA
C <sub>i</sub>	入力容量, 全入力	V <sub>I</sub> =GND, V <sub>I</sub> =25mVrms, f=1MHz	3		5	pF
C <sub>o</sub>	出力容量	V <sub>O</sub> =GND, V <sub>O</sub> =25mVrms, f=1MHz	5		8	pF

注1. 電流はICに流れ込む向きを正(無符号)とします。

ライトサイクル タイミング必要条件 (指定のない場合は, T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±10%) (注2)

記号	項目	M5T 4044P,S-20			M5T 4044P,S-30			M5L 4044P,S-45			単位
		規格値			規格値			規格値			
		最小	標準	最大	最小	標準	最大	最小	標準	最大	
t <sub>c</sub> (WR)	ライトサイクル時間	200		300		450				ns	
t <sub>su</sub> (AD)	ライトパルスに対するアドレスセットアップ時間	0		0		0				ns	
t <sub>w</sub> (WR)	ライトパルス幅	120		150		200				ns	
t <sub>wr</sub>	ライトリカバリー時間	0		0		0				ns	
t <sub>su</sub> (DA)	データセットアップ時間	120		150		200				ns	
t <sub>h</sub> (DA)	データホールド時間	0		0		0				ns	
t <sub>su</sub> ( $\overline{\text{CS}}$ )	チップセレクトセットアップ時間	120		150		200				ns	
t <sub>PXZ</sub> (WR)	ライトパルスに対する出力ディスエーブル時間			40		80			100	ns	
t <sub>a</sub> (WR)	ライトパルスに対するアクセス時間			70		100			100	ns	

リードサイクル スイッチング (指定のない場合は, T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±10%) (注2)

記号	項目	M5T 4044P,S-20			M5T 4044P,S-30			M5T 4044P,S-45			単位
		規格値			規格値			規格値			
		最小	標準	最大	最小	標準	最大	最小	標準	最大	
t <sub>c</sub> (RD)	リードサイクル時間	200		300		450				ns	
t <sub>a</sub> (AD)	アドレスアクセス時間			200		300			450	ns	
t <sub>a</sub> ( $\overline{\text{CS}}$ )	チップセレクトアクセス時間			70		100			100	ns	
t <sub>PXZ</sub> ( $\overline{\text{CS}}$ )	チップセレクトに対する出力ディスエーブル時間			40		80			100	ns	
t <sub>dv</sub> (AD)	アドレスに対するデータ有効時間	50		50		50			50	ns	

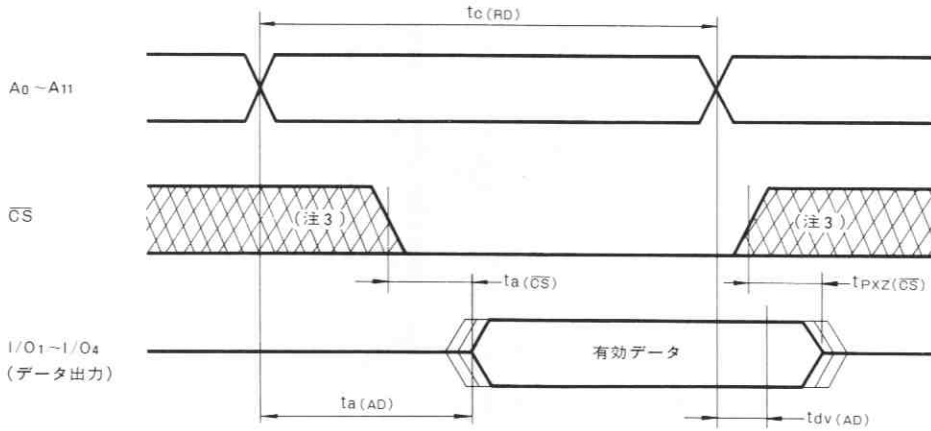
# M5T 4044P,S-20, M5T 4044P,S-30, M5T 4044P,S-45

(旧形名M58754P,S)

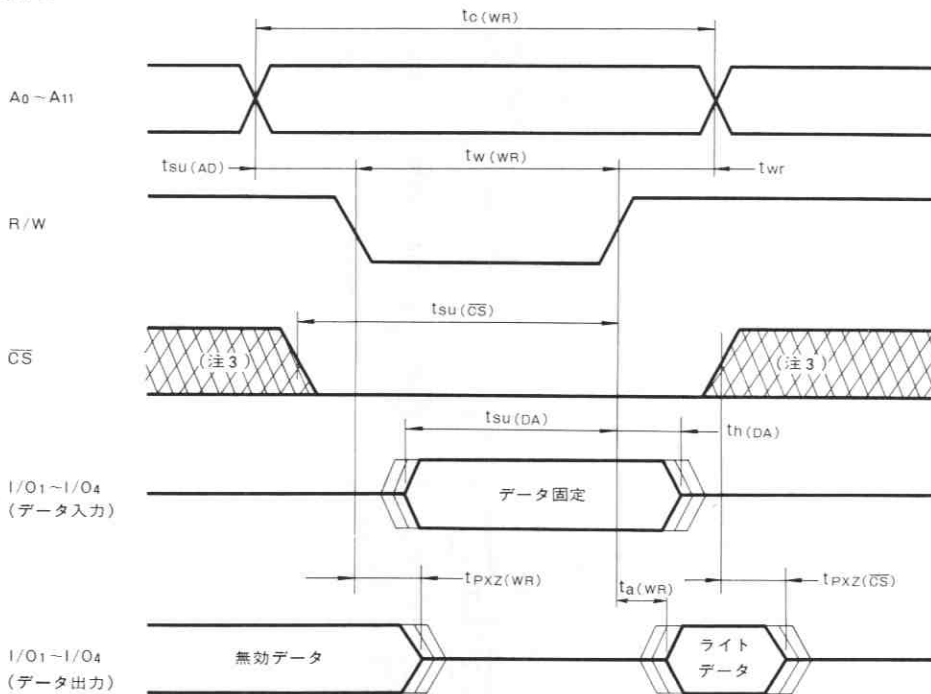
## 4096-BIT(4096-WORD BY 1-BIT)STATIC RANDOM-ACCESS MEMORY

### タイミング図

#### リードサイクル



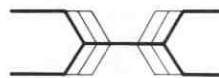
#### ライトサイクル



#### 注2. 測定条件

入力パルスレベル	0.8~2V
入力パルス上昇時間	20ns
入力パルス下降時間	20ns
判定電圧	
入力	1.5V
出力	1.5V
負荷 1TTL, $C_L = 100pF$	

#### 注3. "H", "L" いずれの状態でもよろしい。



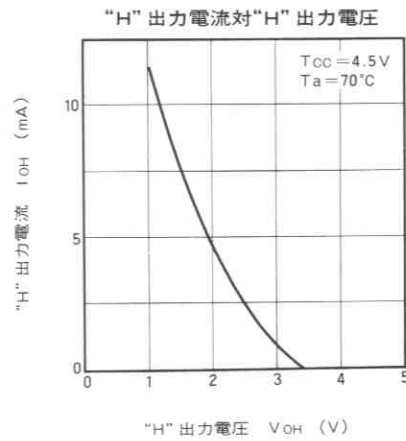
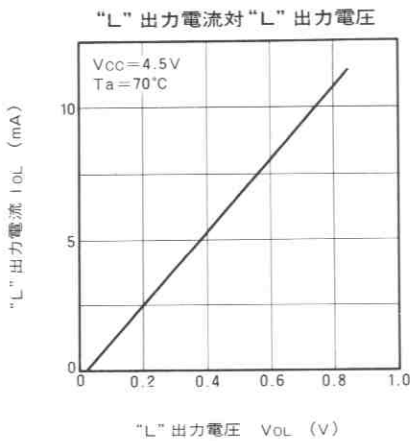
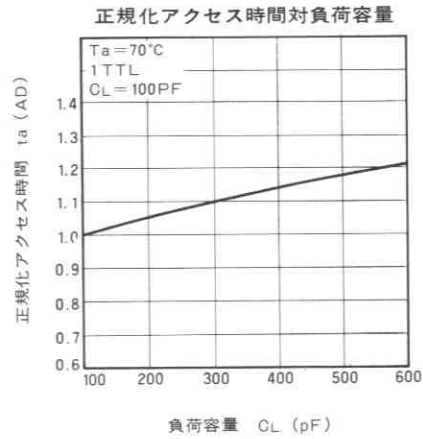
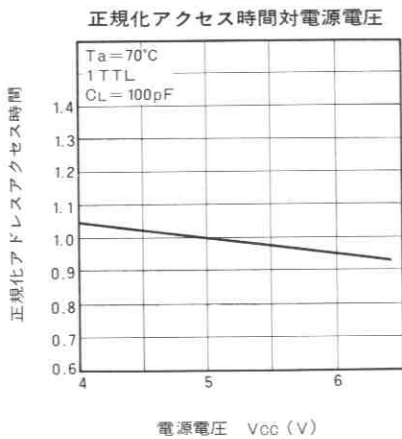
中心線はフローティング(高インピーダンス)状態を示します。

# M5T 4044P,S-20, M5T 4044P,S-30, M5T 4044P,S-45

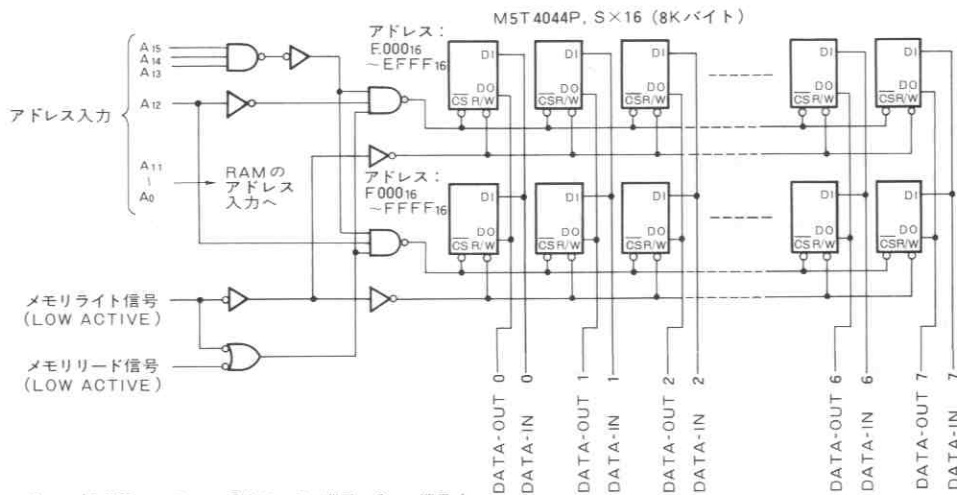
(旧形名M58754P,S)

## 4096-BIT(4096-WORD BY 1-BIT)STATIC RANDOM-ACCESS MEMORY

## 標準特性



## 応用回路例



注4. I/O共通システムの場合は、Din端子, Dout端子を共通に接続することが可能です。



---

**ROM**

---

**5**

## マスクROM受注方法

## マスクROM受注方法

マスクROMに顧客から提出されたプログラムを書き込む場合の受注方法について説明します。

マスクROMにプログラムを書き込むために、マスクROM自動設計プログラムを準備し、(1)マスクROM作成のための作図データ、(2)マスクROM作成ミスチェックのための照査リスト、(3)マスクROMをテストするための大型テスト用テストプログラムを自動的に生成します。

オブジェクト形式は、アブソリュートの、MELPS 8 バイナリ形式、BNPF形式、16進形式、又は、ミナト用16進オブジェクト形式とし、オブジェクト媒体は、紙テープ、又は、磁気テープ(ミナト用16進オブジェクト形式は使用不可)が使用可能ですが、紙テープを標準とします。

さらに、EPROMで提出していただいてもマスクROMにプログラムを書き込むことができます。

オブジェクトテープは、1チップ分を1巻とし、EPROMの場合は、1チップ分を1個又は複数個のEPROMで、それぞれ2セット準備して所定の確認書を添えて提出してください。

## 1. オブジェクト形式

- オブジェクトは、すべてアブソリュートとします。
- MELPS 8 バイナリ形式、BNPF形式、16進形式、ミナト用16進オブジェクト形式を受け付けます。
- 各オブジェクト形式は、MELPS 8 クロスアセンブラ、クロスコンパイラPL/μなどが出力するものです。
- BNPF形式、16進形式はインテル社のものと互換性があります。
- 使用コードは、ASCII又はISOコードで、パリティの有無はとれません。

## 2. オブジェクト提出媒体

- 紙テープ……………8単位、25.4mm幅
- 磁気テープ……………9トラック、800BPI、奇数パリティ
- EPROM……………M5L 2708K、S、M5L 2716K又は、インテル社2708、2716相当品が使用できますが、標準品はM5L 2708K、S、M5L 2716Kとします。

## 3. 確認事項概要

- オブジェクト形式と提出媒体
- 機種番号(形名中“-”以降は、三菱電機が決定します。)
- チップセレクトの能動レベルの指定

注1 各オブジェクト形式による確認事項及び規定は、4項を参照し、所定の確認書は、5項を参照してください。

## 4. オブジェクト形式と規定

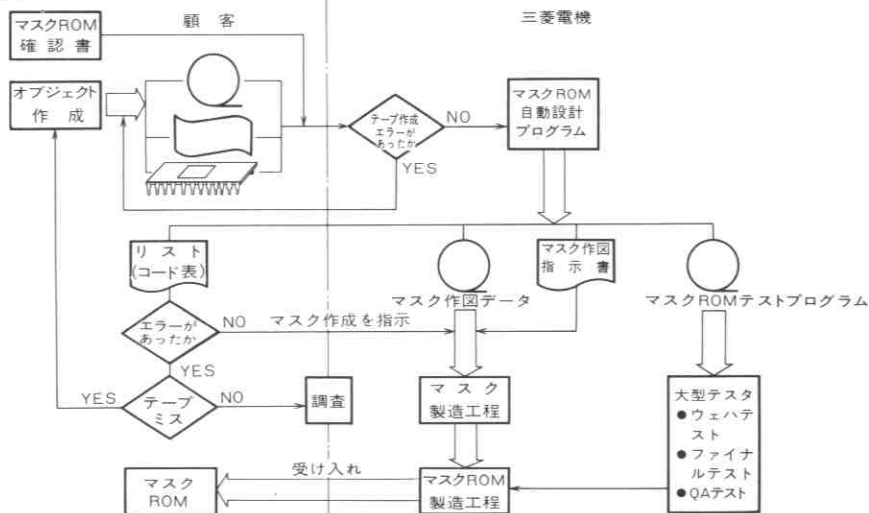
## (1) MELPS 8 バイナリ形式

このオブジェクト形式は、MELPS 8 クロスアセンブラ、クロスコンパイラPL/μなどが出力するものです。

詳細は、MELPS 8 クロスアセンブラ説明書(GAM-SR00-02A)又は、MELPS 8 クロスコンパイラPL/μ説明書(GAM-SR00-09A)を参照してください。

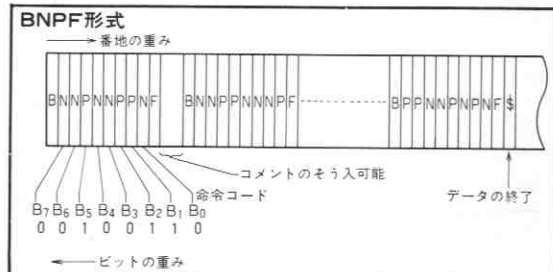
- 1チップ分のコードを1巻に編集して、同じものを2巻提出してください。
- 終了部が現われたとき、1チップが終了したものとします。
- マスクROM化を行うときのオブジェクトの先頭番地を指示してください。(MELPS 8 バイナリ、16進形式のみ)
- 先頭番地+マスクROMチップの最大指定番地の範囲以外のデータは無視します。
- マスクROMの対象がオブジェクト中のROM領域か、RAM領域か又は、すべてかを指定してください。

## マスクROM開発工程



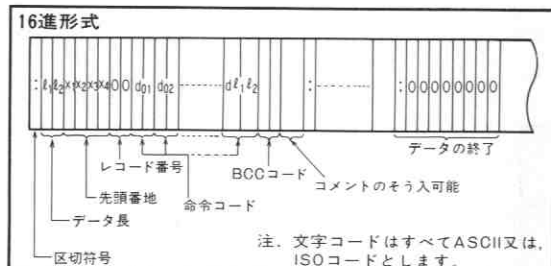
- 穿孔ビットの表現を“L”又は“H”で指示してください。
- 紙テープの最初と最後に50フレーム以上のスプロケットホールをそう入してください。

## (2) BNPF形式



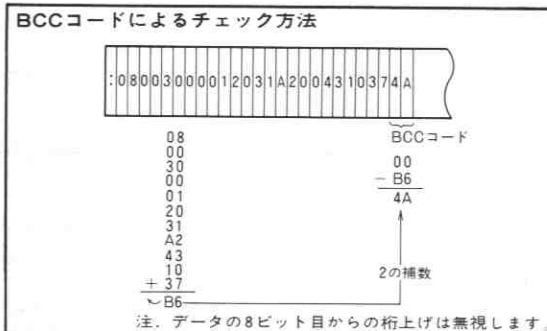
- この形式はインテル社相当のものです。
- 1チップ分のデータは、1巻に編集して、同じものを2巻提出してください。
- データの終了は“S”コードとします。
- データがROM容量に満たないときは、適当なコードで埋めるか、所定の確認書で指示してください。指示がない場合、ROMの空きエリアはすべて“L”レベル(正論理)で埋めます。
- 各命令コード間(FとBの間)には、コメントのそう入が可能ですが、“B”と“S”コードは使用しないでください。
- 使用コードは、ASCII又は、ISOとし、パリティの有無はといません。
- 番地は、データの入っている順に、下位から上位に進むものとして。
- BからFまでのビットの重みは、上位から下位に進むものとして。
- 紙テープの最初と最後に50フレーム以上のスプロケットホールをそう入してください。
- P及びNがそれぞれ“L”レベルか“H”レベルかの指示と正論理か負論理かの指示をしてください。

## (3) 16進形式



- 区切符号………コロン(:)。データとコメントの識別符号
- データ長……… $d_01 \sim d_{l_1}l_2$ に入っているデータのバイト数(16進表示で、 $l_1$ に上位、 $l_2$ に下位がはいる。)

- 先頭番地………そのレコードの先頭番地( $d_01$ の番地)。4けたの16進表示で、 $x_1$ に最上位、 $x_4$ に最下位がはいる。
- レコード番号………通常は00が入る。
- 16進データ……… $l_1l_2$ が示す個数だけのデータ
- BCCコード………データ長より $d_{l_1}l_2$ までの8ビットのデータの和(8ビット目からの桁上げは無視)の2の補数の16進表示。



- この形式はインテル社相当のものです。
  - 1チップ分のデータは、1巻に編集して、同じものを2巻提出してください。
  - 終了部(データ長が00)が現れたとき、1チップが終了したものとします。
  - マスクROM化を行うときのオブジェクトの先頭番地を指示してください。
  - 先頭番地+マスクROMチップの最大指定番地の範囲以外のデータは無視します。
  - オブジェクトの途中で先頭番地が前後してもかまいません。
  - データがROM容量に満たないときは、適当なコードで埋めるか、所定の確認書で指示してください。指示がない場合、ROMの空きエリアはすべて“L”レベル(正論理)で埋めます。
  - 使用コードは、ASCII又は、ISOコードとし、パリティの有無はといません。
  - データの“0”または“1”が、“H”レベルか“L”レベルかの指示と、正論理か負論理かの指示をしてください。
  - 紙テープの最初と最後に、50フレーム以上のスプロケットホールをそう入してください。
- (4) ミナト用16進オブジェクト形式
- MELPS8PROMライタ用紙テープ作成プログラム説明書(GAM-SR00-32A)を参照して、紙テープを提出してください。

## マスクROM受注方法

## 5. ROM確認書



三菱電機株式会社

三菱マイクロプロセッサ用LSI  
マスクプログラマブルROM確認書

▲		殿		▲御承認印	課長	係長	担当者
年 月 日 Tel ( )							
形式	▲	☆		☆三菱電機	課長	係長	担当者
	M	5	8				

## ▲オブジェクト形式

オブジェクト形式	1. MELPS 8 バイナリ形式	2. 16進形式	3. BNPf形式
媒体(本数)	4. 紙テープ(2本)	5. 磁気テープ ( 本 )	
文字コード(パリティ)		6. ASCII (1) 奇数 (2) 偶数 (3) なし 7. ISO	
ROM先頭アドレス			
ROMの対象	8. すべて 9. ROM領域 10. RAM領域		
命令コード	11. Hのビットを穿孔 12. Lのビットを穿孔	13. Hのビットを1とする 14. Lのビットを1とする	15. HのビットをPとする 16. LのビットをPとする
アドレス	17. Hのビットを穿孔 18. Lのビットを穿孔	19. Hのビットを1とする 20. Lのビットを1とする	

▲データ出力 1. 正論理 2. 負論理

▲アドレス入力 1. 正論理 2. 負論理

▲チップセレクト入力(データ出力時の組み合わせ)

品 種 名	CS <sub>1</sub>	CS <sub>2</sub>	CS <sub>3</sub>

## ▲パーツNo.

1. マーク不要

2. マーク要

▲

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

三 菱 I C 形 名																	
-------------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

注1. マークは右ツメ

2. 12字以内の英、数字、ハイフン、但し、J、I、Oは除く。

## ▲リスト添付

1. 有( 部)

2. 無

## ▲ソースリストの提出

1. 要( 部)

2. 否

## ▲特記事項

☆備考 (三菱記入)

注3. ▲印の箇所は全て記入してください。

4. ☆印の箇所は記入しないでください。

## M54700K, P, S

## 1024-BIT (256-WORD BY 4-BIT) FIELD PROGRAMMABLE ROM

## 概要

M54700K, P, Sは、メモリセルをダイオードマトリクスとニクロムヒューズで構成され、ユーザサイドで書き込み装置を使って、各ヒューズを切断することによりプログラミングできます。このROMは、アドレス部、デコーダ部、メモリ部、出力部、そしてイネイブル回路から構成され、TTL構造からなる1024ビットのフィールドプログラマブルROM (PROM) です。

## 特長

- ユーザサイドでプログラム可能
- 低消費電力……………0.40mW/ビット
- アクセスタイムは、50ns標準と高速
- 電源電圧は、5V±5%の1電源方式
- 入出力ともTTLと直結可能
- 出力回路はオープンコレクタ
- 2つのチップイネイブル入力 ( $\overline{E_1}$ ,  $\overline{E_2}$ ) を使用して記憶容量を容易に増加可能
- 256語×4ビット (=1024ビット) 構成
- パッケージは、16ピンDILセラミック及びブラックチック
- MMI社製6300とピン接続及び電気的特性に互換性あり

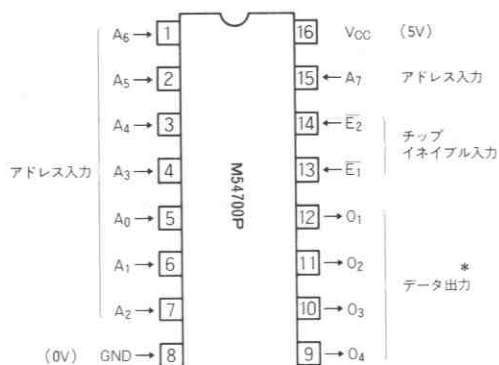
## 用途

8ビット並列処理CPU M5L 8080ASのプログラムに最適プロトタイプ、マイクロプログラミングコントロールストア

## 機能概要

1024ビットROMのダイオードマトリクスは、256語と1語について4ビットの構成となっており、アドレス入力A<sub>0</sub>～A<sub>7</sub>によって256語中の1語を選択し、4ビットの並列入力(O<sub>1</sub>～O<sub>4</sub>)を得る方式になっています。

## ピン接続図(上面図)



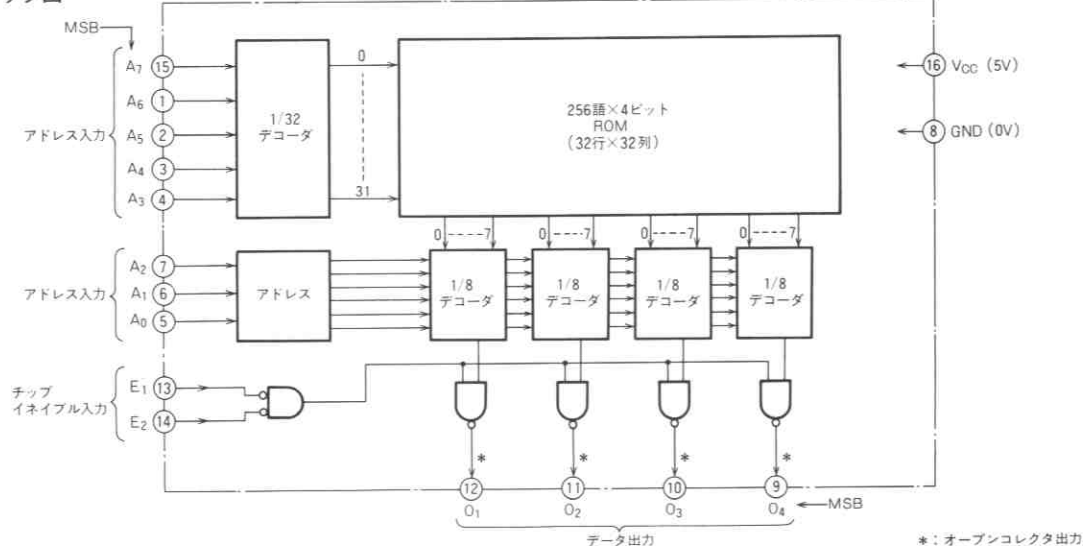
外形 16K1(M54700K)  
外形 16P4(M54700P)  
外形 16S1(M54700S) \* : オープンコレクタ出力

入力は通常のTTLと同一であり、TTLに直結できます。デコーダ部は素子の中に含まれていますので、デコードインとして、付属の回路は必要としません。

出力は、オープンコレクタですので、ROMどうし又はTTLと“ANDタイ”接続が可能で、各出力は標準の10個のANDタイTTLの負荷をとることができます。

チップイネイブル $\overline{E_1}$ 、 $\overline{E_2}$ は出力(O<sub>1</sub>～O<sub>4</sub>)をインヒビットするものに使用します。

## ブロック図



\* : オープンコレクタ出力

## 1024-BIT (256-WORD BY 4-BIT) FIELD PROGRAMMABLE ROM

絶対最大定格 (指定のない場合は,  $T_a = 25^\circ\text{C}$ )

記号	項目	条件	定格値	単位
$V_{CC}$	電源電圧		7	V
$V_i$	入力電圧		5.5	V
$V_o$	出力電圧		$V_{CC}$	V
$T_{opr}$	動作周囲温度		0 ~ 75	$^\circ\text{C}$
$T_{stg}$	保存温度		-55 ~ +125	$^\circ\text{C}$
$V_o$	出力印加電圧	プログラムの場合	27	V
$V_E$	チップイネイブル印加電圧		35	V
$t_w(P)/t_o(P)$	デューティサイクル		25	%

読み出し動作

推奨使用条件 (指定のない場合は,  $T_a = 0 \sim 75^\circ\text{C}$ )

記号	項目	規格値			単位
		最小	標準	最大	
$V_{CC}$	電源電圧	4.75	5	5.25	V

電気的特性 (指定のない場合は,  $T_a = 0 \sim 75^\circ\text{C}$ )

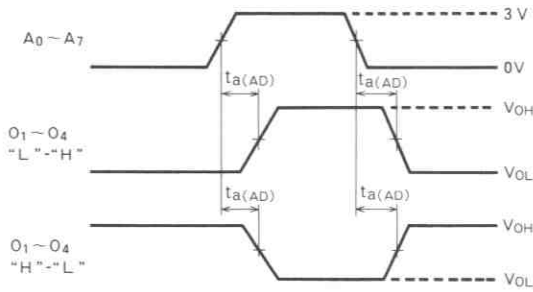
記号	項目	測定条件	規格値			単位
			最小	標準*	最大	
$V_{IH}$	"H"入力電圧		2			V
$V_{IL}$	"L"入力電圧				0.8	V
$V_{OL}$	"L"出力電圧	$I_{OL} = 16\text{mA}$		0.3	0.45	V
$I_{OH}$	"H"出力電流	$V_{OH} = 5.25\text{V}$			100	$\mu\text{A}$
$I_{IL}$	"L"入力電流	$V_i = 0.4\text{V}$			-1.6	mA
$I_{IH}$	"H"入力電流	$V_i = 2.4\text{V}$			40	$\mu\text{A}$
		$V_i = 4.5\text{V}$			60	$\mu\text{A}$
$I_{CC}$	$V_{CC}$ 電源電流			85	125	mA
$V_{IC}$	入力クランプ電圧	$I_{IC} = -10\text{mA}$			-1.5	V

\*: 標準値は,  $V_{CC} = 5\text{V}$ ,  $T_a = 25^\circ\text{C}$  の値です。スイッチング特性 (指定のない場合は,  $V_{CC} = 5\text{V}$ ,  $T_a = 25^\circ\text{C}$ )

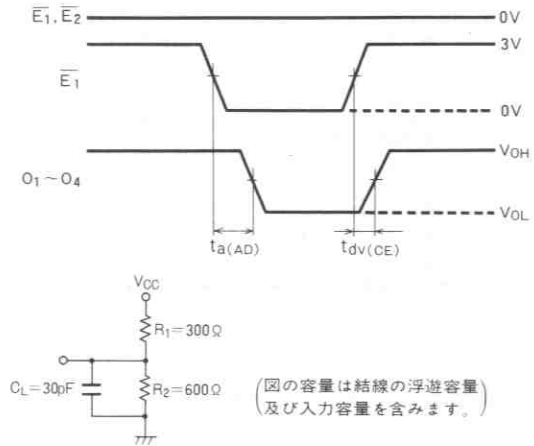
記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_a(\text{AD})$	アドレスアクセス時間	(注3)			60	ns
$t_a(\text{CE})$	チップイネイブルアクセス時間				35	ns
$t_{dv}(\text{CE})$	チップイネイブルに対するデータ有効時間				35	ns

1024-BIT (256-WORD BY 4-BIT) FIELD PROGRAMMABLE ROM

タイミング図 (基準電圧=1.5V)



- 注1. 上昇時間 $t_r \leq 5ns$ , 下降時間 $t_f \leq 5ns$
2. アドレスアクセスタイムの測定するとき, チップイネイブル入力 $\bar{E}_1, \bar{E}_2$ は"L"に保持して下さい。
3. 出力標準負荷を右図に示します。



(図の容量は結線の浮遊容量及び入力容量を含みます。)

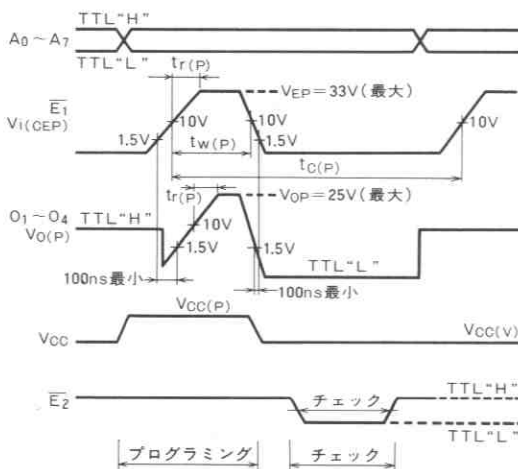
プログラム時の推奨使用条件

記号	項目	規格値			単位
		最小	標準	最大	
$V_{I(CEP)}$	チップイネイブル印加電圧	29		33	V
$V_{O(P)}$	出力印加電圧			25	V
$V_{CC(P)}$	プログラム時の電源電圧	5.4	5.5	5.6	V
$V_{CC(V)}$	プログラム後のチェック時の電源電圧	4.1	4.2	4.3	V

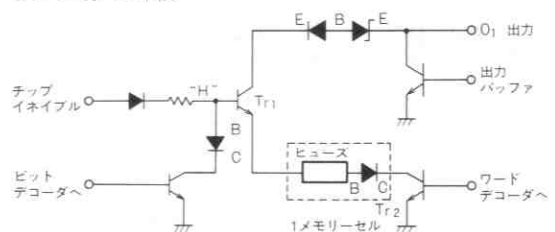
プログラム時のタイミング必要条件

記号	項目	規格値			単位
		最小	標準	最大	
$t_r(P)$	パルス上昇時間	10	25	100	$\mu s$
$t_w(P)$	パルス幅	0.04		100	ms
$t_w(P)/t_c(P)$	デューティサイクル			25	%

プログラムタイミング図



注4. プログラム回路





## 1024-BIT (256-WORD BY 4-BIT) FIELD PROGRAMMABLE ROM

## プログラミング(書き込み)方法

プログラムする部分は記憶素子を構成しているヒューズです。ヒューズはニクロムで構成されています。1024個の記憶素子がプログラムされていない場合はすべて論理“H”(ヒューズ:close)になっています。これらを論理“L”(ヒューズ:open)にするには下記の方法で行います。

- (1) 電源電圧を5.5Vとし、アドレス入力A<sub>0</sub>~A<sub>7</sub>でプログラムされるヒューズを選択します。
- (2) チップイネイブル入力 $\overline{E_2}$ を論理“H”にします。
- (3) チップイネイブル入力 $\overline{E_1}$ はプログラムパルスV<sub>I</sub>(CEP)を印加した後、出力パルスV<sub>O</sub>(P)をプログラムされるヒューズに対応する出力に印加します。  
(ただし、出力パルスV<sub>O</sub>(P)は各出力ごとに印加して下さい)
- (4) プログラムされたとき(ヒューズ:open)出力は論理“L”となります。
- (5) プログラミング終了後、更に最低3パルス印加してください。
- (6) チップイネイブル入力 $\overline{E_1}$ 及び $\overline{E_2}$ を論理“L”にして所定のプログラミングがなされているかどうか、チェックします。  
ワードデコード回路は32行の中の1行を選択し、Tr<sub>2</sub>はオンします。

ビットデコード回路は32列の中の4列を選択し、チップイネイブル入力 $\overline{E_1}$ からTr<sub>1</sub>にベース電流を供給します。

このベース電流では、ヒューズを切断することなく、選択された出力O<sub>1</sub>から供給されるTr<sub>1</sub>へのコレクタ電流とベース電流によって、ヒューズは切断されます。(このとき、選択されたワードライン上のその他の3個のヒューズはhalf selectの状態にあり、他の1020個のヒューズは選択されていない状態にあります。)

## 標準プログラム条件

パルス印加条件	パルス数	パルス幅 tw(P)(ms)	チップイネイブルプログラム電圧 V <sub>I</sub> (CEP)(V)	出力電圧 (V)
1	1~4	0.5	29	25
2	5~8	1	29	25
3	9~12	5	30	25
4	13~16	20	33	25

## 応用

## チップイネイブル回路

チップイネイブル入力 $\overline{E_1}$ 、 $\overline{E_2}$ はプログラミングの場合の書き込み用あるいは出力(O<sub>1</sub>、O<sub>2</sub>、O<sub>3</sub>及びO<sub>4</sub>)をインビットする(出力の論理“H”)場合に用います。

$\overline{E_1}$ 、 $\overline{E_2}$ はNOR構成となっており、この $\overline{E_1}$ 、 $\overline{E_2}$ を使って記憶容量を増大できます。

## 1. ビット数(出力数)の増加方法

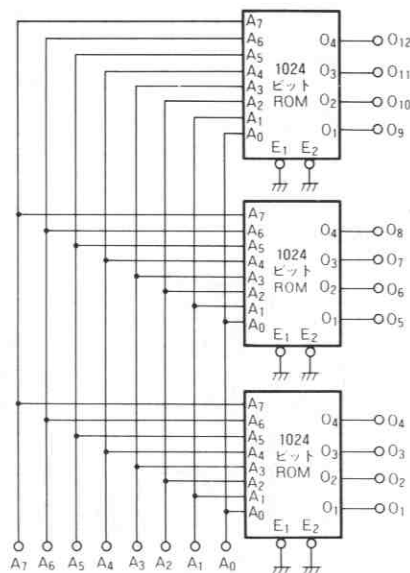
例えば、1024ビット(256語×4ビット)のROM3個を使

用してビット数を増加する場合には下記のようにします。

- (1) 各ROMの $\overline{E_1}$ 、 $\overline{E_2}$ の両方を論理“L”にします。
- (2) アドレス入力A<sub>0</sub>~A<sub>7</sub>は各ROMそれぞれ共通に接続します。

以上のようにして、語数は256語でビット数(出力数)を12ビットに増大できます。

図1 ビット数の増加

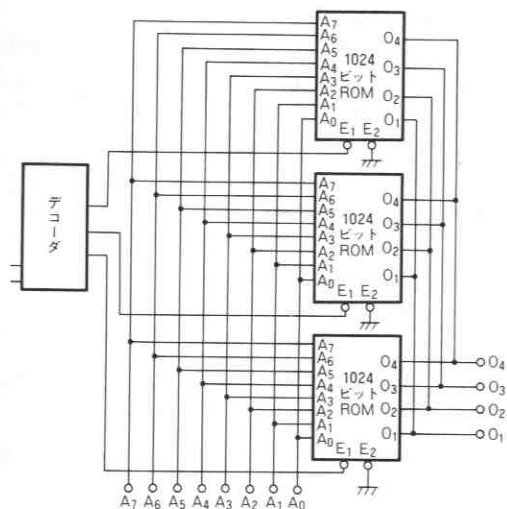


## 2. 語数の増加方法

同様に1024ビットROMを3個使用して語数を増加する場合、下記のようにします。

- (1) 各ROMの $\overline{E_1}$ 、 $\overline{E_2}$ のいずれかを論理“L”にし、他方は別別にデコーダ出力に接続します。

図2 ワード数の増加



## 1024-BIT (256-WORD BY 4-BIT) FIELD PROGRAMMABLE ROM

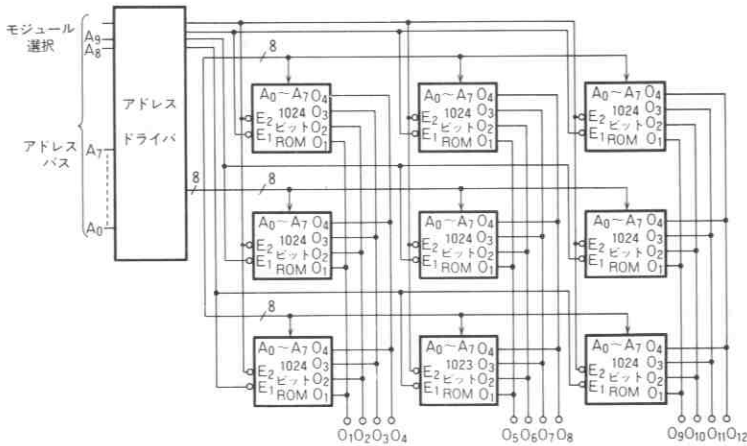
(2) 出力は各ROMのそれぞれを共通に“ANDタイ”とします。  
この場合、各出力の回路形式はオープンコレクタカスリーステートの場合に限ります。上記のようにして768×4ビットが構成できます。

## 3. ビット数及び語数の増加方法

ビット数及び語数を増加してROMモジュールを構成しますが、この場合には図1、図2で示した方法を組み合わせて、例えば図3のように構成します。図3において各ROMのE<sub>2</sub>はモジュール選択用として共通に接続されています。そしてE<sub>1</sub>は、語数の増加の場合と同様に使用されます。

このようにして768語×12ビットのROMモジュールが構成できます。

図3 ROMモジュール



## プルアップ抵抗

出力はオープンコレクタですので、“ANDタイ”も可能ですし、通常の負荷をとることができます。

ただし、電源と出力トランジスタのコレクタとの間に入るプルアップ抵抗R<sub>L</sub>は下記に示す式(1)、式(2)に従って決定されなければなりません。

$$R_L(\max) = \frac{V_{CC} - V_{OH}}{M \cdot \overline{I_{OH}} + N \cdot \overline{I_{IH}}} \quad \dots \dots \dots (1)$$

ただし、M : “ANDタイ”の数

N : ファンアウト数(負荷数)

$\overline{V_{CC}}$  : 電源電圧の最大値

$V_{OH}$  : 出力“H”電圧の最小値

$\overline{I_{OH}}$  : 出力がオープン・コレクタの場合の出力“H”電流の最大値

$\overline{I_{IH}}$  : 負荷の入力“H”電流の最大値

$$R_L(\min) = \frac{V_{CC} - V_{OL}}{I_{OL} - N \cdot |\overline{I_{IL}}|} \quad \dots \dots \dots (2)$$

ただし、 $\overline{V_{CC}}$  : 電源電圧の最小値

$V_{OL}$  : 出力“L”電圧の最大値

$\overline{I_{OL}}$  : 出力“L”電流の最大値

$\overline{I_{IL}}$  : 負荷の入力“L”電流の最大値

したがって、 $R_L(\min) < R_L < R_L(\max)$  …………… (3)

プルアップ抵抗R<sub>L</sub>は式(3)を満足しなければならないが、R<sub>L</sub>(max)、R<sub>L</sub>(min)は、“ANDタイ”の数とファンアウト数に従ってそのつど計算しなければなりません。

TTL負荷の場合の計算例を下記に示します。

(1) M = 4、N = 3、 $\overline{V_{CC}} = 5.25V$

$V_{OH} = 2.4V$ 、 $\overline{I_{OH}} = 100\mu A$

$\overline{I_{IH}} = 40\mu A$

$$\begin{aligned} R_L(\max) &= \frac{\overline{V_{CC}} - V_{OH}}{M \cdot \overline{I_{OH}} + N \cdot \overline{I_{IH}}} \\ &= \frac{5.25V - 2.4V}{4 \times (100\mu A) + 3 \times (40\mu A)} \\ &= 5090 \Omega \end{aligned}$$

(2) N = 3、 $\overline{V_{CC}} = 4.75V$

$\overline{V_{OL}} = 0.45V$ 、 $\overline{I_{OL}} = -1.6mA$

$\overline{I_{IL}} = -1.6mA$

$$\begin{aligned} R_L(\min) &= \frac{V_{CC} - \overline{V_{OL}}}{I_{OL} - N \cdot |\overline{I_{IL}}|} \\ &= \frac{4.75V - 0.45V}{16mA - 3 \times (1.6mA)} \\ &= 384 \Omega \end{aligned}$$

# M54730K, P, S

## 256-BIT (32-WORD BY 8-BIT) FIELD PROGRAMMABLE ROM

### 概要

M54730K, P, Sは、メモリセルをダイオードマトリックスとニクロムヒューズで構成され、ユーザサイドで書き込み装置を使って、各ヒューズを切断することによりプログラミングできます。このROMは、アドレス部、デコーダ部、メモリ部、出力部そしてイネイブル回路から構成され、TTL構造の256ビットのフィールドプログラマブルROM (PROM)です。

### 特長

- ユーザサイドでプログラム可能
- 低消費電力 ..... 1.5mW/ビット
- 高速アクセス時間 ..... 45ns (標準)
- 電源電圧は、5V±5%の1電源方式
- 入出力ともTTLと直結可能
- 出力回路はオープンコレクタ
- チップイネイブル入力 $\bar{E}$ を使用して記憶容量を容易に増加可能
- パッケージは、16ピンDILセラミック及びプラスチック
- MMI社製6330とピン接続及び電気的特性に互換性あり

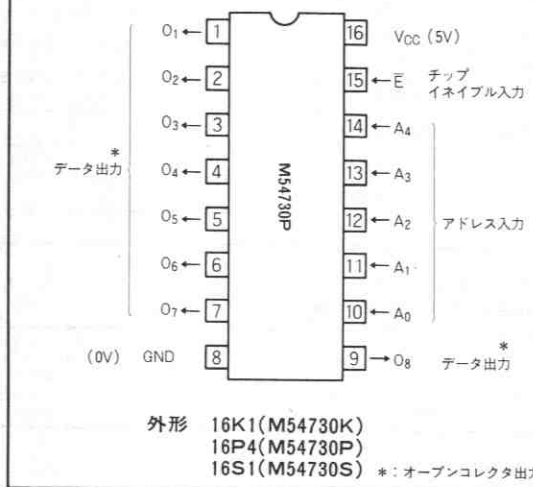
### 用途

8ビット並列処理CPU M5L 8080ASのプログラムに最適  
プロトタイプ、マイクロプログラミング  
コントロールストア

### 機能概要

256ビットROMのダイオードマトリックスは、32語と1語について8ビットの構成になっており、アドレス入力A<sub>0</sub>、

ピン接続図(上面図)



A<sub>1</sub>, A<sub>2</sub>, A<sub>3</sub>とA<sub>4</sub>によって32語中の1語を選択し、8ビットの並列出力(O<sub>1</sub>~O<sub>8</sub>)を得る方式になっています。

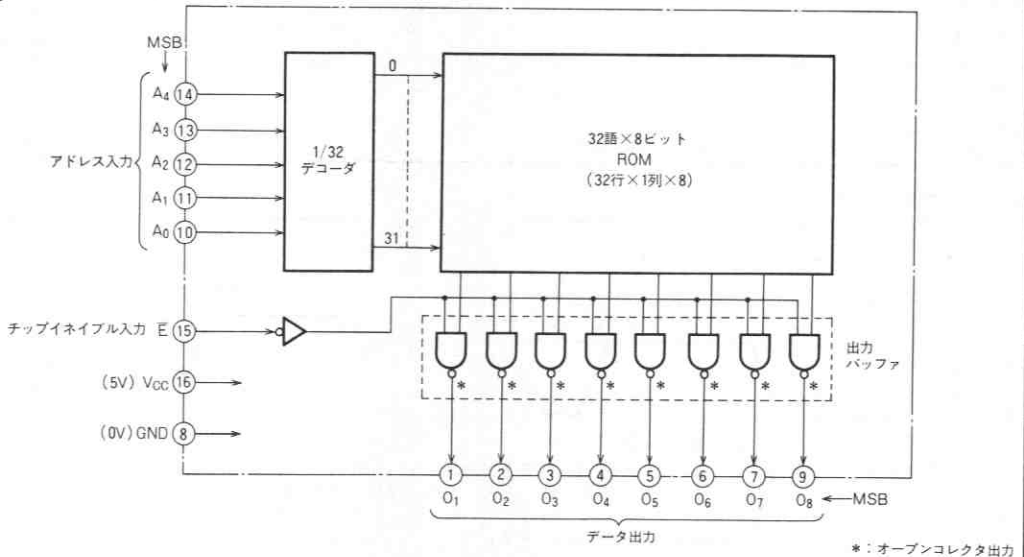
入力は通常のTTLと同一であり、TTLに接続できます。

デコーダ部は素子の中に含まれていますので、デコードインとして、付属の回路は必要としません。

出力はオープンコレクタですので、ROMどうし又はTTLと“ANDタイ”接続が可能で、各出力は標準の10個のTTLの負荷をとることができます。

チップイネイブル $\bar{E}$ は出力(O<sub>1</sub>~O<sub>8</sub>)をインヒビットするものに使用します。

### ブロック図



## M54730K, P, S

## 256-BIT (32-WORD BY 8-BIT) FIELD PROGRAMMABLE ROM

絶対最大定格 (指定のない場合は,  $T_a=25^\circ\text{C}$ )

記号	項目	条件	定格値	単位
$V_{CC}$	電源電圧		7	V
$V_I$	入力電圧		5.5	V
$V_O$	出力電圧		7	V
$T_{opr}$	動作周囲温度		0 ~ 75	$^\circ\text{C}$
$T_{stg}$	保存温度		-55 ~ +125	$^\circ\text{C}$
$V_O$	出力印加電圧	プログラムの場合	27	V
$t_w(P)/t_c(P)$	デューティサイクル		25	%

読み出し動作

推奨使用条件 (指定のない場合は,  $T_a=0\sim 75^\circ\text{C}$ )

記号	項目	規格値			単位
		最小	標準	最大	
$V_{CC}$	電源電圧	4.75	5	5.25	V

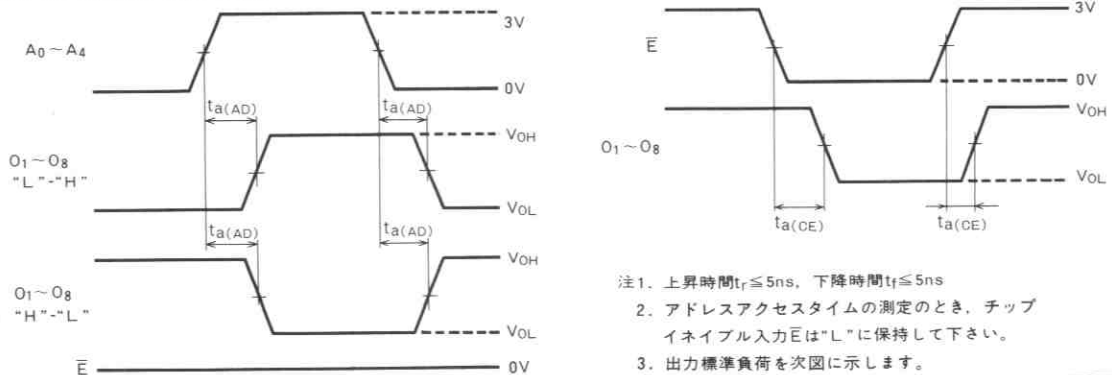
電気的特性 (指定のない場合は,  $T_a=0\sim 75^\circ\text{C}$ )

記号	項目	測定条件	規格値			単位
			最小	標準*	最大	
$V_{IH}$	"H"入力電圧		2			V
$V_{IL}$	"L"入力電圧				0.8	V
$V_{OL}$	"L"出力電圧	$I_{OL}=16\text{mA}$		0.3	0.45	V
$I_{OH}$	"H"出力電流	$V_{OH}=5.25\text{V}$			100	$\mu\text{A}$
$I_{IL}$	"L"入力電流	$V_I=0.4\text{V}$			-1.6	mA
$I_{IH}$	"H"入力電流	$V_I=2.4\text{V}$			40	$\mu\text{A}$
		$V_I=4.5\text{V}$			60	$\mu\text{A}$
$I_{CC}$	$V_{CC}$ 電源電流			85	125	mA
$V_{IC}$	入力クランプ電圧	$I_{IC}=-10\text{mA}$			-1.5	V

\*: 標準値は,  $V_{CC}=5\text{V}$ ,  $T_a=25^\circ\text{C}$ の値です。スイッチング特性 (指定のない場合は,  $V_{CC}=5\text{V}$ ,  $T_a=25^\circ\text{C}$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_a(\text{AD})$	アドレスアクセス時間	(注3)			60	ns
$t_a(\text{OE})$	チップイネイブルアクセス時間				35	ns
$t_{dv}(\text{OE})$	チップイネイブルに対するデータ有効時間				35	ns

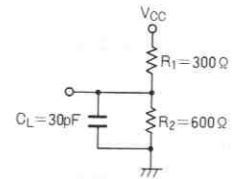
タイミング図 (基準電圧=1.5V)



## 256-BIT (32-WORD BY 8-BIT) FIELD PROGRAMMABLE ROM

## プログラム時の推奨使用条件

記号	項目	規格値			単位
		最小	標準	最大	
$V_{O(P)}$	出力電圧	20		25	V
$V_{CC(P)}$	プログラム時の電源電圧	5.4	5.5	5.6	V
$V_{CC(V)}$	プログラム後のチェック時の電源電圧	4.1	4.2	4.3	V

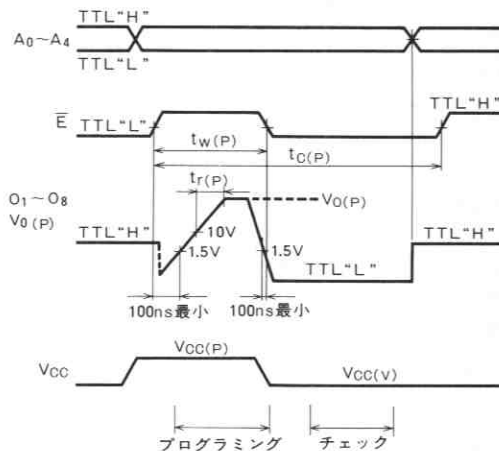


(図の容量値は結線の浮遊容量及び入力容量を含みます)

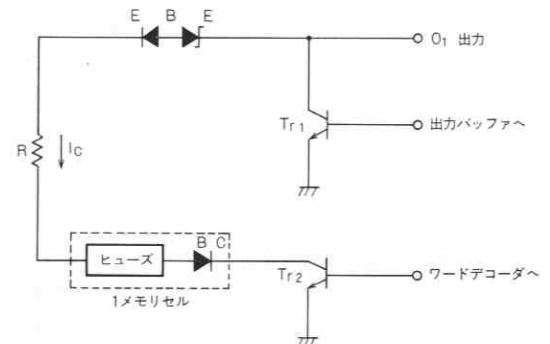
## プログラム時のタイミング必要条件

記号	項目	規格値			単位
		最小	標準	最大	
$t_r(P)$	パルス上昇時間	10	25	100	$\mu$ S
$t_w(P)$	パルス幅	0.04		100	ms
$t_w(P)/t_c(P)$	デューティサイクル			25	%

## プログラムタイミング図



## 注4. プログラム回路



## プログラム(書き込み)方法

プログラムされる部分は注4.に示されたメモリエメントとしてのヒューズです。ヒューズはニクロムで構成されています。256個のメモリエメントは出荷時において、すべて論理“H”(ヒューズ:Close)になっています。これらを論理“L”(ヒューズ:Open)にするには下記の方法で行います。

- (1) 電源電圧を5.5Vとし、アドレス入力 $A_0 \sim A_4$ でプログラムされるヒューズを選択します。
- (2) チップイネイブル入力 $\bar{E}$ を論理“H”にします。
- (3) プログラムタイミング図に示す出力パルス $V_{O(P)}$ をプログラムされる出力に印加します。(ただし、出力パルス $V_{C(P)}$ は各出力ごとに印加して下さい)
- (4) プログラムされる時(ヒューズ:open)出力は論理“L”になります。
- (5) プログラミング終了後、更に最低3パルス印加して下さい。
- (6) 書き込んだ内容はチップイネイブル入力 $\bar{E}$ を論理“L”

にして、出力が“L”か“H”であるかをチェックします。プログラムするとき、チップイネイブル入力 $\bar{E}$ は論理“H”に保持されているので出力トランジスタ $Tr_1$ はオフになります。ワードデコーダ回路は32語の中の1語を選択し、 $Tr_2$ はオンします。このとき、選択された出力 $O_1$ から供給される $Tr_2$ のコレクタ電流 $I_C$ により、ヒューズは切断されます。

(このとき、選択されたワードライン上のその他の7個のヒューズは half select の状態にあり、他の248個のヒューズは select されていない状態にあります。)

## 標準プログラム条件

パルス印加条件	パルス数	パルス幅 $t_w(P)(ms)$	出力電圧 $V_{O(P)}(V)$
1	1~4	0.5	20
2	5~8	1	25
3	9~12	5	25
4	13~16	20	25

## 256-BIT (32-WORD BY 8-BIT) FIELD PROGRAMMABLE ROM

## 応用

## チップイネイブル回路

チップイネイブル入力 $\bar{E}$ は、出力( $O_1 \sim O_8$ )をインヒビットする(出力の論理“H”)役割をしますので、この $\bar{E}$ を使用して記憶容量を増大できます。

## 1. ビット数の増加方法

例えば、256ビット(32語×8ビット)のROM3個を使用して、ビット数を増加する場合には下記のようにします。

- (1) 各ROMの $\bar{E}$ を論理“L”にします。
- (2) アドレス入力( $A_0 \sim A_4$ )は各ROMそれぞれ共通に接続します。

上記の方法により、32語×24ビット(=768ビット)が構成できます。

## 2. 語数の増加方法

1.と同様に、256ビットROM3個を使用して、語数を増加する場合次のようにします。

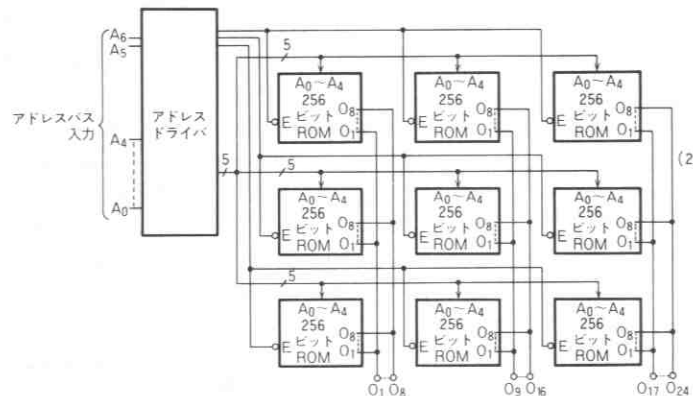
- (1) 各ROMの $\bar{E}$ をデコーダ出力に接続します。
- (2) 出力は各ROMのそれぞれ共通に“ANDタイ”接続します。
- (3) アドレス入力( $A_0 \sim A_4$ )は、各ROMはそれぞれに共通接続します。

上記の方法により、96語×8ビット(=768ビット)が構成できます。

## 3. ビット数及び語数の増加方法

ビット数及び語数を増加してROMモジュールを構成する場合は、1項と2項の方法を組み合わせて下図のように構成します。このようにして、96語×24ビットのROMモジュールができます。

## ROMモジュール



## プルアップ抵抗

出力はオープンコレクタですので、“ANDタイ”接続も可能ですし、通常の負荷をとることができます。

ただし、電源と出力トランジスタのコレクタとの間に入るプルアップ抵抗 $R_L$ はつぎに示す式(1)、式(2)に従って決定されなければなりません。

$$R_L(\max) = \frac{V_{CC} - V_{OH}}{M \cdot \bar{I}_{OH} + N \cdot \bar{I}_{IH}} \quad \dots \dots \dots (1)$$

ただし、M : “ANDタイ”接続数

N : ファンアウト数(負荷数)

$V_{CC}$  : 電源電圧の最大値

$V_{OH}$  : 出力“H”電圧の最小値

$\bar{I}_{OH}$  : 出力がオープンコレクタの場合の出力“H”電流の最大値

$\bar{I}_{IH}$  : 負荷の入力“H”電流の最大値

$$R_L(\min) = \frac{V_{CC} - V_{OL}}{I_{OL} - N \cdot |I_{IL}|} \quad \dots \dots \dots (2)$$

ただし、 $V_{CC}$  : 電源電圧の最小値

$V_{OL}$  : 出力“L”電圧の最大値

$I_{OL}$  : 出力“L”電流の最大値

$I_{IL}$  : 負荷の入力“L”電流の最大値

したがって、 $R_L(\min) < R_L < R_L(\max)$  ……(3)

プルアップ抵抗 $R_L$ は式(3)を満足しなければならないが、 $R_L(\max)R_L(\min)$ は、“ANDタイ”接続数とファンアウト数に従ってそのつど計算しなければなりません。TTL負荷の場合の計算例を次に示します。

- (1)  $M = 4$ 、 $N = 3$ 、 $V_{CC} = 5.25V$ 、 $V_{OH} = 2.4V$

$$\bar{I}_{OH} = 100\mu A, \bar{I}_{IH} = 40\mu A$$

$$R_L(\max) = \frac{V_{CC} - V_{OH}}{M \cdot \bar{I}_{OH} + N \cdot \bar{I}_{IH}}$$

$$= \frac{5.25V - 2.4V}{4 \times (100\mu A) + 3 \times (40\mu A)} = 5090\Omega$$

- (2)  $N = 3$ 、 $V_{CC} = 4.75V$   
 $V_{OL} = 0.45V$ 、 $I_{OL} = 16mA$   
 $I_{IL} = -1.6mA$

$$R_L(\min) = \frac{V_{CC} - V_{OL}}{I_{OL} - N \cdot |I_{IL}|}$$

$$= \frac{4.75V - 0.45V}{16mA - 3 \times (1.6mA)} = 384\Omega$$

## M58333-XXXP

## 32768-BIT(4096-WORD BY 8-BIT) MASK PROGRAMMABLE ROM

## 概要

M58333-XXXPは4096×8ビット構成のスタチックマスクプログラマブルROMです。このROMは、NチャンネルアルミゲートMOSプロセス技術を用いており、24ピンDIPパッケージに実装されています。入力及び出力はインターフェース回路なしに、TTL、DTLと直結可能です。形名中XXXは、ROMの内容により変更される3桁の10進数です。

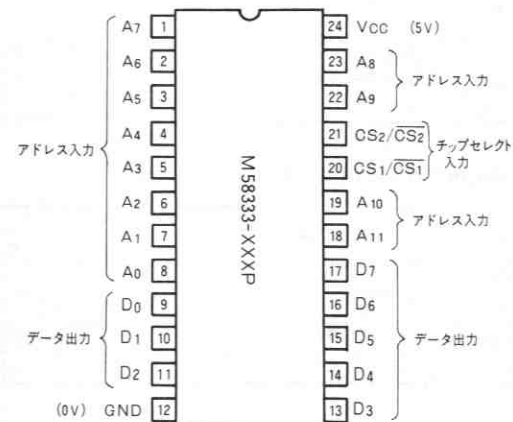
## 特長

- 最大読み出し時間……………650ns(最大)
- 8ビット並列出力
- チップセレクト入力(CS<sub>1</sub>, CS<sub>2</sub>)を用いて、出力をフローティング(高インピーダンス)状態にすることによりORタイ接続が可能(メモリの拡張が可能)。
- チップセレクト入力(CS<sub>1</sub>, CS<sub>2</sub>)の論理はROM変更と同時に変更可能。
- 入出力ともTTL及びDTLと直結が可能。
- 全入力には、入力保護回路内蔵。

## 応用

- マイクロコンピュータ用メモリ

## ピン接続図(上面図)



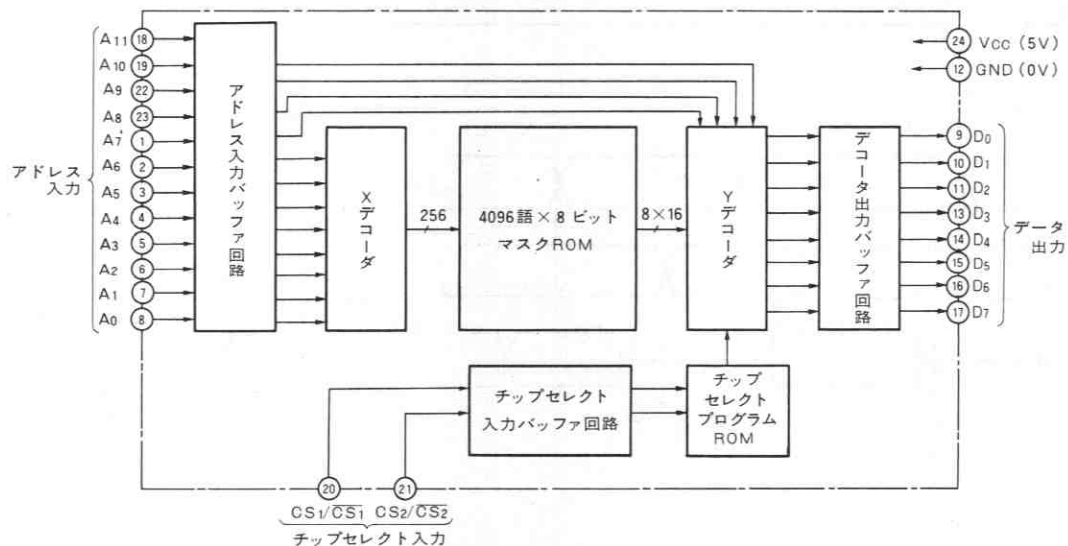
外形 24P1

## 機能概要

M58333-XXXPは、4096語×8ビット並列出力のROMです。アドレス入力(A<sub>0</sub>~A<sub>11</sub>)によりアドレスが指定されると4096語の中の1語が選択され、データ出力(D<sub>0</sub>~D<sub>7</sub>)に、ROMの内容が出力されます。チップセレクト(CS<sub>1</sub>, CS<sub>2</sub>)は、2個以上の本LSIを並列接続する場合に使用します。CS<sub>1</sub>, CS<sub>2</sub>がプログ

ラムされた特定の入力レベルの時のみ、データ出力にROMの内容が出力され、その他の状態ではデータ出力(D<sub>0</sub>~D<sub>7</sub>)はフローティング(高インピーダンス)状態となります。CS<sub>1</sub>, CS<sub>2</sub>入力の論理はROM変更と同時にプログラム可能です。

## ブロック図



32768-BIT(4096-WORD BY 8-BIT)MASK PROGRAMMABLE ROM

絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧	GND端子を基準とした場合 (V <sub>I</sub> , V <sub>O</sub> は、V <sub>CC</sub> =5Vのとき)	-0.5~7	V
V <sub>I</sub>	入力電圧		-0.5~7	V
V <sub>O</sub>	出力電圧		-0.5~7	V
P <sub>d</sub>	消費電力	T <sub>a</sub> =25°C	1000	mW
T <sub>opr</sub>	動作周囲温度		0~70	°C
T <sub>stg</sub>	保存温度		-40~125	°C

推奨使用条件 (指定のない場合は、T<sub>a</sub>=0~70°C)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.75	5	5.25	V
GND			0		V
V <sub>IH</sub>	"H" 入力電圧	2		V <sub>CC</sub> +1	V
V <sub>IL</sub>	"L" 入力電圧	-0.5		0.8	V

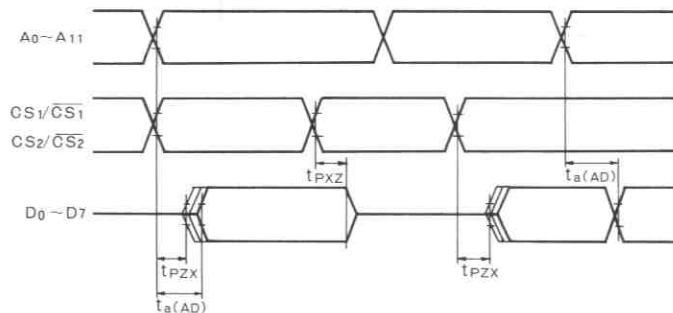
電気的特性 (指定のない場合は、T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V+5%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>OH</sub>	"H" 出力電圧	I <sub>OH</sub> =-400μA	2	2		V
V <sub>OL</sub>	"L" 出力電圧	I <sub>OL</sub> =2mA			0.45	V
I <sub>I</sub>	入力電流	V <sub>I</sub> =0~V <sub>CC</sub>	-10		10	μA
I <sub>OZ</sub>	オフ状態出力電流	V <sub>O</sub> =0.45~V <sub>CC</sub>	-10		10	μA
I <sub>CC</sub>	V <sub>CC</sub> 電源電流	出力開放, T <sub>a</sub> =25°C		80	120	mA
C <sub>i</sub>	入力容量	V <sub>CC</sub> =5V, V <sub>I</sub> =V <sub>O</sub> =0V, f=1MHz, 25mV <sub>rms</sub> , T <sub>a</sub> =25°C			10	pF
C <sub>o</sub>	出力容量				15	pF

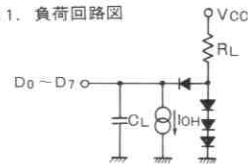
スイッチング特性 (指定のない場合は、T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V+5%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>a</sub> (AD)	アドレス-出力読み出し時間	C <sub>L</sub> =100pF, R <sub>L</sub> =2.1kΩ (注1)		400	650	ns
t <sub>PZX</sub>	チップ選択伝搬時間				150	ns
t <sub>PXZ</sub>	チップ非選択伝搬時間		0		150	ns

タイミング図



注1. 負荷回路図



注2.

中心線はフローティング (高インピーダンス) 状態を示します。  
 入力パルスレベル……………0.8~2.4V  
 入力パルス上昇時間 t<sub>r</sub>……………20ns  
 入力パルス下降時間 t<sub>f</sub>……………20ns  
 スwitching特性判定電圧  
 入力 V<sub>IH</sub>……………2.2V  
 V<sub>IL</sub>……………0.8V  
 出力 V<sub>OH</sub>……………2V  
 V<sub>OL</sub>……………0.8V



## M58334-XXXP

## 65536-BIT(8192-WORD BY 8-BIT)MASK PROGRAMMABLE ROM

## 概要

M58334-XXXPは、NチャネルアルミゲートED-MOSプロセス技術を用いた8192語×8ビット構成のスタック読み出し専用メモリです。このROMは、5V単一電源で動作し、入出力ともインターフェース回路なしにTTLと直結でき、8ビット並列処理CPU M5L 8085AP、Sのプログラム用に最適です。マスクプログラム方式でご注文の仕様に対し、マスク一枚の変更で簡単に応じられます。

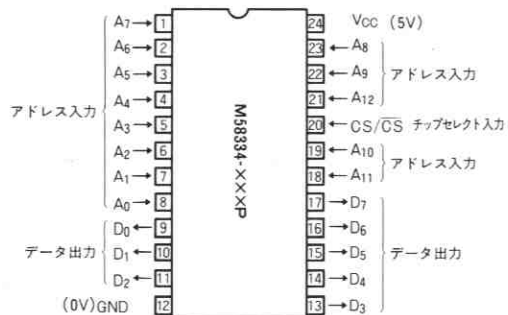
## 特長

- 8192語×8ビット構成
- 5V単一電源
- 読み出しアクセス時間.....650ns(最大)
- プログラマブルなチップセレクト入力によりメモリ容量の拡張が容易
- 出力をフローティング状態(高インピーダンス状態)にするとORタイが可能
- 入出力ともTTL直結可能
- すべての入力に入力保護回路内蔵

## 応用

マイクロコンピュータ用大容量メモリ

## ピン接続図(上面図)

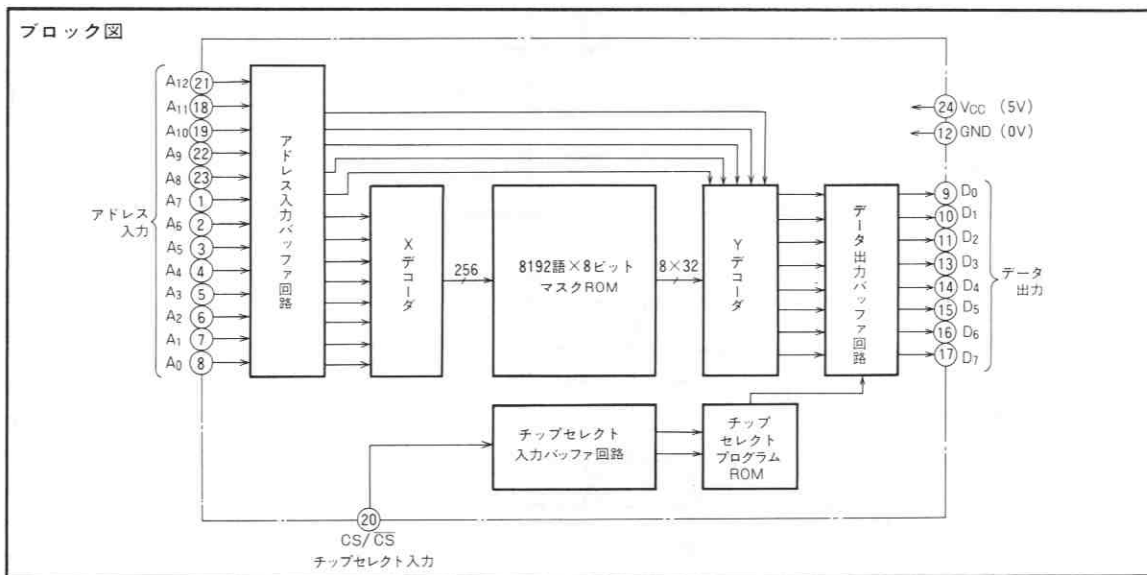


## 機能概要

M58334-XXXPは、8192語×8ビット構成並列出力のスタックROMです。アドレス入力(A<sub>0</sub>~A<sub>12</sub>)によってアドレスが指定されると、8192語の1つが選択され、データ出力(D<sub>0</sub>~D<sub>7</sub>)にROMの内容が出力されます。

A<sub>0</sub>は最下位、A<sub>12</sub>は最上位です。チップセレクト入力は、マスク作成時に、“H”が能動か“L”が能動かをプログラムできます。チップセレクト入力能動のときのみROMの内容が出力され、その他の状態では、データ出力(D<sub>0</sub>~D<sub>7</sub>)はフローティング(高インピーダンス)状態となります。

形名中のXXXは、ROMの内容により変更される3けたの10進数です。



65536-BIT(8192-WORD BY 8-BIT)MASK PROGRAMMABLE ROM

絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧	GND端子を基準にした場合	-0.5~7	V
V <sub>I</sub>	入力電圧		-0.5~7	V
V <sub>O</sub>	出力電圧		-0.5~7	V
P <sub>d</sub>	消費電力		1000	mW
T <sub>opr</sub>	動作周囲温度		0~70	°C
T <sub>stg</sub>	保存温度		-40~125	°C

推奨使用条件(指定のない場合は、T<sub>a</sub> = 0 ~ 70°C)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.75	5	5.25	V
GND			0		V
V <sub>IH</sub>	"H"入力電圧	2		V <sub>CC</sub> +1	V
V <sub>IL</sub>	"L"入力電圧	-0.5		0.8	V

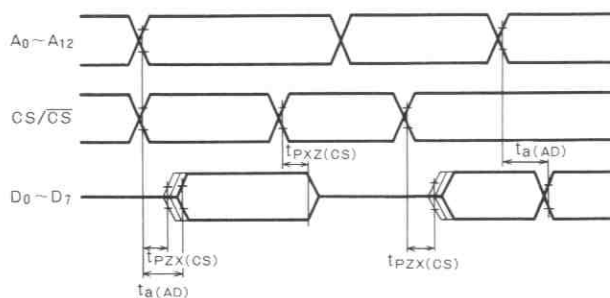
電気的特性(指定のない場合は、T<sub>a</sub> = 0 ~ 70°C, V<sub>CC</sub> = 5 V ± 5%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>OH</sub>	"H"出力電圧	I <sub>OH</sub> = -400μA	2.2			V
V <sub>OL</sub>	"L"出力電圧	I <sub>OL</sub> = 2 mA			0.45	V
I <sub>CC</sub>	V <sub>CC</sub> 電源電流	出力開放		70	120	mA
I <sub>I</sub>	入力リーク電流	V <sub>I</sub> = 0 V ~ V <sub>CC</sub>	-10		10	μA
I <sub>OZ</sub>	オフ状態出力電流	フローティング状態 V <sub>I</sub> = 0.45 V ~ V <sub>CC</sub>	-20		10	μA
C <sub>I</sub>	入力容量	被測定端子以外は 0 V		4	10	pF
C <sub>O</sub>	出力容量	1 MHz, T <sub>a</sub> = 25°C		8	15	pF

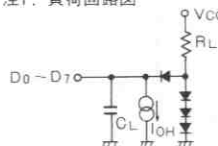
スイッチング特性(指定のない場合は、T<sub>a</sub> = 0 ~ 70°C, V<sub>CC</sub> = 5 V ± 5%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>a</sub> (A)	アドレスアクセスタイム	C <sub>L</sub> = 100pF, R <sub>L</sub> = 2.1KΩ (注1)		450	650	ns
t <sub>PXZ</sub> (CS)	チップ非選択伝搬時間				150	ns
t <sub>PZX</sub> (CS)	チップ選択伝搬時間		0		150	ns

タイミング図



注1. 負荷回路図



注2.



中心線はフローティング(高インピーダンス)状態を示します。

- 入力パルスレベル.....0.45~2.4V
- 入力パルス上昇時間t<sub>r</sub>.....20ns
- 入力パルス下降時間t<sub>f</sub>.....20ns
- スイッチング特性判定電圧
- 入力 V<sub>IH</sub>.....2.2V
- V<sub>IL</sub>.....0.8V
- 出力 V<sub>OH</sub>.....2V
- V<sub>OL</sub>.....0.8V

8192-BIT(1024-WORD BY 8-BIT) MASK PROGRAMMABLE ROM

概要

M58730-XXSは、1024語×8ビット構成のスタチック読み出し専用メモリです。このROMは、NチャネルシリコンゲートMOSプロセス技術を用いており、入出力ともにインタフェース回路なしに、TTLと接続でき8ビット並列処理CPUM5L 8080AP、Sのプログラム用に最適です。マスクプログラム方式で、注文仕様によりマスク一枚の変更に応じます。形名中のXXSは、ROMの内容により変更される3けたの10進数です。

特長

- アクセス時間 .....850ns(最大)
- 2つのチップセレクト入力(CS<sub>1</sub>, CS<sub>2</sub>)によりメモリ容量の拡張が容易
- 出力はスリーステートでORタイ可能
- 入出力ともにTTLに接続可能
- すべての入力に、入力保護回路内蔵
- インテル社製8308とピン接続及び電気的特性の互換性あり

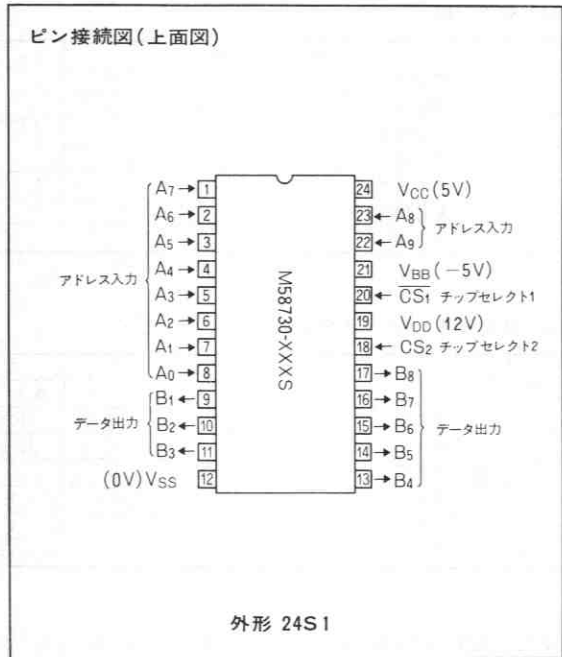
応用

- マイクロコンピュータ用メモリ

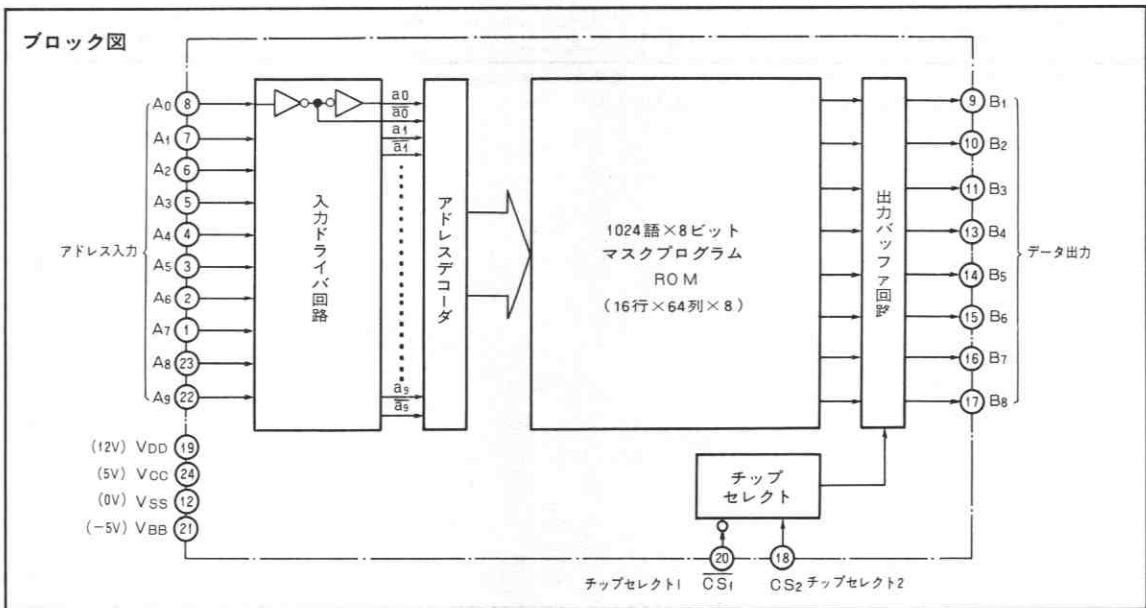
機能概要

M58730-XXSは、1024語×8ビット構成並列出力のスタチックROM(Read-Only Memory)です。

アドレス入力(A<sub>0</sub>~A<sub>9</sub>)によりアドレスが指定されると、1024語の中の1つが選択され、データ出力(B<sub>1</sub>~B<sub>8</sub>)に、ROMの内容が出力されます。チップセレクト1(CS<sub>1</sub>)及びチップセ



クト2(CS<sub>2</sub>)は、2個以上のM58730-XXSを並列接続する場合に使用します。CS<sub>1</sub>が“L”レベルでCS<sub>2</sub>が“H”レベルのときのみ、データ出力に、ROMの内容が出力され、その他の状態では、データ出力(B<sub>1</sub>~B<sub>8</sub>)は、フローティング(高インピーダンス)状態となります。



## 8192-BIT(1024-WORD BY 8-BIT) MASK PROGRAMMABLE ROM

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>DD</sub>	電源電圧	V <sub>BB</sub> 端子を基準とした場合	-0.3~20	V
V <sub>CC</sub>	電源電圧		-0.3~20	V
V <sub>SS</sub>	電源電圧		-0.3~20	V
V <sub>I</sub>	入力電圧		-0.3~20	V
P <sub>d</sub>	消費電力	T <sub>a</sub> =25°C	1.5	W
T <sub>opr</sub>	動作周囲温度		0~70	°C
T <sub>stg</sub>	保存温度		-65~150	°C

推奨使用条件(指定のない場合は、T<sub>a</sub>=0~70°C)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>DD</sub>	電源電圧	11.4	12	12.6	V
V <sub>CC</sub>	電源電圧	4.75	5	5.25	V
V <sub>SS</sub>	電源電圧		0		V
V <sub>BB</sub>	電源電圧	-4.75	-5	-5.25	V
V <sub>IH</sub>	"H"入力電圧	3.3		V <sub>CC</sub> +1	V
V <sub>IL</sub>	"L"入力電圧	V <sub>SS</sub> -1		0.8	V

電気的特性(指定のない場合は、T<sub>a</sub>=0~70°C、V<sub>DD</sub>=12V±5%、V<sub>CC</sub>=5V±5%、V<sub>SS</sub>=0V、V<sub>BB</sub>=-5V±5%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>OH</sub>	"H"出力電圧	I <sub>OH</sub> =-100μA	V <sub>CC</sub> -1			V
V <sub>OL</sub>	"L"出力電圧	I <sub>OL</sub> =1.9mA			0.45	V
I <sub>I</sub>	入力電流	V <sub>I</sub> =0V~V <sub>CC</sub>			±10	μA
I <sub>OZ</sub>	オフ状態出力電流	V <sub>O</sub> =0V~V <sub>CC</sub> CS <sub>1</sub> , CS <sub>2</sub> はフローティング条件(タイミング図参照)			10 -100	μA
I <sub>DD</sub>	V <sub>DD</sub> 電源電流				60	mA
I <sub>CC</sub>	V <sub>CC</sub> 電源電流	出力開放			100	μA
I <sub>BB</sub>	V <sub>BB</sub> 電源電流		-0.01	-1		mA
C <sub>i</sub>	入力容量	T <sub>a</sub> =25°C, V <sub>I</sub> =0V, 1MHz, 25mVr.m.s. V <sub>DD</sub> =V <sub>CC</sub> =V <sub>SS</sub> =0V (注2)			10	pF
C <sub>o</sub>	出力容量	T <sub>a</sub> =25°C, V <sub>I</sub> =0V, 1MHz, 25mVr.m.s. V <sub>DD</sub> =V <sub>CC</sub> =V <sub>SS</sub> =0V (注2)			10	pF

注1. 電流はICに流れ込む向きを正(無符号)とします。最大、最小は絶対値で定義します。

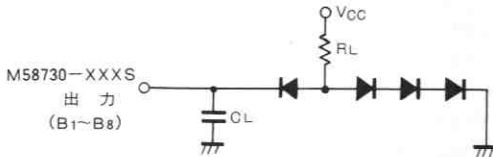
注2. 入力及び出力容量測定時は、被測定端子以外はV<sub>SS</sub>に接続します。

## S192-BIT(1024-WORD BY 8-BIT) MASK PROGRAMMABLE ROM

スイッチング特性 (指定のない場合は,  $T_a=0-70^{\circ}\text{C}$ ,  $V_{DD}=12\text{V}\pm 5\%$ ,  $V_{CC}=5\text{V}\pm 5\%$ ,  $V_{SS}=0\text{V}$ ,  $V_{BB}=-5\text{V}\pm 5\%$ )

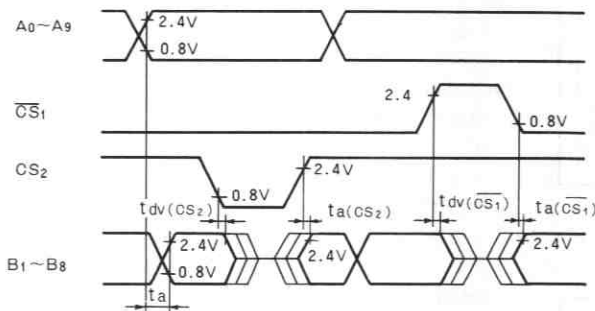
記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_a$	アクセス時間	$C_L=100\text{pF}$ , $R_L=2.1\text{k}\Omega$ (注3)		400	850	ns
$t_a(\overline{CS}_1)$	$\overline{CS}_1$ チップセレクトアクセス時間			100	300	ns
$t_a(CS_2)$	$CS_2$ チップセレクトアクセス時間			100	300	ns
$t_{dv}(\overline{CS}_1)$	$\overline{CS}_1$ に対するデータ有効時間			100	300	ns
$t_{dv}(CS_2)$	$CS_2$ に対するデータ有効時間			100	300	ns

## 注3. 負荷回路



5

## タイミング図



チップセレクト1 $\overline{CS}_1$	チップセレクト2 $CS_2$	データ出力 $B_1 \sim B_8$
L	L	Z
H	L	Z
L	H	O
H	H	Z

注4. 中心線はフローティング(高インピーダンス)状態を示します。

- Hは“H”レベル入力, Lは“L”レベル入力を示します。
- Zはフローティング状態を示します。
- Oはデータが出力されることを示します。
- 入力パルス上昇時間  $t_r \leq 20\text{ns}$   
入力パルス下降時間  $t_f \leq 20\text{ns}$

# 8192-BIT (1024-WORD BY 8-BIT) MASK PROGRAMMED ROM サブルーチン(1) 整数演算

## 概要

- M58730-001Sは、M58730-XXXSのスタンダード品です。
- 8ビット並列処理CPU、M5L 8080AP、Sに適用するソフトウェアとして、18種類のサブルーチンが格納されています。
- 16～32ビットの整数四則演算、論理演算、及びシフト操作の機能を持ちます。

## 情報の単位

M5L 8080AP、Sでは、1バイト8ビットが基本単位ですが、本サブルーチンでは、次のような情報単位を設定します。

### ● 語 (ワード)

2バイト(16ビット)で構成されるものであり、2進数の $-2^{15} \sim 2^{15}-1$ が表現できます。

### ● 2語長(ダブルワード)

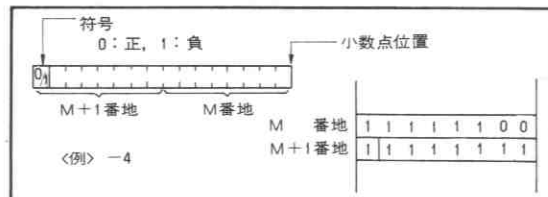
4バイト(32ビット)で構成されるものであり10進数の場合は7けた、2進数の場合は $-2^{31} \sim 2^{31}-1$ が表現できます。

## 数値の表現

### 1. 2進数

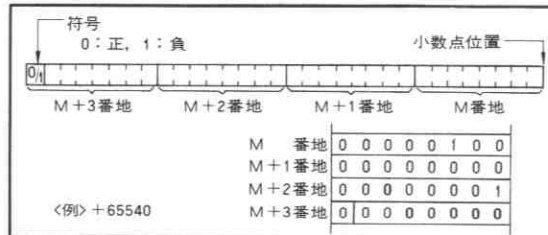
#### (1) 1語長(2バイト)

16ビット構成の2進数であり、負の値は2の補数で表します。表現できる数Nの範囲は $-2^{15} \leq N \leq 2^{15}-1$ です。



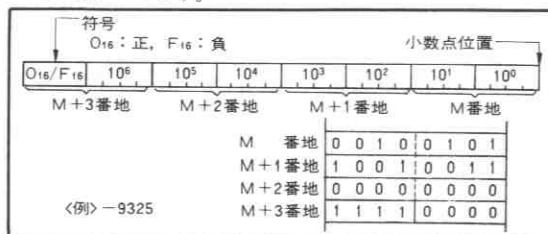
#### (2) 2語長(4バイト)

32ビット構成の2進数であり、負の値は2の補数で表します。表現できる数Nの範囲は $-2^{31} \leq N \leq 2^{31}-1$ です。



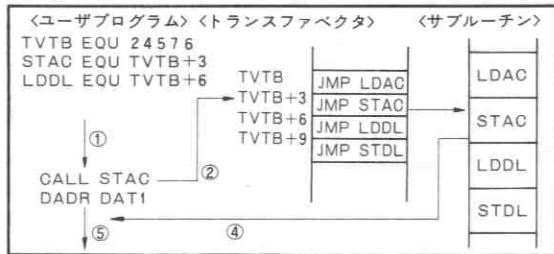
### 2. 10進数(2語長)

32ビット構成の10進数であり、7けたの数値部と1けたの符号部で構成されます。表現できる数Nの範囲は $-10^7 + 1 \leq N \leq 10^7 - 1$ です。



## ユーザープログラムとサブルーチンの関連

ユーザープログラムとサブルーチンの関連を下図に示します。



注: 処理の流れは①, ②, ③, ④, ⑤の順です。トランスファクタは、各サブルーチンのエン트리アドレスを固定化するためのものです。

## サブルーチンの機能

- 疑似アキュムレータロード  
指定された1語長(2バイト)又は2語長(4バイト)のデータを疑似アキュムレータにロードします。
- 疑似アキュムレータストア  
疑似アキュムレータ上の1語長(2バイト)又は2語長(4バイト)のデータを指定されたエリアにストアします。
- 疑似アキュムレータシフト  
疑似アキュムレータの内容を32ビット(2語長)のパターンで右又は左 $n$ ビットシフトします。
- 疑似アキュムレータアリスメティック右シフト  
疑似アキュムレータの内容を32ビット(2語長)のパターンで右 $n$ ビットアリスメティックシフトします。
- 論理演算  
疑似アキュムレータの内容と指定された1語長(2バイト)のデータについて論理和、論理積、排他的論理和をとり、疑似アキュムレータに格納します。
- 2進整数加減算  
疑似アキュムレータの内容に指定された1語長(2バイト)又は2語長(4バイト)のデータを2進加算又は2進減算し結果を疑似アキュムレータに格納します。
- 10進整数加減算  
疑似アキュムレータの内容に指定された2語長(4バイト)のデータを10進加算又は10進減算し、結果を疑似アキュムレータに格納します。
- 2進整数乗算  
疑似アキュムレータ上の1語長(2バイト)と指定された1語長(2バイト)のデータを乗算し、結果を疑似アキュムレータに格納します。
- 2進整数除算  
疑似アキュムレータ上の2語長(4バイト)を指定された1語長(2バイト)のデータで除算し、結果を疑似アキュムレータに格納します。

## メモリ配置

ROMのメモリ番地は次の通りです。

6000<sub>16</sub>～63FF<sub>16</sub>番地

また、ROMを使用するにあたっては、RAM領域が50バイト必要であり、ROMの専有するRAM領域は次の通りです。

3FCE<sub>16</sub>～3FFF<sub>16</sub>番地

## 16384-BIT(2048-WORD BY 8-BIT) MASK PROGRAMMABLE ROM

## 概要

M58731-XXXP, Sは、2048語×8ビット構成のスタチック読み出し専用メモリです。このROMは、NチャネルシリコンゲートED-MOSプロセス技術を用いており、一電源で動作し、入出力ともインタフェース回路なしにTTLと接続でき、8ビット並列処理CPU M5L 8080AP, Sのプログラム用に最適です。マスクプログラム方式で、注文仕様によりマスク一枚の変更に応じます。

形名中のXXXは、ROMの内容により変更される3けたの10進数です。

## 特長

- 2048語×8ビット構成
- 5V単一電源
- 低消費電力……………31.4μW/ビット(最大)
- 読み出しアクセス時間……………850ns(最大)
- プログラム可能な3つのチップセレクト入力(CS<sub>1</sub>、CS<sub>2</sub>、CS<sub>3</sub>)によりメモリ容量の拡張が容易
- 出力はスリーステートでORタイ可能
- 入出力ともにTTLに接続可能
- すべての入力に、入力保護回路内蔵
- インテル社製8316Aとピン接続及び電気的特性の互換性あり

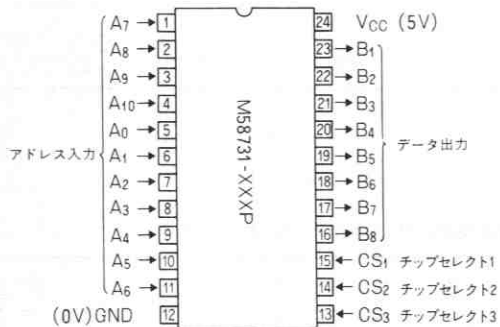
## 応用

- マイクロコンピュータ用大容量メモリ

## 機能概要

M58731-XXXP, Sは、2048語×8ビット構成並列出力のスタチックROMです。正論理のアドレス入力(A<sub>0</sub>~A<sub>10</sub>)によってアドレスが指定されると、2048語の中の1つが選択され、データ出力

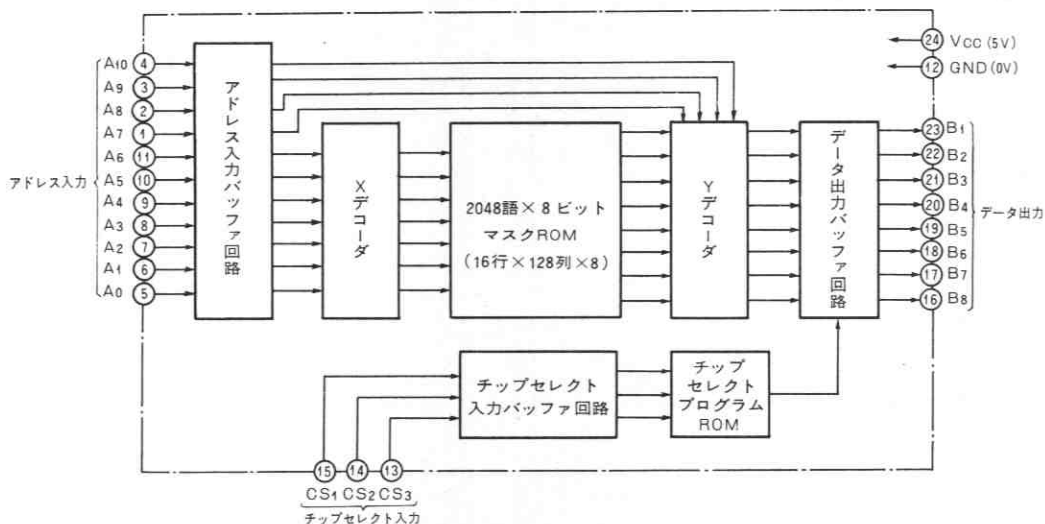
## ピン接続図(上面図)



外形 24P1(M58731-XXXP)  
24S1(M58731-XXXS)

(B<sub>1</sub>~B<sub>8</sub>)にROMの内容が出力されます。A<sub>0</sub>は最下位、A<sub>10</sub>は最上位です。3つのチップセレクト入力は、マスク作成時に、“H”が能動か“L”が能動かをプログラムできます。チップセレクト入力が能動のときのみROMの内容が出力され、その他の状態では、データ出力(B<sub>1</sub>~B<sub>8</sub>)はフローティング(高インピーダンス)状態となります。

## ブロック図



## M58731-XXXP,S

(8316A相当)

## 16384-BIT(2048-WORD BY 8-BIT) MASK PROGRAMMABLE ROM

## 絶対最大定格

記号	項目		条件	定格値	単位
V <sub>CC</sub>	電源電圧		GND端子を基準とする	-0.5~7	V
V <sub>I</sub>	入力電圧			-0.5~7	V
V <sub>O</sub>	出力電圧			-0.5~7	V
P <sub>d</sub>	消費電力	M58731-XXXP	T <sub>a</sub> =25°C	1000	mW
		M58731-XXXS		1500	mW
T <sub>opr</sub>	動作周囲温度			0~70	°C
T <sub>stg</sub>	保存温度	M58731-XXXP		-40~125	°C
		M58731-XXXS		-65~150	°C

推奨使用条件(指定のない場合は, T<sub>a</sub>=0~70°C)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.75	5	5.25	V
GND			0		V
V <sub>IH</sub>	"H"入力電圧	2		V <sub>CC</sub> +1	V
V <sub>IL</sub>	"L"入力電圧	-0.5		0.8	V

電気的特性(指定のない場合は, T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±5%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>OH</sub>	"H"出力電圧	I <sub>OH</sub> =-100μA	2.2			V
V <sub>OL</sub>	"L"出力電圧	I <sub>OL</sub> =2mA			0.45	V
I <sub>CC</sub>	V <sub>CC</sub> 電源電流	全入力=5.25V, 出力開放		40	98	mA
I <sub>I</sub>	入力リーク電流	V <sub>I</sub> =0V~V <sub>CC</sub>			10	μA
I <sub>OZ</sub>	オフ状態出力電流	フローティング状態, V <sub>I</sub> =0.45V~V <sub>CC</sub>	-20		10	μA
C <sub>I</sub>	入力容量	被測定端子以外は0V, 1MHz,		4	10	pF
C <sub>O</sub>	出力容量	T <sub>a</sub> =25°C		8	15	pF

注1. 電流はICに流れ込む向きを正(無符号)とします。

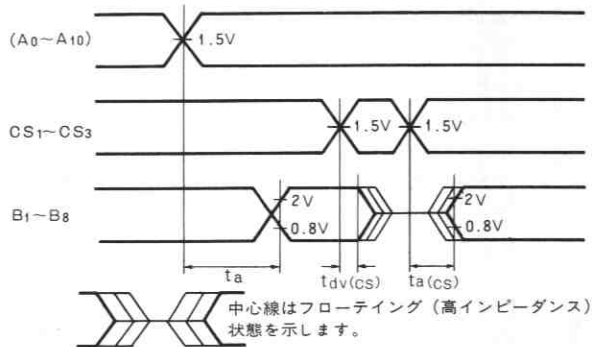


## 16384-BIT(2048-WORD BY 8-BIT) MASK PROGRAMMABLE ROM

スイッチング特性(指定のない場合は,  $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5V \pm 5\%$ )

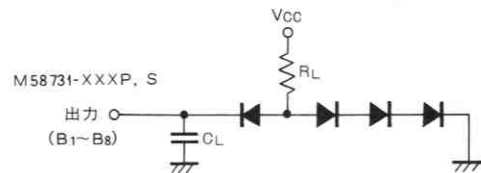
記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_a$	アクセス時間	$C_L = 100\text{pF}$ $R_L = 2.1\text{k}\Omega$ (注2)		400	850	ns
$t_a(\text{CS})$	チップ選択アクセス時間				300	ns
$t_{dv}(\text{CS})$	チップ選択に対するデータ有効時間		0		300	ns

## タイミング図



入力パルスレベル	0.8~2V
入力パルス上昇時間	$t_r \leq 20\text{ns}$
入力パルス下降時間	$t_f \leq 20\text{ns}$
タイミング測定時の判定電圧	
入力	1.5V
出力	0.8~2V

## 注2. 負荷回路図



## M58731-001S

(8316A相当)

16384-BIT(2048-WORD BY 8-BIT) MASK PROGRAMMABLE ROM  
MELPS 8 ベーシック オペレーティング モニタ BOM-B

## 概要

M58731-001Sは、M58731-XXXP, Sの標準品です。

8ビット並列処理CPU, M5L 8080AP, Sに適合するソフトウェアとして、ベーシックオペレーティングモニタ(BOM-B)が格納されています。

BOM-Bは、ユーザプログラムの実行制御及びデバッグを目的とするためのプログラムで2Kバイトのプログラム容量です。

## 特長

- 標準マスクROMですので、実装するのみでプログラムデバッグ機能をもったマイクロコンピュータが構成できます。
- 3つのマクロ命令と9つのモニタコマンドを持ちます。
- ユーザ作成コマンドの追加が可能です。
- ユーザプログラムの暴走により、BOM-Bのプログラムをこわすことはありません。

## 機能概要

BOM-Bには、9つのコマンドと、3つのマクロ命令を持ち、次の機能を実現します。

- (1) プログラム実行制御
- (2) プログラムロード
- (3) メモリパンチ
- (4) プログラムデバッグ
- (5) 入出力制御

## ●BOM-Bの実行開始

6800<sub>16</sub>番地より実行を始めると、次のメッセージを印字し、コマンドの入力を可能にします。

```
MELPS 8 BOM-B A01
```

```
//
```

## ●ハードウェアへの制約

## (1)メモリ配置

ROMのメモリ番地は次のとおりです。

6800<sub>16</sub>~6FFF<sub>16</sub>

また、ROMを使用するにあたっては、RAM領域が78バイト必要であり、その領域は、次のとおりです。

3F80<sub>16</sub>~3FCD<sub>16</sub>

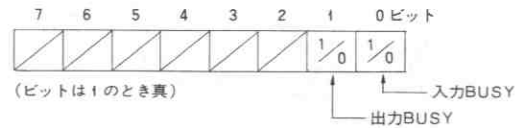
## (2)入出力機器番地

PTR, キーボード用入力 7B<sub>16</sub> (IN 7B#)

PTP, 印字用出力 7B<sub>16</sub> (OUT 7B#)

ステータス入力 3B<sub>16</sub> (IN 3B#)

ただし、ステータスのビット構成は次のとおりです。



## BOM-Bの持つ9つのコマンドと3つのマクロ命令一覧表

コマンド, マクロ命令名	機能	コマンド指定、パラメータ入力形式 及びコーリングシーケンス	パラメータ	
コマンド	G	プログラム実行開始	//G para1(4)_[para2(4)]CR LF	para1(4): 実行開始番地 para2(4): 変更実行開始番地
	R	プログラム実行再開	//RCR LF	—
	L	MELPS 8 2進ローダ	//LCR LF	—
	H	MELPS 8 16進ローダ	//HCR LF	—
	T	メモリデータMELPS 8 2進 テキスト部パンチ	//T para1(4), para2(4)CR LF	para1(4): 先頭番地 para2(4): 終了番地
	E	MELPS 8 2進終了部パンチ	//E[para1(4)]CR LF	para1(4): 実行開始番地
	P	メモリデータ16進プリント	//P para1(4), para2(4)CR LF	para1(4): 先頭番地 para2(4): 終了番地
	S	メモリデータ変更	//S para1(4)CR LF	para1(4): 変更番地
	M	レジスタデータ16進プリント, 変更	//MCR LF	—
マクロ命令	EXIT	プログラム実行終了宣言	CALL 6806 #	
	PAUSE	プログラム実行一時中断	CALL 6803 #	
	EXIO	入出力制御		

注1. para n (m): 1つのコマンドの中のn個目のパラメータ(オペレータによる入力及び、モニタよりの印字)で、有効桁数が1~m桁のヘキサデシマル(0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F)のパラメータであることを示します。ただし、桁数がm桁を越えるときは、下m桁が有効です。

2. \_ (下線): オペレータによる入力であることを示します。

3. [ ] (大カッコ): オペレータによる入力でも省略可能なものを示します。

4. #: アセンブラ言語における16進表示を示します。



# M5G 1400P

(旧形名 M58654P)

## 1400-BIT (100-WORD BY 14-BIT) ELECTRICALLY ALTERABLE ROM

### 概要

M5G 1400Pは電氣的消去、電氣的プログラムが可能な100語×14ビット構成のEAROMで、MNOSプロセス技術を用いており、アドレスとデータがシリアルに1本の双方向性バスを通して伝送できます。

### 特長

- フルデコード100語×14ビット構成
- 1語単位の書き換え可能
- 無電源時の記憶保持時間……………10年以上
- プログラム/消去時間……………20ms/語
- 35V単1電源
- リフレッシュ間のリードアクセス回数……………10<sup>9</sup>回以上
- GI社製ER1400とピン接続及び電氣的特性の互換性あり

### 応用

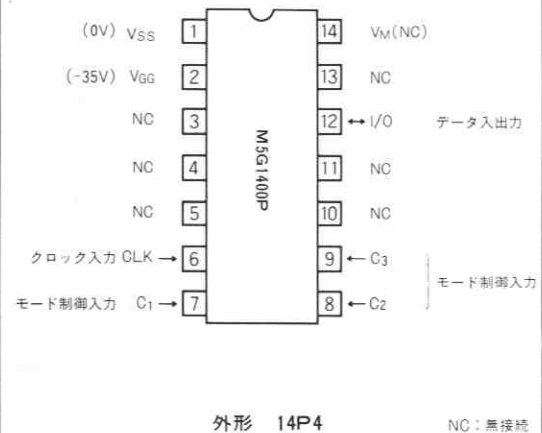
- 電子チューナー用不揮発性チャンネルメモリ及びフィールドで何度も即座に書き換えが必要な読み出し専用メモリシステムに最適です。

### 機能概要

M5G 1400Pは、アドレスが連続する2つの1-OUT-OF-10のコードで指定されます。モードの選択は3ビットの平行信号C<sub>1</sub>~C<sub>3</sub>によりアドレス入力、データ入力、データ出力、消去、書き込み、読み出し、スタンバイの7通り指定されます。

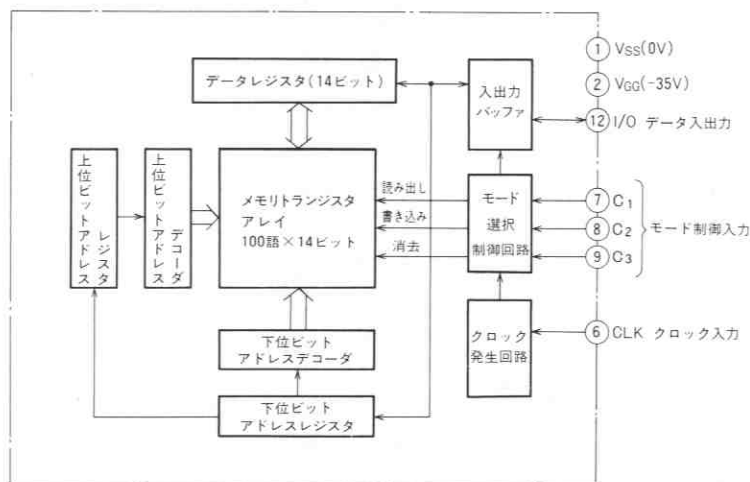
データのプログラムは内部で発生した負の書き込みパルスをMNOSメモリトランジスタに選択的に印加し、ゲート絶縁膜のSiO<sub>2</sub>-Si<sub>3</sub>N<sub>4</sub>インターフェースにトンネル現象で電荷を注入することにより行います。

ピン接続図(上面図)



5

ブロック図



**1400-BIT (100-WORD BY 14-BIT) ELECTRICALLY ALTERABLE ROM**

## 端子の機能説明

端子名	名 称	機 能
I/O	入 出 力 端 子	アドレス入力、データ入力モードのとき、この端子は入力端子として動作し、アドレス及びデータを受入れます。 データ出力モードのとき、出力端子として動作し、出力データはMOS素子を駆動することができます。 スタンバイ、読み出し、消去、書き込みモード時は、この端子はフローティング状態になります。
V <sub>M</sub>	テ ス ト 端 子	製品検査時にのみ使用され、通常の使用時はNC(無接続)とする必要があります。
V <sub>SS</sub>	基 板 電 圧	通常GND(0V)に接続します。
V <sub>GG</sub>	電 源 電 圧	-35Vの電源に接続します。
CLK	ク ロ ッ ク 入 力	14kHzタイミングレファランスです。すべての動作モード時に必要です。スタンバイ時には、“H”でも可能です。
C <sub>1</sub> -C <sub>3</sub>	モ ー ド 制 御 入 力	モード制御端子です。

## 動作モード

C <sub>1</sub>	C <sub>2</sub>	C <sub>3</sub>	機 能
0	0	0	スタンバイ……アドレス及びデータレジスタの内容は保持します。出力バッファはフローティング状態になります。
0	1	1	アドレス入力……I/O端子のデータがアドレスレジスタに転送されます。アドレスは連続する2つの1-OUT-OF-10コードで指定されます。
1	0	0	読み出し……指定されたアドレスのデータがメモリトランジスタからデータレジスタに読み出されます。
1	0	1	データ出力……データレジスタの内容がクロックに同期して出力されます。
1	1	1	データ入力……I/O端子の書き込みデータがデータレジスタに取り込まれます。アドレスレジスタは保持されます。
1	1	0	書き込み……データレジスタの内容がアドレスレジスタの番地のメモリトランジスタに書き込まれます。
0	1	0	消去アドレスレジスタで指定された番地のメモリトランジスタが消去されます。消去状態ではすべて“L”を書き込んだ場合に相当します。
0	0	1	ダミーモード……使用していません。

注1. C<sub>1</sub>, C<sub>2</sub>, C<sub>3</sub>は負論理で表示します。

## 1400-BIT (100-WORD BY 14-BIT) ELECTRICALLY ALTERABLE ROM

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>GG</sub>	電源電圧	V <sub>SS</sub> 端子を基準とした場合	0.3~-40	V
V <sub>I</sub>	入力電圧		0.3~-20	V
V <sub>O</sub>	出力電圧		0.3~-20	V
T <sub>stg</sub>	保存温度		-40~125	℃
T <sub>opr</sub>	動作周囲温度		-10~70	℃

## 推奨使用条件(指定のない場合は、Ta=-10~70℃)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>GG</sub>	電源電圧	-32.2	-35	-37.8	V
V <sub>SS</sub>	電源電圧(GND)		0		V
V <sub>IH</sub>	"H"入力電圧	V <sub>SS</sub> -1		V <sub>SS</sub> +0.3	V
V <sub>IL</sub>	"L"入力電圧	V <sub>SS</sub> -15		V <sub>SS</sub> -8	V

電気的特性(指定のない場合は、Ta=-10~70℃, V<sub>GG</sub> = -35V ± 8%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>IH</sub>	"H"入力電圧		V <sub>SS</sub> -1		V <sub>SS</sub> +0.3	V
V <sub>IL</sub>	"L"入力電圧		V <sub>SS</sub> -15		V <sub>SS</sub> -8	V
I <sub>IL</sub>	"L"入力電流	V <sub>I</sub> = -15V			±10	μA
I <sub>OZL</sub>	オフ状態出力電流, "L"出力電圧印加	V <sub>O</sub> = -15V			±10	μA
V <sub>OH</sub>	"H"出力電圧	I <sub>OH</sub> = -200μA	V <sub>SS</sub> -1			V
V <sub>OL</sub>	"L"出力電圧	I <sub>OL</sub> = 10μA			V <sub>SS</sub> -12	V
I <sub>GG</sub>	V <sub>GG</sub> 電源電流	I <sub>O</sub> = 0μA	4.4	8.8		mA

注2. 標準値はTa=25℃のときの値で標準電源条件で測定します。

タイミング必要条件(指定のない場合は、Ta=-10~70℃, V<sub>GG</sub> = -35V ± 8%)

記号	項目	他社相当記号	測定条件	規格値			単位
				最小	標準	最大	
f(φ)	クロック周波数	fφ	V <sub>OH</sub> = V <sub>SS</sub> - 2V V <sub>OL</sub> = V <sub>SS</sub> - 8V	11.2	14	16.8	kHz
D(φ)	クロックデューティサイクル	Dφ		30	50	55	%
t <sub>w(W)</sub>	書き込み時間	t <sub>w</sub>		16	20	24	ms
t <sub>w(E)</sub>	消去時間	t <sub>e</sub>		16	20	24	ms
t <sub>r</sub> , t <sub>f</sub>	上昇, 下降時間	t <sub>r</sub> , t <sub>f</sub>				1	μs
t <sub>SU(C-φ)</sub>	クロック立ち下り前コントロールセットアップ時間	t <sub>CS</sub>		0			ns
t <sub>H(φ-C)</sub>	クロック立ち上り後コントロールホールド時間	t <sub>CH</sub>		0			ns

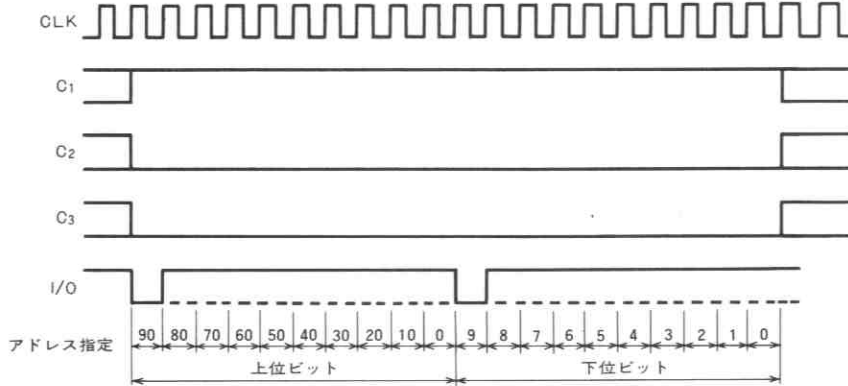
スイッチング特性及び不揮発性特性(指定のない場合は、Ta=-10~70℃, V<sub>GG</sub> = -35V ± 8%)

記号	項目	他社相当記号	測定条件	規格値			単位
				最小	標準	最大	
t <sub>a(c)</sub>	読み出しアクセス時間	t <sub>PW</sub>	C <sub>L</sub> = 100pF, V <sub>OH</sub> = V <sub>SS</sub> - 2V V <sub>OL</sub> = V <sub>SS</sub> - 8V			20	μs
t <sub>s</sub>	無電源時記憶保持時間	T <sub>S</sub>	N <sub>EW</sub> = 10 <sup>4</sup> , t <sub>w(W)</sub> = 20ms t <sub>w(E)</sub> = 20ms	10			年
		T <sub>S</sub>	N <sub>EW</sub> = 10 <sup>5</sup> , t <sub>w(W)</sub> = 20ms t <sub>w(E)</sub> = 20ms	1			年
N <sub>EW</sub>	1語当りの消去, 書き込み回数	N <sub>w</sub>		10 <sup>7</sup>			回
N <sub>RA</sub>	1語当りのリフレッシュ間読み出しアクセス回数	N <sub>RA</sub>		10 <sup>9</sup>			回
t <sub>dv</sub>	データ有効時間	t <sub>PW</sub>				20	μs

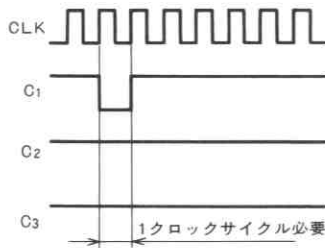
## 1400-BIT (100-WORD BY 14-BIT) ELECTRICALLY ALTERABLE ROM

## タイミング図

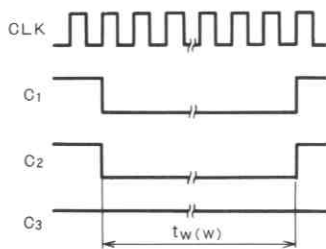
## アドレス入力



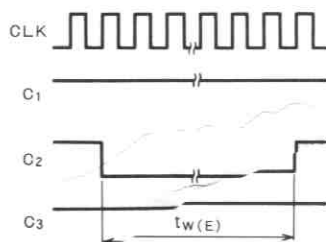
## 読み出し



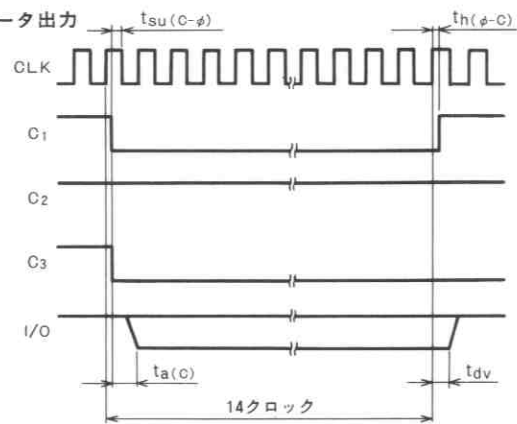
## 書き込み



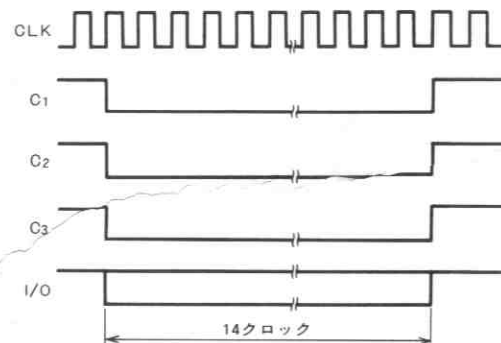
## 消去



## データ出力



## データ入力



# M5L 2708K,S, M5L 2708K,S-65

(旧形名M58732K,S)  
8192-BIT(1024-WORD BY 8-BIT)  
ERASABLE AND ELECTRICALLY REPROGRAMMABLE ROM

## 概要

M5L 2708K,Sシリーズは、電気的書き込み、紫外線照射消去可能な8192ビット(1024語×8ビット構成)のEPROMです。このEPROMは高度なNチャンネルシリコンゲート技術を用いており、入出力ともにインターフェース回路なしにTTLと接続でき、マイクロコンピュータのプログラム開発や、書き換えを必要とするROMとしての応用分野に最適な素子です。

## 特長

- 高速プログラム可能……………100s/8192ビット(標準)
- アクセスタイム M5L 2708K,S……………450ns(最大)  
M5L 2708K,S-65……………650ns(最大)
- プログラム時の低消費電力
- スタチック回路を使用しておりクロックは不要
- 入出力は読み出し、プログラム両モードでTTLと直結可能
- チップセレクト端子を有し、メモリ容量の拡張が容易
- 標準使用電源……………12V、5V、-5V
- 大量使用時 三菱製マスクROM M58730-XXXSとピン接続の互換性あり
- インテル社製2708とピン接続及び電気的特性の互換性あり

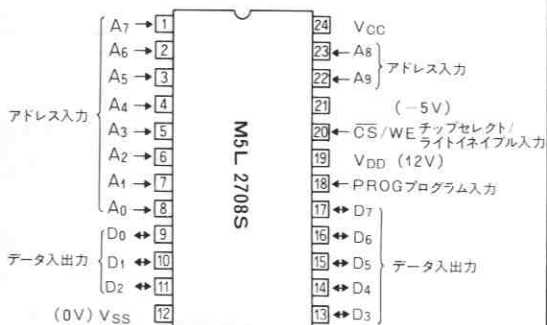
## 応用

- 電子計算機及び各種端末機器など

## 機能概要

**読み出し**  $\overline{CS}/\overline{WE}$ 端子を読み出しモード(0~5V)にします。 $\overline{CS}/\overline{WE}$ を“L”レベルに設定し、アドレス信号(A<sub>0</sub>~A<sub>9</sub>)を入力すると、データ入出力端子(D<sub>0</sub>~D<sub>7</sub>)に記憶内容が現れます。

## ピン接続図(上面図)



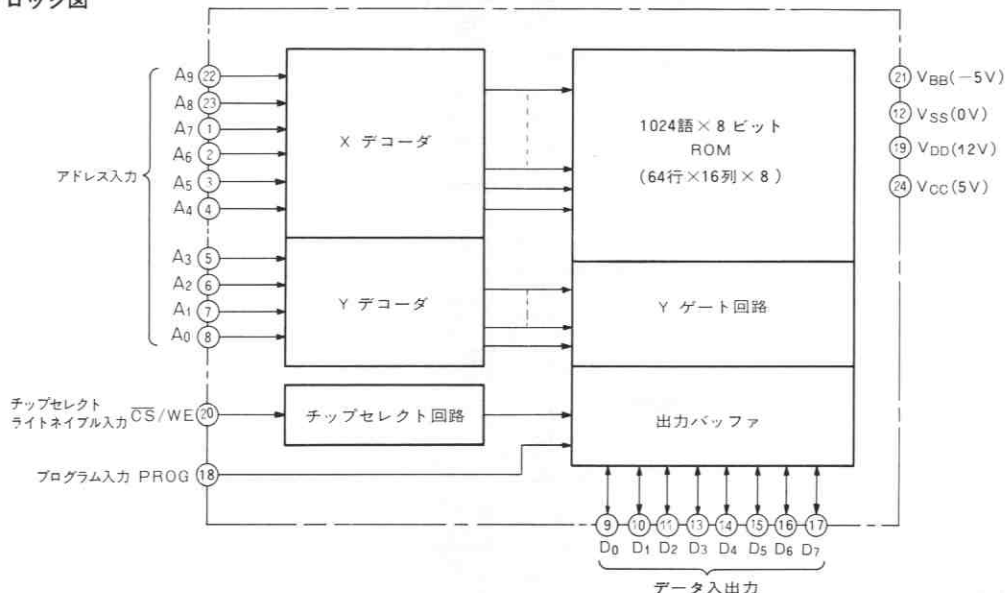
外形 24K10(M5L 2708K)  
24S10(M5L 2708S)

$\overline{CS}/\overline{WE}$ を“H”レベルに設定すると、データ入出力端子(D<sub>0</sub>~D<sub>7</sub>)は、フローティング状態になります。

**書き込み**  $\overline{CS}/\overline{WE}$ 端子を書き込みモード(12V)にし、各アドレス毎のデータを入出力端子(D<sub>0</sub>~D<sub>7</sub>)にロードし、プログラムパルスを印加することにより行われます。詳しくはプログラムモードの説明を参照してください。

**消去** 消去は、石英の窓ごしに紫外線を照射することによって行われます。

## ブロック図



# M5L 2708K,S, M5L 2708K,S-65

(旧形名M58732K,S)

8192-BIT (1024-WORD BY 8-BIT)

ERASABLE AND ELECTRICALLY REPROGRAMMABLE ROM

### 絶対最大定格

記号	項目	条件	定格値	単位
$V_{I1}$	入力電圧, $V_{DD}$ 及び書き込み時の $\overline{CS}/WE$	$V_{BB}$ 端子を基準とした場合	-0.3~20	V
$V_{I2}$	入力電圧, $V_{CC}$ , $V_{SS}$ , アドレス, データ信号		-0.3~15	V
$V_{I3}$	入力電圧, PROG		-0.3~35	V
$T_{opr}$	動作周囲温度		0~70	°C
$T_{stg}$	保存温度		-65~125	°C

### 読み出し時

推奨使用条件 (指定のない場合は,  $T_a=0\sim70^\circ\text{C}$ )

記号	項目	規格値			単位
		最小	標準	最大	
$V_{CC}$	電源電圧	4.75	5	5.25	V
$V_{DD}$	電源電圧	11.4	12	12.6	V
$V_{BB}$	電源電圧	-4.75	-5	-5.25	V
$V_{SS}$	電源電圧 (GND)		0		V
$V_{IL}$	"L"入力電圧	$V_{SS}$		0.65	V
$V_{IH}$	"H"入力電圧	3		$V_{CC}+1$	V

電気的特性 (指定のない場合は,  $T_a=0\sim70^\circ\text{C}$ ,  $V_{CC}=5\text{V}\pm5\%$ ,  $V_{DD}=12\text{V}\pm5\%$ ,  $V_{BB}=-5\text{V}\pm5\%$ ,  $V_{SS}=0\text{V}$ )

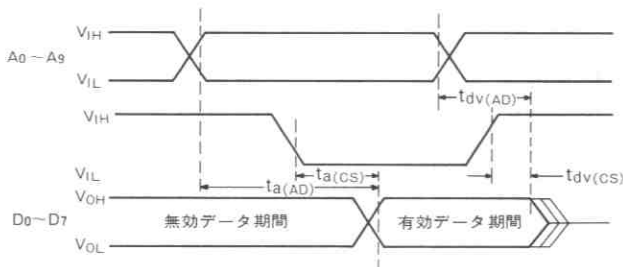
記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$I_{IL}$	"H"入力電流, アドレス, チップセレクト端子	$V_I=5.25\text{V}$			10	$\mu\text{A}$
$I_{OZ}$	オフ状態出力電流	$V_O=5.25\text{V}$ , $V_O(\overline{CS}/WE)=5\text{V}$			10	$\mu\text{A}$
$I_{DD}$	$V_{DD}$ 電源電流	最悪条件		50	65	mA
$I_{CC}$	$V_{CC}$ 電源電流	全入力"H"		6	10	mA
$I_{BB}$	$V_{BB}$ 電源電流	$V_O(\overline{CS}/WE)=5\text{V}$ , $T_a=0^\circ\text{C}$		30	45	mA
$V_{OL}$	"L"出力電圧	$I_{OL}=1.6\text{mA}$			0.45	V
$V_{OH1}$	"H"出力電圧	$I_{OH}=-100\mu\text{A}$	3.7			V
$V_{OH2}$	"H"出力電圧	$I_{OH}=-1\text{mA}$	2.4			V
$P_d$	消費電力	$T_a=70^\circ\text{C}$			800	mW
$C_i$	入力容量	$V_I=0\text{V}$ , $f=1\text{MHz}$		4	6	pF
$C_o$	出力容量			8	12	pF

注1. 標準値は, 標準電源条件下で  $T_a=25^\circ\text{C}$  で測定した値です。

スイッチング特性 (指定のない場合は,  $T_a=0\sim70^\circ\text{C}$ ,  $V_{CC}=5\text{V}\pm5\%$ ,  $V_{DD}=12\text{V}\pm5\%$ ,  $V_{BB}=-5\text{V}\pm5\%$ ,  $V_{SS}=0\text{V}$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{a(AD)}$	アドレスアクセス時間	入力電圧: $V_{IL}=0.65\text{V}$ , $V_{IH}=3\text{V}$ 判定電圧: 入力0.8~2.8V, 出力0.8~2.4V		280	450	ns
$t_{a(CS)}$	チップセレクトアクセス時間			60	120	ns
$t_{dv(CSLH)}$	チップセレクト"L"- "H"に対するデータ有効時間			0	120	ns
$t_{dv(AD)}$	アドレスに対するデータ有効時間			0		ns

### タイミング図



中心線はフローティング(高インピーダンス)状態を表します。



## M5L 2708K,S, M5L 2708K,S-65

(旧形名M58732K,S)

8192-BIT (1024-WORD BY 8-BIT)

ERASABLE AND ELECTRICALLY REPROGRAMMABLE ROM

## プログラム動作時

推奨使用条件 (指定のない場合は,  $T_a=25^\circ\text{C}$ ,  $V_{CC}=5\text{V}\pm 5\%$ ,  $V_{DD}=12\text{V}\pm 5\%$ ,  $V_{BB}=-5\text{V}\pm 5\%$ ,  $V_{SS}=0\text{V}$ )

記号	項目	規格値			単位
		最小	標準	最大	
$V_{IL1}(P)$	"L"入力電圧, プログラム端子は除く	$V_{SS}$		0.65	V
$V_{IH1}(P)$	"H"入力電圧, アドレス, データ入力	3		$V_{CC}+1$	V
$V_{IH2}(P)$	"H"入力電圧, $\overline{CS}/WE$	11.4		12.6	V
$V_{IH3}(P)$	"H"入力電圧, PROG(注2)	25		27	V
$V_{IL2}(P)$	"L"入力電圧, PROG(注3)	$V_{SS}$		1	V

注2.  $V_{SS}$ を基準とした値です。3. ただし  $V_{IH3}(P) - V_{IL2}(P) = 25\text{V}(\text{min})$ .電気的特性 (指定のない場合は,  $T_a=25^\circ\text{C}$ ,  $V_{CC}=5\text{V}\pm 5\%$ ,  $V_{DD}=12\text{V}\pm 5\%$ ,  $V_{BB}=-5\text{V}\pm 5\%$ ,  $V_{SS}=0\text{V}$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$I_{IL1}(P)$	"H"入力電流, アドレス, チップセレクト端子	$V_i = 5.25\text{V}$			10	$\mu\text{A}$
$I_{IL2}(P)$	"L"入力電流, プログラム端子				3	mA
$I_{IH1}(P)$	"H"入力電流, プログラム端子				20	mA
$I_{DD}$	$V_{DD}$ 電源電流	最悪条件 全入力"H"		50	65	mA
$I_{CC}$	$V_{CC}$ 電源電流			6	10	mA
$I_{BB}$	$V_{BB}$ 電源電流			30	45	mA

注4. 標準値は  $T_a=25^\circ\text{C}$ , 電源条件が標準の場合の値です。タイミング必要条件 (指定のない場合は,  $T_a=25^\circ\text{C}$ ,  $V_{CC}=5\text{V}\pm 5\%$ ,  $V_{DD}=12\text{V}\pm 5\%$ ,  $V_{BB}=-5\text{V}\pm 5\%$ ,  $V_{SS}=0\text{V}$ )

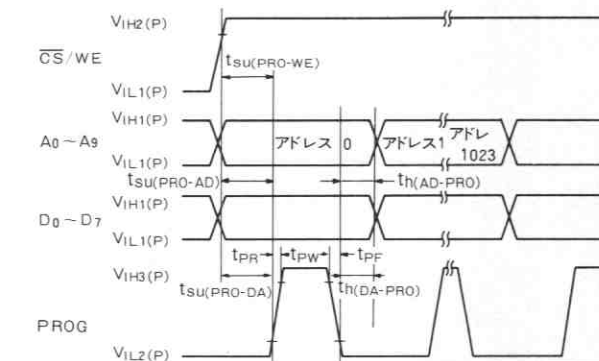
記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{SU}(\text{PRO-AD})$	アドレスに対するプログラムのセットアップ時間		10			$\mu\text{s}$
$t_{SU}(\text{PRO-WE})$	WE "L→H" に対するプログラムのセットアップ時間		10			$\mu\text{s}$
$t_{SU}(\text{PRO-DA})$	データに対するプログラムのセットアップ時間		10			$\mu\text{s}$
$t_h(\text{AD-PRO})$	プログラムに対するアドレスのホールド時間		1			$\mu\text{s}$
$t_h(\text{WE-PRO})$	プログラムに対するWEのホールド時間		0.5			$\mu\text{s}$
$t_h(\text{DA-PRO})$	プログラムに対するデータのホールド時間		1			$\mu\text{s}$
$t_w(P)$	プログラムパルス幅		0.1		1	ms
$t_r(P)$	プログラム上昇時間		0.5		2	$\mu\text{s}$
$t_f(P)$	プログラム下降時間		0.5		2	$\mu\text{s}$

スイッチング特性 (指定のない場合は,  $T_a=25^\circ\text{C}$ ,  $V_{CC}=5\text{V}\pm 5\%$ ,  $V_{DD}=12\text{V}\pm 5\%$ ,  $V_{BB}=-5\text{V}\pm 5\%$ ,  $V_{SS}=0\text{V}$ )

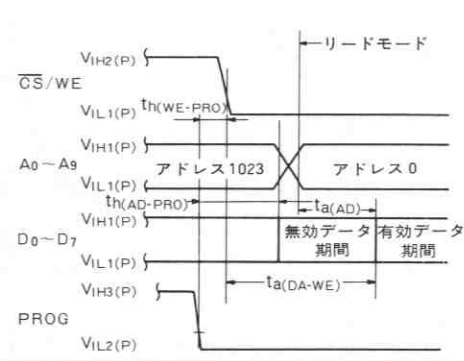
記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_a(\text{DA-WE})$	WE "H-L" に対するアクセス時間				10	$\mu\text{s}$
$t_{dV}(\text{DA-}\overline{CS})$	$\overline{CS}$ "L-H" に対するデータ有効時間		0		120	ns

## タイミング図

## プログラムモード



## プログラムモードからリードモード



**M5L 2708K,S, M5L 2708K,S-65**

(旧形名M58732K,S)

**8192-BIT (1024-WORD BY 8-BIT)****ERASABLE AND ELECTRICALLY REPROGRAMMABLE ROM****プログラム動作**

M5L 2708K,Sは消去状態で“1”(すなわち出力が“H”レベル)になっており、書き込むことにより“0”(すなわち出力が“H”レベル)になります。M5L 2708K,Sは全ビット消去された状態で納入されますので下記の要領でプログラムすることが必要です。

- CS/WE (20ピン)に12Vを印加することにより、そのチップをプログラムモードにします。アドレス入力(A<sub>0</sub>~A<sub>9</sub>)によりアドレスを設定し、書き込むデータをデータ入出力(D<sub>0</sub>~D<sub>7</sub>)によって8ビット並列に与えます。この状態でプログラムパルスプログラム端子PROG (18ピン)から1パルス印加します。
- 0番地から1023番地までの各アドレスに1パルスのプログラムパルスを印加し、この一連の書き込み動作(プログラムループという)を繰り返します。書き込みに要するプログラムループの回数Nは、プログラムパルスの幅によって異なりますが $N \cdot t_w(P) \geq 100\text{ms}$ という条件を満たす必要があります。

**消 去**

M5L 2708K,Sは2537Åの波長をもつ紫外線を照射することによって記憶内容を消去することができます。

消去に必要な照射量は約15 Ws/cm<sup>2</sup>です。

使用ランプのエネルギー量が明確でない場合は、全ビット消去に必要な時間(t<sub>E</sub>)を求め、さらに3~5倍(3t<sub>E</sub>~5t<sub>E</sub>)の時間紫外線を照射してください。

**FAMOS 素子 取り扱い上の注意**

FAMOS(フローティングゲートアバランシェ注入MOS)形素子はMOS ICの一般的な取り扱い注意のほか下記のような特別な注意事項があるので取り扱い時に十分注意をしてください。

- (1) 書き込みに際しては高い電圧を使用しますので過電圧等がかからないように、使用条件に注意をはらってください。
- (2) 消去は透明フタを清浄にしてからおこなってください。素手でさわったときの手の脂等も紫外線の透過を妨げ、消去特性に影響を与えることがあります。
- (3) 紫外線消去形のPROMは約4000Å以下の波長をもつ紫外線に対して、消去特性をもちます。長時間にわたり太陽光の直射や上記波長の含まれるランプに直接さらされて使用するとき、透明フタをテープ等で覆うようにしてください。

# M5L 2716K, M5L 2716K-65

**16384-BIT(2048-WORD BY 8-BIT)  
ERASABLE AND ELECTRICALLY REPROGRAMMABLE ROM**

## 概要

M5L 2716K、M5L 2716K-65は、電気的書き込み、紫外線照射消去可能な16384ビット(2048語×8ビット構成)のEPROMです。このEPROMはNチャネルダブルシリコンゲート技術を用い、さまざまな使い易い特長を有しており、マイクロプロセッサのプログラム開発や書き換えの必要なROM等の応用分野に最適な素子です。

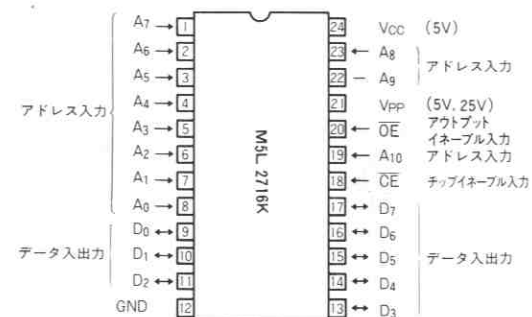
## 特長

- 高速プログラム可能……………100s/16384ビット(標準)
- アクセス時間 M5L 2716K……………450ns(最大)  
M5L 2716K-65……………650ns(最大)
- スタチック回路使用
- 入出力は、読み出しとプログラムの両モードでTTLと直結可能
- 読み出し時5V単一電源使用(プログラム時25V電源必要)
- 低消費電力 動作時……………525mW(最大)  
スタンバイ時……………132mW(最大)
- 任意のアドレスに任意の順序でプログラムが可能  
(1アドレスあたり50msの1パルスが必要)
- インテル社製2716と互換性あり

## 応用

- 電子計算機及び各種端末機器など

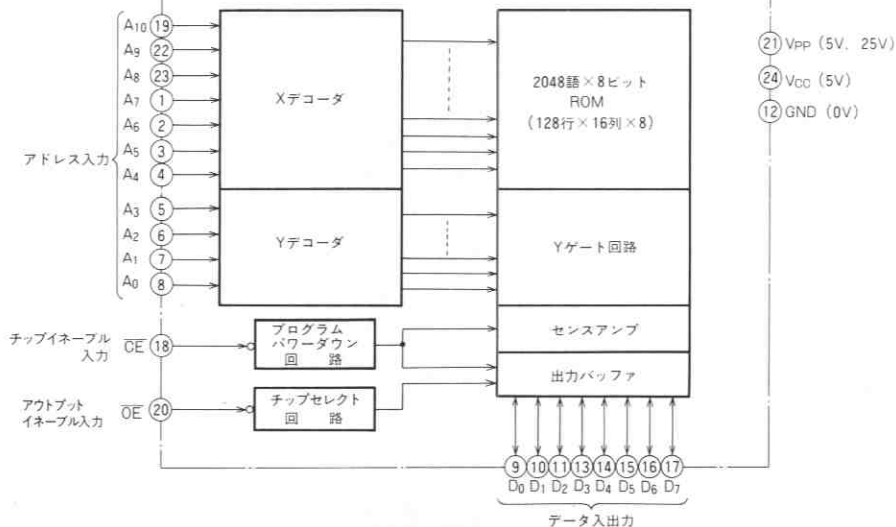
ピン接続図(上面図)



外形 24K10

5

ブロック図



## M5L 2716K, M5L 2716K-65

16384-BIT(2048-WORD BY 8-BIT)  
ERASABLE AND ELECTRICALLY REPROGRAMMABLE ROM

## 機能概要

## 読み出し

$\overline{OE}$ 端子を“L”、 $\overline{OE}$ 端子を“L”に設定し、アドレス信号(A<sub>0</sub>~A<sub>10</sub>)を入力するとデータ入出力端子(D<sub>0</sub>~D<sub>7</sub>)に記憶内容が現れます。 $\overline{CE}$ 又は $\overline{OE}$ を“H”に設定するとデータ入出力端子はフローティング状態になります。

また、 $\overline{OE}$ 端子を“H”にすると、スタンバイ状態(パワーダウンモード)になります。

## 書き込み

V<sub>PP</sub>端子に25V印加し、 $\overline{OE}$ 端子を“H”に設定するとプログラムモードになります。アドレス入力(A<sub>0</sub>~A<sub>10</sub>)でアドレス設定をし、書き込むデータをデータ入力(D<sub>0</sub>~D<sub>7</sub>)によって8ビット並列に与えます。この状態でプログラムパルスを $\overline{OE}$ 端子から1パルス印加することにより書き込みが行われます。各アドレスに必要なパルス数は1回ですがパルス幅は次の条件を満たす必要があります。

$$45\text{ms} \leq t_{pw} \leq 55\text{ms}$$

## 消去

消去は2537Åの波長をもつ紫外線を照射することによって行います。消去に必要な照射量は約15Ws/cm<sup>2</sup>です。

## 各モードにおける入出力信号

(単位: V)

モード	端子名	$\overline{OE}$	$\overline{OE}$	V <sub>PP</sub>	V <sub>CC</sub>	データ入出力
読み出し選択		V <sub>IL</sub>	V <sub>IL</sub>	5	5	出カ
読み出し非選択		V <sub>IL</sub> ~V <sub>IH</sub>	V <sub>IH</sub>	5	5	フローティング
スタンバイ (パワーダウン)		V <sub>IH</sub>	V <sub>IL</sub> ~V <sub>IH</sub>	5	5	フローティング
プログラム		V <sub>IL</sub> から V <sub>IH</sub> への パルス	V <sub>IH</sub>	25	5	入カ
プログラム ベリファイ		V <sub>IL</sub>	V <sub>IL</sub>	5又は25	5	出カ
プログラム禁止		V <sub>IL</sub>	V <sub>IH</sub>	25	5	フローティング

## 読み出し時の注意

- (1) V<sub>CC</sub>はV<sub>PP</sub>と同時に又はV<sub>PP</sub>より前に投入し、切断はV<sub>PP</sub>と同時に又はV<sub>PP</sub>よりも後にしてください。
- (2) V<sub>PP</sub>はプログラミング時を除きV<sub>CC</sub>に直接、接続してください。従って電源設計にあたり電源電流を計算するときは、I<sub>CC1</sub>とI<sub>PP1</sub>を加える必要があります。
- (3) 規格表の標準値は、周囲温度25℃、電源条件が標準のときのものです。
- (4) プログラミング時のベリファイにおいて、25V系の回路をスイッチングし、V<sub>CC</sub>からダイオードを通してV<sub>PP</sub>を供給するときは、V<sub>PP</sub>はV<sub>CC</sub>に対して0.6Vの許容度を有します。

## M5L 2716K, M5L 2716K-65取り扱い上の注意

- (1) 太陽光や蛍光灯には、書き込まれた情報を消去する可能性のある光が含まれております。読み出しモードでの使用時には必ずテープ等で透明ガラス部分を覆うようにしてください。
- (2) 書き込みに際しては高い電圧を使用しますので過電圧等がかからないように注意をはらってください。特にV<sub>PP</sub>はオーバシュートも含めて26V以下になるようにしてください。電源の投入時はご注意ください。
- (3) 消去は透明ガラスを清浄してから行ってください。手の脂、糊等が紫外線の通過を妨げ、消去特性に影響を与えることもあります。

## M5L 2716K, M5L 2716K-65

16384-BIT(2048-WORD BY 8-BIT)  
ERASABLE AND ELECTRICALLY REPROGRAMMABLE ROM

## 絶対最大定格

記号	項目	条件	定格値	単位
$V_{I1}$	入力電圧, $V_{PP}$	GND端子を基準とした場合	-0.3~26.5	V
$V_{I2}$	入力電圧, $V_{CC}$ , アドレス入力, $\overline{OE}$ , $\overline{CE}$ , データ入力		-0.3~6	V
$T_{opr}$	動作周囲温度		0~70	°C
$t_{stg}$	保存温度		-65~125	°C

## 読み出し時

推奨使用条件(指定のない場合は,  $T_a = 0 \sim 70^\circ\text{C}$ )

記号	項目	規格値			単位
		最小	標準	最大	
$V_{CC}$	電源電圧	4.75	5	5.25	V
$V_{PP}$	電源電圧	$(V_{PP} = V_{CC})$			V
GND	電源電圧		0		V
$V_{IL}$	"L"入力電圧	-0.1		0.8	V
$V_{IH}$	"H"入力電圧	2.2		$V_{CC} + 1$	V

電気的特性(指定のない場合は,  $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} 5\text{V} \pm 5\%$ ,  $V_{PP} = V_{CC}$ )

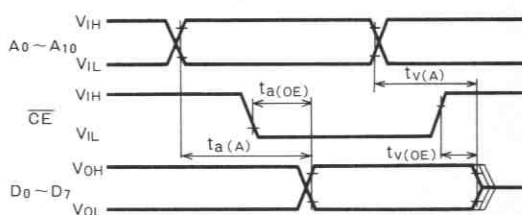
記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$I_{IL}$	"H"入力電流, アドレス, $\overline{OE}$ , $\overline{CE}$	$V_I = 5.25\text{V}$			10	$\mu\text{A}$
$I_{OZ}$	オフ状態出力電流	$V_O = 5.25\text{V}$ , $\overline{OE} = 5\text{V}$			10	$\mu\text{A}$
$I_{PP1}$	$V_{PP}$ 電源電流	$V_{PP} = 5.85\text{V}$			6	mA
$I_{CC1}$	$V_{CC}$ 電源電流(スタンバイ時)	$\overline{OE} = V_{IH}$ , $\overline{OE} = V_{IL}$		10	25	mA
$I_{CC2}$	$V_{CC}$ 電源電流(動作時)	$\overline{OE} = \overline{CE} = V_{IL}$		57	100	mA
$V_{OL}$	"L"出力電圧	$I_{OL} = 2.1\text{mA}$			0.45	V
$V_{OH}$	"H"出力電圧	$I_{OH} = -400\mu\text{A}$	2.4			V

スイッチング特性(指定のない場合は,  $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ ,  $V_{PP} = V_{CC}$ )

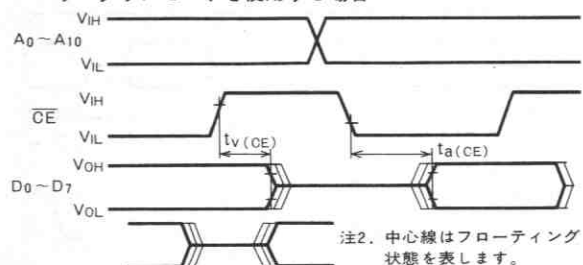
記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
$t_{a(A)}$	アドレスアクセス時間	M5L 2716K	$\overline{OE} = \overline{CE} = V_{IL}$	$t_r \leq 20\text{ns}$	450	ns	
		M5L 2716K-65				$t_f \leq 20\text{ns}$	650
$t_{a(OE)}$	OEアクセス時間	M5L 2716K	$\overline{OE} = V_{IL}$	$V_{IL} = 0.8\text{V}$	450	ns	
		M5L 2716K-65				$V_{IH} = 2.2\text{V}$	650
$t_{a(OE)}$	OEアクセス時間	M5L 2716K	$\overline{OE} = V_{IL}$		80	150	ns
		M5L 2716K-65				300	ns
$t_{v(OE)}$	OE後データ有効時間	$\overline{OE} = V_{IL}$			0	100	ns
$t_{v(CE)}$	CE後データ有効時間	$\overline{CE} = V_{IL}$			0	100	ns
$t_{v(A)}$	アドレス後データ有効時間	$\overline{OE} = \overline{CE} = V_{IL}$			0		ns

## タイミング図(読み出し時)

パワーダウンモードを使用しない場合



## パワーダウンモードを使用する場合



## M5L 2716K, M5L 2716K-65

16384-BIT(2048-WORD BY 8-BIT)  
ERASABLE AND ELECTRICALLY REPROGRAMMABLE ROM

## プログラム時

推奨使用条件(指定のない場合は、 $T_a=25\pm 5\text{ }^\circ\text{C}$ )

記号	項目	規格値			単位
		最小	標準	最大	
$V_{CC}$	電源電圧	4.75	5	5.25	V
$V_{PP}$	電源電圧	24	25	26	V
GNG	電源電圧		0		V
$V_{IL}$	"H"入力電圧	-0.1		0.8	V
$V_{IH}$	"L"入力電圧	2.2		$V_{CC}+1$	V

電気的特性(指定のない場合は、 $T_a=25\pm 5\text{ }^\circ\text{C}$ 、 $V_{CC}=5\text{V}\pm 5\%$ 、 $V_{PP}=26\pm 1\text{V}$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$I_{IL}$	"H"入力電流、アドレス、 $\overline{OE}$ 、 $\overline{CE}$	$V_{IN}=5.25\text{V}$			10	$\mu\text{A}$
$I_{PP1}$	$V_{PP}$ 電源電流	$\overline{CE}=V_{IL}$			6	mA
$I_{PP2}$	$V_{PP}$ 電源電流	$\overline{CE}=V_{IH}$			30	mA
$I_{CC}$	$V_{CC}$ 電源電流				100	mA

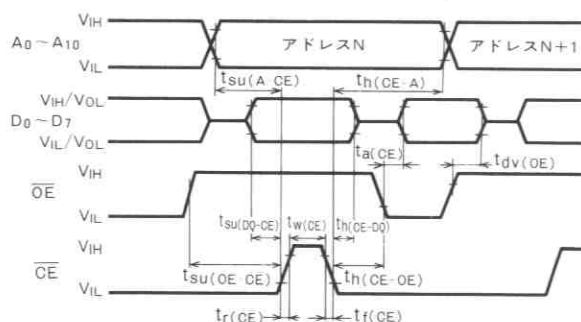
タイミング必要条件(指定のない場合は、 $T_a=25\pm 5\text{ }^\circ\text{C}$ 、 $V_{CC}=5\text{V}\pm 5\%$ 、 $V_{PP}=25\pm 1\text{V}$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{SU(A-CE)}$	OE前アドレスセットアップ時間		2			$\mu\text{s}$
$t_{SU(OE-CE)}$	OE前OEセットアップ時間		2			$\mu\text{s}$
$t_{SU(DQ-CE)}$	OE前データ入力セットアップ時間		2			$\mu\text{s}$
$t_{H(CE-A)}$	OE後アドレスホールド時間		2			$\mu\text{s}$
$t_{H(CE-OE)}$	OE後OEホールド時間		2			$\mu\text{s}$
$t_{H(CE-DQ)}$	OE後データ入力ホールド時間		2			$\mu\text{s}$
$t_w(CE)$	CEパルス幅		45	50	55	ms
$t_r(CE)$	CEパルス上昇時間		5			ns
$t_f(CE)$	CEパルス下降時間		5			ns

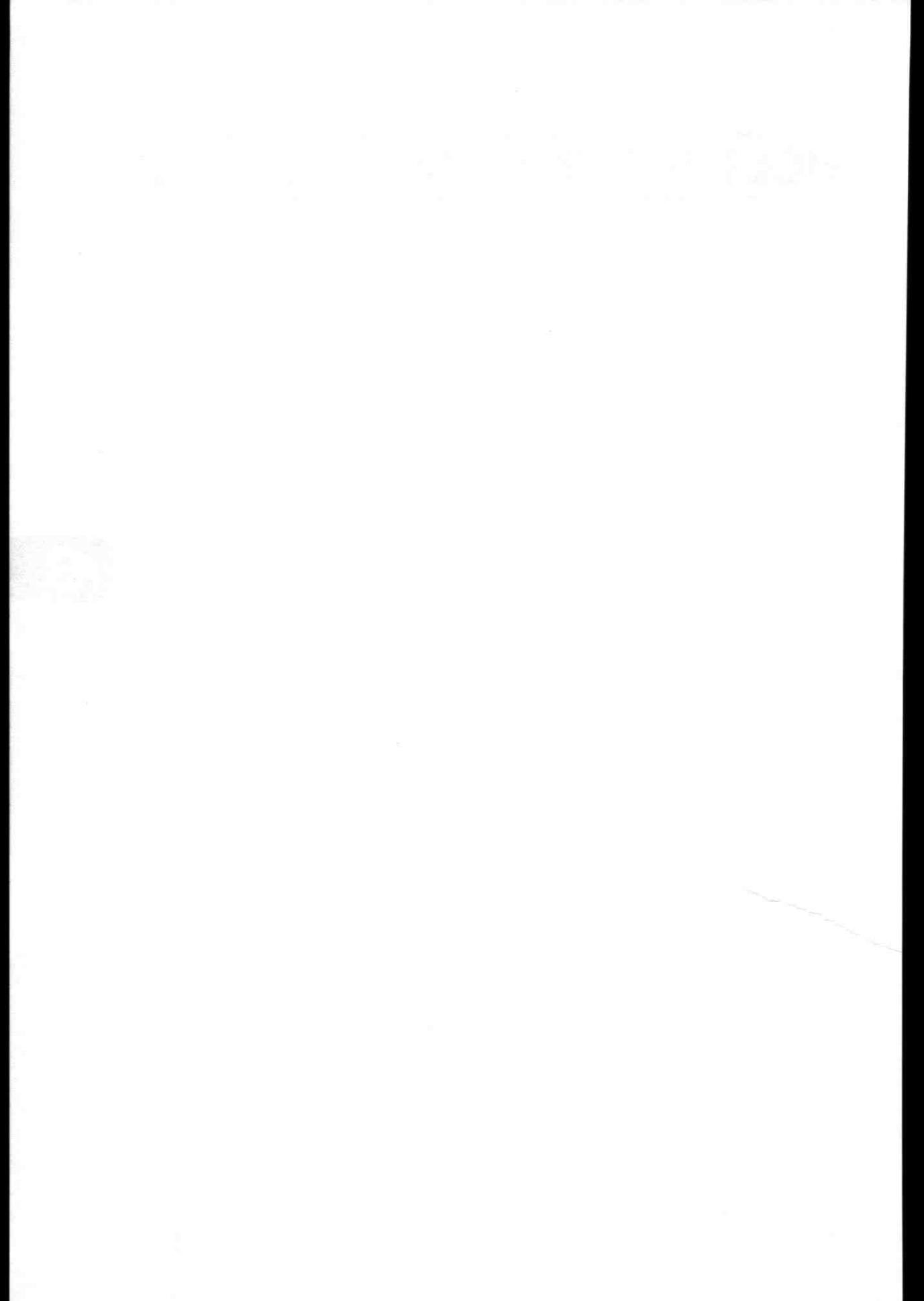
スイッチング特性(指定のない場合は、 $T_a=25\pm 5\text{ }^\circ\text{C}$ 、 $V_{CC}=5\text{V}\pm 5\%$ 、 $V_{PP}=25\pm 1\text{V}$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_v(OE)$	OE後データ有効時間				120	ns
$t_a(CE)$	OEアクセス時間	M5L 2716K			150	ns
		M5L 2716K-65			300	ns

## タイミング図(プログラムおよびベリファイ時)



# MELPS 4 マイクロコンピュータ







## SINGLE-CHIP 4-BIT MICROCOMPUTER

## 機能概要

M58840-XXXP は、2048語×9ビット構成のマスクROM、128語×4ビット構成のRAM、4ビット演算論理ユニット、クロック発生回路、入出力ポート、A/D変換回路、タッチキーインターフェース、割り込み回路等を内蔵したワンチップ4ビットマイクロコンピュータです。

ROMは128語×16ページのプログラムを格納し、プログラムカウンタでアドレス指定が行われます。サブルーチン及び割り込みの戻り番地は11ビット×3レベルのスタックレジスタに記憶されます。

RAMは、8ファイル×16けたのデータを格納し、2組のデータポインタによりアドレス指定されます。

RAMアドレス命令、レジスタ間転送命令、PLA出力命令RAMアキュムレータ間転送命令、演算命令等のデータ処理は4ビット構成のレジスタA（アキュムレータ）が中心に実行されます。S出力用PLAを内蔵していますので、レジスタAで指定する4ビット入力から8ビットの任意に設定できるコードを出力することができます。PLAの出力コードはROMマスク製作時に任意に指定できます。

アナログ入力ポートKは15端子で構成され、この端子から入力されたアナログ電圧とD-A変換器からの基準電圧 $V_{ref}$ を比較

器で比較し、その結果をレジスタJに保持します。D-A変換器はレジスタHとレジスタLに設定されたデジタル値をアナログ値に変換して基準電圧 $V_{ref}$ を発生する回路です。

アナログ入力信号は8ビットのデジタル値にA-D変換されますので、その後ではデジタルデータとして自由に取り扱うことができます。

入出力ポートSは8ビット構成で、出力部には8ビットのラッチがあり、レジスタAからS出力用PLAを介して転送された8ビットのデータ又はレジスタA及びレジスタBから転送されたデータあるいはレジスタEから転送されたデータを保持します。ポートSの入力信号8ビットは、4ビット単位でレジスタAに転送されます。

入出力ポートDは11ビット構成ですが、1ビット単位に独立した入出力として機能を遂行できます。出力部には1ビット単位のラッチがあり、データポインタのレジスタYの内容によってポートDのうち一つのビットを指定し出力又はセンスすることができます。

ポートS及びポートDを入力として使用する場合には、まず出力をクリアし、出力を“L”状態にしてから入力してください。

## M58840-XXXPの性能概要

項 目		性 能	
基本命令数		68	
基本命令実行時間		10 $\mu$ s (クロック周波数600kHzのとき)	
クロック周波数		300~600kHz	
メモリ容量	ROM	2048語×9ビット	
	RAM	128語×4ビット	
入出力ポート	K	入力	1ビット×15
		出力	8ビット×1
	S	入力	4ビット×2
		出力	1ビット×11
	D	出力	1ビット×11
		センス入力	1ビット×11
A/D変換回路		内蔵 (精度1.2%)	
タッチキーインターフェース		内蔵	
サブルーチンネスタング		3段 (割り込み1段を含む)	
クロック発生回路		内蔵 (GR又はセラミックフィルター外付け)	
ポート 入出力特性	入出力耐電圧	-33V (最大)	
	ポートS出力電流	-8mA (最大)	
	ポートD出力電流	-15mA (最大)	
電源電圧	VDD	-15V (標準)	
	VSS	0V	
素子構造		Pチャネル アルミゲートED-MOS	
パッケージ		42ピン プラスチックモールドDILパッケージ	
消費電力		700mW (最大)	

SINGLE-CHIP 4-BIT MICROCOMPUTER

基本機能ブロック動作説明

機能	動作説明
プログラムカウンタ PC	ROMのアドレスを指定するカウンタで、ROMに書かれている命令の読み出しシーケンスを決定します。プログラムカウンタ(PC)は11ビットの純2進カウンタで、上位4ビット(PCH)がROMのページを、下位7ビット(ACL)が番地を指定します。命令を1つ実行することにACLはインクリメントされます。ただし、ランチ命令、サブルーチン呼び出し命令及びリターン命令実行時は指定の番地の値になります。
スタックレジスタ SK0, SK1, SK2	サブルーチンや割り込みルーチンへランチするときに、ランチ前のPCの内容をもとのルーチンへ戻るまで一時記憶するためのレジスタです。スタックレジスタ(SK)は11ビット×3段で構成されているので、サブルーチンは3レベルまで使用できます。割り込みルーチンに1レベル使用した場合にはサブルーチンとして使えるのは2レベルだけになります。
プログラムメモリ ROM	2048語×9ビット構成のマスクROMで、ユーザーの指定する命令コードをプログラムすることができます。ROMは16ページで構成され、各ページに128語の命令がはいります。
命令レジスタ	9ビットの命令を保持するレジスタです。実行すべき命令コードがROMから読み出され、命令レジスタに保持され、命令デコーダPLAを通じ各論理回路に制御信号が伝達されます。スキップ判定回路は、命令XAMIによるスキップ条件を決定するもので、マスク発注時にその条件を設定していただきます。
データポインタ DP, DP'	RAMのアドレス、入出力ポートDのビット位置、レジスタJのビット位置を指定するレジスタです。データポインタはDPとDP'の2組持っており、1組が7ビット構成となっています。DPの最上位1ビットのレジスタZはRAMのファイル群を指定、中位2ビットのレジスタXはRAMのファイル指定、下位4ビットのレジスタYはRAMのけたを指定します。また、同時にレジスタYは入出力ポートD及びレジスタJのビット位置を指定します。
データメモリ RAM	各種の処理データ及び制御データの記憶部であり、128語×4ビット(512ビット)の容量があります。RAMは1語が4ビットで構成されていますが、全メモリ領域に関しビット処理ができます。128語を、2ファイル群×4ファイル×16けた×4ビットの構成とみなすことができます。RAMに関係する命令を実行する場合には、必ずセレクトCPS及びデータポインタDPを設定する必要があります。ただし、アドレスが変化しない場合はその必要はありません。
4ビット演算論理 ユニット	4ビット演算及び論理演算を行うユニットで、4ビットの加算器とそれに関連する論理回路で構成されます。加減算論理演算比較、算術演算比較及びビット処理を行います。
レジスタA及び キャリーフラグCY	レジスタAはマイクロコンピュータの中心となるアキュムレータで、4ビットで構成されています。演算、転送、交換、入出力等のデータ処理はこのレジスタを中心に実行されます。キャリーフラグCYは各種演算命令実行後のレジスタAの最上位1ビットよりのキャリーとポローを格納します。また、1ビットのフラグとしても使うことができます。CYとCY'の2組あり、データポインタDPと同様にセレクトCPSで切換できるようになっています。
レジスタB及び レジスタE	レジスタBは4ビットで構成され、4ビットデータの一時記憶やレジスタAと共に8ビットデータの転送に使うことができます。レジスタEは8ビットで構成され、8ビットデータの一時記憶に使うことができ、入出力ポートSの補助レジスタになります。
S出力用PLA	レジスタAの4ビットデータをデコーダで16ビットに変換し、これをPLAの入力として、8ビットのコードを出力します。PLAの出力コードはマスクROM製作時にユーザが任意に指定できます。なお、評価用チップM58842SのS出力用PLAには標準コードがプログラムされています。
A/D変換回路	A/D変換回路は、レジスタC、レジスタH-L、D-A変換器、レジスタJと15個の比較器より構成されます。レジスタH-Lの内容によりD-A変換器が動作し、アナログ出力V <sub>ref</sub> が得られます。この値とポートKのアナログ入力と比較しその結果をレジスタJにセット/リセットします。レジスタCはレジスタH-Lのビット指定に用います。
割り込みフラグ INTE	割り込みフラグINTEは1ビットのフリップフロップで、割り込み動作を制御します。INTE="1"のときは、割り込み受け付け可能状態、INTE="0"のときは割り込み受け付け禁止状態になります。命令EIを実行するとINTE="1" 命令DIを実行するとINTE="0"になります。

SINGLE-CHIP 4-BIT MICROCOMPUTER

端子の機能説明

端子名	名 称	入 出 力	機 能
K <sub>0</sub>   K <sub>14</sub>	アナログ入力 ポートK	入 力	アナログ入力ポートKは、15の独立したアナログ入力端子を持つポートです。ポートKに印加された入力電圧は、15入力同時に、D-A変換器の出力V <sub>ref</sub> と比較され、 $ V_{ref}  >  V_{K(Y)} $ のとき、レジスタJ(Y)をセットします。タッチキーボードの入力又は温度等アナログ量の入力に用います。V <sub>ref</sub> を適当に選べばデジタル量の入力ポートとしても使用できます。
S <sub>0</sub>   S <sub>7</sub>	入出力ポートS	入出力	ポートSは8ビットの出力ポート又は2個の4ビット入力ポートとして用いられます。出力はオープンドレイン回路となっており、大型蛍光表示管のセグメントの直接駆動等に適しております。出力には8ビットのラッチがあり、同時に8ビットの駆動が可能です。ポートSの出力を“L”にプログラムすると出力がフローティング状態(高インピーダンス状態)になり、入力ポートとして用いることができます。
D <sub>0</sub>   D <sub>10</sub>	入出力ポートD	入出力	ポートDは11ビットで構成され、独立したビット単位の入出力機能を持ちます。出力にはラッチ回路があり、ビット単位の出力に対し出力状態を保持します。ポートDの出力を“L”にプログラムし、出力をフローティング状態(高インピーダンス状態)にしますと、入力信号をセンスできる状態になります。入力には、入力端子の電位をセンスし、スキップ命令で“H”か“L”かを判定する方法を用います。
X <sub>IN</sub>	クロック入力	入 力	クロック発生回路を内蔵しており、発振周波数の設定は外部CR回路又はIF用セラミックフィルタをX <sub>OUT</sub> 端子との間に接続して行います。外部クロック入力を利用する場合は、クロック発振源をX <sub>IN</sub> 端子に接続し、X <sub>OUT</sub> 端子は開放にしてください。
X <sub>OUT</sub>	クロック出力	出 力	内部クロック発振回路の出力です。X <sub>IN</sub> 端子との間にCR回路又はIF用セラミックフィルタを接続して発振周波数を制御します。
INT	割り込み 要求入力	入 力	割り込みを要求する信号です。割り込みは1レベル1要因です。割り込みがかかる入力レベルが“H”か“L”かは、プログラムで変更できます。命令INTHを実行すると“H”で、命令INTLを実行すると“L”で割り込みがかかります。割り込みがかかる時、プログラムの実行は、ページ12の0番地に飛びます。リターン命令は命令RTIを用います。
T <sub>4</sub>	タイミング出力	出 力	タイミング出力で基準周波数の一部が出力されます。これは素子の試験用に用いるものです。
V <sub>REF</sub>	基準電圧入力	入 力	D-A変換器に外部から印加する基準電圧入力です。V <sub>REF</sub> = -7Vが標準値です。基準電圧 V <sub>REF</sub> の $(n-0.5)/256$ (nはレジスタH-Lの内容、ただしn=0のときは出力電圧は0V)の値がD-A変換により得られ、これがアナログ入力Kと比較されます。また、自動リセット信号入力としても用いられます。V <sub>REF</sub> を“H”にすると自動リセット回路が動作し、“L”にもどすとプログラムはページ0の0番地から開始されます。
CNV <sub>SS</sub>	CNV <sub>SS</sub> 入力	入 力	この入力にはV <sub>SS</sub> に接続し、必ず“H”入力(0V)を印加してください。

動作説明

ROMアドレスマップ

ROMの1語は9ビットで、1ページは128語(0~127番地)で構成され、ページは16(ページ0~ページ15)あります。合計メモリ容量は、2048語(128語×16ページ)×9ビットとなります。ROMアドレスマップを図1に示します。

ページは、プログラムカウンタ上位4ビットPCHで指定します。アドレスは、プログラムカウンタ下位7ビットPCLで指定します。各ページで127番地の命令を実行後は、そのページの先頭番地にもどります。したがって、各ページから他のページへ移る場合は、ページ変更しなければなりません。ページ変更を行うには、次のブランチ命令を用います。

**BL, BML, BLA, BMA**

ページ14及び15は サブルーチン呼び出しのため特別なページになっています。ページ14は、サブルーチンを格納するのに適しており、ページ14以外のページでサブルーチン呼び出し命令BM及びBMAを実行すると、ページ14が自動的に指定されます。すなわち、命令BM及びBMAは1語命令でページ14内のサブルーチンを呼び出せます。

なお、ページ14内でBM又はBMAを実行しますと、ブランチ命令B又はBAと等価な動作を行います。また、ページ14内で命令B又はBAを実行しますと、ページ15の指定番地へブランチします。

SINGLE-CHIP 4-BIT MICROCOMPUTER

図1. ROMアドレスマップ

PCH PCL	ページ指定																																																																																																																															
	0								1								2								3								4								5 ..... 13								14								15																																																																							
ビット指定	8	7	6	5	4	3	2	1	0	8	7	6	5	4	3	2	1	0	8	7	6	5	4	3	2	1	0	8	7	6	5	4	3	2	1	0	8	7	6	5	4	3	2	1	0	8	7	6	5	4	3	2	1	0	8	7	6	5	4	3	2	1	0	8	7	6	5	4	3	2	1	0																																																								
番地指定	0	.....																																																																																																																														
	1	.....																																																																																																																														
	2	.....																																																																																																																														
	3	.....																																																																																																																														
	4	.....																																																																																																																														
	5	.....																																																																																																																														
	6	.....																																																																																																																														
	7	.....																																																																																																																														
	8	.....																																																																																																																														
	9	.....																																																																																																																														
	.....	.....																																																																																																																														
	120	.....																																																																																																																														
	121	.....																																																																																																																														
	122	.....																																																																																																																														
	123	.....																																																																																																																														
	124	.....																																																																																																																														
	125	.....																																																																																																																														
	126	.....																																																																																																																														
	127	.....																																																																																																																														

6

RAMアドレスマップ

RAMの1語は4ビットで構成され、メモリ容量は合計128語×4ビットです。128語の番地指定はデータポインタで行われ、上位1ビットはレジスタZで、中位2ビットはレジスタXで、下位4ビットはレジスタYで指定されます。RAMアドレスマップを図2に示します。

RAM内に16語×4ビットで構成されるファイルが8個 (F0~F7)あると考えることができます。このファイルは、16ディジ

ットのレジスタとして扱えば便利です。

このファイル群の指定はレジスタZとレジスタXとで行います。なお、命令

TAM, XAM, XAMD, XAMI

は、j修飾値により、命令実行後ファイル群の指定を自動的に切り換えることができます。これは、ファイル内のデータのシフトや転送を行うのに便利です。

図2. RAMアドレスマップ

ファイル指定	レジスタZ	0				1			
	レジスタX	0	1	2	3	0	1	2	3
ファイル名		F0	F1	F2	F3	F4	F5	F6	F7
ビット指定		3	2	1	0	3	2	1	0
番地指定 (レジスタY)	0	.....							
	1	.....							
	2	.....							
	3	.....							
	4	.....							
	5	.....							
	6	.....							
	7	.....							
	8	.....							
	9	.....							
	10	.....							
	11	.....							
	12	.....							
	13	.....							
	14	.....							
	15	.....							

## SINGLE-CHIP 4-BIT MICROCOMPUTER

## A/D変換回路

A/D変換回路は次に述べる各種機能から構成されていますが、その機能ブロック図を図3に示します。

## 比較器

単一MOS回路で構成された比較器で、チョップ増幅手法を用いています。D-A変換器の出力 $V_{ref}$ とポートKの各入力信号 $V_{K(Y)}$  (ただし、 $Y=0\sim 14$ )と大小の比較判別ができます。

## レジスタJ

1ビットのレジスタが15個あり、各比較器で判別された大小比較結果が、15ビット同時にセットされます。その条件は

$$|V_{ref}| > |V_{K(Y)}| \text{ ならば "1"}$$

$$|V_{ref}| < |V_{K(Y)}| \text{ ならば "0"}$$

です。ここで、 $(Y)$ はレジスタ $Y$ で指定されたレジスタ $J$ のビットを示します。この比較結果は、命令SZJで各ビットごとにチェックできます。

## レジスタA

4ビットのレジスタで構成されたアキュムレータで、マイクロコンピュータの演算、制御、入出力等のデータ処置の中核となる機能です。

## レジスタH-L

レジスタH及びレジスタLは各4ビットで構成され、レジスタAと相互にデータの転送、置換ができます。D-A変換器に対する8ビットのデジタルデータは上位4ビットをレジスタHが、下位4ビットをレジスタLが分担します。

## レジスタC

レジスタH-Lの1つのビットを指定する3ビット構成のカウンターです。

## D-A変換器

$V_{REF}$ 端子から入力された基準電圧 $V_{REF}$ とレジスタH-Lに設定されたデジタル値によりアナログ値に変換された基準電圧 $V_{ref}$ を発生させる回路です。基準電圧 $V_{ref}$ の理論値は次式で表されます。

$$V_{ref} = \frac{n-0.5}{256} \times V_{REF} \quad \text{ただし、} n=1, 2, \dots, 255$$

$$V_{ref} = 0V \quad \text{ただし、} n=0$$

$n$ はレジスタH-Lの重みを考慮した値です。

## A-D変換アルゴリズム

M58840-XXXPにオンチップ化されたA-D変換回路では、プログラムによって逐次比較法と追従比較法の変換アルゴリズムを選択することができます。

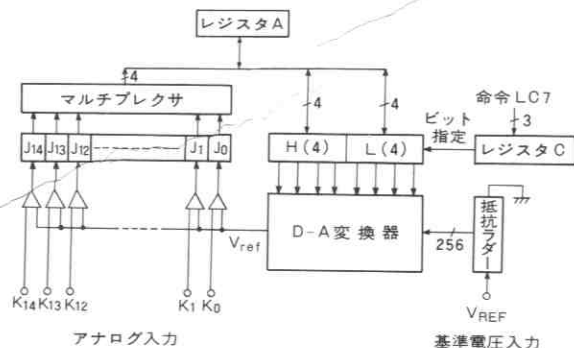
## 逐次比較法

最初に、レジスタH-Lをクリアし、次に最上位ビット(MSB)に"1"をセットします。そのときの基準電圧 $V_{ref}$ とアナログ入力信号 $V_{K(Y)}$ を比較し、 $|V_{K(Y)}|$ が大きければMSBのデータをそのままにし、 $|V_{K(Y)}|$ が小さければMSBを"0"にしてから、次にMSB-1のビットを"1"にセットします。以下、同様の手順を繰り返し、最下位ビット(LSB)まで実行すれば、入力信号のアナログ量をデジタル量に変換した8ビットの値がレジスタH-Lに格納されます。この手法は、アナログ量の大小にかかわらず一定の変換速度を有し、変化量の多いアナログ量の検出、又は異なった多チャンネルのアナログ量の検出などの応用に適しています。600kHzで動作時、8ビットのA-D変換は約0.6msで完了します。

## 追従比較法

基準電圧 $V_{ref}$ とアナログ入力信号 $V_{K(Y)}$ を比較し、 $|V_{K(Y)}|$ が大きければレジスタH-Lのデータを+1し、 $|V_{K(Y)}|$ が小さければレジスタH-Lのデータを-1します。以下、同様の手順を繰り返し、+1と-1が交互に発生するようになった時点で変換を終了すると、入力信号のアナログ量をデジタル量に変換した8ビットの値がレジスタH-Lに格納されます。この手法は、あらかじめ変化の少ないアナログ量であることがわかっている場合に適しており変換速度が早くなります。ただし、初期値の検出のために、ある程度の変換時間が必要で

図3. A/D変換回路ブロック図



## SINGLE-CHIP 4-BIT MICROCOMPUTER

## クロック発生回路

クロック発生回路を内蔵しており、クロック入出力端子間にCR回路又はIF用セラミックフィルタを外付けすれば、クロック信号が得られます。また、外部からクロック信号を入力する場合には、X<sub>IN</sub>端子にクロック発振源を接続し、X<sub>OUT</sub>端子は開放にします。回路例を図4～図6に示します。

図4. CR外付け回路

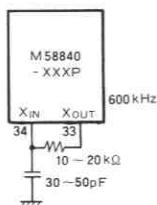


図5. IF用セラミックフィルタ回路

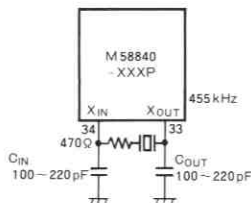
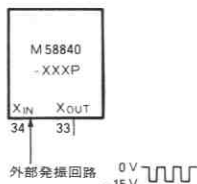


図6. 外部同期回路



## 割り込み機能

1ビットのフリップフロップのフラグINTEは割り込み動作を制御します。割り込み可能なメインプログラム実行中に、INT端子に割り込み信号が入るとINTEをリセットし、割り込み禁止状態とし、メインプログラムから強制的に優先度の高い割り込みプログラム、ページ12の0番地にブランチします。割り込みプログラムを使用する場合はスタックレジスタ3段のうち1段を必要とし、サブルーチン用スタックは2段になります。割り込み処理後はRTI命令によって、もとのメインプログラムに戻りますが、割り込みプログラムのスタート後にデータポイントDP、レジスタA、キャリアフラグCY及びその他のレジスタで割り込みプログラムに使用されるレジスタはプログラムで退避させ、もとのメインプログラムに戻るにはプログラムで回復させる必要があります。

割り込みがかかった場合、マイクロナンピュータの内部状態は、次のようになります。

## (1) プログラムカウンタ

メインプログラムの実行番地をスタックに格納し、ページ12

の0番地の値がセットされます。

## (2) 割り込みフラグINTE

フラグINTEはリセットされ、割り込み禁止状態になります。この状態は、命令RTIで割り込みルーチンから戻っても解除されません。EIを実行し、かつINT入力の入力レベルが変化したときに解除されます。すなわち、命令INTH実行時は、INT入力が“H”のとき割り込みがかかります。INT入力が“H”を保っている限り次の割り込みはかかりません。INT入力が1度“L”になり、再び“H”になったとき、次の割り込みが受け付け可能状態となります。

## (3) スキップフラグ

スキップ命令及び連続記述スキップ命令用のスキップ判別をするためのスキップフラグがあります。このスキップフラグは各スタックを持っており、そのスタックに待避させ、スキップ判別条件が保存されます。

## パワーオンリセット機能

電源電圧V<sub>DD</sub>が図7に示す特性を満足する電源を投入すると内蔵の自動リセット機構が動作し、マイクロナンピュータがリセットされます。リセットの解除も自動的に実行され、プログラムはページ0の0番地からスタートします。パワーオンリセットが働くと、次のような状態になります。

## (1) プログラムカウンタはページ0の0番地 (PC)←0

(2) 割り込みモードは割り込み禁止状態にします。(INTE)←0  
これは、命令DI実行時と同じ状態です。

(3) 割り込み入力INTが“H”で割り込み受け付け状態になります。これは、命令INTH実行時と同じ状態です。

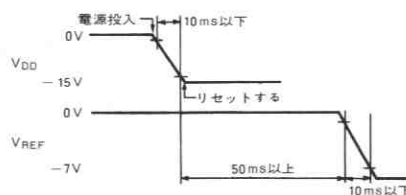
## (4) ポートS出力をすべて“L”にします。(S)←0

## (5) ポートD出力をすべて“L”にします。(D)←0

(6) キャリー・データポイントセレクトCPSを0にし、DP及びCY側を指定します。(CPS)←0

なお、電源の電圧立ち上がり特性等で、パワーオンリセット機能が十分動作しない場合は、基準電圧入力V<sub>REF</sub>に図7に示す波形を入れまると、同様のパワーオンリセット機能が得られます。V<sub>DD</sub>が“L”になってから、V<sub>REF</sub>を50ms以上“H”に保ちまると、リセットがかかります。その後V<sub>REF</sub>を“L”(-7V)にしますとプログラムはページ0の0番地より実行が開始されます。

図7. パワーオンリセット信号



## テスト端子

LSIの内部ロジックのタイミング出力端子T<sub>4</sub>がありますがマイクロナンピュータの使用時には、この機能は必要ありませんので、V<sub>ss</sub>(0V)に接続してください。なお、CNV<sub>ss</sub>もV<sub>ss</sub>(0V)に接続してください。



## SINGLE-CHIP 4-BIT MICROCOMPUTER

## マスク化発注時の指定方法

マイクロコンピュータ M58840-XXXP に顧客から提供されたプログラム等を書き込み、マスク化する場合、指定が可能な項目に次のものがあります。

- (1) ROMのデータ 2048語×9ビット
  - (2) S出力用PLAのデータ 16入力×8ビット
  - (3) 命令XAMIによるスキップ条件 4ビット
  - (4) ポートK入力の負荷抵抗及び放電トランジスタ 15ビット
- これらのデータが提供されますと、ワンチップマイクロコンピュータ用マスクROM自動設計プログラムで

- (1) マスクROM作成のための作図命令
- (2) マスク作図ミスのための照査リスト
- (3) マイクロコンピュータのテストプログラム

を自動的に作成し、顧客の仕様に迅速かつ正確に応じる体制を整えております。

## ROMのデータ

ROMに格納するデータは2048語×9ビットのプログラムです。このプログラムは、次の3つの形式のいずれかで提出してください。

- (1) MELPS 4ソース言語
- (2) MELPS 4タケダ形式アブソリュート オブジェクト
- (3) MELPS 4ミナト形式アブソリュート オブジェクト

ソース言語は、MELPS 4クロスアセンブラ用のアセンブラ言語です。オブジェクト言語は、PROMライター用の16進形式で1024バイト単位に区切って提供してください。すなわち、MELPS 4評価用基板PGA0401で、EPROM M58732S(2708)を用いたプログラムの評価を行う場合と同様の、下位8ビットのオブジェクト1K語分2本と、上位1ビットのオブジェクト1K語分2本です。タケダ形式及びミナト形式は、それぞれタケダ理研社及びミナトエレクトロニクス社のPROMライター用紙テープ形式と互換性があります。これらのオブジェクトは、MELPS 4 PROMライター用紙テープ作成プログラムを用いますと、自動的に作成が可能です。

## ソース形式・媒体

## MELPS 4アセンブラ言語形式

文字コードはホラリスコードで、IBM29パンチのコードと互換性があります。

紙カード………80カラム/行 (IBMパンチカード相当)

紙テープ………8単位、25.4mm幅

文字コードは、ASC IIでパリティは偶数パリティ付き

## オブジェクト形式・媒体

アブソリュート形式で、16進1024バイト単位

MELPS 4タケダ形式 (タケダ理研社PROMライター用紙テープと互換性あり)

MELPS 4ミナト形式 (ミナトエレクトロニクス社PROMライター用紙テープと互換性あり)

紙テープ………8単位、25.4mm幅

文字コードは、ASC IIでパリティは偶数パリティ付き

## S出力用PLAのデータ

S出力用PLAは、レジスタAの4ビットの内容を入力とし、8ビットの出力をポートS又はレジスタEに得るPLA(マスクプログラムブル ロジック アレー)です。S出力用PLAのデータは、レジスタAの内容0~15に対応した、ポートSの出力S<sub>0</sub>~S<sub>7</sub>が“H”(0V)か“L”(-33V)かで指定してください。形式は、ME LPS 4評価用素子M58842SのS出力用PLAコード表を参照ください。

## 命令XAMIによるスキップ条件

ワンチップ4ビットマイクロコンピュータ M58840-XXXP及びMELPS 4評価用素子M58842Sの標準品は、命令XAMIを実行時、

$$(A) \leftrightarrow (M(DP))$$

$$(Y) \leftarrow (Y) + 1$$

を実行前、(Y)=15であると次の命令をスキップします。これにより、(Y)=15のときは、(Y)=n判定命令 SEY nを省略しプログラムのステップ数削減ができます。

ワンチップ4ビットマイクロコンピュータ M58840-XXXPのオプション仕様として、次の図に示すように、(Y)=15以外のときでもスキップ条件が設定できます。これは、RAM内の各ファイル中にけた数の少ないレジスタを複数個作り、各種のデータを取り扱うのに役立ちます。

このスキップ条件のマスク化指定は、次に示す4けたの2進数で行います。

マスク化指定コード      スキップ条件が指定できるけた

0000	(Y)=0, 1, 2, ……15
0001	(Y)=1, 3, 5, 7, 9, 11, 13, 15
0010	(Y)=2, 3, 6, 7, 10, 11, 14, 15
0011	(Y)=3, 7, 11, 15
0100	(Y)=4, 5, 6, 7, 12, 13, 14, 15
0101	(Y)=5, 7, 13, 15
0110	(Y)=6, 7, 14, 15
0111	(Y)=7, 15
1000	(Y)=8, 9, 10, 11, 12, 13, 14, 15
1001	(Y)=9, 11, 13, 15
1010	(Y)=10, 11, 14, 15
1011	(Y)=11, 15
1100	(Y)=12, 13, 14, 15
1101	(Y)=13, 15
1110	(Y)=14, 15
1111	(Y)=15

なお、マスク化指定コード1111は標準品です。



## SINGLE-CHIP 4-BIT MICROCOMPUTER

## 命令XAMIによるスキップ条件のマスク化指定方法

マスク化 指定コード	RAM内ファイルF <sub>0</sub> ~F <sub>7</sub> でスキップ条件が発生するけた
0 0 0 0	(Y)=15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 [15] [14] [13] [12] [11] [10] [9] [8] [7] [6] [5] [4] [3] [2] [1] [0]
0 0 0 1	15 13 11 9 7 5 3 1 [15] [14] [13] [12] [11] [10] [9] [8] [7] [6] [5] [4] [3] [2] [1] [0]
0 0 1 0	15 14 11 10 7 6 3 2 [15] [14] [13] [12] [11] [10] [9] [8] [7] [6] [5] [4] [3] [2] [1] [0]
0 0 1 1	15 11 7 3 [15] [14] [13] [12] [11] [10] [9] [8] [7] [6] [5] [4] [3] [2] [1] [0]
0 1 0 0	15 14 13 12 7 6 5 4 [15] [14] [13] [12] [11] [10] [9] [8] [7] [6] [5] [4] [3] [2] [1] [0]
0 1 0 1	15 13 7 5 [15] [14] [13] [12] [11] [10] [9] [8] [7] [6] [5] [4] [3] [2] [1] [0]
0 1 1 0	15 14 7 6 [15] [14] [13] [12] [11] [10] [9] [8] [7] [6] [5] [4] [3] [2] [1] [0]
0 1 1 1	15 7 [15] [14] [13] [12] [11] [10] [9] [8] [7] [6] [5] [4] [3] [2] [1] [0]
1 0 0 0	15 14 13 12 11 10 9 8 [15] [14] [13] [12] [11] [10] [9] [8] [7] [6] [5] [4] [3] [2] [1] [0]
1 0 0 1	15 13 11 9 [15] [14] [13] [12] [11] [10] [9] [8] [7] [6] [5] [4] [3] [2] [1] [0]
1 0 1 0	15 14 11 10 [15] [14] [13] [12] [11] [10] [9] [8] [7] [6] [5] [4] [3] [2] [1] [0]
1 0 1 1	15 11 [15] [14] [13] [12] [11] [10] [9] [8] [7] [6] [5] [4] [3] [2] [1] [0]
1 1 0 0	15 14 13 12 [15] [14] [13] [12] [11] [10] [9] [8] [7] [6] [5] [4] [3] [2] [1] [0]
1 1 0 1	15 13 [15] [14] [13] [12] [11] [10] [9] [8] [7] [6] [5] [4] [3] [2] [1] [0]
1 1 1 0	15 14 [15] [14] [13] [12] [11] [10] [9] [8] [7] [6] [5] [4] [3] [2] [1] [0]
1 1 1 1	15 [15] [14] [13] [12] [11] [10] [9] [8] [7] [6] [5] [4] [3] [2] [1] [0]

## ポートK入力の負荷抵抗

M58840-XXXPのポートK入力は特別仕様として負荷抵抗を内蔵できます。負荷抵抗はエンハンスメント型のMOSトランジスタで、その抵抗値は100~200kΩ位です。評価用素子M58842Sには負荷抵抗を内蔵していません。

マスク化指定形式はマスク化確認書を参照してください。

## ポートK入力の放電トランジスタ

M58840-XXXPのポートK入力は特別仕様として放電トランジスタを内蔵できます。この放電トランジスタはキャパシティブタッチキーボードを使用する場合に必要です。

評価用素子M58842Sでは全てのポートKに内蔵されています。

マスク化指定形式はマスク化確認書を参照してください。

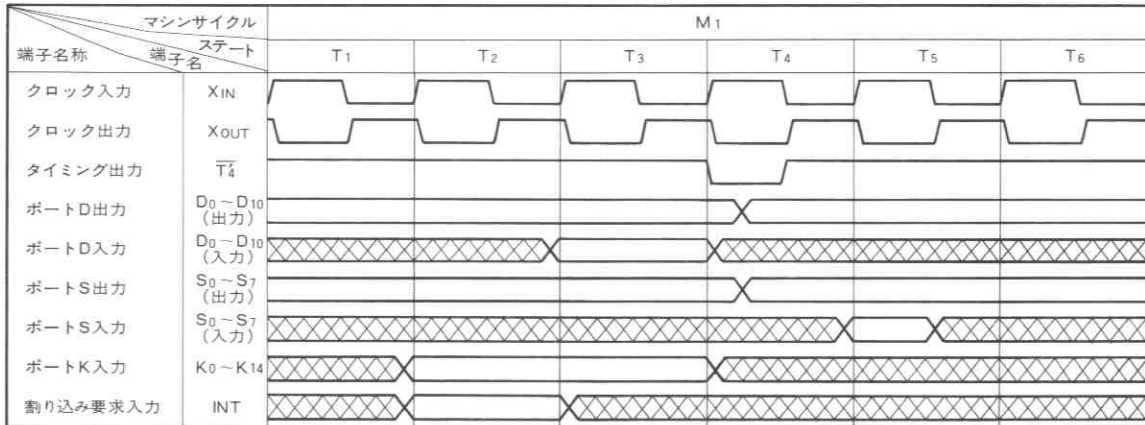
## マスク化発注時の提出資料


マスク化発注時、資の資料を提出ください。

- (1) MELPS 4 マスク化確認書
- (2) ROMのデータ 紙カードは1部、紙テープは2部
- (3) S出力用PLAのデータ 紙カード又は確認書に記載
- (4) 命令XAMIによるスキップ条件 紙カード又は確認書に記載
- (5) ポートK入力の負荷抵抗 紙カード又は確認書に記載
- (6) ポートK入力の放電トランジスタ 紙カード又は確認書に記載

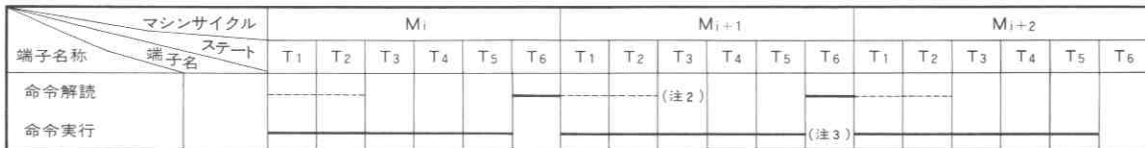
## SINGLE-CHIP 4-BIT MICROCOMPUTER

基本タイミング図



注1.  は無効入力を示します。

命令フェッチタイミング

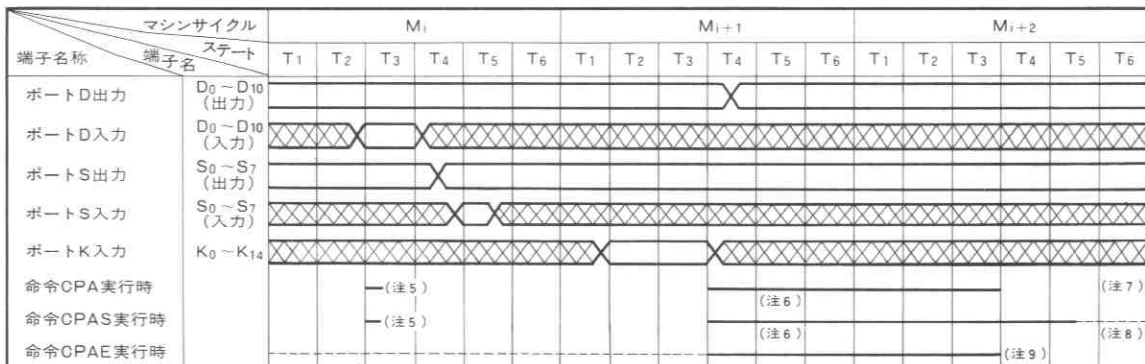


注2. 命令の種類により、命令解読時間は異なります。

3. 前サイクルのアドレスに対応する命令を実行します。

4. 命令実行とROM及びRAMのアドレッシングは並行して行われます。

入出力命令タイミング



注5. ポートKの入力をV<sub>SS</sub>(OV)と短絡し、ポートK入りに接続されている容量を放電させます。

6. ポートK入りのアナログ値を記憶し、保持します。ポートKのアナログ値と基準電圧V<sub>ref</sub>とを比較します。

7. ポートK入りのアナログ値を、次の命令CPA、CPASが実行されるまでは常に入力します。

8. 命令CPAEが実行されるまで、注6の状態が続きます。なお、この期間ポートK入りのアナログ値は入力されません。精度を保つためには、この期間は100μs以下にしてください。

9. 注8の状態が解除されます。

## SINGLE-CHIP 4-BIT MICROCOMPUTER

## ブランチ命令及びサブルーチン呼び出し命令タイミング

項目	マシンサイクル ステート	M <sub>i</sub>						M <sub>i+1</sub>						M <sub>i+2</sub>					
		T <sub>1</sub>	T <sub>2</sub>	T <sub>3</sub>	T <sub>4</sub>	T <sub>5</sub>	T <sub>6</sub>	T <sub>1</sub>	T <sub>2</sub>	T <sub>3</sub>	T <sub>4</sub>	T <sub>5</sub>	T <sub>6</sub>	T <sub>1</sub>	T <sub>2</sub>	T <sub>3</sub>	T <sub>4</sub>	T <sub>5</sub>	T <sub>6</sub>
命令 B xy (ブランチ命令の場合：以前にBM、BMAを実行していない場合)																			
プログラムカウンタ		$(PCL) \leftarrow xy$ $(PCL) \leftarrow (PCL) + 1$						$(PCL) \leftarrow (PCL) + 1$											
ROMアドレス		$(ROMアドレス) \leftarrow (PC)$						$(ROMアドレス) \leftarrow (PC)$											
プログラムの実行		ブランチ命令実行						ブランチ先の命令実行											
命令 B xy (ページ15へブランチする場合：以前にBM、BMAを実行している場合)																			
プログラムカウンタ		$(PCH) \leftarrow 15$ $(PCL) \leftarrow (PCL) + 1$						$(PCL) \leftarrow (PCL) + 1$											
ROMアドレス		$(ROMアドレス) \leftarrow (PC)$						$(ROMアドレス) \leftarrow (PC)$											
プログラムの実行		ブランチ命令実行						ページ15のブランチ先の命令実行											
命令 BM xy (サブルーチン呼び出し命令)																			
プログラムカウンタ		$(PCH) \leftarrow 14$ $(PCL) \leftarrow (PCL) + 1$						$(PCL) \leftarrow (PCL) + 1$											
ROMアドレス		$(ROMアドレス) \leftarrow (PC)$						$(ROMアドレス) \leftarrow (PC)$											
スタック		$(SK2) \leftarrow (SK1) \leftarrow (SK0) \leftarrow (PC)$																	
プログラムの実行		サブルーチン呼び出し命令実行						呼び出し先の命令実行											
命令 BL p, xy (ブランチ命令)																			
プログラムカウンタ		$(\text{テンポラリレジスタ}) \leftarrow p$ $(PC) \leftarrow (PCL) + 1$						$(PCH) \leftarrow (\text{テンポラリレジスタ})$ $(PCL) \leftarrow (PCL) + 1$						$(PCL) \leftarrow (PCL) + 1$					
ROMアドレス		$(ROMアドレス) \leftarrow (PC)$						$(ROMアドレス) \leftarrow (PC)$						$(ROMアドレス) \leftarrow (PC)$					
プログラムの実行		ページを一時記憶						ブランチ命令実行						ブランチ先の命令実行					
命令 BML p, xy (サブルーチン呼び出し命令)																			
プログラムカウンタ		$(\text{テンポラリレジスタ}) \leftarrow p$ $(PCL) \leftarrow (PCL) + 1$						$(PCH) \leftarrow (\text{テンポラリレジスタ})$ $(PCL) \leftarrow (PCL) + 1$						$(PCL) \leftarrow (PCL) + 1$					
ROMアドレス		$(ROMアドレス) \leftarrow (PC)$						$(ROMアドレス) \leftarrow (PC)$						$(ROMアドレス) \leftarrow (PC)$					
スタック		$(SK2) \leftarrow (SK1) \leftarrow (SK0) \leftarrow (PC)$																	
プログラムの実行		ページを一時記憶						サブルーチン呼び出し命令実行						呼び出し先の命令実行					

注10. 命令BA、BMA、BLA、BMLAに関しては、それぞれB、BM、BL、BMLの前のサイクルにプログラムカウンタの下位4ビットをレジスタAの内容で置き換えることを示すフラグをセットするための期間が付加されます。

## 割り込みタイミング

		M <sub>i</sub>						M <sub>i+1</sub>						M <sub>i+2</sub>					
		T <sub>1</sub>	T <sub>2</sub>	T <sub>3</sub>	T <sub>4</sub>	T <sub>5</sub>	T <sub>6</sub>	T <sub>1</sub>	T <sub>2</sub>	T <sub>3</sub>	T <sub>4</sub>	T <sub>5</sub>	T <sub>6</sub>	T <sub>1</sub>	T <sub>2</sub>	T <sub>3</sub>	T <sub>4</sub>	T <sub>5</sub>	T <sub>6</sub>
割り込み要求入力	INT	X																	
プログラムカウンタ	(PC)	$(PCL) \leftarrow (PCL) + 1$						$(PCL) \leftarrow (PCL) + 1$ (注11)						$(PCH) \leftarrow 12$ $(PCL) \leftarrow 0$ $(PCL) \leftarrow (PCL) + 1$					
ROMアドレス		$(ROMアドレス) \leftarrow (PC)$						$(ROMアドレス) \leftarrow (PC)$						$(ROMアドレス) \leftarrow (PC)$					
スタックポインタ														$(SK2) \leftarrow (SK1) \leftarrow (SK0) \leftarrow (PC)$					
プログラムの実行														ページ12の0番地に飛び					

注11. M<sub>i+1</sub>期間で実行する命令が、BA、BMA、BL、BML、BLA、BMLA以外であれば、(PCL) ← (PCL) + 1を実行せずに次のT<sub>1</sub>から割り込みに入ります。

## SINGLE-CHIP 4-BIT MICROCOMPUTER

機械語命令一覧表

項目 分類	命令記号	命令コード		語 数	サイ クル 数	機 能	スキップ条件	フ ラ グ C Y	詳 細 説 明
		D <sub>8</sub> D <sub>7</sub> D <sub>6</sub> D <sub>5</sub> D <sub>4</sub> D <sub>3</sub> D <sub>2</sub> D <sub>1</sub> D <sub>0</sub>	16進表記						
RAMアドレス命令	LXY x,y	0 1 1 x x y y y y	0 C y x	1	1	(X)←x, ただし, x=0~3 (Y)←y, ただし, y=0~15	連続記述	X	イミディエイトフィールドの値xをレジスタXへロードし, yをレジスタYにロードします。同命令を連続記述しますと、以下の連続記述のLXY命令をスキップします。
	LZ z	0 0 1 0 0 1 0 1 z	0 4 A z	1	1	(Z)←z, ただし, z=0, 1		X	イミディエイトフィールドの値zをレジスタZへロードします。
	INY	0 0 0 0 0 0 0 1 0	0 0 2	1	1	(Y)←(Y)+1	(Y)=0	X	レジスタYの内容を+1します。その結果レジスタYの内容が0であれば、次の命令をスキップします。
	DEY	0 0 0 0 0 0 0 1 1	0 0 3	1	1	(Y)←(Y)-1	(Y)=15	X	レジスタYの内容を-1します。その結果Yの内容が15であれば、次の命令をスキップします。
	LCPS i	0 0 1 0 0 0 0 0 1	0 4 i	1	1	(OPS)←i, ただし, i=0, 1	-	X	i=0のときDPとCYが、i=1のときDPとCYが選ばれます。
命令送達制御命令	TAB	0 0 0 0 1 1 1 1 0	0 1 E	1	1	(A)←(B)	-	X	レジスタBの内容をレジスタAへ転送します。
	TBA	0 0 0 0 1 1 1 0 0	0 1 C	1	1	(B)←(A)	-	X	レジスタAの内容をレジスタBへ転送します。
	TAY	0 0 0 0 1 1 1 0 1	0 1 D	1	1	(A)←(Y)	-	X	レジスタYの内容をレジスタAへ転送します。
	TYA	0 0 0 0 0 1 1 0 0	0 0 C	1	1	(Y)←(A)	-	X	レジスタAの内容をレジスタYへ転送します。
	TLA	0 0 0 0 1 1 0 0 1	0 1 9	1	1	(L)←(A)	-	X	レジスタAの内容をレジスタLへ転送します。
	THA	0 0 1 0 1 1 0 0 1	0 5 9	1	1	(H)←(A)	-	X	レジスタAの内容をレジスタHへ転送します。
	TEAB	0 0 0 0 1 1 0 1 0	0 1 A	1	1	(E)←E←(B), (E)←E←(A)	-	X	レジスタA及びレジスタBの内容をレジスタEへ転送します。
	TEPA	0 0 0 0 1 0 1 1 0	0 1 6	1	1	(E)←E←データ用PLA←(A)	-	X	レジスタAの内容をデータ用PLA(16入力×8出力)でデコードし、その結果をレジスタEへ転送します。
	TAJ	0 0 0 0 0 1 1 0 1	0 0 D	1	1	(Y <sub>0</sub> )=0のとき: (A)←(J <sub>0</sub> J <sub>1</sub> J <sub>2</sub> J <sub>3</sub> ) (Y <sub>0</sub> )=1のとき: (A)←(J <sub>1</sub> J <sub>2</sub> J <sub>3</sub> J <sub>4</sub> ) (Y <sub>0</sub> )=2のとき: (A)←(J <sub>1</sub> J <sub>2</sub> J <sub>3</sub> J <sub>4</sub> J <sub>5</sub> ) (Y <sub>0</sub> )=3のとき: (A)←(0 J <sub>1</sub> J <sub>2</sub> J <sub>3</sub> J <sub>4</sub> J <sub>5</sub> )	-	X	レジスタJの内容をレジスタAへ転送します。
	XAL	0 0 0 0 1 1 0 0 0	0 1 8	1	1	(A)←(L)	-	X	レジスタAの内容とレジスタLの内容とを交換します。
XAH	0 0 1 0 1 1 0 0 0	0 5 8	1	1	(A)←(H)	-	X	レジスタAの内容とレジスタHの内容とを交換します。	
RAMアドレス用命令	TAM j	0 0 1 1 0 0 1 j j	0 6 4 + j	1	1	(A)←(M(DP)) (X)←(X)∨j, ただし, j=0~3	-	X	データポイントDPで指定されたRAMの内容をレジスタAへ転送した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。
	XAM j	0 0 1 1 0 0 0 j j	0 6 j	1	1	(A)←(M(DP)) (X)←(X)∨j, ただし, j=0~3	-	X	データポイントDPで指定されたRAMの内容とレジスタAの内容とを交換した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。
	XAMD j	0 0 1 1 0 1 0 j j	0 6 8 + j	1	1	(A)←(M(DP)), (Y)←(Y)-1 (X)←(X)∨j, ただし, j=0~3	(Y)=15	X	データポイントDPで指定されたRAMの内容とレジスタAの内容とを交換した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。またレジスタYの内容を-1し、その結果が15のとき次の命令をスキップします。
	XAMI j	0 0 1 1 0 1 1 j j	0 6 C + j	1	1	(A)←(M(DP)), (Y)←(Y)+1 (X)←(X)∨j, ただし, j=0~3	(Y)=マスクで決めたスキップ条件	X	データポイントDPで指定されたRAMとレジスタAの内容とを交換した後、レジスタXとイミディエイトフィールドの値jとの排他的論理和をとり、その結果をレジスタXに格納します。またレジスタYの内容を+1し、+1する前のレジスタYの内容がマスクで決めたスキップ条件に合えば次の命令をスキップします。
演算命令	LA n	0 1 0 1 1 n n n n	0 B n	1	1	(A)←n, ただし, n=0~15	連続記述	X	イミディエイトフィールドの値nをレジスタAへロードします。同命令を連続記述すると、以下の連続記述のLA命令をスキップします。
	AM	0 0 0 0 0 1 0 1 0	0 0 A	1	1	(A)←(A)+(M(DP))	-	X	レジスタAにデータポイントDPで指定されたRAMの内容を加えます。その結果は、レジスタAに格納されます。フラグCYの内容は変化しません。
	AMC	0 0 0 0 0 1 1 1 0	0 0 E	1	1	(A)←(A)+(M(DP))+(CY) (CY)←キャリー	-	0/1	レジスタAにデータポイントDPで指定されたRAMの内容とフラグCYの内容を加えます。その結果はレジスタAに格納されます。
	AMCS	0 0 0 0 0 1 1 1 1	0 0 F	1	1	(A)←(A)+(M(DP))+(CY) (CY)←キャリー	(CY)=1	0/1	レジスタAにデータポイントDPで指定されたRAMの内容とフラグCYの内容を加えます。その結果はレジスタAとフラグCYに格納されます。キャリーが発生すると次の命令をスキップします。
	A n	0 1 0 1 0 n n n n	0 A n	1	1	(A)←(A)∩n, ただし, n=0~15	キャリー=0 ただしLn=6	X	レジスタAにイミディエイトフィールドの値nを加えます。フラグCYの内容は変化しません。n=6のときを除き、キャリーが出なければ次の命令をスキップします。
	SC	0 0 1 0 0 1 0 0 1	0 4 9	1	1	(CY)←1	-	1	フラグCYをセットします。
	RC	0 0 1 0 0 1 0 0 0	0 4 8	1	1	(CY)←0	-	0	フラグCYをリセットします。
SZC	0 0 0 1 0 1 1 1 1	0 2 F	1	1	--	(CY)=0	X	フラグCYの内容が0のとき、次の命令をスキップします。	
CMA	0 1 0 0 0 1 1 1 1	0 8 F	1	1	(A)←(A)	-	X	レジスタAの内容の1の補数をレジスタAに格納します。	
ビット操作命令	SB j	0 0 1 0 0 1 1 j j	0 4 C + j	1	1	(Mj(DP))←1, ただし, j=0~3	-	X	データポイントDPで指定されたRAMの第jビット(イミディエイトフィールドの値jで指定されたビット)をセットします。
	RB j	0 0 1 0 1 1 1 j j	0 5 C + j	1	1	(Mj(DP))←0, ただし, j=0~3	-	X	データポイントDPで指定されたRAMの第jビット(イミディエイトフィールドの値jで指定されたビット)をリセットします。
	SZB j	0 0 0 1 0 0 0 j j	0 2 j	1	1	(Mj(DP))←0 ただしj=0~3	-	X	データポイントDPで指定されたRAMの第jビット(イミディエイトフィールドの値jで指定されたビット)の内容が0のとき次の命令をスキップします。
比較命令	SEAM	0 0 0 1 0 0 1 1 0	0 2 6	1	1	(M(DP))←(A)	-	X	レジスタAの内容とDPで指定されたRAMの内容とが等しければ次の命令をスキップします。
	SEY y	0 0 0 1 1 y y y y	0 3 y	1	1	(Y)←y だが LY=0~15	-	X	レジスタYの内容とイミディエイトフィールドの値yとが等しければ次の命令をスキップします。
A/Dコンバータの動作モード	LC7	0 0 1 0 1 0 1 1 1	0 5 7	1	1	(C)←7	(C)=7	X	レジスタCに7をロードします。
	DEC	0 0 0 0 0 1 0 0 1	0 0 9	1	1	(C)←(C)-1	-	X	レジスタCの内容から1を減じます。その結果が0のとき次の命令をスキップします。
	SHL	0 1 0 0 0 0 0 1 0	0 4 2	1	1	(O <sub>2</sub> )←1のとき: (H(C <sub>0</sub> C <sub>0</sub> ))←1 (O <sub>2</sub> )←0のとき: (L(C <sub>0</sub> C <sub>0</sub> ))←1	-	X	レジスタL又はレジスタHのレジスタCで指定されたビットをセットします。レジスタLの内容とビット(C <sub>0</sub> ) 7 6 5 4 3 2 1 0の対応は右のとおりです。 ビット H H H H H H H H H H L L L L L L L L
	RHL	0 0 1 0 1 0 0 1 0	0 5 2	1	1	(O <sub>2</sub> )←1のとき: (H(C <sub>0</sub> C <sub>0</sub> ))←0 (O <sub>2</sub> )←0のとき: (L(C <sub>0</sub> C <sub>0</sub> ))←0	-	X	レジスタL又はレジスタHのレジスタCで指定されたビットをリセットします。
	CPA	0 0 0 0 0 1 0 0 0	0 0 8	1	1	(2)  Vref  >  Vx(i)  のとき: (J <sub>(i)</sub> )←1  Vref  <  Vx(i)  のとき: (J <sub>(i)</sub> )←0 i=0~14	-	X	ポートKの全入力のアナログ量を読み込み、この入力とD-A変換器出力Vrefとを比較し、その結果次のインストラクションサイクルで、レジスタLの全ビットに Vref  >  Vx(i) のとき、セット、 Vref  <  Vx(i) のときリセットします。
	CPAS	0 0 1 0 1 0 0 0 1	0 5 1	1	1	Vref  >  Vx(i)  のとき: (J <sub>(i)</sub> )←1  Vref  <  Vx(i)  のとき: (J <sub>(i)</sub> )←0 i=0~14	-	X	ポートKの全入力のアナログ量を読み込み、この値を一時的に記憶します。以下ポートKの入力が変化してもこの値は変わりません。この入力とレジスタLで定まるD-A変換器の出力Vrefとを比較し、その結果レジスタLの全ビットに Vref  >  Vx(i) のとき、セット、 Vref  <  Vx(i) のときリセットします。レジスタLの内容が変化すれば、これをくり返します。
	CPAE	0 0 1 0 1 0 0 0 0	0 5 0	1	1	CAPSの実行を終了し、以後(J <sub>(i)</sub> )は変化しません。	-	X	命令CPASの実行を終了し、以後レジスタLの内容は変化せず、その直前の値を保持します。また、ポートK入力は読み込み可能な状態にもなります。
SZJ	0 0 0 1 0 1 0 0 1	0 2 9	1	1	(J <sub>(i)</sub> )=0 (Y)=15	-	X	レジスタYで指定されたレジスタJのビットが0のとき、次の命令をスキップします。レジスタYの内容が15のときは、無条件に次の命令をスキップします。	

## SINGLE-CHIP 4-BIT MICROCOMPUTER

項目 分類	命令記号	命令コード		語 数	サイ クル 数	機 能	スキップ条件	フ ラ グ C Y	詳 細 説 明
		D <sub>7</sub> D <sub>6</sub> D <sub>5</sub> D <sub>4</sub> D <sub>3</sub> D <sub>2</sub> D <sub>1</sub> D <sub>0</sub>	16 進 記 号						
ブ ラ ン チ 命 令	B xy	1 1 x x x y y y y	1 8 y + x	1	1	(PCL) $\rightarrow$ 16x+y (PC $\leftarrow$ ) $\rightarrow$ 15, (PCL) $\leftarrow$ 16x+y	—	X	ページ内ブランチ: カレントページのxy番地へブランチします。 ページ15へブランチ: BM又はBMAを実行後RT、RTS、BL、BML、BLA、BMLAのいずれも実行せずにBを実行するとページ15のxy番地へブランチします。
	BL pxy	0 0 1 1 1 p p p p 1 1 x x x y y y y	0 7 p 1 8 y + x	2	2	(PC $\leftarrow$ ) $\rightarrow$ p (PCL) $\leftarrow$ 16x+y	—	X	ページ外ブランチ: ページpのxy番地へブランチします。
	BA xX	0 0 0 0 0 0 0 1 1 1 x x x X X X X	0 0 1 1 8 X + x	2	2	(PCL) $\rightarrow$ 16x+(A) (PC $\leftarrow$ ) $\rightarrow$ 15, (PCL) $\leftarrow$ 16x+(A)	—	X	ページ内ブランチ: カレントページ内のxX番地の下位4ビットをレジスタAの内容で置換した16x+(A)番地へブランチします。 ページ15へブランチ: BM又はBMAを実行後RT、RTS、BL、BML、BLA、BMLAのいずれも実行せずにBAを実行するとページ15の16x+(A)番地へブランチします。
	BLA pxX	0 0 0 0 0 0 0 1 0 0 1 1 1 p p p p 1 1 x x x X X X X	0 0 1 0 7 p 1 8 x + x	3	3	(PC $\leftarrow$ ) $\rightarrow$ p (PCL) $\leftarrow$ 16x+(A)	—	X	ページpのxX番地の下位4ビットをレジスタAの内容で置換した16x+(A)番地にブランチします。
サ ブ ラ ン チ 呼 び 出 し 命 令	BM xy	1 0 x x x y y y y	1 x y	1	1	(SK2) $\leftarrow$ (SK1) $\leftarrow$ (SK0) $\leftarrow$ (PC) (PC $\leftarrow$ ) $\rightarrow$ 14, (PCL) $\leftarrow$ 16x+y (PC $\leftarrow$ ) $\rightarrow$ 14, (PCL) $\leftarrow$ 16x+y	—	X	ページ14のサブルーチン呼び出し: ページ14のxy番地のサブルーチン呼び出し。 ページ14内ブランチ: BM又はBMAを実行後RT、RTS、BL、BML、BLA、BMLAのいずれも実行せずにBMを実行するとページ14のxy番地へブランチします。
	BML pxy	0 0 1 1 1 p p p p 1 0 x x x y y y y	0 7 p 1 x y	2	2	(SK2) $\leftarrow$ (SK1) $\leftarrow$ (SK0) $\leftarrow$ (PC) (PC $\leftarrow$ ) $\rightarrow$ p, (PCL) $\leftarrow$ 16x+y	—	X	ページ外サブルーチン呼び出し: ページpのxy番地のサブルーチン呼び出し。
	BMA xX	0 0 0 0 0 0 0 1 1 0 x x x X X X X	0 0 1 1 x X	2	2	(SK2) $\leftarrow$ (SK1) $\leftarrow$ (SK0) $\leftarrow$ (PC) (PC $\leftarrow$ ) $\rightarrow$ 14, (PCL) $\leftarrow$ 16x+(A) (PC $\leftarrow$ ) $\rightarrow$ 14, (PCL) $\leftarrow$ 16x+(A)	—	X	ページ14のサブルーチン呼び出し: ページ14のxX番地の下位4ビットをレジスタAの内容で置換した16x+(A)番地のサブルーチン呼び出し。 ページ14内ブランチ: BM又はBMAを実行後RT、RTS、BL、BML、BLA、BMLAのいずれも実行せずにBMAを実行するとページ14の16x+(A)番地へブランチします。
	BMLA pxX	0 0 0 0 0 0 0 1 0 0 1 1 1 p p p p 1 0 x x x X X X X	0 0 1 0 7 p 1 x X	3	3	(SK2) $\leftarrow$ (SK1) $\leftarrow$ (SK0) $\leftarrow$ (PC) (PC $\leftarrow$ ) $\rightarrow$ p, (PCL) $\leftarrow$ 16x+(A)	—	X	ページ外サブルーチン呼び出し: ページpのxX番地の下位4ビットをレジスタAの内容で置換した16x+(A)番地のサブルーチン呼び出し。
リ タ ー ン 命 令	RTI	0 0 1 0 0 0 1 1 0	0 4 6	1	1	(PC) $\leftarrow$ (SK0) $\leftarrow$ (SK1) $\leftarrow$ (SK2) 割り込み制御用FFを先にもどす。	—	X	割り込みルーチンからメインルーチンへ帰ります。 割り込み制御用FFを割り込み直前の状態に復帰します。
	RT	0 0 1 0 0 0 1 0 0	0 4 4	1	1	(PC) $\leftarrow$ (SK0) $\leftarrow$ (SK1) $\leftarrow$ (SK2)	—	X	サブルーチンからメインルーチンへ帰ります。
	RTS	0 0 1 0 0 0 1 0 1	0 4 5	1	2	(PC) $\leftarrow$ (SK0) $\leftarrow$ (SK1) $\leftarrow$ (SK2)	無条件 スキップ	X	サブルーチンからメインルーチンへ帰ります。次の命令は無条件にスキップします。
	SD	0 0 0 0 1 0 1 0 1	0 1 5	1	1	(D(Y)) $\rightarrow$ 1, ただし, (Z)=1, 0 $\leq$ (Y) $\leq$ 10	—	X	ポートDのレジスタYで指定されたビットをセットします。 ただし, レジスタZの内容は1でなければなりません。
入 出 力 命 令	RD	0 0 0 0 1 0 1 0 0	0 1 4	1	2	(D(Y)) $\rightarrow$ 0, ただし, (Z)=1, 0 $\leq$ (Y) $\leq$ 10	—	X	ポートDのレジスタYで指定されたビットをリセットします。 ただし, レジスタZの内容は1でなければなりません。
	SZD	0 0 0 1 0 1 0 1 1	0 2 B	1	1	--- 1, 0 $\leq$ (Y) $\leq$ 10	(D(Y))=0	X	ポートDのレジスタYで指定されたビットの内容が"0"のとき次の命令をスキップします。ただし, レジスタZの内容は1でなければなりません。
	OSAB	0 0 0 0 1 1 0 1 1	0 1 B	1	1	(S <sub>7</sub> $\rightarrow$ S <sub>4</sub> ) $\rightarrow$ (B), (S <sub>3</sub> $\rightarrow$ S <sub>0</sub> ) $\rightarrow$ (A)	—	X	レジスタA及びレジスタBの内容をポートSへ出力します。
	OSPA	0 0 0 0 1 0 1 1 1	0 1 7	1	1	(S <sub>7</sub> $\rightarrow$ S <sub>0</sub> ) $\rightarrow$ データ用PLA $\rightarrow$ (A)	—	X	レジスタAの内容をデータ用PLA(16入力 $\times$ 8出力)でデコードし, その結果をポートSへ出力します。
	OSE	0 0 0 0 0 1 0 1 1	0 0 B	1	1	(S) $\rightarrow$ (E)	—	X	レジスタEの内容をポートSへ出力します。
	IAS i	0 0 1 0 1 0 1 0 ;	0 5 4 + i	1	1	i=0: (A) $\rightarrow$ (S <sub>7</sub> $\rightarrow$ S <sub>4</sub> ) i=1: (A) $\rightarrow$ (S <sub>3</sub> $\rightarrow$ S <sub>0</sub> )	—	X	ポートSの入力をレジスタAに転送します。イミディエイトフィールドの値が"0"のときポートSの上位4ビットが, "1"のとき下位4ビットが転送されます。
	CLD	0 0 0 0 1 0 0 1 1	0 1 3	1	1	(D) $\rightarrow$ 0	—	X	ポートDをクリアし, "L"にします。
	CLS	0 0 0 0 1 0 0 0 0	0 1 0	1	1	(S) $\rightarrow$ 0	—	X	ポートSをクリアし, "L"にします。
	CLDS	0 0 0 0 1 0 0 0 1	0 1 1	1	1	(D) $\rightarrow$ 0, (S) $\rightarrow$ 0	—	X	ポートS及びポートDをクリアし, "L"にします。
	EI	0 0 0 0 0 0 1 0 1	0 0 5	1	1	(INTE) $\rightarrow$ 1	—	X	割り込みフラグINTEをセットし割り込み受け付け可能状態にします。
	DI	0 0 0 0 0 0 1 0 0	0 0 4	1	1	(INTE) $\rightarrow$ 0	—	X	割り込みフラグINTEをリセットし割り込み受け付け禁止状態にします。
	INTH	0 0 0 0 0 0 1 1 0	0 0 6	1	1	(INTP) $\rightarrow$ 1	—	X	割り込み極性フラグINTPをセットし割り込み入力が"H"になったときに割り込みを受け付けるようにします。
INTL	0 0 0 0 0 0 1 1 1	0 0 7	1	1	(INTP) $\rightarrow$ 0	—	X	割り込み極性フラグINTPをリセットし割り込み入力が"L"になったときに割り込みを受け付けるようにします。	
その他	NOP	0 0 0 0 0 0 0 0 0	0 0 0	1	1	(PC) $\leftarrow$ (PC)+1	—	X	ノーオペレーション

6

記号	内 容	記号	内 容	記号	内 容
A	4ビットのレジスタ (アキュムレータ)	SK0	11ビットのスタックレジスタ	INTE	割り込み許可フラグ
B	4ビットのレジスタ	SK1	11ビットのスタックレジスタ	INTP	割り込み極性フラグ
C	3ビットのレジスタ	SK2	11ビットのスタックレジスタ	INT	割り込み入力信号
E	8ビットのレジスタ	OY	1ビットのキャリーフラグ	—	データの移動する方向を示します。
H	4ビットのレジスタ	xx	2ビットの2進数	( )	レジスタ, メモリなどの内容を示します。
J	15ビットのレジスタ	yyyy	4ビットの2進数	∨	排他的論理和
L	4ビットのレジスタ	z	1ビットの2進数	—	否定
X	2ビットのレジスタ	ninn	4ビットの2進数	X	命令実行後フラグが不安
Y	4ビットのレジスタ	i	1ビットの2進数	xxx	xxx yyyy番地を示すラベル
Z	1ビットのレジスタ	jj	2ビットの2進数	pxy	ppppページ内のxxx yyyy番地を示すラベル
DP	レジスタX, Y, Zからなる7ビットのデータポインタ	XXXX	4ビットの未知の2進数	OPS	DPとOYの対を選択するフラグ
PC <sub>H</sub>	上位4ビットのプログラムカウンタ	D	11ビットのポート	O	16進数O+2進数x
PC <sub>L</sub>	下位7ビットのプログラムカウンタ	K	15ビットのポート	x	
PC	PC <sub>H</sub> 及びPC <sub>L</sub> からなる11ビットのプログラムカウンタ	S	8ビットのポート		

注12. M58840-XXXPのスキップの方法はスキップが生じた場合、次の命令を無効にするのみで、プログラムカウンタ+2を実行するわけではありません。したがって、スキップが生じなくてもサイクル数は変化しません。

## SINGLE-CHIP 4-BIT MICROCOMPUTER

命令コード対応表

D <sub>8</sub> -D <sub>4</sub> 16進表記 D <sub>3</sub> -D <sub>0</sub>	0 0000	0 0001	0 0010	0 0011	0 0100	0 0101	0 0110	0 0111	0 1000	0 1001	0 1010	0 1011	0 1100	0 1101	0 1110	0 1111	1 0000 1 0111	1 1000 1 1111	
	0 0	0 1	0 2	0 3	0 4	0 5	0 6	0 7	0 8	0 9	0 A	0 B	0 C	0 D	0 E	0 F	10-17	18-1F	
0000	0	NOP	CLS	SZB 0	SEY 0	LCPS	CPAE	XAM 0	BL BML	-	-	A 0	LA 0	LXY 0,0	LXY 1,0	LXY 2,0	LXY 3,0	BM	B
0001	1	BA BMA BLA BMLA	CLDS	SZB 1	SEY 1	LCPS	CPAS	XAM 1	BL BML	-	-	A 1	LA 1	LXY 0,1	LXY 1,1	LXY 2,1	LXY 3,1	BM	B
0010	2	INY	*	SZB 2	SEY 2	SHL	RHL	XAM 2	BL BML	-	-	A 2	LA 2	LXY 0,2	LXY 1,2	LXY 2,2	LXY 3,2	BM	B
0011	3	DEY	CLD	SZB 3	SEY 3	-	-	XAM 3	BL BML	-	-	A 3	LA 3	LXY 0,3	LXY 1,3	LXY 2,3	LXY 3,3	BM	B
0100	4	DI	RD	*	SEY 4	RT	IAS 0	TAM 0	BL BML	-	-	A 4	LA 4	LXY 0,4	LXY 1,4	LXY 2,4	LXY 3,4	BM	B
0101	5	EI	SD	*	SEY 5	RTS	IAS 1	TAM 1	BL BML	-	-	A 5	LA 5	LXY 0,5	LXY 1,5	LXY 2,5	LXY 3,5	BM	B
0110	6	INTH	TEPA	SEAM	SEY 6	RTI	*	TAM 2	BL BML	-	-	A 6	LA 6	LXY 0,6	LXY 1,6	LXY 2,6	LXY 3,6	BM	B
0111	7	INTL	OSPA	*	SEY 7	*	LC7	TAM 3	BL BML	-	-	A 7	LA 7	LXY 0,7	LXY 1,7	LXY 2,7	LXY 3,7	BM	B
1000	8	CPA	XAL	*	SEY 8	RC	XAH	XAMD 0	BL BML	-	-	A 8	LA 8	LXY 0,8	LXY 1,8	LXY 2,8	LXY 3,8	BM	B
1001	9	DEC	TLA	SZJ	SEY 9	SO	THA	XAMD 1	BL BML	-	-	A 9	LA 9	LXY 0,9	LXY 1,9	LXY 2,9	LXY 3,9	BM	B
1010	A	AM	TEAB	*	SEY 10	LZ 0	*	XAMD 2	BL BML	-	-	A 10	LA 10	LXY 0,10	LXY 1,10	LXY 2,10	LXY 3,10	BM	B
1011	B	OSE	OSAB	SZD	SEY 11	LZ 1	*	XAMD 3	BL BML	-	-	A 11	LA 11	LXY 0,11	LXY 1,11	LXY 2,11	LXY 3,11	BM	B
1100	C	TYA	TBA	*	SEY 12	SB 0	RB 0	XAMI 0	BL BML	-	-	A 12	LA 12	LXY 0,12	LXY 1,12	LXY 2,12	LXY 3,12	BM	B
1101	D	TAJ	TAY	*	SEY 13	SB 1	RB 1	XAMI 1	BL BML	-	-	A 13	LA 13	LXY 0,13	LXY 1,13	LXY 2,13	LXY 3,13	BM	B
1110	E	AMC	TAB	*	SEY 14	SB 2	RB 2	XAMI 2	BL BML	-	-	A 14	LA 14	LXY 0,14	LXY 1,14	LXY 2,14	LXY 3,14	BM	B
1111	F	AMCS	*	SZC	SEY 15	SB 3	RB 3	XAMI 3	BL BML	CMA	-	A 15	LA 15	LXY 0,15	LXY 1,15	LXY 2,15	LXY 3,15	BM	B

注13. 上表は、機械語コードと機械語命令語の対応表です。D<sub>3</sub>~D<sub>0</sub>は機械語コードの下位4ビットを示し、D<sub>8</sub>~D<sub>4</sub>は、機械語コードの上位5ビットを示します。また、そのコードを16進表記したものを併記してあります。命令には、1語命令、2語命令、3語命令の3種類がありますが、各命令の第1語目のコードのみを表にまとめました。  
\*、-：このコードは使用しないでください。

14. 2語命令

第 2 語	
BL	1 1xxx yyyy -
BML	1 0xxx yyyy
BA	1 1xxx XXXX
BMA	1 0xxx XXXX

3語命令

	第 2 語	第 3 語
BLA	0 0111 pppp	1 1xxx XXXX
BMLA	0 0111 pppp	1 0xxx XXXX

## SINGLE-CHIP 4-BIT MICROCOMPUTER

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>DD</sub>	電源電圧	V <sub>SS</sub> 端子を基準電圧にした場合	0.3～-20	V
V <sub>I</sub>	入力電圧, ポートS, ポートD入力		0.3～-35	V
V <sub>I</sub>	入力電圧, ポートS, ポートD入力以外		0.3～-20	V
V <sub>O</sub>	出力電圧, ポートS, ポートD出力		0.3～-35	V
V <sub>O</sub>	出力電圧, ポートS, ポートD出力以外		0.3～-20	V
P <sub>d</sub>	消費電力		T <sub>a</sub> =25°C	700
T <sub>opr</sub>	動作周囲温度		0～70	°C
T <sub>stg</sub>	保存温度		-40～125	°C

推奨使用条件 (指定のない場合は、T<sub>a</sub>=0～70°C)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>DD</sub>	電源電圧	-16.5	-15	-13.5	V
V <sub>SS</sub>	電源電圧		0		V
V <sub>IH</sub>	"H"入力電圧	-1.5		0	V
V <sub>IH(φ)</sub>	"H"クロック入力電圧	-1.5		0	V
V <sub>IL</sub>	"L"入力電圧, ポートD, ポートS入力以外	V <sub>DD</sub>		-4.2	V
V <sub>IL</sub>	"L"入力電圧, ポートD, ポートS入力	-33		-4.2	V
V <sub>IL(φ)</sub>	"L"クロック入力電圧	V <sub>DD</sub>		V <sub>DD</sub> +2	V
V <sub>I(K)</sub>	アナログ入力電圧, ポートK入力	V <sub>REF</sub>		0	V
V <sub>REF</sub>	基準電圧	-7		-5	V
V <sub>OL</sub>	"L"出力電圧, ポートD, ポートS出力	-33		0	V
f(φ)	内部クロック発振周波数	300		600	kHz

電気的特性 (指定のない場合は、T<sub>a</sub>=0～70°C、V<sub>DD</sub>=-15V±10%、V<sub>SS</sub>=0V、f(φ)=300～600kHz)

記号	記目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>IH</sub>	"H"入力電圧, ポートD, ポートS入力		-1.5		0	V
V <sub>IL</sub>	"L"入力電圧, ポートD, ポートS入力		-33		-4.2	V
V <sub>OH</sub>	"H"出力電圧, ポートD出力	V <sub>DD</sub> =-15V, I <sub>OH</sub> =-15mA, T <sub>a</sub> =25°C	-2.5			V
V <sub>OH</sub>	"H"出力電圧, ポートS出力	V <sub>DD</sub> =-15V, I <sub>OH</sub> =-8mA, T <sub>a</sub> =25°C	-2.5			V
I <sub>I</sub>	入力電流, ポートK入力	CPAS, CPA命令を実行してないときに測定 V <sub>I</sub> =-7V			-7	μA
I <sub>I(φ)</sub>	クロック入力電流	V <sub>I(φ)</sub> =-15V, T <sub>a</sub> =25°C		-20	-40	μA
I <sub>OH</sub>	"H"出力電流, ポートD出力	V <sub>DD</sub> =-15V, V <sub>OH</sub> =-2.5V, T <sub>a</sub> =25°C			-15	mA
I <sub>OH</sub>	"H"出力電流, ポートS出力	V <sub>DD</sub> =-15V, V <sub>OH</sub> =-2.5V, T <sub>a</sub> =25°C			-8	mA
I <sub>OL</sub>	"L"出力電流, ポートD, ポートS出力	V <sub>OL</sub> =-33V, T <sub>a</sub> =25°C			-33	μA
I <sub>DD</sub>	電源電流	V <sub>DD</sub> =-15V, T <sub>a</sub> =25°C			41	mA
I <sub>REF</sub>	基準電源電流	V <sub>REF</sub> =-7V, T <sub>a</sub> =25°C			0.7	mA
C <sub>i</sub>	入力容量, ポートK入力	V <sub>DD</sub> =V <sub>I</sub> =V <sub>O</sub> =V <sub>SS</sub> , f=1MHz 25mVrms	7		10	pF
C <sub>i(φ)</sub>	クロック入力容量	V <sub>DD</sub> =X <sub>OUT</sub> =V <sub>SS</sub> , f=1MHz 25mVrms	7		10	pF
	A-D変換直線性誤差	V <sub>REF</sub> =-7V			±3	LSB
	A-D変換ゼロ誤差	V <sub>REF</sub> =-7V			±3	LSB
	A-D変換フルスケール誤差	V <sub>REF</sub> =-7V			±3	LSB

注15. 電流は、ICに流れ込む向きを正(無符号)とし、最小値及び最大値は絶対値を表示します。

## SINGLE-CHIP 4-BIT MICROCOMPUTER

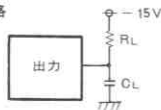
タイミング必要条件 (指定のない場合は、 $T_a = 0 \sim 70^\circ\text{C}$ 、 $V_{DD} = -15\text{V} \pm 10\%$ 、 $V_{SS} = 0\text{V}$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{su}(D-X_{IN})$	クロック入力に対するデータセットアップ時間, ポートD入力	$f(\phi) = 600\text{kHz}$	0			$\mu\text{s}$
$t_{su}(S-X_{IN})$	クロック入力に対するデータセットアップ時間, ポートS入力		0			$\mu\text{s}$
$t_{su}(K-X_{IN})$	クロック入力に対するデータセットアップ時間, ポートK入力		0			$\mu\text{s}$
$t_{su}(INT-X_{IN})$	クロック入力に対するデータセットアップ時間, INT入力		0			$\mu\text{s}$
$t_h(D-X_{IN})$	クロック入力に対するデータホールド時間, ポートD入力		0.4			$\mu\text{s}$
$t_h(S-X_{IN})$	クロック入力に対するデータホールド時間, ポートS入力		0.4			$\mu\text{s}$
$t_h(K-X_{IN})$	クロック入力に対するデータホールド時間, ポートK入力		0.4			$\mu\text{s}$
$t_h(INT-X_{IN})$	クロック入力に対するデータホールド時間, INT入力		0.4			$\mu\text{s}$
$t_r(V_{DDL})$	電源 $V_{DD}$ 立ち上がり時間, パワーオンリセット時				10	ms
$t_r(V_{REFL})$	基準電圧 $V_{REF}$ 立ち上がり時間, パワーオンリセット時				10	ms
$t_h(V_{REFH})$	基準電圧 $V_{REF}$ "H" ホールド時間, パワーオンリセット時	50			ms	

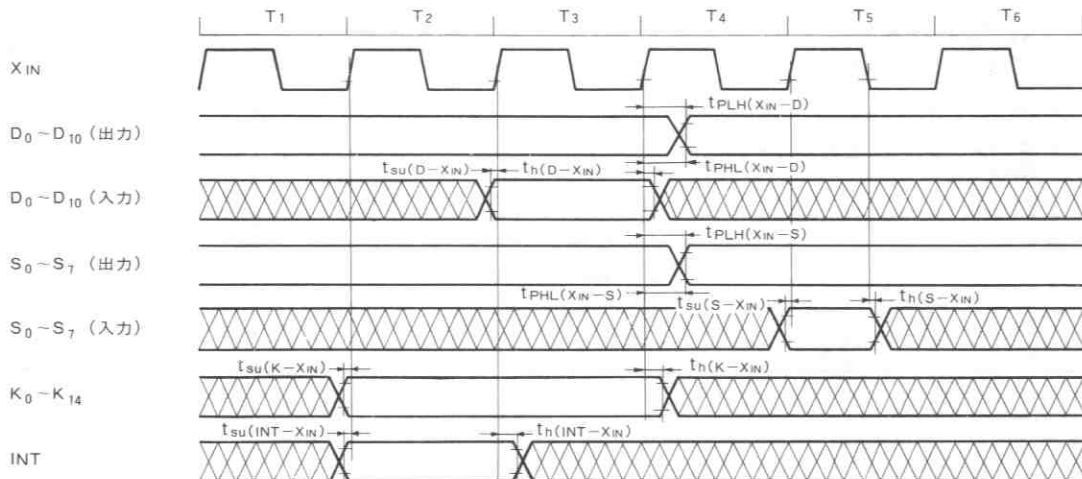
スイッチング特性 (指定のない場合は、 $T_a = 0 \sim 70^\circ\text{C}$ 、 $V_{DD} = -15\text{V} \pm 10\%$ 、 $V_{SS} = 0\text{V}$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{PLH}(X_{IN}-D)$	クロック入力・ポート間データ出力 "L-H" 伝搬時間, ポートD出力	$f(\phi) = 600\text{kHz}$ $C_L = 100\text{pF}$ (注16) $R_L = 6.8\text{k}\Omega$		0.6	1	$\mu\text{s}$
$t_{PLH}(X_{IN}-S)$	クロック入力・ポート間データ出力 "L-H" 伝搬時間, ポートS出力			0.9	1.5	$\mu\text{s}$
$t_{PHL}(X_{IN}-D)$	クロック入力・ポート間データ出力 "H-L" 伝搬時間, ポートD出力				2.6	$\mu\text{s}$
$t_{PHL}(X_{IN}-S)$	クロック入力・ポート間データ出力 "L-H" 伝搬時間, ポートS出力				2.6	$\mu\text{s}$

注16. 測定回路



## タイミング図





MELPS 4 SYSTEM EVALUATOR DEVICE

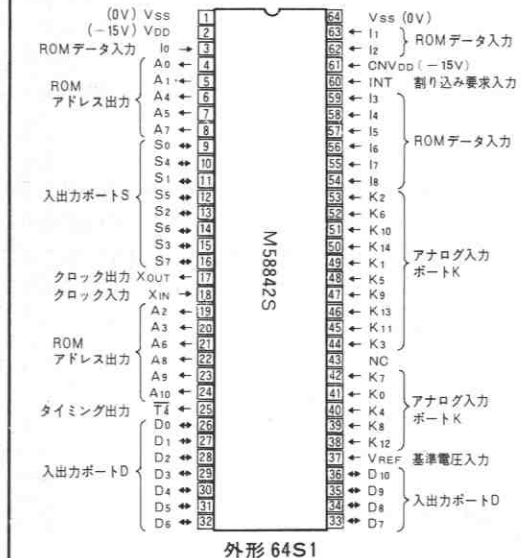
概要

M58842Sは、Pチャネルアルミゲート ED-MOS プロセスを用いて開発されたワンチップ4ビットマイクロコンピュータM58840-XXXPの評価用チップで64ピンセラミックDIPパッケージに収められています。この評価用チップは、M58840-XXXPのマスク化されたプログラムメモリROMを外部に取り出し顧客の新システムの開発が容易にできるようにしたものです。

特長

- マスクROMを除きM58840-XXXPと同様なチップ
- 大メモリ容量 RAM ..... 128語×4ビット
- -15V単一電源
- 8ビットA/D変換器内蔵 精度1.2%
- データポインタ2個内蔵
- サブルーチンのネスタング ..... 3レベル
- 割り込み機能 ..... 1要因1レベル
- クロック発生回路内蔵
- 出力デコーダのPLA (16入力×8出力)内蔵
- アナログ入力ポート (ポートK) ..... 15ビット  
タッチキー入力又はアナログ入力に使用可能
- ROMデータ入力 ..... 9ビット
- ROMアドレス出力 ..... 11ビット
- 入出力ポート (ポートS) 出力 ..... 8ビット×1  
入力 ..... 4ビット×2
- 入出力ポート (ポートD) 出力 ..... 1ビット×11  
センス入力 ..... 1ビット×11

ピン接続図 (上面図)



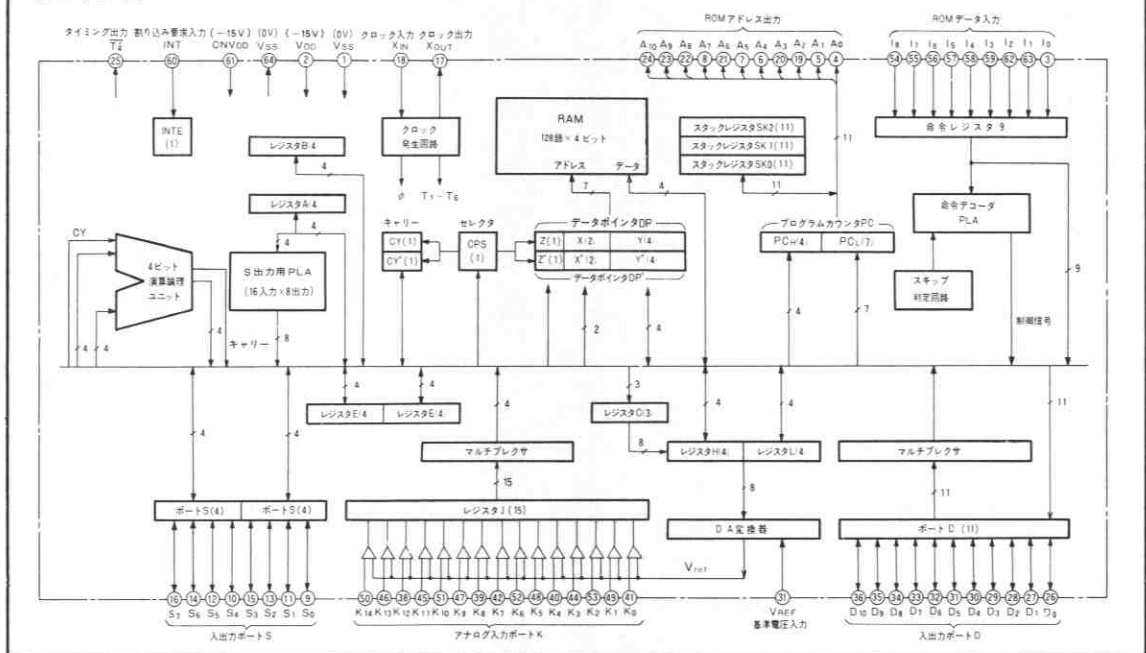
- 入出力ポート出力電圧  $V_O$  ..... -33V (最大)
- 入出力ポート出力電流  $I_{OH}$ (ポートS) ..... -8mA (最大)  
 $I_{OH}$ (ポートD) ..... -15mA (最大)

大型蛍光表示管直接駆動可能

応用

- ワンチップ4ビットマイクロコンピュータM58840-XXXPを応用したシステムの開発及び応用機器の試作

ブロック図



## MELPS 4 SYSTEM EVALUATOR DEVICE

## 機能概要

M58842Sは、ワンチップ4ビットマイクロコンピュータM58840 - XXXPのプログラムメモリROMを外付けできるようにアドレス出力(A<sub>0</sub>~A<sub>10</sub>)とインストラクション入力(I<sub>0</sub>~I<sub>8</sub>)の端子を持ち、それ以外は、M58840 - XXXPと同一機能を持っています。

ワンチップ4ビットマイクロコンピュータを機器に用いる場合には、その機器の動作をプログラム化し、それをマスク化しますが、プログラムの修正が必要となれば、多額の修正費用と時間の無駄が生じますので、マスク化する前に開発したプログラムのシミュレーションが必要です。M58842Sは、そのようなプログラムの試作用に用意された評価用チップです。

## 動作説明

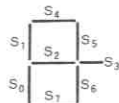
## S出力用PLA

M58842SのS出力用PLAには、次に示す標準のコードが格納されています。これは、7セグメントの数字表示に適したものです。

## ROMデータ入力

M58842Sに外部からROMコードを加えて、命令を実行させることができます。M58842SのROMアドレス出力A<sub>0</sub>~A<sub>10</sub>に、ステータスT<sub>2</sub>時にROMアドレスが出力されます。このアドレスに対応したROMデータを、ステータスT<sub>6</sub>時に、ROMデータ入力I<sub>0</sub>~I<sub>8</sub>に加えてください。命令フェッチタイミング図を参照ください。なお、この場合、CNVDD入力端子は“L”に保ってください。

## S出力用PLAコード表



16進数	レジスタ A				ポート S 出力								表示
	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	S <sub>0</sub>	S <sub>1</sub>	S <sub>2</sub>	S <sub>3</sub>	S <sub>4</sub>	S <sub>5</sub>	S <sub>6</sub>	S <sub>7</sub>	
0	0	0	0	0	H	H	L	L	H	H	H	H	0
1	0	0	0	1	L	L	L	L	L	H	H	L	1
2	0	0	1	0	H	L	H	L	H	H	L	H	2
3	0	0	1	1	L	L	H	L	H	H	H	H	3
4	0	1	0	0	L	H	H	L	L	H	H	L	4
5	0	1	0	1	L	H	H	L	H	L	H	H	5
6	0	1	1	0	H	H	H	L	H	L	H	H	6
7	0	1	1	1	L	H	L	L	H	H	H	L	7
8	1	0	0	0	H	H	H	L	H	H	H	H	8
9	1	0	0	1	L	H	H	L	H	H	H	H	9
A	1	0	1	0	H	L	H	L	L	L	H	H	0
B	1	0	1	1	L	L	L	H	L	L	L	L	—
C	1	1	0	0	H	H	H	L	H	L	L	H	E
D	1	1	0	1	H	H	L	L	H	L	L	H	⌈
E	1	1	1	0	L	L	H	L	L	L	L	L	—
F	1	1	1	1	L	L	L	L	L	L	L	L	ブランク

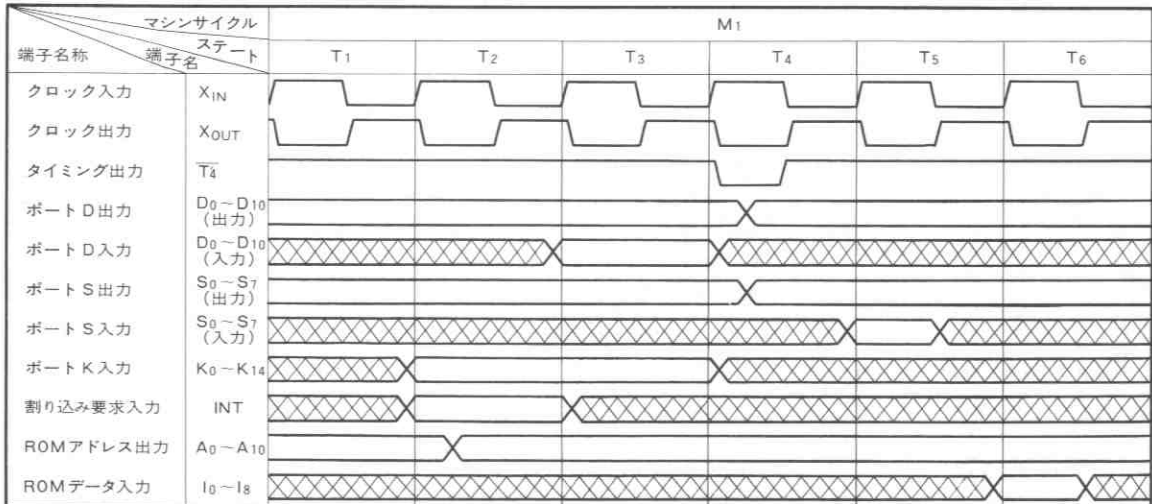
## MELPS 4 SYSTEM EVALUATOR DEVICE


## 端子の機能説明

端子名	名称	入出力	機能
K <sub>0</sub> K <sub>14</sub>	アナログ入力ポートK	入力	アナログ入力ポートKは、15の独立したアナログ入力端子を持つポートです。ポートKに印加された入力電圧は、15入力同時に、D-A変換器の出力Vrefと比較され $ V_{ref}  >  V_{K(Y)} $ のとき、レジスタJをセットします。タッチキーボードの入力又は温度等アナログ量の入力に用います。Vrefを適当に選べば、デジタル量の入力ポートとしても使用できます。
S <sub>0</sub> S <sub>7</sub>	入出力ポートS	入出力	ポートSは、8ビットの出力ポート又は2個の4ビット入力ポートとして用いられます。出力はオープンドレイン回路となっており、大型蛍光表示管のセグメントの直接駆動等に適しております。出力には8ビットのラッチがあり、同時に8ビットの駆動が可能です。ポートSの出力を“L”にプログラムすると出力がフローティング状態(高インピーダンス状態)になり、入力ポートとして用いることができます。
D <sub>0</sub> D <sub>10</sub>	入出力ポートD	入出力	ポートDは11ビットで構成され、独立したビット単位の入出力機能を持ちます。出力にはラッチ回路があり、ビット単位の出力に対し出力状態を保持します。ポートDの出力を“L”にプログラムし、出力をフローティング状態(高インピーダンス状態)にしますと、入力信号をセンスできる状態になります。入力は、入力端子の電位をセンスし、スキップ命令で“H”か“L”かを判定する方法を用います。
A <sub>0</sub> A <sub>10</sub>	ROMアドレス出力	出力	アドレス出力は、11ビットで構成され、プログラムカウンタPCから外部に取り付けられたプログラムメモリROMへのアドレスを出力する端子です。
I <sub>0</sub> I <sub>8</sub>	ROMデータ入力	入力	データ入力は9ビットで構成され、外部に取り付けられたプログラムメモリROMから命令コードを入力する端子です。
X <sub>IN</sub>	クロック入力	入力	クロック発生回路を内蔵しており、発振周波数の設定は外部にCR回路又はIF用セラミックフィルタを接続して行います。外部クロック入力を利用する場合は、クロック発振源をこの端子に接続し、X <sub>OUT</sub> 端子を開放にしてください。
X <sub>OUT</sub>	クロック出力	出力	内部クロック発振回路の出力端子で、X <sub>IN</sub> 端子との間にCR回路又はIF用セラミックフィルタを接続して発振周波数を制御します。
INT	割り込み要求入力	入力	割り込みを要求する信号です。割り込みは1レベル1要因です。割り込みがかかる入力レベルが“H”か“L”かは、プログラムで変更できます。命令INTHを実行すると“H”で、命令INTLを実行すると“L”で割り込みがかかります。割り込みがかかると、プログラムの実行はページ12の0番地に飛びます。リターン命令は命令RTIを用います。
V <sub>REF</sub>	基準電圧入力	入力	D-A変換器に外部から印加する基準電圧入力です。V <sub>REF</sub> = -7Vが標準値です。基準電圧 V <sub>REF</sub> の $(n-0.5)/256$ (nはレジスタH-Lの内容、ただしn=0のときは出力電圧は0V)の値がD-A変換により得られ、これがアナログ入力Kと比較されます。また、自動リセット信号入力としても用いられます。V <sub>REF</sub> を“H”にすると自動リセット回路が動作し、“L”にもとすとプログラムはページ0の0番地から開始されます。
T <sub>4</sub>	タイミング出力	出力	基準周波数の一部が出力されますが、この端子は素子の試験用に用いるものです。
GNV <sub>DD</sub>	GNV <sub>DD</sub> 入力	入力	この入力はV <sub>DD</sub> に接続し、必ず“L”入力(-15V)を印加してください。

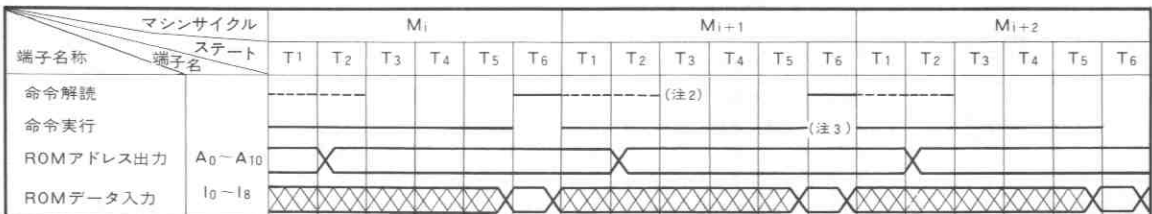
## MELPS 4 SYSTEM EVALUATOR DEVICE

基本タイミング図



注1.  は無効入力を示します。

命令フェッチタイミング

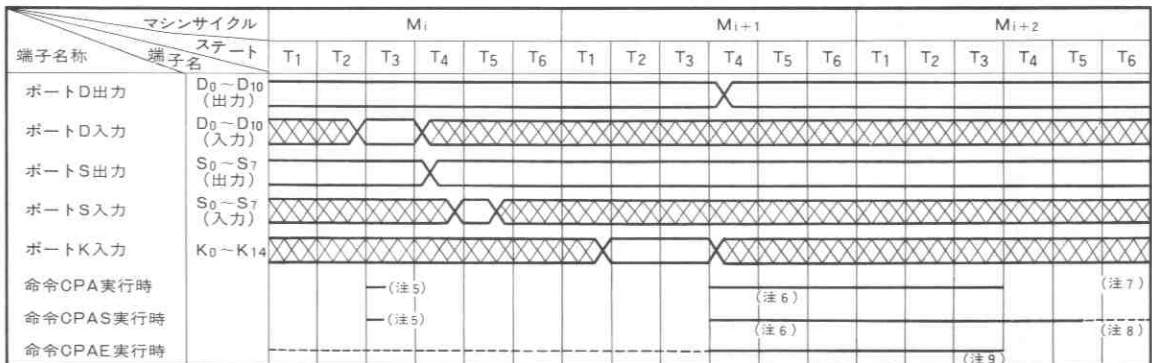


注2. 命令の種類により、命令解読時間は異なります。

3. 前サイクルのアドレスに対応する命令を実行します。

4. 命令実行とROM及びRAMのアドレッシングは並行して行われます。

入出力命令タイミング



注5. ポートKの入力をV<sub>SS</sub>(0V)と短絡し、ポートK入力に接続されている容量を放電させます。

6. ポートK入力のアナログ値を記憶し、保持します。ポートKのアナログ値と基準電圧V<sub>ref</sub>を比較します。

7. ポートK入力のアナログ値を、次の命令CPA、CPASが実行されるまでは常に入力します。

8. 命令CPAEが実行されるまで、注6の状態が続きます。なお、この期間ポートK入力のアナログ値は入力されません。精度を保つためにはこの期間は100μs以下にしてください。

9. 注8の状態が解除されます。

## MELPS 4 SYSTEM EVALUATOR DEVICE

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>DD</sub>	電源電圧	V <sub>SS</sub> 端子を基準電圧にした場合	0.3 ~ -20	V
V <sub>I</sub>	入力電圧, ポートS, ポートD入力		0.3 ~ -35	V
V <sub>I</sub>	入力電圧, ポートS, ポートD入力以外		0.3 ~ -20	V
V <sub>O</sub>	出力電圧, ポートS, ポートD出力		0.3 ~ -35	V
V <sub>O</sub>	出力電圧, ポートS, ポートD出力以外		0.3 ~ -20	V
P <sub>d</sub>	消費電力	T <sub>a</sub> =25°C	700	mW
T <sub>opr</sub>	動作周囲温度		0 ~ 70	°C
T <sub>stg</sub>	保存温度		-40 ~ 125	°C

推奨使用条件 (指定のない場合は、T<sub>a</sub>=0~70°C)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>DD</sub>	電源電圧	-16.5	-15	-13.5	V
V <sub>SS</sub>	電源電圧		0		V
V <sub>IH</sub>	"H" 入力電圧	-1.5		0	V
V <sub>IH</sub> (φ)	"H" クロック入力電圧	-1.5		0	V
V <sub>IL</sub>	"L" 入力電圧, ポートD, ポートS, INT入力以外	V <sub>DD</sub>		-4.2	V
V <sub>IL</sub>	"L" 入力電圧, INT入力	V <sub>DD</sub>		-7	V
V <sub>IL</sub>	"L" 入力電圧, ポートD, ポートS入力	-33		-4.2	V
V <sub>IL</sub> (φ)	"L" クロック入力電圧	V <sub>DD</sub>		V <sub>DD</sub> +2	V
V <sub>I(K)</sub>	アナログ入力電圧, ポートK入力	V <sub>REF</sub>		0	V
V <sub>REF</sub>	基準電圧	-7		-5	V
V <sub>OL</sub>	"L" 出力電圧, ポートD, ポートS出力	-33		0	V
V <sub>OL</sub>	"L" 出力電圧, ROMアドレス出力	V <sub>DD</sub>		0	V
f(φ)	内部クロック発振周波数	300		600	kHz

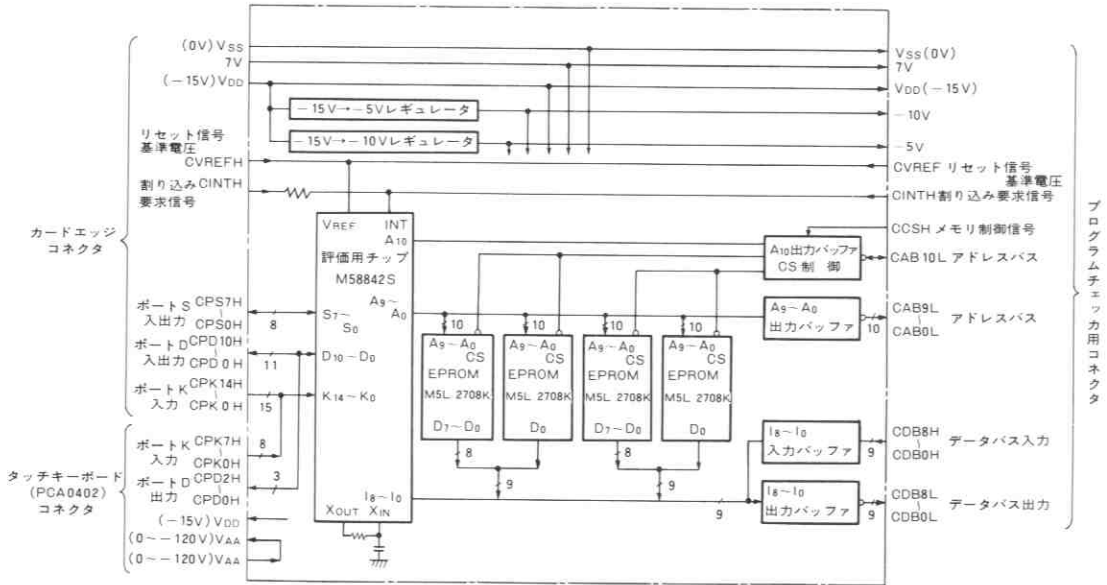
電気的特性 (指定のない場合は、T<sub>a</sub>=0~70°C、V<sub>DD</sub>=-15V±10%、V<sub>SS</sub>=0V、f(φ)=300~600kHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>IH</sub>	"H" 入力電圧, ポートD, ポートS入力		-1.5		0	V
V <sub>IH</sub>	"H" 入力電圧, ROMデータ入力		-1.5		0	V
V <sub>IL</sub>	"L" 入力電圧, ポートD, ポートS入力		-33		-4.2	V
V <sub>IL</sub>	"L" 入力電圧, ROMデータ入力		V <sub>DD</sub>		-4.2	V
V <sub>OH</sub>	"H" 出力電圧, ポートD出力	V <sub>DD</sub> =-15V, I <sub>OH</sub> =-15mA, T <sub>a</sub> =25°C			-2.5	V
V <sub>OH</sub>	"H" 出力電圧, ポートS出力	V <sub>DD</sub> =-15V, I <sub>OH</sub> =-8mA, T <sub>a</sub> =25°C			-2.5	V
V <sub>OH</sub>	"H" 出力電圧, ROMアドレス出力	V <sub>DD</sub> =-15V, I <sub>OH</sub> =-2mA, T <sub>a</sub> =25°C			-2	V
I <sub>I</sub>	入力電流, ポートK入力	CPAS, CPA命令を実行してないときに測定 V <sub>I</sub> =-7V			-7	μA
I <sub>I</sub> (φ)	クロック入力電流	V <sub>I</sub> (φ)=-15V, T <sub>a</sub> =25°C		-20	-40	μA
I <sub>OH</sub>	"H" 出力電流, ポートD出力	V <sub>DD</sub> =-15V, V <sub>OH</sub> =-2.5V, T <sub>a</sub> =25°C			-15	mA
I <sub>OH</sub>	"H" 出力電流, ポートS出力	V <sub>DD</sub> =-15V, V <sub>OH</sub> =-2.5V, T <sub>a</sub> =25°C			-8	mA
I <sub>OL</sub>	"L" 出力電流, ポートD, ポートS出力	V <sub>OL</sub> =-33V, T <sub>a</sub> =25°C			-33	μA
I <sub>OL</sub>	"L" 出力電流, ROMアドレス出力	V <sub>OL</sub> =-17V, T <sub>a</sub> =25°C			-17	μA
C <sub>i</sub>	入力容量, ポートK入力	V <sub>DD</sub> =V <sub>I</sub> =V <sub>O</sub> =V <sub>SS</sub> , f=1MHz 25mVrms		7	10	pF
C <sub>i</sub> (φ)	クロック入力容量	V <sub>DD</sub> =X <sub>OUT</sub> =V <sub>SS</sub> , f=1MHz 25mVrms		7	10	pF
	A-D変換直線性誤差	V <sub>REF</sub> =-7V			±3	LSB
	A-D変換ゼロ誤差	V <sub>REF</sub> =-7V			±3	LSB
	A-D変換フルスケール誤差	V <sub>REF</sub> =-7V			±3	LSB

注10. 電流は、ICに流れ込む向きを正(無符号)とし、最小値および最大値は絶対値を表示します。

MELPS 4 SYSTEM EVALUATOR DEVICE

応用回路例



# MELPS 41 マイクロコンピュータ

MEMBER OF THE

19





## CMOS SINGLE-CHIP 4-BIT MICROCOMPUTER

## 機能概要

M58494-XXXPは、4096語×10ビット構成のマスクROM、32語×4ビット構成のRAM、4ビット演算論理ユニット、クロック発生回路、入出力ポート、マルチプロセッサのシステム構成が可能なインターフェース、タイマ、イベントカウンタ、割り込み回路等を内蔵し、外部に最大4096語×4ビットの汎用C MOS RAMを直接接続することができるワンチップ4ビットマイクロコンピュータです。

**ROM**は128語×32ページのプログラムを格納し、プログラムカウンタでアドレス指定が行われます。プログラムカウンタは7ビットのバイナリカウンタと5ビットのページレジスタで構成され、127番地の次は、ページ指定が自動的にインクリメントされて次のページの0番地に進みます。サブルーチン及び割り込みの戻り番地は、12ビット×12レベルのスタックレジスタ(外部RAMの固定領域を使います)に記憶します。割り込みの要求があったときの飛び先番地はリセット信号の場合は0ページ0番地、INTA信号の場合は0ページ2番地、タイマ及びイベントカウンタのキャリー信号の場合は0ページ8番地、INTB信号の場合は0ページ4番地に固定されています。

**RAM**は内部データメモリとしては16語×4ビットを1ファイルとして2ファイルのデータを格納し、外部データメモリとしては最大4096語×4ビットのデータが拡張可能です。これらは12ビットのデータポインタによりアドレス指定されます。データポインタの内容は、特定命令によってスタック領域(外部RAMの固定領域を使います)に4レベルまで退避し、復帰することができます。外部RAMは、12ビットのアドレス信号、2ビットのRAM制御信号、4ビットのデータ入出力信号と直接的に接続することができます。256語×4ビットを基本構成として最大4096語×4ビットまでがアドレスできます。

**RAM**アドレス命令、RAMアキュムレータ間転送命令、演算命令、レジスタ間転送命令、入出力命令、入出力制御命令、タイマ命令等のデータ処理は、4ビット構成のレジスタA(アキュムレータ)を中心に実行されます。

アキュムレータ等で構成される、演算やデータ処理を実行する演算処理部と入出力ポート間に32ビットの汎用レジスタがあります。これは8ビットを基本構成とする4本のシフトレジスタであり、直列入力、並列入力、直列出力、並列出力の機能組み合わせを命令によって使い分け、レジスタAとレジスタB(補助レジスタ)間とのデータ転送、出力ポート又は入出力ポート間とのデータ転送、ROMのイミディエイトフィールドの8ビットの値のロード、内部の直列データの送信、外部の直列データの受信等を実行します。

**入出力ポートQ**は、8ビット構成で出力部に8ビットのラッチがあり、8ビットの汎用レジスタQと接続しています。レジスタQは、レジスタA及びレジスタBと並列に連結し、格納された直列データ又は外部直列データ入力と直

列に連結し、ROMのイミディエイトフィールドの8ビットをロードすることができ、ポートQとも連結しています。したがって、レジスタQはレジスタA及びレジスタBから転送されたデータあるいは内部又は外部の直列データ及びROMのイミディエイトフィールドの値(8ビット)を保持します。また、ポートQの入力信号8ビットのデータは、レジスタA及びレジスタBに転送することができます。ポートQとレジスタQは、入出力制御命令によって8ビット同時にデータの転送が行われます。

**入出力ポートR**は8ビット構成で、出力部に8ビットのラッチがあり、8ビットとの汎用レジスタRと接続しています。レジスタRは、直列入力レジスタQの最下位ビット出力から受信する以外は前述のレジスタQと同じ構成であり、レジスタA及びレジスタBから転送されたデータあるいは直列データ及びROMのイミディエイトフィールドの値(8ビット)を格納します。またポートRの入力信号8ビットのデータは4ビット単位でレジスタBに保持することができます。ポートRとレジスタRは、入出力制御によって8ビット同時にデータの転送を行います。

**出力ポートS**は8ビット構成で、出力部に8ビットのラッチがあり、8ビットの汎用レジスタSと接続しています。レジスタSは、直列入力をレジスタRの最下位ビット出力から受信することとポートSを入力としないこと以外は前述のレジスタQと同じ構成であり、レジスタAとレジスタBから転送されたデータあるいは直列データ及びROMのイミディエイトフィールドの値(8ビット)を保持します。ポートSとレジスタSは、入出力制御命令によって8ビット同時にデータの転送を行います。

**出力ポートT**は8ビット構成で、出力部に8ビットのラッチがあり、8ビットの汎用レジスタTと接続しています。レジスタTは、直列入力をレジスタSの最下位ビット出力から受信して、直列出力をポートDATAから送出する以外は前述のレジスタSと同じ構成であり、レジスタAとレジスタBから転送されてきたデータあるいは直列データ及びROMのイミディエイトフィールドの値(8ビット)を保持します。ポートTとレジスタTは、入出力制御命令によって8ビット同時にデータの転送を行います。

ポートQ、ポートR、ポートS及びポートTの8ビットのデータは、入出力制御命令によって各の汎用レジスタに逆転送することができます。

ポートQ及びポートRを入力あるいは出力として使用する場合には、SMR命令により入力あるいは出力モードに設定しておく必要があります。

**汎用レジスタ**を直列入力、直列出力のシフトレジスタとして使用する場合は、内部データはレジスタに格納されたイミディエイトフィールドの値がシフトされるか、あるいは0/1状態が汎用レジスタQの最上位ビットから読み込まれてシフトされ、汎用レジスタTの最下位ビットから入出力

## CMOS SINGLE-CHIP 4-BIT MICROCOMPUTER

ポートDATAを経て送信されます。外部からの直列データの受信は入出力ポートDATAで行い、汎用レジスタQの最上位ビットから読み込みます。入出力ポートCLKは通常フローティング状態ですが、出力モード時には送信するデータに同期したシフトクロックパルスを発生し、入力モード時には受信するデータに同期した外部からのシフトクロックパ

ルスを印加します。

**タイマI**は源発振周波数(1マシサイクルの1/3の逆数になります)又は外部からの基準発振周波数を受けて14分周し、正確な基準時間を発生するプリスケラとして使用します。

**タイマII**及び**イベントカウンタ**は各4ビット構成であり、単独又は組み合わせで多目的に使用することができます。

## 端子の機能説明

端子名	名称	入出力	リセット時	機能
X <sub>IX</sub>	源発振クロック入力	入力	—	クロック発振回路を内蔵しており、発振周波数の設定はIF用セラミックフィルタ等の発振基準素子をX <sub>IX</sub> 、X <sub>OUT</sub> 間に接続して行います。外部クロックを利用する場合はクロック発振源をX <sub>IN</sub> 端子に接続し、X <sub>OUT</sub> 端子は開放にしてください。
X <sub>OUT</sub>	源発振クロック出力	出力	—	
X <sub>IN</sub> '	タイマ用クロック入力	入力	—	クロック発振回路を内蔵しており、発振周波数の設定はクリスタル等の発振基準素子をX <sub>IN</sub> '、X <sub>OUT</sub> '間に接続して行います。外部からの基準入力を利用する場合は、基準時間発振源をX <sub>IN</sub> '端子に接続し、X <sub>OUT</sub> '端子は開放にしてください。タイマIの基準クロックとなります。
X <sub>OUT</sub> '	タイマ用クロック出力	出力	—	
RESET	リセット信号	入力	—	プログラムカウンタPC及びモードレジスタ群をリセットし、関連する入力ポート及び出力ポートの初期設定を行います。入出力ポートについては、この表のリセット時の欄を参照してください。
INTA	割り込み要求A信号	入力	割り込み禁止	割り込み要求の入力信号で、立ち上がりエッジによって要求を受け付けます。割り込み要求信号は、これら外部入力信号以外にもタイマII/イベントカウンタからのINT <sub>T</sub> もあり、優先順位は、RESET>INT <sub>A</sub> >INT <sub>T</sub> >INT <sub>B</sub> の順となっています。割り込み要求は各のラッチに保持していますので、見逃すことはありません。
INTB	割り込み要求B信号	入力	割り込み禁止	
EC	イベントカウンタ入力	入力	—	イベントカウンタの入力信号で、イベントモード時に2 <sup>0</sup> ~2 <sup>4</sup> 個のイベントをプログラムし、これをスタート値としてカウントダウンし、Fになると割り込み要求信号INT <sub>T</sub> を発生します。
AP	イベントカウンタ出力	出力	"H"レベル	通常はフローティング状態の出力ポートであり、1+{(2 <sup>0</sup> ~2 <sup>4</sup> )}×マシサイクルで与えられるプログラマブル(タイマII)な周期で、ワンショットパルスを発生することができます。ワンショットパルスの極性は、モードを切り換えることによって正極性あるいは負極性を得ることができます。
A <sub>0</sub> ~A <sub>11</sub>	アドレス出力ポートA	出力	フローティング	外部に接続するメインメモリ(RAM)用のアドレス信号であり、3ステートの出力です。外部メモリを使用するMMモード時にはデータポイントDPの内容が直接出力され、内部メモリ(RAM)を使用するSMモード時には、MMモードに突る直前のデータポイントAの内容を補助用のラッチ(4ビット)に転送してから出力します。但し、データポイントX及びZはラッチ動作に関係しませんので、アドレス信号の下位8ビットA <sub>0</sub> ~A <sub>7</sub> はモードの影響は受けません。
D <sub>0</sub> ~D <sub>3</sub>	データ入出力ポートD	入出力	フローティング	3ステートの入出力ポートであり、外部に接続するメインメモリ(RAM)と4ビット単位でデータのやりとりを実行します。入力又は出力としての切り換えは命令によって自動的にいきます。
OD	外部RAMリード信号	出力	フローティング	3ステートの出力ポートであり、外部に接続するメインメモリ(RAM)のデータを読み込む場合に発生するリード信号です。読み込み時には命令によって自動的に"L"レベルになります。
R/W	外部RAMライト信号	出力	フローティング	3ステートの出力ポートであり、外部に接続するメインメモリ(RAM)にデータを書き込む場合に発生するライト信号です。書き込み時には命令によって自動的に"L"レベルになります。
U <sub>0</sub> ~U <sub>3</sub>	出力ポートU	出力	フローティング	1ビット単位で3ステートの設定ができる出力ポートです。3ステートの状態はレジスタBの内容で修飾し、レジスタAの内容を出力しますが、ポートUの出力設定は、SU命令で無条件に行う場合と、汎用レジスタの内容をポートQ、R、S、Tに転送するTPRA、TPRN命令で行うことができます。
Q <sub>0</sub> ~Q <sub>7</sub>	入出力ポートQ	入出力	入力	8ビットのレジスタQとの間でデータの転送ができる入出力ポートであり、レジスタQはレジスタA及びレジスタBとの間でデータの転送を行うことができます。OPI命令によりROMのイメージフィールドの値(8ビット)をレジスタQにロードする機能もあります。ポートQを8ビットの入力信号としてレジスタA及びレジスタBに転送することができます。
R <sub>0</sub> ~R <sub>7</sub>	入出力ポートR	入出力	入力	8ビットのレジスタRとの間でデータの転送ができる入出力ポートであり、レジスタRはレジスタA及びレジスタBとの間でデータの転送を行うことができます。OPI命令によりROMのイメージフィールドの値(8ビット)をレジスタRにロードする機能もあります。ポートRを4ビット単位の入力信号として使用する場合には各4ビットのデータをレジスタBに転送することができます。
S <sub>0</sub> ~S <sub>7</sub>	出力ポートS	出力	"L"レベル	8ビットのレジスタSとの間でデータの転送ができる出力ポートであり、レジスタSはレジスタA及びレジスタBとの間でデータの転送を行うことができます。OPI命令によりROMのイメージフィールドの値(8ビット)をレジスタSにロードする機能もあります。
T <sub>0</sub> ~T <sub>7</sub>	出力ポートT	出力	"L"レベル	8ビットのレジスタTとの間でデータの転送ができる出力ポートであり、レジスタTはレジスタA及びレジスタBとの間でデータの転送を行うことができます。OPI命令によりROMのイメージフィールドの値(8ビット)をレジスタTにロードする機能もあります。
DATA	直列データポート	入出力	フローティング	通常はフローティングな入出力ポートで、32ビットの汎用レジスタの直列データを取り扱います。出力モード時には、汎用レジスタの最下位ビット(レジスタTの最下位ビット)の内容が出力され、入力モード時には、汎用レジスタの最上位ビット(レジスタQの最上位ビット)への入力になります。
CLK	直列データシフトクロック信号	入出力	フローティング	通常はフローティングな入出力ポートで、前述の直列データポートに同期したシフトクロックパルスを与えます。出力モード時には、データの送信に同期したシフトクロックパルスを発生し、入力モード時にはデータの受信レベルに同期したシフトパルスを印加します。

## CMOS SINGLE-CHIP 4-BIT MICROCOMPUTER

## 基本機能ブロックと動作説明

## プログラムカウンタPC

プログラムカウンタは12ビットからなり、上位5ビットのページレジスタと下位7ビットのバイナリカウンタで構成され、4096語×10ビットのプログラムマスクROMのアドレスを指定し、ROMに書かれている命令の読み出しシーケンスを決定します。ROMは32ページ×128語で構成され、127番地の次は、ページ指定が自動的にインクリメントされた次のページの0番地に進みます。プログラムカウンタのページレジスタには、BL、BA、BM、BMA命令によりレジスタPの内容がロードされます。バイナリカウンタは命令を1つ実行するごとにインクリメントされますが、B、BL、BM命令実行時にはROMのイミディエイトフィールドの値がロードされて指定の番地の値になります。BA、BMA命令実行時には、バイナリカウンタの上位4ビットにレジスタAの内容がロードされ、下位3ビットにはイミディエイトフィールドの値をロードして、レジスタAの内容で修飾された多ブランチを行うことができます。

レジスタPには、ROMのイミディエイトフィールドの値(5ビット)をロードするLP命令、レジスタAとキャリーフラグCYとの間でデータの転送を行うTPAC、TACP命令があります。

プログラムカウンタPCの12ビットの内容は、BM、BMA命令の実行時に外部メインメモリ(RAM)の固定されたスタック領域に12段まで退避でき、RT、RTS、RTI命令の実行時にブランチ前のプログラムカウンタの内容を引き出してもとのルーチンに戻します。

割り込み要求があった時の飛び先番地と4要因の優先順位は以下のように固定です。

- (1) リセット信号による要求の場合、 0 ページ 0 番地
- (2) 割り込み信号INT<sub>A</sub>の場合、 0 ページ 2 番地
- (3) 割り込み信号INT<sub>T</sub>の場合、 0 ページ 8 番地
- (4) 割り込み信号INT<sub>B</sub>の場合、 0 ページ 4 番地

INT<sub>T</sub>はタイマII及びイベントカウンタからの割り込み要求信号です。

BMAB命令はデータ変換あるいはROMをデータテーブルとして容易に取り扱う目的のために設けた命令であり、通常OPI命令とペアで用いることによって2マシンサイクルで、レジスタA及びレジスタBの内容でアドレスされたROMのイミディエイトフィールドの8ビットの値を、任意の汎用レジスタ(レジスタQ、R、S及びT)にロードすることができます。

BMAB命令は12ビットのPCの下位4ビットをレジスタAで、中位4ビットをレジスタBで、上位4ビットを5ビットのレジスタPの上位4ビットの内容に置き換えた番地に無条件にブランチし、ブランチ先のOPI命令を実行すると同時に、自動的にリターンします。OPI命令は、4本の8ビットの汎用レジスタのうち入出力アドレスNで選択され

たレジスタにイミディエイトフィールドの値(8ビット)をロードします。入出力アドレスNは、BMAB、TNAB、TABN、TPRN、TRPN命令の実行時にイミディエイトフィールドの下位2ビットの内容をラッチしたものであり、OPI命令実行時にデータをロードするレジスタを決定するものです。

OPI命令を単独で用いることもできるように入出力アドレスNは、TACM、TCMA命令によってキャリーフラグCY及びモードフラグMFとともにレジスタAとのデータのやりとりを行い、割り込み時のデータの退避と復帰ができるようになっています。

表1. 入出力アドレスNと汎用レジスタの関係

入出力 アドレス	BMAB、TNAB、TABN、TPRN、TRPN命令 実行時のイミディエイトデータ:N		選択され る汎用レ ジスタ
N	I <sub>1</sub>	I <sub>0</sub>	
0	0	0	レジスタQ
1	0	1	レジスタR
2	1	0	レジスタS
3	1	1	レジスタT

## スタックポインタSP

プログラムカウンタPCの退避領域として外部メインメモリ(RAM)の中の固定アドレスに12段のスタックが用意されており、スタックポインタがアドレスします。スタックポインタの内容は、割り込み時あるいはBM、BMA命令の実行時にインクリメントされ、RT、RTS、RTI命令の実行時にデクリメントされます。

## データポインタDP

データメモリをアドレスする12ビットのレジスタで、各4ビットのレジスタX、レジスタY、レジスタZで構成されています。レジスタXは、16語を1ファイルと見たてた16ファイルをアドレスするレジスタであり、下位2ビットはTAM、XAM、XAMD、XAMI命令の実行時にイミディエイトフィールドの2ビットと排他的論理和をとって次のファイル指定を修飾することができます。レジスタYは、1ファイル16語のデータを語単位でアドレスするレジスタであり、INY、DEY、XAMI、XAMD、TSMI、TMSI命令実行時に演算ユニットによってインクリメント、デクリメントされ、ファイルの境界である0又はFに結果がなったときには次の命令の実行をスキップします。レジスタZは、16ファイルを1単位(256語×4ビット)として、最大16個(4096語×4ビット)までデータメモリを拡張できるようにアドレス指定を行います。

外部メインメモリ(最大4096語×4ビット)と内部スクラッチパッドメモリ(32語×4ビット)のアドレスは同一に指定されますので、MM命令で外部メインメモリを、SM命令で内部スクラッチパッドメモリを選択します。

データポインタDPの内容は、SDP命令の実行時に外部メインメモリの固定されたスタック領域に4段まで退避させることができ、LDP命令により回復させることができま

## CMOS SINGLE-CHIP 4-BIT MICROCOMPUTER

す。外部メインメモリ用のアドレス信号A<sub>0</sub>~A<sub>11</sub>は、割り込み時あるいはBM、BMA、RT、RTS、RTI、SDP、LDP命令の実行時を除いて、MMモードではDPの内容を出力し、SMモードではA<sub>0</sub>~A<sub>7</sub>を除いてMMモードからSMモードに切り換わる直前の内容を出力部の補助用ラッチにラッチしてから出力します。割り込み時あるいはBM、BMA、RT、RTS、RTI、SDP、LDP命令の実行時では、モードとは無関係に下図に示すようにZ=0(外部基本メインメモリ)、X=D、EあるいはF、YはプログラムカウンタPCのスタックポイントSP又はイミーディエイトフィールドの値(データポイントの退避レベルを示す)で指定される部分アドレスが確保されます。スタック領域は、データポイントスタックが使用されない場合には、全領域をプログラムカウンタスタックとして用いることができます。

図1. 外部の基本メインメモリ(Z=0)とRAMマップ

レジスタX	ファイル 指定																
レジスタY	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
番 地 指 定	0														PC <sub>L</sub>	PC <sub>M</sub>	PC <sub>H</sub>
	1																
	2																
	3																
	4																
	5																
	6																
	7																
	8																
	9																
	A																
	B																
C														Y	X	Z	
D																	
E																	
F																	

P C スタック (12 段)  
D P スタック (4 段)

表2. データポイントスタックのアドレス指定

SDP、LDP命令時のイミーディエイトフィールドの値: j		DPスタック (レジスタYで指定) (されるファイル)
i <sub>1</sub>	i <sub>0</sub>	
0	0	C
0	1	D
1	0	E
1	1	F

SMモードで内部スクラッチパッドメモリをアドレスするときには、レジスタYの4ビットとレジスタXの最下位ビットの計5ビットのみを使用します。

## アキュムレータ(レジスタA)、キャリーフラグCY

レジスタAは、マイクロコンピュータの中心となるアキュムレータで4ビットで構成されます。演算、データ転送、データ交換、データ変換、入出力等のデータ処理はこのレジスタを中心に実行されます。

キャリーフラグCYは特定演算命令実行時に演算ユニットの最上位ビットよりのキャリー又はボローを格納します。また、1ビットのフラグとして多目的に使うことができます。

## 補助レジスタ(レジスタB)

レジスタBは4ビット構成で、ビット操作機能、4ビットデータの一時記憶、レジスタAとともに8ビットデータの転送等に使用します。

## 4ビット演算論理ユニット

4ビット演算及び論理演算を行うユニットで、4ビットの加算器とそれに関連する論理回路で構成されます。加算、補数変換、論理演算比較、算術演算比較及びビット処理等を行います。

### タイマ及びイベントカウンタ

14ビットのタイマI、4ビットのタイマII、4ビットのイベントカウンタとで構成されています。

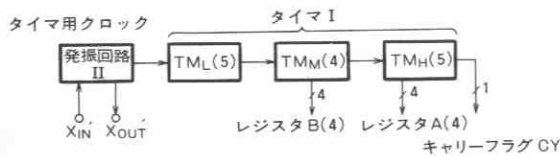
タイマIはタイマ用クロック発振回路(X<sub>IN</sub>'、X<sub>OUT</sub>)で発振あるいはX<sub>IN</sub>'に印加される周波数を14分周してカウントアップする基準タイマであり、

(タイマ用発振入力X<sub>IN</sub>'の周期)X

$$2^5(TML) \times 2^4(TMM) \times 2^5(TMh)$$

で与えられる周期で正確なカウントを繰り返しています。TATM命令及びTBTM命令を連続して用いることによりTMMの内容をレジスタBに、TMhの下位4ビットの内容をレジスタAに、TMhの上位1ビットをキャリーフラグCYに格納して、タイマIのカウント内容を知ることができます。RTM命令は、タイマIをクリアし0をプリセットする命令です。

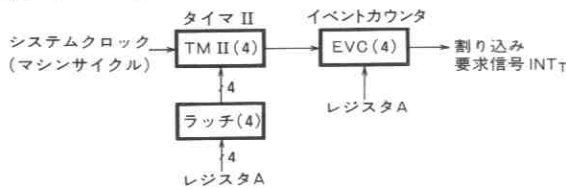
図2. タイマIの構成概要



タイマIIは4ビットのカウンタと4ビットのラッチで構成されており、STM命令でレジスタAの内容がスタート値としてラッチ及びカウンタに格納されて、以降マシンサイクルと同期してカウントダウンされます。カウントダウンされた結果のカウンタの内容がFになると、再びプログラムされたスタート値がラッチからカウンタに格納されます。

図3. タイマIIとイベントカウンタの構成概要

(1)タイマモード……SMR1命令でTMM=1を設定した場合



(2)イベントモード……SMR1命令でTMM=0を設定した場合



タイマIIの繰り返し周期は、次式で与えられます。

$$\text{マシンサイクル} \times \{1 + (2^0 \sim 2^4)\}$$

SMR1命令によってタイマモードが設定されているときには、タイマIIとイベントカウンタが連結され、タイマIIの内容がFになるたびにイベントカウンタがカウントダウンします。イベントカウンタには、SEC命令によってレジスタAの内容をスタート値として格納しておくことができます。

SMR1命令によってイベントモードが設定されているときには、外部のイベントカウンタ入力ECの立上りエッジによって、イベントカウンタがカウントダウンされます。

タイマモード及びイベントモードとも、イベントカウンタはスタート値からカウントダウンされ、結果がFになると割り込み要求信号INT\_Tが発生します。スタート値からINT\_Tが発生するまでの時間は、次式で与えられます。

タイマモード

$$\text{マシンサイクル} \times \{1 + (2^0 \sim 2^4)\} \times (2^0 \sim 2^4)$$

イベントモード

$$\text{EC入力の周期} \times (2^0 \sim 2^4)$$

直列データを送信するときにデータの送信に同期して発生されるシフトクロックパルスCLK及びイベントカウンタ出力APの発生周期は、タイマIIでプログラムされた周期で与えられます。CLK出力は、SMR1命令でSDM=1、RVM=0のモードを設定し、SST、RST命令の実行によってタイマIIのラッチの内容で決まる周期で発生します。APは、SMR2命令で設定されるモードとタイマIIの出力の組み合わせで発生しますが、これについては、後述のモードレジスタで詳しく説明します。



## CMOS SINGLE-CHIP 4-BIT MICROCOMPUTER

## 汎用レジスタ(Q、R、S、T)

汎用レジスタは8ビットを基本レジスタとする4本のシフトレジスタであり、直列入力、直列出力、並列入力、並列出力の機能の組み合わせを命令によって使い分けて、レジスタA及びレジスタB間とのデータ転送、出力又は入出力ポート間とのデータ転送、ROMのイミディエイトフィールドの値(8ビット)の格納、内部の直列データの送信、外部の直列データの受信等に使用します。

汎用レジスタを32ビットのシフトレジスタとして使用する場合は、SMR1命令によって表3に示す4種類のモードを設定することができます。シフト命令の中には、シフトレジスタの入力を1にセットして全体のデータをシフトするSST命令と入力を0にリセットして全体のデータをシフトするRST命令及び直列データ入力DATAを読み込みながらシフトするIST命令とがあります。IST命令はSDM=0、RVM=1モード時を除いて、入力又は出力であるDATA端子のデータを直列データとして読み込みます。SDM=0、RVM=1モード時には、クロック入力CLKの立ち上りエッジでデータを読み込み、シフトしますが、CLKの立ち上りエッジの検出を内部のクロックパルスを用いて発生していますので、マシンサイクルよりも早い転送速度をもったデータの受信には応答できませんので注意してください。SDM=1、RVM=0モード時には、汎用レジスタの最下位ビットからタイマIIにプログラムされた周期で発生されるクロックパルス出力CLKに同期した出力が送信されます。SDM=1、RVM=1モード時には、汎用レジスタの最下位ビットからシフト命令に同期した出力が送信されます。

TNAB命令は、レジスタA及びレジスタBの8ビットデータをイミディエイトフィールドの2ビットが表現する入出力アドレスNで指定された1つのレジスタに格納します。

TABN命令は、イミディエイトフィールドの2ビットが表現する入出力アドレスNで指定された1つのレジスタの8ビットデータをレジスタA及びレジスタBに転送します。

OPI命令は、プログラムカウンタの機能説明で述べたようにBMAB命令とペア又は単独に用いることによって、イミディエイトフィールドの値(8ビット)を、入出力アド

レスNで指定された1つのレジスタに格納することができます。

TPRN命令は、入出力アドレスNで指定されたレジスタの内容を入出力アドレスNに対応する出力ポートのラッチに格納して出力します。

TPRA命令は、32ビットのレジスタの内容を一斉に対応する全ての出力ポートのラッチに格納して出力します。

TRPN命令は、入出力アドレスNで指定された出力ポートのラッチの内容を入出力アドレスNに対応するレジスタに逆格納することができます。

## 割り込み機能

4要因1レベルのハードウェア割り込み機能があります。割り込み要求は、外部信号としてRESET信号、割り込み要求信号INT<sub>A</sub>及びINT<sub>B</sub>があり、内部のイベントカウンタによる割り込み要求信号INT<sub>T</sub>とがあります。これらの優先順位は次のように決められています。

$$\text{RESET} > \text{INT}_A > \text{INT}_T > \text{INT}_B$$

割り込み許可命令には、EIA、EIB、EIAB、EIT命令があり、割り込み禁止命令には、DIA、DIB、DIAB、DIT命令がありますが、RESET信号はいかなる命令とも関係なくハードウェアの初期状態の設定を行います。

割り込み受付可能状態のとき、割り込み要求信号INT<sub>A</sub>及びINT<sub>B</sub>は信号の立ち上りエッジで受け付けます。割り込み禁止状態に割り込みの要求があると、割り込み処理は実行されませんが割り込みの要求がラッチに保持されているので、あとで割り込み禁止状態を解除して該当する割り込み許可命令を書くと、直ちに割り込みルーチンが実行されます。ただし、割り込み禁止状態中に保持された割り込み要求は、該当する割り込み禁止命令でリセットされます。

4要因の割り込み要求が同時に2つ以上あった場合には、優先度の上位の割り込み処理に移行し、下位の割り込み要求は保持され割り込み禁止状態になります。上位の割り込み処理が終了したあとで割り込み許可命令により割り込み禁止状態が解除されますと、保持されている中で次に優先度の高い割り込み要求の処理が開始されます。

表3. 汎用レジスタを32ビットシフトレジスタとして使用する場合のSMR1命令によるモード設定

モードフラグ	SDM	0	0	1	1
	RVM	0	1	0	1
DATA端子		入 力	入 力	出 力	出 力
CLK端子		フローティング	入力(立ち上りエッジで入力)	出力(タイマIIで発生)	出力(シフト命令で発生)
シフトデータ	SST, RST	イミディエイトデータ	DATA端子入力	イミディエイトデータ	イミディエイトデータ
入 力	IST	DATA端子入力		DATA端子出力	DATA端子出力
シフトクロックパルス		SST, RST, IST命令	CLK入力	SST, RST, IST命令	SST, RST, IST命令
送受信		受信 (IST命令のときだけ)	受 信	送 信	送 信

## CMOS SINGLE-CHIP 4-BIT MICROCOMPUTER

## モードレジスタ

モードレジスタは10ビットで構成され、レジスタAのビットに対応するモードフラグをセットあるいはリセットすることにより、関連する入力ポート又は出力ポートの動作モードや機能等を切り換えることができます。

SMR命令によるモードの設定を表5に示します。

モードフラグIMQは、入出力ポートQを入力ポートとして使用するか出力ポートとして使用するかを選択するフラグです。

モードフラグIMR<sub>1</sub>及びIMR<sub>2</sub>は、入出力ポートRを4ビット単位の入力ポートとして使用するか出力ポートとして使用するかを選択するフラグです。

モードフラグLCDは、出力ポートUを活性化させる命令を選択するフラグで、0の場合はSU命令のみが有効であり1の場合はSU命令だけでなく、汎用レジスタの内容を出力ポートに格納し出力するTPRN、TPRA命令でもポートUの設定ができます。ポートUは表4に示すようにレジスタBの内容でビット毎に3ステートの状態にできます。たとえば、LCD=1でTPRA命令を用いれば、ポートUをコモン出力とし、ポートQ、R、S、Tをセグメント出力とすると1/2電圧均一化法による1/2デューティの液晶表示パネルの駆動ができます。

SMR1命令によるモードの設定を表6に示します。

モードフラグTMMは、イベントカウンタを単独のイベン

トモードで使用するか、タイマIIと連結してタイマモードで使用するかを選択するフラグです。

モードフラグBFは、外部メインメモリ(RAM)用の3ステートの信号A<sub>0</sub>~A<sub>11</sub>、D<sub>0</sub>~D<sub>3</sub>、OD、R/Wの全てを強制的にフローティングするか又は活性化するかを選択するフラグです。

モードフラグRVM及びSDMは、32ビットの汎用レジスタをシフトレジスタとして使用する場合に、送受信、入出力ポートであるDATA端子及びCLK端子の機能等を切り換えるためのフラグです。詳しくは汎用レジスタでの説明を参照してください。

SMR2命令によるモードの設定を表7に示します。

モードフラグSAP、IDPとも出力ポートAPに関するフラグで、SAP=0のときはフラグIDPの内容が出力される単独出力ポートとなり、SAP=1のときはフラグIDPとタイマIIの出力の組み合わせで決まる3ステート出力として使用することができます。

表4. LCDモードにおける出力ポートUの3ステート状態の設定

レジスタBの内容	レジスタAの内容	ポートUの状態 (SU, TPRN, TPRA実行時)
0	0	フローティング
0	1	フローティング
1	0	0
1	1	1

注. レジスタA, B, ポートUとも同じ重みのビット毎に対応します。

表5. SMR命令によるモードの設定

レジスタAのビット	モードフラグ (レジスタAの内容を格納)	ステータス	機能	リセット時のモードフラグ
A <sub>0</sub>	IMQ	0	ポートQを8ビットの入力ポートとして使用します。	0
		1	ポートQを8ビットの出力ポートとして使用します。	
A <sub>1</sub>	LCD	0	出力ポートUに関してSU命令のみが有効です。	0
		1	出力ポートUに関して、出力ポートQ、R、S、Tに関するTPRN、TPRA命令でもポートUの設定ができます。	
A <sub>2</sub>	IMR <sub>1</sub>	0	ポートR <sub>1</sub> を4ビットの入力ポートとして使用します。	0
		1	ポートR <sub>1</sub> を4ビットの出力ポートとして使用します。	
A <sub>3</sub>	IMR <sub>2</sub>	0	ポートR <sub>2</sub> を4ビットの入力ポートとして使用します。	0
		1	ポートR <sub>2</sub> を4ビットの出力ポートとして使用します。	

表6. SMR1命令によるモードの設定

レジスタAのビット	モードフラグ (レジスタAの内容を格納)	ステータス	機能	リセット時のモードフラグ
A <sub>0</sub>	TMM	0	イベントモード; イベントカウンタをEC入力で使用します。	0
		1	タイマモード; イベントカウンタをタイマIIと連結して使用します。	
A <sub>1</sub>	BF	0	外部メインメモリ(RAM)用の信号(A <sub>11</sub> ~A <sub>0</sub> , D <sub>3</sub> ~D <sub>0</sub> , OD, R/W)の全てを、強制的にフローティングにします。	0
		1	外部メインメモリ(RAM)用の信号(A <sub>11</sub> ~A <sub>0</sub> , D <sub>3</sub> ~D <sub>0</sub> , OD, R/W)の全てが活性化されます。	
A <sub>2</sub>	RVM	0	汎用レジスタを32ビットのシフトレジスタとして使用する場合に、RVM、SDMフラグによって、送受信、DATA端子、CLK端子の機能を使い分けています。詳しくは、汎用レジスタの項で説明していますので参照してください。	0
		1		
A <sub>3</sub>	SDM	0		0
		1		



## CMOS SINGLE-CHIP 4-BIT MICROCOMPUTER

表7. SMR 2 命令によるモードの設定

レジスタAのビット	モードフラグ (レジスタAの内容を格納)	ステータス	機能	リセット時の モードフラグ
A <sub>0</sub>	IDP	0	フラグSAPやタイマIIの出力との組み合わせで出力ポートAPの出力となります。下表を参照してください。	0
		1		
A <sub>1</sub>	SAP	0	出力ポートAPにフラグIDPの内容を出力します。	0
		1	フラグIDPとタイマIIによって、出力ポートAPを3ステート出力として用います。	
A <sub>2</sub>	—	—	—	—
A <sub>3</sub>	—	—	—	—

モードフラグ		タイマIIの出力	出力ポートAP
IDP	SAP		
0	0	0/1	0
1	0	0/1	1
0	1	1	0
1	1	1	1
0	1	0	フローティング
1	1	0	フローティング

## M58494-XXXPの性能概要

項目	性能		
基本命令数	92		
基本命令実行時間	6.6 $\mu$ s( $V_{CC}=5V$ , $f=455kHz$ のとき)		
クロック周波数	200~455kHz		
メモリ容量	ROM	4096語×10ビット	
	RAM(内蔵)	32語×4ビット	
	RAM(外部)	4096語×4ビット(最大)	
外部RAM用 入出力ポート	アドレス(ポートA)	12ビット×1(3ステート)	
	制御信号(ポートOD, R/W)	2ビット(3ステート)	
	データバス(ポートD)	4ビット×1(3ステート)	
入出力ポート	Q	入力	8ビット×1
		出力	8ビット×1
	R	入力	4ビット×2
		出力	8ビット×1
	S	出力	8ビット×1
	T	出力	8ビット×1
	DATA	直列データ	1ビット(入出力ポート)
	CLK	同期パルス	1ビット(入出力ポート)
	U	出力	4ビット×1(3ステート)
	EC	入力	1ビット
	AP	出力	1ビット(3ステート)
XIN	入力	1ビット	
サブルーチンネスタング	12段		
割り込み要求	4要因1レベル		
データポインタの退避	4段		
クロック発生回路	内蔵(発振基準素子は外付)		
ポート 入出力特性	入出力耐電圧	$V_{CC}$	
	入出力特性	CMOSロジックシリーズと互換性	
電源電圧	$V_{CC}$	5V(標準)	
	$V_{SS}$	0V	
素子構造	CMOS		
パッケージ	68ピンプラスチックモールドフラットパッケージ		
消費電力	5mW( $V_{CC}=5V$ , 455kHz動作時)		

注. ユーザの要求仕様に合せて使用ポートをきめさせていただきます。

## CMOS SINGLE-CHIP 4-BIT MICROCOMPUTER

機械語命令一覧表

項目 分類	命令記号	命令コード		語 数	サイ クル 数	機 能 説 明	スキップ条件	フ ラ グ Y
		lg8 l76l54 l32l10	16進 表記					
RAM アドレス命令	MM	00 1000 0010	082	1	1	(MF) $\leftarrow$ 1, 外部メインメモリを選択します。	—	—
	SM	00 1000 0000	080	1	1	(MF) $\leftarrow$ 0, 内部スラッチバットメモリを選択します。	—	—
	LY y	01 1000 yyyy	18y	1	1	(Y) $\leftarrow$ y, ただし Y = 0 ~ 15	連続記述	—
	LX x	01 1011 xxxx	18x	1	1	(X) $\leftarrow$ x, ただし x = 0 ~ 15	連続記述	—
	LZ z	01 1010 zzzz	1Az	1	1	(Z) $\leftarrow$ z, ただし z = 0 ~ 15	連続記述	—
	INY	00 0111 1100	07C	1	1	(Y) $\leftarrow$ (Y)+1	(Y)=0	—
	DEY	00 0111 1000	078	1	1	(Y) $\leftarrow$ (Y)-1	(Y)=15	—
	TAY	00 0010 0000	020	1	1	(A) $\leftarrow$ (Y)	—	—
	TAX	00 0010 0010	022	1	1	(A) $\leftarrow$ (X)	—	—
	TAZ	00 0010 0011	023	1	1	(A) $\leftarrow$ (Z)	—	—
	TYA	00 0100 0000	040	1	1	(Y) $\leftarrow$ (A)	—	—
	TXA	00 0100 0010	042	1	1	(X) $\leftarrow$ (A)	—	—
	TZA	00 0100 0011	043	1	1	(Z) $\leftarrow$ (A)	—	—
SDP j	00 0111 01jj	074 + j	1	3	(Mj) $\leftarrow$ (DP), ただし j = 0 ~ 3	—	—	
LDP j	00 1111 01jj	0F4 + j	1	3	(DP) $\leftarrow$ (Mj), ただし j = 0 ~ 3	—	—	
レジスタ 間転送命令	TSM	00 1011 1100	0BC	1	1	(SM(DP)) $\leftarrow$ (MM(DP))	—	—
	TSM!	00 1111 1100	0FC	1	1	(SM(DP)) $\leftarrow$ (MM(DP)), (Y) $\leftarrow$ (Y)+1	(Y)=0	—
	TMS	00 1011 1110	0BE	1	1	(MM(DP)) $\leftarrow$ (SM(DP))	—	—
	TMS!	00 1111 1110	0FE	1	1	(MM(DP)) $\leftarrow$ (SM(DP)), (Y) $\leftarrow$ (Y)+1	(Y)=0	—
	TAB	00 1010 0000	0A0	1	1	(A) $\leftarrow$ (B)	—	—
	TBA	00 1100 0000	0C0	1	1	(B) $\leftarrow$ (A)	—	—
	TASP	00 1010 0010	0A2	1	1	(A) $\leftarrow$ (SP)	—	—
	TSPA	00 1100 0010	0C2	1	1	(SP) $\leftarrow$ (A)	—	—
	TACM	00 1000 0100	084	1	1	(A) $\leftarrow$ (N, MF, CY), ただし LA <sub>3-2</sub> =N, A <sub>1</sub> =MF, A <sub>0</sub> =CY	—	—
TCMA	00 1100 1100	0CC	1	1	(N, MF, CY) $\leftarrow$ (A), ただし LA <sub>3-2</sub> =N, A <sub>1</sub> =MF, A <sub>0</sub> =CY	—	—	
RAM・ アキムレ ータ間転送命令	TAM j	00 0010 01jj	024 + j	1	1	(A) $\leftarrow$ (M(DP)), (X) $\leftarrow$ (X) $\forall$ j, ただし j = 0 ~ 3	—	—
	XAM j	00 0110 01jj	064 + j	1	1	(A) $\leftrightarrow$ (M(DP)) (X) $\leftarrow$ (X) $\forall$ j, ただし j = 0 ~ 3	—	—
	XAMD j	00 0110 10jj	068 + j	1	1	(A) $\rightarrow$ (M(DP)), (Y) $\leftarrow$ (Y)-1 (X) $\leftarrow$ (X) $\forall$ j, ただし j = 0 ~ 3	(Y)=15	—
	XAMI j	00 0110 11jj	06C + j	1	1	(A) $\leftrightarrow$ (M(DP)), (Y) $\leftarrow$ (Y)+1 (X) $\leftarrow$ (X) $\forall$ j, ただし j = 0 ~ 3	(Y)=0	—
	XAMD1 j	00 1110 10jj	0E8 + j	1	1	(A) $\rightarrow$ (M(DP)), (Y) $\leftarrow$ (Y)-1 (X) $\leftarrow$ (X) $\forall$ j, ただし j = 0 ~ 3	(Y)=3, 7, 11, 15	—
	XAMI1 j	00 1110 11jj	0EC + j	1	1	(A) $\leftrightarrow$ (M(DP)), (Y) $\leftarrow$ (Y)+1 (X) $\leftarrow$ (X) $\forall$ j, ただし j = 0 ~ 3	(Y)=4, 8, 12, 0	—
	TMA	00 0100 0100	044	1	1	(M(DP)) $\leftarrow$ (A)	—	—
演算 命令	LA n	01 1001 nnnn	19n	1	1	(A) $\leftarrow$ n, ただし, n = 0 ~ 15	連続記述	—
	AM	00 0110 0000	060	1	1	(A) $\leftarrow$ (A)+(M(DP))	—	—
	AMC	00 0110 0010	062	1	1	(A) $\leftarrow$ (A)+(M(DP))+(CY), (CY) $\leftarrow$ キャリー	—	0/1
	AMCS	00 0110 0011	063	1	1	(A) $\leftarrow$ (A)+(M(DP))+(CY), (CY) $\leftarrow$ キャリー	キャリー=1	0/1
	A n	00 0101 nnnn	05n	1	1	(A) $\leftarrow$ (A)+n, ただし, n = 0 ~ 15	キャリー=0	—
	SC	00 1000 1010	08A	1	1	(CY) $\leftarrow$ 1	—	1
	RC	00 1000 1000	088	1	1	(CY) $\leftarrow$ 0	—	0
	SZC	00 1011 1000	088	1	1	(CY) $\leftarrow$ 0	(CY)=0	—
CMA	00 1011 1010	0BA	1	1	(A) $\leftarrow$ ( $\bar{A}$ )	—	—	

## CMOS SINGLE-CHIP 4-BIT MICROCOMPUTER

項目 分類	命令記号	命令コード		語 数	サイ クル 数	機 能 説 明	スキップ条件	フ ラ グ
		19 18 17 16 15 14 13 12 11 10	15進 表記					
ビット 操作 命令	SB j	00 1000 11jj	08C + j	1	1	(B(j))←-1, ただし, j=0~3	—	—
	RB j	00 1010 11jj	0AC + j	1	1	(B(j))←0, ただし, j=0~3	—	—
	SZB j	00 0011 10jj	038 + j	1	1	(B(j))=0 ただし, j=0~3	—	—
	SZM j	00 0000 01jj	004 + j	1	1	(Mj(DP))=0 ただし, j=0~3	—	—
比較 命令	SEAM	00 1110 0000	0E0	1	1	(A)=(M(DP))	(A)=(M(DP))	—
	SEY n	00 0001 nnnn	01n	1	1	(Y)=n	(Y)=n	—
	SEI n	00 1001 nnnn	09n	1	1	(A)=n	ただし, n=0~15 ただし, n=0~15	—
ブ ラ ン チ 命 令	B xy	01 0xxx yyyy	1xy	1	1	(PC <sub>L</sub> )←y, (PC <sub>M</sub> )←x ただし 16x+y=0~127	—	—
	BL xy	11 0xxx yyyy	3xy	1	1	(PC <sub>L</sub> )←y, (PC <sub>M</sub> )←(P <sub>0</sub> , x) (PC <sub>H</sub> )←(P <sub>4</sub> , P <sub>3</sub> , P <sub>2</sub> , P <sub>1</sub> ) ただし 16x+y=0~127	—	—
	BA i	00 1101 0iii	0Di	1	1	(PC <sub>L</sub> )←(A <sub>0</sub> , i) ただし, i=0~7 (PC <sub>M</sub> )←(P <sub>0</sub> , A <sub>3</sub> , A <sub>2</sub> , A <sub>1</sub> ) (PC <sub>H</sub> )←(P <sub>4</sub> , P <sub>3</sub> , P <sub>2</sub> , P <sub>1</sub> )	—	—
	BMAB N	00 1100 10NN	0C8 + N	1	1	(PC <sub>L</sub> )←(A) (PC <sub>M</sub> )←(B) (PC <sub>H</sub> )←(P <sub>4</sub> , P <sub>3</sub> , P <sub>2</sub> , P <sub>1</sub> ) ただし, 1マシンサイクル後に無条件でリターンします。 入出力アドレスN=0~3は汎用レジスタを指定します。	—	—
	LP p	01 110p pppp	1CP + p	1	1	(P)←p ただし, p=0~31	連続記述	—
	TPAC TACP	00 1100 0100 00 1010 0100	0C4 0A4	1 1	1 1	(P)←(CY, A) (CY, A)←(P)	— —	— —
サブ ルー チ ン 呼 び 出 し 命 令	BM xy	11 1xxx yyyy	38y + x	1	3	(PC <sub>L</sub> )←y (PC <sub>M</sub> )←(P <sub>0</sub> , x), ただし 16x+y=0~127 (PC <sub>H</sub> )←(P <sub>4</sub> , P <sub>3</sub> , P <sub>2</sub> , P <sub>1</sub> ) (M(SP))←(PC) (SP)←(SP)+1	—	—
	BMA i	00 1101 1iii	0D8 + i	1	3	(PC <sub>L</sub> )←(A <sub>0</sub> , i), ただし, j=0~7 (PC <sub>M</sub> )←(P <sub>0</sub> , A <sub>3</sub> , A <sub>2</sub> , A <sub>1</sub> ) (PC <sub>H</sub> )←(P <sub>4</sub> , P <sub>3</sub> , P <sub>2</sub> , P <sub>1</sub> ) (M(SP))←(PC) (SP)←(SP)+1	—	—
リ タ ー ン 命 令	RT	00 1111 1000	0F8	1	3	(PC)←(M(SP)) (SP)←(SP)-1	—	—
	RTS	00 1111 1010	0FA	1	4	(PC)←(M(SP)) (SP)←(SP)-1 (PC)←(PC)+1	無条件	—
	RTI	00 1111 1001	0F9	1	3	(PC)←(M(SP)) (SP)←(SP)-1 割り込み用制御FFをリセットします。	—	—

## CMOS SINGLE-CHIP 4-BIT MICROCOMPUTER

項目 分類	命令記号	命令コード		語 数	サイ クル 数	機 能 説 明	スキップ条件	フ ラ グ C Y
		19s 1761614 132110	16進 表記					
割り込み命令	EIA	00 0000 1001	009	1	1	INT <sub>A</sub> 信号を割り込み受け付け可能状態にします。	—	—
	EIB	00 0000 1010	00A	1	1	INT <sub>B</sub> 信号を割り込み受け付け可能状態にします。	—	—
	EIAB	00 0000 1011	00B	1	1	INT <sub>A</sub> , INT <sub>B</sub> 信号をともに割り込み受け付け可能状態にします。	—	—
	EIT	00 0000 1000	008	1	1	INT <sub>T</sub> 信号を割り込み受け付け可能状態にします。	—	—
	DIA	00 0000 1101	00D	1	1	INT <sub>A</sub> 信号を割り込み受け付け禁止状態にします。	—	—
	DIB	00 0000 1110	00E	1	1	INT <sub>B</sub> 信号を割り込み受け付け禁止状態にします。	—	—
	DIAB	00 0000 1111	00F	1	1	INT <sub>A</sub> , INT <sub>B</sub> 信号をともに割り込み受け付け禁止状態にします。	—	—
	DIT	00 0000 1100	00C	1	1	INT <sub>T</sub> 信号を割り込み受け付け禁止状態にします。	—	—
タイム命令	TBTM	00 0010 1111	02F	1	1	(B)←(TM <sub>M</sub> )	—	—
	TATM	00 1010 0111	0A7	1	1	(A)←(TM <sub>H3</sub> , TM <sub>H2</sub> , TM <sub>H1</sub> , TM <sub>H0</sub> ) (CY)←(TM <sub>H4</sub> )	—	—
	RTM	00 1011 0100	0B4	1	1	(TM <sub>L</sub> )←0, (TM <sub>M</sub> )←0, (TM <sub>H</sub> )←0	—	—
	STM	00 1100 0111	0C7	1	1	(TM <sub>II</sub> )←(A)	—	—
	SEC	00 1100 0110	0C6	1	1	(EVC)←(A)	—	—
入出力命令	ID	00 0010 1110	02E	1	1	(B)←(D), (OD)←"L"レベル	—	—
	OD	00 0100 1100	04C	1	1	(D)←(B), (R/W)←"L"レベル	—	—
	OPI s	10 ssss ssss	2ss	1	1	(R(N))←s ただしs=0~3で汎用レジスタが指定されます。	—	—
	TNAB N	00 0100 10NN	048 + N	1	1	(R(N))←(A, B) ただしLN=0~3で汎用レジスタを指定します。	—	—
	TABN N	00 0010 10NN	028 + N	1	1	(A, B)←(R(N)) ただしLN=0~3で汎用レジスタを指定します。	—	—
	IQ	00 1010 1000	0A8	1	1	(A, B)←(P(Q))	—	—
	IR1	00 0010 1100	02C	1	1	(B)←(P(R <sub>1</sub> ))	—	—
IR2	00 0010 1101	02D	1	1	(B)←(P(R <sub>2</sub> ))	—	—	
入出力制御命令	SMR	00 0011 0100	034	1	1	(MR)←(A)	—	—
	SMR1	00 0011 0110	036	1	1	(MR1)←(A)	—	—
	SMR2	00 0011 0111	037	1	1	(MR2)←(A)	—	—
	SST	00 0011 1100	03C	1	1	(R(Q <sub>0</sub> ))←1, R(All)←1ビットシフトR(All)	—	—
	RST	00 0011 1101	03D	1	1	(R(Q <sub>0</sub> ))←0, R(All)←1ビットシフトR(All)	—	—
	IST	00 0011 1110	03E	1	1	(R(Q <sub>0</sub> ))←(DATA), R(All)←1ビットシフトR(All)	—	—
	SU	00 0100 1110	04E	1	1	(U)←(A, B)	—	—
	CLP	00 0000 0001	001	1	1	(P(All))←0	—	—
	TPRA	00 1011 0000	0B0	1	1	(P(All))←(R(All))	—	—
	TPRN N	00 1111 00NN	0FN	1	1	(P(N))←(R(N))	—	—
TRPN N	00 0111 00NN	07N	1	1	(R(N))←(P(N))	—	—	
その他	NOP	00 0000 0000	000	1	1	ノーオペレーション	—	—

## CMOS SINGLE-CHIP 4-BIT MICROCOMPUTER

記号	内 容	記号	内 容
A	4ビットのレジスタ(アキムレータ)	P(R <sub>1</sub> )	4ビットのポートR <sub>1</sub>
Ai	レジスタAのビットを示す。ただし、i=0~3	P(R <sub>2</sub> )	4ビットのポートR <sub>2</sub>
B	4ビットの補助レジスタ	P(Q)	8ビットのポートQ
B(j)	j=0~3でアドレスされるレジスタBのビット	R(AII)	各8ビットのレジスタQ, R, S, Tの全て(32ビット)を示します。
CY	1ビットのキャリーフラグ	R(N)	Nで選択されたレジスタ(N=0~3で、レジスタQ, R, S, Tに対応)
D	4ビットの入出力ポート(3ステート)	R(Q <sub>0</sub> )	レジスタQの1ビット目
DATA	1ビットの直列データ用の入出力ポート	R/W	1ビットの出力ポート、外部データメモリ用のライト信号。
DP	レジスタX, Y, Zからなる12ビットのデータポインタ	SM(DP)	データポインタDPでアドレスされた4ビットの内部スクラッチパッドメモリ
EVC	4ビットのイベントカウンタ	SP	4ビットのスタックポインタ
M(DP)	データポインタDPでアドレスされた4ビットのデータメモリ	TMI	カウンタTM <sub>L</sub> TM <sub>M</sub> TM <sub>H</sub> からなる14ビットのカウンタ
Mj	j=0~3でアドレスされた12ビットのデータメモリ(固定領域に記憶されているデータポインタ)	TML	5ビットのカウンタ
Mj(DP)	データポインタDPとj=0~3でアドレスされるデータメモリのビット	TM <sub>M</sub>	4ビットのカウンタ
MF	内部スクラッチパッドメモリ(SM命令でMF←0)か、外部メインメモリ(MM命令で、MF←1)かを選択する1ビットのフラグ	TM <sub>H</sub>	5ビットのカウンタ
MM(DP)	データポインタDPでアドレスされた4ビットの外部メインメモリ	TM <sub>H</sub> i	カウンタTM <sub>H</sub> のビットを示す。ただし、i=0~4
M(SP)	スタックポインタSPでアドレスされた12ビットのデータメモリ(固定領域に記憶されている戻り番地)	TMII	4ビットのカウンタ
MR	4ビットのモードフラグ(IMQ, LCD, IMR1, IMR2)	U	4ビットの出力ポート(3ステート)
MR1	4ビットのモードフラグ(TMM, BF, RVM, SDM)	X	4ビットのレジスタ。ただし、X=0~15 16語×4ビットを1ファイルとするファイルをアドレスします。
MR2	2ビットのモードフラグ(IDP, SAP)	Y	4ビットのレジスタ。ただし、Y=0~15 16語×4ビットの語単位をアドレスします。
N	汎用レジスタQ, R, S, Tのうち1つを選択する入出力アドレス(N=0~3)	Z	4ビットのレジスタ。ただし、Z=0~15 16ファイル×16語×4ビットを単位としてアドレスします。
OD	1ビットの出力ポート、外部データメモリ用のリード信号	iii	3ビットの2進変数
P	5ビットのページレジスタ	jj	2ビットの2進定数
Pi	レジスタPのビットを示す。ただし、i=0~4	nnnn	4ビットの2進定数
PC	カウンタPC <sub>L</sub> , PC <sub>M</sub> , PC <sub>H</sub> からなる12ビットのプログラムカウンタ	NN	2ビットの2進定数
PC <sub>L</sub>	4ビットのカウンタ	SSSS SSSS	8ビットの2進定数
PC <sub>M</sub>	4ビットのカウンタ	xxxx	4ビットの2進変数
PC <sub>H</sub>	4ビットのカウンタ	yyyy	4ビットの2進変数
P(AII)	各8ビットのポートQ, R, S, Tの全て(32ビット)を示します。	zzzz	4ビットの2進変数
P(N)	Nで選択されたポート(N=0~3, でポートQ, R, S, Tに対応)		



# MELPS 8/85 マイクロプロセッサ

1948年10月1日

10



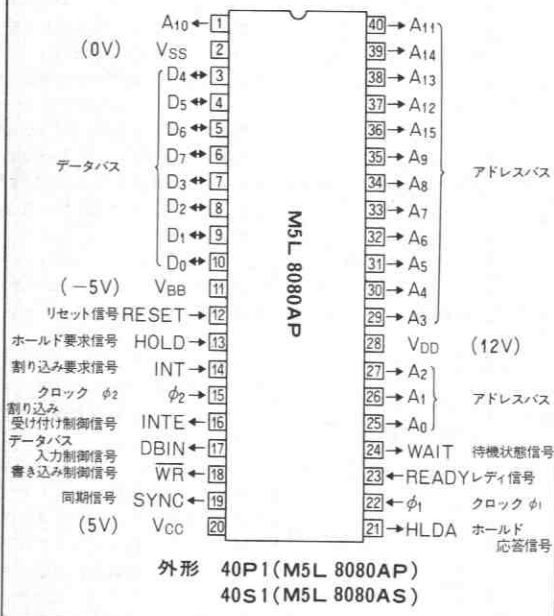
概要

M5L 8080AP, Sは、NチャネルシリコンゲートMOSプロセスを使用して開発された8ビット並列処理1チップCPUで40ピンセラミックDILパッケージに収められています。

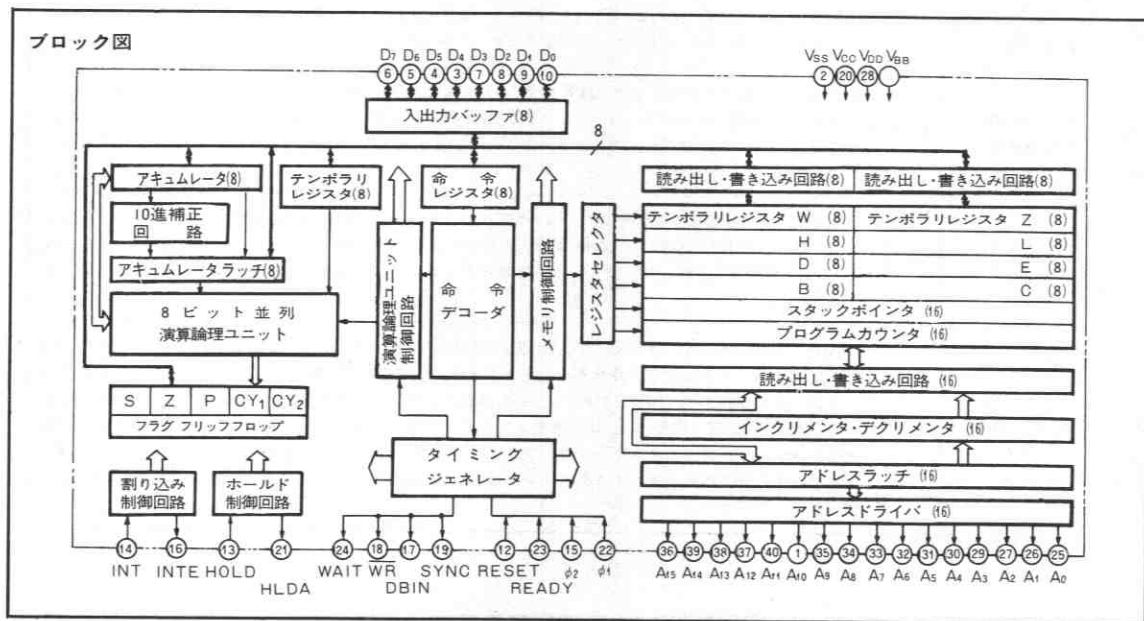
特長

- 基本機械語命令 ..... 78
- 基本命令実行時間(クロック周波数2MHzのとき) ..... 2 $\mu$ s
- 直接アクセス可能メモリ容量 ..... 65536バイト
- 入出力ポート数 ..... 各256
- 多重割り込み可能
- DMA(ダイレクトメモリアクセス)動作可能
- 全出力端子はTTL M53200(SN74シリーズ)に直結可能  
I<sub>OL</sub>=1.9mA
- サブルーチンの入れ子 ..... 無制限
- インテル社8080Aとピン接続、及びソフトウェアについて互換性あり

ピン接続図(上面図)



ブロック図



## 端子の機能説明

端子名	名称	入出力	機能
A <sub>0</sub> ┆ A <sub>15</sub>	アドレスバス	出力	外部メモリのアドレス指定と入出力ポート番号の指定に用いられます。メモリアドレスは、0から最大65535まで指定でき、入力ポート、出力ポートは各256個指定できます。アドレス端子はスリーステートになっており、HLT命令実行時(T <sub>WH</sub> )やホールド状態では、フローティング状態となります。
D <sub>0</sub> ┆ D <sub>7</sub>	データバス	入出力	外部メモリ、又は入出力ポートとデータを送受するための双方向バスです。このバスによって、ステータス情報も出力されます。外部メモリ、又は入出力ポートに対してデータを送るのはWR信号が“L”の時であり、受け取る時はDBIN信号が“H”の時です。ステータス信号はSYNC信号に同期して出力されます。このバスもアドレスバスと同様にHLT命令実行時(T <sub>WH</sub> )やホールド状態でフローティング状態になります。
SYNC	同期信号	出力	M <sub>1</sub> からM <sub>5</sub> までの各マシンサイクルの最初に出力される同期信号です。各マシンサイクルのステータス信号は、SYNC信号に同期してデータバスに出力され SYNC <sub>φ</sub> 時に外部レジスタにラッチすることができます。
DBIN	データバス 入力制御信号	出力	データバスが読み出しモード、すなわち、外部メモリ、又は入力ポートから命令やデータを受け取るモードであるタイミングを示す信号です。CPUはDBIN信号が“H”の時、データバス上の命令、又はデータを入力します。
READY	レディ信号	入力	外部メモリ、又は入出力ポートからのデータが有効であることを示す信号です。T <sub>2</sub> ステートでREADY信号が“H”でなければ、CPUは待機状態(T <sub>w</sub> )に入りWAIT信号が“H”になります。READY信号が“H”になれば、T <sub>2</sub> 、又はT <sub>w</sub> ステートからT <sub>3</sub> ステートへ進みます。このREADY信号を用いることによって、速度の遅いメモリ、又は入出力ポートも使用できます。
WAIT	待機状態信号	出力	CPUが待機状態であることを示す信号で、WAIT信号が“H”の時、CPUは待機状態(T <sub>w</sub> )にあり、アドレスバス及びデータバスは出力を保持し続けます。
$\overline{\text{WR}}$	書き込み 制御信号	出力	外部メモリ、又は出力ポートへのデータ書き込みのタイミングを示す信号です。WR信号が“L”の時、データバス上に出力されるデータは有効です。WAIT信号が“H”になると $\overline{\text{WR}}$ 信号は“L”に保持されます。
HOLD	ホールド 要求信号	入力	CPUをホールド状態にすることを要求する信号です。HLT命令実行時(T <sub>WH</sub> )、又はT <sub>2</sub> 、T <sub>w</sub> ステートでREADY信号が“H”の時、HOLD信号が“H”であるとCPUはホールド状態になります。このときアドレスバスとデータバスはフローティング状態になり、CPUに関係なく外部メモリや入出力ポートに使用できます。
HLDA	ホールド 応答信号	出力	CPUがホールド状態であることを示す信号です。HLDA信号が“H”の時、CPUはホールド状態であり、アドレスバスとデータバスはフローティング状態になっています。
INTE	割り込み受け付け 制御信号	出力	割り込みが可能であることを示す信号です。INTE信号が“H”の時、割り込みの受け付けが可能です。この信号はEI命令によって“H”にセットされ、DI命令によって“L”にセットされます。割り込み要求を受け付けるとM <sub>1</sub> マシンサイクルのT <sub>1</sub> ステートでINTE信号が“L”になります。また、RESET信号によって“L”にセットできます。
INT	割り込み 要求信号	入力	CPUに割り込みを要求する信号です。INT信号が“H”の時、CPUに割り込みを要求しますが、HLDA信号が“H”あるいはINTE信号が“L”の時は割り込み要求は受け付けられません。割り込み要求が受け付けられるとINTE信号が“L”になり、割り込み応答信号としてステータス情報INTAがデータバス上に出力されます。
RESET	リセット信号	入力	CPUの初期状態を決定する信号です。RESET信号が“H”になると、プログラムカウンタは“0”にクリアされ、命令レジスタにはNOP命令がセットされます。同時にINTE信号が“L”にセットされ、割り込み受け付けが禁止されます。RESET信号が“H”の間は、アドレスバスとデータバスがフローティング状態になります。RESET信号が“L”になると、プログラムは“0”番地からスタートします。データレジスタ、アキュムレータ、スタックポインタ及びフラグフリップフロップは、RESET信号によってクリアされません。RESET信号を入力するタイミングは、自由に選択できますが、3クロックの間“H”を保たなければ有効になりません。

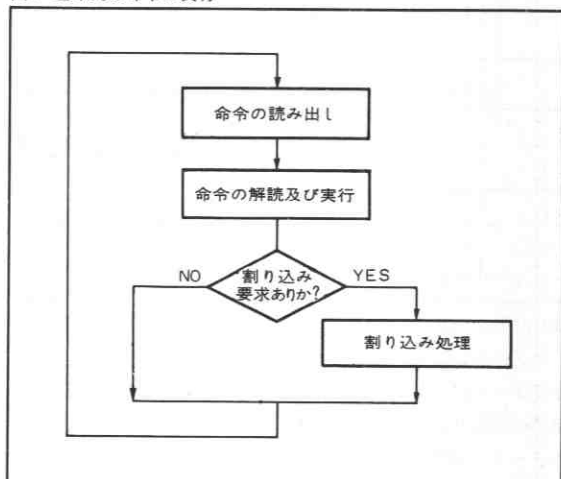
## 基本タイミング

命令の実行は、大きく分けて次の2つの段階から成ります。

- (1) 命令の読み出し (Fetch)
- (2) 命令の解読と実行 (Execute)

この(1)と(2)の関係を、図1に示します。まず、記憶装置からの命令の読み出しが行われます。次にその命令の解読と実行が行われます。このあと、割り込み要求があるかどうかを判別し、割り込みがなければそのまま次の命令へ進みます。割り込みがあれば必要な処理を行い次の命令へ進みます。このループを1回まわることによって、1つの命令の実行が完了します。

図1 基本的な命令の実行



命令の実行課程に、M<sub>1</sub>、M<sub>2</sub>、M<sub>3</sub>、M<sub>4</sub>、M<sub>5</sub>という5個のマシンサイクルがあります。1つの命令の、読み出し、解読、実行に対して、1個から5個のマシンサイクルが必要になります。

また、各マシンサイクルは、ステートを単位として構成され、T<sub>1</sub>、T<sub>2</sub>、T<sub>3</sub>、T<sub>4</sub>、及びT<sub>5</sub>と呼ばれるステートのうち、3個から5個のステートの組み合わせよりなり、これは命令により異なります。1つのステートの期間は、φ<sub>1</sub>の立ち上がりから、次のφ<sub>1</sub>の立ち上がりまでの1クロック期間です。(MELPS 8 CPUでは、クロック周波数が、2MHzのときは、500nsになります。)

このほかのステートとして、T<sub>w</sub>があります。T<sub>w</sub>は外部からの信号READY、HOLD及びHLT命令によって制御され、その期間には制限がありません。ただし、1クロック期間の整数倍であります。T<sub>w</sub>の入る位置は、T<sub>2</sub>とT<sub>3</sub>の間です。この関係を、図2に示します。

さて、M<sub>1</sub>マシンサイクルは、命令の実行に際して、必ず最初に実行されるマシンサイクルで、アドレスバスには常にメモリ読み出しのためのメモリ番地が出力されています。

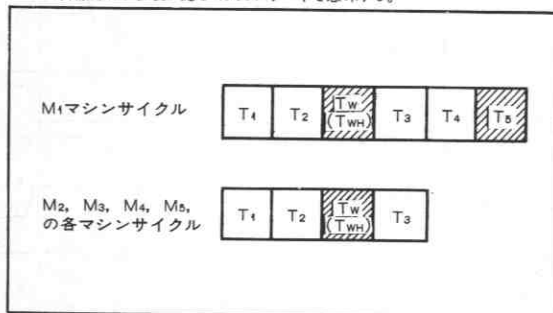
このM<sub>1</sub>マシンサイクルは、図2に示すように、T<sub>1</sub>からT<sub>4</sub>まで、又はT<sub>1</sub>からT<sub>5</sub>までのステートで構成されます。

また、M<sub>2</sub>、M<sub>3</sub>、M<sub>4</sub>、M<sub>5</sub>の各マシンサイクルは、通常T<sub>1</sub>からT<sub>3</sub>までの3つのステートにより構成されています。(ただし、XTHL命令はT<sub>1</sub>からT<sub>5</sub>までのステートにより構成されています。)

1クロック期間が500nsで、T<sub>w</sub>がない場合に、M<sub>1</sub>マシンサイクルは2μs又は2.5μs、そのほかのマシンサイクルは1.5μsで実行することになります。T<sub>w</sub>がある場合は、その分だけ多くなります。なお、命令実行には、最低M<sub>1</sub>マシンサイクルのT<sub>1</sub>、T<sub>2</sub>、T<sub>3</sub>、T<sub>4</sub>のステートを要し、従って実行時間は最低2μsを要します。また、HLT命令を実行した場合にはT<sub>WH</sub>ステートに入ります。

図2 各マシンサイクルの構成

斜線部は、必要に応じて入るステートを意味する。



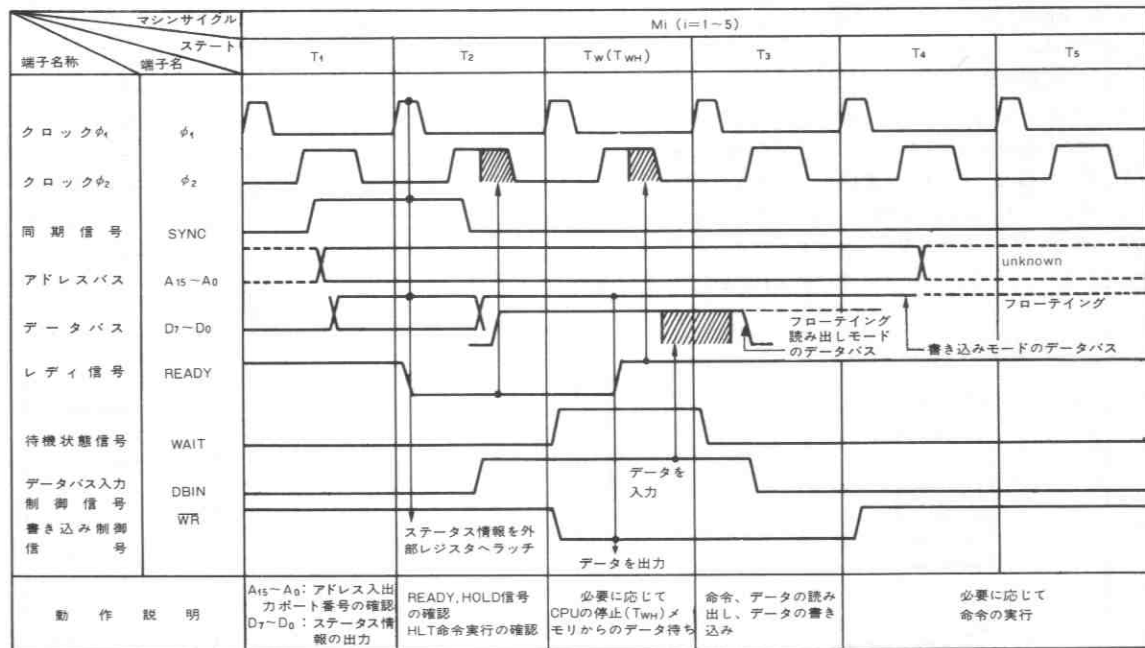
## 割り込みの概要

割り込み要求があった場合、これを受け付けるかどうかの判定は、実行中の命令の完了後に行われます。すなわち最後のマシンサイクルの最後のステートで判定されます。

もし割り込みが発生し、かつCPUが割り込みを受け付けられる状態(INTE信号が“H”)であれば、CPUは割り込みを受け付け、次のマシンサイクルは、特別なM<sub>1</sub>マシンサイクルに入ります。この特別なM<sub>1</sub>マシンサイクルでは、プログラムカウンタの値は、プラス1されません。そして“INTA”ステータス情報(割り込み応答信号)がCPUより出力されます。

そして、この特別なマシンサイクル期間のT<sub>3</sub>ステート時に、外部から割り込み要因に応じた、必要な命令をデータバスに送ることにより、CPUはこの命令をフェッチし、実行します。この命令は、割り込み処理プログラムへ入るための命令で、外部から1バイト命令(RST命令)、又は3バイト命令(CALL命令)を送るようにします。

図3 命令の基本タイミングチャート



● 図中に示したステート以外にマシンサイクル終了後のホールド状態であるT<sub>H</sub>ステートがあります。

● T<sub>w</sub>、T<sub>4</sub>、T<sub>5</sub>は、命令や入力条件により無い場合があります。

表1 ステータス情報一覧

データバス	信号名	ステータス情報名	機能
D <sub>0</sub>	INTA	割り込み応答 ステータス	INT信号による割り込み要求をCPUが受け付けた時“H”になります。
D <sub>1</sub>	W <sub>0</sub>	書き込みモード判定 ステータス	CPUが読み出しモードになる時“H”になり、書き込みモードになる時“L”になります。
D <sub>2</sub>	STACK	スタック ステータス	アドレスバス上にスタックポインタの値、すなわちプッシュダウンスタックの番地が出力されるマシンサイクルの時“H”になります。
D <sub>3</sub>	HLTA	HLT命令応答 ステータス	CPUがHLT命令を実行し、停止状態になるマシンサイクルの時“H”になります。
D <sub>4</sub>	OUT	出力命令応答 ステータス	アドレスバス上に出力ポートの番号が、そしてデータバス上にデータが出力されるマシンサイクルの時“H”になります。出力ポートの番号は、アドレスバスの上位8ビット、下位8ビットに同時に出力されます。
D <sub>5</sub>	M <sub>1</sub>	M <sub>1</sub> ステータス	CPUが命令の第1バイト目を読み出すマシンサイクルの時“H”になります。
D <sub>6</sub>	INP	入力命令応答 ステータス	アドレスバス上に出力ポートの番号が出力されデータバスが入力モードになるマシンサイクルの時“H”になります。入力ポートの番号は、アドレスバスの上位8ビット、下位8ビットに同時に出力されます。
D <sub>7</sub>	MEMR	メモリリード ステータス	データバスがメモリからの読み出しに用いられるマシンサイクルの時“H”になります。

● 図中斜線部は、その期間入力信号が安定でなければならないことを示します。

● アドレスは、実線で示された期間のみ有効です。

● Twの期間はREADY信号の条件により一定ではありません。

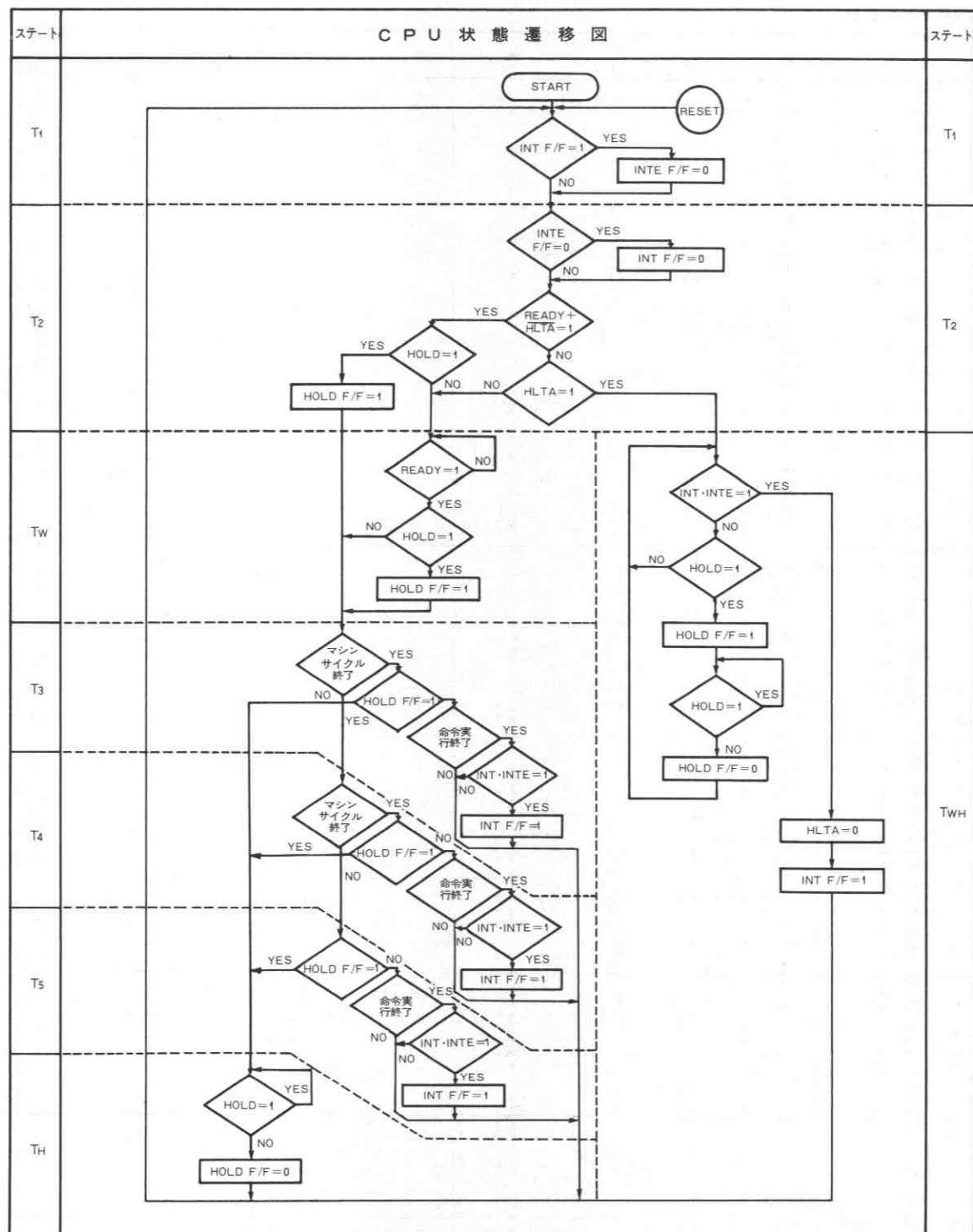
## ステータス情報

ステータス信号は、各マシンサイクルがなにを実行するサイクルであるかを示す信号であり、マシンサイクルの最初のステート(M<sub>1</sub>・T<sub>1</sub>)でSYNC信号と同期して、データバス(D<sub>7</sub>-D<sub>0</sub>)上に出力されます。ステータス信号は、SYNC・φ<sub>1</sub>で外部レジスタにラッチすることができます。各データバス上に出力されるステータス信号の機能、名称を表1に示します。

それぞれのステータス信号の出力状態によって、各マシンサイクルは、表2のようなタイプに分けることができます。

表2 ステータス表

ステータス情報	モード番号	モード番号									
		1	2	3	4	5	6	7	8	9	10
データバスのビット	ステータス信号名	命令フェッチ	メモリリード	スタックリード	入力リード	割り込み認知	HALT認知	HALT時の割り込み認知	メモリライト	スタックライト	出力ライト
D <sub>0</sub>	INTA	0	0	0	0	1	0	1	0	0	0
D <sub>1</sub>	W <sub>0</sub>	1	1	1	1	1	1	1	0	0	0
D <sub>2</sub>	STACK	0	0	1	0	0	0	0	0	1	0
D <sub>3</sub>	HLTA	0	0	0	0	0	1	1	0	0	0
D <sub>4</sub>	OUT	0	0	0	0	0	0	0	0	0	1
D <sub>5</sub>	M <sub>1</sub>	1	0	0	0	1	0	1	0	0	0
D <sub>6</sub>	INP	0	0	0	1	0	0	0	0	0	0
D <sub>7</sub>	MEMR	1	1	1	0	0	1	0	0	0	0



# M5L 8080AP,S

(旧形名M58710P,S)

## 8-BIT PARALLEL CPU

機械語命令一覧表

項目 分類	命令記号	命令コード				16進 表記	ステート 数	バイト 数	サイクル 数	機 能	フ ラ グ			アドレバス		データバス			
		D7D6	D5D4	D3D2	D1D0						S	Z	P	CY2	CY1	内容	マシン サイクル	内容	I/O
ア リ タ メ	MOV r1, r2	01	000	SSS		5	1	1	(r1) ← (r2)										
	MOV M, r	01	110	SSS		7	1	2	(M) ← (r)	ただし M=(H)(L)		M	M4	(r)	0	M4			
	MOV r, M	01	000	110		7	1	2	(r) ← (M)	ただし M=(H)(L)				(M)	0	M4			
	MVI r, n	00	000	110		7	2	2	(r) ← n										
	MVI M, n	00	110	110		3	6	10	2	3	(M) ← n	ただし M=(H)(L)		M	M5	<B2>	1	M5	
	LXI B, m	00	000	001		0	1	10	3	3	(C) ← <B2> (B) ← <B3>	ただし m=<B2><B3>				<B2>	1	M2	
	LXI D, m	00	010	001		1	1	10	3	3	(E) ← <B2> (D) ← <B3>	ただし m=<B2><B3>				<B2>	1	M2	
	LXI H, m	00	100	001		2	1	10	3	3	(L) ← <B2> (H) ← <B3>	ただし m=<B2><B3>				<B2>	1	M2	
	LXI SP, m	00	110	001		3	1	10	3	3	(SP) ← m					<B2>	1	M2	
	SPHL	11	111	001		F	9	5	1	1	(SP) ← (H)(L)								
送 信 命 令	STAX B	00	000	010		0	2	7	1	2	((B)(C)) ← (A)				(B)(C)	M4	(A)	0	M4
	STAX D	00	010	010		1	2	7	1	2	((D)(E)) ← (A)				(D)(E)	M4	(A)	0	M4
	LDAx S	00	001	010		0	A	7	1	2	(A) ← ((B)(C))				(B)(C)	M4	((B)(C))	1	M4
	LDAx D	00	011	010		1	A	7	1	2	(A) ← ((D)(E))				(D)(E)	M4	((D)(E))	1	M4
	STA m	00	110	010		3	2	13	3	4	(m) ← (A)				m	M4	(A)	0	M4
	LDA m	00	111	010		3	A	13	3	4	(A) ← (m)				m	M4	(m)	1	M4
	SHLD m	00	100	010		2	2	16	3	5	(m) ← (L) (m+1) ← (H)				m	M4	(L)	0	M4
	LHLD m	00	101	010		2	A	16	3	5	(L) ← (m) (H) ← (m+1)				m	M4	(m)	1	M4
	XCHG	11	101	011		E	B	4	1	1	(H)(L) ↔ (D)(E)								
	XTHL	11	100	011		E	3	18	1	5	(H)(L) ↔ ((SP)+1) ((SP))				(SP)	M2	((SP))	1	M2
加 減 算 ・ 論 理 演 算 ・ 比 較 命 令	ADD r	10	000	SSS		4	1	1	(A) ← (A) + (r)										
	ADD M	10	000	110		8	6	7	1	2	(A) ← (A) + (M)	ただし M=(H)(L)		M	M4	(M)	1	M4	
	ADI n	11	000	110		C	6	7	2	2	(A) ← (A) + n					<B2>	1	M4	
	ADC r	10	001	SSS		4	1	1	(A) ← (A) + (r) + (CY2)										
	ADC M	10	001	110		B	E	7	1	2	(A) ← (A) + (M) + (CY2)	ただし M=(H)(L)		M	M4	(M)	1	M4	
	ACI n	11	001	110		C	E	7	2	2	(A) ← (A) + n + (CY2)						<B2>	1	M4
	DAD B	00	001	001		0	9	10	1	3	(H)(L) ← (H)(L) + (B)(C)								
	DAD D	00	011	001		1	9	10	1	3	(H)(L) ← (H)(L) + (D)(E)								
	DAD H	00	101	001		2	9	10	1	3	(H)(L) ← (H)(L) + (H)(L)								
	DAD SP	00	111	001		3	9	10	1	3	(H)(L) ← (H)(L) + (SP)								
SUB r	10	010	SSS		4	1	1	1	(A) ← (A) - (r)										
SUB M	10	010	110		9	6	7	1	2	(A) ← (A) - (M)	ただし M=(H)(L)		M	M4	(M)	1	M4		
SUI n	11	010	110		D	6	7	2	2	(A) ← (A) - n						<B2>	1	M4	
SBB r	10	011	SSS		4	1	1	1	(A) ← (A) - (r) - (CY2)										
SBB M	10	011	110		9	E	7	1	2	(A) ← (A) - (M) - (CY2)	ただし M=(H)(L)		M	M4	(M)	1	M4		
SBI n	11	011	110		D	E	7	2	2	(A) ← (A) - n - (CY2)						<B2>	1	M4	
比 較 命 令	ANA r	10	100	SSS		4	1	1	(A) ← (A) ∧ (r)										
	ANA M	10	100	110		A	6	7	1	2	(A) ← (A) ∧ (M)	ただし M=(H)(L)		M	M4	(M)	1	M4	
	ANI n	11	100	110		E	6	7	2	2	(A) ← (A) ∧ n						<B2>	1	M4
	XRA r	10	101	SSS		4	1	1	(A) ← (A) ∨ (r)										
	XRA M	10	101	110		A	E	7	1	2	(A) ← (A) ∨ (M)	ただし M=(H)(L)		M	M4	(M)	1	M4	
	XRI n	11	101	110		E	E	7	2	2	(A) ← (A) ∨ n						<B2>	1	M4
	ORA r	10	110	SSS		4	1	1	(A) ← (A) ∨ (r)										
	ORA M	10	110	110		B	6	7	1	2	(A) ← (A) ∨ (M)	ただし M=(H)(L)		M	M4	(M)	1	M4	
	ORI n	11	110	110		F	6	7	2	2	(A) ← (A) ∨ n						<B2>	1	M4
	CMP r	10	111	SSS		4	1	1	(A) - (r)										
CMP M	10	111	110		B	E	7	1	2	(A) - (M)	大ききの比較 ただし M=(H)(L)		M	M4	(M)	1	M4		
CPI n	11	111	110		F	E	7	2	2	(A) - n						<B2>	1	M4	
レジスタ増減命令	INR r	00	000	100		5	1	1	(r) ← (r) + 1										
	INR M	00	100	100		3	4	10	1	3	(M) ← (M) + 1	ただし M=(H)(L)		M	M4	(M)	1	M4	
	DCR r	00	000	101		5	1	1	(r) ← (r) - 1										
	DCR M	00	100	101		3	5	10	1	3	(M) ← (M) - 1	ただし M=(H)(L)		M	M4	(M)	1	M4	
	INX B	00	000	011		0	3	5	1	1	(B)(C) ← (B)(C) + 1								
	INX D	00	010	011		1	3	5	1	1	(D)(E) ← (D)(E) + 1								
	INX H	00	100	011		2	3	5	1	1	(H)(L) ← (H)(L) + 1								
	INX SP	00	110	011		3	3	5	1	1	(SP) ← (SP) + 1								
	DCX B	00	001	011		0	3	5	1	1	(B)(C) ← (B)(C) - 1								
	DCX D	00	011	011		1	B	5	1	1	(D)(E) ← (D)(E) - 1								
DCX H	00	101	011		2	B	5	1	1	(H)(L) ← (H)(L) - 1									
DCX SP	00	111	011		3	B	5	1	1	(SP) ← (SP) - 1									
ア キ ュ ム レ ー タ 命 令	RLC	00	000	111		0	7	4	1	1	シフト CY2								
	RRC	00	001	111		0	F	4	1	1	シフト CY2								
	RAL	00	010	111		1	7	4	1	1	シフト CY2								
	RAR	00	011	111		1	F	4	1	1	シフト CY2								
アキュムレータ修正命令	CMA	00	101	111		2	F	4	1	1	(A) ← (A)								
キャリー設定命令	DAA	00	100	111		2	7	4	1	1	アキュムレータ内の2進加算結果の10進補正								
	STC	00	110	111		3	7	4	1	1	(CY2) ← 1								
	CMC	00	111	111		3	F	4	1	1	(CY2) ← (CY2)								

\*:ステートはT1. \*\*:ステートはT2.

## M5L 8080AP,S

(旧形名M58710P,S)

## 8-BIT PARALLEL CPU

項目 分類	命令記号	命令コード						16進 表記	アドレス ビット数	データ ビット数	サ イ クル 数	機 能	フ ラ グ			ア ド レ ス バ ス		デ ー タ バ ス		
		D7D6	D5D4D3	D2D1D0	S	Z	P						CY2	CY1	内容	マシ ン・ サイ クル	内容	I/O	マシ ン・ サイ クル	
飛 び 越 し 命 令	JMP m	1 1 0 0 0 0 1 1	C 3	10	3	3	(PC)←m	X	X	X	X	X	X	X			<B2> <B3>	1	M2 M3	
	PCHL	1 1 1 0 1 0 0 1	E 9	5	1	1	(PC)←(H) (L)	X	X	X	X	X	X	X						
	JC m	1 1 0 1 1 0 1 0	D A	10	3	3	(CY2)=1	X	X	X	X	X	X	X						
	JNC m	1 1 0 1 0 0 1 0	D 2	10	3	3	(CY2)=0	X	X	X	X	X	X	X	条件が真であれば					
	JZ m	1 1 0 0 1 0 1 0	C A	10	3	3	(Z)=1	X	X	X	X	X	X	X			<B2> <B3>	1	M2 M3	
	JNZ m	1 1 0 0 0 0 1 0	C 2	10	3	3	(Z)=0	X	X	X	X	X	X	X						
	JP m	1 1 1 1 0 0 1 0	F 2	10	3	3	(S)=0	X	X	X	X	X	X	X	条件が偽であれば					
	JM m	1 1 1 1 1 0 1 0	F A	10	3	3	(S)=1	X	X	X	X	X	X	X						
	JPE m	1 1 1 0 1 0 1 0	E A	10	3	3	(P)=1	X	X	X	X	X	X	X						
JPO m	1 1 1 0 0 0 1 0	E 2	10	3	3	(P)=0	X	X	X	X	X	X	X							
サ ブ プ ロ チ ン 呼 び 出 し 命 令	CALL m	1 1 0 0 1 1 0 1	C D	17	3	5	((SP)-1)((SP)-2)←(PC)+3,(PC)←m (SP)←(SP)-2	X	X	X	X	X	X	X			<B2> <B3>	1	M2 M3	
	RST n	1 1 A A A 1 1 1		11	1	3	((SP)-1)((SP)-2)←(PC)+1,(PC)←n×8, (SP)←(SP)-2 ただし 0≤n≤7	X	X	X	X	X	X			(SP)-1 (SP)-2 (SP)-1 (SP)-2	M4 M5 M4 M5	0 0 0 0	M4 M5 M4 M5	
	CC m	1 1 0 1 1 1 0 0	D C	17/11	3	5/3	(CY2)=1	X	X	X	X	X	X	X						
	CNC m	1 1 0 1 0 1 0 0	D 4	17/11	3	5/3	(CY2)=0	X	X	X	X	X	X	X	条件が真であれば					
	CZ m	1 1 0 0 1 1 0 0	C C	17/11	3	5/3	(Z)=1 ((SP)-1)((SP)-2)←(PC)+3 (PC)←m	X	X	X	X	X	X	X			<B2> <B3>	1	M2 M3	
	CNZ m	1 1 0 0 0 1 0 0	C 4	17/11	3	5/3	(Z)=0 (SP)←(SP)-2	X	X	X	X	X	X	X			(SP)-1 (SP)-2	M4 M5	0 0	M4 M5
	CP m	1 1 1 1 0 1 0 0	F 4	17/11	3	5/3	(S)=0	X	X	X	X	X	X	X						
	CM m	1 1 1 1 1 1 0 0	F C	17/11	3	5/3	(S)=1	X	X	X	X	X	X	X	条件が偽であれば					
	CPE m	1 1 1 0 1 1 0 0	E C	17/11	3	5/3	(P)=1 (PC)←(PC)+3	X	X	X	X	X	X	X						
CPO m	1 1 1 0 0 1 0 0	E 4	17/11	3	5/3	(P)=0	X	X	X	X	X	X	X							
リ タ ー ン 命 令	RET	1 1 0 0 1 0 0 1	C 9	10	1	3	(PC)←((SP)+1)((SP)),(SP)←(SP)+2	X	X	X	X	X	X	X			(SP)+1 (SP)+1	M4 M5	1 1	M4 M5
	RC	1 1 0 1 1 0 0 0	D 8	11/5	1	3/1	(CY2)=1	X	X	X	X	X	X	X	条件が真であれば					
	RNC	1 1 0 1 0 0 0 0	D 0	11/5	1	3/1	(CY2)=0	X	X	X	X	X	X	X						
	RZ	1 1 0 0 1 0 0 0	C 8	11/5	1	3/1	(Z)=1 (PC)←((SP)+1)((SP))	X	X	X	X	X	X	X						
	RNZ	1 1 0 0 0 0 0 0	C 0	11/5	1	3/1	(Z)=0 (SP)←(SP)+2	X	X	X	X	X	X	X						
	RP	1 1 1 1 0 0 0 0	F 0	11/5	1	3/1	(S)=0	X	X	X	X	X	X	X						
	RM	1 1 1 1 1 0 0 0	F 8	11/5	1	3/1	(S)=1	X	X	X	X	X	X	X	条件が偽であれば					
	RPE	1 1 1 0 1 0 0 0	E 8	11/5	1	3/1	(P)=1 (PC)←(PC)+1	X	X	X	X	X	X	X						
RPO	1 1 1 0 0 0 0 0	E 0	11/5	1	3/1	(P)=0	X	X	X	X	X	X	X							
入 出 力 制 御 命 令	IN n	1 1 0 1 1 0 1 1	D B	10	2	3	(A)←(入力バッファ)←(デバイス番号nの入力機器)	X	X	X	X	X	X	X						
	OUT n	1 1 0 1 0 0 1 1	D 3	10	2	3	(デバイス番号nの出力機器)←(A)	X	X	X	X	X	X	X			<B2> <B2>	M5	0	M4 M5
ス タ ッ ク 操 作 命 令	割り込み 制御命令	E I D I	1 1 1 1 1 0 1 1 1 1 1 1 0 0 1 1	F B F 3	4	1	1	(INTE)←1 (INTE)←0	X	X	X	X	X	X			<B2> <B2>	M5	0	M4 M5
	PUSH PSW	1 1 1 1 0 1 0 1	F 5	11	1	3	((SP)-1)←(A),((SP)-2)←(F) (SP)←(SP)-2	X	X	X	X	X	X	X			(SP)-1 (SP)-2	M4 M5	0 0	M4 M5
	PUSH B	1 1 0 0 0 1 0 1	C 5	11	1	3	((SP)-1)←(B),((SP)-2)←(C) (SP)←(SP)-2	X	X	X	X	X	X	X			(SP)-1 (SP)-2	M4 M5	0 0	M4 M5
	PUSH D	1 1 0 1 0 1 0 1	D 5	11	1	3	((SP)-1)←(D),((SP)-2)←(E) (SP)←(SP)-2	X	X	X	X	X	X	X			(SP)-1 (SP)-2	M4 M5	0 0	M4 M5
	PUSH H	1 1 1 0 0 1 0 1	E 5	11	1	3	((SP)-1)←(H),((SP)-2)←(L) (SP)←(SP)-2	X	X	X	X	X	X	X			(SP)-1 (SP)-2	M4 M5	0 0	M4 M5
	POP PSW	1 1 1 1 0 0 0 1	F 1	10	1	3	(F)←((SP)),(A)←((SP)+1) (SP)←(SP)+2	0	0	0	0	0	0	0			(SP) (SP)+1	M4 M5	1 1	M4 M5
	POP B	1 1 0 0 0 0 0 1	C 1	10	1	3	(C)←((SP)),(B)←((SP)+1) (SP)←(SP)+2	X	X	X	X	X	X	X			(SP)+1 (SP)+1	M4 M5	1 1	M4 M5
	POP D	1 1 0 1 0 0 0 1	D 1	10	1	3	(E)←((SP)),(D)←((SP)+1) (SP)←(SP)+2	X	X	X	X	X	X	X			(SP) (SP)+1	M4 M5	1 1	M4 M5
	POP H	1 1 1 0 0 0 0 1	E 1	10	1	3	(L)←((SP)),(H)←((SP)+1) (SP)←(SP)+2	X	X	X	X	X	X	X			(SP) (SP)+1	M4 M5	1 1	M4 M5
	その他	HLT NOP	0 1 1 1 0 1 1 0 0 0 0 0 0 0 0 0	7 6 0 0	7 4	1 1	1	(PC)←(PC)+1 (PC)←(PC)+1	X	X	X	X	X	X						

\*:ステートはT1. \*\*:ステートはT2.

記号	内容	記号	内容	記号	内容
r	レジスタを表す。			←	データの移動する方向を示す。
m	2バイトのデータ。			( )	レジスタ、メモリなどの内容を示す。
n	1バイトのデータ。			∨	論理和。
<B2>	命令の第2バイト。			∧	排他的論理和。
<B3>	命令の第3バイト。			∩	論理積。
AAA	RST命令におけるnの2進表記			—	否定。
F	フラグ(S,Z,P,CY1,CY2)を含む8ビットのデータ。上位よりS,Z,0,CY1,0,P,1,CY2の順に構成される。	S S S	それぞれ右表のような値が割り付けられる。	X	命令実行後フラグが不变。
PC	プログラムカウンタ。	D D D		0	命令実行後フラグがセット又はリセットされる。
SP	スタックポインタ。			I	入力モードを示す。
				O	出力モードを示す。



命令コード対応表

D <sub>3</sub> ~D <sub>0</sub> 16進表記	D <sub>7</sub> ~D <sub>4</sub>	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000	0	NOP	(NOP)	(NOP)	(NOP)	MOV B, B	MOV D, B	MOV H, B	MOV M, B	ADD B	SUB B	ANA B	ORA B	RNZ	RNC	RPO	RP
0001	1	LXI B	LXI D	LXI H	LXI SP	MOV B, C	MOV D, C	MOV H, C	MOV M, C	ADD C	SUB C	ANA C	ORA C	POP B	POP D	POP H	POP PSW
0010	2	STAX B	STAX D	SHLD	STA	MOV B, D	MOV D, D	MOV H, D	MOV M, D	ADD D	SUB D	ANA D	ORA D	JNZ	JNC	JPO	JP
0011	3	INX B	INX D	INX H	INX SP	MOV B, E	MOV D, E	MOV H, E	MOV M, E	ADD E	SUB E	ANA E	ORA E	JMP	OUT	XTHL	DI
0100	4	INR B	INR D	INR H	INR M	MOV B, H	MOV D, H	MOV H, H	MOV M, H	ADD H	SUB H	ANA H	ORA H	CNZ	CNC	GPO	CP
0101	5	DCR B	DCR D	DCR H	DCR M	MOV B, L	MOV D, L	MOV H, L	MOV M, L	ADD L	SUB L	ANA L	ORA L	PUSH B	PUSH D	PUSH H	PUSH PSW
0110	6	MVI B	MVI D	MVI H	MVI M	MOV B, M	MOV D, M	MOV H, M	HLT	ADD M	SUB M	ANA M	ORA M	ADI	SUI	ANI	ORI
0111	7	RLC	RAL	DAA	STC	MOV B, A	MOV D, A	MOV H, A	MOV M, A	ADD A	SUB A	ANA A	ORA A	RST 0	RST 2	RST 4	RST 6
1000	8	(NOP)	(NOP)	(NOP)	(NOP)	MOV C, B	MOV E, B	MOV L, B	MOV A, B	ADC B	SBB B	XRA B	CMP B	RZ	RC	RPE	RM
1001	9	DAD B	DAD D	DAD H	DAD SP	MOV C, C	MOV E, C	MOV L, C	MOV A, C	ADC C	SBB C	XRA C	CMP C	RET	(RET)	PGHL	SPHL
1010	A	LDAX B	LDAX D	LHLD	LDA	MOV C, D	MOV E, D	MOV L, D	MOV A, D	ADC D	SBB D	XRA D	CMP D	JZ	JC	JPE	JM
1011	B	DCX B	DCX D	DCX H	DCX SP	MOV C, E	MOV E, E	MOV L, E	MOV A, E	ADC E	SBB E	XRA E	CMP E	(JMP)	IN	XCHG	EI
1100	C	INR C	INR E	INR L	INR A	MOV C, H	MOV E, H	MOV L, H	MOV A, H	ADC H	SBB H	XRA H	CMP H	GZ	CC	CPE	CM
1101	D	DCR C	DCR E	DCR L	DCR A	MOV C, L	MOV E, L	MOV L, L	MOV A, L	ADC L	SBB L	XRA L	CMP L	CALL	(CALL)	(CALL)	(CALL)
1110	E	MVI C	MVI E	MVI L	MVI A	MOV C, M	MOV E, M	MOV L, M	MOV A, M	ADC M	SBB M	XRA M	CMP M	ACI	SBI	XRI	CPI
1111	F	RRC	RAR	CMA	CMC	MOV C, A	MOV E, A	MOV L, A	MOV A, A	ADC A	SBB A	XRA A	CMP A	RST 1	RST 3	RST 5	RST 7

上表は、機械語コードと機械語命令の対応表です。D<sub>3</sub>~D<sub>0</sub>は、機械語コードの低位4ビットを示し、D<sub>7</sub>~D<sub>4</sub>は、機械語コードの上位4ビットを示します。また、そのコードを16進表記したものを併記してあります。命令には、1語命令、2語命令、3語命令の3種類がありますが、各命令の第1語目のコードのみを表に

まとめました。

なお、 は3語命令。

 は2語命令。

( ) は正規命令コードではないが、このコードをアクセスすると( )内の命令を実行します。ただし保証はいたしません。



## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>DD</sub>	電源電圧	V <sub>BB</sub> 端子を基準電圧にした場合	-0.3~20	V
V <sub>CC</sub>	電源電圧		-0.3~20	V
V <sub>SS</sub>	電源電圧		-0.3~20	V
V <sub>I</sub>	入力電圧		-0.3~20	V
P <sub>d</sub>	消費電力	T <sub>a</sub> = 25°C	1500	mW
T <sub>opr</sub>	動作周囲温度		0~70	°C
T <sub>stg</sub>	保存温度		-65~150	°C

## 推奨使用条件

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>BB</sub>	電源電圧	-4.75	-5	-5.25	V
V <sub>CC</sub>	電源電圧	4.75	5	5.25	V
V <sub>DD</sub>	電源電圧	11.4	12	12.6	V
V <sub>SS</sub>	電源電圧		0		V
V <sub>IH</sub>	"H"入力電圧	3.3		V <sub>CC</sub> +1	V
V <sub>IL</sub>	"L"入力電圧	-1		0.8	V
V <sub>IH(φ)</sub>	"H"クロック入力電圧	9		V <sub>DD</sub> +1	V
V <sub>IL(φ)</sub>	"L"クロック入力電圧	-1		0.8	V
T <sub>opr</sub>	動作周囲温度	0		70	°C

電気的特性 (指定のない場合は, T<sub>a</sub> = 0 ~ 70°C, V<sub>DD</sub> = 12V ± 5%, V<sub>CC</sub> = 5V ± 5%, V<sub>BB</sub> = -5V ± 5%, V<sub>SS</sub> = 0V)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>OL</sub>	"L"出力電圧	I <sub>OL</sub> = 1.9mA 全出力端子			0.45	V
V <sub>OH</sub>	"H"出力電圧	I <sub>OH</sub> = -150μA	3.7			V
I <sub>BB</sub>	V <sub>BB</sub> 電源電流	I <sub>c(φ)</sub> = 480nsで動作中 T <sub>a</sub> = 25°C (注2)		-0.01	-1	mA
I <sub>CC</sub>	V <sub>CC</sub> 電源電流		60	75	mA	
I <sub>DD</sub>	V <sub>DD</sub> 電源電流		40	70	mA	
I <sub>I</sub>	入力電流 (クロックとデータバスは除く)	0 ≤ V <sub>I</sub> ≤ V <sub>CC</sub>			±10	μA
I <sub>I(φ)</sub>	クロック入力電流	0 ≤ V <sub>I(φ)</sub> ≤ V <sub>DD</sub>			±10	μA
I <sub>I(DB)</sub>	入力電流 (データバス) (注3)	0 ≤ V <sub>I(DB)</sub> ≤ V <sub>IL</sub>			10 -100	μA
I <sub>I(HOLD)</sub>	ホールド時入力電流 (アドレスバス, データバス)	ホールド状態時 0.45 ≤ V <sub>O</sub> ≤ V <sub>CC</sub>			10 -100	μA
C <sub>i(φ1)</sub>	クロック入力容量(φ1)	V(φ1) = 0V	f = 1MHz, 25mVr.m.s	20	25	pF
C <sub>i(φ2)</sub>	クロック入力容量(φ2)	V(φ2) = 0V		15	20	pF
C <sub>i</sub>	入力容量, クロック以外の端子	V <sub>I</sub> = 0V		5	10	pF
C <sub>o</sub>	出力容量	V <sub>O</sub> = 0V		5	20	pF

注1. 電流はICに流れ込む向きを"正"(無記号)とする。

2. I<sub>c(φ)</sub> = I<sub>d(φ1+φ2)</sub> + I<sub>r(φ2)</sub> + I<sub>w(φ2)</sub> + I<sub>f(φ2)</sub> + I<sub>d(φ2-φ1)</sub> + I<sub>r(φ1)</sub>

3. 入力モード (DBIN = "H") で V<sub>I</sub> > V<sub>IH</sub> のとき, 内部回路によって入力はほぼ 2kΩ の抵抗で V<sub>CC</sub> 電圧にプルアップされます。

要求タイミング必要条件(指定のない場合は,  $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{DD} = 12\text{V} \pm 5\%$ ,  $V_{CC} = 5\text{V} \pm 5\%$ ,  $V_{BB} = -5\text{V} \pm 5\%$ ,  $V_{SS} = 0\text{V}$ )

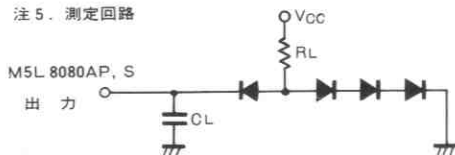
記号	項目	規格値			単位
		最小	標準	最大	
$t_c(\phi)$	クロックサイクル (注4)	480		2000	ns
$t_r(\phi)$	クロック上昇時間	0		50	ns
$t_f(\phi)$	クロック下降時間	0		50	ns
$t_w(\phi_1)$	クロックパルス幅( $\phi_1$ )	60			ns
$t_w(\phi_2)$	クロックパルス幅( $\phi_2$ )	220			ns
$t_d(\phi_1-\phi_2)$	クロックパルス間隔( $\phi_1-\phi_2$ )	0			ns
$t_d(\phi_2-\phi_1)$	クロックパルス間隔( $\phi_2-\phi_1$ )	70			ns
$t_d(\phi_1+\phi_2)$	クロックパルス遅延時間	80			ns
$t_{su}(DA-\phi_1)$	$\phi_1$ に対するデータセットアップ時間	30			ns
$t_{su}(DA-\phi_2)$	$\phi_2$ に対するデータセットアップ時間	150			ns
$t_{su}(HOLD)$	HOLD信号セットアップ時間	140			ns
$t_{su}(INT)$	INT信号セットアップ時間	120			ns
$t_{su}(RDY)$	READY信号セットアップ時間	120			ns
$t_h(DA)$	データホールド時間	$t_{PD}(DBI)$			ns
$t_h(HOLD)$	HOLD入力ホールド時間	0			ns
$t_h(INT)$	INT入力ホールド時間	0			ns
$t_h(RDY)$	READY入力ホールド時間	0			ns

注4.  $t_c(\phi) = t_d(\phi_1-\phi_2) + t_r(\phi_2) + t_w(\phi_2) + t_r(\phi_2) + t_d(\phi_2-\phi_1) + t_r(\phi_1)$

スイッチング特性(指定のない場合は,  $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{DD} = 12\text{V} \pm 5\%$ ,  $V_{CC} = 5\text{V} \pm 5\%$ ,  $V_{BB} = -5\text{V} \pm 10\%$ ,  $V_{SS} = 0\text{V}$ )タイミング図参照のこと。

記号	項目	測定条件 (注5)	規格値			単位
			最小	標準	最大	
$t_{PD}(AD)$	アドレスバス出力伝搬遅延時間	$R_L = 2.1\text{k}\Omega$ , $C_L = 100\text{pF}$			200	ns
$t_{PD}(DA)$	データバス出力伝搬遅延時間	$R_L = 2.1\text{k}\Omega$ , $C_L = 100\text{pF}$			220	ns
$t_{PD}(CONT)$	コントロール信号出力伝搬遅延時間	$R_L = 2.1\text{k}\Omega$ , $C_L = 50\text{pF}$			120	ns
$t_{PD}(DBI)$	DBIN信号出力伝搬遅延時間	$R_L = 2.1\text{k}\Omega$ , $C_L = 50\text{pF}$	25		140	ns
$t_{PD}(INTE)$	INTE信号出力伝搬遅延時間	$R_L = 2.1\text{k}\Omega$ , $C_L = 50\text{pF}$			200	ns
$t_{PD}(DI)$	入力モード遅延時間				$t_{PD}(DBI)$	ns
$t_{PXZ}$	ホールド状態遅延時間				120	ns
$t_d(WR-AD)$	WR信号-アドレス出力間遅延時間	$R_L = 2.1\text{k}\Omega$ , $C_L = 100\text{pF}$	$t_d(\phi_1+\phi_2)$			ns
$t_d(AD-WR)$	アドレス出力-WR信号間遅延時間	$R_L = 2.1\text{k}\Omega$ , $C_L = 100\text{pF}$	(注6)			ns
$t_d(WR-DA)$	WR信号-データ出力間遅延時間	$R_L = 2.1\text{k}\Omega$ , $C_L = 100\text{pF}$	$t_d(\phi_1+\phi_2)$			ns
$t_d(DA-WR)$	データ出力-WR信号間遅延時間	$R_L = 2.1\text{k}\Omega$ , $C_L = 100\text{pF}$	(注7)			ns

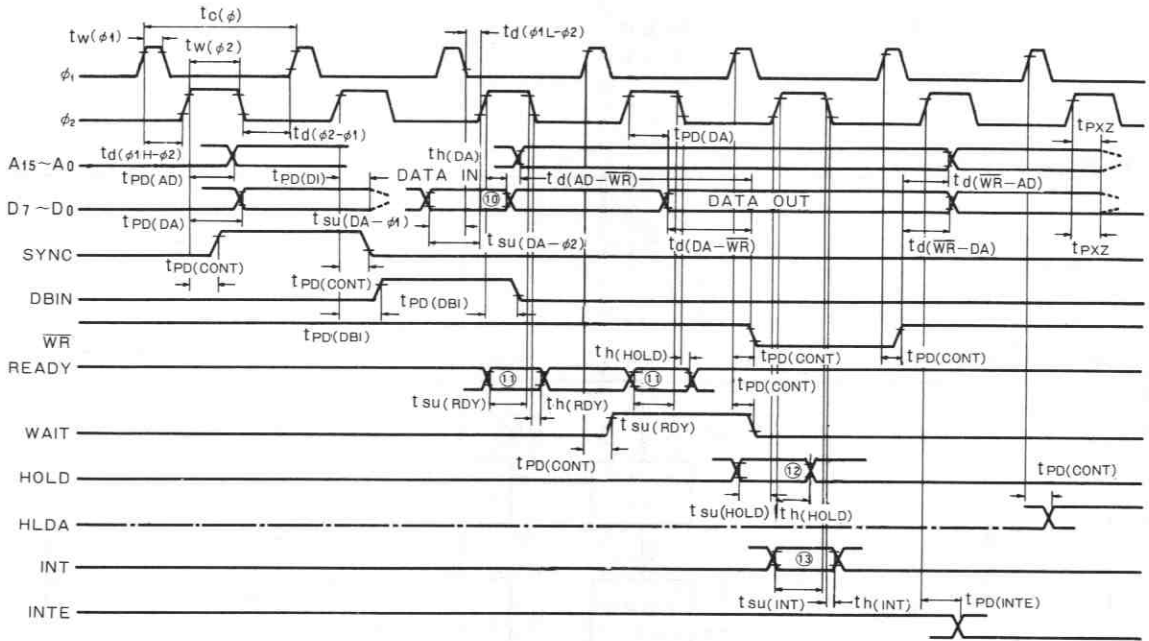
注5. 測定回路



注6.  $t_d(AD-WR) = 2t_c(\phi) - t_d(\phi_1+\phi_2) - t_r(\phi) - 140\text{ns}$

7.  $t_d(DA-WR) = t_c(\phi) - t_c(\phi_1+\phi_2) - t_r(\phi) - 170\text{ns}$

タイミング図 (下記注: 参照)



注8. 上図のタイミング図は、タイミングの関係のみを示しているものであって、ある特別なマシンサイクルを示しているものではありません。

9. クロック電圧は、“H”=8V、“L”=1V; 入力電圧は“H”=3.3V、“L”=0.8V; 出力電圧は、“H”=2V、“L”=0.8Vを基準としています。

10. 入力モードでは、データバス上の入力データは、 $t_{su}(DA-\phi1)$ 、 $t_{su}(DA-\phi2)$ 、 $t_h(DA)$ の三条件を満足して、図示の期間安定に入力される必要があります。

11. READY信号は、 $T_2$ 、 $T_w$ ステートで、図示の期間安定に入力する必要があります。(外部にて同期の必要があります。)

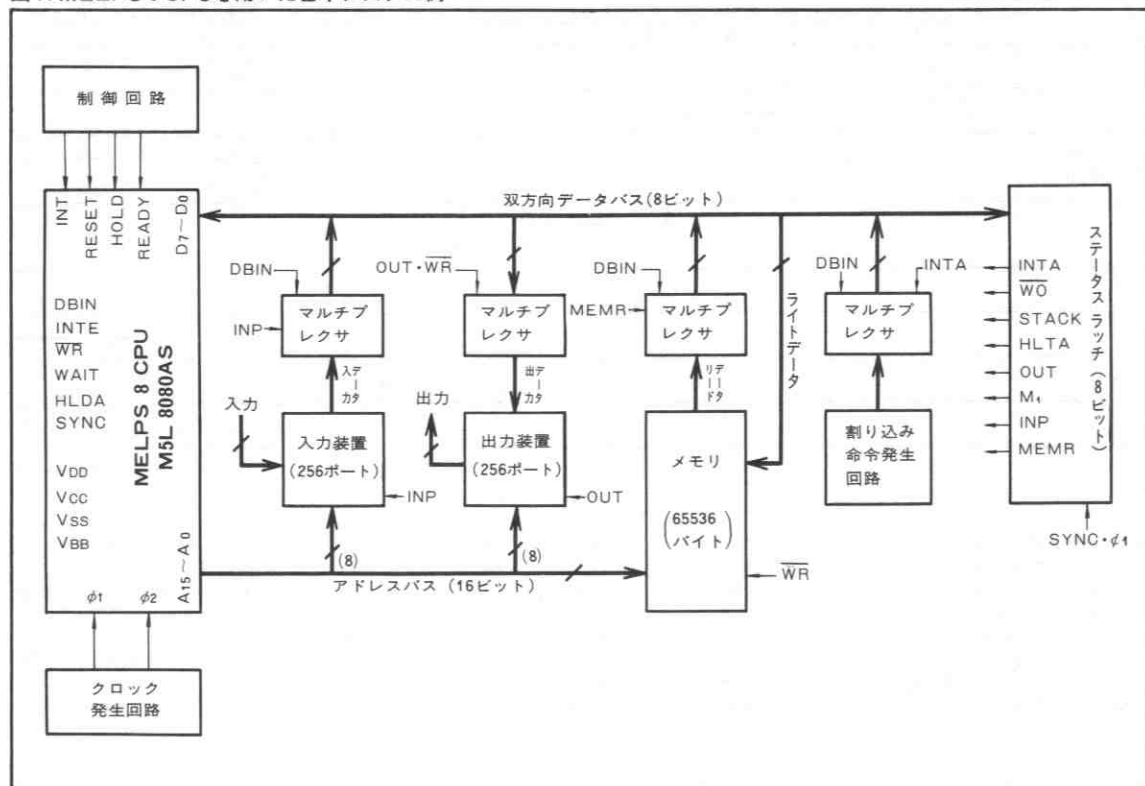
12. HOLD信号は、ホールド状態へ入る前の $T_2$ 、 $T_w$ ステートとホールド状態となった後の $T_3$ 、 $T_4$ 、 $T_5$ 、 $T_{WH}$ 、 $T_H$ ステートで、図示の期間安定に入力する必要があります。(外部にて同期の必要はありません。)

13. INT信号は、次のM1マシンサイクルに入る直前のステートで、図示の期間入力する必要があります。(外部にて同期の必要はありません。)

## 応用 M5L 8080AP, Sを用いた基本システム概要

MELPS 8 CPU (M5L 8080AS)を用いたシステム構成法は、応用するシステムの機能によって一定ではありませんが、参考として基本システム例を下図に示します。

図1. MELPS 8 CPUを用いた基本システム例



次に、図1の基本システム図の動作を概説します。

(1) CPUはクロック発生回路から $\phi_1, \phi_2$ の2相のクロックを受け、外部からリセット信号を受けることによって、アドレスバスへ0番地の信号を出します。

(2) (1)と同時にCPUステータス信号を出し、これはステータスラッチ(ステータス情報を一時的に記憶するフリップフロップ)で保持されます。ステータス信号はCPUが実行しようとするマシンサイクルの状態を外部回路へ知らせるための信号です。メモリから命令やデータを読み出す時は、マルチプレクサにステータス信号MEMRが与えられ、メモリからのリードデータ8ビットは、マルチプレクサを通して双方向データバスによってCPUへ読み出されます。

(3) CPUは読み出した8ビットのデータを命令として解読し、CPU内部のレジスタ間の演算であればそれを実行するし、命令が内部レジスタの1つの内容をメモリへ書き込むのであれば次のマシンサイクルで書き込むべきメモリのアドレスをアドレスバスへ送り出し、書き込むデータをデータバスへ送出します。

そして書き込み制御信号(WR)をメモリへ与えて書き込み動作を実行させます。

(4) 入出力命令の時はCPUがアドレスバスへ入出力ポートナンバーを出し、ステータスとしては入力の場合INP、出力の場合OUTを出し双方向データバスを使って、入出力装置へのデータ読み書きを行わせます。

(5) 割り込みは、CPUへINT端子から入力があると割り込み可能状態であれば、ステータス情報INTAを出し、マルチプレクサは割り込み命令を割り込み命令発生回路からCPUへ導き入れます。CPUは割り込み命令を実行することによって割り込みルーチンへ飛ぶことができます。

注1. 命令実行の過程には、M1, M2, M3, M4, M5の5つのマシンサイクルがあります。レジスタ間の転送、演算では、M1で命令読み出し、及び実行を行います。メモリをアクセスする命令や2バイト命令、3バイト命令などでは複数のマシンサイクルを要します。

注2. 割り込み応答信号は、INT信号による割り込み要求をCPUが受け付けるとき“H”になります。

## 8-BIT PARALLEL CPU

## プッシュダウンスタック動作

MELPS 8 CPUのスタックは、最後にストアされたものが最初に取り出される構造 (Last-In First-Out Stack) になっています。このスタックは、記憶装置の任意の場所にとることができその位置を示しているのがスタックポインタ (Stack Pointer) です。スタックポインタは16ビットのレジスタであるから記憶装置の容量に応じて、最大65,536バイトまでスタックを無制限に設定することができます。

割り込み処理の例と、そのときのプッシュダウンスタックの変化を図2、図3に示します。

図2. 割り込み処理説明

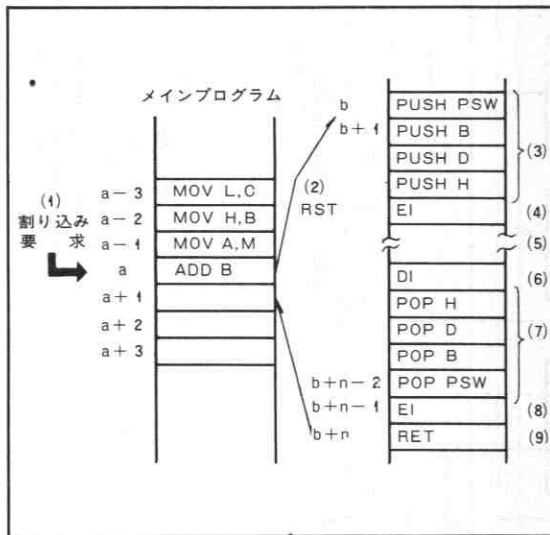


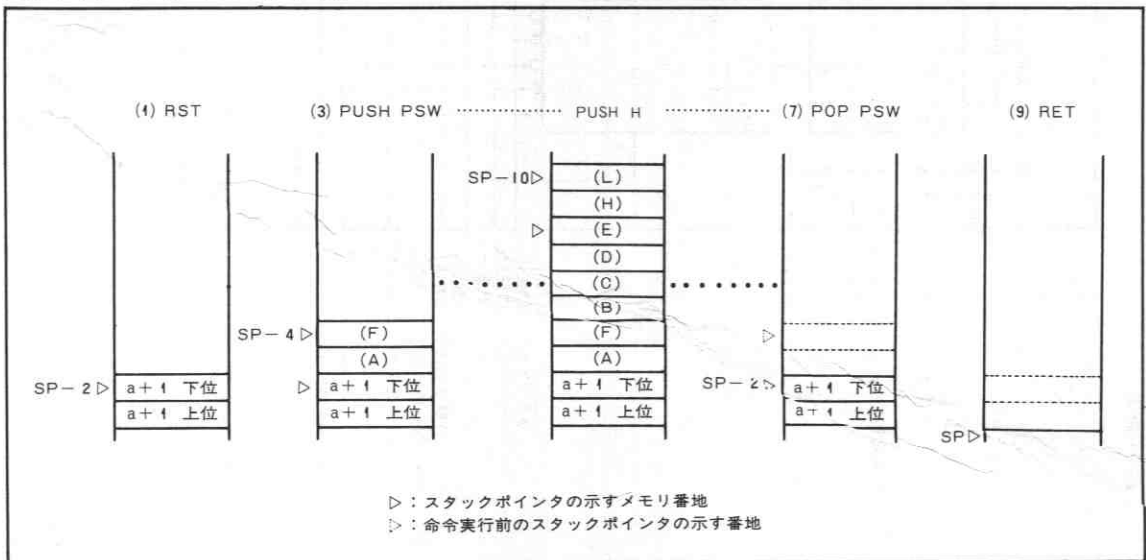
図2の説明を次に示します。

- (1) 外部からの割り込み要求がメインプログラムのa番地の命令を実行したときに発生します。
- (2) RST命令を挿入し、プログラムカウンタの内容をインクリメントし、プッシュダウンスタックに退避します。そして割り込み処理の先頭番地bへ飛び越します。
- (3) レジスタの内容をスタックに退避します。Fはフラグフリップフロップ(CY<sub>2</sub>, CY<sub>1</sub>, Z, P, Sを含む)8ビットのデータです。上位よりS, Z, 0, CY<sub>1</sub>, 0, P, 1, CY<sub>2</sub>の順に構成されます。
- (4) 割り込み受け付け可能な命令を実行することにより、次の割り込みの受け付けを可能にします。
- (5) 割り込み処理。
- (6) 割り込み禁止状態にします。
- (7) レジスタの内容を復帰。
- (8) 割り込み受け付け可能な命令を実行することにより、メインプログラム復帰後の割り込みの受け付けを可能にします。
- (9) プログラムカウンタの内容の復帰。メインプログラムのa+1番地へ戻ります。

図2でのプッシュダウンスタック動作を図3に示します。ここでSPは、割り込みが発生する前のスタックポインタの内容です。スタックポインタの初期値の設定は“LXI SP”命令を使用します。

なお、(3)の時にはスタックポインタはSP-4を示していますが最後の(9)のRET命令を実行したあとは最初の状態に戻り、スタックポインタの内容はSPになります。

図3. プッシュダウンスタックの動作





## M5L 8224P

(旧形名M54550P)

## CLOCK GENERATOR AND DRIVER FOR CPU M5L 8080AP, S

## 概要

M5L 8224Pは、CPU M5L 8080AP、S用クロックジェネレータ及びドライバです。水晶発振により制御され、発振周波数は任意に選べます。ショットキTTLプロセスを用いています。

## 特長

- 水晶発振のためクロック周波数が安定
- $\phi_1$ 及び $\phi_2$ の他、TTLレベルの $\phi_2$ 及び源発振周波数出力も取り出し可能
- システム電源投入時のCPUオートリセットが可能なリセット信号出力端子
- ステータスラッチ用信号出力
- 同期用レディ信号出力
- インテル社製8224とピン接続及び電気的特性とも互換性あり

## 用途

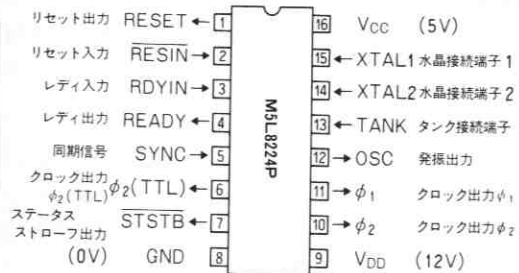
CPU M5L 8080AP、S用1チップのクロックジェネレータ及びドライバ

## 機能概要

XTAL1及びXTAL2端子に、18MHzの水晶発振子を接続すると、基本サイクル時間500nsで用いるCPU用クロック $\phi_1$ 、 $\phi_2$ 、TTLレベルの $\phi_2$ 及び源発振出力が取り出せます。このとき、 $\phi_1$ のパルス幅は110ns ( $2 \times 55$ ns)、 $\phi_2$ のパルス幅は275ns ( $5 \times 55$ ns)、 $\phi_2$ - $\phi_1$ 間隔は110ns ( $2 \times 55$ ns)となります。オーバートーン水晶発振子を用いる場合は、利得が少ないため、TANK端子に外付けのLC回路を接続します。

また、リセット入力端子RESINにCR回路を付加しますと、

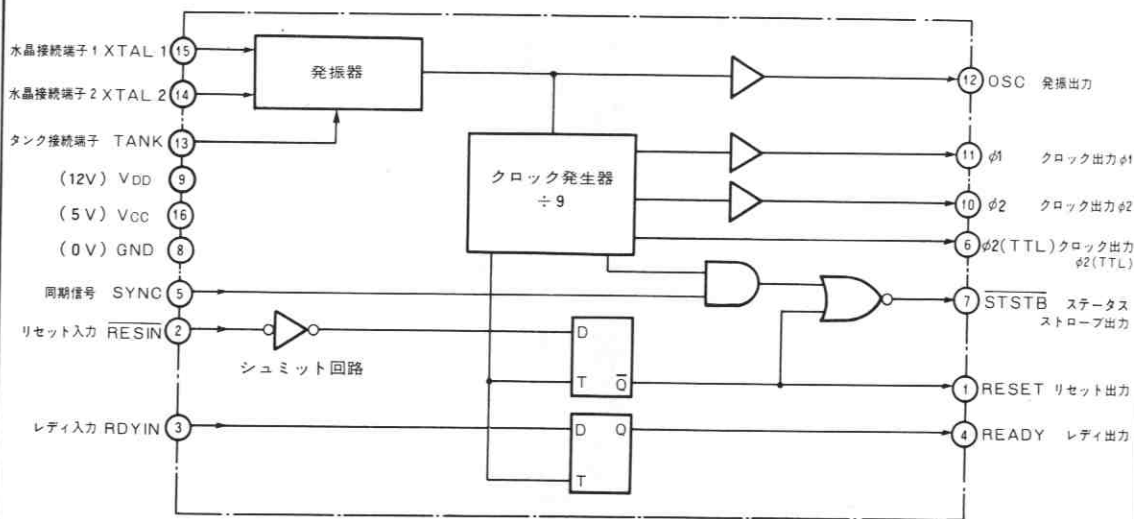
## ピン接続図(上面図)



外形 16P4

システムの電源投入時にRESET信号を発生し、SYNC端子にCPUからのSYNC信号を加えると、ステータスラッチ用のSTSTB信号を発生します。また、RDYIN端子に同期のとれない待期要求信号を入力すると、内部のDフリップフロップによって、同期のとれたREADY信号を発生します。

## ブロック図



# M5L 8224P

(旧形名M54550P)

## CLOCK GENERATOR AND DRIVER FOR CPU M5L 8080AP, S

### 動作説明

#### 発振器

基準クロック発生用の発振回路であり、XTAL1及びXTAL2端子に水晶振動子を接続します。発振出力は、バッファを通じてOSC端子に出力されますので、他の基準周波数源として利用できます。

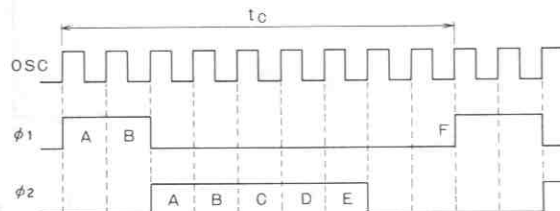
#### 9進カウンタ

水晶発振周波数を分周して、M5L 8080AP, S CPUに必要なクロック・タイミングを合成します。また、TTLレベルのクロック信号 $\phi_2$ (TTL)も出力されます。

#### ステータス ストロブ信号出力( $\overline{STSTB}$ )

CPUのステータス情報をラッチする時に使用します。SYNC端子に、CPUからのSYNC信号を入れたとき、SYNCが“H”レベルのとき、図1の $\phi_1$ のFに同期して信号がでます。この信号は、M5L 8228Pの $\overline{STSTB}$ 入力端子に接続します。

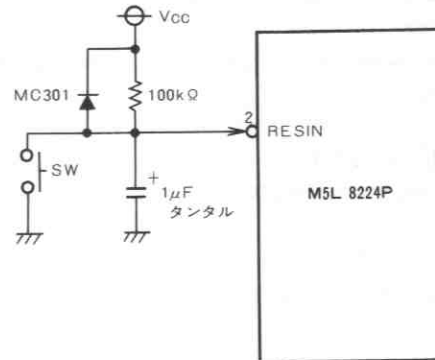
図1. クロック信号 タイミング図



#### リセット入力( $\overline{RESIN}$ )

この入力を“L”レベルにすると図1の $\phi_2$ のBに同期して、“RESET”端子が“H”レベルになります。この入力は、シュミット トリガ入力となっているため、図2のリセット回路例のように電源オン リセット動作が可能です。

図2. リセット回路例



#### レディ入力(RDYIN)

この入力を“L”レベルにすると、図1の $\phi_2$ のBに同期して、READY端子が“L”になり、CPUにウェイトをかけるときに使用します。



## M5L 8224P

(旧形名M54550P)

## CLOCK GENERATOR AND DRIVER FOR CPU M5L 8080AP, S

## 使用方法

M5L 8080AP, S CPUのクロックジェネレータとしてM5L 8224Pを使用する場合、水晶振動子の発振周波数は、CPUサイクルタイムの9倍にする必要があります。

たとえば、 $t_c$  (サイクルタイム) 500nsのときには

$$\frac{1}{500 \times 10^{-9}} \times 9 = 18(\text{MHz}) \text{ となります。}$$

ただし、CPUのサイクルタイムの規格は

最大：2 $\mu$ s、最小：480ns

のため水晶振動子の周波数 $f_x$ は

$$4.5\text{MHz} < f_x < 18.75\text{MHz}$$

の範囲で選ぶ必要があります、水晶振動子は基本波発振のものを推奨します。

水晶振動子をオーバートーン (倍調波振動) で使用する場合、TANK端子に図4に示すようなLCのタンク回路を接続する必要があります。また、10MHz以上の基本波水晶振動子を使用する場合、図5のように水晶振動子と直列に必ず10pF程度のコンデンサを挿入してください。

水晶振動子発注の際の条件は次の通りです。

許容誤差：0.005% 0~75°C

直列共振：基本波

負荷容量：20~35pF

等価抵抗：75 $\Omega$ 以下

図3 M5L8224P接続例

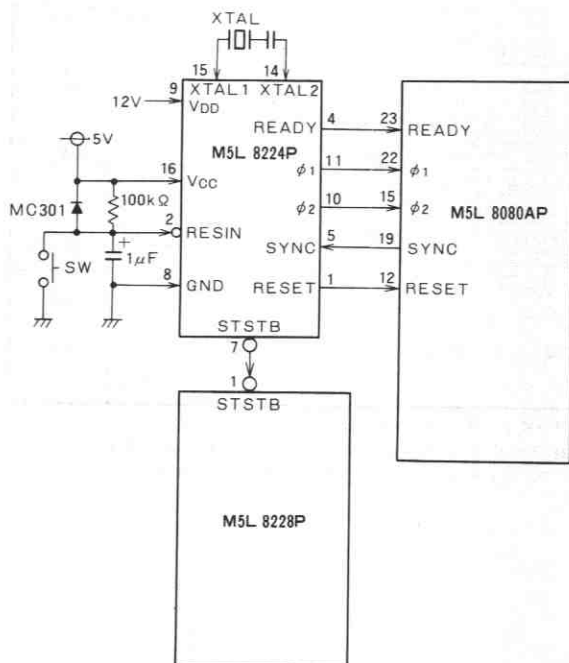


図4 水晶振動子のオーバートーン回路例

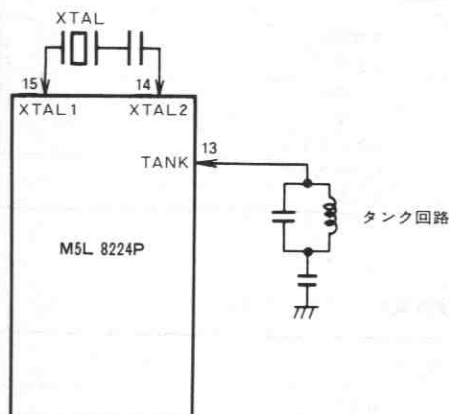
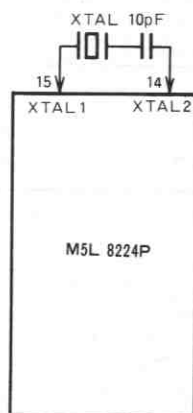


図5 10MHz以上の水晶振動子使用例



## 御使用上の注意

M5L 8224PのV<sub>CC</sub>端子(5V)に正常な電圧がかかっていない状態でV<sub>DD</sub>(12V)が、かかるとICを破壊する恐れがありますので電源投入順序に注意してください。

φ<sub>1</sub>、φ<sub>2</sub>出力は、GNDに短絡させないように注意してください。

# M5L 8224P

(旧形名M54550P)

## CLOCK GENERATOR AND DRIVER FOR CPU M5L 8080AP, S

絶対最大定格(指定のない場合は、 $T_a=0\sim 75^{\circ}\text{C}$ )

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧		7	V
V <sub>DD</sub>	電源電圧		13.5	V
V <sub>I</sub>	入力電圧		7	V
V <sub>O</sub>	出力電圧, $\phi_1, \phi_2$ を除く		V <sub>CC</sub>	V
P <sub>d</sub>	最大消費電力		800	mW
T <sub>opr</sub>	動作周囲温度		0~75	°C
T <sub>stg</sub>	保存温度		-55~125	°C

推奨使用条件(指定のない場合は、 $T_a=0\sim 75^{\circ}\text{C}$ )

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.75	5	5.25	V
V <sub>DD</sub>	電源電圧	11.4	12	12.6	V
I <sub>OH</sub>	"H"出力電流, $\phi_1, \phi_2, \text{READY, RESET}$ 端子			-100	$\mu\text{A}$
I <sub>OH</sub>	"H"出力電流, 他の出力端子			-1	mA
I <sub>OL</sub>	"L"出力電流, $\phi_1, \phi_2, \text{READY, RESET, STSTB}$ 端子			2.5	mA
I <sub>OL</sub>	"L"出力電流, 他の出力端子			16	mA
f <sub>rmax</sub>	最高繰り返し周波数			27	MHZ

電気的特性(指定のない場合は、 $T_a=0\sim 75^{\circ}\text{C}$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>IH</sub>	"H"入力電圧, RESIN 端子		2.6			V
V <sub>IH</sub>	"H"入力電圧, 他の入力端子		2			V
V <sub>IL</sub>	"L"入力電圧				0.8	V
V <sub>IH-VIL</sub>	入力ヒステリシス電圧, RESIN	V <sub>CC</sub> =5V, V <sub>DD</sub> =12V	0.25			V
V <sub>IC</sub>	入力クランプ電圧	V <sub>CC</sub> =4.75V, I <sub>IC</sub> =-5mA			-1	V
V <sub>OH</sub>	"H"出力電圧, $\phi_1, \phi_2$ 端子	V <sub>CC</sub> =4.75V, V <sub>DD</sub> =11.4V, I <sub>OH</sub> =-100 $\mu\text{A}$	9.4			V
V <sub>OH</sub>	"H"出力電圧, READY, RESET 端子	V <sub>CC</sub> =4.75V, V <sub>DD</sub> =11.4V, I <sub>OH</sub> =-100 $\mu\text{A}$	3.6			V
V <sub>OH</sub>	"H"出力電圧, 他の出力端子	V <sub>CC</sub> =4.75V, V <sub>DD</sub> =11.4V, I <sub>OH</sub> =-1mA	2.4			V
V <sub>OL</sub>	"L"出力電圧, $\phi_1, \phi_2, \text{READY, RESET, STSTB}$ 端子	V <sub>CC</sub> =4.75V, V <sub>DD</sub> =11.4V, I <sub>OL</sub> =2.5mA			0.5	V
V <sub>OL</sub>	"L"出力電圧, 他の出力端子	V <sub>CC</sub> =4.75V, V <sub>DD</sub> =11.4V, I <sub>OL</sub> =16mA			0.5	V
I <sub>IH</sub>	"H"入力電流	V <sub>CC</sub> =5.25V, V <sub>DD</sub> =12.6V, V <sub>I</sub> =5.25V			10	$\mu\text{A}$
I <sub>IL</sub>	"L"入力電流	V <sub>CC</sub> =5.25V, V <sub>DD</sub> =12.6V, V <sub>I</sub> =0.5V			-0.25	mA
I <sub>OS</sub>	出力短絡電流(注3)	V <sub>CC</sub> =5V, V <sub>DD</sub> =12V V <sub>O</sub> =0V, V <sub>IH</sub> =4.5V, V <sub>IL</sub> =0V	-10		-70	mA
I <sub>CC</sub>	電源電流	V <sub>CC</sub> =5.25V, V <sub>DD</sub> =12.6V, V <sub>IH</sub> =4.5V V <sub>IL</sub> =0V			115	mA
I <sub>DD</sub>	電源電流				12	mA

注1. すべての電圧は、回路のGND端子(ピン8)を基準(0V)とし、最大及び最小の値は、絶対値表示とします。

注2. 電流の方向は、回路に流入するときを正(無記号)、流出するときを負(-記号)とし、最大及び最小の値は、絶対値表示とします。

注3.  $\phi_1, \phi_2$  出力は除く。測定は短時間に行い、同時に2出力以上測定しないでください。 $\phi_1, \phi_2$  出力はGNDと短絡しないでください。

## CLOCK GENERATOR AND DRIVER FOR CPU M5L 8080AP, S

タイミング必要条件(指定のない場合は,  $T_a=25^\circ\text{C}$ ,  $V_{CC}=5\text{V}$ ,  $V_{DD}=12\text{V}$ )

記号	項目	測定条件 (注4)	規格値			単位
			最小	標準	最大	
$t_{su}(\text{RDYIN})$	STSTBに対するRDYINセットアップ時間	STSTB出力端子 $C_L=15\text{pF}$	$50-\frac{4t_C}{9}$			ns
$t_h(\text{RDYIN})$	STSTBに対するRDYINホールド時間	$R_{L1}=2\text{k}\Omega$ $R_{L2}=4\text{k}\Omega$	$\frac{4t_C}{9}$			ns

スイッチング特性(指定のない場合は,  $T_a=25^\circ\text{C}$ ,  $V_{CC}=5\text{V}$ ,  $V_{DD}=12\text{V}$ )

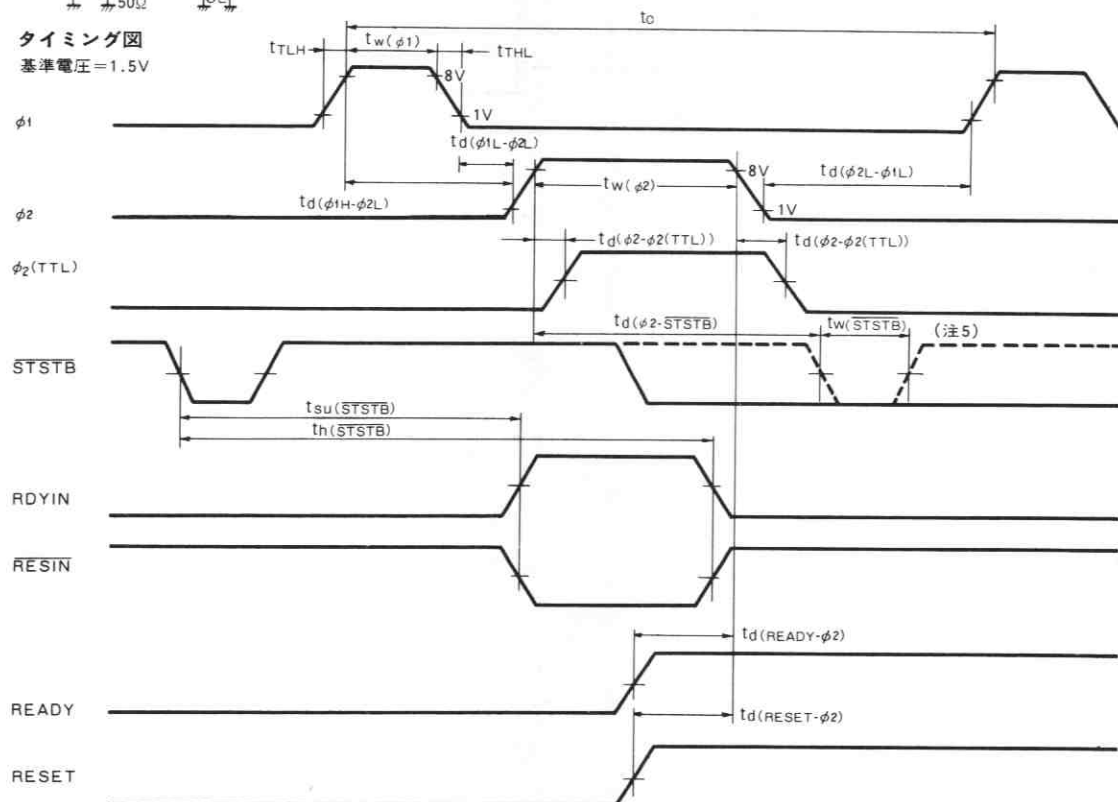
記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_w(\phi_1)$	クロック $\phi_1$ パルス幅	$\phi_1, \phi_2$ 端子	$\frac{2t_C}{9}-20$			ns
$t_w(\phi_2)$	クロック $\phi_2$ パルス幅	$C_L=20-50\text{pF}$	$\frac{5t_C}{9}-35$			ns
$t_d(\phi_1L-\phi_2L)$	$\phi_1$ "L"- $\phi_2$ "L"遅延時間	$R_{L1}=\infty\Omega, R_{L2}=\infty\Omega$	0			ns
$t_d(\phi_2L-\phi_1L)$	$\phi_2$ "L"- $\phi_1$ "L"遅延時間		$\frac{2t_C}{9}-30$			ns
$t_d(\phi_1H-\phi_2L)$	$\phi_1$ "H"- $\phi_2$ "L"遅延時間		$\frac{2t_C}{9}-5$		$\frac{2t_C}{9}+25$	ns
$t_{TLH}$	"L"-H"遷移時間, $\phi_1, \phi_2$ 端子	$\phi_1, \phi_2$ 端子 $C_L=20-50\text{pF}$			20	ns
$t_{THL}$	"H"-L"遷移時間, $\phi_1, \phi_2$ 端子	$R_{L1}=\infty\Omega, R_{L2}=\infty\Omega$			20	ns
$t_d(\phi_2-\phi_2(\text{TTL}))$	$\phi_2-\phi_2(\text{TTL})$ 遅延時間	$\phi_2(\text{TTL})$ 端子 $C_L=30\text{pF}, R_{L1}=300\Omega, R_{L2}=600\Omega$	-10		20	ns
$t_d(\phi_2-\text{STSTB})$	$\phi_2-\text{STSTB}$ 遅延時間	STSTB端子	$\frac{6t_C}{9}-30$		$\frac{6t_C}{9}$	ns
$t_w(\text{STSTB})$	STSTBパルス幅	$C_L=15\text{pF}, R_{L1}=2\text{k}\Omega, R_{L2}=4\text{k}\Omega$	$\frac{1t_C}{9}-15$			ns
$t_d(\text{READY}-\phi_2)$	READY- $\phi_2$ 遅延時間	READY, RESET端子	$\frac{4t_C}{9}-25$			ns
$t_d(\text{RESET}-\phi_2)$	RESET- $\phi_2$ 遅延時間	$C_L=10\text{pF}, R_{L1}=2\text{k}\Omega, R_{L2}=4\text{k}\Omega$				ns

注4. 測定回路図



## タイミング図

基準電圧=1.5V



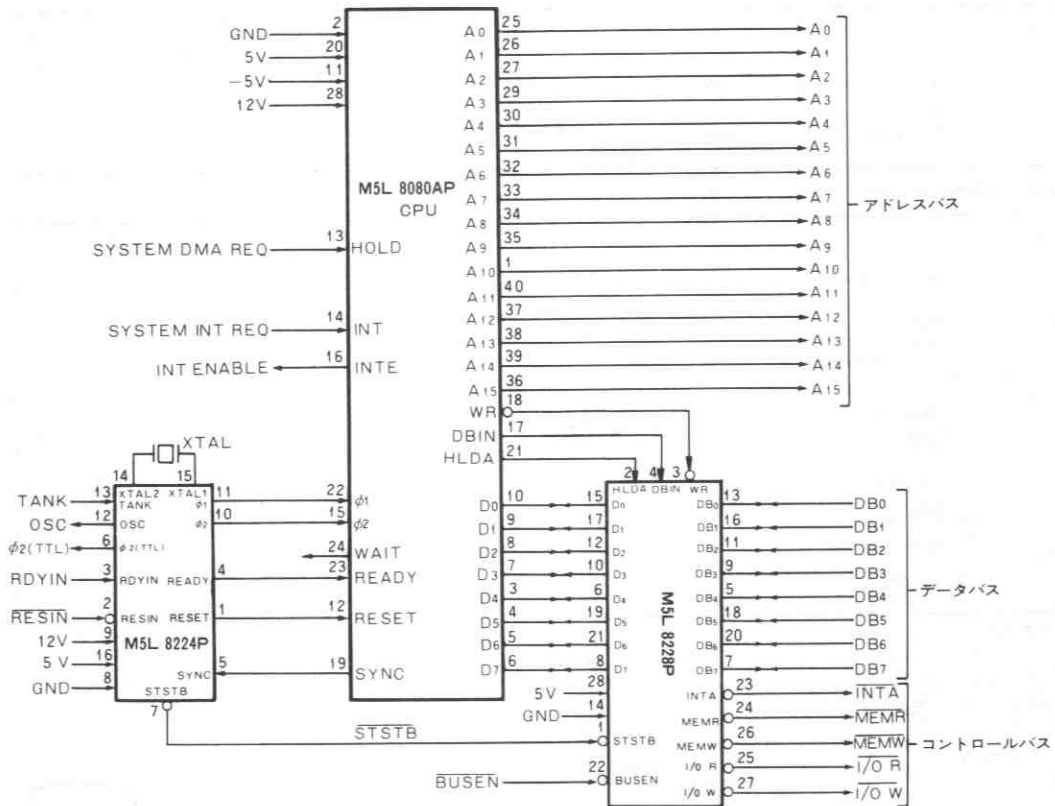
注5. RESETが"L"の時、点線の波形となります。

# M5L 8224P

(旧形名 M54550P)

## CLOCK GENERATOR AND DRIVER FOR CPU M5L 8080AP, S

### 応用例



# M5L 8228P

(旧形名M54551P)

## SYSTEM CONTROLLER AND BUS DRIVER FOR CPU M5L 8080AP, S

### 概要

M5L 8228Pは、マイクロプロセッサMELPS8 CPU M5L 8080AP、S用のシステムコントローラ及びバスドライバです。

マイクロプロセッサMELPS8シリーズのRAM、ROM及び出力回路に直接接続するのに必要なすべての信号を発生します。

8ビット双方向性バスとシステム制御信号はTTLの高ファンアウトを持っています。ショットキTTLプロセスを用いています。

### 特長

- 双方向性バスドライバにより、データバスが分離可能
- ステータス信号が取り出し可能
- 高TTLファンアウト
- 割り込みがかかると、RST 7 命令をデータバス上に発生
- インテル社製8228とピン接続及び電気的特性の互換性あり

### 用途

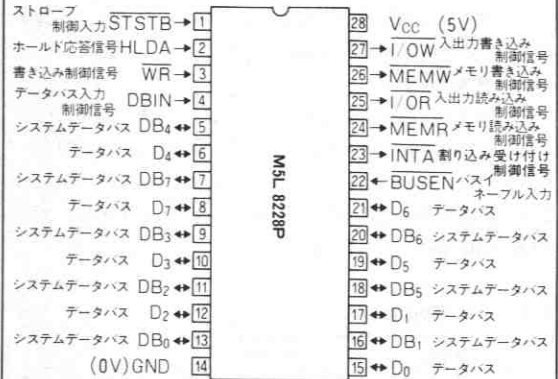
CPU M5L 8080AP、S用のデータバスドライバ及びステータス信号発生

### 機能概要

双方向性バスドライバは、高TTLファンアウトを持っています。これはCPU M5L 8080AP、Sのデータバスとメモリ及び入出力装置とを分離します。

ストローブ信号STSTBにより、CPUのステータス情報が内部ステータスラッチにラッチされる。CPUからの制御信号(DBIN、WR、HLDA)と内部ステータスラッチの内容により、メモリーロードMEMR、メモリーライトMEMW、入出力リードI/OR、入出力ライトI/OW及び割り込み応答INTAの各制御信号が作られます。

### ピン接続図(上面図)

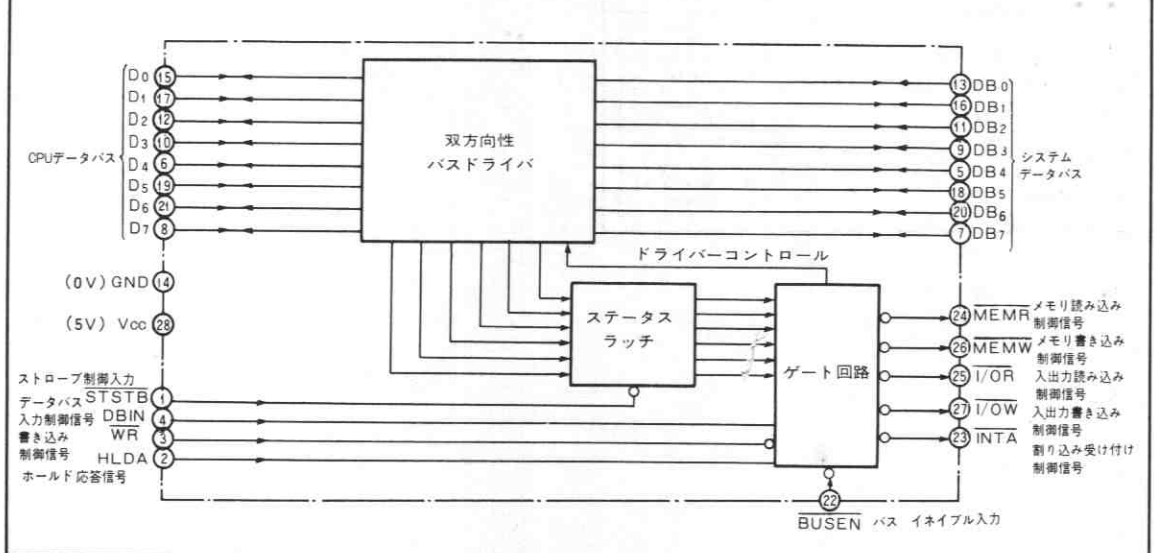


外形 28P1

バスイネーブル入力BUSENが“H”になると、システムデータバスバッファ及び制御信号バッファは高インピーダンス状態となります。

割り込み応答出力INTAに1 kΩの抵抗を直列に入れ、12Vの電源に接続しておくと、割り込みがかかると、DBIN入力か無動作のとき、命令RST 7がデータバス上に出力されます。

### ブロック図



# M5L 8228P

(旧形名 M54551P)

## SYSTEM CONTROLLER AND BUS DRIVER FOR CPU M5L 8080AP, S

### 動作説明

#### 双方向性バスドライバ

CPUとメモリ、I/O間のデータバッファであり、ゲート回路によって、その方向がコントロールされます。データバス出力は十分な負荷ドライブ能力 ( $I_{OL}=10mA$ ) があります。また、バスイネーブル入力 ( $\overline{BUSEN}$ ) によって、高インピーダンス状態になり、システムバスとCPUを切り離すことができます。

#### ステータスラッチ

CPUからのステータス情報をラッチし、メモリ、I/Oのコントロール信号の合成に使用されます。STSTB入力の立ち下がりでのD<sub>0</sub>~D<sub>7</sub>端子のデータ (CPUのステータス) をラッチします。STSTB端子は、通常M5L 8224P (クロックジェネレータ) のSTSTB出力端子に接続します。

#### ステータス信号の機能

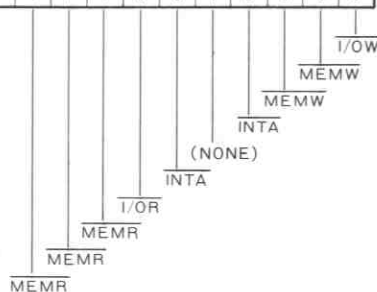
データバス	信号名	ステータス情報名	機能
D <sub>0</sub>	INTA	割り込み応答 ステータス	INT信号による割り込み要求をCPUが受け付けた時“H”になります
D <sub>1</sub>	$\overline{WO}$	書き込みモード判定 ステータス	CPUが読み出しモードになる時“H”になり、書き込みモードになる時“L”になります
D <sub>2</sub>	STACK	スタック ステータス	アドレスバス上にスタックポインタの値、すなわちプッシュダウンスタックの番地が出力されるマシンサイクルの時“H”になります
D <sub>3</sub>	HLTA	HLT命令応答 ステータス	CPUがHLT命令を実行し、停止状態になるマシンサイクルの時“H”になります
D <sub>4</sub>	OUT	出力命令応答 ステータス	アドレスバス上に出力ポートの番号が、そしてデータバス上にデータが出力されるマシンサイクルの時“H”になります。出力ポートの番号は、アドレスバスの上位8ビット、下位8ビットに同時に出力されます
D <sub>5</sub>	M <sub>1</sub>	M <sub>1</sub> ステータス	CPUが命令の第1バイト目を読み出すマシンサイクルの時“H”になります
D <sub>6</sub>	INP	入力命令応答 ステータス	アドレスバス上に入力ポートの番号が出力されデータバスが入力モードになるマシンサイクルの時“H”になります。入力ポートの番号は、アドレスバスの上位8ビット、下位8ビットに同時に出力されます
D <sub>7</sub>	MEMR	メモリ リード ステータス	データバスがメモリからの読み出しに用いられるマシンサイクルの時“H”になります

### ゲート回路

ステータスラッチの内容と、CPUからの、DBIN、 $\overline{WR}$ 、HLDA信号とを合成して、メモリ、I/Oのコントロール信号を発生します。次にCPUステータス情報とM5L 8228Pコントロール信号出力との関係を示します。

#### ステータス情報とマシンサイクルのタイプ

ステータス情報	モード番号	1	2	3	4	5	6	7	8	9	10
データバスのビット	ステータス信号名	命令フェッチ	メモリリード	スタックリード	入力リード	割り込み認知	HALT認知	HALT時の割り込み認知	メモリライト	スタックライト	出力ライト
D <sub>0</sub>	INTA	0	0	0	0	1	0	1	0	0	0
D <sub>1</sub>	$\overline{WO}$	1	1	1	1	1	1	1	0	0	0
D <sub>2</sub>	STACK	0	0	1	0	0	0	0	0	1	0
D <sub>3</sub>	HLTA	0	0	0	0	0	1	1	0	0	0
D <sub>4</sub>	OUT	0	0	0	0	0	0	0	0	0	1
D <sub>5</sub>	M <sub>1</sub>	1	0	0	0	1	0	1	0	0	0
D <sub>6</sub>	INP	0	0	0	1	0	0	0	0	0	0
D <sub>7</sub>	MEMR	1	1	1	0	0	1	0	0	0	0



# M5L8228P

(旧形名M54551P)

## SYSTEM CONTROLLER AND BUS DRIVER FOR CPU M5L 8080AP, S

### INTA端子の使用法

#### (1)割り込み命令を外部から加える場合

割り込み命令を外部から加える例を図1、図2に示します。

図1. 割り込み命令を外部から加える例

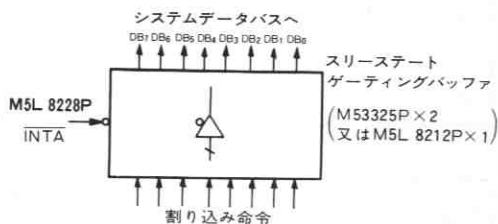


図2. 割り込み命令にプライオリティを持たせる場合

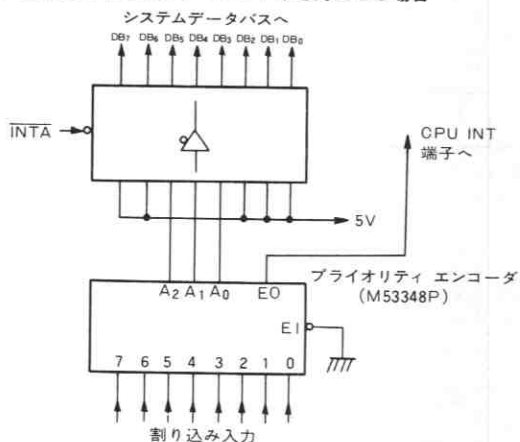
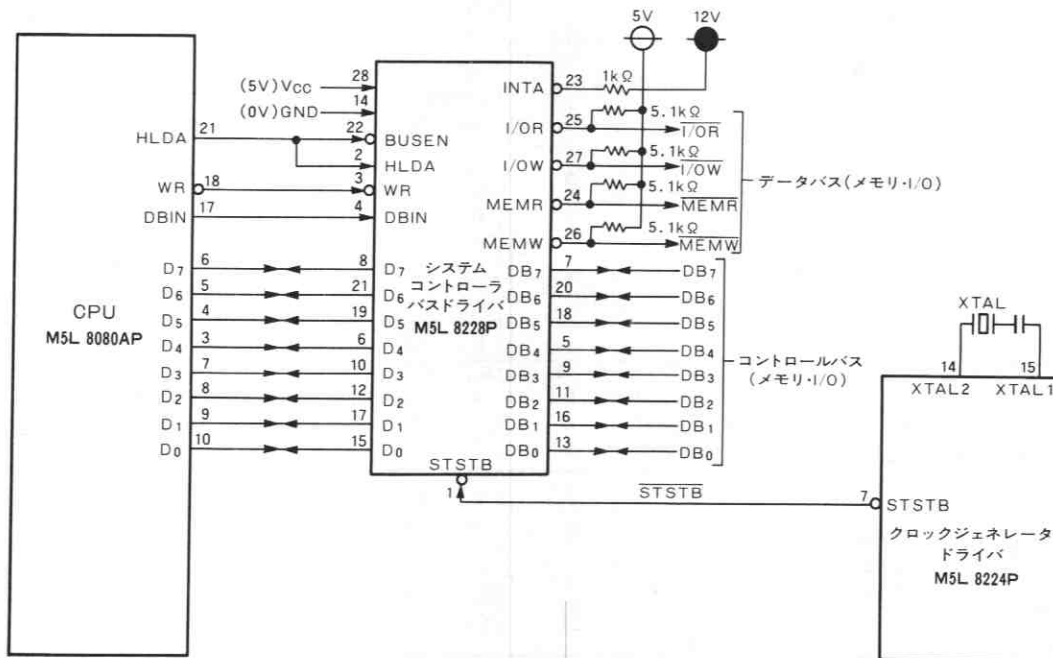


図3 M5L 8228P応用例



#### (2)M5L 8228 Pで割り込み命令を発生させる場合

INTA端子を1kΩの抵抗を介して12Vラインに接続すると、CPUが、INTA(割り込みアックレッジ)のステータスを出したとき、次のDBINでCPUデータバスにコード“FF16”命令(RST 7)を割り込み命令として自動発生します。

#### 電源投入時の状態

電源が入ったとき、M5L 8228P内部のステータス ラッチの状態は不安定ですが、M5L 8224P(クロックジェネレータ)がリセット信号をCPUに出す時、STSTB信号をM5L 8228Pに送ります。このとき、CPUデータバスは高インピーダンス状態ですが、M5L 8228P(システムコントローラ)の内部でD<sub>2</sub>とD<sub>6</sub>入力にプルアップ抵抗がついており、D<sub>2</sub>=D<sub>6</sub>="1"がラッチされます。これにより内部フリップフロップはリセットされるので、電源投入時に不要なコントロール信号が出ることはありません。

#### BUSEN端子の使用法

M5L 8228PとCPUの接続例を図3に示します。BUSEN端子は“H”レベルになると、全てのデータバスバッファ及びコントロール出力バッファを、高インピーダンス状態にします。したがって、CPUのHLDA端子とM5L 8228PのBUSEN端子を接続しておく、CPUにHOLD要求がかかり、CPUからHLDA(ホールドアックレッジ)信号が出されたとき、システムのデータバス及びコントロールバスは外部からコントロールできます。DMAを行う場合に便利な方法です。

# M5L 8228P

(旧形名M54551P)

## SYSTEM CONTROLLER AND BUS DRIVER FOR CPU M5L 8080AP, S

絶対最大定格(指定のない場合は、 $T_a = 0 \sim 75^\circ\text{C}$ )

記号	項目	条件	定格値	単位
$V_{CC}$	電源電圧		7	V
$V_I$	入力電圧, $D_0 \sim D_7$ , STSTB端子		$V_{CC}$	V
$V_I$	入力電圧, 他の入力端子		7	V
$V_O$	出力電圧		$V_{CC}$	V
$P_d$	最大消費電力		1	W
$T_{opr}$	動作周囲温度		$0 \sim 75$	$^\circ\text{C}$
$T_{stg}$	保存温度		$-55 \sim 125$	$^\circ\text{C}$

推奨使用条件(指定のない場合は、 $T_a = 0 \sim 75^\circ\text{C}$ )

記号	項目	規格値			単位
		最小	標準	最大	
$V_{CC}$	電源電圧	4.75	5	5.25	V
$I_{OH}$	"H"出力電流, $D_0 \sim D_7$ 端子			-10	$\mu\text{A}$
$I_{OH}$	"H"出力電流, 他の出力端子			-1	mA
$I_{OL}$	"L"出力電流, $D_0 \sim D_7$ 端子			2	mA
$I_{OL}$	"L"出力電流, 他の出力端子			10	mA

電気的特性(指定のない場合は、 $T_a = 0 \sim 75^\circ\text{C}$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$V_{IH}$	"H"入力電圧		2			V
$V_{IL}$	"L"入力電圧				0.8	V
$V_{IC}$	入力クランプ電圧	$V_{CC} = 4.75\text{V}$ , $I_{IC} = -5\text{mA}$			-1	V
$V_{OH}$	"H"出力電圧, $D_0 \sim D_7$ 端子	$V_{CC} = 4.75\text{V}$ , $V_{IH} = 2\text{V}$ , $V_{IL} = 0.8\text{V}$ $I_{OH} = -10\mu\text{A}$	3.6			V
	"H"出力電圧, 他の出力端子	$V_{CC} = 4.75\text{V}$ , $V_{IH} = 2\text{V}$ , $V_{IL} = 0.8\text{V}$ $I_{OH} = -1\text{mA}$	2.4			V
$V_{OL}$	"L"出力電圧, $D_0 \sim D_7$ 端子	$V_{CC} = 4.75\text{V}$ , $V_{IH} = 2\text{V}$ , $V_{IL} = 0.8\text{V}$ $I_{OL} = 2\text{mA}$			0.5	V
	"L"出力電圧, 他の出力端子	$V_{CC} = 4.75\text{V}$ , $V_{IH} = 2\text{V}$ , $V_{IL} = 0.8\text{V}$ $I_{OL} = 10\text{mA}$			0.5	V
$I_{OZ}$	"オフ状態"出力電流	$V_{CC} = 5.25\text{V}$ , $V_{IH} = 2\text{V}$ , $V_{IL} = 0.8\text{V}$ $V_O = 5.25\text{V}$			20	$\mu\text{A}$
	"オフ状態"出力電流	$V_{CC} = 5.25\text{V}$ , $V_{IH} = 2\text{V}$ , $V_{IL} = 0.8\text{V}$ $V_O = 0.5\text{V}$			-20	$\mu\text{A}$
$I_{IH}$	"H"入力電流, STSTB端子				100	$\mu\text{A}$
	"H"入力電流, $DB_0 \sim DB_7$ 端子	$V_{CC} = 5.25\text{V}$ , $V_{IH} = 4.5\text{V}$ , $V_{IL} = 0\text{V}$			20	$\mu\text{A}$
	"H"入力電流, 他の入力端子	$V_I = 5.25\text{V}$			100	$\mu\text{A}$
$I_{IL}$	"L"入力電流, STSTB端子				-0.5	mA
	"L"入力電流, $D_2, D_6$ 端子	$V_{CC} = 5.25\text{V}$ , $V_{IH} = 4.5\text{V}$ , $V_{IL} = 0\text{V}$			-0.75	mA
	"L"入力電流, $D_0, D_1, D_4, D_5, D_7$ 端子	$V_I = 0.5\text{V}$			-0.25	mA
	"L"入力電流, 他の入力端子				-0.25	mA
$I_{OS}$	出力短絡電流(注3)	$V_{CC} = 5\text{V}$ , $V_{IH} = 4.5\text{V}$ , $V_{IL} = 0\text{V}$	-15		-90	mA
$I_{I(NTA)}$	INTA端子電流	$V_{DD} = 12\text{V}$ , $R_L = 1\text{k}\Omega \pm 10\%$			5	mA
$I_{CC}$	$V_{CC}$ 電源電流	$V_{CC} = 5.25\text{V}$ , $V_{IH} = 4.5\text{V}$ , $V_{IL} = 0\text{V}$			190	mA

注1. すべての電圧は、回路のGND端子(ピン14)を基準(0V)とし、最大及び最小の値は、絶対値表示とします。

2. 電流の方向は、回路に流入するときに正(無記号)、流出するときに負(-記号)とし、最大及び最小の値は絶対値表示とします。

3. 測定は、短時間に行い同時に2出力以上測定しないでください。

タイミング必要条件(指定のない場合は、 $T_a = 0 \sim 75^\circ\text{C}$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_w(\text{STSTB})$	STSTBパルス幅		22			ns
$t_{su}(\text{DA})$	STSTBに対する $D_0 \sim D_7$ セットアップ時間		8			ns
$t_{su}(\text{DB})$	HLDAに対する $DB_0 \sim DB_7$ セットアップ時間		10			ns
$t_h(\text{DA})$	STSTBに対する $D_0 \sim D_7$ ホールド時間		5			ns
$t_h(\text{DB})$	HLDAに対する $DB_0 \sim DB_7$ ホールド時間		20			ns

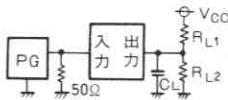


## SYSTEM CONTROLLER AND BUS DRIVER FOR CPU M5L 8080AP, S

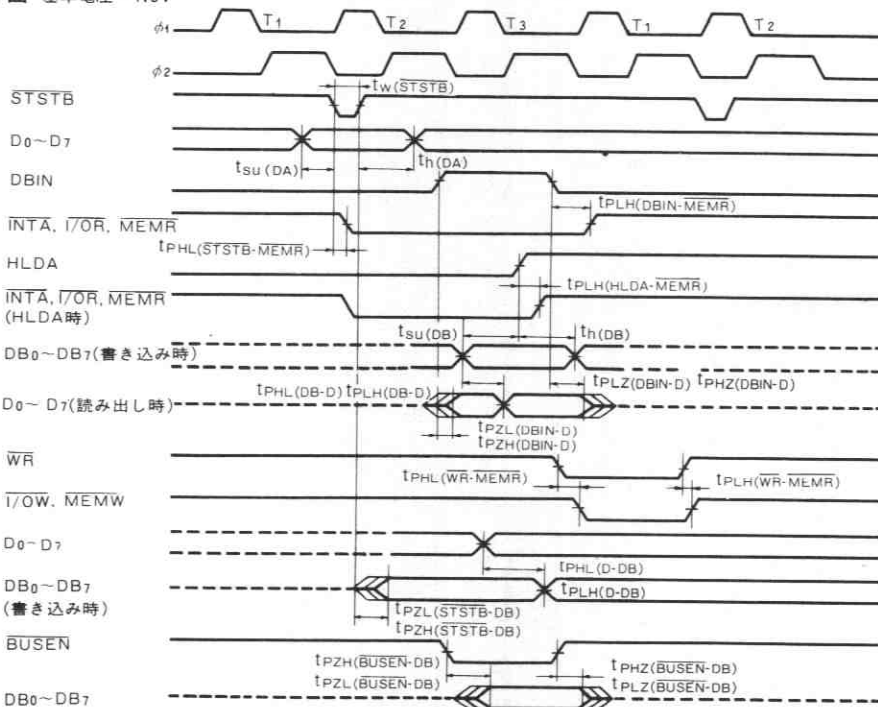
スイッチング特性(指定のない場合は,  $T_a = 25^\circ\text{C}$ ,  $V_{CC} = 5\text{V}$ )

記号	項目	測定条件 (注4)	規格値			単位
			最小	標準	最大	
$t_{PHL}(\text{STSTB-MEMR})$	出力“H-L”伝搬時間, 入力STSTBから出力MEMR, I/OR, INTA	$V_{IH} = 4.5\text{V}$ , $V_{IL} = 0\text{V}$	20		70	ns
$t_{PLH}(\text{DBIN-MEMR})$	出力“L-H”伝搬時間, 入力DBINから出力MEMR, I/OR, INTA	$C_L = 100\text{pF}$ , $R_{L1} = 500\Omega$ , $R_{L2} = 1\text{k}\Omega$			40	ns
$t_{PZL}(\text{DBIN-D})$ $t_{PZH}(\text{DBIN-D})$ $t_{PHZ}(\text{DBIN-D})$ $t_{PLZ}(\text{DBIN-D})$	出力“Z-L”, “Z-H”, “H-Z”, “L-Z” 伝搬時間, 入力DBINから出力D0~D7	$C_L = 25\text{pF}$ , $R_{L1} = 4\text{k}\Omega$ , $R_{L2} = \infty\Omega$			55	ns
$t_{PHL}(\text{D-DB})$ $t_{PLH}(\text{D-DB})$	出力“H-L”及び“L-H”伝搬時間, 入力D0~D7から出力D0~D7				40	ns
$t_{PHL}(\text{WR-MEMW})$ $t_{PLH}(\text{WR-MEMW})$	出力“H-L”及び“L-H”伝搬時間, 入力WRから出力MEMW, I/OW		5		55	ns
$t_{PZL}(\text{STSTB-DB})$ $t_{PZH}(\text{STSTB-DB})$	出力“Z-L”及び“Z-H”伝搬時間, 入力STSTBから出力D0~D7				40	ns
$t_{PHL}(\text{D-DB})$ $t_{PLH}(\text{D-DB})$	出力“H-L”及び“L-H”伝搬時間, 入力D0~D7から出力D0~D7	$C_L = 100\text{pF}$ , $R_{L1} = 500\Omega$ , $R_{L2} = 1\text{k}\Omega$	5		50	ns
$t_{PZL}(\text{BUSEN-DB})$ $t_{PZH}(\text{BUSEN-DB})$ $t_{PHZ}(\text{BUSEN-DB})$ $t_{PLZ}(\text{BUSEN-DB})$	出力“Z-L”, “Z-H”, “H-Z”, “L-Z” 伝搬時間, 入力BUSENから出力D0~D7				40	ns
$t_{PLH}(\text{HLDA-MEMR})$	出力“L-H”伝搬時間, 入力HLDAから出力MEMR, I/OR, INTA				35	ns

注4. 測定回路図



タイミング図 基準電圧=1.5V

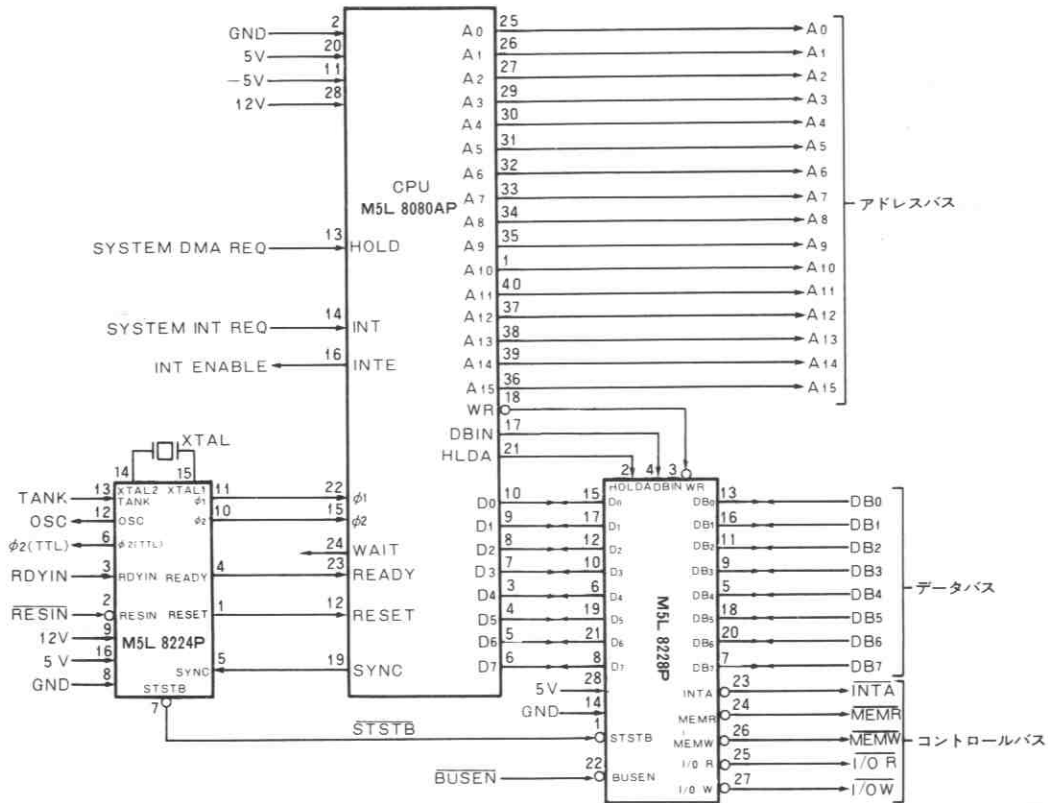


# M5L 8228P

(旧形名M54551P)

## SYSTEM CONTROLLER AND BUS DRIVER FOR CPU M5L 8080AP, S

応用例



# M5L 8085AP, S, M5L 8085AP, S-20

(旧形名M58712P, S)

## SINGLE CHIP 8-BIT N-CANNEL MICROPROCESSOR

### 概要

M5L 8085AP, Sは、NチャネルシリコンゲートED-MOSプロセスを使用して開発された1チップ8ビット並列処理CPUで、電源は+5Vだけ、基本クロックの速度は3MHzです。すでに量産しているM5L 8080AP, Sのパフォーマンスを改善し、より高いシステム速度を実現しました。

また、M5L 8085AP, Sと同じ機能で、電気的特性の異なるM5L 8085AP-20(最高周波数: 2MHz)があります。

### 特長

- 5V単一電源
- M5L 8080AP, Sとソフトウェアの完全な互換性あり(2命令追加)
- 命令サイクル ..... 1.3μs(最小)
- クロック発振器内蔵(外部クリスタル又はRC回路)
- システムコントローラ内蔵
- ベクターードインタラプト(内1個はノンマスク) ..... 4個
- 直列入出力ポート ..... 各1
- 10進、2進、倍精度、算術演算
- 64K語メモリへ直接アドレッシング
- インテル社8085Aとピン接続及び電気的特性に互換性あり

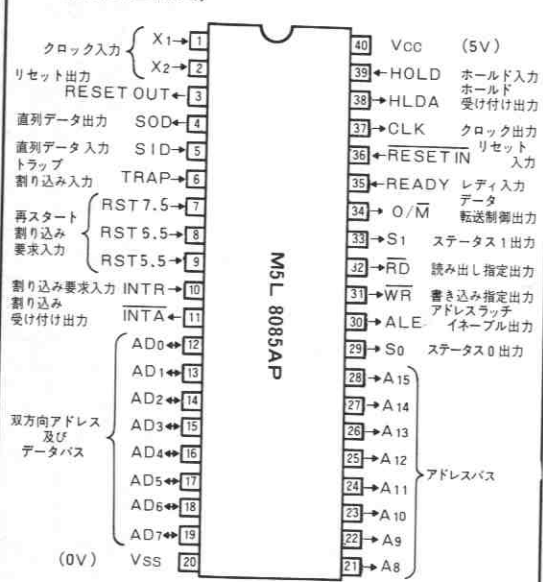
### 応用

マイクロコンピュータ用中央処理装置

### 機能概要

M5L 8085AP, Sは、時分割データバスを採用しています。番地の上位8ビットはアドレスバスに、下位8ビットはアドレス/データバスに分割しています。第1のサイクル期間に番地を送り出します。下位8ビットはアドレスラッチイネーブル(ALE)で、外部のラッチに保持させます。別の第2~第3のサイクル

### ピン接続図(上面図)

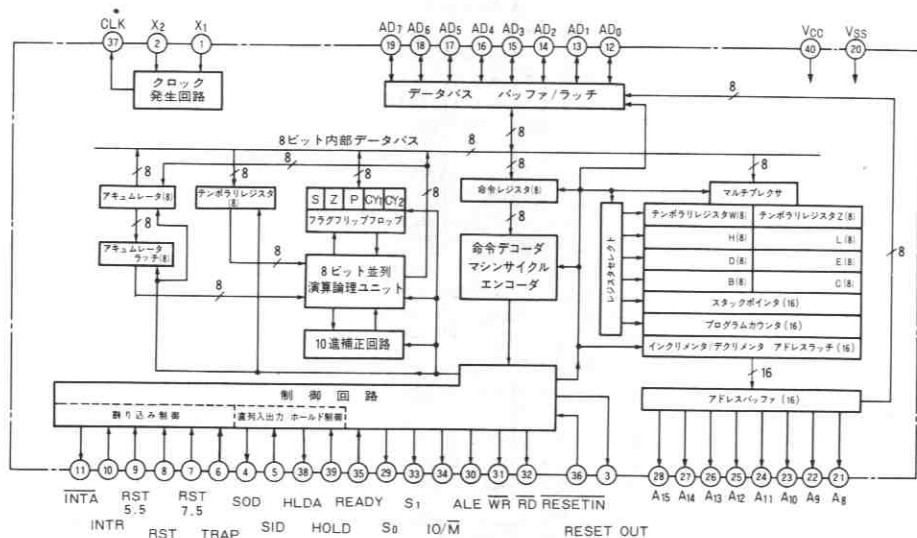


外形 40P1 (M5L 8085AP), 40S1 (M5L 8085AS)

でデータバスをメモリかI/Oのデータ転送に用います。M5L 8085AP, Sは、バス制御用に、RD、WR、IO/M信号を出し割り込み受け付け信号INTAも出します。HOLD、READY、すべての割り込み信号はクロック信号に同期しています。データを直列伝送するために、直列データ入力SID、直列データ出力SODの両ラインを用意しています。これらの機能に加えてM5L 8085AP, Sには3本のマスク可能な再起割り込みと、1本のマスクできないトラップ割り込みがあります。

8

### ブロック図



# M5L 8085AP, S, M5L 8085AP, S-20

(旧形名M58712P, S)

## SINGLE CHIP 8-BIT N-CANNEL MICROPROCESSOR

### 端子の機能説明

端子名	名称	入出力	機能															
A <sub>8</sub> ~A <sub>15</sub>	アドレスバス	出力	メモリアドレスの上位8ビットか、I/Oアドレスの8ビットを出力し、HOLDとHALTモードのときは高インピーダンス状態になります。															
AD <sub>0</sub> ~AD <sub>7</sub>	双方向アドレス及びデータバス	入出力	メモリ番地の下位8ビット(あるいはI/Oアドレス)が第1クロックサイクル中にバスに現われます。第2、第3クロックサイクルの間はデータバスになります。HOLDとHALTモードのときは高インピーダンスになります。															
ALE	アドレスラッチイネーブル出力	出力	第1クロックサイクル中に発生して、周辺部品のチップ上にあるラッチ回路に番地を取り込ませます。ALEの立下り時は、番地情報を取り込み、この時間を保証するように作られています。ALEは、ステータス情報をストロープするのにも使います。但し、バスアイドルマシンサイクルの間はALEは“L”レベルになります。															
S <sub>0</sub> , S <sub>1</sub>	ステータス出力	出力	バスサイクルの符号化したステータスです。 <table style="margin-left: auto; margin-right: auto;"> <tr> <td></td> <td>S<sub>1</sub></td> <td>S<sub>0</sub></td> </tr> <tr> <td>HALT</td> <td>0</td> <td>0</td> </tr> <tr> <td>WRITE</td> <td>0</td> <td>1</td> </tr> <tr> <td>READ, DAD</td> <td>1</td> <td>0</td> </tr> <tr> <td>FETCH</td> <td>1</td> <td>1</td> </tr> </table> S <sub>1</sub> は先行して発生するR/Wステータスとして使えます。		S <sub>1</sub>	S <sub>0</sub>	HALT	0	0	WRITE	0	1	READ, DAD	1	0	FETCH	1	1
	S <sub>1</sub>	S <sub>0</sub>																
HALT	0	0																
WRITE	0	1																
READ, DAD	1	0																
FETCH	1	1																
$\overline{RD}$	読み出し指定出力	出力	選択されたメモリかI/O番地を読むことと、データ転送にデータバスを利用できることを指示します。HOLDとHALTモードのときは高インピーダンスになります。															
$\overline{WR}$	書き込み指定出力	出力	データバス上にあるデータを選択されたメモリかI/O番地に書き込むことを指示します。データはWRの立下りでセットされます。HOLDとHALTモードのときは高インピーダンスになります。															
RST5.5 RST6.5 RST7.5	再スタート割り込み要求入力	入力	この3入力信号は、内部で自動的にRST命令を挿入しINTRと同じ時間に受け付けられません。RST7.5が一番高い優先順位で、RST5.5が一番低い優先順位です。この割り込み信号グループはINTRより高い優先順位になっています。															
TRAP	トラップ割り込み入力	入力	トラップ割り込みはマスクできない再スタート割り込みです。INTRと同じ時間に受け付けられます。この割り込みはマスクにもインタラプトイネーブルにも影響を受けません。最高位の優先順位を持つ割り込みです。															
$\overline{RESET IN}$	リセット入力	入力	このリセット信号(最低3ビット入力する必要がある)はプログラムカウンタを“0”にし、インタラプトイネーブルとHLDAフリップフロップをリセットします。命令レジスタ以外のフラグやレジスタは影響を受けません。リセット信号がある限り、リセット状態を継続します。															
RESET OUT	リセット出力	出力	CPUがリセット状態にあることを示しており、システムリセットとして使えます。この信号はプロセッサのクロック信号と同期しています。															
X <sub>1</sub> , X <sub>2</sub>	クロック入力	入力	クロックを内部で発生させるためにクリスタルかRC回路を外付けする端子です。クリスタルの代わりにX <sub>1</sub> には外部のクロック信号を入れることもできます。															
CLK	クロック出力	出力	CPUにクリスタルかRC回路をつけて発生させた信号でクロック出力信号として用います。															
IO/ $\overline{M}$	データ転送制御出力	出力	書き込み、読み取りがメモリに対してか又はI/Oに対してかを示しています。HOLDとHALTモードの間では高インピーダンスになります。															
READY	レディ信号	入力	READY信号が読み取りか書き込みサイクルで高レベルにあると、メモリか周辺機器がデータの授受の用意ができていることを示します。READY信号が低レベルだとCPUはREADY信号が高レベルになるのを待って読み取りか書き込みサイクルを完了します。															
HOLD	ホールド要求信号	入力	HOLD要求を受け取ると、CPUは現行のマシンサイクルの完了後、ただちにバスの使用权を放棄します。HOLD状態を終わらせたときだけ、プロセッサは、再びバスの使用权を得ます。CPUがHOLD信号を受け付けたとき、アドレスバス、データバス、 $\overline{RD}$ 、 $\overline{WR}$ 、IO/ $\overline{M}$ の各線は、高インピーダンスになります。															
HLDA	ホールド応答信号	出力	CPUがHOLD要求を受け付けて、次のクロックサイクルでバスの使用权を手放す事を示しています。HOLD要求が終了した後、HLDAは低レベルになります。HLDAが低レベルになって1/2クロックサイクル後CPUはバスを再び使用し始めます。															
INTR	割り込み要求信号	入力	汎用割り込み要求として用います。命令の最後のクロックサイクルの1サイクル前のクロックサイクル期間でだけサンプリングします。割り込みを受け付けるとプログラムカウンタ(PC)をとめて、INTA信号を出します。このサイクル中に割り込みサービスルーチンへ分岐するためにRSTかCALL命令を挿入することができます。INTRラインはソフトウェアで準備状態にしたり禁止したりできますがこの割り込み要求はRESETか割り込みを受け付けた直後に禁止になります。															
$\overline{INTA}$	割り込み受け付け制御信号	出力	INTRを受け付けた後の命令サイクルの期間で $\overline{RD}$ と同じ時間に $\overline{RD}$ に代って用います。															
SID	直列データ入力	入力	直列データの入力端子であり、RIM命令が実行されたときにはこの端子のデータはアキュムレータの第7ビット目に入ります。															
SOD	直列データ出力	出力	直列データの出力端子であり、SIM命令によって、この出力をセットしたりリセットしたりします。															

注. HOLD, READY及び、すべての割り込み信号はクロック信号に同期しています。

# M5L 8085AP, S, M5L 8085AP, S-20

(旧形名M58712P, S)

## SINGLE CHIP 8-BIT N-CHANNEL MICROPROCESSOR

### ステータス情報

ステータス情報をM5L 8085AP, Sから直接得ることができません。ALEをステータスのストローブとして用います。ステータスは部分的に符号化していて、これによってどんな形のバス伝送が行われるかを前もって知らせます。IO/ $\overline{M}$ サイクルステータス信号も直接出てきます。S<sub>0</sub>、S<sub>1</sub>を復号すると下記のステータス情報を得ます。

	S <sub>1</sub>	S <sub>0</sub>
HALT	0	0
WRITE	0	1
READ	1	0 (例外として、DAD命令の 第2,第3マシンサイクル)
FETCH	1	1

S<sub>1</sub>はすべてのバス伝送のR/ $\overline{W}$ の判断に使えます。

M5L 8085AP, Sでは、番地の下位8ビットはデータと時分割されています。番地の下位8ビットをメモリが周辺機器のアドレスラッチ回路に入れるにはALEをストローブとして用います。

### 割り込みと直列 I/O

M5L 8085AP, Sには5本の割り込み入力線INTR, RST5.5, RST6.5, RST7.5, TRAPがあります。INTRはM5L 8080AP, SのINTと同じ機能です。3本のRST入力線5.5, 6.5, 7.5には、それぞれプログラマブルマスクの機能を持っています。TRAPはマスク機能がない点を除き再スタート割り込みと同じです。

割り込みが可能で、割り込みマスクがセットされていない限り3本の再スタート割り込みはRSTの実行を内部に引き起こします。マスクがないTRAP割り込みの場合は、割り込み可能とかマスクの状態には関係なく、RSTの実行を内部に引き起こします。

名称	再スタート番地 (16進)
TRAP	24 <sub>16</sub>
RST5.5	2C <sub>16</sub>
RST6.5	34 <sub>16</sub>
RST7.5	3C <sub>16</sub>

再スタートの割り込みの入力には2つの形があります。RST5.5とRST6.5はINTRやM5L 8080AP, SのINTと同じく高レベルを検出してINTRと同じタイミングで受け付けます。RST7.5は立上りを検出します。RST7.5の場合はパルスがあれば割り込

み要求をセットします。要求が満たされるか、SIM命令かRESETのいずれかでリセットするまでこの要求を記憶しています。

すべての再スタート割り込みは別々にマスク可能で、プロセッサに割り込みさせないようにすることができます。RST7.5の要求は、マスクがセットされて割り込みが禁止されていても割り込み要求は記憶されます。SIM命令とRESETだけがマスクを操作できます。下記のように2個以上の割り込みが発生していることがわかっていて、割り込みを受け付ける優先順位が決まっています。優先順位が高い方からTRAP, RST7.5, RST6.5, RST5.5, INTRの順になります。この優先順位体系は優先順位が高くて、既に実行に入っているルーチンに関しては考慮していません。たとえばRST7.5ルーチンの実行を終る前にRST5.5の割り込みがはいると、RST7.5を中断することになります。

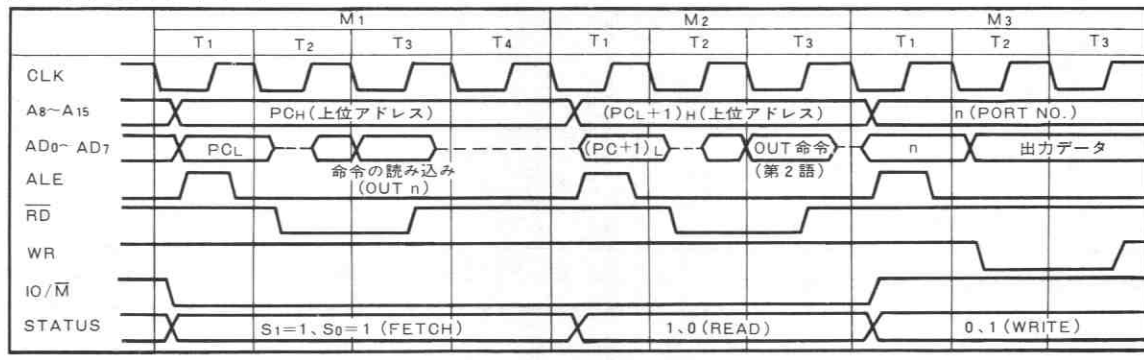
トラップ割り込みは、電源が落ちた場合とか、バスがエラーになったときのように致命的エラーを防ぐのに役立ちます。トラップ入力、ちょうど他の割り込みと同じように受け付けられますが、最高位の優先順位を持っています。これは、フラグやマスクには影響を受けません。トラップ入力、立上りでもレベルでも検出できます。トラップは、受け付けられるまで高レベルを維持しなければなりません、いったん下つて再び高レベルになるまで2度以上受け付けられることはありません。こうすることによって、ノイズとか入力に変化中に出力に現われるグリッチなどで発生する誤動作を防ぐことができます。

直列I/OシステムもRIM, SIM命令で制御されるので、一種の割り込みといえます。SIDはRIM命令でアキュムレータの第7ビット目に読みこまれSIM命令はSODデータをセットします。

### 基本タイミング

M5L 8085AP, Sには、時分割したデータバスがあります。ALEをデータバス上の下位番地8ビットをサンプリングするストローブとして用います。図1は命令をフェッチし、メモリを読んでI/Oを書く (OUTPUT) サイクルを示しています。I/Oの書き込み、読み取りサイクルで、I/Oポート番地はアドレスバスとデータバスと同じ番地を出しています。M5L 8080AP, Sと同じく、M5L 8085AP, Sが低速のメモリを利用できるようにリード、ライトのパルス幅を長くするのにREADY信号を用います。

図1. 命令の基本タイミング



# M5L 8085AP, S, M5L 8085AP, S-20

(旧形名M58712P, S)

## SINGLE CHIP 8-BIT N-CANNEL MICROPROCESSOR

機械語命令一覧表

項目 分類	命令記号	命令コード				16進 表記	オペ ランド 数	バイ ト 数	サ イ クル 数	機 能	フ ラ グ		ア ド レ ス バ ス		デ ー タ バ ス						
		D7D6	D5D4D3	D2D1D0	S						Z	P	CY2	CY1	内容	マシ ン* サイ クル	内容	I/O	マシ ン** サイ クル		
デ ィ タ	MOV r1, r2	01	DDDD	SSSS		4	1	1	(r1) ← (r2)		X	X	X	X							
	MOV M, r	01	1100	SSSS		7	1	2	(M) ← (r)	ただし M=(H)(L)	X	X	X	X	M	M4	(r)	0	M4		
	MOV r, M	01	0000	1100		7	1	2	(r) ← (M)	ただし M=(H)(L)	X	X	X	X	M	M4	(M)	1	M4		
	MVI r, n	00	DDDD	1100		7	2	2	(r) ← n		X	X	X	X	X	M4	(n)	1	M4		
	MVI M, n	00	1100	1100		3	6	10	2	(M) ← n	ただし M=(H)(L)	X	X	X	X	M	M5	(n)	1	M5	
	LXI B, m	00	0000	0011		0	1	10	3	(C) ← (B2) (B) ← (B3)	ただし m=(B3) <B2>	X	X	X	X			(B2) (B3)	1	M2 M3	
	LXI D, m	00	0010	0011		1	1	10	3	(E) ← (B2) (D) ← (B3)	ただし m=(B3) <B2>	X	X	X	X			(B2) (B3)	1	M2 M3	
	LXI H, m	00	1000	0011		2	1	10	3	(L) ← (B2) (H) ← (B3)	ただし m=(B3) <B2>	X	X	X	X			(B2) (B3)	1	M2 M3	
	LXI SP, m	00	1100	0011		3	1	10	3	(SP) ← m		X	X	X	X			(B2) (B3)	1	M2 M3	
	SPHL		11	1111	0011		F	9	6	1	(SP) ← (H)(L)		X	X	X	X					
送 命 令	STAX B	00	0000	0100		0	2	7	1	2	((B)(C)) ← (A)	X	X	X	X	(B)(C)	M4	(A)	0	M4	
	STAX D	00	0100	0100		1	2	7	1	2	((D)(E)) ← (A)	X	X	X	X	(D)(E)	M4	(A)	0	M4	
	LDA B	00	0001	0100		0	A	7	1	2	(A) ← ((B)(C))	X	X	X	X	(B)(C)	M4	((B)(C))	1	M4	
	LDA D	00	0011	0100		1	A	7	1	2	(A) ← ((D)(E))	X	X	X	X	(D)(E)	M4	((D)(E))	1	M4	
	STA m	00	1100	0100		3	2	13	3	4	(m) ← (A)	X	X	X	X	m	M4	(A)	0	M4	
	LDA m	00	1111	0100		3	A	13	3	4	(A) ← (m)	X	X	X	X	m	M4	(m)	1	M4	
	SHLD m	00	1000	0100		2	2	16	3	5	(m) ← (L) (m+1) ← (H)	X	X	X	X	m m+1	M4 M5	(L) (H)	0	M4 M5	
	LHLD m	00	1011	0100		2	A	16	3	5	(L) ← (m) (H) ← (m+1)	X	X	X	X	m m+1	M4 M5	(m) (m+1)	1	M4 M5	
	XCHG		11	1011	0111		E	B	4	1	1	(H)(L) ↔ (D)(E)	X	X	X	X					
	XTHL		11	1000	0111		E	3	16	1	5	(H)(L) ↔ ((SP)+1) ((SP))	X	X	X	X	(SP) (SP)+1	M2 M3	((SP)) ((SP)+1)	1	M2 M3
加 減 算 ・ 論 理 演 算 ・ 比 較 命 令	ADD r	10	0000	SSSS		4	1	1	(A) ← (A) + (r)	ただし M=(H)(L)	0	0	0	0							
	ADD M	10	0000	1100		8	7	1	2	(A) ← (A) + (M)	ただし M=(H)(L)	0	0	0	0	M	M4	(M)	1	M4	
	ADI n	11	0000	1100		C	6	7	2	2	(A) ← (A) + n		0	0	0	0					
	ADC r	10	0001	SSSS		4	1	1	2	(A) ← (A) + (r) + (CY2)		0	0	0	0						
	ADC M	10	0001	1100		8	E	7	1	2	(A) ← (A) + (M) + (CY2)	ただし M=(H)(L)	0	0	0	0	M	M4	(M)	1	M4
	ACI n	11	0001	1100		C	E	7	2	2	(A) ← (A) + n + (CY2)		0	0	0	0					
	DAD B	00	0001	0001		0	9	10	1	3	(H)(L) ← (H)(L) + (B)(C)		X	X	X	X					
	DAD D	00	0011	0001		1	9	10	1	3	(H)(L) ← (H)(L) + (D)(E)		X	X	X	X					
	DAD SP	00	0101	0001		2	9	10	1	3	(H)(L) ← (H)(L) + (H)(L)		X	X	X	X					
	DAD H	00	0110	0001		3	9	10	1	3	(H)(L) ← (H)(L) + (SP)		X	X	X	X					
SUB r	10	0100	SSSS		4	1	1	1	(A) ← (A) - (r)	ただし M=(H)(L)	0	0	0	0							
SUB M	10	0100	1100		8	6	7	1	2	(A) ← (A) - (M)	ただし M=(H)(L)	0	0	0	0	M	M4	(M)	1	M4	
SUI n	11	0100	1100		D	6	7	2	2	(A) ← (A) - n		0	0	0	0						
SBB r	10	0111	SSSS		4	1	1	1	(A) ← (A) - (r) - (CY2)	ただし M=(H)(L)	0	0	0	0							
SBB M	10	0111	1100		8	7	1	2	(A) ← (A) - (M) - (CY2)	ただし M=(H)(L)	0	0	0	0	M	M4	(M)	1	M4		
SBI n	11	0111	1100		D	E	7	2	2	(A) ← (A) - n - (CY2)		0	0	0	0						
ANA r	10	1000	SSSS		4	1	1	1	(A) ← (A) ∧ (r)	ただし M=(H)(L)	0	0	0	0	1	M	M4	(M)	1	M4	
ANA M	10	1000	1100		A	6	7	1	2	(A) ← (A) ∧ (M)	ただし M=(H)(L)	0	0	0	0	1	M	M4	(M)	1	M4
ANI n	11	1000	1100		E	6	7	2	2	(A) ← (A) ∧ n		0	0	0	0	1					
XRA r	10	1011	SSSS		4	1	1	1	(A) ← (A) ∨ (r)	ただし M=(H)(L)	0	0	0	0	0						
XRA M	10	1011	1100		A	7	1	2	(A) ← (A) ∨ (M)	ただし M=(H)(L)	0	0	0	0	0	M	M4	(M)	1	M4	
XRI n	11	1011	1100		E	E	7	2	2	(A) ← (A) ∨ n		0	0	0	0	0					
ORA r	10	1100	SSSS		4	1	1	1	(A) ← (A) ∨ (r)	ただし M=(H)(L)	0	0	0	0	0						
ORA M	10	1100	1100		B	6	7	1	2	(A) ← (A) ∨ (M)	ただし M=(H)(L)	0	0	0	0	M	M4	(M)	1	M4	
ORI n	11	1100	1100		F	6	7	2	2	(A) ← (A) ∨ n		0	0	0	0	M	M4	(M)	1	M4	
CMP r	10	1111	SSSS		4	1	1	1	(A) - (r)	大ききの比較 ただし M=(H)(L)	0	0	0	0							
CMP M	10	1111	1100		F	7	1	2	2	(A) - (M)	大ききの比較 ただし M=(H)(L)	0	0	0	0	M	M4	(M)	1	M4	
CPI n	11	1111	1100		F	E	7	2	2	(A) - n	大ききの比較 ただし M=(H)(L)	0	0	0	0						
レ ジ ス タ 増 減 命 令	INR r	00	DDDD	1000		3	4	1	1	(r) ← (r) + 1	ただし M=(H)(L)	0	0	X	0						
	INR M	00	1100	1000		3	4	1	3	(M) ← (M) + 1	ただし M=(H)(L)	0	0	X	0	M	M4	(M)	1	M4	
	DCR r	00	DDDD	1001		4	4	1	1	(r) ← (r) - 1		0	0	X	0						
	DCR M	00	1100	1001		3	5	10	1	3	(M) ← (M) - 1	ただし M=(H)(L)	0	0	X	0	M	M4	(M)	1	M4
	INX B	00	0000	0111		3	6	1	1	(B)(C) ← (B)(C) + 1		X	X	X	X						
	INX D	00	0010	0111		1	3	6	1	1	(D)(E) ← (D)(E) + 1		X	X	X	X					
	INX H	00	0000	0111		2	3	6	1	1	(H)(L) ← (H)(L) + 1		X	X	X	X					
	INX SP	00	0110	0111		3	3	6	1	1	(SP) ← (SP) + 1		X	X	X	X					
	DCX B	00	0001	0111		0	8	6	1	1	(B)(C) ← (B)(C) - 1		X	X	X	X					
	DCX D	00	0011	0111		1	8	6	1	1	(D)(E) ← (D)(E) - 1		X	X	X	X					
DCX H	00	0001	0111		2	8	6	1	1	(H)(L) ← (H)(L) - 1		X	X	X	X						
DCX SP	00	0111	0111		3	3	6	1	1	(SP) ← (SP) - 1		X	X	X	X						
ア ク キ ュ ム レ ィ タ 命 令	RLC	00	0000	1111		0	7	4	1	1	左シフト C <sub>Y2</sub>	X	X	X	X						
	RRC	00	0001	1111		0	F	4	1	1	右シフト C <sub>Y2</sub>	X	X	X	X						
	RAL	00	0100	1111		1	7	4	1	1	左シフト C <sub>Y2</sub>	X	X	X	X						
	RAR	00	0111	1111		1	F	4	1	1	右シフト C <sub>Y2</sub>	X	X	X	X						
ア ク キ ュ ム レ ィ タ 補 正 命 令	DAA	00	1011	1111		2	F	4	1	1	(A) ← (A)	X	X	X	X						
	CMA	00	1000	1111		2	7	4	1	1	アキュムレータ内の2進加算結果の10進補正	0	0	0	0						
	CMC	00	1100	1111		3	7	4	1	1	(CY2) ← 1	X	X	X	X						
	STC	00	1111	1111		3	F	4	1	1	(CY2) ← (CY2)	X	X	X	X						

\*:ステートはT1. \*\*:ステートはT2.

# M5L 8085AP, S, M5L 8085AP, S-20

(旧形名M58712P, S)

## SINGLE CHIP 8-BIT N-CANNEL MICROPROCESSOR

項目 分類	命令記号	命令コード						16進 表記	ワード 数	バイト 数	サイクル 数	機能	フラグ		アドレスバス		データバス	
		D7D6	D5D4D3	D2D1D0	S	Z	P						CY2CY1	内容	マシン サイクル	内容	I/O	マシン サイクル
飛 び 越 し 命 令	JMP m	1 1 0 0 0 0 1 1	0 0 1 1	0 0 1 1	C3	10	3	3	(PC)←m		X X X X X							(B2) 1 M2 (B3) 1 M3
	PCHL	1 1 1 0 1 0 1 1	0 0 1 1	0 0 1 1	E9	6	1	1	(PC)←(H)。(L)		X X X X X							
	JC m	1 1 0 1 0 1 0 1 0	0 1 1 0	0 1 0 0	DA	10/7	3	3/2	(CY2)←1		X X X X X							
	JNC m	1 1 0 1 0 0 0 1 0	0 1 1 0	0 1 0 0	D2	10/7	3	3/2	(CY2)=0	条件が真であれば (PC)←m	X X X X X							条件が真であれば
	JZ m	1 1 0 0 1 0 0 1 0	0 1 1 0	0 1 0 0	CA	10/7	3	3/2	(Z)=1		X X X X X							(B2) 1 M2 (B3) 1 M3
	JNZ m	1 1 0 0 0 0 0 1 0	0 1 1 0	0 1 0 0	C2	10/7	3	3/2	(Z)=0		X X X X X							
	JP m	1 1 1 1 1 0 0 1 0	0 1 1 0	0 1 0 0	F2	10/7	3	3/2	(S)=0	条件が偽であれば (PC)←(PC)+3	X X X X X							
	JM m	1 1 1 1 1 1 0 1 0	0 1 1 0	0 1 0 0	FA	10/7	3	3/2	(S)=1		X X X X X							
	JPE m	1 1 1 0 1 0 0 1 0	0 1 1 0	0 1 0 0	EA	10/7	3	3/2	(P)=1		X X X X X							
JPO m	1 1 1 0 0 0 0 1 0	0 1 1 0	0 1 0 0	E2	10/7	3	3/2	(P)=0		X X X X X								
サ ブ ル ー チ ン 呼 び 出 し 命 令	CALL m	1 1 0 0 1 1 0 1 0 1	0 1 1 0	1 0 1 0	CD	18	3	5	((SP)-1)((SP)-2)←(PC)+3。(PC)←m (SP)←(SP)-2		X X X X X							(B2) 1 M2 (B3) 1 M3
	RST n	1 1 A A A 1 1 1 1					12	1	3	((SP)-1)((SP)-2)←(PC)+1。(PC)←n×8, (SP)←(SP)-2 ただし 0≤n≤7		X X X X X						(SP)-1 M4 (PC)+3の上位 (SP)-2 M5 (PC)+3の下位
	CC m	1 1 0 1 1 1 0 0 0	0 1 1 0	1 0 0 0	DC	18/9	3	5/2	(CY2)←1		X X X X X							
	CNC m	1 1 0 1 0 1 0 0 0	0 1 1 0	1 0 0 0	D4	18/9	3	5/2	(CY2)=0	条件が真であれば	X X X X X							条件が真であれば
	CZ m	1 1 0 0 1 1 0 0 0	0 1 1 0	1 0 0 0	CC	18/9	3	5/2	(Z)=1	((SP)-1)((SP)-2)←(PC)+3	X X X X X							(B2) 1 M2 (B3) 1 M3
	CNZ m	1 1 0 0 0 1 0 0 0	0 1 1 0	1 0 0 0	C4	18/9	3	5/2	(Z)=0	(PC)←m	X X X X X							(SP)-1 M4 (PC)+3の上位 (SP)-2 M5 (PC)+3の下位
	CP m	1 1 1 1 0 1 0 0 0	0 1 1 0	1 0 0 0	F4	18/9	3	5/2	(S)=0	(SP)←(SP)-2	X X X X X							
	CM m	1 1 1 1 1 1 0 0 0	0 1 1 0	1 0 0 0	FC	18/9	3	5/2	(S)=1	条件が偽であれば	X X X X X							
	CPE m	1 1 1 0 1 1 0 0 0	0 1 1 0	1 0 0 0	EC	18/9	3	5/2	(P)=1	(PC)←(PC)+3	X X X X X							
CPO m	1 1 1 0 0 1 0 0 0	0 1 1 0	1 0 0 0	E4	18/9	3	5/2	(P)=0		X X X X X								
リ タ ー ン 命 令	RET	1 1 0 0 1 0 0 1 0	0 0 1 1	0 0 1 0	C9	10	1	3	(PC)←((SP)+1)((SP)),(SP)←(SP)+2		X X X X X							(SP) M4 ((SP)+1) 1 M4 (SP)+1 M5 ((SP)+1) 1 M5
	RC	1 1 0 1 1 0 0 0 0	0 0 1 1	0 0 0 0	D8	12/6	1	3/1	(CY2)=1	条件が真であれば	X X X X X							条件が真であれば
	RNC	1 1 0 1 0 1 0 0 0	0 0 1 1	0 0 0 0	D0	12/6	1	3/1	(CY2)=0		X X X X X							
	RZ	1 1 0 0 1 0 0 0 0	0 0 1 1	0 0 0 0	C8	12/6	1	3/1	(Z)=1	(PC)←((SP)+1)((SP))	X X X X X							
	RNZ	1 1 0 0 0 1 0 0 0	0 0 1 1	0 0 0 0	C0	12/6	1	3/1	(Z)=0	(SP)←(SP)+2	X X X X X							(SP) M4 ((SP)+1) 1 M4 (SP)+1 M5 ((SP)+1) 1 M5
	RP	1 1 1 1 0 0 0 0 0	0 0 1 1	0 0 0 0	F0	12/6	1	3/1	(S)=0	条件が偽であれば	X X X X X							
	RM	1 1 1 1 1 0 0 0 0	0 0 1 1	0 0 0 0	F8	12/6	1	3/1	(S)=1		X X X X X							
	RPE	1 1 1 0 1 0 0 0 0	0 0 1 1	0 0 0 0	E8	12/6	1	3/1	(P)=1	(PC)←(PC)+1	X X X X X							
RPO	1 1 1 0 0 1 0 0 0	0 0 1 1	0 0 0 0	E0	12/6	1	3/1	(P)=0		X X X X X								
入 出 力 制 御 命 令	IN n	1 1 0 1 1 0 1 1 1	0 1 1 1	0 1 1 1	DB	10	2	3	(A)←(入力バッファ)←(デバイス番号nの入力機器)		X X X X X							(B2) 0 M4 (B3) 1 M5
	OUT n	1 1 0 1 0 1 0 1 1	0 1 1 1	0 1 1 1	D3	10	2	3	(デバイス番号nの出力機器)←(A)		X X X X X							(B2) 0 M4 (B3) 1 M5
ス タ ッ ク 操 作 命 令	割り込み 制御命令	E I D I	1 1 1 1 1 0 1 1 1 1 1 1 1 0 0 1 1 1	0 1 1 1 0 1 1 1	FB F3	4	1	1	(INTE)←1 (INTE)←0		X X X X X X X X X X							(B2) 0 M4 (B3) 1 M5
	PUSH PSW	1 1 1 1 0 1 0 1 1	0 1 1 1	1 0 1 1	F5	12	1	3	((SP)-1)←(A),((SP)-2)←(F) (SP)←(SP)+2		X X X X X							(SP)-1 M4 (A) 0 M4 (SP)-2 M5 (F) 0 M5
	PUSH B	1 1 0 0 0 1 0 1 1	0 1 1 1	0 1 0 1	C5	12	1	3	((SP)-1)←(B),((SP)-2)←(C) (SP)←(SP)+2		X X X X X							(SP)-1 M4 (B) 0 M4 (SP)-2 M5 (C) 0 M5
	PUSH D	1 1 0 1 0 1 0 1 1	0 1 1 1	0 1 0 1	D5	12	1	3	((SP)-1)←(D),((SP)-2)←(E) (SP)←(SP)+2		X X X X X							(SP)-1 M4 (D) 0 M4 (SP)-2 M5 (E) 0 M5
	PUSH H	1 1 1 0 0 1 0 1 1	0 1 1 1	0 1 0 1	E5	12	1	3	((SP)-1)←(H),((SP)-2)←(L) (SP)←(SP)+2		X X X X X							(SP)-1 M4 (H) 0 M4 (SP)-2 M5 (L) 0 M5
	POP PSW	1 1 1 1 0 0 0 1 1	0 1 1 1	0 0 1 1	F1	10	1	3	(F)←((SP)),(A)←((SP)+1) (SP)←(SP)-2		O O O O O							(SP) M4 ((SP)+1) 1 M4 (SP)+1 M5 ((SP)+1) 1 M5
	POP B	1 1 0 0 0 0 0 1 1	0 1 1 1	0 0 1 1	C1	10	1	3	(D)←((SP)),(B)←((SP)+1) (SP)←(SP)+2		X X X X X							(SP) M4 ((SP)+1) 1 M4 (SP)+1 M5 ((SP)+1) 1 M5
	POP D	1 1 0 1 0 0 0 1 1	0 1 1 1	0 0 1 1	D1	10	1	3	(E)←((SP)),(D)←((SP)+1) (SP)←(SP)+2		X X X X X							(SP) M4 ((SP)+1) 1 M4 (SP)+1 M5 ((SP)+1) 1 M5
POP H	1 1 1 0 0 0 0 1 1	0 1 1 1	0 0 1 1	E1	10	1	3	(L)←((SP)),(H)←((SP)+1) (SP)←(SP)+2		X X X X X							(SP) M4 ((SP)+1) 1 M4 (SP)+1 M5 ((SP)+1) 1 M5	
そ の 他	HLT	0 1 1 1 0 1 1 0 0	0 0 0 0	1 1 0 0	76	5	1	1	(PC)←(PC)+1		X X X X X							
	NOP	0 0 0 0 0 0 0 0 0	0 0 0 0	0 0 0 0	00	4	1	1	(PC)←(PC)+1		X X X X X							
マ ス ク 設 定 命 令	RIM	0 0 1 0 0 0 0 0 0	0 0 0 0	0 0 0 0	20	4	1	1	RST割り込みのマスク、ペンディングになっているRST 割り込み要求、及びSIDピンのシリアル入力データのす べてをアキュムレータに読み込みます。		X X X X X							
	SIM	0 0 1 1 0 0 0 0 0	0 0 0 0	0 0 0 0	30	4	1	1	アキュムレータの値(ビットパターン)に対応するRST割 り込みマスクをかけます(あるいはマスクを解除しま す)。また、シリアル出力をイネーブルにし、シリアル出 力ビットをSODラッチにロードします。		X X X X X							

\*:ステートはT1. \*\*:ステートはT2.

記号	内容	記号	内容	記号	内容
r	レジスタを表す。	S S S	レジスタ又は メモリによって 決まる値。 それぞれ右表 のような値が 割り付けられる。	-	データの移動する方向を示す。
m	2バイトのデータ			( )	レジスタ、メモリなどの内容を示す。
n	1バイトのデータ			V	論理和
<B2>	命令の第2バイト。			∇	排他的論理和
<B3>	命令の第3バイト。			∧	論理積
AAA	RST命令におけるの2進表記			—	否定
F	フラグ(S,Z,P,CY1,CY2)を含む8ビットのデ ータ上位よりS,Z,X,CY1,X,P,X,CY2の順に 構成される。(Xは、不確定)			B	0 0 0 0
PC	プログラムカウンタ			C	0 0 1 0
SP	スタックポインタ			D	0 1 0 0
				E	0 1 1 0
		H	1 0 0 0		
		L	1 0 1 0		
		M	1 1 0 0		
		A	1 1 1 1		
		X	命令実行後フラグが不変。		
		○	命令実行後フラグがセット又はリセットされる。		
		!	入力モードを示す。		
		O	出力モードを示す。		



# M5L 8085AP, S, M5L 8085AP, S-20

(旧形名M58712P, S)

## SINGLE CHIP 8-BIT N-CANNEL MICROPROCESSOR

命令コード対応表

D <sub>7</sub> ~D <sub>4</sub>	16進表記																
	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111	
D <sub>3</sub> ~D <sub>0</sub>	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
0000	0	NOP	(-)	RIM	SIM	MOV B, B	MOV D, B	MOV H, B	MOV M, B	ADD B	SUB B	ANA B	ORA B	RNZ	RNC	RPO	RP
0001	1	LXI B	LXI D	LXI H	LXI SP	MOV B, C	MOV D, C	MOV H, C	MOV M, C	ADD C	SUB C	ANA C	ORA C	POP B	POP D	POP H	POP PSW
0010	2	STAX B	STAX D	SHLD	STA	MOV B, D	MOV D, D	MOV H, D	MOV M, D	ADD D	SUB D	ANA D	ORA D	JNZ	JNC	JPO	JP
0011	3	INX B	INX D	INX H	INX SP	MOV B, E	MOV D, E	MOV H, E	MOV M, E	ADD E	SUB E	ANA E	ORA E	JMP	OUT	XTHL	DI
0100	4	INR B	INR D	INR H	INR M	MOV B, H	MOV D, H	MOV H, H	MOV M, H	ADD H	SUB H	ANA H	ORA H	CNZ	CNC	GPO	CP
0101	5	DCR B	DCR D	DCR H	DCR M	MOV B, L	MOV D, L	MOV H, L	MOV M, L	ADD L	SUB L	ANA L	ORA L	PUSH B	PUSH D	PUSH H	PUSH PSW
0110	6	MVI B	MVI D	MVI H	MVI M	MOV B, M	MOV D, M	MOV H, M	HLT	ADD M	SUB M	ANA M	ORA M	ADI	SUI	ANI	ORI
0111	7	RLC	RAL	DAA	STC	MOV B, A	MOV D, A	MOV H, A	MOV M, A	ADD A	SUB A	ANA A	ORA A	RST 0	RST 2	RST 4	RST 6
1000	8	(-)	(-)	(-)	(-)	MOV C, B	MOV E, B	MOV L, B	MOV A, B	ADC B	SBB B	XRA B	CMP B	RZ	RC	RPE	RM
1001	9	DAD B	DAD D	DAD H	DAD SP	MOV C, C	MOV E, C	MOV L, C	MOV A, C	ADC C	SBB C	XRA C	CMP C	RET	(-)	PCHL	SPHL
1010	A	LDAX B	LDAX D	LHLD	LDA	MOV C, D	MOV E, D	MOV L, D	MOV A, D	ADC D	SBB D	XRA D	CMP D	JZ	JC	JPE	JM
1011	B	DCX B	DCX D	DCX H	DCX SP	MOV C, E	MOV E, E	MOV L, E	MOV A, E	ADC E	SBB E	XRA E	CMP E	(-)	IN	XCHG	EI
1100	C	INR C	INR E	INR L	INR A	MOV C, H	MOV E, H	MOV L, H	MOV A, H	ADC H	SBB H	XRA H	CMP H	CZ	CC	CPE	CM
1101	D	DCR C	DCR E	DCR L	DCR A	MOV C, L	MOV E, L	MOV L, L	MOV A, L	ADC L	SBB L	XRA L	CMP L	CALL	(-)	(-)	(-)
1110	E	MVI C	MVI E	MVI L	MVI A	MOV C, M	MOV E, M	MOV L, M	MOV A, M	ADC M	SBB M	XRA M	CMP M	ACI	SBI	XRI	GPI
1111	F	RRC	RAR	CMA	CMC	MOV C, A	MOV E, A	MOV L, A	MOV A, A	ADC A	SBB A	XRA A	CMP A	RST 1	RST 3	RST 5	RST 7

上表は、機械語コードと機械語命令の対応表です。D<sub>3</sub>~D<sub>0</sub>は、機械語コードの下位4ビットを示し、D<sub>7</sub>~D<sub>4</sub>は、機械語コードの上位4ビットを示します。また、そのコードを16進表記したものを併記してあります。命令には、1語命令、2語命令、3語命令の3種類がありますが、各命令の第1語目のコードのみを表に

まとめました。

なお、 は3語命令。  
 は2語命令。



# M5L 8085AP, S, M5L 8085AP, S-20

(旧形名M58712P, S)

## SINGLE CHIP 8-BIT N-CANNEL MICROPROCESSOR

### 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧	V <sub>SS</sub> 端子を基準にした場合	-0.3~7	V
V <sub>I</sub>	入力電圧		-0.3~7	V
P <sub>d</sub>	消費電力	T <sub>a</sub> =25°C	1.5	W
T <sub>opr</sub>	動作周囲温度		0~70	°C
T <sub>stg</sub>	保存温度	M5L 8085AS	-65~150	°C
		M5L 8085AP	-40~125	°C

### 推奨使用条件 (指定のない場合は、T<sub>a</sub>=0~70°C)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.75	5	5.25	V
V <sub>IH</sub>	"H"入力電圧	2.2		V <sub>CC</sub> +0.5	V
V <sub>IL</sub>	"L"入力電圧	-0.3		0.8	V
V <sub>IH</sub> (RESIN)	リセット"H"入力電圧	2.4		V <sub>CC</sub> +0.5	V
V <sub>IL</sub> (RESIN)	リセット"L"入力電圧	-0.3		0.8	V

### 電気的特性 (指定のない場合は、T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±5%, V<sub>SS</sub>=0V)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>OL</sub>	"L"出力電圧	I <sub>OL</sub> =2mA			0.45	V
V <sub>OH</sub>	"H"出力電圧	I <sub>OH</sub> =-400μA	2.4			V
I <sub>CC</sub>	V <sub>CC</sub> 電源電流				170	mA
I <sub>I</sub>	入力リーク電流(RESET INを除く)	V <sub>I</sub> =V <sub>CC</sub>	-10		10	μA
I <sub>OZL</sub>	出力フローティングリーク電流	0.45V ≤ V <sub>O</sub> ≤ V <sub>CC</sub>	-10		10	μA
V <sub>IH</sub> -V <sub>IL</sub>	RESET IN入力ヒステリシス電圧		0.25			V

注1. RESET IN入力は、V<sub>I</sub> ≥ V<sub>IH</sub>(RESIN)にて3kΩ(標準)にプルアップされます。

### タイミング必要条件(指定のない場合は、T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±5%, V<sub>SS</sub>=0V)

記号	項目	他社相当 記号	M5L 8085AP, S			M5L 8085AP-20			単位
			規格値			規格値			
			最小	標準	最大	最小	標準	最大	
t <sub>C</sub> (CLK)	クロックサイクル	T <sub>CYC</sub>	320		2000	500		2000	ns
t <sub>SU</sub> (DA-AD)	DA入力セットアップ時間	-t <sub>LAD</sub>	-575			-1040			ns
t <sub>SU</sub> (DA- $\bar{RD}$ )	DA入力セットアップ時間	-t <sub>RD</sub>	-300			-590			ns
t <sub>H</sub> (DA- $\bar{RD}$ )	DA入力ホールド時間	t <sub>RDH</sub>	0			0			ns
t <sub>SU</sub> (RDY-AD)	READY入力セットアップ時間	-t <sub>ARY</sub>	-220			-510			ns
t <sub>SU</sub> (RDY-CLK)	READY入力セットアップ時間	-t <sub>RY</sub>	110			150			ns
t <sub>H</sub> (RDY-CLK)	READY入力ホールド時間	t <sub>RYH</sub>	0			0			ns
t <sub>SU</sub> (DA-ALE)	DA入力セットアップ時間	-t <sub>LDR</sub>	-460			-720			ns
t <sub>SU</sub> (HLD-CLK)	HOLD入力セットアップ時間	t <sub>HDS</sub>	170			250			ns
t <sub>H</sub> (HLD-CLK)	HOLD入力ホールド時間	t <sub>HDH</sub>	0			0			ns
t <sub>SU</sub> (INT-CLK)	割り込みセットアップ時間	t <sub>INS</sub>	160			250			ns
t <sub>H</sub> (INT-CLK)	割り込みホールド時間	t <sub>INH</sub>	0			0			ns

注2. 入力電圧のレベルは、V<sub>IL</sub>=0.45V, V<sub>IH</sub>=2.4Vです。

# M5L 8085AP, S, M5L 8085AP, S-20

(旧形名M58712P, S)

## SINGLE CHIP 8-BIT N-CANNEL MICROPROCESSOR

スイッチング特性(指定のない場合は,  $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ ,  $V_{SS} = 0\text{V}$ )

記号	項目	他社相当記号	M5L 8085AP, S			M5L 8085AP-20			単位
			規格値			規格値			
			最小	標準	最大	最小	標準	最大	
$t_w(\overline{\text{CLK}})$	CLK出力“L”パルス幅	$t_1$	80			170			ns
$t_w(\text{CLK})$	CLK出力“H”パルス幅	$t_2$	120			210			ns
$t_r(\text{CLK})$	CLK出力上昇時間	$t_r$			30			30	ns
$t_f(\text{CLK})$	CLK出力下降時間	$t_f$			30			30	ns
$t_d(\text{AD-ALE})$	アドレス・ALE信号遅延時間	$t_{AL}$	45			135			ns
$t_d(\text{ALE-AD})$	ALE・アドレス信号遅延時間	$t_{LA}$	100			180			ns
$t_w(\text{ALE})$	ALEパルス幅	$t_{LL}$	140			230			ns
$t_d(\text{ALE-CLK})$	ALE-CLK遅延時間	$t_{LCK}$	100			180			ns
$t_d(\text{ALE-CONT})$	ALE-コントロール信号遅延時間	$t_{LC}$	130			200			ns
$t_{DXZ}(\text{RD-AD})$	リード・アドレスフローティング遅延時間	$t_{AFR}$			0			0	ns
$t_{DXZ}(\text{RD-AD})$	リード・アドレスイネーブル遅延時間	$t_{RAE}$	150			210			ns
$t_d(\text{AD-CONT})$	コントロール信号後アドレス有効時間	$t_{CA}$	120			190			ns
$t_d(\text{DA-WR})$	データ出力-WR信号遅延時間	$t_{DW}$	420			670			ns
$t_d(\text{WR-DA})$	WR信号-データ出力遅延時間	$t_{WD}$	100			170			ns
$t_w(\text{CONT})$	コントロール信号パルス幅	$t_{CC}$	400			670			ns
$t_d(\text{CLK-ALE})$	CLK-ALE信号遅延時間	$t_{CL}$	50			120			ns
$t_d(\text{CLK-HLDA})$	CLK-HLDA信号遅延時間	$t_{HACK}$	110			180			ns
$t_{DXZ}(\text{HLDA-BUS})$	HLDA信号・バスフローティング遅延時間	$t_{HABF}$			240			330	ns
$t_{DXZ}(\text{HLDA-BUS})$	HLDA信号・バスイネーブル遅延時間	$t_{HABE}$			240			330	ns
$t_d(\text{CONT-CONT})$	コントロール信号ディスイネーブル時間	$t_{RV}$	400			650			ns
$t_d(\text{AD-CONT})$	アドレス・コントロール信号遅延時間	$t_{AC}$	240			420			ns

注3.  $A_8 \sim A_{15}$ ,  $I/O/\overline{M}$ の高インピーダンス状態解除後の  $t_d(\text{AD-CONT})$  は, 100nsである。

4. 測定条件 M5L 8085AP, S  $t_c(\text{CLK}) \geq 320\text{ns}$ ,  $C_L = 150\mu\text{F}$

M5L 8085AP-20  $t_c(\text{CLK}) \geq 500\text{ns}$ ,  $C_L = 150\mu\text{F}$

5. 入出力電圧の判定レベルは,  $V_{OL} = 0.8\text{V}$ ,  $V_{OH} = 2\text{V}$ である。

### M5L 8085AP, Sにおける周波数T ( $t_c(\text{CLK})$ ) との関係式

タイミング必要条件(指定のない場合は,  $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ ,  $V_{SS} = 0\text{V}$ )

記号	項目	他社相当記号	測定条件	関係式(注6)	規格
$t_{SU}(\text{DA-AD})$	DA入力セットアップ時間	$-t_{AD}$		$225 - (5/2 + N)T$	最小
$t_{SU}(\text{DA-RD})$	DA入力セットアップ時間	$-t_{RD}$		$180 - (3/2 + N)T$	最小
$t_{SU}(\text{RDY-AD})$	READY入力セットアップ時間	$-t_{ARY}$		$260 - (3/2)T$	最小

注6. Nはウェイトサイクルの総数

$T = t_c(\text{CLK})$

# M5L 8085AP, S, M5L 8085AP, S-20

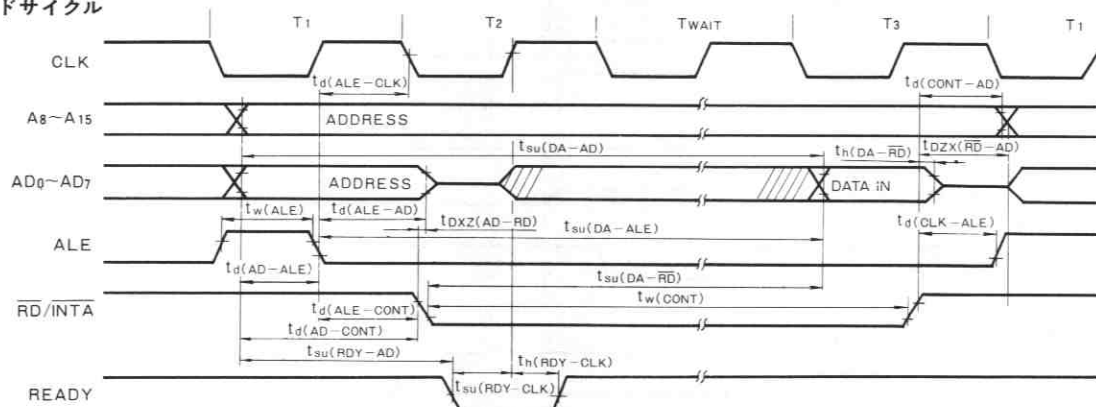
(旧形名M58712P, S)

## SINGLE CHIP 8-BIT N-CHANNEL MICROPROCESSOR

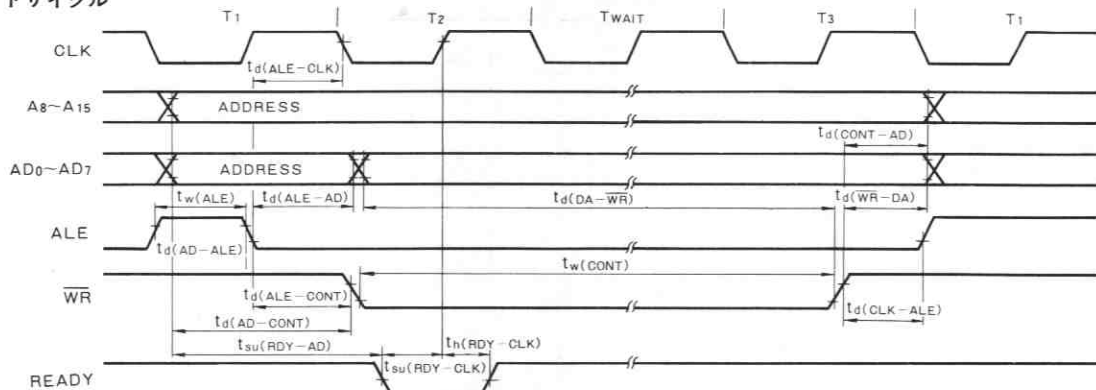
スイッチング特性(指定のない場合は,  $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ ,  $V_{SS} = 0\text{V}$ )

記号	項目	他社相当記号	測定条件	関係式(注6)	規格
$t_w(\text{CLK})$	CLK出力“L”パルス幅	$t_1$	$t_c(\text{CLK}) = 320\text{ns}$ $C_L = 150\text{pF}$	$(1/2)T - 80$	最小
$t_w(\text{CLK})$	CLK出力“H”パルス幅	$t_2$		$(1/2)T - 40$	最小
$t_d(\text{AD-ALE})$	アドレス・ALE信号遅延時間	$t_{AL}$		$(1/2)T - 115$	最小
$t_d(\text{ALE-AD})$	ALE・アドレス信号遅延時間	$t_{LA}$		$(1/2)T - 60$	最小
$t_w(\text{ALE})$	ALEパルス幅	$t_{LL}$		$(1/2)T - 20$	最小
$t_d(\text{ALE-CLK})$	ALE-CLK遅延時間	$t_{LCK}$		$(1/2)T - 60$	最小
$t_d(\text{ALE-CONT})$	ALE-コントロール信号遅延時間	$t_{LC}$		$(1/2)T - 30$	最小
$t_{DZX}(\text{RD-AD})$	リード・アドレスイネーブル遅延時間	$t_{RAE}$		$(1/2)T - 10$	最小
$t_d(\text{CONT-AD})$	コントロール信号後アドレス有効時間	$t_{CA}$		$(1/2)T - 40$	最小
$t_d(\text{DA-WR})$	データ出力-WR信号遅延時間	$t_{DW}$		$(3/2+N)T - 60$	最小
$t_d(\text{WR-DA})$	WR信号-データ出力遅延時間	$t_{WD}$		$(1/2)T - 60$	最小
$t_w(\text{CONT})$	コントロール信号パルス幅	$t_{CC}$		$(3/2+N)T - 80$	最小
$t_d(\text{CLK-ALE})$	CLK-ALE信号遅延時間	$t_{CL}$		$(1/2)T - 110$	最小
$t_d(\text{CLK-HLDA})$	CLK-HLDA信号遅延時間	$t_{HACK}$		$(1/2)T - 50$	最小
$t_{DZX}(\text{HLDA-BUS})$	HLDA信号・バスフローティング遅延時間	$t_{HABF}$		$(1/2)T + 80$	最大
$t_{DZX}(\text{HLDA-BUS})$	HLDA信号・バスイネーブル遅延時間	$t_{HABE}$		$(1/2)T + 80$	最大
$t_d(\text{CONT-CONT})$	コントロール信号ディスイネーブル時間	$t_{RV}$		$(3/2)T - 80$	最小
$t_d(\text{AD-CONT})$	アドレス・コントロール信号遅延時間	$t_{AC}$		$T - 80$	最小

タイミング図  
リードサイクル



ライトサイクル

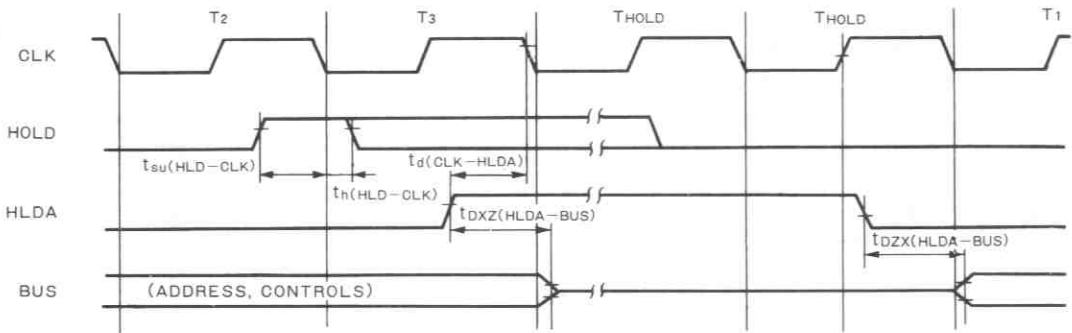


# M5L 8085AP, S, M5L 8085AP, S-20

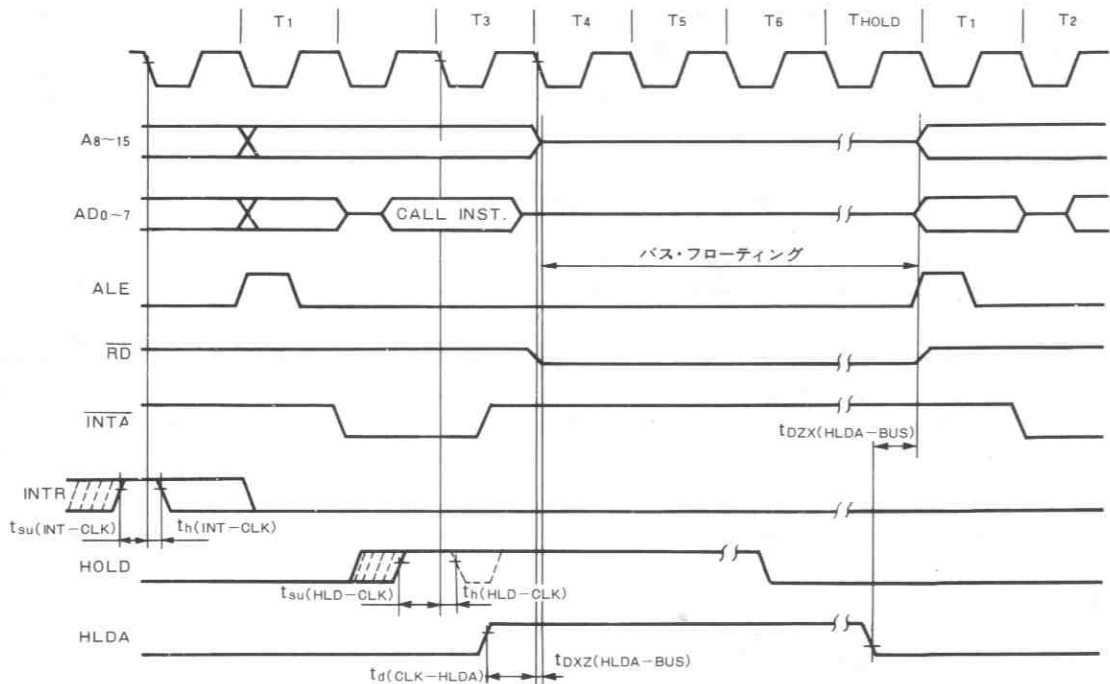
(旧形名 M58712P, S)

## SINGLE CHIP 8-BIT N-CANNEL MICROPROCESSOR

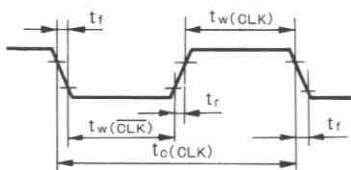
### ホールドサイクル



### 割り込み及びホールドサイクル



### クロック出力タイミング波形



# M5L 8085AP, S, M5L 8085AP, S-20

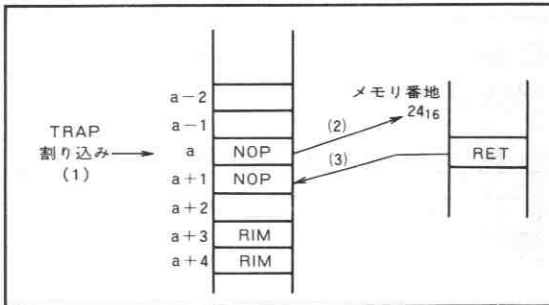
(旧形名M58712P, S)

## SINGLE CHIP 8-BIT N-CHANNEL MICROPROCESSOR

### TRAP割り込みとRIM命令

TRAP割り込みは、インタラプトイネーブルフリップフロップ（以下INTE FFと略す。）に無関係に割り込みを発生し、この時点のINTE FFの状態をCPU内部のフリップフロップA（以下A FFと略す）に保持し、INTE FFをリセットします。TRAP割り込み発生後の最初のRIM命令は、通常のRIM命令と機能が違ってきます。すなわち、RIM命令実行後のアキュムレータのビット3（INTE FF情報）は、RIM命令実行時のINTE FFの状態に関係なく上記A FFの内容を示します。その詳細は図2、表1、2に示します。

図2. TRAP割り込み処理説明



次に図2の説明をします。

- (1) TRAP割り込み要求がa番地の命令を実行したときに発生します。
- (2) TRAP割り込みは、RST命令と同じ動作をして24<sub>16</sub>番地へ飛び越します。
- (3) RET命令を実行してa+1番地に戻ります。

表1には、a-1番地とa+2番地にEI又はDI命令を挿入した場合のa+3番地、a+4番地におけるINTE FFの情報を示します。

TRAP割り込み処理ルーチンを図3に示します。

図3. TRAP割り込み処理ルーチン

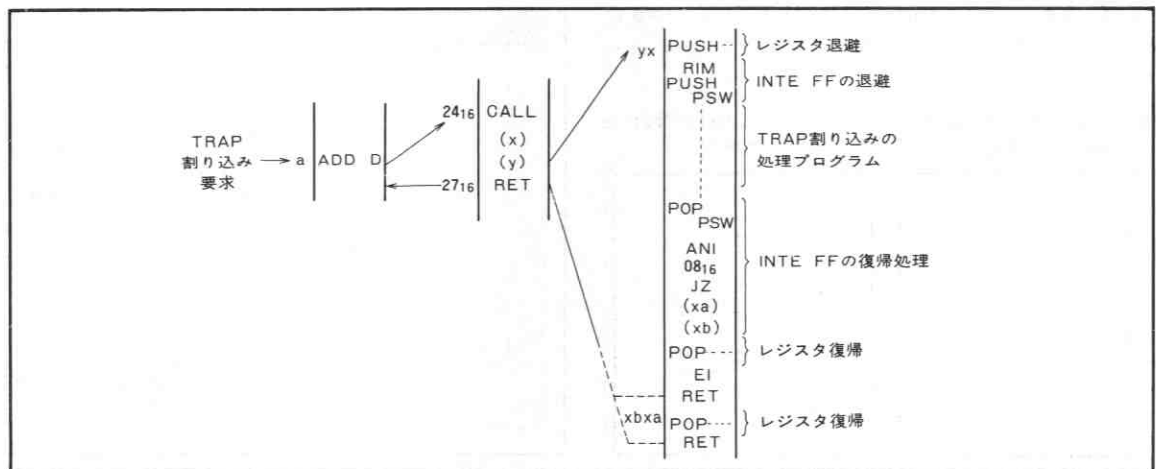
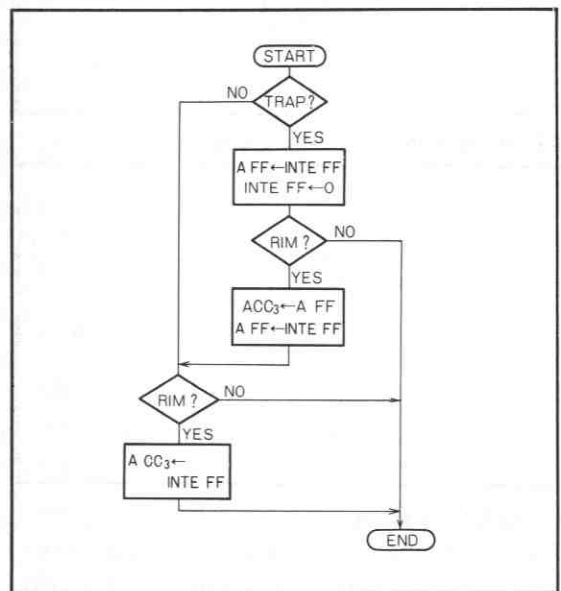


表1. TRAP割り込みとRIM命令

項目	番号	1	2	3	4	5	6
a-1番地の命令	EI	EI	EI	DI	DI	DI	
a+2番地の命令	EI	NOP	DI	EI	NOP	DI	
a+3番地のRIM命令実行後の(A) <sub>3</sub> の内容	1	1	1	0	0	0	
a+3番地のRIM命令実行後のINTE FFの状態	1	0	0	1	0	0	
a+4番地のRIM命令実行後の(A) <sub>3</sub> の内容	1	0	0	1	0	0	
a+4番地のRIM命令実行後のINTE FFの状態	1	0	0	1	0	0	

注3. RIM命令実行後の(A)<sub>3</sub>の内容は、INTE FFの情報です。INTE FFはEI状態"1" DI状態"0"です。

表2. TRAP割り込みとINTE FFの処理



# M5L 8085AP, S, M5L 8085AP, S-20

(旧形名M58712P, S)

## SINGLE CHIP 8-BIT N-CHANNEL MICROPROCESSOR

### RESET IN入力のプルアップ

RESET IN 入力端子は、ノイズマージンを大きくする目的で、 $V_{IH} \geq V_{IH}(\text{RESIN})$  条件を満足したときに約 3k $\Omega$  (標準) でプルアップされます。RESET IN入力の接続図を図4に示します。また、その入力電圧と入力電流の関係を図5に示します。

図4. RESET IN入力の接続図

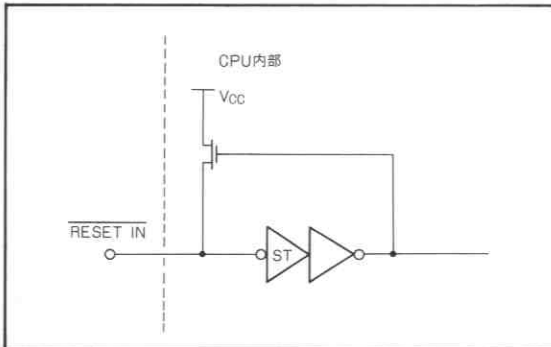
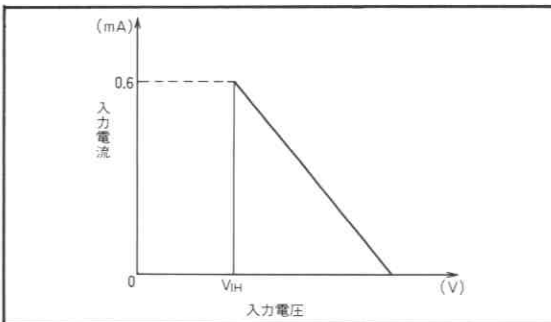


図5. RESET IN入力電流対入力電圧



### X1とX2入力の駆動回路

M5L 8085AのX1、X2入力は水晶、RC回路又は、外部クロックのいずれかで駆動できます。駆動クロック周波数は、内部で1/2分周されるため、M5L 8085Aの実行周波数の2倍が必要となります。(3MHz動作のM5L 8085Aには、6MHz) X1、X2入力が水晶又はRC回路の場合の接続図を図6、図7に示します。

図6 X1、X2入りに水晶を使用した場合

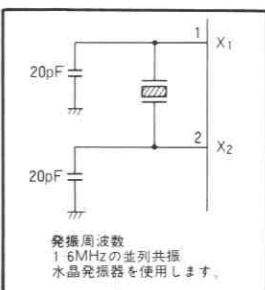
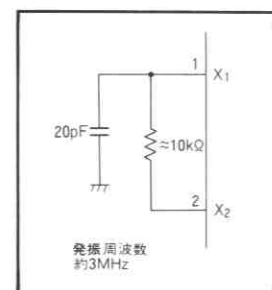


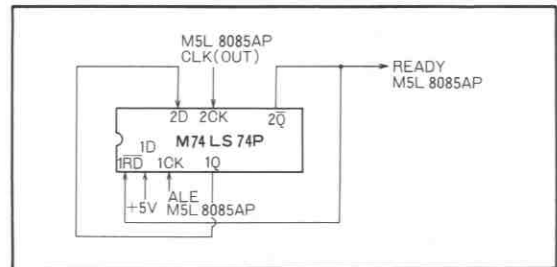
図7 X1、X2入りにRC回路を使用した場合



### ウェイトステートの発生回路

低速のRAM、ROMを使用する場合における1ウェイトステートの発生回路を図8に示します。

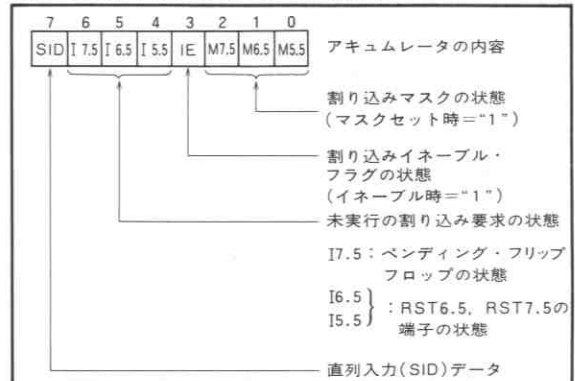
図8 1ウェイトステート発生回路



### RIM、SIM命令とアキュムレータの関係 (補足説明)

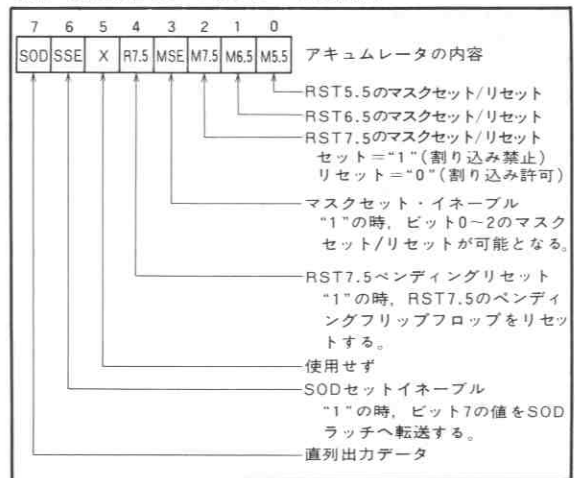
RIM命令実行後のアキュムレータの内容を、表3に示します。

表3 RIM命令とアキュムレータの関係



SIM命令実行時のアキュムレータの内容を、表4に示します。

表4. SIM命令とアキュムレータの関係



# マイクロプロセッサ 周辺回路 LSI

RECEIVED

19



KEYBOARD ENCODER (JIS CODE STANDARD PRODUCT)

概要

M58609-04P,Sは、端末機器のリードスイッチ用キーボードエンコーダです。3168ビットの読み出し専用メモリ(マスクプログラムROM)を内蔵し、それにはJIS C6220-1969情報交換用符号に規定された8単位符号が書き込まれており、パリティビットは奇数及び偶数パリティが用いられます。

このエンコーダは、Pチャネルアルミゲートで作られ40ピンDILパッケージに実装されています。

特長

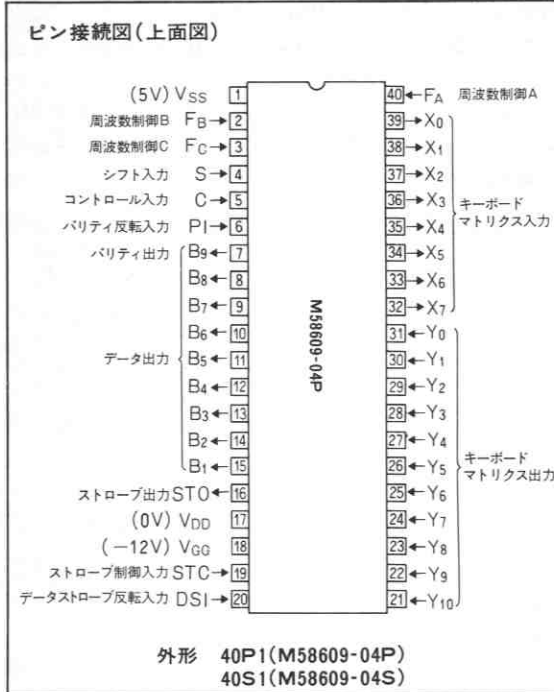
- TTL/DTLコンパチブル(X,Y端子を除く)
- 2キーロールオーバー機能付き
- クロック発生回路内蔵
- キーのコンタクトバウンス防止用遅延回路内蔵
- 出力極性(正、負論理)切換え端子付き
- 奇数・偶数パリティ切換え端子付き

応用

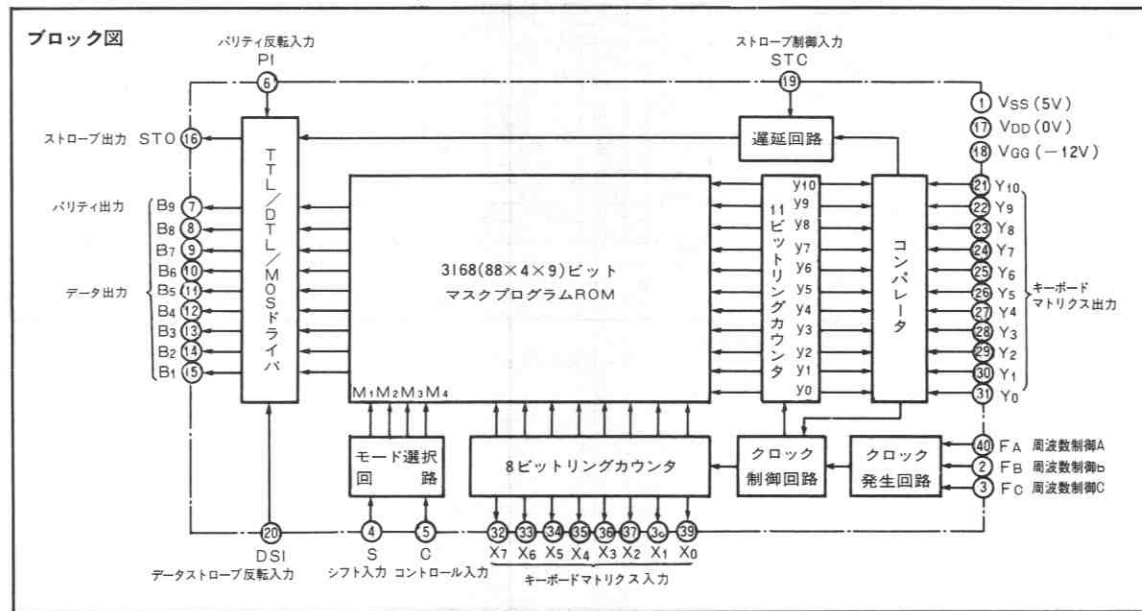
- 端末機器用フルキーボード

機能概要

キースイッチの両端をX<sub>0</sub>-X<sub>7</sub>とY<sub>0</sub>-Y<sub>10</sub>の各の一端子に接続し、88のスイッチマトリクスを構成します。キースイッチ(X<sub>i</sub>,Y<sub>j</sub>)が、打鍵されるとX<sub>i</sub>,Y<sub>j</sub>間にパルスが形成されます。X<sub>i</sub>と11ビットリングカウンタ出力Y<sub>i</sub>のレベルが、一致すると、コンパレータは、クロック制御回路及び遅延回路に一致信号を送ります。一致信号は、クロックを停止させ、データ出力は、選ばれた9ビットで停止します。ストロブ出力は、ストロブ制御入力で設定された時間だけ遅れて出力され、



9ビットのデータ出力が有効であることを示します。データ出力及びストロブ出力は、キーが解放されるまで保持されます。



## M58609-04P,S

## KEYBOARD ENCODER (JIS CODE STANDARD PRODUCT)

## 機能説明 (データ出力、パリティ出力)

符号表のB<sub>1</sub>~B<sub>8</sub>とデータ出力のB<sub>1</sub>~B<sub>8</sub>との関係を表1に示します。パリティ出力B<sub>9</sub>とパリティビットとの関係を表2に示します。表中のパリティビットは符号のB<sub>1</sub>~B<sub>8</sub>の“1”の数が奇数のとき“0”、偶数のとき“1”と定義しています。モード選択を表3に示します。

表1. 符号表とデータ出力の関係

符号表の B <sub>1</sub> ~B <sub>8</sub>	データストロ ープ反転入力 DSI	データ出力 B <sub>1</sub> ~B <sub>8</sub>	論理
1	L	H	正論理
1	H	L	負論理
0	L	L	正論理
0	H	H	負論理

表2. パリティビットとパリティ出力の関係

パリティビット	パリティ反転入力 PI	パリティ出力 B <sub>9</sub>
1	L	H
1	H	L
0	L	L
0	H	H

表3. モードの選択

シフト入力 S	コントロール入力 C	選択されるモード
L	L	1
H	L	2
L	H	3
H	H	4

## 符号表 (JIS-C-6220-1969)

※B <sub>9</sub> パリティ ビット	※B <sub>8</sub> ~B <sub>1</sub> パリティ ビット								データ出力																
	B <sub>8</sub>	B <sub>7</sub>	B <sub>6</sub>	B <sub>5</sub>	B <sub>4</sub>	B <sub>3</sub>	B <sub>2</sub>	B <sub>1</sub>	行列	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	1	1	1
0	0	0	1	0	2	STX			*	2	B	R										「			
0	0	1	1	3	ETX				#	3	C	S										」			
0	1	0	0	4	EOT				\$	4	D	T										・			
0	1	0	1	5	ENQ	NAK	%	5	E	U												・			
0	1	1	0	6	ACK	SYN	&	6	F	V												ラ			
0	1	1	1	7	BEL	ETB	′	7	G	W												ア			
1	0	0	0	8	BS	CAN	(	8	H	X												イ			
1	0	0	1	9	HT	EM	)	9	I	Y												ウ			
1	0	1	0	10	LF	SUB	*	:	J	Z												エ			
1	0	1	1	11	VT	ESC	+	:	K	[												オ			
1	1	0	0	12	FF		.	<	L	¥												ヤ			
1	1	0	1	13	CR		-	=	M	]												ユ			
1	1	1	0	14	SO		·	>	N	^												ヨ			
1	1	1	1	15	SI		/	?	O	_												ッ			

注1. ※B<sub>9</sub>は、8単位符号系の奇数パリティです。

注2. 符号表中の“1”、“0”は、DSI、PIが“L”レベル入力するとき“1”は“H”、“0”は“L”レベルとして出力されます。

## KEYBOARD ENCODER (JIS CODE STANDARD PRODUCT)

符号記列表

Yi	Xi	モード	X <sub>0</sub>	X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	X <sub>5</sub>	X <sub>6</sub>	X <sub>7</sub>
Y <sub>0</sub>	1		NUL	DLE	へ	0	;	L	O	9
	2		NUL	DLE	ー	NUL	+	NUL	NUL	)
	3		NUL	DLE	へ	ワ	レ	リ	ラ	ヨ
	4		NUL	DLE	NUL	ヲ	NUL	NUL	NUL	ョ
Y <sub>1</sub>	1		SOH	6	0	ー	/	K	I	8
	2		SOH	6	0	=	?	NUL	NUL	(
	3		SOH	6	0	ホ	メ	ノ	ニ	ユ
	4		SOH	6	0	NUL	.	NUL	NUL	ュ
Y <sub>2</sub>	1		STX	7	1	P	.	J	U	7
	2		STX	7	1	NUL	>	NUL	NUL	'
	3		STX	7	1	セ	ル	マ	ナ	ヤ
	4		STX	7	1	NUL	。	NUL	NUL	ャ
Y <sub>3</sub>	1		ETX	8	2	(	,	H	Y	6
	2		ETX	8	2		<	NUL	NUL	&
	3		ETX	8	2	。	ネ	ク	ン	オ
	4		ETX	8	2	フ	,	NUL	NUL	ォ
Y <sub>4</sub>	1		EOT	9	3	¥	M	G	T	5
	2		EOT	9	3		NUL	NUL	NUL	%
	3		EOT	9	3	ー	モ	キ	カ	エ
	4		EOT	9	3	NUL	NUL	NUL	NUL	エ
Y <sub>5</sub>	1		ENQ	NAK	4	BS	N	F	R	4
	2		ENQ	NAK	4	BS	NUL	NUL	NUL	\$
	3		ENQ	NAK	4	BS	ミ	ハ	ス	ウ
	4		ENQ	NAK	4	BS	NUL	NUL	NUL	ゥ
Y <sub>6</sub>	1		ACK	SYN	5	NUL	B	D	E	3
	2		ACK	SYN	5	ー	NUL	NUL	NUL	#
	3		ACK	SYN	5	ロ	コ	シ	イ	ア
	4		ACK	SYN	5	NUL	NUL	NUL	NUL	ァ
Y <sub>7</sub>	1		BEL	ETB	+	)	V	S	W	2
	2		BEL	ETB	+		NUL	NUL	NUL	"
	3		BEL	ETB	+	△	ヒ	ト	テ	フ
	4		BEL	ETB	+	∟	NUL	NUL	NUL	NUL
Y <sub>8</sub>	1		=	CAN	SP	CR	C	A	Q	!
	2		=	CAN	SP	CR	NUL	NUL	NUL	!
	3		=	CAN	SP	CR	ソ	チ	タ	ヌ
	4		=	CAN	SP	CR	NUL	NUL	NUL	NUL
Y <sub>9</sub>	1		SO	EM	.	LF	X	FF	HT	@
	2		SO	EM	.	LF	NUL	FF	HT	、
	3		SO	EM	.	LF	サ	FF	HT	。
	4		SO	EM	.	LF	NUL	FF	HT	NUL
Y <sub>10</sub>	1		SI	SUB	ー	DEL	Z	ESC	VT	:
	2		SI	SUB	ー	DEL	NUL	ESC	VT	*
	3		SI	SUB	ー	DEL	ツ	ESC	VT	ケ
	4		SI	SUB	ー	DEL	ッ	ESC	VT	NUL

9

符号の名称表

記号	名 称	符号表上の列/行	配列表上の位置 X/Y/モード
SP	間 隔	2 / 0	2/8/1~4
!	感嘆記号	2 / 1	7/8/2
*	引用記号, ウムラウト	2 / 2	7/7/2
#	番号記号	2 / 3	7/6/2
\$	通貨単位\$	2 / 4	7/5/2
%	パーセント	2 / 5	7/4/2
&	"and" 記号	2 / 6	7/3/2
'	アポストロフィー, アクサンテギュ	2 / 7	7/2/2
(	左小かっこ	2 / 8	7/1/2
)	右小かっこ	2 / 9	7/0/2
*	星印記号, 乗算記号	2 / 10	7/10/2
+	正記号, 加算記号	2 / 11	2/7/1~4, 4/0/2
,	コンマ	2 / 12	4/3/1
-	負記号, 減算記号, ハイフオン	2 / 13	2/10/1~4, 3/1/1
∕	ピリオド	2 / 14	2/9/1~4, 4/2/1
∕	斜線, 除算記号	2 / 15	4/1/1
:	コロソ	3 / 10	7/10/1
;	セミコロソ	3 / 11	4/0/1
<	不等号 (より小)	3 / 12	4/3/2
=	等 号	3 / 13	0/8/1~4, 3/1/2
>	不等号 (より大)	3 / 14	4/2/2

記号	名 称	符号表上の列/行	配列表上の位置 X/Y/モード
?	疑問記号	3 / 15	4/1/2
@	単価記号	4 / 0	7/9/1
{	左角かっこ	5 / 11	3/3/1
¥	通貨単位 ¥(円)	5 / 12	3/4/1
}	右角かっこ	5 / 13	3/7/1
^	上向矢印記号, シルコンプレックスアクセント記号	5 / 14	2/0/1
—	アンダライン	5 / 15	3/6/2
~	アクサンダラフ	6 / 0	7/9/2
{	左大かっこ	7 / 11	3/3/2
	分離記号, 論理和記号	7 / 12	3/4/2
}	右大かっこ	7 / 13	3/7/2
—	オーバーライン, 論理否定記号	7 / 14	2/0/2
。	句 点	10 / 1	4/2/4
「	始かっこ	10 / 2	3/3/4
」	終かっこ	10 / 3	3/7/4
・	読 点	10 / 4	4/3/4
・	中 点	10 / 5	4/1/4
—	長音記号	11 / 0	3/4/3
・	濁 点	13 / 14	7/9/3
・	半濁点	13 / 15	3/3/3

KEYBOARD ENCODER (JIS CODE STANDARD PRODUCT)

絶対最大定格

記号	項目	条件	定格値	単位
V <sub>GG</sub>	電源電圧	V <sub>SS</sub> 端子を基準とする	0.3~ -20	V
V <sub>DD</sub>	電源電圧		0.3~ -20	V
V <sub>I</sub>	入力電圧		0.3~ -20	V
T <sub>opr</sub>	動作周囲温度		-20~75	°C
T <sub>stg</sub>	保存温度		-40~125	°C

推奨使用条件(指定のない場合は、T<sub>a</sub> = -20~75°C)

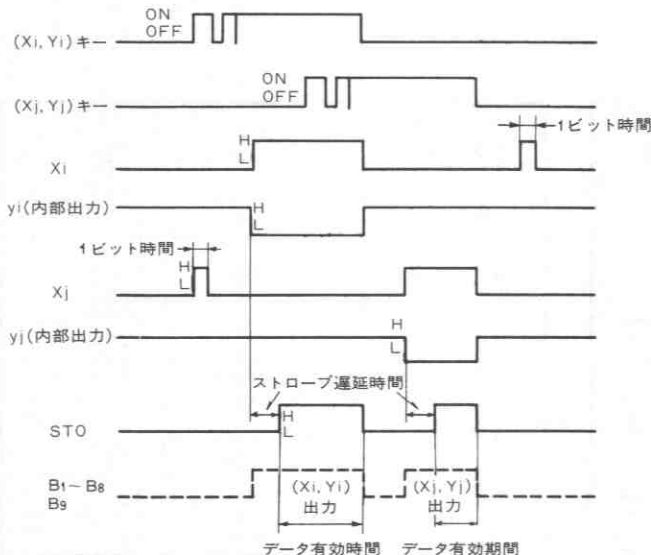
記号	項目	規格値			単位
		最小	標準	最大	
V <sub>GG</sub>	電源電圧	-11	-12	-13	V
V <sub>DD</sub>	電源電圧		0		V
V <sub>SS</sub>	電源電圧	4.5	5	5.5	V
V <sub>IH</sub>	"H"入力電圧	V <sub>SS</sub> -1			V
V <sub>IL</sub>	"L"入力電圧			0.8	V
f(φ)	クロック周波数	20	50	100	kHz
t <sub>D(STO)</sub>	ストロブ遅延時間		1.5		ms
R <sub>OFF</sub>	キーボードスイッチ"OFF"抵抗	10			MΩ
R <sub>ON</sub>	キーボードスイッチ"ON"抵抗			300	Ω

電気的特性(指定のない場合は、T<sub>a</sub> = -20~75°C, V<sub>GG</sub> = -12±1V, V<sub>SS</sub> = 5±0.5V, V<sub>DD</sub> = 0V)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>OH(Bi,STO)</sub>	B <sub>1</sub> ~B <sub>9</sub> , STOに対する"H"出力電圧	I <sub>OH</sub> = -100μA	V <sub>SS</sub> -1			V
V <sub>OH(Xi)</sub>	X <sub>0</sub> ~X <sub>7</sub> に対する"H"出力電圧	I <sub>OH</sub> = -100μA	V <sub>SS</sub> -1.3			V
V <sub>OL(Bi,STO)</sub>	B <sub>1</sub> ~B <sub>9</sub> , STOに対する"L"出力電圧	I <sub>OL</sub> = 1.6mA			0.4	V
V <sub>OL(Xi)</sub>	X <sub>0</sub> ~X <sub>7</sub> に対する"L"出力電圧	I <sub>OL</sub> = 1μA			-3	V
R <sub>i</sub>	入力抵抗(S, C, DSI, PI)	V <sub>I</sub> = -12V	1			MΩ
P <sub>d</sub>	消費電力	T <sub>a</sub> = 25°C		70	200	mW
C <sub>i</sub>	入力容量	V <sub>I</sub> = 0V, f = 1MHz, T <sub>a</sub> = 25°C			15	pF

注1. 電流は、ICに流れ込む向きを正(無符号)とします。最大・最小は絶対値で定義します。

タイミング図



注2. DSI="L"

- (X<sub>i</sub>, Y<sub>i</sub>)キーとは、キーボードマトリクスのX<sub>i</sub>とY<sub>i</sub>の交点にあるキーを示します。
- (X<sub>i</sub>, Y<sub>i</sub>)出力とは、(X<sub>i</sub>, Y<sub>i</sub>)キーにより指定されるキーのコード出力を示します。

KEYBOARD ENCODER (JIS CODE STANDARD PRODUCT)

真理値表

<データ(B1~B9)インバート>

DSI (端子⑩)	コード表 (B1~B9)	データ出力 (B1~B9)
H	1	L
L	1	H
H	0	H
L	0	L

<ストロープ(STO)インバート>

DSI (端子⑩)	内部出力 注3	STO (端子⑬)
H	H	L
L	H	H
H	L	H
L	L	L

<パリティ(B9)インバート>

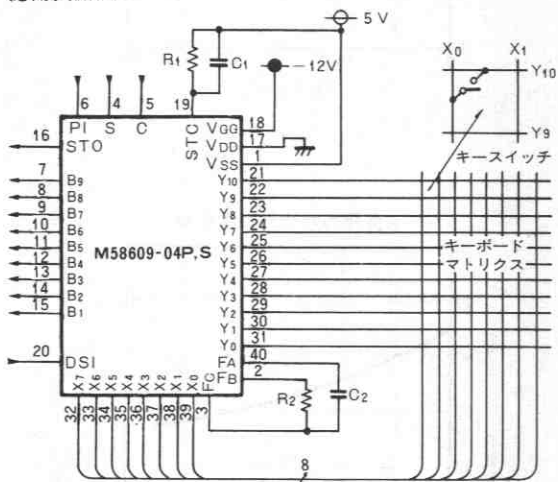
P1 (端子⑥)	コード表 (B9)	B9 (端子⑦)
H	1	L
L	1	H
H	0	H
L	0	L

<モード選択>

S (端子④)	C (端子⑤)	モード
L	L	M1
H	L	M2
L	H	M3
H	H	M4

注5. ストロープ出力 (STO) の内部出力はストロープ発生時 (STC=Vss) に“H”となります。

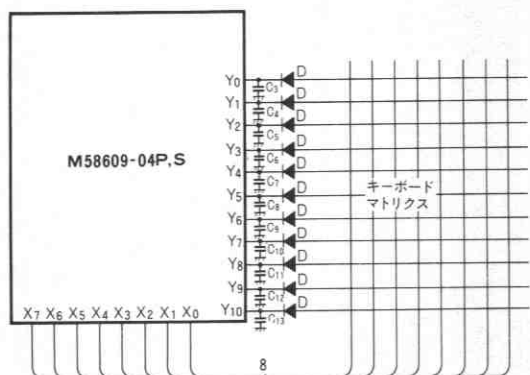
応用回路例



注6.  $R_1=1.5M\Omega$ ,  $C_1=0.001\mu F$ にて、ほぼ1.5msのディレイタイムが得られます。(C1 $\leq 0.002\mu F$ )

7.  $R_2=75k\Omega$ ,  $C_2=50pF$ にて、ほぼ50kHzのクロック周波数が得られます。

図1. カップリング対策



キーボードマトリクスとY入力との間にダイオードとコンデンサを挿入して下さい。(C3~C13は50pF~100pF程度)

使用上の注意事項

1. キーボードマトリクス部でのカップリング

キーボードマトリクス部の配線容量により、1キーを押した状態で他のキーを押すと容量カップリングが起こり、最初に押しているキーの2度押しと同じ状態(ストロープ出力が2回出力される。)が起ることがあります。この場合、図1の対策を施して下さい。

2. Nキーロールオーバー

M58609-04P,Sは、2キーロールオーバー用ですので3キー以上同時打鍵された場合のコード出力は、不定になります。

3. チャタリング最大時間

(1) キー入力OFF最大時間( $t_{KOFF}$ )

キー入力をON状態にしているにもかかわらず、スイッチの接触不良等の影響でキースイッチがOFF状態になってしまった時、そのOFF状態が最大何秒間までであれば、そのOFF状態を無視することができるかというのがキー入力OFF最大時間( $t_{KOFF}$ )です。 $t_{KOFF}$ は周囲温度、電源条件等で変わりますが、最大100nsec程度です。

(2) キー入力ON最大時間( $t_{KON}$ )

$t_{KOFF}$ とは逆にキー入力をOFFしたにもかかわらずOFFチャタタによりキースイッチがON状態になってしまったとき、ON状態が最大何秒以下であれば、ON状態の時間を無視することができるかというのがキー入力ON最大時間( $t_{KON}$ )です。

$$t_{KOFF} \leq 1/f_{\phi} \text{ のとき } t_{KON} \leq 100ns$$

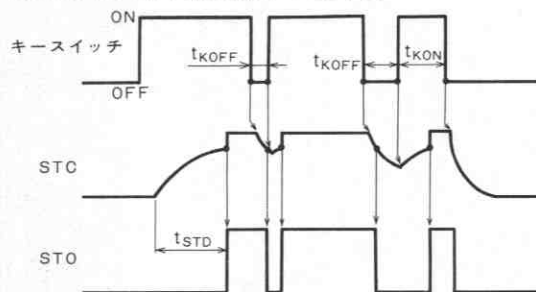
$$t_{KOFF} > 1/f_{\phi} \text{ のとき } t_{KON} \leq t_{STD} + t_{SC}$$

$f_{\phi}$ : クロック周波数

$t_{STD}$ : ストロープ遅延時間

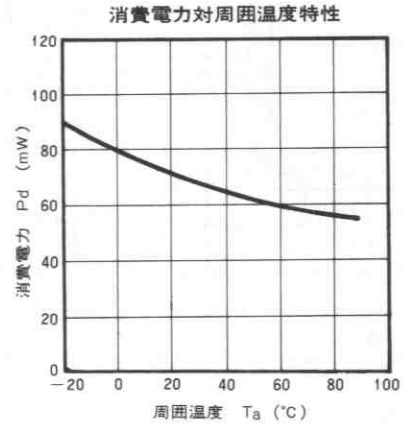
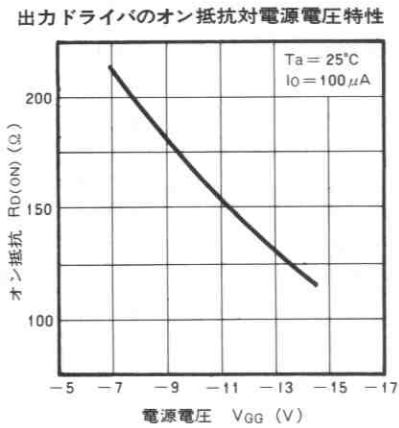
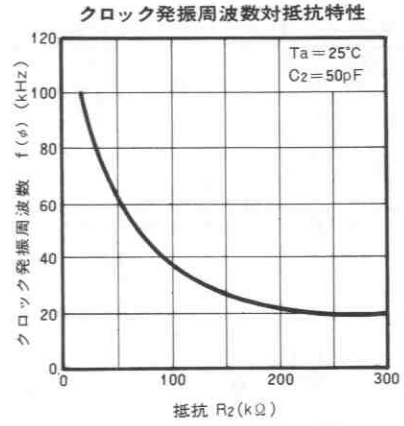
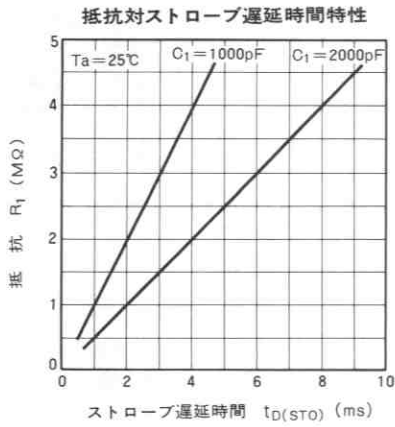
$t_{SC}$ : スキャンタイム

図2. チャタリング最大時間タイミング図



KEYBOARD ENCODER (JIS CODE STANDARD PRODUCT)

標準特性 ( $V_{GG} = -12V$ ,  $V_{DD} = 0V$ ,  $V_{SS} = 5V$ )



## M58609-09P,S

## KEYBOARD ENCODER (US ASCII CODE STANDARD PRODUCT)

## 概要

M58609-09P,Sは、ROMにUS ASCIIの7単位符号が書き込まれており、パリティビットは奇数及び偶数パリティが用いられます。

機能、ピン接続、電気的特性等はM58609-04P,Sと全く同じです。

## 機能説明 (データ出力、パリティ出力)

符号表のB<sub>7</sub>~B<sub>8</sub>とデータ出力のB<sub>7</sub>~B<sub>8</sub>との関係を表1に示します。パリティ出力B<sub>9</sub>とパリティビットとの関係を表2に示します。表中のパリティビットは符号のB<sub>4</sub>~B<sub>7</sub>の“1”の数が奇数のとき“0”、偶数のとき“1”と定義しています。モード選択を表3に示します。

表1. 符号表とデータ出力の関係

符号表の B <sub>7</sub> ~B <sub>8</sub>	データストロ ープ反転入力 DSI	データ出力 B <sub>7</sub> ~B <sub>8</sub>	論理
1	L	H	正論理
1	H	L	負論理
0	L	L	正論理
0	H	H	負論理

表2. パリティビットとパリティ出力の関係

パリティビット	パリティ反転入力 PI	パリティ出力 B <sub>9</sub>
1	L	H
1	H	L
0	L	L
0	H	H

表3. モードの選択

シフト入力 S	コントロール入力 C	選択されるモード
L	L	1
H	L	2
L	H	3
H	H	4

## 符号表

B <sub>9</sub>	B <sub>8</sub>	B <sub>7</sub>	B <sub>6</sub>	B <sub>5</sub>	B <sub>4</sub>	B <sub>3</sub>	B <sub>2</sub>	B <sub>1</sub>	行列	0	1	2	3	4	5	6	7
0	0	0	0	0	0	0	0	0	0	NUL	DLE	SP	0	@	P		p
0	0	0	1	1	0	0	0	0	1	SOH	DC1	!	1	A	Q	a	q
0	0	1	0	0	1	0	0	0	2	STX	DC2	*	2	B	R	b	r
0	0	1	1	0	0	0	0	0	3	ETX	DC3	#	3	C	S	c	s
0	1	0	0	0	0	0	0	0	4	EOT	DC4	\$	4	D	T	d	t
0	1	0	1	0	0	0	0	0	5	ENQ	NAK	%	5	E	U	e	u
0	1	1	0	0	0	0	0	0	6	ACK	SYN	&	6	F	V	f	v
0	1	1	1	0	0	0	0	0	7	BEL	ETB	/	7	G	W	g	w
1	0	0	0	0	0	0	0	0	8	BS	CAN	(	8	H	X	h	x
1	0	0	1	0	0	0	0	0	9	HT	EM	)	9	I	Y	i	y
1	0	1	0	0	0	0	0	0	10	LF	SUB	*	:	J	Z	j	z
1	0	1	1	0	0	0	0	0	11	VT	ESC	+	;	K	[	k	
1	1	0	0	0	0	0	0	0	12	FF	FS	.	<	L	\	l	!
1	1	0	1	0	0	0	0	0	13	CR	GS	-	=	M	]	m	
1	1	1	0	0	0	0	0	0	14	SO	RS	.	>	N	^	n	~
1	1	1	1	0	0	0	0	0	15	SI	US	/	?	O	-	o	DEL

注1. B<sub>8</sub>はB<sub>0</sub>~B<sub>7</sub>までの偶数パリティ、B<sub>9</sub>は奇数パリティです。

注2. 符号表中の“1”、“0”は、DSI, PIが“L”レベル入力するとき“1”は“H”、“0”は“L”レベルとして出力されます。

KEYBOARD ENCODER (US ASCII CODE STANDARD PRODUCT)

符号配列表

X <sub>1</sub>	モード	X <sub>0</sub>	X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	X <sub>5</sub>	X <sub>6</sub>	X <sub>7</sub>
Y <sub>0</sub>	1	/	:	P	φ	.	l	o	9
	2	?	+	P	φ	>	L	O	)
	3	/	:	DLE	φ	.	FF	SI	9
	4	?	+	DLE	φ	>	FF	SI	)
Y <sub>1</sub>	1	.	:	@	-	*	k	i	8
	2	.	*	\	=	<	K	I	(
	3	.	:	@	-	*	VT	HT	8
	4	.	*	\	=	<	VT	HT	(
Y <sub>2</sub>	1	.	\	(	)	m	j	u	7
	2	.				M	J	U	7
	3	.	FS	ESC	GS	OR	LF	NAK	7
	4	.	FS	ESC	GS	OR	LF	NAK	7
Y <sub>3</sub>	1	GS	LF	-	^	n	h	y	6
	2	GS	LF	-	~	N	H	Y	&
	3	GS	LF	US	RS	SO	BS	EM	6
	4	GS	LF	US	RS	SO	BS	EM	&
Y <sub>4</sub>	1	FS	DEL	CR	BS	b	g	t	5
	2	FS	DEL	CR	BS	B	G	T	%
	3	FS	DEL	CR	BS	STX	BEL	DC4	5
	4	FS	DEL	CR	BS	STX	BEL	DC4	%
Y <sub>5</sub>	1	RS	US	BEL	NUL	v	f	r	4
	2	RS	US	BEL	NUL	V	F	R	\$
	3	RS	US	BEL	NUL	SYN	ACK	DC2	4
	4	RS	US	BEL	NUL	SYN	ACK	DC2	\$
Y <sub>6</sub>	1	φ	1	4	7	c	d	e	3
	2	φ	1	4	7	C	ED	E	#
	3	φ	1	4	7	ETX	EOT	ENQ	3
	4	φ	1	4	7	ETX	EOT	ENQ	#
Y <sub>7</sub>	1	.	2	5	8	x	s	w	2
	2	.	2	5	8	X	S	W	"
	3	.	2	5	8	CAN	DC3	ETB	2
	4	.	2	5	8	CAN	DC3	ETB	"
Y <sub>8</sub>	1	=	3	6	9	z	a	q	1
	2	=	3	6	9	Z	A	Q	!
	3	=	3	6	9	SUB	SOH	DC1	1
	4	=	3	6	9	SUB	SOH	DC1	!
Y <sub>9</sub>	1	+	-	*	/	SP	LF	ESC	HT
	2	+	-	*	/	SP	LF	ESC	HT
	3	+	-	*	/	SP	LF	ESC	HT
	4	+	-	*	/	SP	LF	ESC	HT
Y <sub>10</sub>	1	ENQ	ACK	SUB	EM	CR	DEL	FF	VT
	2	ENQ	ACK	SUB	EM	CR	DEL	FF	VT
	3	ENQ	ACK	SUB	EM	CR	DEL	FF	VT
	4	ENQ	ACK	SUB	EM	CR	DEL	FF	VT

符号の名称表

記号	名称	符号表上の位置	配列表上の位置 X/Y/モード
SP	間 隔	2/0	4/9/1-4
!	感嘆記号	2/1	7/8/2.4
"	引用記号, ウムラウト	2/2	7/7/2.4
#	番号記号	2/3	7/6/2.4
\$	通貨単位\$	2/4	7/5/2.4
%	パーセント	2/5	7/4/2.4
&	"and"記号	2/6	7/3/2.4
'	アポストロフ, アクサンテグ	2/7	7/2/2.4
(	左小かっこ	2/8	7/1/2.4
)	右小かっこ	2/9	7/0/2.4
*	星印記号, 乗算記号	2/10	2/9/1-4, 1/1/2.4
+	正記号, 加算記号	2/11	0/9/1-4, 1/0/2.4
,	コンマ	2/12	0/2/1-4, 4/1/1.3
-	負記号, 減算記号	2/13	1/9/1-4, 3/1/1.3
.	ピリオド	2/14	0/1/1-4, 0/7/1-4, 4/0/1.3
/	斜線, 除算記号	2/15	3/9/1-4, 0/0/1.3

記号	名称	符号表上の位置	配列表上の位置 X/Y/モード
:	コロン	3/10	1/1/1.3
;	セミコロン	3/11	1/0/1.3
<	不等号(より小)	3/12	4/1/2.4
=	等号	3/13	0/8/1-4, 3/1/2.4
>	不等号(より大)	3/14	4/0/2.4
?	疑問記号	3/15	0/0/2.4
@	単価記号	4/0	2/1/2.4
{	左角かっこ	5/11	2/2/1
}	右角かっこ	5/13	3/2/1
^	上向矢印記号, シルコンプレックス・アクセント記号	5/14	3/3/1
~	アンダライン	5/15	2/3/1.2
	左大かっこ	7/11	2/2/2
	分離記号, 論理和記号	7/12	1/2/2
	右大かっこ	7/13	3/2/2
\	逆斜線	5/12	2/1/2.4, 1/2/1
~		7/14	3/3/2



# M58620-001S

## KEYBOARD ENCODER (JIS CODE STANDARD PRODUCT)

### 概要

M58620-001Sは、無接点スイッチ用PチャネルアルミゲートMOSキーボードエンコーダです。3640ビットの読み出し専用メモリ(マスクプログラムROM)を内蔵し、それにはJIS C6220-1969情報交換用符号に規定された7単位及び8単位符号が書き込まれており、パリティビットは、7単位符号のとき奇数パリティ、8単位符号のとき奇数及び偶数パリティを用いることができます。

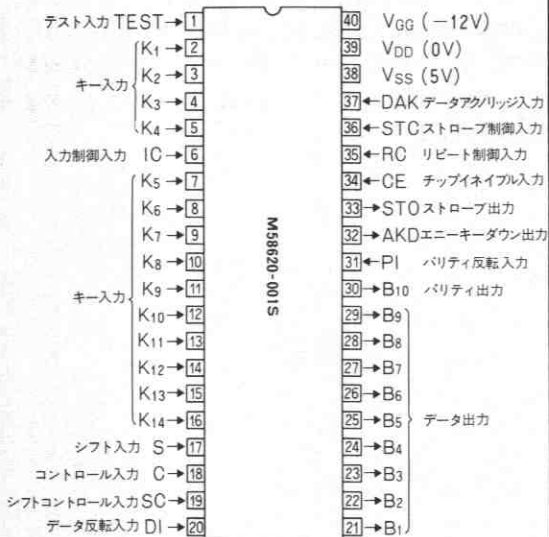
### 特長

- 入出力はTTLと接続可能
- 出力バッファレジスタ付き
- 不使用コード発生時のストローブ禁止回路付き
- ストローブ出力のワンショット出力(パルス幅可変)、又はスタチック出力切替可能
- ストローブ遅延時間設定端子付き
- チップイネイブル端子付き
- 2キーロールオーバー(スイッチのロジック出力がシリアルであれば、Nキーロールオーバーも可能)

### 応用

- 端末機器用フルキーボード

### ピン接続図(上面図)

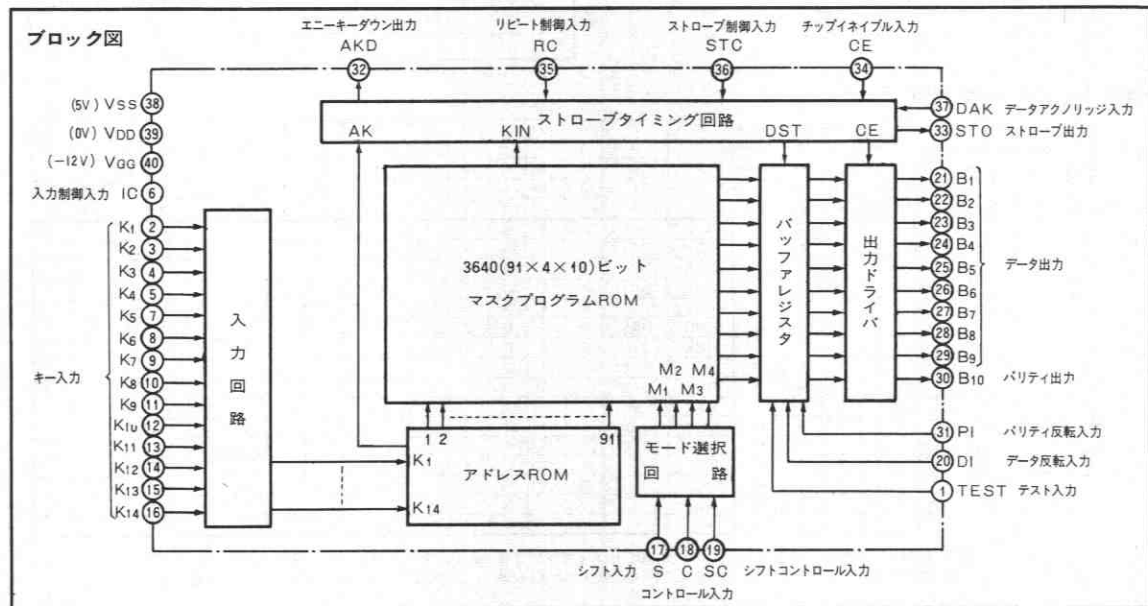


外形 40S1

### 機能概要

キースイッチの出力を、キー入力 $K_1 \sim K_{14}$ のうち2つ選んで接続し(14択2)、各キーに91種類のアドレスを割り当てます。したがって、データ出力のキャラクタは14択2のキー入力、シフト入力、コントロール入力及びシフトコントロール入力によって選択されます。

キーが押されると、キースイッチの出力がキー入力 $K_1 \sim K_{14}$ のうちの2つに入力され、アドレスROMにより、3640ビットROMの1つのアドレスが指定されます。ROMからのコード化出力をバッファレジスタに転送した後、ストローブ出力を発生し、そのコード化出力を有効にします。



## KEYBOARD ENCODER (JIS CODE STANDARD PRODUCT)

## 機能説明 (データ出力、パリティ出力)

符号表のB<sub>1</sub>~B<sub>8</sub>とデータ出力のB<sub>1</sub>~B<sub>8</sub>との関係を表1に示します。パリティ出力B<sub>10</sub>(7単位符号の場合はB<sub>9</sub>)とパリティビットとの関係を表2、3に示します。表中のパリティビットは符号表のB<sub>1</sub>~B<sub>8</sub>(7単位符号の場合はB<sub>1</sub>~B<sub>7</sub>)の“1”の数が奇数のとき“0”、偶数のとき“1”と定義しています。モード選択を表4に示します。

表1. 符号表とデータ出力の関係

符号表の B <sub>1</sub> ~B <sub>8</sub>	データ 反転入 力 DI	データ出力 B <sub>1</sub> ~B <sub>8</sub>	論理
1	L	H	正論理
1	H	L	負論理
0	L	L	正論理
0	H	H	負論理

表2. 8単位符号のパリティ出力

パリティビット	パリティ反転入力 PI	パリティ出力 B <sub>10</sub>
1	L	H
1	H	L
0	L	L
0	H	H

表3. 7単位符号のパリティ出力

パリティビット	データ反転入力 DI	データ出力 B <sub>9</sub>
1	L	H
1	H	L
0	L	L
0	H	H

表4. モードの選択

シフト入力 S	コントロール入 力 C	シフトコント ロール入力 SC	選択される モード
L	L	L	1
H	L	L	2
L	H	L	3
H	H	L	4
L	L	H	4
H	L	H	—
L	H	H	—
H	H	H	—

## 符号表 (JIS-C-6220-1969)

パリティビット		B <sub>8</sub>	B <sub>7</sub>	B <sub>6</sub>	B <sub>5</sub>	B <sub>4</sub>	B <sub>3</sub>	B <sub>2</sub>	B <sub>1</sub>	行列	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15		
※B <sub>10</sub>	※B <sub>9</sub>																											
											NUL	DLE	SP	0	@	P												
											SOH	DC <sub>1</sub>	!	!	A	Q												
											STX	DC <sub>2</sub>	*	2	B	R												
											ETX	DC <sub>3</sub>	#	3	C	S												
											EOT		\$	4	D	T												
											ENQ	NAK	%	5	E	U												
											ACK	SYN	&	6	F	V												
											BEL	ETB	7	G	W													
											BS	CAN	(	8	H	X												
											HT	EM	)	9	I	Y												
											LF	SUB	*	:	J	Z												
											VT	ESC	+	;	K	[												
											FF		,	<	L	¥												
											CR		=	=	M	)												
											SO		.	>	N	^												
											SI		/	?	O	—												

注1. ※B<sub>9</sub>は、7単位符号系(B<sub>1</sub>~B<sub>7</sub>)の奇数パリティです。※B<sub>10</sub>は、8単位符号系(B<sub>1</sub>~B<sub>8</sub>)の奇数パリティです。  
 2. 符号表中の“1”、“0”は、DI、PIが“L”レベル入力するとき“1”は“H”、“0”は“L”レベルとして出力されます。

KEYBOARD ENCODER (JIS CODE STANDARD PRODUCT)

符号配列表

Kn	Km	モード	K2	K3	K4	K5	K6	K7	K8	K9	K10	K11	K12	K13	K14
K1	1	Z	X	C	V	B	N	M	,	.	/		A	S	
	2								<	>	?		-		
	3	ツ	サ	ソ	ヒ	コ	ミ	モ	ネ	ル	メ	ロ	チ	ト	
	4	ッ													
K2	1		D	F	G	H	J	K	L	:	;	]	O	W	
	2					.				+	*	!			
	3		シ	ハ	キ	ク	マ	ノ	リ	レ	ケ	ム	タ	テ	
	4														
K3	1		E	R	T	Y	U	I	O	P	@	[	!		
	2										'	,	!		
	3		イ	ス	カ	ン	ナ	ニ	ラ	セ	.	.	!		
	4		イ										!		
K4	1				2	3	4	5	6	7	8	9	0	-	
	2				"	#	\$	%	&	'	(	)	=		
	3				フ	ア	ウ	エ	オ	ヤ	ユ	ヨ	ワ	ホ	
	4				ア	ワ	ウ	エ	オ	ヤ	ユ	ヨ	ワ	ホ	
K5	1				^	¥	DEL	SP	SOH	STX	ETX	EOT	ENQ		
	2				-	!	DEL	SP	SOH	STX	ETX	EOT	ENQ		
	3				へ	-	DEL	SP	SOH	STX	ETX	EOT	ENQ		
	4						DEL	SP	SOH	STX	ETX	EOT	ENQ		
K6	1						ACK	BEL	BS	HT	LF	VT	FF	CR	
	2						ACK	BEL	BS	HT	LF	VT	FF	CR	
	3						ACK	BEL	BS	HT	LF	VT	FF	CR	
	4						ACK	BEL	BS	HT	LF	VT	FF	CR	
K7	1							SO	SI	DLE	DC1	DC2	DC3	NAK	
	2							SO	SI	DLE	DC1	DC2	DC3	NAK	
	3							SO	SI	DLE	DC1	DC2	DC3	NAK	
	4							SO	SI	DLE	DC1	DC2	DC3	NAK	
K8	1								SYN	ETB	CAN	EM	SUB	ESC	
	2								SYN	ETB	CAN	EM	SUB	ESC	
	3								SYN	ETB	CAN	EM	SUB	ESC	
	4								SYN	ETB	CAN	EM	SUB	ESC	
K9	1								NUL	+	-	=	.		
	2								NUL	+	-	=	.		
	3								NUL	+	-	=	.		
	4								NUL	+	-	=	.		
K10	1									1	2	3	4		
	2									1	2	3	4		
	3									1	2	3	4		
	4									1	2	3	4		
K11	1										5	6	7		
	2										5	6	7		
	3										5	6	7		
	4										5	6	7		
K12	1											8	9		
	2											8	9		
	3											8	9		
	4											8	9		
K13	1												0		
	2												0		
	3												0		
	4												0		

記号の名称

記号	名 称	符号表上の列/行	配列表上の位置 km/kn/モード
SP	間 隔	2 / 0	K9 / K5 / 1~4
!	感嘆記号	2 / 1	K14 / K3 / 2
"	引用記号, ウムラウト	2 / 2	K5 / K4 / 2
#	番号記号	2 / 3	K6 / K4 / 2
\$	通貨単位 \$	2 / 4	K7 / K4 / 2
%	パーセント	2 / 5	K8 / K4 / 2
&	"and" 記号	2 / 6	K9 / K4 / 2
'	アポストロフィー, アクサンテギュ	2 / 7	K10 / K4 / 2
(	左小かっこ	2 / 8	K11 / K4 / 2
)	右小かっこ	2 / 9	K12 / K4 / 2
*	星印記号, 乗算記号	2 / 10	K11 / K2 / 2
+	正記号, 加算記号	2 / 11	K10 / K2 / 2 ※
,	コマ	2 / 12	K9 / K1 / 1
-	負記号, 減算記号, ハイフン	2 / 13	K14 / K4 / 1 ※
.	ピリオド	2 / 14	K10 / K1 / 1 ※
/	斜線, 除算記号	2 / 15	K11 / K1 / 1
:	コロ	3 / 10	K11 / K2 / 1
;	セミコロ	3 / 11	K10 / K2 / 1
<	不等号 (より小)	3 / 12	K9 / K1 / 2
=	等 号	3 / 13	K14 / K4 / 2 ※
>	不等号 (より大)	3 / 14	K10 / K4 / 2

※K11~K14/K9/1~4参照

記号	名 称	符号表上の列/行	配列表上の位置 km/kn/モード
?	疑問記号	3 / 15	K11 / K1 / 2
@	単価記号	4 / 0	K12 / K3 / 1
[	左角かっこ	5 / 11	K13 / K3 / 1
¥	通貨単位 ¥(円)	5 / 12	K7 / K5 / 1
]	右角かっこ	5 / 13	K12 / K2 / 1
^	上向矢印記号, シルコンプレックスアクセント記号	5 / 14	K6 / K5 / 1
—	アンダライン	5 / 15	K12 / K1 / 2
、	アクサンダグループ	6 / 0	K12 / K3 / 2
{	左大かっこ	7 / 11	K13 / K3 / 2
	分離記号, 論理和記号	7 / 12	K7 / K5 / 2
}	右大かっこ	7 / 13	K12 / K2 / 2
~	オーバライン, 論理否定記号	7 / 14	K6 / K5 / 2
.	句 点	10 / 1	K10 / K1 / 4
「	始かっこ	10 / 2	K13 / K3 / 4
」	終かっこ	10 / 3	K12 / K2 / 4
・	読 点	10 / 4	K9 / K1 / 4
・	中 点	10 / 5	K11 / K1 / 4
—	長音記号	11 / 0	K7 / K5 / 3
・	濁 点	13 / 14	K12 / K3 / 3
・	半濁点	13 / 15	K13 / K3 / 3

## KEYBOARD ENCODER (JIS CODE STANDARD PRODUCT)

## 動作説明

## (1) 2キーロールオーバー (Nキーロックアウト)

2つ以上のキースイッチが同時に押されると、アドレスROMの出力1~9Hはすべて“H”レベルになり、3640ビットROMのアドレスは指定されず内部キー入力信号がタイミング回路に入力されないため、ストロブ信号が発生されません。またコード化出力は前の状態を保持します。次に1つのキー(Key 1)を押した状態で他を開放するとKey 1は有効となります。

## (2) Nキーロールオーバー

キー入力信号がパルス信号である場合、最初に押されたキー(Key 1)が読み込まれKey 1のコード化出力をバッファレジスタに転送した後、ストロブ信号を出力し、コード化出力を有効にします。次にKey 1を押した状態で続いて押されたキー(Key 2)を読み込み、上記のようにKey 1のコード化出力に続いてKey 2のコード化出力を転送した後、ストロブ出力を出してKey 2のコード化出力も有効となります。次にKey 1、Key 2を押した状態で第3以降のキーを押した場合も同様です。

## (3) エニーキーダウン出力

91種類のキーのうち1つ以上のキーが押されると、アドレスROMより内部のエニーキー信号がタイミング回路に入りエニーキーダウン信号(AKD)が出力されます。

## (4) 不使用コード発生時のストロブ禁止

各キーの4モード中使用しないモードあるいは、使用しないキー(ROMコードは“00000000”)が選択された場合、ストロブ出力の発生を禁止し、そのキーを無効とします。また、データは前の状態を保持します。

## (5) リピート機能

リピート制御入力(RC)にリピート信号を入力することによりストロブがくり返し出力され、任意のキャラクタをくり返して出力することが可能となります。また、RC端子を“H”レベルにするとストロブ出力を禁止することができます。

## (6) データアクノリッジ入力

データアクノリッジ入力によりストロブ出力端子のリセットを行います。ストロブ出力端子(STO)とデータアクノリッジ入力端子(DAK)の間に抵抗と容量を接続することにより、ストロブ出力のパルス幅の調整が可能となります。また、STOとDAKを直接接続するとSTOに約4 $\mu$ s幅(標準)の出力パルスが得られます。

## (7) データ反転、パリティ反転入力

データ反転入力(DI)及びパリティ反転入力(PI)を“H”レベルにするとB<sub>1</sub>~B<sub>9</sub>、B<sub>10</sub>の各出力を反転することができます。

## (8) チップイネイブル入力

チップイネイブル入力(CE)を“H”レベルにするとデータ出力(B<sub>1</sub>~B<sub>10</sub>)、ストロブ出力、エニーキーダウン出力はフローティング状態となります。

フローティング状態とは高インピーダンスの状態であり、出

力を開放したことに等価です。

## (9) 入力制御入力

入力制御入力(IC)を“H”レベルにすると、キー入力(K<sub>1</sub>~K<sub>14</sub>)は、“H”レベル信号で動作します。

## (10) ストロブ制御入力

ストロブ制御入力端子(STC)により、ストロブ遅延時間の設定が可能となります。ストロブ制御入力端子をV<sub>SS</sub>に接続するとIC内部の遅延回路のもつ遅延時間 t<sub>d</sub>(ST-B)に設定されます。

## (11) テスト入力

テスト端子(TEST)を“H”レベルにすると、3640ビットROMの出力に関係なくデータ出力(B<sub>1</sub>~B<sub>10</sub>)“H”あるいは、“L”レベルに設定されます。

DI、およびPIが“L”レベルのとき、B<sub>1</sub>~B<sub>10</sub>は“H”レベル  
DI、およびPIが“H”レベルのとき、B<sub>1</sub>~B<sub>10</sub>は“L”レベルとなります。

## (12) プルアップ抵抗

すべての入力端子には、プルアップ抵抗が内蔵されているため外付抵抗は必要ありません。ただし、ストロブ制御入力端子は必要がない場合は、V<sub>SS</sub>に接続してください。(抵抗値は、電気的特性を参照してください。)

図1 プルアップ抵抗

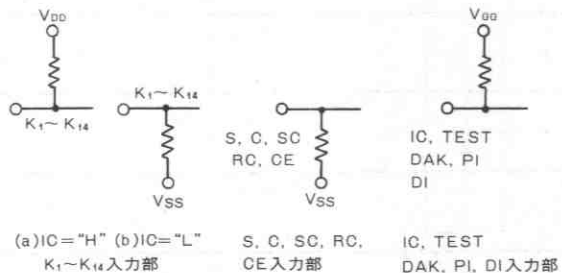


表1 データ出力とデータ反転(DI), パリティ反転(PI), チップイネイブル(CE)の関係

ROM CODE	DI, PI	CE	B <sub>1</sub> ~B <sub>10</sub>
1	H	L	L
	L	L	H
0	H	L	H
	L	L	L
1	H	H	Z
	L	H	Z
0	H	H	Z
	L	H	Z

注1. Zはフローティング状態を示します。

2. ROM CODE表は、DI, PIを“L”レベルとした時のB<sub>1</sub>~B<sub>10</sub>出力に従って正論理にて記入します。

表2 モード選択ROMの真理値表

S	C	SC	モード
H	H	H	—
L	H	H	—
H	L	H	—
L	L	H	M <sub>4</sub>
H	H	L	M <sub>4</sub>
L	H	L	M <sub>3</sub>
H	L	L	M <sub>2</sub>
L	L	L	M <sub>1</sub>

## KEYBOARD ENCODER (JIS CODE STANDARD PRODUCT)

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>GG</sub>	電源電圧	V <sub>SS</sub> 端子を基準とした場合	0.3~20	V
V <sub>DD</sub>	電源電圧		0.3~20	V
V <sub>I</sub>	入力電圧		0.3~20	V
P <sub>d</sub>	消費電力	T <sub>a</sub> =25°C	1	W
T <sub>opr</sub>	動作周囲温度		-20~75	°C
T <sub>stg</sub>	保存温度		-40~125	°C

推奨使用条件(指定のない場合は, T<sub>a</sub>=-20~75°C)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>GG</sub>	電源電圧	-10.8	-12	-13.2	V
V <sub>DD</sub>	電源電圧		0		V
V <sub>SS</sub>	電源電圧	4.5	5	5.5	V
V <sub>IH</sub>	"H"入力電圧, STC端子を除く	V <sub>SS</sub> -1.5		V <sub>SS</sub>	V
V <sub>IL</sub>	"L"入力電圧, "	V <sub>DD</sub>		V <sub>SS</sub> -3.5	V
t <sub>r</sub>	上昇時間(10~90%), DAK端子を除く入力端子			1	μs
t <sub>f</sub>	下降時間(10~90%), "			1	μs
t <sub>r</sub> (DAK)	上昇時間(10~90%), DAK端子			100	μs
t <sub>f</sub> (DAK)	下降時間(10~90%), "			100	μs

電気的特性(指定のない場合は, T<sub>a</sub>=-20~75°C, V<sub>GG</sub>=-12V±10%, V<sub>DD</sub>=0V, V<sub>SS</sub>=5V±10%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>OH</sub>	"H"出力電圧	I <sub>OH</sub> =-100μA	V <sub>SS</sub> -1			V
V <sub>OL</sub>	"L"出力電圧	I <sub>OL</sub> =1.6mA, 注4			0.4	V
I <sub>I</sub> (1)	入力電流, TEST, IC, DI, PI, DAK端子	V <sub>I</sub> =V <sub>GG</sub>		-0.01	-10	μA
I <sub>I</sub> (2)	入力電流, K1~K14端子	V <sub>I</sub> =V <sub>DD</sub> , V <sub>I</sub> (IC)=V <sub>IH</sub>		-0.02	-20	μA
R <sub>I</sub> (1)	入力抵抗, IC, PI, DI, DAK, TEST端子	V <sub>I</sub> =V <sub>SS</sub> , T <sub>a</sub> =25°C	100	180	300	kΩ
R <sub>I</sub> (2)	入力抵抗, S, C, SC, CE, RC端子	V <sub>I</sub> =V <sub>DD</sub> , T <sub>a</sub> =25°C	5		30	kΩ
R <sub>I</sub> (3)	入力抵抗, K1~K14端子	V <sub>I</sub> =V <sub>SS</sub> , V <sub>I</sub> (IC)=V <sub>IH</sub> , T <sub>a</sub> =25°C	10	20	40	kΩ
R <sub>I</sub> (4)	入力抵抗, K1~K14端子	V <sub>I</sub> =V <sub>DD</sub> , V <sub>I</sub> (IC)=V <sub>IL</sub> , T <sub>a</sub> =25°C	2	5	15	kΩ
P <sub>d</sub>	消費電力	T <sub>a</sub> =25°C		350	500	mW
C <sub>i</sub>	入力容量	被測定端子以外は, 0Vとする。 V <sub>I</sub> =0V, V <sub>rms</sub> =25mV, f=1MHz			15	pF

注3. 電流は, ICに流れ込む向きを正(無符号)とします。最大・最小は, 絶対値で定義します。

4. 全ての出力端子がI<sub>OL</sub>=1.6mAの場合, V<sub>OLmax</sub>=0.6V

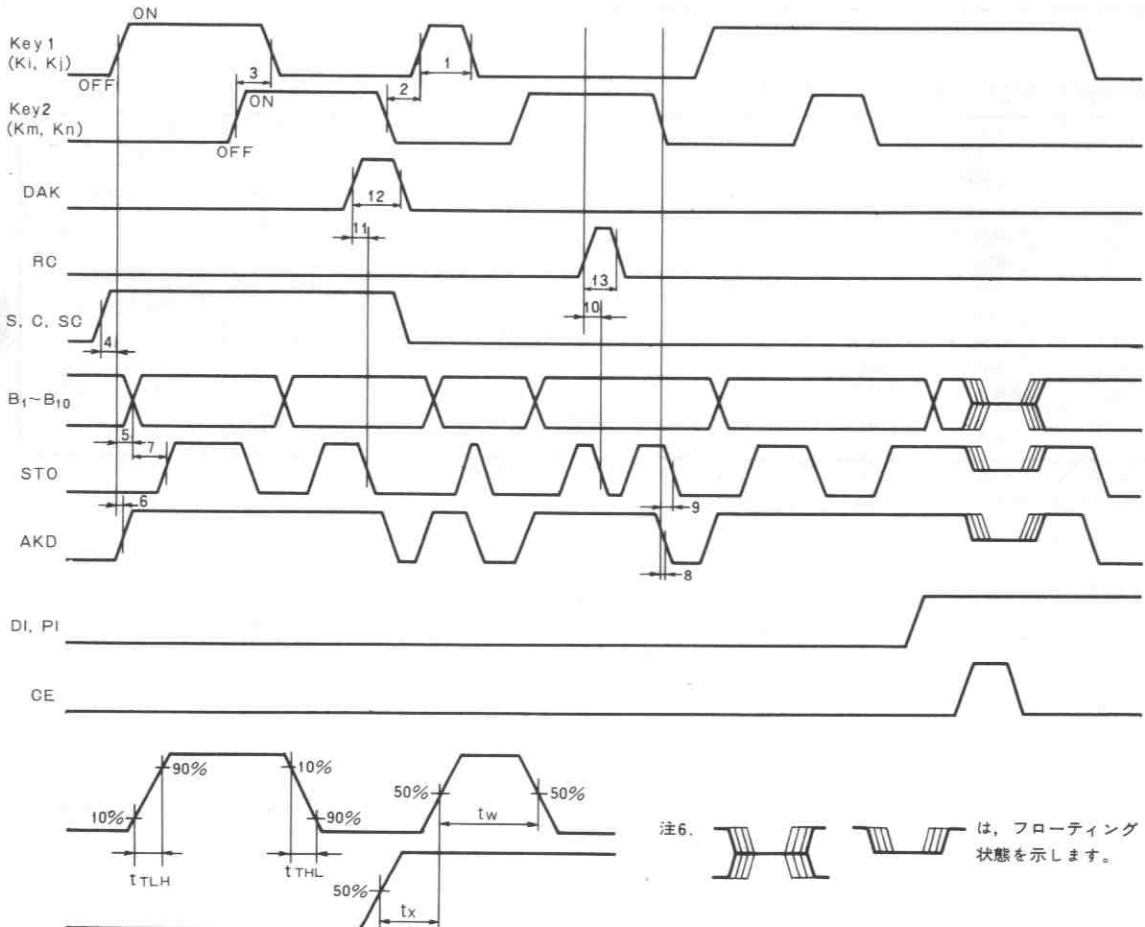
## KEYBOARD ENCODER (JIS CODE STANDARD PRODUCT)

スイッチング特性(指定のない場合は,  $T_a=25^\circ\text{C}$ ,  $V_{GG}=-12\text{V}\pm 10\%$ ,  $V_{DD}=0\text{V}$ ,  $V_{SS}=5\text{V}\pm 10\%$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{TLH}$	出力"L"→"H"遷移時間	$C_L=50\text{pF}$ , $I_{OH}=-0.1\text{mA}$		0.7	2	$\mu\text{s}$
$t_{THL}$	出力"H"→"L"遷移時間	$C_L=50\text{pF}$ , $I_{OL}=1.6\text{mA}$		0.5	1.5	$\mu\text{s}$
$t_w(KI)$	キー入力パルス幅	* 1, $t_w$	30			$\mu\text{s}$
$t_d(K1LH\rightarrow K2HL)$	Key2"H"→"L"に対するKey1"L"→"H"の遅延時間	* 2, $t_x$	10			$\mu\text{s}$
$t_h(K1\rightarrow K2)$	Key2に対するKey1のホールド時間	* 3, $t_x$	10			$\mu\text{s}$
$t_{su}(M\rightarrow KON)$	Key入力(ON)に対するS, C, SCのセットアップ時間	* 4, $t_x$			1.5	$\mu\text{s}$
$t_d(B\rightarrow KON)$	Key入力(ON)に対する $B_1\sim B_{10}$ の遅延時間	* 5, $t_x$	2	7	15	$\mu\text{s}$
$t_d(AK\rightarrow KON)$	Key入力(ON)に対するAKDの遅延時間	* 6, $t_x$		0.5	2	$\mu\text{s}$
$t_d(ST\rightarrow B)$	$B_1\sim B_{10}$ に対するSTOの遅延時間	* 7, $t_x$ , $C_L=50\text{pF}$ , STC-V <sub>SS</sub> 間短絡	1	5	12	$\mu\text{s}$
$t_d(AK\rightarrow KOF)$	Key入力(OFF)に対するAKDの遅延時間	* 8, $t_x$ , $C_L=50\text{pF}$		0.5	2	$\mu\text{s}$
$t_d(ST\rightarrow KOF)$	Key入力(OFF)に対するSTOの遅延時間	* 9, $t_x$ , $C_L=50\text{pF}$		4	10	$\mu\text{s}$
$t(ST\rightarrow RC)$	RCに対するSTOの遅延時間	* 10, $t_x$ , $C_L=50\text{pF}$		3.5	20	$\mu\text{s}$
$t_d(STO\rightarrow DAK)$	DAKに対するSTOの遅延時間	* 11, $t_x$ , $C_L=50\text{pF}$		4	10	$\mu\text{s}$
$t_w(DAK)$	DAKパルス幅	* 12, $t_w$	10			$\mu\text{s}$
$t_w(RC)$	RCパルス幅	* 13, $t_w$	15			$\mu\text{s}$
$t_w(STO)$	STOパルス幅	$t_w$ , $C_L=50\text{pF}$ , STO-DAK間短絡	1	4	10	$\mu\text{s}$

注5. 下図の数字1~13と $t_w$ ,  $t_x$ は, スwitchング特性の\* 1~\* 13と $t_w$ ,  $t_x$ (測定条件欄)に対応します。

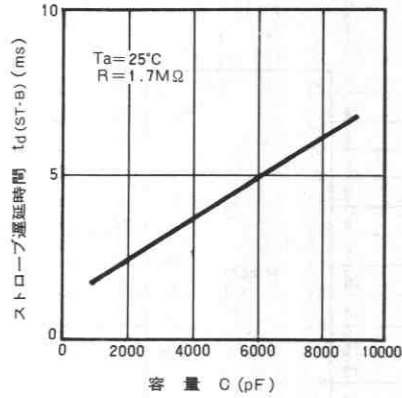
## タイミング図



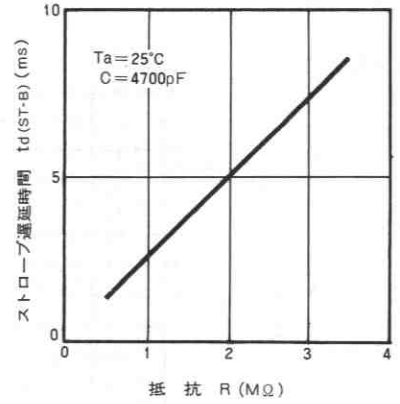
KEYBOARD ENCODER (JIS CODE STANDARD PRODUCT)

標準特性 (V<sub>GG</sub> = -12V, V<sub>DD</sub> = 0V, V<sub>SS</sub> = 5V)

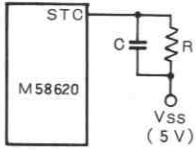
ストロブ遅延時間対容量特性



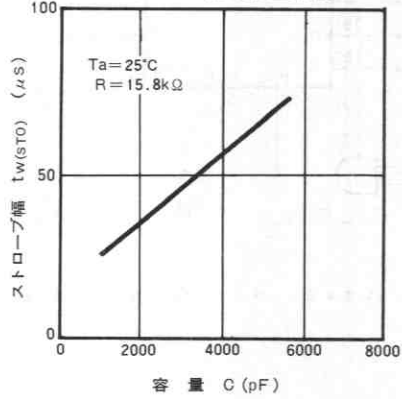
ストロブ遅延時間対抵抗特性



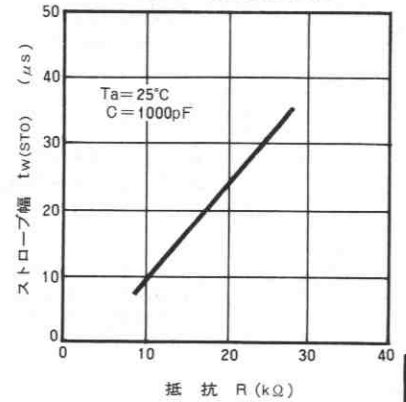
注7. 測定回路



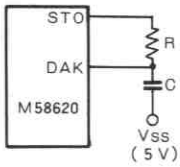
ストロブ幅対容量特性



ストロブ幅対抵抗特性



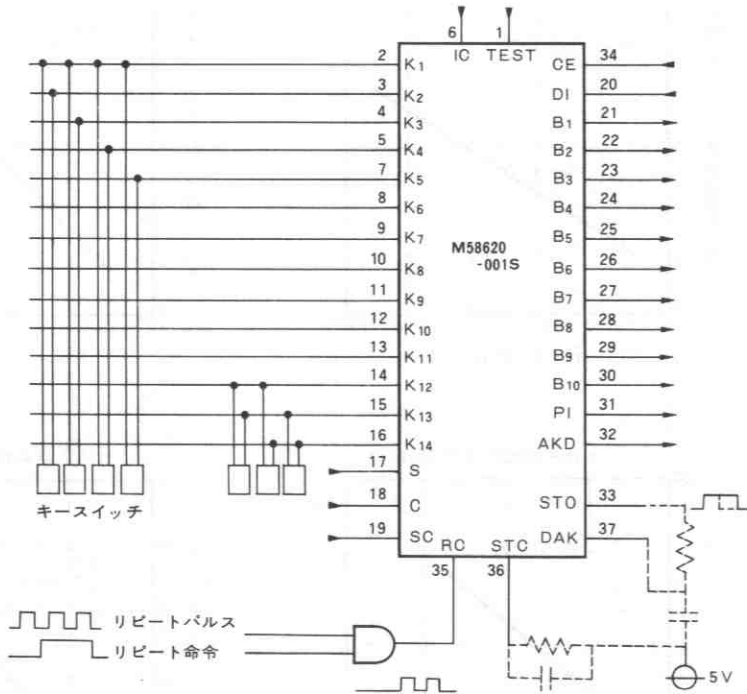
注8. 測定回路



## M58620-001S

## KEYBOARD ENCODER (JIS CODE STANDARD PRODUCT)

## 応用回路例



注9. キースイッチは、出力部がオープンコレクタ又は、ダイオードにて相互に分離されたものを使用してください。



## 概要

M58741Pは、家庭用NTSCカラーテレビを、グラフィックディスプレイ装置として使用するために設計されたCPU周辺用LSIで、NチャネルシリコンゲートED-MOSプロセスを用いて開発されています。

## 特長

- リフレッシュRAM方式による、NTSCカラーテレビ用グラフィックディスプレイ
- 64×64 セグメント
- 各画素8色(白、黒を含む)の色指定可能
- 各画素ごとにプリンク可能
- M5L 8080AP、S、M5L 8085AP、Sと容易に接続可能
- 5V単一電源

## 応用

- 家庭用コンピュータ、ビデオゲーム

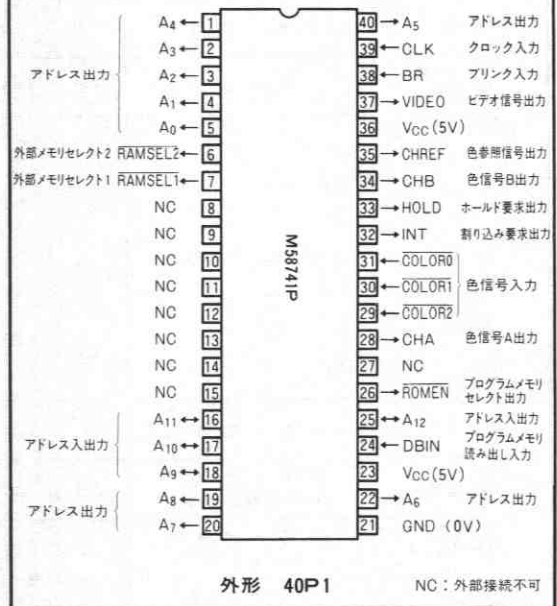
## 機能概要

M58741Pは、MELPS 8などの1チップCPUと共に使用して、家庭用カラーテレビ受像機に、64×64セグメントのカラーグラフィックスを実現するために設計されたICです。

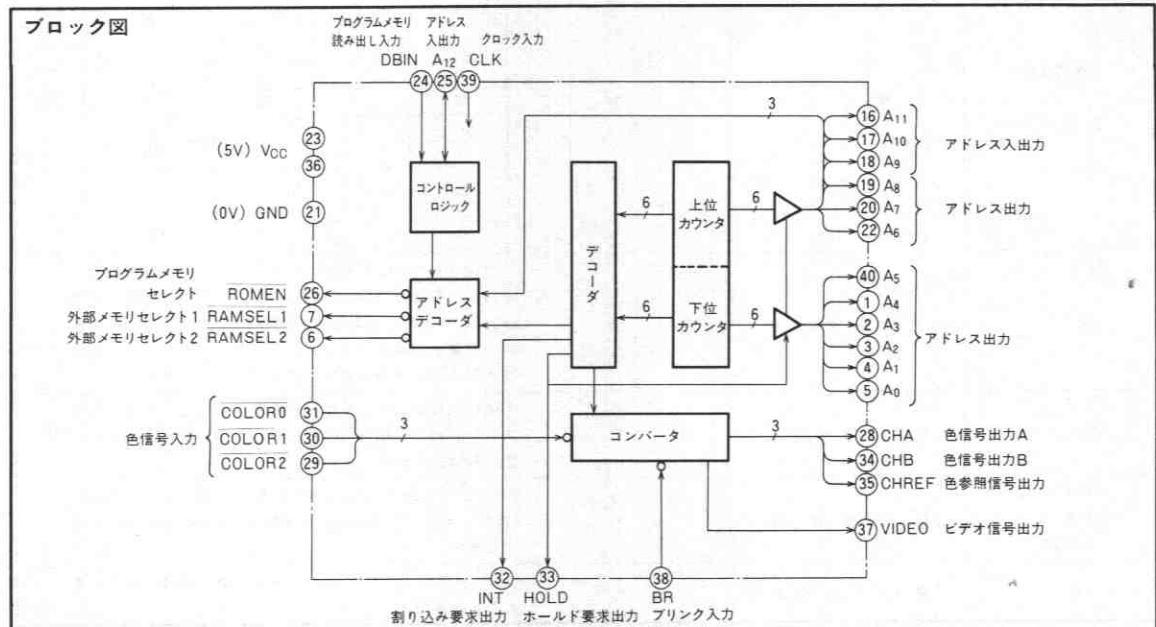
M58741Pは、リフレッシュRAM方式を採用しており、画面の変更が容易で、プログラミングに要する時間を少なくすることができます。

M58741Pを使用した最小構成のグラフィック装置は、専用モジュラIC M51342Pを含めて、10チップ(CPU、ROM、RAMを含む)で構成できます。

ピン接続図(上面図)



ブロック図



## 端子の機能説明

端子名	名称	入力 / 出力	機能																																				
A <sub>0</sub> ~A <sub>5</sub>	アドレス出力	出力	HOLDが“H”のとき、リフレッシュRAMのアドレスを出力します。画面横方向のアドレス指定をします。																																				
A <sub>6</sub> ~A <sub>8</sub>	アドレス出力	出力	HOLDが“H”のとき、リフレッシュRAMのアドレスを出力します。画面縦方向のアドレス指定をします。																																				
A <sub>9</sub> ~A <sub>11</sub>	アドレス入出力	入出力	<p>HOLDが“H”のとき、リフレッシュRAMのアドレスを出力します。画面縦方向のアドレス指定をします。</p> <p>HOLDが“L”のとき、RAMSEL 1, RAMSEL 2, ROMEN をアクティブにするアドレス入力となります。</p> <table border="1"> <thead> <tr> <th>A<sub>12</sub></th> <th>A<sub>11</sub></th> <th>A<sub>10</sub></th> <th>A<sub>9</sub></th> <th>端子</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>X</td> <td>X</td> <td>ROMEN(注1)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>RAMSEL 1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>RAMSEL 2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>X</td> <td>使用不可</td> </tr> </tbody> </table> <p>注1. ROMEN = <math>\overline{\text{DBIN}} \cdot \overline{\text{A}_{11}} \cdot \overline{\text{A}_{12}}</math></p>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	端子	0	0	X	X	ROMEN(注1)	0	1	0	0	RAMSEL 1	0	1	0	1	RAMSEL 2	0	1	1	X	使用不可											
A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	端子																																			
0	0	X	X	ROMEN(注1)																																			
0	1	0	0	RAMSEL 1																																			
0	1	0	1	RAMSEL 2																																			
0	1	1	X	使用不可																																			
A <sub>12</sub>	アドレス入力	入力	“H”のとき、内部アドレスデコーダを動作させないようにします。																																				
$\overline{\text{RAMSEL 1}}$	外部メモリアドレスセレクト1	出力	$\overline{\text{A}_{12}} \cdot \overline{\text{A}_{11}} \cdot \overline{\text{A}_{10}} \cdot \overline{\text{A}_9}$ が“H”になるとRAMSEL 1は無条件に“L”となります。																																				
$\overline{\text{RAMSEL 2}}$	外部メモリアドレスセレクト2	出力	$\overline{\text{A}_{12}} \cdot \overline{\text{A}_{11}} \cdot \overline{\text{A}_{10}} \cdot \overline{\text{A}_9}$ が“H”になるとRAMSEL 2は無条件に“L”となります。																																				
$\overline{\text{ROMEN}}$	プログラムメモリセレクト	出力	$\overline{\text{DBIN}} \cdot \overline{\text{A}_{11}} \cdot \overline{\text{A}_{12}}$ が“H”になるとROMENは無条件に“L”となります。																																				
HOLD	ホールド要求出力	出力	外部に対してM58741Pが、アドレスバスを使用することを“H”で示します。																																				
INT	割り込み要求出力	出力	1画面掃引毎に約65μs(内30μsはHOLDと重なっています)“H”を出力します。																																				
DBIN	プログラムメモリ読み出しタイミング	入力	HOLDが“L”のとき、ROMEN信号をアクティブにします。																																				
$\overline{\text{COLOR 0}}$   $\overline{\text{COLOR 2}}$	色信号入力	入力	<p>リフレッシュメモリからのデータを入力します。これによって画素の色指定ができます。</p> <table border="1"> <thead> <tr> <th>COLOR 2</th> <th>COLOR 1</th> <th>COLOR 0</th> <th>色</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>マゼンタ</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>赤</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>緑</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>白</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>橙</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>シアン</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>ブルーシアン</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>黒</td> </tr> </tbody> </table>	COLOR 2	COLOR 1	COLOR 0	色	0	0	0	マゼンタ	0	0	1	赤	0	1	0	緑	0	1	1	白	1	0	0	橙	1	0	1	シアン	1	1	0	ブルーシアン	1	1	1	黒
COLOR 2	COLOR 1	COLOR 0	色																																				
0	0	0	マゼンタ																																				
0	0	1	赤																																				
0	1	0	緑																																				
0	1	1	白																																				
1	0	0	橙																																				
1	0	1	シアン																																				
1	1	0	ブルーシアン																																				
1	1	1	黒																																				
BR	ブリンク入力	入力	この端子を“H”にすると、リフレッシュメモリの内容によらず、テレビ画面は黒色になります。(画像表示の禁止)。この端子を適当な時間間隔で“H”又は、“L”にすれば、画像を点滅させることができます。ブリンクは色信号入力より1クロック早くサンプリングされます。																																				
VIDEO	ビデオ信号出力	出力	4値レベル出力で、そのまま家庭用テレビに対するベースバンドビデオ信号(同期信号を含む)となっています。色信号は含まれていません。																																				
CH A CH B CH REF	色信号出力	出力	CH REF(DCレベル)に対する3値レベル出力で、M51342P(NTSCカラー変調器用リニアIC)の要求する色信号を出力します。																																				
CLK	クロック入力	入力	クロック入力で、1.79MHz、デューティ約25%の方形波入力が必要です。																																				

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧	GND端子を基準にした場合	-0.5~7	V
V <sub>I</sub>	入力電圧		-0.5~7	V
V <sub>O</sub>	出力電圧		-0.5~7	V
P <sub>d</sub>	最大消費電力	T <sub>a</sub> =25℃	600	mW
t <sub>opg</sub>	動作周囲温度		0~70	℃
t <sub>stg</sub>	保存周囲温度		-40~125	℃

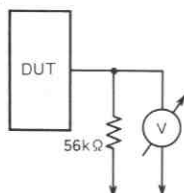
推奨使用条件(指定のない場合は, T<sub>a</sub> = 0 ~ 70℃)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.75	5	5.25	V
V <sub>IH</sub>	"H"入力電圧	2			V
V <sub>IL</sub>	"L"入力電圧			0.8	V
t <sub>C(CLK)</sub>	クロック周期		558.7		ns

電気的特性(指定のない場合は, T<sub>a</sub> = 0 ~ 70℃, V<sub>CC</sub> = 5V ± 5%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I <sub>CC</sub>	電源電流				100	mA
V <sub>OH</sub>	"H"出力電圧	I <sub>OH</sub> = -100μA	2.4			V
V <sub>OL</sub>	"L"出力電圧	I <sub>OL</sub> = 1mA			0.4	V
V <sub>SYNG</sub>	VIDEO同期信号電圧	(注2)		0.8V <sub>CC</sub>		V
V <sub>PED</sub>	VIDEOペDESTAL電圧			0.7V <sub>CC</sub>		V
V <sub>DARK</sub>	VIDEO*暗*電圧			0.6V <sub>CC</sub>		V
V <sub>BRIGHT</sub>	VIDEO*明*電圧			0.5V <sub>CC</sub>		V
V <sub>CH0</sub>	色信号レベル0電圧			0.6V <sub>CC</sub>		V
V <sub>CH1</sub>	色信号レベル1電圧			0.68V <sub>CC</sub>		V
V <sub>CH2</sub>	色信号レベル2電圧			0.76V <sub>CC</sub>		V
V <sub>CHREF</sub>	色信号リファレンスレベル電圧			0.68V <sub>CC</sub>		V

## 注2. 測定回路1



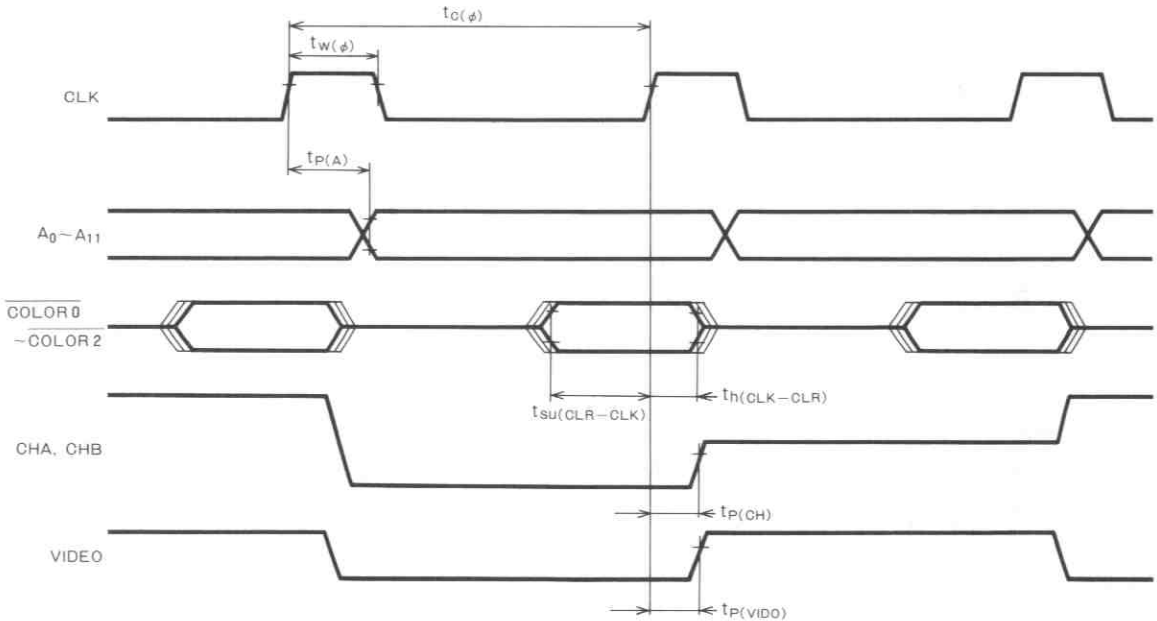
タイミング必要条件(指定のない場合は,  $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{C(\phi)}$	クロックサイクル時間			558.7		ns
$t_{W(\phi)}$	クロックパルス幅		120		300	ns
$t_{SU(\text{CLR}-\text{CLK})}$	クロック前色信号セットアップ時間		50			ns
$t_{H(\text{CLK}-\text{CLR})}$	クロック後色信号ホールド時間		100			ns
$t_{SU(\text{BRIG}-\text{CLK})}$	クロック前ブリックセットアップ時間		50			ns
$t_{H(\text{CLK}-\text{BRIG})}$	クロック後ブリックホールド時間		100			ns

スイッチング特性(指定のない場合は,  $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{P(A)}$	クロック・アドレス伝搬時間	$C_L = 50\text{pF}$ , 負荷 1LSTTL			200	ns
$t_{P(\text{CH})}$	クロック・色信号伝搬時間	$C_L = 10\text{pF}$ , $R_L = 50\text{k}\Omega$			150	ns
$t_{P(\text{VIDO})}$	クロック・ビデオ信号伝搬時間	$C_L = 10\text{pF}$ , $R_L = 50\text{k}\Omega$			150	ns
$t_{P(\text{DBIN}-\text{ROM})}$	DBIN・プログラムメモリセレクト伝搬時間	$C_L = 50\text{pF}$ , 負荷 1LSTTL			250	ns
$t_{P(A-\text{SEL})}$	アドレス・外部メモリセレクト伝搬時間	$C_L = 50\text{pF}$ , 負荷 1LSTTL			200	ns

### タイミング図



# M5L 8041A-XXXXP

## UNIVERSAL PERIPHERAL INTERFACE

### 概要

M5L 8041A-XXXXPは、NチャネルシリコンゲートED-MOSプロセスを用いて作った各種の8ビットマイクロプロセッサ用周辺回路LSIで、その機能を、プログラムによってユーザが自由に変更できます。

### 特長

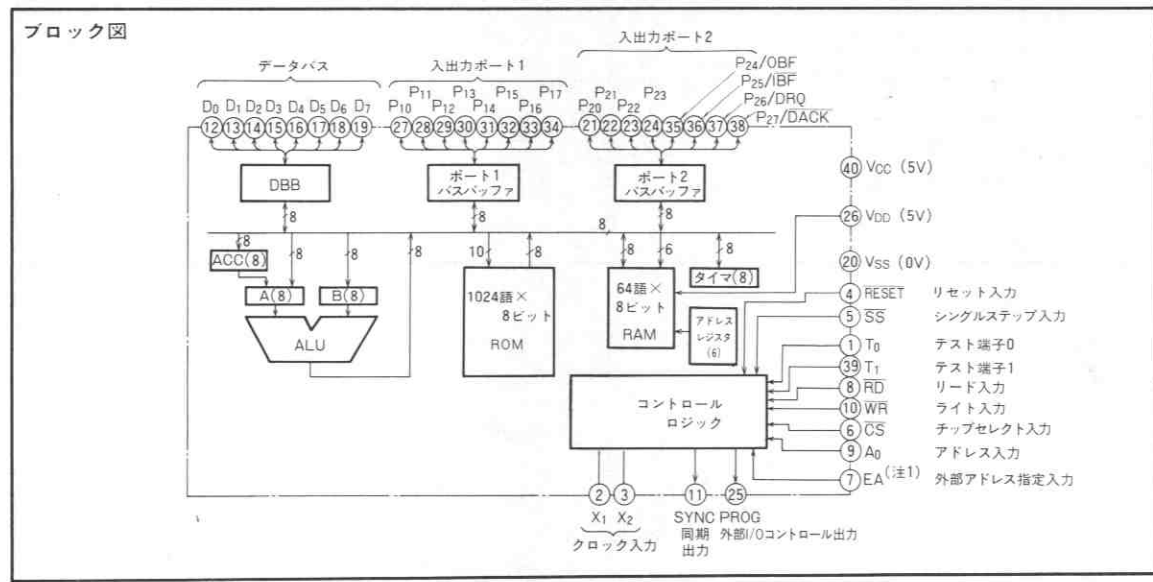
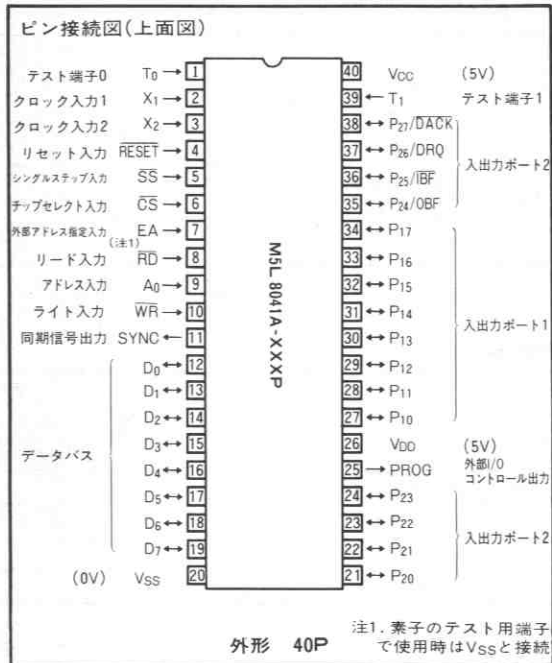
- マスクROM.....1024語×8ビット
- スタックRAM.....64語×8ビット
- 18プログラマブル入出力端子
- マスタプロセッサのインターフェース用非同期データレジスタ
- 8ビットCPU、ROM、RAM、I/O、タイマ、クロック、パワーダウンモード
- 5V単一電源
- カスタムLSIの代替
- インテル社8041Aと互換性あり

### 応用

- マイクロコンピュータ周辺用カスタムLSIの代替

### 機能概要

M5L 8041A-XXXXPは、一般的な8ビットCPUの周辺用LSIとして設計されており、内部は、小さなコンピュータによって構成されています。この内蔵されたコンピュータは、外部とは独立して動作しますが、このLSIを周辺用LSIとして使用するCPU(マスタCPU)に対して、特にスレープコンピュータと呼ばれています。この2つのコンピュータは、中間に設けられたバッファレジスタを通じて、たがいにデータの受け渡しを行うことができますが、M5L 8041A-XXXXPには、このバッファレジスタと、スレープコンピュータが内蔵されており、マスタCPU側から見ると、M5L 8041A-XXXXPは、ごく普通の周辺用LSIとなんら変わりなく扱うことができます。また、M5L 8041A-XXXXPの機能は、内部がコンピュータ構成であるため、プログラムを変更(マスクプログラマブル)するだけで、容易に変えることが可能であり、ユーザが必要とする機能を持つ周辺用LSIを実現することができます。



## M5L 8041A-XXXP

## UNIVERSAL PERIPHERAL INTERFACE

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧	V <sub>SS</sub> 端子を基準にした場合	-0.5~7	V
V <sub>I</sub>	入力電圧		-0.5~7	V
V <sub>O</sub>	出力電圧		-0.5~7	V
P <sub>d</sub>	最大消費電力	T <sub>a</sub> =25℃	600	mW
T <sub>opr</sub>	動作周囲温度		-20~70	℃
T <sub>stg</sub>	保存温度		-40~125	℃

## 推奨使用条件

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.5	5	5.5	V
V <sub>SS</sub>	電源電圧		0		V
V <sub>IH</sub>	"H"入力電圧	2			V
V <sub>IL</sub>	"L"入力電圧			0.8	V
f(φ)	動作周波数	1		6	MHz

電氣的特性(指定のない場合は, T<sub>a</sub> = -20~70℃, V<sub>CC</sub> = 5 V ± 10%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>IL</sub>	"L"入力電圧, X <sub>1</sub> , X <sub>2</sub> を除く		-0.5		0.8	V
V <sub>IH1</sub>	"H"入力電圧, X <sub>1</sub> , X <sub>2</sub> , RESETを除く		2		V <sub>CC</sub>	V
V <sub>IH2</sub>	"H"入力電圧, X <sub>1</sub> , X <sub>2</sub> , RESET		3		V <sub>CC</sub>	V
V <sub>OL1</sub>	"L"出力電圧, D <sub>0</sub> ~D <sub>7</sub> , SYNC	I <sub>OL</sub> = 2 mA			0.45	V
V <sub>OL2</sub>	"L"出力電圧, D <sub>0</sub> ~D <sub>7</sub> , SYNC, PROGを除く	I <sub>OL</sub> = 1.6 mA			0.45	V
V <sub>OL3</sub>	"L"出力電圧, PRG	I <sub>OL</sub> = 1 mA			0.45	V
V <sub>OH1</sub>	"H"出力電圧, D <sub>0</sub> ~D <sub>7</sub>	I <sub>OH</sub> = -400 μA	2.4			V
V <sub>OH2</sub>	"H"出力電圧, 他の全出力	I <sub>OH</sub> = -50 μA	2.4			V
I <sub>I</sub>	入力リーク電流, T <sub>0</sub> , T <sub>1</sub> , RD, WR, CS, A <sub>0</sub> , EA	V <sub>SS</sub> ≤ V <sub>I</sub> ≤ V <sub>CC</sub>			±10	μA
I <sub>OZL</sub>	オフ状態出力リーク電流, D <sub>0</sub> ~D <sub>7</sub>	V <sub>SS</sub> + 0.45 ≤ V <sub>O</sub> ≤ V <sub>CC</sub>			±10	μA
I <sub>IL1</sub>	"L"入力負荷電流, P <sub>10</sub> ~P <sub>17</sub> , P <sub>20</sub> ~P <sub>27</sub>	V <sub>IL</sub> = 0.8 V			0.5	mA
I <sub>IL2</sub>	"L"入力負荷電流, RESET, SS	V <sub>IL</sub> = 0.8 V			0.2	mA
I <sub>DD</sub>	V <sub>DD</sub> 電源電流				20	mA
I <sub>CC</sub> + I <sub>DD</sub>	全電源電流				135	mA

## M5L 8041A-XXXP

## UNIVERSAL PERIPHERAL INTERFACE

タイミング必要条件(指定のない場合は、 $T_a = -20 \sim 70^\circ\text{C}$ 、 $V_{CC} = 5\text{V} \pm 10\%$ )  
DBBリード

記号	項目	他社相当 記号	測定条件	規格値			単位
				最小	標準	最大	
$t_c(\phi)$	サイクルタイム	$t_{CY}$		2.5		15	$\mu\text{s}$
$t_w(R)$	リードパルス幅	$t_{RR}$	$t_c(\phi) = 2.5\mu\text{s}$	250			ns
$t_{su}(CS-R)$	リード前チップセレクトセットアップ時間	$t_{AR}$		0			ns
$t_h(R-CS)$	リード後チップセレクトホールド時間	$t_{RA}$		0			ns
$t_{rec}(RW)$	リード・ライト間復帰時間	$t_{RV}$		300			ns

## DBBライト

記号	項目	他社相当 記号	測定条件	規格値			単位
				最小	標準	最大	
$t_w(W)$	ライトパルス幅	$t_{WW}$		250			ns
$t_{su}(CS-WR)$ $t_{su}(A_0-WR)$	ライト前 $\overline{CS}$ 、 $A_0$ セットアップ時間	$t_{AW}$		0			ns
$t_h(W-CS)$ $t_h(W-A_0)$	ライト後 $\overline{CS}$ 、 $A_0$ ホールド時間	$t_{WA}$		0			ns
$t_{su}(DQ-W)$	ライト前データセットアップ時間	$t_{DW}$		150			ns
$t_h(W-DQ)$	ライト後データホールド時間	$t_{WD}$		0			ns

## ポート2

記号	項目	他社相当 記号	測定条件	規格値			単位
				最小	標準	最大	
$t_w(PR)$	PROGパルス幅	$t_{PP}$		1400			ns
$t_{su}(PC-PR)$	PROG前ポートコントロールセットアップ時間	$t_{CP}$		110			ns
$t_h(PR-PC)$	PROG後ポートコントローホールド時間	$t_{PC}$		140			ns
$t_{su}(Q-PR)$	PROG前出力データセットアップ時間	$t_{DP}$		220			ns
$t_{su}(D-PR)$	PROG前入力データホールド時間	$t_{PS}$		700			ns
$t_h(PR-D)$	PROG後入力データホールド時間	$t_{PF}$		110			ns

## DMA

記号	項目	他社相当 記号	測定記号	規格値			単位
				最小	標準	最大	
$t_{su}(DACK-R)$	リード前DACKセットアップ時間	$t_{ACC}$		0			ns
$t_h(R-DACK)$	リード後DACKホールド時間	$t_{CAC}$		0			ns
$t_{su}(DACK-W)$	ライト前DACKセットアップ時間	$t_{ACC}$		0			ns
$t_h(W-DACK)$	ライト後DACKホールド時間	$t_{CAC}$		0			ns

スイッチング特性(指定のない場合は、 $T_a = -20 \sim 70^\circ\text{C}$ 、 $V_{CC} = 5\text{V} \pm 10\%$ )  
DBBリード

記号	項目	他社相当 記号	測定条件	規格値			単位
				最小	標準	最大	
$t_{PZX}(CS-DQ)$	チップセレクト後データイネーブル時間	$t_{AD}$	$C_L = 150\text{pF}$			225	ns
$t_{PZX}(A_0-DQ)$	アドレス後データイネーブル時間	$t_{AD}$	$C_L = 150\text{pF}$			225	ns
$t_{PZX}(R-DQ)$	リード後データイネーブル時間	$t_{RD}$	$C_L = 150\text{pF}$			225	ns
$t_{PXZ}(R-DQ)$	リード後データディスエーブル時間	$t_{RDF}$				100	ns

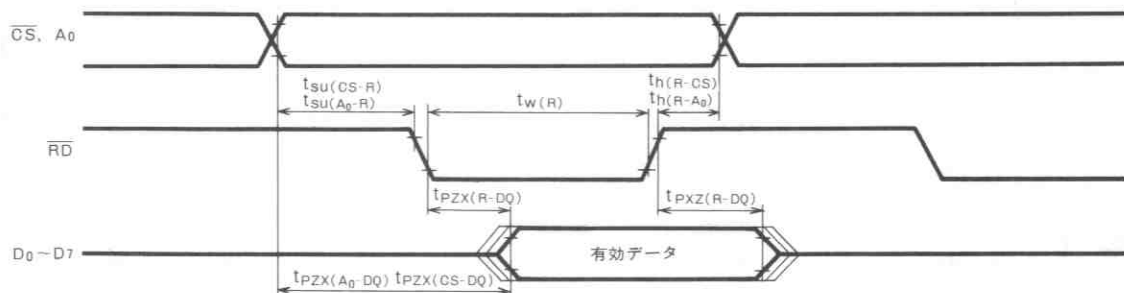
## DMA

記号	項目	他社相当 記号	測定条件	規格値			単位
				最小	標準	最大	
$t_{PZX}(DACK-DQ)$	DACK後データイネーブル時間	$t_{AQQ}$	100pF負荷	225			ns
$t_{PHL}(R-DRQ)$	リード後DRQディスエーブル時間	$t_{CRQ}$	100pF負荷	200			ns
$t_{PHL}(W-DRQ)$	ライト後DRQディスエーブル時間	$t_{CRQ}$	100pF負荷	200			ns

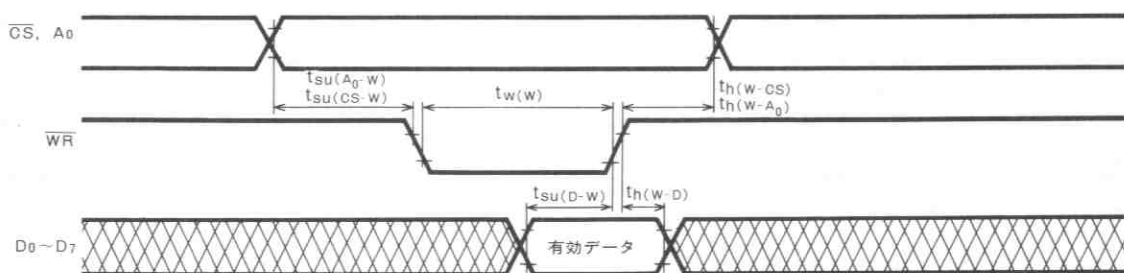
UNIVERSAL PERIPHERAL INTERFACE

タイミング図

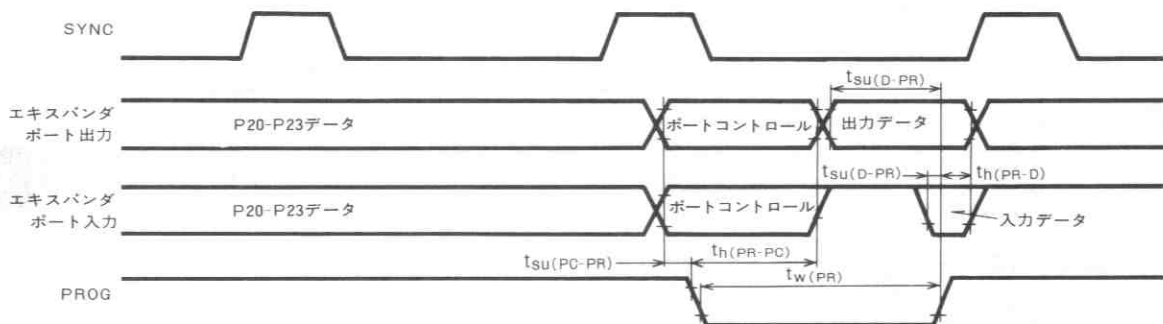
読み出し



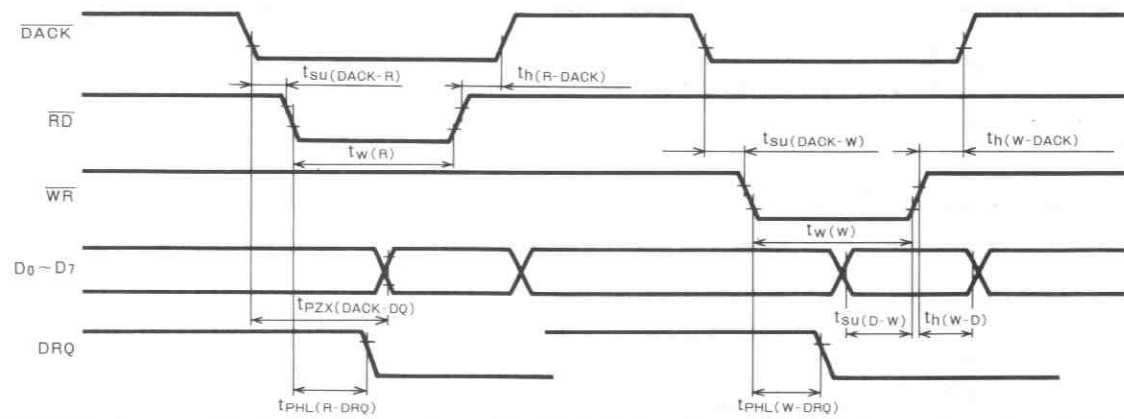
書き込み



ポート2



DMA





## M5L 8212P

(旧形名M54552P)

## 8-BIT INPUT/OUTPUT PORT

## 概要

M5L 8212Pは、入出力ポートで、スリーステート出力バッファ付き8ビットラッチ回路と制御及び端末装置選択回路で構成され、さらに、独立のサービス要求フリップフロップを含んでおり、マイクロプロセッサへの割り込み信号を発生できます。バイポーラショットキーTTLで作られています。

## 特長

- 並列8ビットデータレジスタ及びバッファ付き
- サービス要求フリップフロップによる割り込み信号発生
- 3ステート出力
- 低入力電流…………… $I_{IL} = -250\mu A$  (最大)
- 高出力電流…………… $I_{OL} = 16mA$  (最大)
- CPU M5L 8080ASと直接接続可能な出力電圧…………… $V_{OH} = 3.65V$  (最小)
- インテル社製8212とピン接続及び電気的特性の互換性あり

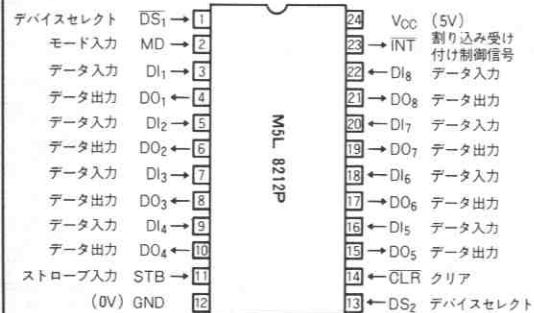
## 用途

CPU M5L 8080ASの入出力ポート  
ラッチ、ゲート付きバッファ及びマルチプレクサ  
マイクロコンピュータシステムの周辺及び入出力機能

## 機能概要

モード入力MDが“L”レベルのとき、デバイスセレクト1 ( $\overline{DS}_1$ )及びデバイスセレクト2 ( $DS_2$ )は、チップ選択に用いられます。 $\overline{DS}_1$ が“L”レベルで $DS_2$ が“H”レベルになれば、データ出力 ( $DO_1 \sim DO_8$ )にデータラッチの内容が出力され、

## ピン接続図(上面図)



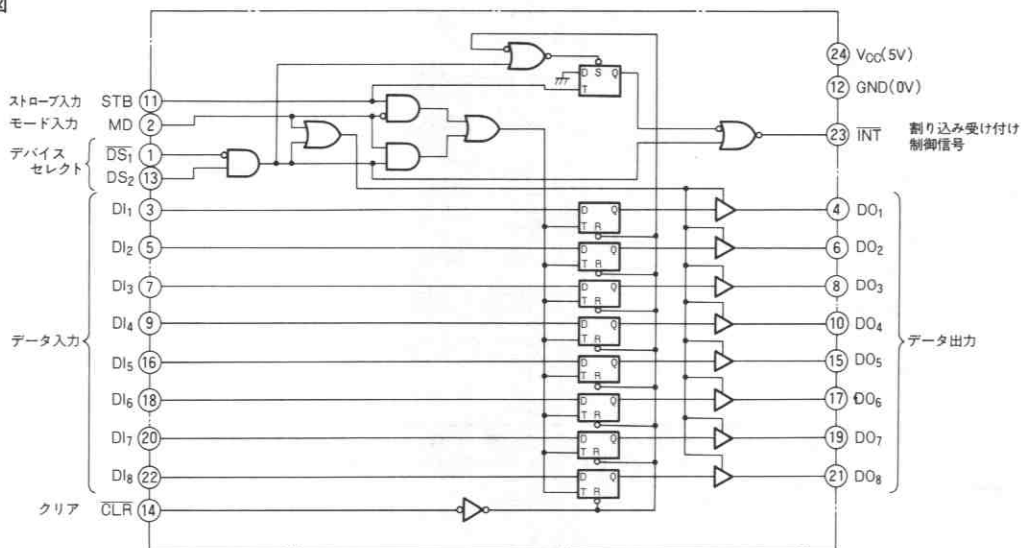
外形 24P1

サービス要求フリップフロップSRはセットされます。このとき、ストロブ入力STBが入るとデータ入力 ( $DI_1 \sim DI_8$ )の内容はデータラッチに保持され、SRはリセットされます。

MDが“H”レベルのとき、データ出力にデータラッチの内容が出力され、 $\overline{DS}_1$ が“L”レベルで $DS_2$ が“H”レベルになるとデータ入力の内容はデータラッチに保持されます。

クリア入力 $\overleftarrow{CLR}$ が“L”レベルになると、データラッチがリセットされ、SRはセットされますが、出力バッファの状態は変化しません。

## 論理図



## M5L 8212P

(旧形名M54552P)

## 8-BIT INPUT/OUTPUT PORT

絶対最大定格(指定のない場合は、 $T_a=0\sim 75^\circ\text{C}$ )

記号	項目	条件	定格値	単位
$V_{CC}$	電源電圧		7	V
$V_i$	入力電圧, $\overline{DS}_1$ , MD端子		$V_{CC}$	V
$V_i$	入力電圧, $\overline{DS}_1$ , MDを除く端子		5.5	V
$V_o$	出力電圧		$V_{CC}$	V
$P_d$	消費電力		800	mW
$T_{opr}$	動作周囲温度		0~75	$^\circ\text{C}$
$T_{stg}$	保存温度		-55~+125	$^\circ\text{C}$

推奨使用条件(指定のない場合は、 $T_a=0\sim 75^\circ\text{C}$ )

記号	項目	規格値			単位
		最小	標準	最大	
$V_{CC}$	電源電圧	4.75	5	5.25	V
$I_{OH}$	"H"出力電流			-1	mA
$I_{OL}$	"L"出力電流			16	mA

電気的特性(指定のない場合は、 $T_a=0\sim 75^\circ\text{C}$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$V_{IH}$	"H"入力電圧		2			V
$V_{IL}$	"L"入力電圧				0.85	V
$V_{IC}$	入力クランプ電圧	$V_{CC}=4.75\text{V}$ , $I_{IC}=-5\text{mA}$			-1	V
$V_{OH}$	"H"出力電圧	$V_{CC}=4.75\text{V}$ , $V_{IH}=2\text{V}$ $V_{IL}=0.85\text{V}$ , $I_{OH}=-1\text{mA}$	3.65			V
$V_{OL}$	"L"出力電圧	$V_{CC}=4.75\text{V}$ , $V_{IH}=2\text{V}$ $V_{IL}=0.85\text{V}$ , $I_{OL}=16\text{mA}$			0.5	V
$I_{OZ}$	"オフ状態"出力電流	$V_{CC}=5.25\text{V}$ , $V_{IH}=2\text{V}$ $V_{IL}=0.85\text{V}$ , $V_O=5.25\text{V}$			20	$\mu\text{A}$
$I_{OZ}$	"オフ状態"出力電流	$V_{CC}=5.25\text{V}$ , $V_{IH}=2\text{V}$ $V_{IL}=0.85\text{V}$ , $V_O=0.5\text{V}$			-20	$\mu\text{A}$
$I_{IH}$	"H"入力電流, STB, $\overline{DS}_2$ , $\overline{CLR}$ , DI <sub>1</sub> ~DI <sub>8</sub> 入力端子	$V_{CC}=5.25\text{V}$ , $V_i=5.25\text{V}$			10	$\mu\text{A}$
$I_{IH}$	"H"入力電流, MD入力端子	$V_{CC}=5.25\text{V}$ , $V_i=5.25\text{V}$			30	$\mu\text{A}$
$I_{IH}$	"H"入力電流, $\overline{DS}_1$ 入力端子	$V_{CC}=5.25\text{V}$ , $V_i=5.25\text{V}$			40	$\mu\text{A}$
$I_{IL}$	"L"入力電流, STB, $\overline{DS}_2$ , $\overline{CLR}$ , DI <sub>1</sub> ~DI <sub>8</sub> 入力端子	$V_{CC}=5.25\text{V}$ , $V_i=0.5\text{V}$			-0.25	mA
$I_{IL}$	"L"入力電流, MD入力端子	$V_{CC}=5.25\text{V}$ , $V_i=0.5\text{V}$			-0.75	mA
$I_{IL}$	"L"入力電流, $\overline{DS}_1$ 入力端子	$V_{CC}=5.25\text{V}$ , $V_i=0.5\text{V}$			-1	mA
$I_{OS}$	出力短絡電流(注3)	$V_{CC}=5.25\text{V}$	-20		-65	mA
$I_{CC}$	電源電流	$V_{CC}=5.25\text{V}$			130	mA

注1. すべての電圧は、回路のGND端子(ピン12)を基準(0V)とし、最大及び最小の値は絶対値表示とします。

2. 電流の方向は、回路に流入するときを正(無符号)、流出するときを負(-記号)とし、最大及び最小の値は絶対値表示とします。

3. 測定は短時間に行い、同時に2出力以上測定しないで下さい。

**M5L 8212P**

(旧形名M54552P)

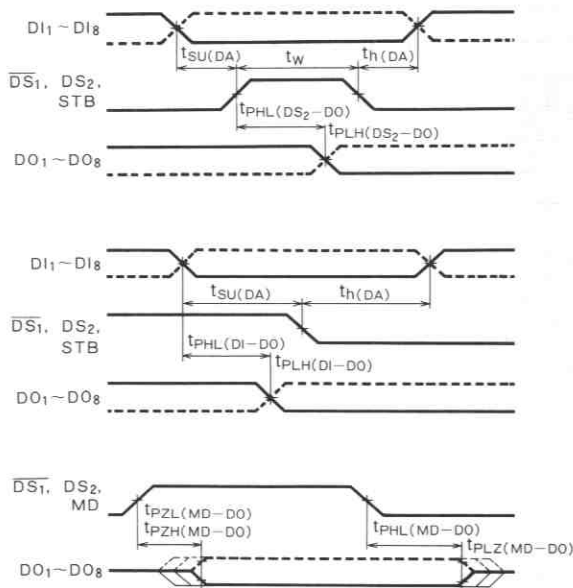
**8-BIT INPUT/OUTPUT PORT**タイミング必要条件(指定のない場合は,  $T_a=25^\circ\text{C}$ ,  $V_{CC}=5\text{V}$ )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_w(\text{DS2})$	入力パルス幅 $\overline{\text{DS1}}$ , $\text{DS2}$ , $\text{STB}$ 入力		30			ns
$t_w(\text{CLR})$	入力パルス幅 $\overline{\text{CLR}}$ 入力		45			ns
$t_{\text{SU}}(\text{DA})$	$\overline{\text{DS1}}$ , $\text{DS2}$ , $\text{STB}$ に対するデータセットアップ時間		15			ns
$t_{\text{H}}(\text{DA})$	$\overline{\text{DS1}}$ , $\text{DS2}$ , $\text{STB}$ に対するデータホールド時間		20			ns

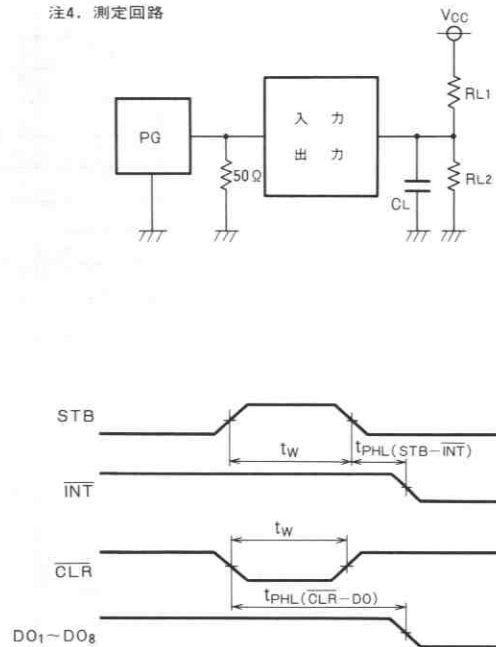
スイッチング特性(指定のない場合は,  $T_a=25^\circ\text{C}$ ,  $V_{CC}=5\text{V}$ )

記号	項目	測定条件 (注4)	規格値			単位
			最小	標準	最大	
$t_{\text{PHL}}(\text{DI-DO})$	出力“H-L”, “L-H”伝搬時間 入力DIから出力DO	$C_L=30\text{pF}$ , $R_{L1}=300\Omega$ , $R_{L2}=600\Omega$			35	ns
$t_{\text{PHL}}(\text{DS2-DO})$	出力“H-L”, “L-H”伝搬時間 入力 $\overline{\text{DS1}}$ , $\text{DS2}$ , $\text{STB}$ から出力DO				50	ns
$t_{\text{PHL}}(\text{STB-INT})$	出力“H-L”伝搬時間 入力 $\text{STB}$ から出力 $\overline{\text{INT}}$				40	ns
$t_{\text{PZL}}(\text{MD-DO})$	出力イネーブル時間 入力MD, $\overline{\text{DS1}}$ , $\text{DS2}$ から出力DO	$C_L=30\text{pF}$ , $R_{L1}=1\text{K}\Omega$ , $R_{L2}=1\text{K}\Omega$			70	ns
$t_{\text{PHZ}}(\text{MD-DO})$	出力ディスエイブル時間 入力MD, $\overline{\text{DS1}}$ , $\text{DS2}$ から出力DO				45	ns
$t_{\text{PHL}}(\overline{\text{CLR-DO}})$	出力“H-L”伝搬時間 入力 $\overline{\text{CLR}}$ から出力DO	$C_L=30\text{pF}$ , $R_{L1}=300\Omega$ , $R_{L2}=600\Omega$			55	ns

タイミング図 (基準電圧=1.5V)



注4. 測定回路

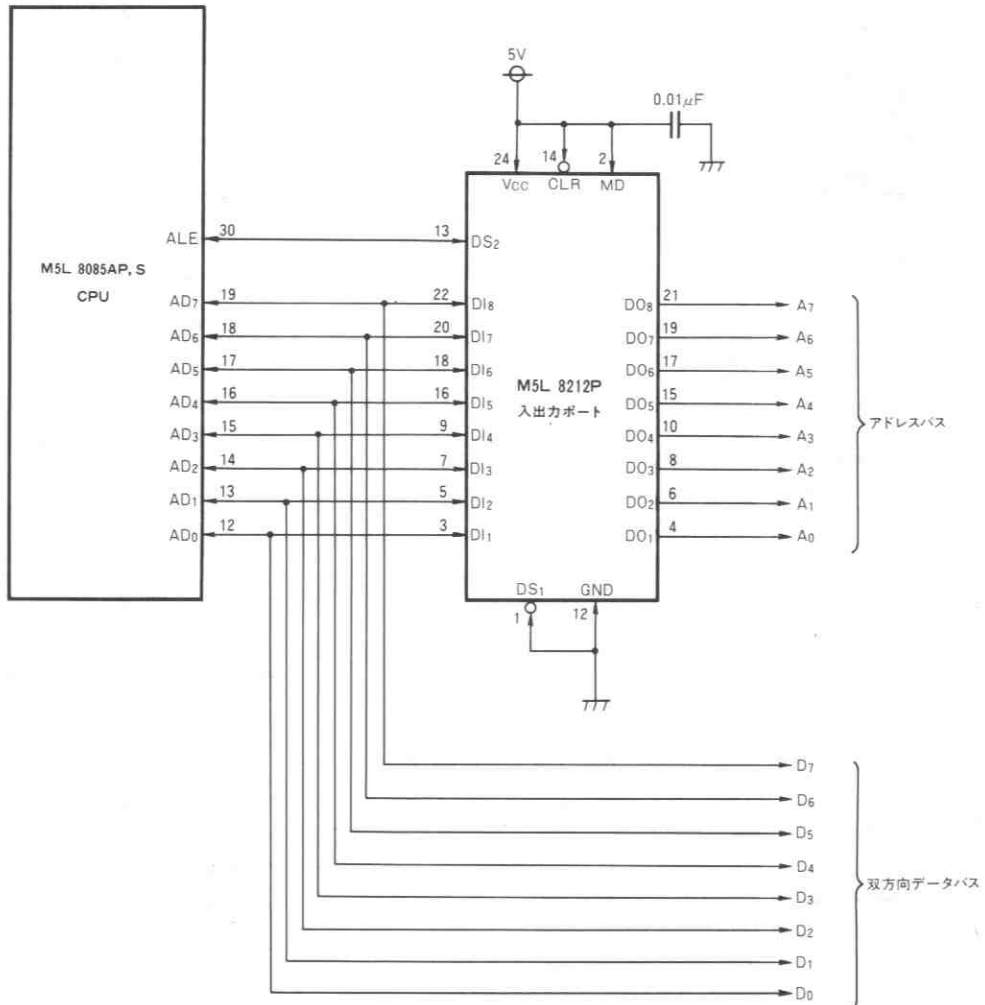


**M5L 8212P**

(旧形名M54552P)

**8-BIT INPUT/OUTPUT PORT**

## 応用回路例



# M5L 8216P, M5L 8226P

(旧形名M54553P) (旧形名M54554P)

## 4-BIT PARALLEL BI-DIRECTIONAL BUS DRIVER

### 概要

M5L 8216P、M5L 8226Pは、8ビット並列処理CPU M5L 8080AS (8080A) に適応する4ビット双方向性バスドライバです。ドライブ出力は、TTLの高ファンアウトを持ち、バイポーラショットキーTTLプロセスで作られています。

### 特長

- 並列8ビットデータバスバッファドライブ
- 低入力電流  $\overline{DIEN}$ 、 $\overline{CS}$ 端子……………  $I_{IL} = -500\mu A$  (最大)  
DI, DB端子……………  $I_{IL} = -250\mu A$  (最大)
- 高出力電流 M5L 8216P、DB端子…  $I_{OL} = 55mA$  (最大)  
 $I_{OH} = -10mA$  (最大)  
DO端子…  $I_{OH} = -1mA$  (最大)  
M5L 8226P、DB端子…  $I_{OL} = 50mA$  (最大)  
 $I_{OH} = -10mA$  (最大)  
DO端子…  $I_{OH} = -1mA$  (最大)
- CPU M5L 8080ASと接続可能な出力電圧  
……………  $V_{OH} = 3.65V$  (最小)
- 出力はスリーステート
- インテル社製8216とM5L 8216P、8226とM5L 8226Pがピン接続及び電気的特性の互換性あり

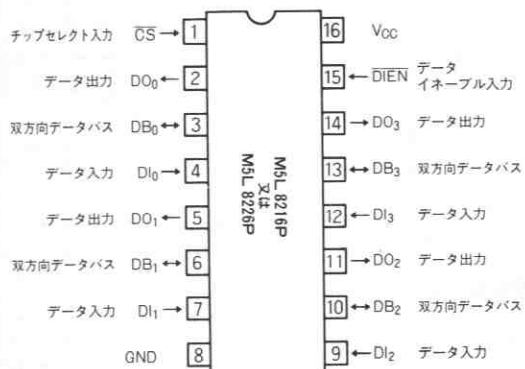
### 応用

各種マイクロコンピュータシステムの双方向性バスドライバ

### 機能概要

M5L 8216Pは出力がノンインバート出力、M5L 8226Pは出力がインバート出力の双方向性バスドライバです。

### ピン接続図(上面図)

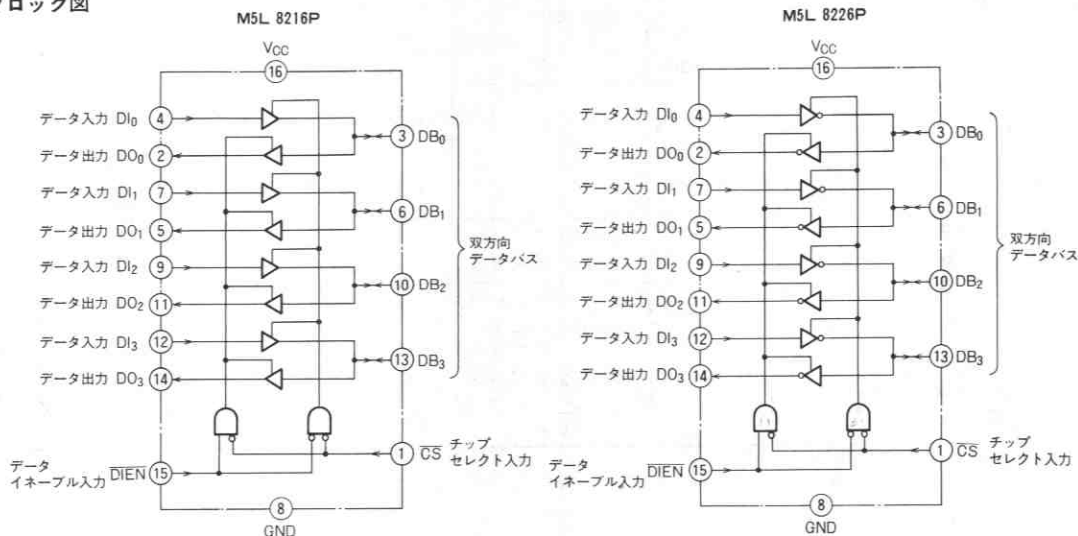


外形 16P4

$\overline{CS}$ 端子が“H”のとき、出力ドライバはすべて、高インピーダンス状態になり、“L”のとき $\overline{DIEN}$ 端子によって、入力方向がコントロールできます。

$\overline{DIEN}$ 端子は、データの流れをコントロールしています。この方向コントロールは、ペアになっているバッファの1つを高インピーダンスとし、他のバッファにそのデータを転送します。

### ブロック図



## M5L 8216P, M5L 8226P

(旧形名M54553P) (旧形名M54554P)

## 4-BIT PARALLEL BI-DIRECTIONAL BUS DRIVER

絶対最大定格(指定のない場合は、 $T_a = 0 \sim 75^\circ\text{C}$ )

記号	項目	条件	定格値	単位
$V_{CC}$	電源電圧	GND端子を基準とした場合	7	V
$V_I$	入力電圧, $\overline{CS}$ , $\overline{DIEN}$ , DI入力		5.5	V
$V_I$	入力電圧, DB入力		$V_{CC}$	V
$V_O$	出力電圧“H”のとき		$V_{CC}$	V
$P_d$	消費電力	$T_a = 25^\circ\text{C}$	700	mW
$T_{opr}$	動作周囲温度		0 ~ 75	$^\circ\text{C}$
$T_{stg}$	周囲温度		-55 ~ 125	$^\circ\text{C}$

推奨使用条件(指定のない場合は、 $T_a = 0 \sim 75^\circ\text{C}$ )

記号	項目	規格値			単位
		最小	標準	最大	
$V_{CC}$	電源電圧	4.75	5	5.25	V
$I_{OH}$	“H”出力電流, DO出力			-1	mA
$I_{OH}$	“H”出力電流, DB出力			-10	mA
$I_{OL}$	“L”出力電流, DO出力			15	mA
$I_{OL}$	“L”出力電流, DB出力			25	mA

電気的特性(指定のない場合は、 $T_a = 0 \sim 75^\circ\text{C}$ )

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
$V_{IH}$	“H”入力電圧		2			V		
$V_{IL}$	“L”入力電圧				0.95	V		
$V_{IC}$	入力クランプ電圧	$V_{CC} = 4.75\text{V}$ , $I_{IC} = -5\text{mA}$			-1	V		
$V_{OH}$	“H”出力電圧, DO出力	$V_{CC} = 4.75\text{V}$ $V_{IH} = 2\text{V}$ $V_{IL} = 0.95\text{V}$	$I_{OH} = -1\text{mA}$	3.65		V		
$V_{OH}$	“H”出力電圧, DB出力			$I_{OH} = -10\text{mA}$	2.4		V	
$V_{OL1}$	“L”出力電圧, DO出力		$V_{CC} = 5.25\text{V}$	$I_{OL} = 15\text{mA}$		0.5	V	
$V_{OL1}$	“L”出力電圧, DB出力				$I_{OL} = 25\text{mA}$		0.5	V
$V_{OL2}$	“L”出力電圧, DB出力			M5L 8216P	$I_{OL} = 55\text{mA}$		0.7	V
				M5L 8226P	$I_{OL} = 50\text{mA}$		0.7	V
$I_{OZH}$	オフ状態出力電流, DO出力	$V_{CC} = 5.25\text{V}$	$V_O = 5.25\text{V}$		20	$\mu\text{A}$		
$I_{OZH}$	オフ状態出力電流, DB出力				100	$\mu\text{A}$		
$I_{OZL}$	オフ状態出力電流, DO出力		$V_O = 0.5\text{V}$		-20	$\mu\text{A}$		
$I_{OZL}$	オフ状態出力電流, DB出力				-100	$\mu\text{A}$		
$I_{IH}$	“H”入力電流, $\overline{DIEN}$ , $\overline{CS}$ 入力	$V_{CC} = 5.25\text{V}$ , $V_{IH} = 4.5\text{V}$			20	$\mu\text{A}$		
$I_{IH}$	“H”入力電流, DI, DB入力	$V_{IL} = 0\text{V}$ , $V_I = 5.25\text{V}$			10	$\mu\text{A}$		
$I_{IL}$	“L”入力電流, $\overline{DIEN}$ , $\overline{CS}$ 入力	$V_{CC} = 5.25\text{V}$ , $V_{IH} = 4.5\text{V}$			-500	$\mu\text{A}$		
$I_{IL}$	“L”入力電流, DI, DB入力	$V_{IL} = 0\text{V}$ , $V_I = 0.5\text{V}$			-250	$\mu\text{A}$		
$I_{OS}$	出力短絡電流, DO出力(注2)	$V_{CC} = 5.25\text{V}$ , $V_O = 0\text{V}$	-15	-65	mA			
$I_{OS}$	出力短絡電流, DB出力(注2)		-30	-120	mA			
$I_{CC}$	電源電流	$V_{CC} = 5.25\text{V}$		130	mA			

注1. 電流はICに流れ込む向きを正(無符号)とします。

注2. 測定は短時間に行い、同時に2出力以上測定しないで下さい。

# M5L 8216P, M5L 8226P

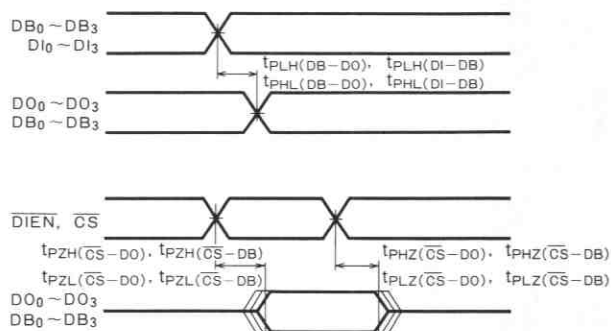
(旧形名M54553P) (旧形名M54554P)

## 4-BIT PARALLEL BI-DIRECTIONAL BUS DRIVER

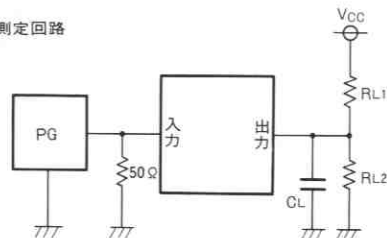
スイッチング特性(指定のない場合は,  $V_{CC}=5V$ ,  $T_a=25^\circ C$ )

記号	項目	測定条件 (注4)	規格値			単位	
			最小	標準	最大		
$t_{PHL}(DB-DO)$	出力“H-L”, “L-H”伝搬時間	$C_L=30pF, R_{L1}=300\Omega, R_{L2}=600\Omega$			25	ns	
$t_{PLH}(DB-DO)$	入力DBから出力DO						
$t_{PHL}(DI-DB)$	出力“H-L”, “L-H”伝搬時間	$C_L=300pF, R_{L1}=90\Omega, R_{L2}=180\Omega$			30	ns	
$t_{PLH}(DI-DB)$	入力DIから出力DB						
$t_{PHZ}(\overline{CS}-DO)$	出力“H-Z”, “L-Z”伝搬時間	$C_L=5pF, R_{L1}=10k\Omega, R_{L2}=1k\Omega$			35	ns	
$t_{PLZ}(\overline{CS}-DO)$	入力 $\overline{DIEN}$ , $\overline{CS}$ から出力DO	$C_L=5pF, R_{L1}=300\Omega, R_{L2}=600\Omega$					
$t_{PZH}(\overline{CS}-DO)$	出力イネーブル時間	M5L 8216P	$C_L=30pF, R_{L1}=10k\Omega, R_{L2}=1k\Omega$			65	ns
		M5L 8226P				54	ns
$t_{PZL}(\overline{CS}-DO)$	入力 $\overline{DIEN}$ , $\overline{CS}$ から出力DO	M5L 8216P	$C_L=30pF, R_{L1}=300\Omega, R_{L2}=600\Omega$			65	ns
		M5L 8226P				54	ns
$t_{PHZ}(\overline{CS}-DB)$	出力ディスエイブル時間	$C_L=5pF, R_{L1}=10k\Omega, R_{L2}=1k\Omega$			35	ns	
		$C_L=5pF, R_{L1}=90\Omega, R_{L2}=180\Omega$					
$t_{PZH}(\overline{CS}-DB)$	出力イネーブル時間	M5L 8216P	$C_L=300pF, R_{L1}=10k\Omega, R_{L2}=1k\Omega$			65	ns
		M5L 8226P				54	ns
$t_{PZL}(\overline{CS}-DB)$	入力 $\overline{DIEN}$ , $\overline{CS}$ から出力DB	M5L 8216P	$C_L=300pF, R_{L1}=90\Omega, R_{L2}=180\Omega$			65	ns
		M5L 8226P				54	ns

タイミング図 (基準電圧=1.5V)



注4. 測定回路

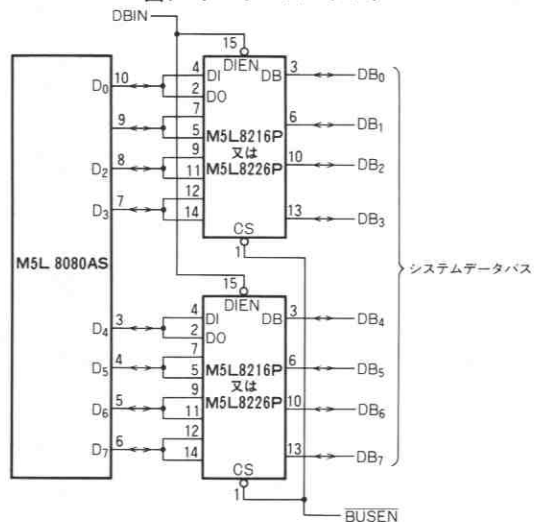


### 応用例

M5L 8216P又はM5L 8226Pの応用例を下記に示します。

図1は、M5L 8080AS CPUのデータバスに直結した1対のM5L 8216P又はM5L 8226Pとその制御信号について示し、図2は、メモリやI/Oと双方向性バスとのインターフェースとしてM5L 8216P又はM5L 8226Pを使用した場合について示します。

図1 データバスバッファ

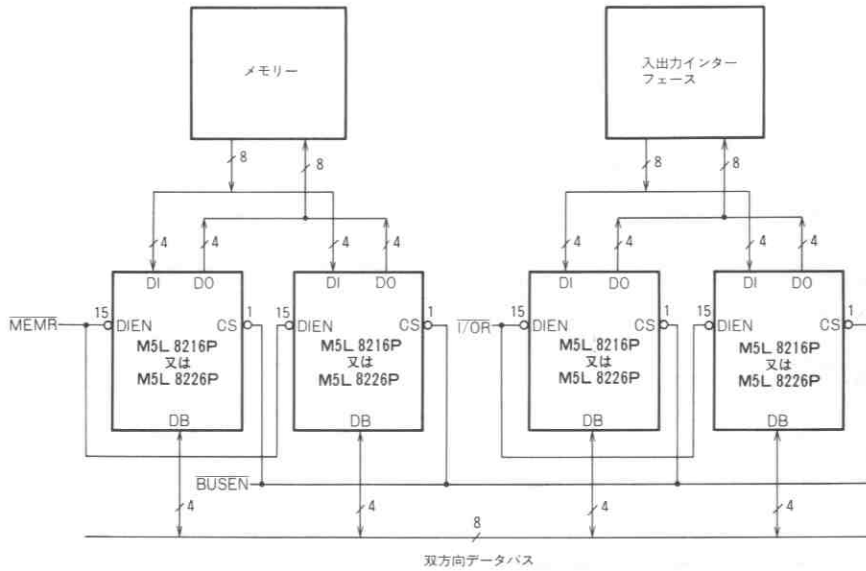


**M5L 8216P, M5L 8226P**

(旧形名M54553P) (旧形名M54554P)

**4-BIT PARALLEL BI-DIRECTIONAL BUS DRIVER**

図2 双方向データバスとメモリー及び入出力インターフェース





## M5L 8243P

## INPUT/OUTPUT EXPANDER

## 概要

M5L 8243Pは、NチャネルシリコンゲートED-MOSプロセスで作られた、拡張用入出力ポートで、MELPS8/48ワンチップ8ビットマイクロコンピュータシリーズ及びM5L 8041Aに接続して使用するのに最適なLSIです。

## 特長

- 16 I/Oピン ( $I_{OL} = 5.0\text{mA}$ 最大)
- MELPS8/48シリーズのマイクロコンピュータに直結可能
- 5V単一電源
- 低消費電力(50mW標準)
- インテル社製8243とピン接続及び電気的特性に互換性あり

## 応用

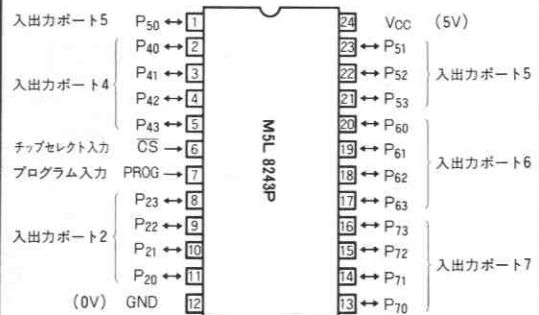
MELPS8/48シリーズ1チップコンピュータ用拡張I/Oポート

## 機能概要

M5L 8243Pは、M5L 8041A及び、MELPS8/48ワンチップマイクロコンピュータシリーズ用に作られた、拡張用I/OポートLSIで、4つの4ビット双向I/Oポートと、M5L 8041A及び、MELPS8/48ワンチップマイクロコンピュータにインターフェースする1つの4ビットポートを持ち、1つのワンチップ8ビットマイクロコンピュータに対して、複数個の接続が可能です。

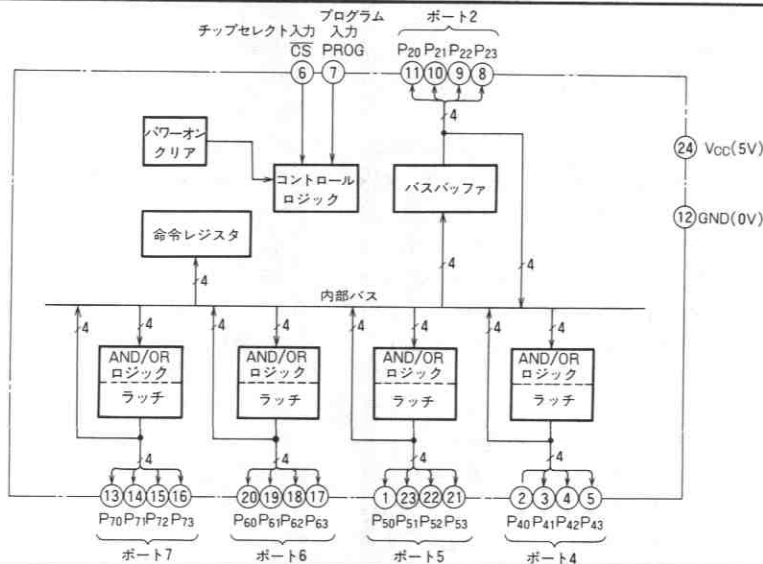
M5L 8243Pは、M5L 8041A及び、MELPS8/48ワンチップマイクロコンピュータシリーズ固有の専用命令によって、コンピュータ内蔵のI/Oポートと同様に使用することが可能で、MOV、ANL、ORL等の命令をポートに対して実行できます。

ピン接続図(上面図)



外形 24P1

ブロック図



## INPUT/OUTPUT EXPANDER

## 端子の機能説明

端子名	名 称	入力・出力	機 能
PROG	プログラム入力	入 力	この入力の立ち下り(⌋)によって入出力ポート2から、次に行われる動作(命令MOV, ANL, ORL)及び、ポートアドレス(入出力ポート4~7)の指定を行います。続く入力の立ち上がり(⌋)によって、指定された動作が、指定されたポートに対して行われ、入出力ポート2を通じて、外部に入出力されます。立ち下り時の各指定は表1に示します。
$\overline{CS}$	チップセレクト入力	入 力	チップセレクト入力で、 $\overline{CS}$ が、“H”にされると、その時点で、PROG端子の状態にかかわらず、内部では、PROG入力が“H”であると見なされる。これによって、外部から、内部の状態を変化させることを禁止できます。
P40~P23	入出力ポート2	入出力	4ビットの双方向入出力ポートで、PROG入力が立ち下る(⌋)とき、表1の動作命令を、このポートを通して内部に読み込みます。また、PROG入力が立ち上る(⌋)とき、このポートを通じて、データの入出力が行われます。
P40~P43 P50~P53 P60~P63 P70~P73	入出力ポート4 入出力ポート5 入出力ポート6 入出力ポート7	入出力	4ビット双方向入出力ポートで出力ラッチ、入出力指定フラグを、各ポート毎に持っており、各ポート毎に、入力ポート、出力ポートの指定が可能です。このポートに、ライト、ANL、ORLの動作を行うと、このポートは自動的に出力モードとなり、以後は、リード命令を実行するまで、出力モードを保ちます。電源投入後及び、リード命令実行後は、このポートは高インピーダンス状態となり、入力モードとなっています。

## 動作説明

M5L 8243Pは、M5L 8041A及び、MELPS8/48ワンチップ8ビットマイクロコンピュータシリーズ専用で作られた拡張入出力ポートで、これを使用するための命令、コントロール端子(PROG)が、同シリーズのマイクロコンピュータLSIには、あらかじめ用意されています。

図1は、M5L 8243Pと、M5L 8041Aとの接続例で、この例について基本的動作の説明をします。

まず電源が投入されると、約50ms後に、各LSIは、内蔵されている、基板バイアス回路が安定状態になり、動作可能となります。この時点で、M5L 8243Pは、内蔵されているパワーオンクリア回路によって、各ポートが入力モード(高インピーダンス)にセットされます。

系の動作が開始され、マイクロコンピュータ側で

```
MOV D A, Pi    i = 4, 5, 6, 7
```

の転送命令(ポートPiの端子の値をマイクロコンピュータのレジスタに読み込む)が実行されると、PROG、P20~P23の各端子には図2のような信号が現れます。

M5L 8243Pでは、PROG信号の立ち下りで、M5L 8243Pに対する命令(例えば、0000)をP20~P23端子を通して内部の命令レジスタに読み込み(図2の①)、PROG端子が“L”の間中、指定された入出力ポート(この場合ポートP4)の内容をP20~P23端子に出力しつづけます。(図2の②)。マイクロコンピュータ側は、適切な時間が経過した後、P20~P23端子の値を読み込んで、PROG端子を“H”にもどします。

次に、マイクロコンピュータが

```
MOV D Pi, A    i = 4, 5, 6, 7
```

の転送(出力)命令を実行した場合について説明します。

この場合、P20~P23端子には、先程と同じく、PROG端子の立ち下り時に、M5L 8243Pに対する命令(例えば、φ1 1 φ)が出力されており、M5L 8243Pは、P20~P23端子を通

して、これを内部の命令レジスタに読み込みます(図2の①)。その後マイクロコンピュータ側は、P20~P23端子に入出力ポートへ出力するデータを送り出ししながら、PROG端子を“H”にします。M5L 8243Pは、このとき、P20~P23端子のデータを、指定された入出力ポート(この場合ポートP6)のポートラッチへ転送します。PROG信号が立ち上って暫らくの時間経過後、指定されたポート(P6)は出力モードとなり、ポートラッチの内容がポート端子に出力されます。(図2の③)

```
ANLD Pi, A
```

```
ORLD Pi, A    i = 4, 5, 6, 7
```

の各命令を実行すると、基本的には、MOV D Pi, Aと同じ動作をしますが、図2の④の時点から出力されるポートラッチの値が、直前のポートラッチの値と、P20~P23信号の値の論理積、論理和となっている点が異なります。

さらに1度出力モードになったポートに、

```
MOV D Pi, A
```

```
ANLD Pi, A
```

```
ORLD Pi, A    i = 4, 5, 6, 7
```

の各命令を実行すると、PROG信号が立ち上った直後にその結果が、ポートに現れます。

1度出力モードになったポートを、動作中に、再度入力ポートとして使用するには、単に、

```
MOV D A, Pi    i = 4, 5, 6, 7
```

を実行するだけで良いのですが、入力モードに変えるために、1回ダミーの入力命令を実行することが望ましいでしょう。これは、指定されたポートが、高インピーダンス状態になるのに、PROG信号が立ち下った後、暫らく時間がかかるためで、最初の読み込みが、正しく行われたい心配があるためです。

INPUT/OUTPUT EXPANDER

絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧	V <sub>SS</sub> 端子を基準にした場合	-0.5~7	V
V <sub>I</sub>	入力電圧		-0.5~7	V
V <sub>O</sub>	出力電圧		-0.5~7	V
P <sub>d</sub>	最大消費電力	T <sub>a</sub> =25℃	600	mW
T <sub>opr</sub>	動作周囲温度		-20~70	℃
T <sub>stg</sub>	保存温度		-40~125	℃

推奨使用条件(指定のない場合は、T<sub>a</sub>=-20~70℃、V<sub>CC</sub>=5V±10%)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.5	5	5.5	V
V <sub>SS</sub>	電源電圧		0		V
V <sub>IH</sub>	"H"入力電圧	2			V
V <sub>IL</sub>	"L"入力電圧			0.8	V

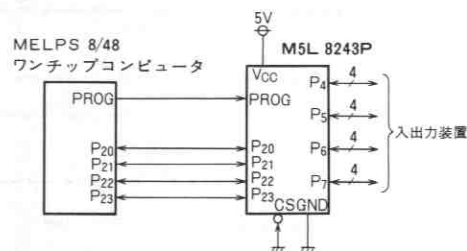
電気的特性(指定のない場合は、T<sub>a</sub>=-20~70℃、V<sub>CC</sub>=5V±10%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>IL</sub>	"L"入力電圧		-0.5		0.8	V
V <sub>IH</sub>	"H"入力電圧		2		V <sub>CC</sub> +0.5	V
V <sub>OL1</sub>	"L"出力電圧, ポート4~7	I <sub>OL</sub> = 5 mA			0.45	V
V <sub>OL2</sub>	"L"出力電圧, ポート2	I <sub>OL</sub> = 0.6mA			0.45	V
V <sub>OH1</sub>	"H"出力電圧, ポート4~7	I <sub>OH</sub> = 200μA	2.4			V
V <sub>OH2</sub>	"H"出力電圧, ポート2	I <sub>OH</sub> = 100μA	2.4			V
I <sub>I1</sub>	入力電流, ポート4~7	0V ≤ in ≤ V <sub>CC</sub>	-10		20	μA
I <sub>I2</sub>	入力電流, ポート2	0V ≤ Vin ≤ V <sub>CC</sub>	-10		10	μA
I <sub>CC</sub>	電源電流		10		20	mA

表1. M5L 8243Pの命令コードとアドレスコード

命令コード	P <sub>23</sub>	P <sub>22</sub>	アドレスコード	P <sub>21</sub>	P <sub>20</sub>
リード	0	0	ポート4	0	0
ライト	0	1	ポート5	0	1
ORLD	1	0	ポート6	1	0
ANLD	1	1	ポート7	1	1

図1. M5L 8243Pの基本的使用例



## INPUT/OUTPUT EXPANDER

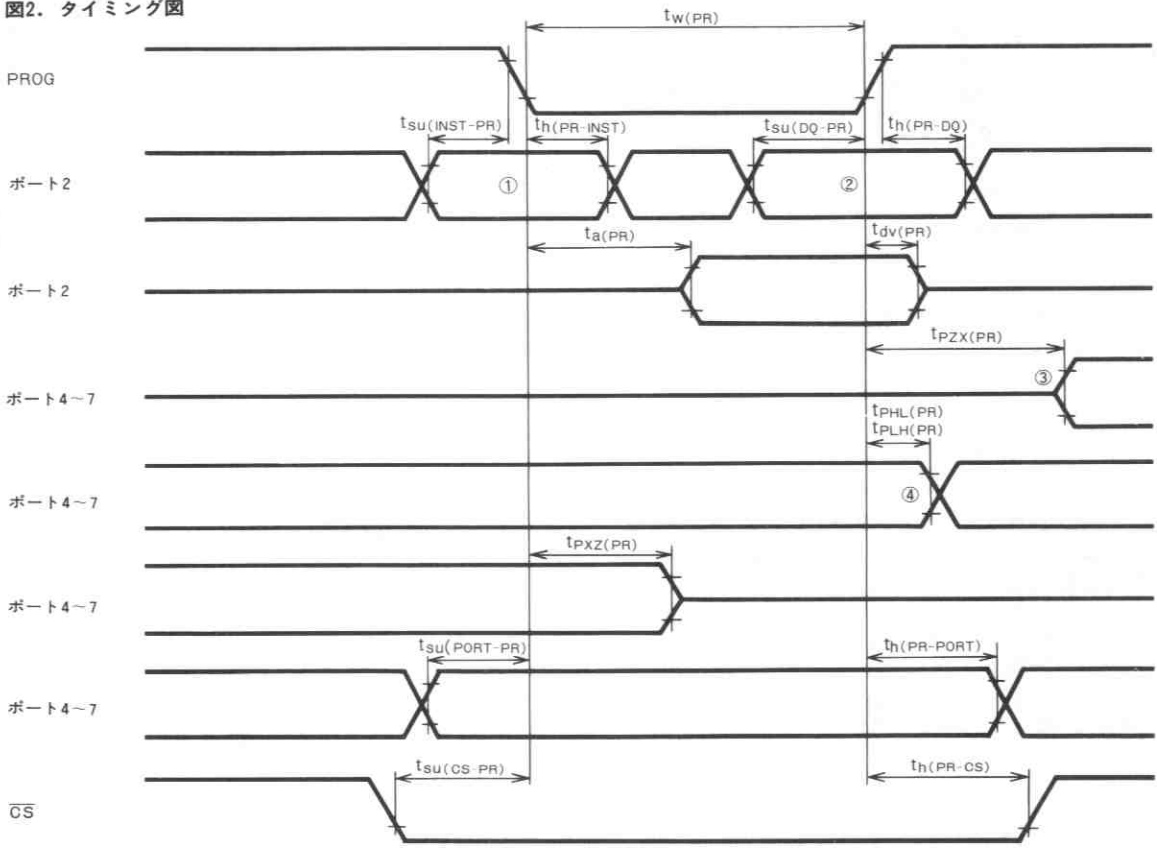
タイミング必要条件(指定のない場合は、 $T_a = -20 \sim 70^\circ\text{C}$ 、 $V_{CC} = 5\text{V} \pm 10\%$ 、 $V_{SS} = 0\text{V}$ )

記号	項目	他社相当記号	測定条件	規格値			単位
				最小	標準	最大	
$t_{su}(\text{INST-PR})$	命令コードセットアップ時間	$t_A$		100			ns
$t_h(\text{PR-INST})$	命令コードホールド時間	$t_B$		60			ns
$t_{su}(\text{DQ-PR})$	データセットアップ時間	$t_C$		200			ns
$t_h(\text{PR-DQ})$	データホールド時間	$t_D$		20			ns
$t_w(\text{PR})$	PROGパルス幅	$t_K$		700			ns
$t_{su}(\text{CS-PR})$	$\overline{\text{CS}}$ セットアップ時間	$t_C$		50			ns
$t_h(\text{PR-CS})$	$\overline{\text{CS}}$ ホールド時間	$t_C$		50			ns
$t_{su}(\text{PORT-PR})$	ポート入力セットアップ時間	$t_{IP}$		100			ns
$t_h(\text{PR-PORT})$	ポート入力ホールド時間	$t_{IP}$		100			ns

## スイッチング特性

記号	項目	他社相当記号	測定条件	規格値			単位
				最小	標準	最大	
$t_a(\text{PR})$	データアクセス時間	$t_{ACC}$	$C_L = 100\text{pF}$	0		650	ns
$t_{dv}(\text{PR})$	データ有効時間	$t_H$		0		150	ns
$t_{PHL}(\text{PR})$ $t_{PLH}(\text{PR})$	出力遅延時間	$t_{PO}$				700	ns
$t_{PZX}(\text{PR})$ $t_{PXZ}(\text{PR})$	入出力切換時間	—				800	ns

図2. タイミング図



## M5L 8251AP

## PROGRAMMABLE COMMUNICATION INTERFACE

## 概要

M5L 8251APは、NチャネルシリコンゲートED-MOSプロセスで作られ主として8ビットマイクロプロセッサと組み合わせて使用されるプログラム可能なデータ通信ICで、その機能からUSART (Universal Synchronous/Asynchronous Receiver/Transmitter) ともいわれます。

## 特長

- 5V単一電源
- 同期/非同期動作

同期式 キャラクタ長 5～8ビット

内部同期/外部同期

自動SYNCキャラクタそう入

非同期式 キャラクタ長 5～8ビット

クロックレイト……ボーレイト×1、×16、×64

ストップビット 1、1.5、2ビット

誤りスタートビット検出

ブレイク状態の自動検出

- ボーレイト……DC～64kボー
- 全二重、ダブルバッファ方式トランスミッタ・レシーバ
- エラー検出……パリティ、オーバラン、フレーミング
- インテル社製8251Aとピン接続及び電気的特性に互換性あり

## 応用

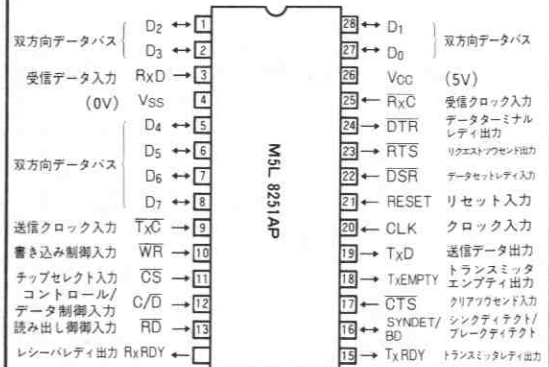
- マイクロコンピュータを使用したデータ通信のモデム制御
- CRT、TTY等の端末機器制御

## 機能概要

M5L 8251APはデータ通信用USARTで、CPUの周辺回路として使用され、IBM社のbi-syno方式を含め、現在使用されているすべての直列データ転送方式での動作がプログラムで指定できます。

USARTはCPUから並列のデータを受け取り、直列に変換

## ピン接続図(上面図)



外形 28P1

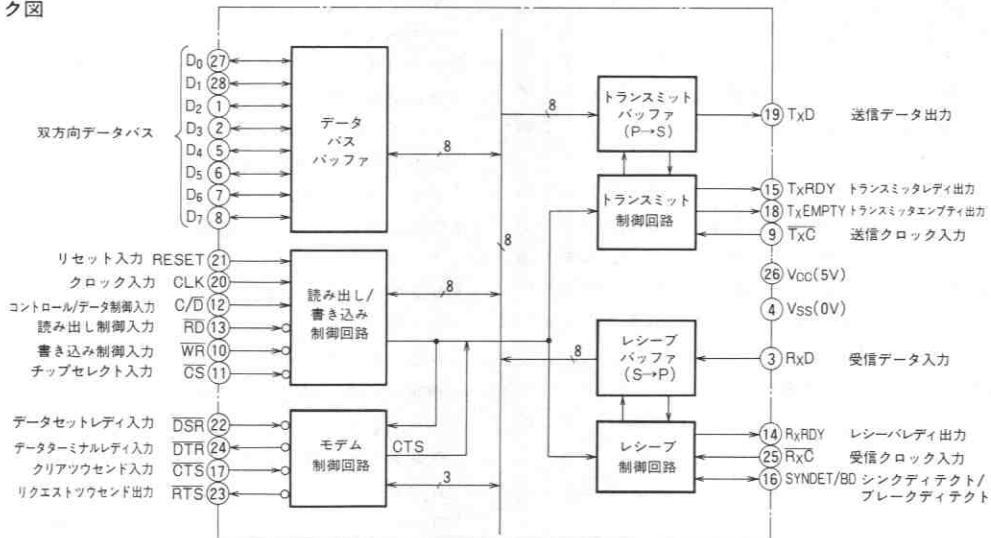
してTxD端子より送出します。また、RxD端子に外部回路より送り込まれたデータを受け取り、並列に変換してCPUへ送ります。つまり直列から並列へ、並列から直列への変換機能を持っています。

USARTがCPUから並列の送信用データを受け取った場合や、外部からCPUに対する直列データを受信した場合に、USARTはTxRDY端子、RxRDY端子によりCPUへ知らせることができます。また、CPUはUSARTの状態を任意に読み取ることができます。

受信データにエラーがある場合、USARTはエラーを検出しステータス情報としてCPUへ知らせることができます。エラーには、パリティエラー、オーバランエラー、フレームエラーがあります。

9

## ブロック図

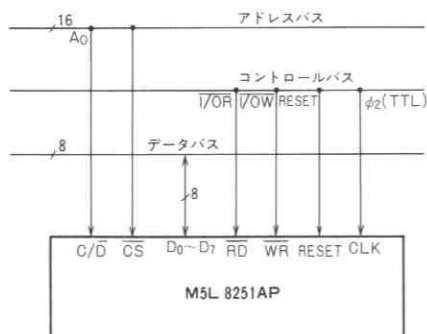


## PROGRAMMABLE COMMUNICATION INTERFACE

## 動作説明

USARTは図1のようにシステムバスとインターフェースされ、モデムや端末機器との間に位置され、データ通信に必要なすべての機能を行います。

図1. USARTとCPUシステムバスとのインターフェース



USARTは、通信システムに応じて、同期モード/非同期モードの指定、ボーレート、キャラクタ長、パリティチェック、偶数パリティ/奇数パリティ等の指定を初期設定としてプログラムする必要があり、一度プログラムされると、その通信システムに応じた機能を継続して実行することになります。

USARTに対して初期設定が完了した後で、データ通信が可能となり、受信部は常にイネーブルですが、送信部はコマンド命令によりトランスミッタイネーブル (TxEN) にされ、さらにCTS端子に“L”が入力されたときにデータ転送が開始されます。この条件が満たされないと送信は実行されません。一方受信部は常にイネーブルになっていますが、データを受信した場合、RxRDY端子が“1”になりCPUがUSART内の受信データを読み取ることが可能になったことを知らせます。データを受信しCPUが読み取ることができる状態になったことは、ステータス情報として出力されますので、CPUはUSARTの状態をRxRDY端子によらないで知ることができます。

受信動作中のエラー関係のチェックはUSARTが行い、ステータス情報として、それを知ることができます。エラーとしては、パリティエラー、オーバランエラー、フレームエラーの3種類あります。エラーの発生があってもUSARTの動作は継続して行われ、コマンド命令でエラーリセット (ER) されるまでエラー状態が保持されます。

USARTのアクセス方法を表1に示します。

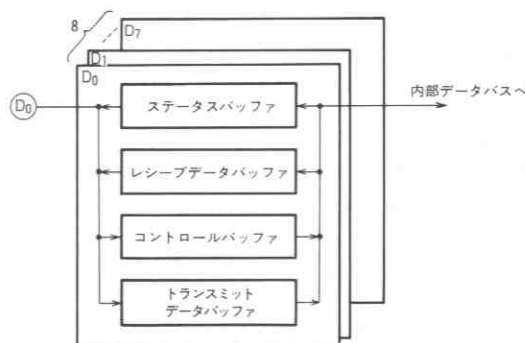
表1. USARTのアクセス方法

C/D	RD	WR	CS	機能
L	L	H	L	データバス←USART内のデータ
L	H	L	L	USART ←データバス
H	L	H	L	データバス←ステータス
H	H	L	L	コントロール←データバス
X	H	H	L	スリーステート←データバス
X	X	X	H	スリーステート←データバス

## データバスバッファ

8ビットのスリーステート双方向性バスバッファであり、CPUからのIN、OUT命令によってコントロールワード、コマンドワード、ステータス情報、転送データがこのデータバスバッファを経由して転送されます。データバスバッファの構成を図2に示します。

図2. データバスバッファの構成



## 読み出し/書き込み制御回路

コントロールワードレジスタとコマンドワードレジスタから構成されており、CPUのコントロールバスからの信号を受け、素子の内部制御信号を作っています。

## モデム制御回路

モデムとのインターフェースを簡単にするために用意された汎用の制御信号回路で、4種類の入出力制御信号があります。出力信号DTR、RTSはマンド命令で制御し、入力信号のDSRはステータス情報としてCPUは知ることができます。残りの入力信号CTSは直接送信を制御しています。

## トランスミットバッファ

データバスバッファに入った並列データは、必要なスタートビット、ストップビット、パリティビット等を付加した直列データに変換し、制御信号によりTxD端子よりデータを送り出します。

## トランスミット制御回路

直列データの送信に必要なすべての制御を行う回路で、読み出し/書き込み制御回路の指示により、送信データの制御と外部に対する必要な信号を出力します。

## PROGRAMMABLE COMMUNICATION INTERFACE

## レシーブバッファ

RxD端子に入力された直列データを、並列に変換し、モードの設定により指定された通信フォーマットに従い、ビットとキャラクタをチェックしアセンブルされたキャラクタをデータバスバッファを経由してCPUへ転送します。

## レシーブ制御回路

入力直列データの正常な受信に必要なすべての制御をする回路で、読み出し/書き込み制御回路の指示により、受信データの制御と外部に対する信号を出力します。

## クロック入力 (CLK)

内部のタイミング発生に必要なシステムクロック入力であり通常M5L 8224Pのクロック出力 $\phi_2$ (TTL)に接続されます。データ転送のポーレートとは直接関係はありませんが、クロック入力CLKの周波数は、同期式の場合、 $\overline{\text{Tx}}\overline{\text{C}}\overline{\text{X}}$ は $\overline{\text{Rx}}\overline{\text{C}}\overline{\text{X}}$ 入力周波数の30倍以上、非同期式の場合には4.5倍以上を必要とします。

## リセット入力 (RESET)

"H"入力によりUSARTをアイドルモードにし、この状態は新しくコントロールワードがセットされるまで続きます。このリセットはマスタリセットですので、リセットに続いて必ずコントロールワードがロードされなければなりません。

リセット入力は最小6クロック分のパルス幅が必要です。

## データセットレディ入力 (DSR)

汎用の入力信号ですが、通常、モデムの状態をテストするデータセットレディ信号として使用されます。この入力信号の状態は、ステータスの読み出しで認知することができます。つまり $\overline{\text{DSR}}$ 端子が"L"であればステータス情報の $D_7=1$ となり"H"であれば $D_7=0$ となります。

$\overline{\text{DSR}}=\text{"L"} \rightarrow$ ステータス情報の $D_7=1$

$\overline{\text{DSR}}=\text{"H"} \rightarrow$ ステータス情報の $D_7=0$

注、DSRとはモデム状態表示の信号で下記のとおりです。

ON : モデムが送受信可能

OFF : モデムが送受信不可能

## データターミナルレディ出力 (DTR)

汎用の出力信号ですが、通常、モデムに対するデータターミナルレディ信号又はレートセレクト信号として使用されます。このDTR端子はコマンド命令の $D_1$ ビットによって制御され、 $D_1=1$ であれば $\overline{\text{DTR}}=\text{"L"}$ 、 $D_1=0$ であれば $\overline{\text{DTR}}=\text{"H"}$ となります。

コマンドレジスタ $D_1=1 \rightarrow \overline{\text{DTR}}=\text{"L"}$

コマンドレジスタ $D_1=0 \rightarrow \overline{\text{DTR}}=\text{"H"}$

## チップセレクト入力 (CS)

"L"入力によりUSARTをイネーブルにするデバイスセレクトの信号で通常アドレスバスに直接、又はデコーダを経由して接続されます。この信号が"H"の場合にはUSARTをアクセスすることができません。

書き込み制御入力 ( $\overline{\text{WR}}$ )

"L"入力によりCPUから出力されるデータやコントロールワードがUSARTに書き込まれます。この端子は通常CPUのコントロールバスの $\overline{\text{I/O}}\overline{\text{W}}$ に接続して使用します。

読み出し制御入力 ( $\overline{\text{RD}}$ )

"L"入力によりUSARTから、受信データやステータス情報がCPUのデータバスに出力されます。

コントロール/データ制御入力 ( $\text{C}/\overline{\text{D}}$ )

USARTへのCPUからのアクセスが $\overline{\text{RD}}$ や $\overline{\text{WR}}$ に対応して、USARTのデータバス上の情報がデータキャラクタであるか、コントロールワード又はステータス情報であるかを区別する信号で"H"であればコントロールワード又はステータス情報、"L"であればデータキャラクタであることを示します。

"H"=コントロール

"L"=データ

リクエストツウセンド出力 ( $\overline{\text{RTS}}$ )

汎用の出力信号ですが、通常、モデムに対するリクエストツウセンド信号として使用されます。このRTS端子はコマンド命令の $D_3$ ビットによって制御され、 $D_3=1$ であれば $\overline{\text{RTS}}=\text{"L"}$ 、 $D_3=0$ であれば $\overline{\text{RTS}}=\text{"H"}$ となります。

コマンドレジスタ $D_3=1 \rightarrow \overline{\text{RTS}}=\text{"L"}$

コマンドレジスタ $D_3=0 \rightarrow \overline{\text{RTS}}=\text{"H"}$

注、RTSとはモデムの送信キャリア制御信号です。

ON : キャリア送出

OFF : キャリア停止

## クリアツウセンド入力 (CTS)

コマンド命令の $\text{TxEN}$ ビット( $D_0$ )が1にセットされておりCTS入力が"L"であればTxD端子から直列データが送り出されます。通常、モデムのクリアツウセンド信号として使用されます。

注、 $\overline{\text{CTS}}$ とはモデム状態表示の信号で下記のとおりです。

ON : データ送信可能

OFF : データ送信不可能

送信データ出力 ( $\text{TxD}$ )

CPUによってUSARTにロードされた並列の送信キャラクタが、モード命令によって指定されたフォーマットにアセンブルされ、直列データとしてこのTxD端子より送り出されます。ただし、データが出力されるのはコマンド命令の $D_0$ ビット(TxEN)が"1"でCTS端子が"L"のときのみです。リセット後、最初のキャラクタが送り出されるまで、この端子はマーク状態("H")になります。

## トランスミッタレディ出力 (TxRDY)

データの転送がレディになったことを表す信号で、CPUに対する割り込み信号として、又は、ポーリング動作で、CPUがステータス情報の $D_0$ ビットを読み取ることで、直列データ転送の状態を確認できます。TxRDY信号はデータバスバッファが空の状態を表しますので、CPUにより送信キ



## PROGRAMMABLE COMMUNICATION INTERFACE

キャラクタがロードされると自動的にリセットされます。なおステータス情報のTxRDYは図2に示すトランスミットデータバッファが空になったことを意味し、一方、TxRDY端子はトランスミットデータバッファが空でありTxEN=1でさらにCTS端子に“L”が入力されていると初めて“H”となります。

ステータス (D<sub>0</sub>) : トランスミットデータバッファ (TDB) が空で“1”

TxRDY端子 : (TDBが空)・(TxEN = 1)・(CTS = 0) = 1

リセットでアクティブ

## トランスミットエンプティ出力 (TxEMPTY)

トランスミットバッファから送信キャラクタがなくなると、この端子が“H”になります。非同期モードでは次の送信キャラクタがCPUからロードされると、それがトランスミットバッファに移りますので、自動的にリセットされます。同期モードの場合では、転送データキャラクタがなくなると自動的にSYNCキャラクタがトランスミットバッファにロードされますが、同期式の場合、TxEMPTY=“H”は転送キャラクタがなく、そしてSYNCキャラクタが1つ又は2つ転送されようとしている状態であるか、あるいはSYNCキャラクタが“フィルター”として転送されていることを意味しますのでSYNCキャラクタが送り出されているときにはTxEMPTYは“L”にはなりません。TxEMPTYはコマンド命令のTxENビットとは無関係です。

送信クロック入力 (Tx $\bar{C}$ )

TxD端子からキャラクタが送り出されるときに、その周期 (ポーレート) を制御するクロックです。直列データはこのTx $\bar{C}$ の立ち下りでシフトされます。同期式モードの場合Tx $\bar{C}$ の周波数は実際のポーレートに等しくなります。非同期式モードの場合、その周波数は実際のポーレートの1倍、16倍、64倍のいずれかをモード設定で指定します。

(例)ポーレートが110ボーの場合

$$\overline{\text{TxC}} = 110\text{Hz} (1\times)$$

$$\overline{\text{TxC}} = 1.76\text{kHz} (16\times)$$

$$\overline{\text{TxC}} = 7.04\text{kHz} (64\times)$$

受信データ入力 (Rx $\bar{D}$ )

相手から送信されてくる直列のキャラクタがこの端子に入力され、並列のキャラクタフォーマットに変換されてCPUへのデータとなります。もし、Rx $\bar{D}$ が誤配線などにより“ブレイク”状態のラインに接続されているような場合の誤動作防止用として、チップマスターリセットの次に“1”状態が検出されなければ、直列キャラクタの受信は実施されません。ただこのことは、非同期式の場合にのみあてはまります。Rx $\bar{D}$ ラインがノイズほどにより瞬間的に“L”状態になった場合には誤スタート防止機能が動作します。つまり、スタートビットはその立ち下りで検出されますが、正しいスタートビットであることの確認として、スタートビ

ットの中央でRx $\bar{D}$ ラインをストロブして再度“L”であることを確認し、“H”であれば誤スタートと判定されます。

## レシーバレディ出力 (RxRDY)

受信キャラクタがレシーブバッファに入り、さらに図2のデータバスバッファ内のレシーブデータバッファに入ったことを表す信号で、CPUに対する割り込み信号として、又は、ポーリング動作で、CPUがステータス情報のD<sub>1</sub>ビットを読み取ることで、RxRDYの状態を確認できます。RxRDYは、キャラクタがCPUにより読み出されると、自動的にリセットされます。Rx $\bar{D}$ ラインが“L”に保持されているブレイク状態でも、RxRDYはアクティブです。RxRDYは、コマンド命令のRxE (D<sub>2</sub>) を“0”にすることによりマスクされます。

受信クロック入力 (Rx $\bar{C}$ )

RxD端子からキャラクタが送り込まれるときに、その周期 (ポーレート) を制御するクロックです。データはこのRx $\bar{C}$ の立ち上りでシフトインされます。同期式モードの場合、Rx $\bar{C}$ の周波数は実際のポーレートに等しくなります。非同期モードの場合、その周波数は実際のポーレートの1倍、16倍、64倍のいずれかをモード設定で指定します。この関係は、Tx $\bar{C}$ と同じで、通常の通信回線システムでは送信と受信のポーレートは等しく、したがって、Tx $\bar{C}$ とRx $\bar{C}$ は同一の周波数源 (ポーレージネレータ) に接続して使用されます。

## シンクディテクト/ブレイクディテクト出力 (SYNDET/BD)

この端子は同期式モードの場合、入力又は出力として使用されます。モード設定により内部同期モードに指定されますとこの端子は出力となり、Rx $\bar{D}$ 端子からSYNCキャラクタが受信されたときに“H”になります。もし、USARTがダブルSYNCキャラクタにプログラムされているとすれば (bi-sync)、第2番目のSYNCキャラクタの最後のビットの中央で“H”となります。この信号はステータス情報を読み出すことにより自動的にリセットされます。

USARTが外部同期モードに指定されますと、この端子は入力となり、この端子に“H”を入力することにより、USARTは、データキャラクタを次のRx $\bar{C}$ の立ち上りでアセンブルを開始します。入力する“H”の信号幅は最小Rx $\bar{C}$ の周期分を必要とします。

非同期式モードに指定された場合、この端子はBD端子 (出力) となり、Rx $\bar{D}$ ラインにオール“L”が入力された場合 (ブレイク状態) に“H”となります。つまり、スタートビット、データビット、パリティビット、そして1つのストップビットがすべて“L”であった場合に“H”となります。BD (ブレイクディテクト) 信号は、ステータス情報のD<sub>6</sub>ビットとしても読み取ることができます。このBD信号はチップマスターリセットがRx $\bar{D}$ ラインが“H”状態にもどることによりリセットされます。



PROGRAMMABLE COMMUNICATION INTERFACE

プログラミング

データ転送に先立ち、USARTはCPUによってコントロールワードをロードされなければなりません。これはリセット（外部端子によるか、コマンド命令のIRによる）動作の次に必ず実行する必要があります。このコントロールワードには通信に必要な一般的動作を規定するモード命令と、USARTの実際の動作を制御するコマンド命令の2つがあります。

リセットに続いて、まずモード命令が設定されなければなりません。このモード命令により、同期式/非同期式が設定されます。同期式の場合には、同期のためのSYNCキャラクタがCPUからロードされますが、bi-sync方式であれば、さらに続けて2番目のSYNCキャラクタがロードされなければなりません。

次にコマンド命令をロードすればデータの転送が可能となります。このリセット後の動作は必ず、実行する必要があります。USARTの初期設定ととなります。USARTのコマンド命令に内部リセットIR命令（D6ビット）があり、リセット状態にUSARTをもどすことができます。この初期設定のフローチャートを図3に示し、モード命令、コマンド命令のフォーマットを図4、図5に示します。

図3. USARTの初期設定フローチャート

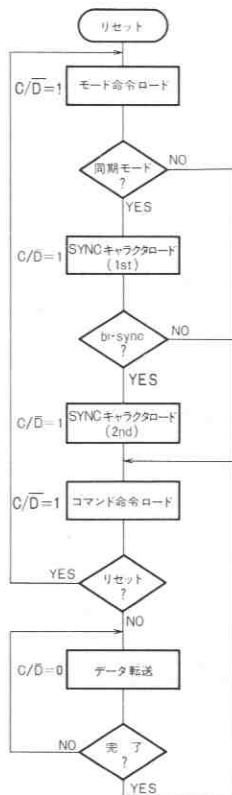


図4. モード命令フォーマット

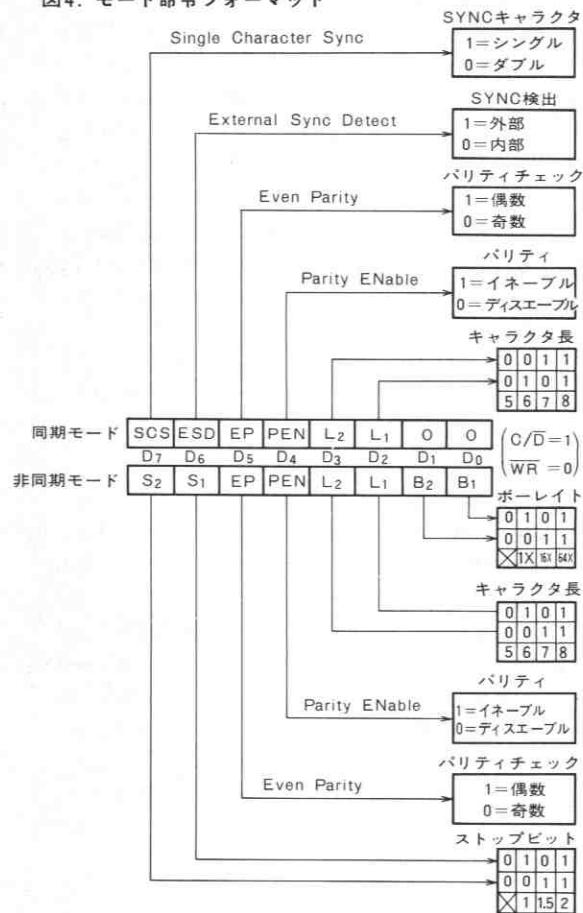
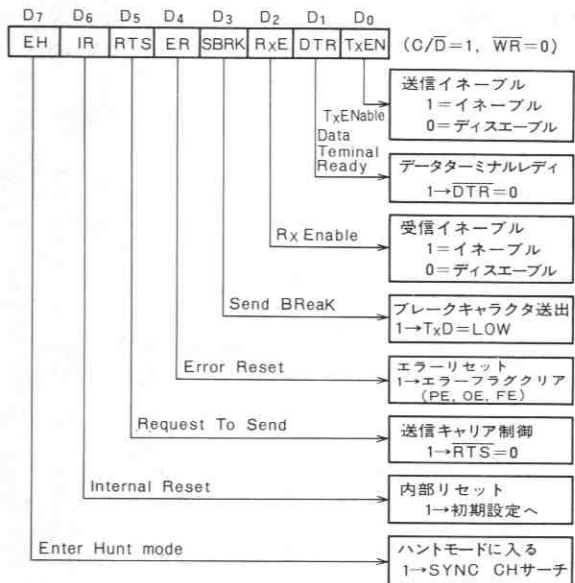


図5. コマンド命令フォーマット



## PROGRAMMABLE COMMUNICATION INTERFACE

## 非同期式送信モード

初期設定の後、データキャラクタがUSARTにロードされると、USARTは自動的に1つのスタートビット("L")と初期設定のモード命令で指定する奇数又は偶数のパリティビット、及び指示された数のストップビット("H")を付加します。その後、アSEMBルされたデータキャラクタは、転送がイネーブルであれば( $TxEN = 1 \cdot \overline{CTS} = L$ ) TxD端子から、直列データとして転送されますが、この場合の転送速度(ボーレート)は、モード命令の指示により $\overline{TxC}$ の同期の1、1/16、1/64に等しいクロックの立ち下りでシフトされます。

もしデータキャラクタがUSARTにロードされない場合は、TxD端子はマーク状態("H")です。コマンド命令によって、SBRKがプログラムされると、TxD端子からブレイクキャラクタ("L")が連続して出力されます。

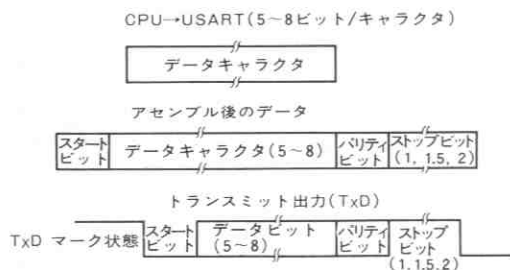
## 非同期式受信モード

RxDラインは通常マーク状態("H")で、このラインに"L"パルスがくるとき、その立ち下りがトリガとなり動作をはじめます。この信号は、完全なスタートビットであるかどうかの確認のため、そのビットのほぼ中央で再びストロブされます。もし再び"L"が検出されれば、スタートビットが有効となり、(中央での再ストロブは16x、64xの場合のみ)、それ以後、USART内部のビットカウンタが動作を開始し、RxDライン上の直列情報の各ビットは $\overline{RxC}$ の立ち上りでシフトインされ、データビット、パリティビット(必要なきのみ)、及びストップビットがその中央でサンプルされます。

もしパリティエラーが生じると、パリティエラーフラグがセットされ、ストップビットのところが"L"であればフレームエラーフラグがセットされます。プログラムで1.5や2ストップビットに指定された場合でもレシーバは1つのストップビットしか必要としないことに注意する必要があります。

ストップビットまで受信した場合、1つのキャラクタが

図6 非同期式転送フォーマット I  
(トランスミッションフォーマット)



そろったこととなりますので、このキャラクタが図2のレシーブデータバッファへ転送され、RxRDYがアクティブになります。もし、このキャラクタがCPUによってリードされず、次のキャラクタがレシーブデータバッファに転送された場合、前のキャラクタが破壊され、オーバランエラーフラグがセットされます。

これらのエラーフラグはUSARTのステータスとして読み出すことができ、エラーが発生することで、USARTの動作が停止したりするようなことはありません。エラーフラグのクリアはコマンド命令のER(D<sub>4</sub>ビット)によって行われます。

非同期式の転送フォーマットを図6、図7に示します。

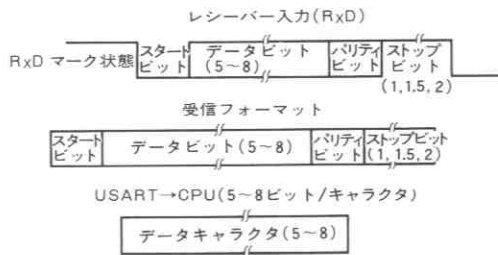
## 同期式送信モード

このモードにおいてTxD端子は、CPUによる初期設定が完了するまで"H"状態にあり、初期設定後、 $\overline{CTS} = L$ でTxEN=1であればSYNCキャラクタがTxD端子より直列に送り出されます。続いてデータキャラクタが送り出されますが、これらは $\overline{TxC}$ の立ち下りでシフトされ、転送のレイトは $\overline{TxC}$ と同じレイトです。

このように一度転送が開始されますと、TxD端子より $\overline{TxC}$ と同じレイトで転送され続けなければなりません、トランスミットバッファが空になる前にCPUからUSARTにデータキャラクタが供給されないと、SYNCキャラクタ(1つ又は2つ)が自動的にTxD端子より出力されます。この場合、TxEMPTY端子は、USART内に転送すべきデータキャラクタがなくなると"H"となり、次のデータキャラクタがCPUからUSARTに供給されるまでは"L"にならないことに注意が必要です。また、SYNCキャラクタが送り出されるのは、データキャラクタが一度ロードされた後ですので、単にコマンド命令をセットしただけでは、SYNCキャラクタはそう入されないことにも注意が必要です。

このモードにおいてもSBRKがコマンド命令によって指定された場合(D<sub>3</sub>=1)、ブレイクキャラクタがTxD端子より連続して送り出されます。

図7 非同期式転送フォーマット II  
(レシーブフォーマット)



注. データキャラクタが5、6、7ビット/キャラクタである場合残りのUSART→CPUのデータは"0"として扱われます。

## PROGRAMMABLE COMMUNICATION INTERFACE

## 同期式受信モード

このモードでのキャラクタの同期は、初期設定の指定により内部的又は外部的に行われます。

内部同期式モードをプログラムしますと、最初のコマンド命令にはEH命令 ( $D_7=1$ )、すなわちエンターハントモードが含まれていなければなりません。Rx $\overline{D}$ 端子上的データはRx $\overline{C}$ の立ち上りでサンプルされ、レシーブバッファの内容が各ビットが入力されるごとに、SYNCキャラクタと比較され、一致するまで、この比較が行われます。もし、USARTがbi-syncモードにプログラムされていれば、さらにつづいて受信したデータが比較され、二つのSYNCキャラクタがつづいて検出された場合、USARTはハントモードを終了し、SYNDET端子が“H”にセットされます。このリセットはステータス情報を読み出すことによりリセットされます。パリティがプログラムされていれば、SYNDETは最後のデータビットの中央でセットされるのではなく、パリティビットの中央でセットされます。

外部同期式モードの場合、同期信号“H”をSYNDET端子に与えることにより、USARTはハントモードから抜け出ることになります。この“H”信号は最小Rx $\overline{C}$ の1サイクル分必要です。

非同期式モードの場合、このEH命令は全く動作に影響を与えません。

パリティエラー、オーバランエラーは非同期式のときと同様にチェックされます。ハントモード中はパリティビットはチェックされませんが、レシーバがイネーブルでなくとも、パリティチェックは行われます。

もし同期がくずれた場合、CPUはコマンド命令によりUSARTをハントモードにすることができます。このことは、レシーブバッファ内のデータをすべて“1”にセットしますが、これにより誤って、SYNCキャラクタと、レシーブデ

ータが一致することを防止しています。SYNDET F/Fは内部同期・外部同期によらず、ステータス情報を読み出すことにリセットされることに注意を必要としますが、これはUSARTをハントモードにもどすことではありません。ハントモード中でなくても同期の検出が行われます。同期式転送フォーマットを図8、図9に示します。

## コマンド命令

コマンド命令はモード設定により指定された通信モードでの実際の動作を規定するための命令です。コマンド命令には図5で示したように、トランスミッタ/レシーバのイネーブル命令、エラーリセット命令、内部リセット命令、モデム制御命令、エンターハント命令、ブ레이크送信命令があります。

リセットに続いてモード設定が行われ、必要に応じてSYNCキャラクタが設定されると、それに続くコートロール/データ端子 ( $C/\overline{D}$ ) “H”の書き込みは全てコマンド命令とみなされます。モードを最初から設定しなおす場合、リセット端子による入力又はコマンド命令による内部リセットによりUSARTをリセットすることができます。

- 注1、コマンドのエラーリセット (ER)、内部リセット (IR)、エンターハントモード (EH) はコマンド命令がロードされる時の単発動作であるため、これらのビットを“0”にもどす必要はありません。
2. コマンドでブ레이크キャラクタを出した場合、USARTがデータを送出しているかどうかによらず、ただちにTx $\overline{D}$ は“L”になります。
  3. USARTの受信部は常にイネーブルになっておりその動作を禁止することはできません。コマンド命令のRx $\overline{E}=0$ はRx $\overline{D}$ 端子からのデータ受信を禁止することではなく、RxRDYをマスクし、エラーフラグ類を禁止することを意味します。

図8 同期式転送フォーマット I  
(トランスミッションフォーマット)

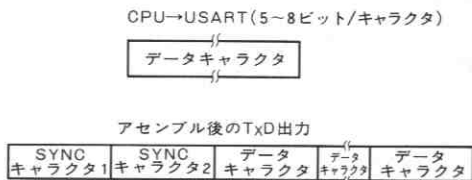
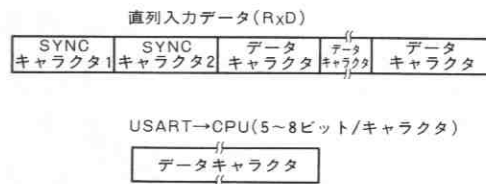


図9 同期式転送フォーマット II(レシーブフォーマット)



注、データキャラクタが5、6、7ビット/キャラクタである場合残りのUSART→CPUのデータは“0”として扱われます。

## PROGRAMMABLE COMMUNICATION INTERFACE

## ステータス情報

CPUはUSARTのステータスをいつでも読み取ることができます。これは $C/\bar{D}=1$ 、 $\bar{RD}=0$ によって実行されます。

ステータス情報フォーマットを図10に示します。この中でRxRDY、TxEMPTY、SYNDETは端子と同じ定義になります。つまり各端子が“H”の場合、この三つのステータス情報は、“1”となります。その他のステータス情報の定義は次のとおりです。

DSR : DSR端子が“L”のときステータス情報DSRは“1”となります。

FE : 受信部にフレームエラーが発生した場合にステ

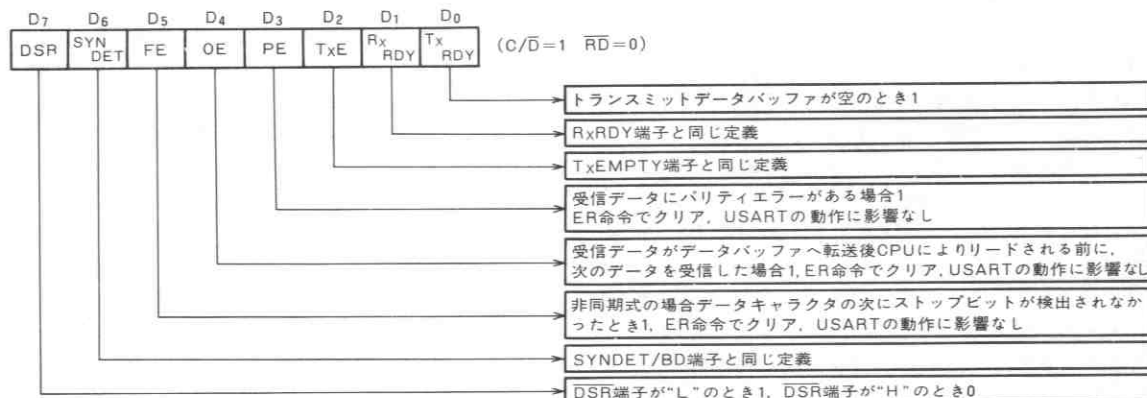
ータス情報FEは“1”になります。

OE : 受信部にオーバランエラーが発生した場合にステータス情報OEが“1”になります。

PE : 受信部にパリティエラーが発生した場合にステータス情報PEが“1”になります。

TxRDY: トランスミットデータバッファが空のとき“1”になります。このステータス情報は、TxRDY端子とは意味が異なりますので、注意が必要です。つまりTxRDY端子はトランスミットバッファが空であり、CTS端子が“L”で、さらにTxEN=1のときにはじめて“H”となります。

図10 ステータス情報



## 応用回路例

非同期モードの場合の応用例を図11に示します。

図11で、USARTのポートアドレスを00#, 01#と仮定すると、非同期モードの場合の初期設定は次のように行います。

```

MVI    A, B6#    モード設定
OUT    01#
MVI    A, 27#    コマンド命令
OUT    01#

```

ここでモード設定では下記のことを設定しています。

```

非同期モード
6ビット/キャラクタ
パリティイネーブル(偶数)
1.5ストップビット
ポーレート 16×

```

コマンド命令では下記の命令を設定しています。

```

RTS = 1 →  $\bar{RTS}$ 端子="L"
RxEN = 1
DTR = 1 →  $\bar{DTR}$ 端子="L"
TxEN = 1

```

初期設定が完了しますと転送が可能となりますが、初期設定でRTS=1→ $\bar{RTS}$ 端子="L"に設定され、これがCTS入力となりTxEN=1ですのでTxRDYはステータスも端子

も同じ定義になりトランスミットデータバッファが空のとき“1”になります。実際のデータの転送は次のようにして行うことができます。

```
IN    01#    ステータスリード
```

このIN命令によりUSARTのステータスをCPUが読み取り、その結果TxRDY=1であればCPU→USARTへ送信データを書き込み、RxRDY=1であればUSART→CPUへ受信データをCPUが読み取ることができます。送信データをUSARTに書き込む場合は、次のように行います。

```

MVI    A, 2D#    2D16は送信データ例
OUT    00#    USART←(A)

```

受信データを読み取る場合は、次のように行います。

```
IN    00#    (A)←USART
```

以上の例では、ステータス情報を読み取り、その結果により転送データの書き込み、読み取りを行います。TxRDY端子やRxRDY端子を使用して割り込みによる処理をすることも可能です。

CPUからUSARTへ書き込まれたデータが転送されるときのTxRDY端子の様子を図12に示します。

図12がRxRDY端子に入力された場合、USARTからCPUへのデータは2D16となりD6、D7ビットは“0”として扱われます。

## PROGRAMMABLE COMMUNICATION INTERFACE

図11. 非同期モード応用回路例

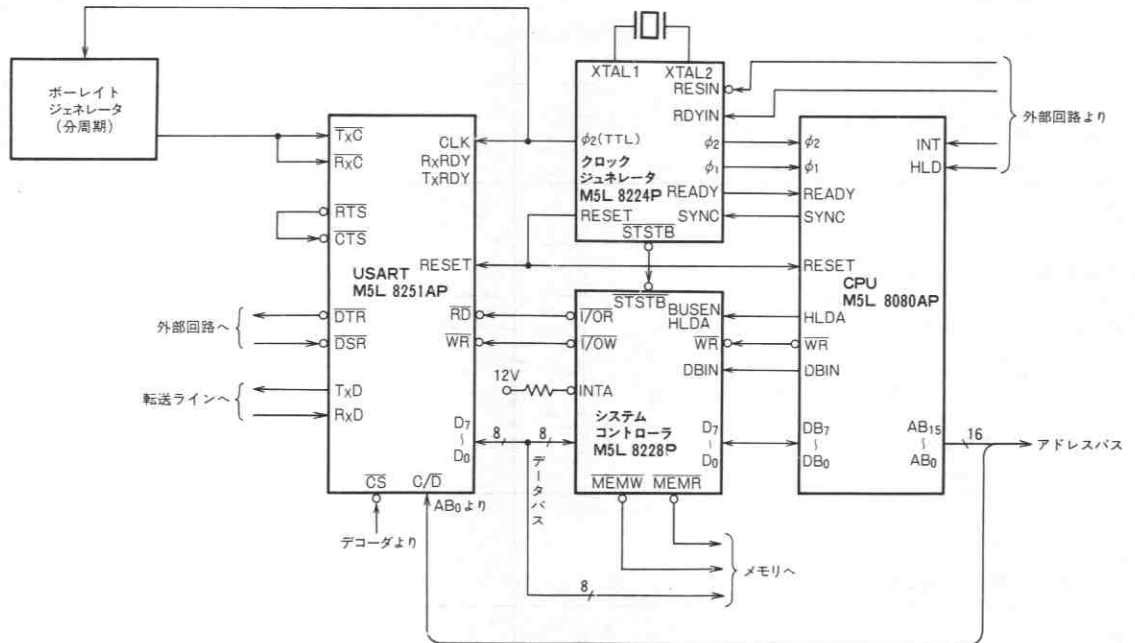
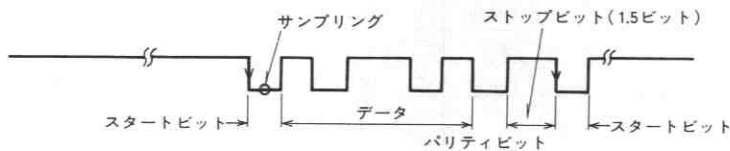


図12. 転送データ例



## PROGRAMMABLE COMMUNICATION INTERFACE

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧	V <sub>SS</sub> 端子を基準にした場合	-0.5~7	V
V <sub>I</sub>	入力電圧		-0.5~7	V
V <sub>O</sub>	出力電圧		-0.5~7	V
P <sub>d</sub>	最大消費電力		1000	mW
T <sub>opr</sub>	動作周囲温度		0~70	℃
T <sub>stg</sub>	保存温度		-40~125	℃

## 推奨使用条件(指定のない場合は, Ta = 0~70℃)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.75	5	5.25	V
V <sub>SS</sub>	電源電圧		0		V
V <sub>IH</sub>	"H"入力電圧	2		V <sub>CC</sub>	V
V <sub>IL</sub>	"L"入力電圧	-0.5		0.8	V

電気的特性(指定のない場合は, Ta = 0~70℃, V<sub>CC</sub> = 5V ± 5%, V<sub>SS</sub> = 0V)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>OH</sub>	"H"出力電圧	I <sub>OH</sub> = -400μA	2.4			V
V <sub>OL</sub>	"L"出力電圧	I <sub>OL</sub> = 2.2mA			0.45	V
I <sub>CC</sub>	電源電流	全出力ピンは"H"			100	mA
I <sub>IH</sub>	"H"入力電流	V <sub>I</sub> = V <sub>CC</sub>	-10		10	μA
I <sub>IL</sub>	"L"入力電流	V <sub>I</sub> = 0.45V	-10		10	μA
I <sub>OZ</sub>	オフ状態出力電流	V <sub>SS</sub> = 0V, V <sub>I</sub> = 0.45~5.25V	-10		10	μA
C <sub>i</sub>	入力容量	V <sub>CC</sub> = V <sub>SS</sub> , f = 1MHz, 25mVrms, Ta = 25℃			10	pF
C <sub>i/o</sub>	入出力容量	V <sub>CC</sub> = V <sub>SS</sub> , f = 1MHz, 25mVrms, Ta = 25℃			20	pF

PROGRAMMABLE COMMUNICATION INTERFACE

タイミング必要条件(指定のない場合は、 $T_a = 0 \sim 70^\circ\text{C}$ 、 $V_{CC} = 5\text{V} \pm 5\%$ 、 $V_{SS} = 0\text{V}$ )

記号	項目	他社相当記号	測定条件	規格値			単位
				最小	標準	最大	
$t_{C(\phi)}$	クロック周期(注1, 2)	$t_{CY}$		320		1350	ns
$t_{W(\phi)}$	クロック"H"パルス幅	$t_{\phi}$		120		$t_{C(\phi)} - 90$	ns
$t_{\bar{W}(\phi)}$	クロック"L"パルス幅	$t_{\bar{\phi}}$		90			ns
$t_r$	クロック上昇時間	$t_R$		5		20	ns
$t_f$	クロック下降時間	$t_F$		5		20	ns
$f_{TX}$	トランスミッタクロック周波数	1Xポーレート	$f_{TX}$	DC		64	kHz
		16Xポーレート	$f_{TX}$	DC		310	
		64Xポーレート	$f_{TX}$	DC		615	
$t_{W(TPWL)}$	トランスミッタクロック"L"パルス幅	1Xポーレート	$t_{TPW}$	12			$t_{C(\phi)}$
		16X, 64Xポーレート	$t_{TPW}$	1			$t_{C(\phi)}$
$t_{W(TPWH)}$	トランスミッタクロック"H"パルス幅	1Xポーレート	$t_{TPD}$	15			$t_{C(\phi)}$
		16X, 64Xポーレート	$t_{TPD}$	3			$t_{C(\phi)}$
$f_{RX}$	レシーバクロック周波数	1Xポーレート	$f_{RX}$	DC		64	kHz
		16Xポーレート	$f_{RX}$	DC		310	
		64Xポーレート	$f_{RX}$	DC		615	
$t_{W(RPWL)}$	レシーバクロック"L"パルス幅	1Xポーレート	$t_{RPW}$	12			$t_{C(\phi)}$
		16X, 64Xポーレート	$t_{RPW}$	1			$t_{C(\phi)}$
$t_{W(RPWH)}$	レシーバクロック"H"パルス幅	1Xポーレート	$t_{RPD}$	15			$t_{C(\phi)}$
		16X, 64Xポーレート	$t_{RPD}$	3			$t_{C(\phi)}$
$t_{SU(A-R)}$	リード前アドレスセットアップ時間(CS, C/D)(注3)	$t_{AR}$		0			ns
$t_{H(R-A)}$	リード後アドレスホールド時間(CS, C/D)(注3)	$t_{RA}$		0			ns
$t_{W(R)}$	リードパルス幅	$t_{RR}$		250			ns
$t_{SU(A-W)}$	ライト前アドレスセットアップ時間	$t_{AW}$		0			ns
$t_{H(W-A)}$	ライト後アドレスホールド時間	$t_{WA}$		0			ns
$t_{W(W)}$	ライトパルス幅	$t_{WW}$		250			ns
$t_{SU(DQ-W)}$	ライト前データセットアップ時間	$t_{DW}$		150			ns
$t_{H(W-DQ)}$	ライト後データホールド時間	$t_{WD}$		0			ns
$t_{SU(ESD-RxC)}$	RxC前E・SYNDETセットアップ時間	$t_{ES}$		16			$t_{C(\phi)}$
$t_{SU(C-R)}$	リード前コントロールセットアップ時間	$t_{CR}$		20			$t_{C(\phi)}$
$t_{RV}$	ライト間リカバリー時間(注4)	$t_{RV}$		6			$t_{C(\phi)}$
$t_{SU(RxD-IS)}$	内部サンプリングパルス前RxDセットアップ時間	$t_{SRx}$		2			$\mu\text{s}$
$t_{H(IS-RxD)}$	内部サンプリングパルス後RxDホールド時間	$t_{HRx}$		2			$\mu\text{s}$

注1.  $t_{XC}$ 、 $f_{XC}$ 周波数はCLKに対し次の制限があります。

1Xポーレートに対し $f_{TX}$ 、 $f_{RX} \leq 1/(30t_{C(\phi)})$ 、16X、64Xポーレートに対し $f_{TX}$ 、 $f_{RX} \leq 1/(4.5t_{C(\phi)})$

2. リセット入力パルス幅は最小 $6t_{C(\phi)}$ 分を必要とし、リセット入力中はシステムクロックが走行してなければなりません。

3. CS、C/Dはアドレスと仮定しています。

4. このリカバリー時間はモードの初期設定についてのみ規定されます。

データの書き込みは $TxRDY = 1$ のときのみ可能です。このときのリカバリー時間は非同期式で $8t_{C(\phi)}$ 、同期式で $16t_{C(\phi)}$ です。

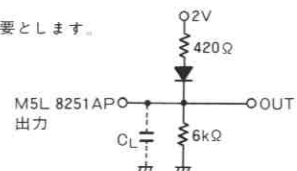
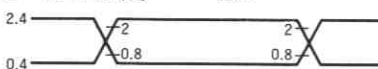
スイッチング特性(指定のない場合は、 $T_a = 0 \sim 70^\circ\text{C}$ 、 $V_{CC} = 5\text{V} \pm 5\%$ 、 $V_{SS} = 0\text{V}$ )

記号	項目	他社相当記号	測定条件(注7)	規格値			単位
				最小	標準	最大	
$t_{PZV(R-DQ)}$	リード後データ出力カインエール時間(注5)	$t_{RD}$	$C_L = 150\text{pF}$			200	ns
$t_{PVZ(R-DQ)}$	リード後データ出力ディスエール時間	$t_{DF}$		10		100	ns
$t_{PZV(Tx-C-TxD)}$	TxC立ち下り後TxDiネール時間	$t_{DTx}$				1	$\mu\text{s}$
$t_{PLH(OLB-TxR)}$	最終ビット中央後TxRDY出力伝搬時間(注6)	$t_{TxRDY}$				8	$t_{C(\phi)}$
$t_{PHL(W-TxR)}$	ライトデータ後TxRDY出力伝搬時間(注6)	$t_{TxRDY\_CLEAR}$				150	ns
$t_{PLH(OLB-RxR)}$	最終ビット中央後RxRDY出力伝搬時間(注6)	$t_{RxRDY}$				24	$t_{C(\phi)}$
$t_{PHL(R-RxR)}$	リードデータ後RxRDY出力伝搬時間(注6)	$t_{RxRDY\_CLEAR}$				150	ns
$t_{PLH(Rx-C-SYD)}$	RxC立ち上り後内部SYNDET伝搬時間(注6)	$t_{IS}$				24	$t_{C(\phi)}$
$t_{PLH(OLB-TxE)}$	最終ビット中央後TxEMPTY出力伝搬時間(注6)	$t_{TxEMPTY}$				20	$t_{C(\phi)}$
$t_{PHL(W-C)}$	WR立ち上り後コントロール出力伝搬時間(注6)	$t_{WC}$				8	$t_{C(\phi)}$

注5. アドレスはRDの立ち下り前にセットされているものとします。

6. 最新のステータスになるにはステータスに影響を与える状態が発生してから最大で $28t_{C(\phi)}$ 必要とします。

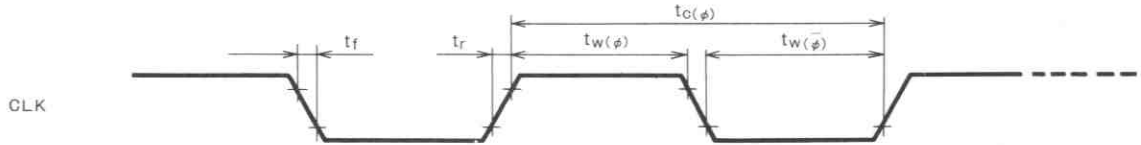
7. 入力パルスレベル 0.45~2.4V 判定電圧 入力  $V_{IH} = 2\text{V}$ 、 $V_{IL} = 0.8\text{V}$   
 入力パルス上昇時間 20ns 出力  $V_{OH} = 2\text{V}$ 、 $V_{OL} = 0.8\text{V}$   
 入力パルス下降時間 20ns 負荷



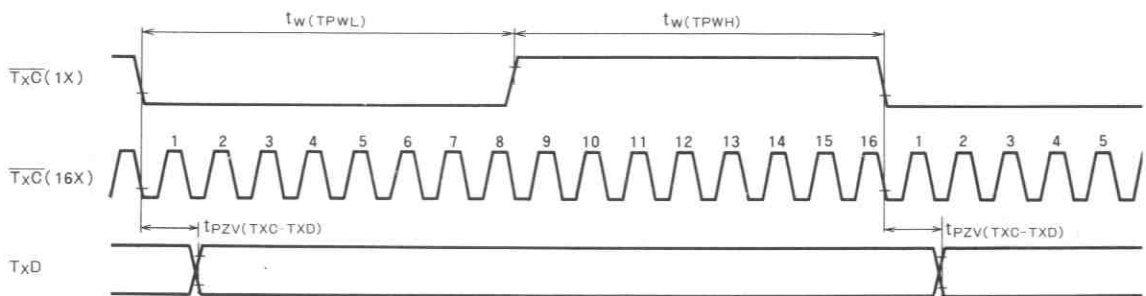
## PROGRAMMABLE COMMUNICATION INTERFACE

## タイミング図

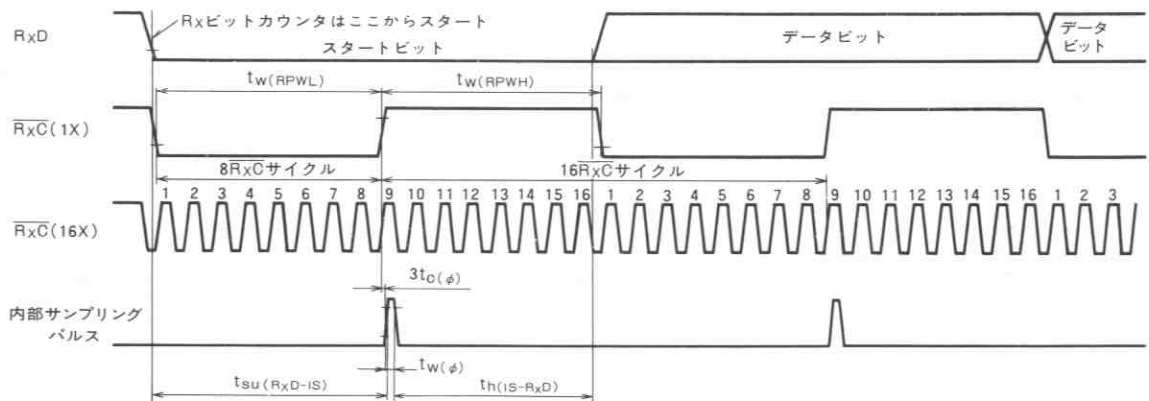
## システムクロック(CLK)



## トランスミッタクロックとトランスミッタデータ



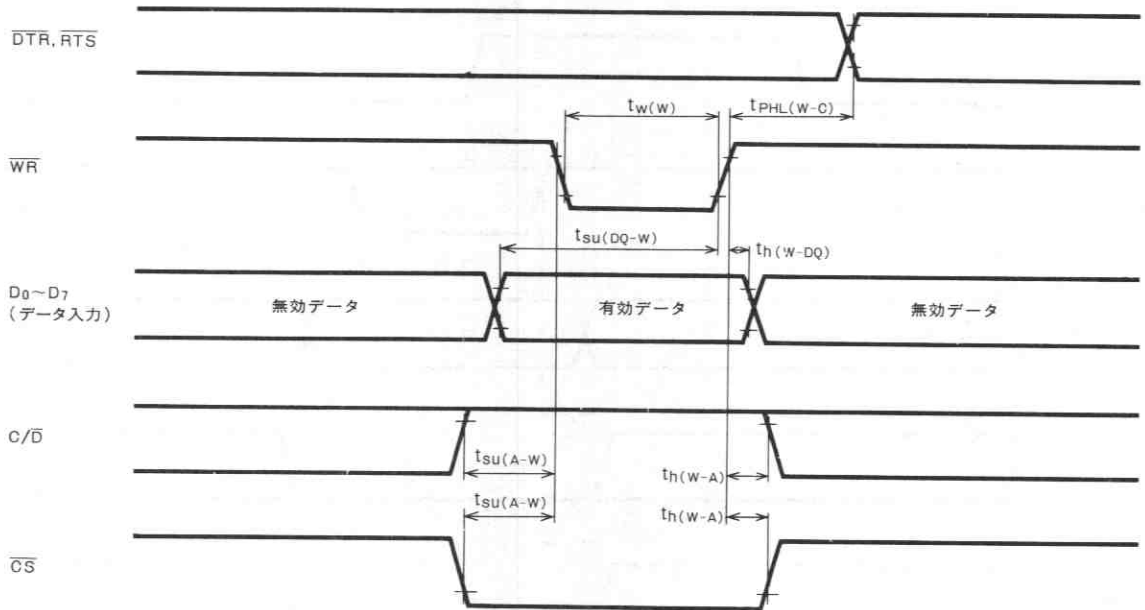
## レシーバクロックとレシーバデータ



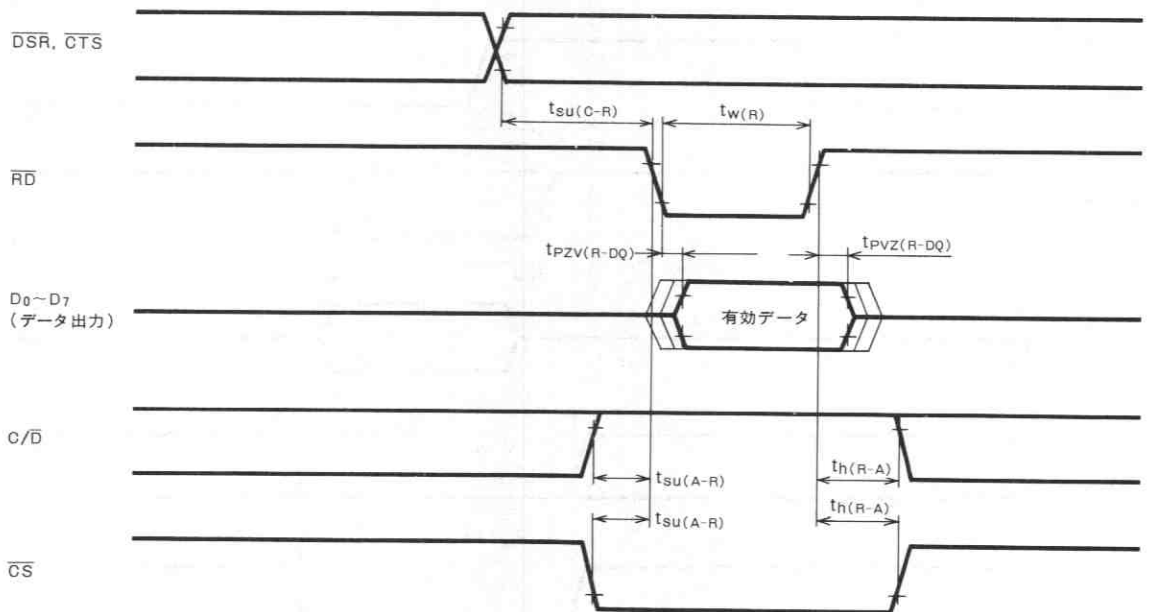


PROGRAMMABLE COMMUNICATION INTERFACE

ライトコントロールサイクル(CPU→USART)

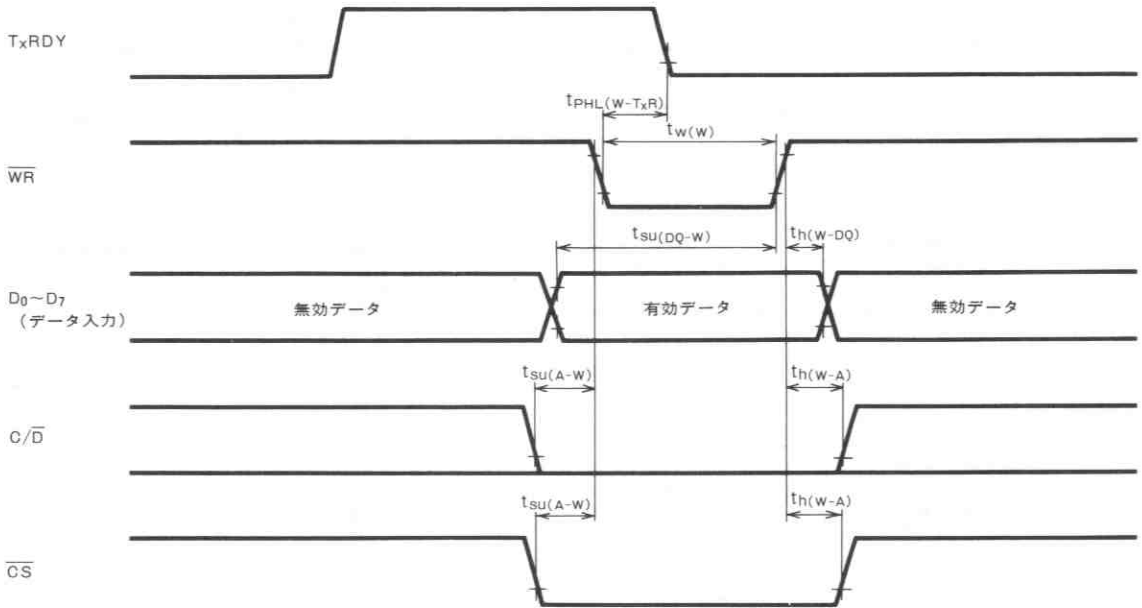


リードコントロールサイクル(USART→CPU)

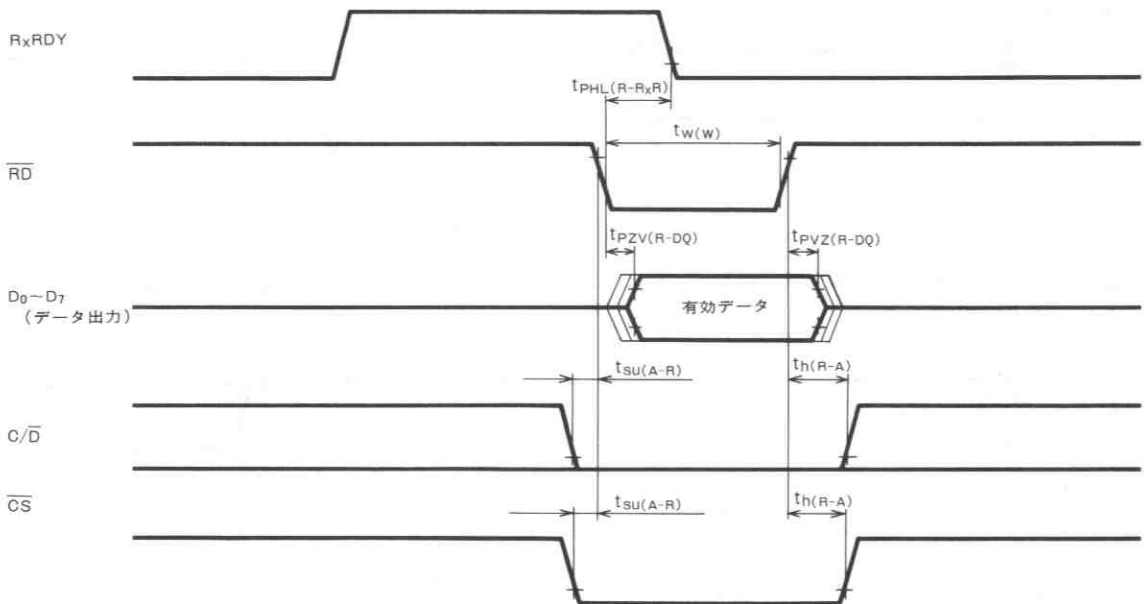


PROGRAMMABLE COMMUNICATION INTERFACE

ライトデータサイクル(CPU→USART)

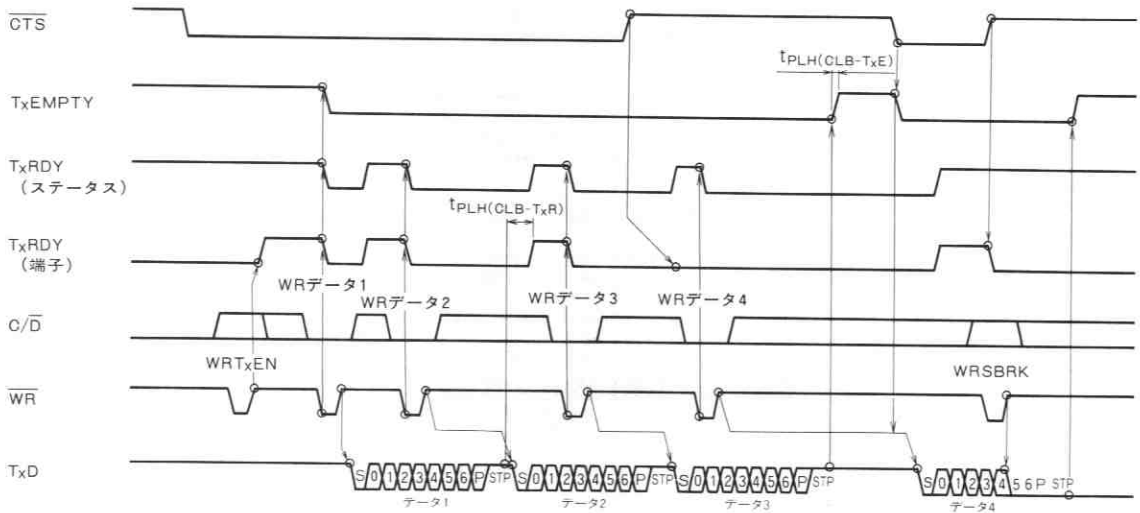


リードデータサイクル(USART→CPU)



## PROGRAMMABLE COMMUNICATION INTERFACE

## トランスミッタコントロールとフラグタイミング(非同期モード)

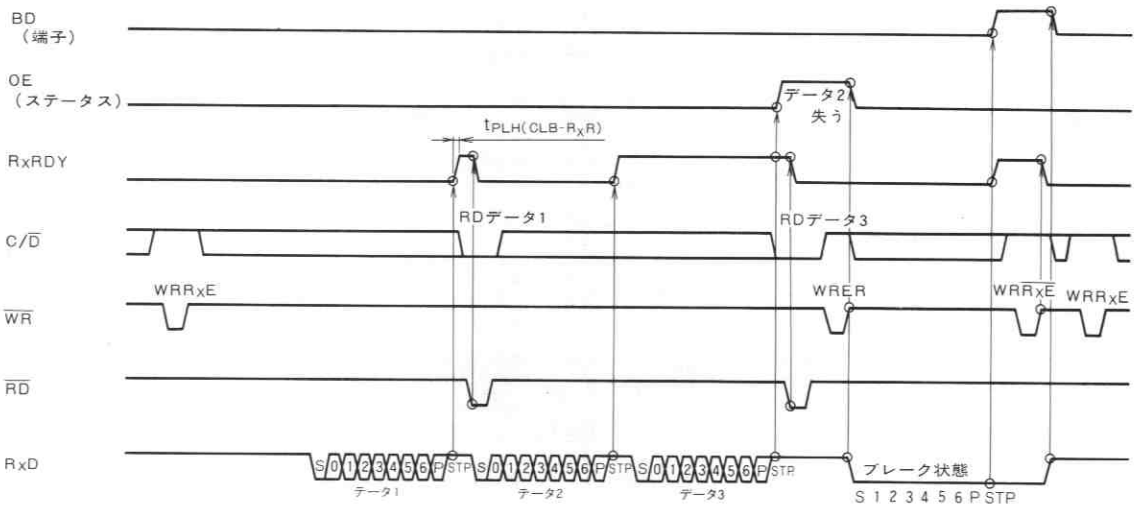


注8. 上図は7ビット/キャラクタ、パリティ、2ストップビットの場合の例です。

9.  $TxRDY(\text{端子}) = 1 \leftarrow (\text{トランスミットデータバッファが空}) \cdot (TxEN=1) \cdot (CTS=0) = 1$

10.  $TxRDY(\text{ステータス}) = 1 \leftarrow (\text{トランスミットデータバッファが空}) = 1$

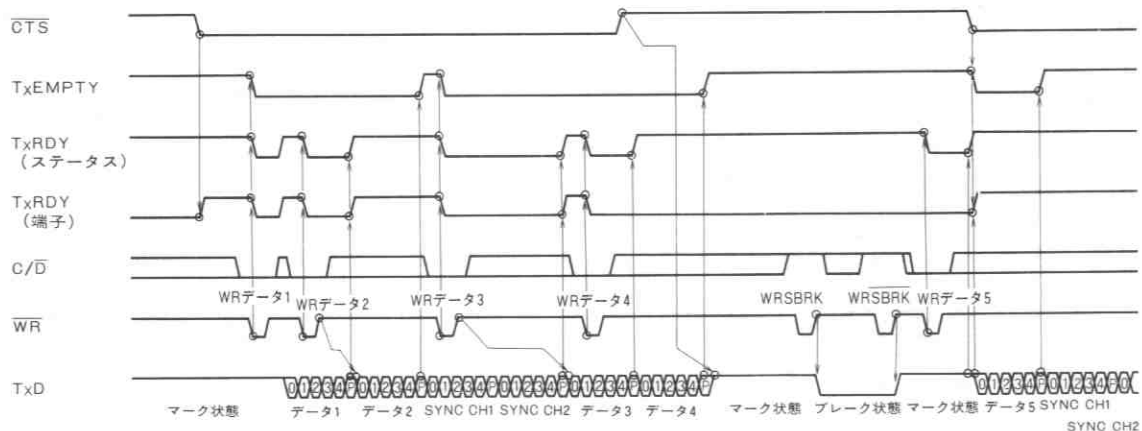
## レシーバコントロールとフラグタイミング(非同期モード)



注11. 上図は7ビット/キャラクタ、パリティ、2ストップビットの場合の例です。

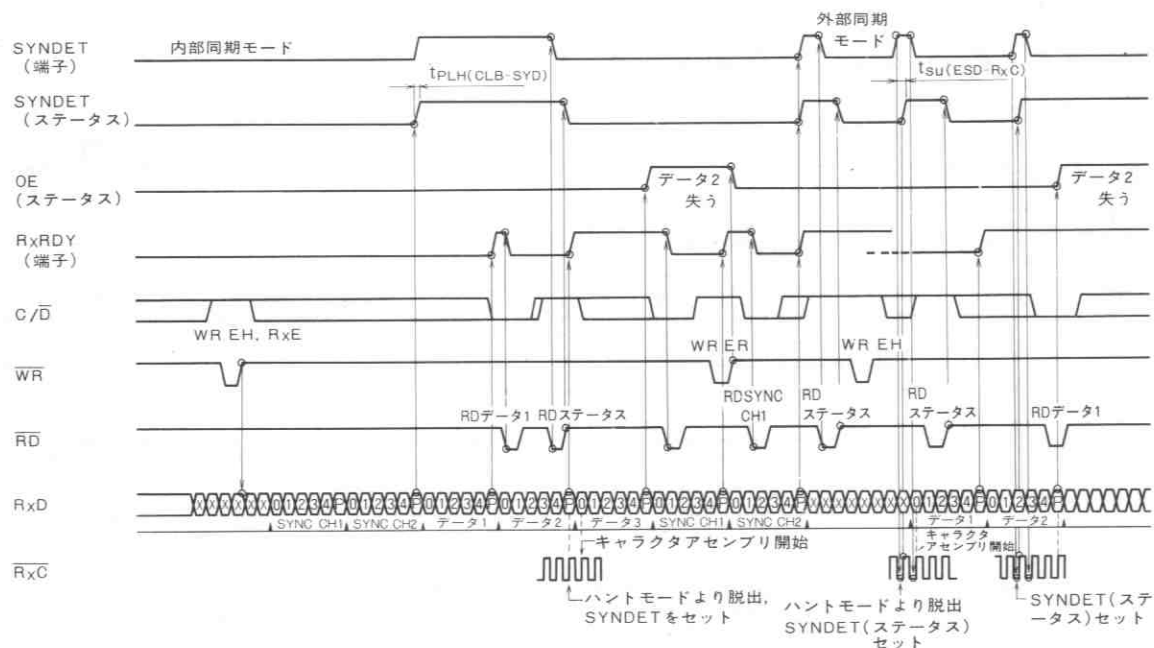
PROGRAMMABLE COMMUNICATION INTERFACE

トランスミッタコントロールとフラグタイミング(同期モード)



注12. 上図は5ビット/キャラクタ、パリティ、bi-syncの場合の例です。

レシーバコントロールとフラグタイミング(同期モード)



注13. 上図は5ビット/キャラクタ、パリティ、bi-syncの場合の例です。

## M5L 8253P, M5L 8253P-5

## PROGRAMMABLE INTERVAL TIMER

## 概要

M5L 8253Pは、NチャネルシリコンゲートED-MOSプロセスを用いて開発されたプログラム可能な汎用タイマで8ビット並列処理CPUを用いたシステムにおいて、カウンタタイマに関する諸機能を容易に果します。M5L 8253Pを使うことによりCPUは、ループプログラムやカウントのためのプログラムなど、くり返しの多い単純な処理の実行から解放されるため、システムのスループットは大きく向上します。M5L 8253Pは、一電源で動作し入出力ともTTL回路と直結できます。

## 特長

- MELPS85に適したM5L 8253P-5
- 互いに独立した3個の16ビット ダウンカウンタ内蔵
- クロック周期……………DC~2MHz
- 6種のカウントモードが各カウンタに任意に割り当て可能
- 2進又は10進カウントが可能
- 5V単一電源
- インテル社製8253とピン接続及び電気的特性に互換性あり

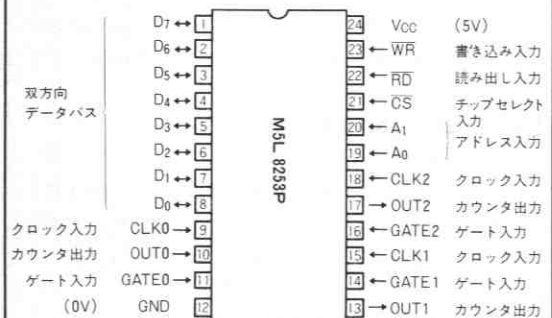
## 応用

- マイクロコンピュータにおいて、遅延時間の設定、パルスの計数、レートジェネレーションなどの機能を果たすタイマ/カウンタ。

## 機能概要

互いに独立した3個の16ビット カウンタは、CPUからのモード制御命令により、それぞれ任意にプログラムできます。

## ピン接続図(上面図)

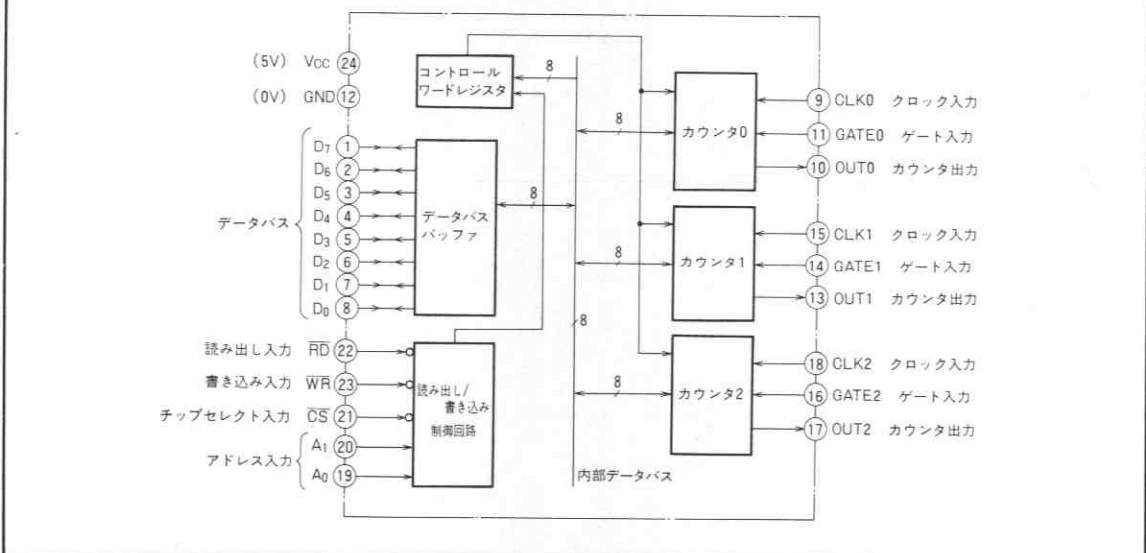


外形 24P1

モードは大別して6種(モード0、モード1、モード2、モード3、モード4、モード5)あります。モード0は主に割り込みタイマ、イベントカウンタとして、モード1は、デジタルワンショットとして、モード2、3はレートジェネレータとして、モード4はソフトウェアトリガのストローブとして、モード5はハードウェアトリガのストローブとして使用できます。

カウンタの値は随時モニタできるほか、設定もできます。またカウンタは、バイナリまたはBCDのいずれの方式でも動作します。

## ブロック図



## M5L 8253P, M5L 8253P-5

## PROGRAMMABLE INTERVAL TIMER

## 機能説明

## データバスバッファ

双方向性のスリーステート8ビットバッファで、システム側のデータバスに接続されます。モード指定のためのコントロールワード、カウンタへの書き込み値、カウンタからの読み出し値などのデータ授受は、すべてこれを介して行われます。

## 読み出し/書き込み 制御回路

システム側から送られてくるコントロール信号 (RD、WR) をもとに各カウンタに制御信号を発生する部分です。チップセレクト入力 (CS) は、この素子を活性化するための信号で、“H”であれば、データバスバッファはフローティング (高インピーダンス) 状態になります。

## 読み出し入力 (RD)

“L”レベルで、アドレス入力A<sub>0</sub>、A<sub>1</sub>により指定されたカウンタの値をデータバス上に出力させます。

## 書き込み入力 (WR)

“L”レベルで、アドレス入力A<sub>0</sub>、A<sub>1</sub>により指定されたカウンタ又はコントロールワードレジスタに、データバス上のデータを書き込みます。

アドレス入力 (A<sub>0</sub>、A<sub>1</sub>)

内部の3つのカウンタの1つ又は、コントロールワードレジスタのいずれかを選択するために使います。

## チップセレクト入力 (CS)

“L”レベルでこの素子を活性 (イネーブル) にします。この入力に“H”⇄“L”の変化を与えても、各カウンタの動作は何ら影響を受けません。

## コントロールワードレジスタ

各カウンタの動作モード及びカウント方式 (バイナリ/BCD) を指示するための情報を記憶するレジスタです。カウンタと異なりこのレジスタは書き込みのみ可能で読み出しはできません。

## カウンタ0、カウンタ1、カウンタ2

各カウンタは、互いに同等で独立した16ビットのプリセット可能なダウンカウンタです。それぞれクロック入力、ゲート入力、アウト出力端子を持っています。各クロックの立ち下がりで、バイナリかBCDかのいずれかの方式でカウントダウンします。カウンタがどのようなモードで動作するか、どのような初期値からカウントを開始するかについては、ソフトウェアによって指定できます。各カウンタの値は、単に入力命令により随時読み出せるだけでなく、特別な命令 (カウンタラッチ命令) を与えることによって、各瞬間の値をレジスタにラッチし、安定して読み出すことができる (リードオンザフライ) 機能もあります。

表1. 基本機能

CS	RD	WR	A <sub>1</sub>	A <sub>0</sub>	機能
0	1	0	0	0	データバス→カウンタ0
0	1	0	0	1	データバス→カウンタ1
0	1	0	1	0	データバス→カウンタ2
0	1	0	1	1	データバス→コントロールワードレジスタ
0	0	1	0	0	データバス←カウンタ0
0	0	1	0	1	データバス←カウンタ1
0	0	1	1	0	データバス←カウンタ2
0	0	1	1	1	} データバスは高インピーダンス状態
1	×	×	×	×	
0	1	1	×	×	

## M5L 8253P, M5L 8253P-5

## PROGRAMMABLE INTERVAL TIMER

## コントロールワードと初期値のロード

この素子の機能は、システムソフトウェアによって決められます。

各カウンタの動作モードの指定は、コントロールワードレジスタにコントロールワードを書き込む ( $A_0, A_1=1, 1$ ) ことで行えます。

コントロールワードのフォーマットは、表2のようになっており4つのフィールドから成り立っています。このコントロールワードのD<sub>7</sub>、D<sub>6</sub>の2ビットで選ばれるカウンタのみが、動作設定されます。カウンタにはさらに初期値設定が必要ですので、コントロールワードの書き込みと初期値設定を3個のカウンタおのおのに行う必要があります。コントロールワードのD<sub>5</sub>、D<sub>4</sub>の2ビットでカウンタ中における値の読み出しや、初期値設定がどのように行われるかを設定します。D<sub>3</sub>~D<sub>1</sub>でモード指定をし、D<sub>0</sub>でそのカウンタがバイナリでカウントするのかBCDでカウントするのかを指定します。D<sub>0</sub>=0ならば、バイナリカウントになり、そのカウンタに0000<sub>16</sub>~FFFF<sub>16</sub>の任意の値をロードしてもかまいません。カウンタはクロックごとにカウントダウンし、カウント値が0000<sub>16</sub>になったとき、カウント出力端子からタイムアウト信号を出します。

カウント数の最大は0000<sub>16</sub>を初期設定したときです。一方、D<sub>0</sub>=1ならば、BCDカウントになり、カウンタにロードできる値は0000<sub>10</sub>から9999<sub>10</sub>までの4けたの10進数です。

さて、システムリセットや電源投入によってこの素子のコントロールワードは何ら特定の値に初期設定されませんので、カウンタを実際動作させるには、既に述べたモード指定のコントロールワードを各カウンタに与え、その後1~2バイトのカウンタ初期値を設定するというプログラムを必ず実行する必要があります。以下プログラムの具体例を示します。

カウンタ1をモード0に指定し、バイナリカウントで初期値8253<sub>16</sub>を設定するプログラムは次のようになります。

```

MVI A, 7016 .....コントロールワード 7016
OUT n1 .....n1はコントロールワードレジスタアドレス
MVI A, 5316 .....下位8ビット
OUT n2 .....n2はカウンタ1のアドレス
MVI A, 8216 .....上位8ビット
OUT n2 .....n2はカウンタ1のアドレス

```

このようにプログラムのシーケンスは一般に次の順序となります。

- (1) カウンタ  $i$  ( $i=0, 1, 2$ ) にコントロールワード出力
- (2) カウンタ下位8ビットの初期設定
- (3) カウンタ上位8ビットの初期設定

3個のカウンタ間のシーケンスは全く自由です。つまりモード指定のみを各カウンタについて実行し、後で異なる順番に初期値をロードすることもできます。ただしRL1、RL0で指定したカウンタへの初期値の設定は、そのカウンタについて連続的に下位8ビット、上位8ビットの順序で実行される必要があります。

表2. コントロールワード

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
SC1	SC0	RL1	RL0	M2	M1	M0	BCD
SC		RL		M			BCD

## ●SC (セレクトカウンタ)

SC1	SC0	
0	0	カウンタ0を選択
0	1	カウンタ1を選択
1	0	カウンタ2を選択
1	1	組合せ禁止

## ●RL (リード/ロード)

PL1	RL0	
0	0	カウンタラッチオーバーション
0	1	下位8ビットのみ読み出し/ロード
1	0	上位8ビットのみ読み出し/ロード
1	1	下位8ビット、次いで上位8ビットの読み出し/ロード

## ●M (モード)

M2	M1	M0	
0	0	0	モード0
0	0	1	モード1
×	1	0	モード2
×	1	1	モード3
1	0	0	モード4
1	0	1	モード5

## ●BCD

0	バイナリ (2進16ビット) カウント
1	BCD (4けた) カウント

## M5L 8253P, M5L 8253P-5

## PROGRAMMABLE INTERVAL TIMER

## モード0 (カウント完了割り込み)

図1のように、モード指定や初期値設定によりカウンタ出力は“L”レベルになります。カウンタに初期値をロードするとクロック入力のカウントを開始します。そしてターミナルカウントになるとカウンタ出力が“H”レベルになり、このカウンタに対してモードや初期値設定が再び実行されるまで保持します。このモードはある時間後にCPUに割り込みをかける場合、カウントアップ時に同じく割り込みをかける場合などに使えます。

図1は初期値として4をセットした場合の例を示します。ゲート入力を“L”レベルにすれば、カウントを一時中断(“L”レベルの期間)することができます。

カウント中に初期値を再ロードすれば、まず最初の1バイトロードによりこれまでのカウントが中止され、2バイト目のロードによりカウントが再スタートします。

## モード1 (プログラマブルワンショット)

ゲート入力はトリガ入力として機能します。ゲート入力の立ち上りによって、その次のクロックからはじまるあらかじめ設定されたクロック長のワンショットの“L”レベル出力を発生します。図2は初期値4をセットした場合の例を示します。カウンタ出力が“L”レベルの間(ワンショット時)、新たな設定値をロードしても、すでに出力されているワンショットパルス幅は変更されません。また、出力中のワンショットパルス幅に何ら影響を与えることなく、進行中のカウンタの値を読み出すことができます。このモードは、再トリガ可能です。

## モード2 (レートジェネレータ)

カウンタに初期セットした値nによって、クロック入力n個に1回の割合で1クロック間の“L”レベルパルスをカウンタ出力より発生します。カウンタが動作中に、新たな値をロードすれば、現在進行中のカウントによるパルスが出力された後、出力に反映されます。図3はまずレート値n=4を与え、途中で、n=3にした場合の例を示しています。

このモードにおいて、ゲート入力はリセットの機能を果たします。ゲート入力が“L”レベルのときは出力は強制的に“H”レベルに保たれ、ゲート入力の立ち上りによってカウンタが初期値で再スタートします。したがって、このゲート入力によってハードウェアによるカウンタの外部同期が可能となります。

また、モード指定後はカウンタにレート値nをロードするまでカウントが開始されず、カウンタ出力は“H”レベルのままです。

## モード3 (矩形波レートジェネレータ)

モード2と同様ですが、設定レート値の1/2のカウント数の矩形波出力を発生することができます。設定値nが奇数のときは、クロック入力(n+1)/2だけ“H”レベル出力、(n-1)/2

だけ“L”レベル出力の矩形波になります。カウンタ動作中にカウンタに新たなレート値を再ロードした場合は、次に実行されるカウンタ出力の遷移(“H”→“L”、又は“L”→“H”)後、次のカウントにただちに反映されます。ゲート入力は、モード2の場合と全く同様です。図4にモード3の動作例を示しています。

## モード4 (ソフトウェアトリガストローブ)

モードセット後、カウンタ出力は“H”レベルですが、カウンタに値をロードすることによって、クロック入力のカウントを開始し、ターミナルカウントで1クロック間隔だけの“L”パルスを1度だけ出力します。カウンタに設定した値でくり返しパルスを出力しない点がモード2と異なります。出力されるパルスは図5に示すようにモード2の場合より1クロックおくらせています。カウント中に新たな値をカウンタに書き込んだ場合、現在進行中のカウンタに影響を与えず、次のパルス出力に反映されます。ゲート入力はリセットの機能を果たします。つまり“L”レベルであれば進行中のカウントがリセットされ、解除によりカウントが初期値から再スタートします。

## モード5 (ハードウェアトリガストローブ)

モード1の変形で、ゲート入力がトリガの機能を果たしゲート入力の立ち上りによってカウントを開始します。ターミナルカウント時に1度だけ1クロック間隔だけカウンタ出力が“L”レベルになります。モード1と同様、ゲート入力により再トリガ可能です。図6にモード5のタイミング例を示しています。

以上のように各モードにおいてゲート信号はいろいろな役割を果たしていますが、これをまとめると表3のようになります。

表3. ゲート入力の役割

ゲート モード	“L”レベル 立ち下り	立ち上り	“H”レベル
0	カウント不可		カウント可
1		(1) カウント開始 (2) 再トリガ	
2	(1) カウント不可 (2) カウント出力を強制的に“H”レベルにします。	カウント開始	カウント可
3	(1) カウント不可 (2) アウト出力を強制的に“H”レベルにします。	カウント開始	カウント可
4	カウント不可		カウント可
5		カウント開始	



## M5L 8253P, M5L 8253P-5

## PROGRAMMABLE INTERVAL TIMER

図1. モード0

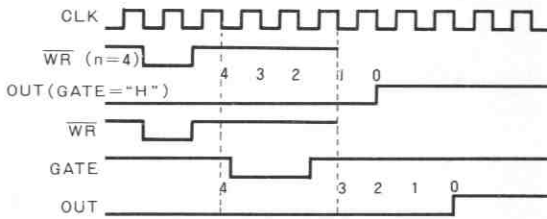


図2. モード1

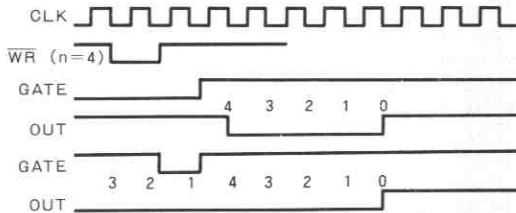


図3. モード2

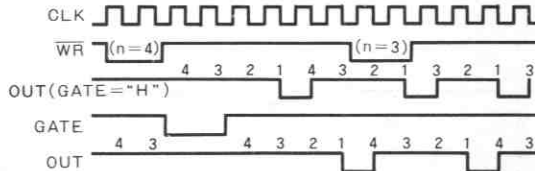


図4. モード3

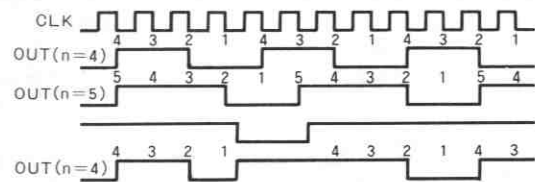


図5. モード4

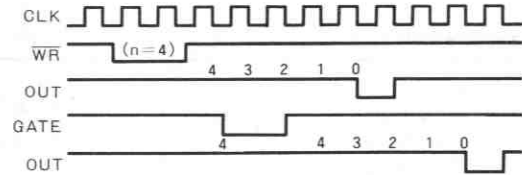
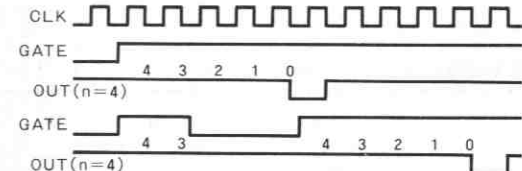


図6. モード5



注1. nはカウンタにセットされる(又はされた)値を示しています。

## カウンタのモニタ方法

カウンタの値を随時読み出してモニタしたい場合、特にイベントカウンタとして使う場合、カウンタの値を調べることによって処理内容を変えることがあります。この素子は、次の2つの方法でカウンタの値を読み出すことができます。

## 読み出し動作

モニタしたいカウンタのアドレスを指定し、単純なI/Oリードを実行することにより値を読み出すことができます。この方法によりカウンタ値を正しく読み出すことを保証するためには、クロック入力を外部ロジックにより一時中断するか、ゲート入力によりカウンタ値の変化を抑える必要があります。カウンタ1の値を読み出すプログラム例を示します。コントロールワードにおいてRL1、RL0=1、1と指定されていたとすれば命令INを単に2回実行すれば、最初の命令INにより下位8ビットが、次の命令INで上位8ビットが読み出されます。

```
IN  n2 .....n2はカウンタ1のアドレス
MOV D,A
IN  n2
MOV E,A
```

カウンタ値をモニタするために、この命令INを1回行うか

2回行うかはコントロールワードのRL1、RL0の指定に従う必要があります。

## リードオンザフライ (Read on the fly) 動作

この方法は進行中のカウント動作に何ら影響を与えることなくカウンタ値を読み出すために使われます。まず、コントロールワードレジスタにこのオペレーションのための特別なコマンド(カウンタラッチコマンド)を書き込みます。これによりそのカウンタの各瞬間の値はレジスタにラッチされるようになり、安定した値を保持するようになります。カウンタ2についてこのオペレーションを実行するプログラム例を示します。

```
MVI A, 1000XXXX...D5=D4=0がカウンタラッチを意味します。
```

```
OUT n1 .....n1はコントロールワードレジスタのアドレス
```

```
IN  n3 .....n3はカウンタ2のアドレス
```

```
MOV D,A
IN  n3
MOV E,A
```

この例では、命令INを2回実行していますが、これを1回の実行で終わらせるかどうかは、モード設定時のRL1、RL0に従う必要があります。

## M5L 8253P, M5L 8253P-5

## PROGRAMMABLE INTERVAL TIMER

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧	GND端子を基準にした場合	-0.5~7	V
V <sub>I</sub>	入力電圧		-0.5~7	V
V <sub>O</sub>	出力電圧		-0.5~7	V
P <sub>d</sub>	最大消費電力	T <sub>a</sub> =25℃	1000	mW
T <sub>opr</sub>	動作周囲温度		0~70	℃
T <sub>stg</sub>	保存温度		-40~125	℃

推奨使用条件(指定のない場合は, T<sub>a</sub>=0~70℃)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.75	5	5.25	V
V <sub>SS</sub>	電源電圧		0		V
V <sub>IH</sub>	"H"入力電圧	2.2		V <sub>CC</sub>	V
V <sub>IL</sub>	"L"入力電圧	-0.5		0.8	V

電気的特性(指定のない場合は, T<sub>a</sub>=0~70℃, V<sub>CC</sub>=5V±5%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>OH</sub>	"H"出力電圧	GND=0V (注2)	2.4			V
V <sub>OL</sub>	"L"出力電圧	GND=0V (注3)			0.45	V
I <sub>IH</sub>	"H"入力電流	GND=0V, V <sub>I</sub> =5.25V			±10	μA
I <sub>IL</sub>	"L"入力電流	GND=0V, V <sub>I</sub> =0V			±10	μA
I <sub>OZ</sub>	オフ状態出力電流	GND=0V, V <sub>I</sub> =0~V <sub>CC</sub>			±10	μA
I <sub>CC</sub>	電源電流	GND=0V			140	mA
C <sub>i</sub>	入力容量	V <sub>IL</sub> =GND, f=1MHz, 25mV <sub>rms</sub> , T <sub>a</sub> =25℃			10	pF
C <sub>i/o</sub>	入出力端子容量	V <sub>I/O</sub> =GND, f=1MHz, 25mV <sub>rms</sub> , T <sub>a</sub> =25℃			20	pF

注2. M5L 8253P: I<sub>OH</sub>=-150μA, M5L 8253P-5: I<sub>OH</sub>=-400μA3. M5L 8253P: I<sub>OL</sub>=1.6mA, M5L 8253P-5: I<sub>OL</sub>=2.2mA

## M5L 8253P, M5L 8253P-5

## PROGRAMMABLE INTERVAL TIMER

タイミング必要条件(指定のない場合は、 $T_a=0\sim 70^\circ\text{C}$ 、 $V_{CC}=5\text{V}\pm 5\%$ 、 $V_{SS}=0\text{V}$ ) (注4)

## リードサイクル

記号	項目	他社相当 記号	M5L 8253P			M5L 8253P-5			単位
			規格値			規格値			
			最小	標準	最大	最小	標準	最大	
$t_{w(R)}$	リードパルス幅	$t_{RR}$	400			300			ns
$t_{su(A-R)}$	リード前アドレスセットアップ時間	$t_{AR}$	50			50			ns
$t_{h(R-A)}$	リード後アドレスホールド時間	$t_{RA}$	5			5			ns

## ライトサイクル

記号	項目	他社相当 記号	M5L 8253P			M5L 8253P-5			単位
			規格値			規格値			
			最小	標準	最大	最小	標準	最大	
$t_{w(W)}$	ライトパルス幅	$t_{WW}$	400			300			ns
$t_{su(A-W)}$	ライト前アドレスセットアップ時間	$t_{AW}$	50			50			ns
$t_{h(W-A)}$	ライト後アドレスホールド時間	$t_{WA}$	30			30			ns
$t_{su(DQ-W)}$	ライト前データ入力セットアップ時間	$t_{DW}$	300			250			ns
$t_{h(W-DQ)}$	ライト後データ入力ホールド時間	$t_{WD}$	40			30			ns
$t_{wr}$	ライトリカバリ時間	$t_{RV}$	1000			1000			ns

## クロック及びゲートのタイミング

記号	項目	他社相当 記号	M5L 8253P			M5L 8253P-5			単位
			規格値			規格値			
			最小	標準	最大	最小	標準	最大	
$t_{w(\phi H)}$	クロック“H”パルス幅	$t_{PWH}$	230			230			ns
$t_{w(\phi L)}$	クロック“L”パルス幅	$t_{PWL}$	150			150			ns
$t_c(\phi)$	クロックサイクル時間	$t_{CLK}$	380		DC	380		DC	ns
$t_{w(GH)}$	“H”ゲートパルス幅	$t_{GW}$	150			150			ns
$t_{w(GL)}$	“L”ゲートパルス幅	$t_{GL}$	100			100			ns
$t_{su(G-\phi)}$	クロック前ゲート入力セットアップ時間	$t_{GS}$	100			100			ns
$t_{h(\phi-G)}$	クロック後ゲート入力ホールド時間	$t_{GH}$	50			50			ns

注4. 測定条件 M5L 8253P :  $C_L = 100\text{pF}$ 、M5L 8253P-5 :  $C_L = 150\text{pF}$

# M5L 8253P, M5L 8253P-5

## PROGRAMMABLE INTERVAL TIMER

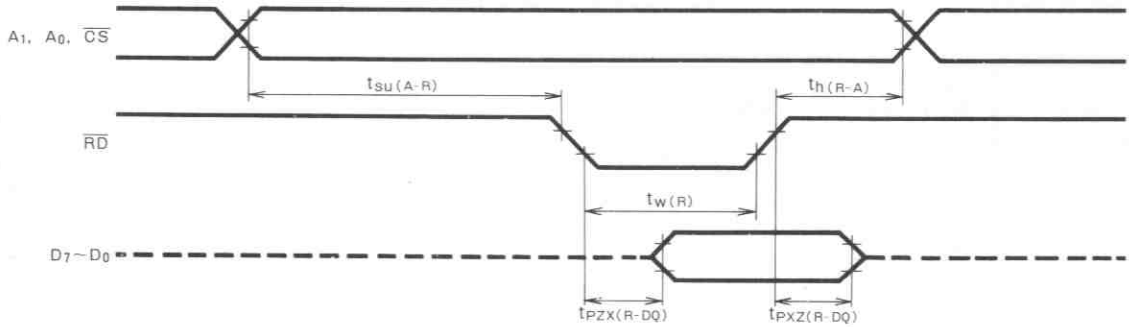
スイッチング特性(指定のない場合は,  $T_a=0\sim 70^\circ\text{C}$ ,  $V_{CC}=5V\pm 5\%$ ,  $V_{SS}=0V$ ) (注5)

記号	項目	他社相当 記号	M5L 8253P			M5L 8253P-5			単位
			規格値			規格値			
			最小	標準	最大	最小	標準	最大	
$t_{PZX}(R-DQ)$	リード後出力伝搬時間	$t_{RD}$	300			200			ns
$t_{PXZ}(R-DQ)$	リード後出力フローティング伝搬時間	$t_{DF}$	25		125	25		100	ns
$t_{PZX}(G-DQ)$	ゲート後出力伝搬時間	$t_{ODG}$	300			300			ns
$t_{PZX}(\phi-DQ)$	クロック後出力伝搬時間	$t_{OD}$	400			400			ns

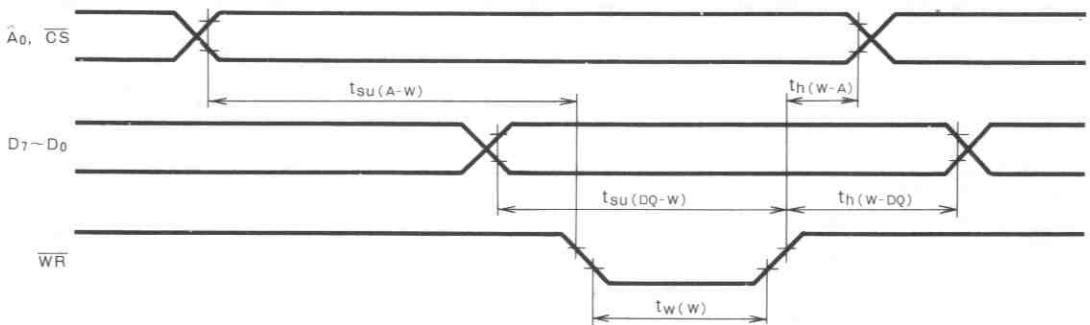
注5. 測定条件 M5L 8253P:  $C_L=100\text{pF}$ , M5L 8253P-5:  $C_L=150\text{pF}$

タイミング図(標準電圧“H”=2.2V, “L”=0.8V)

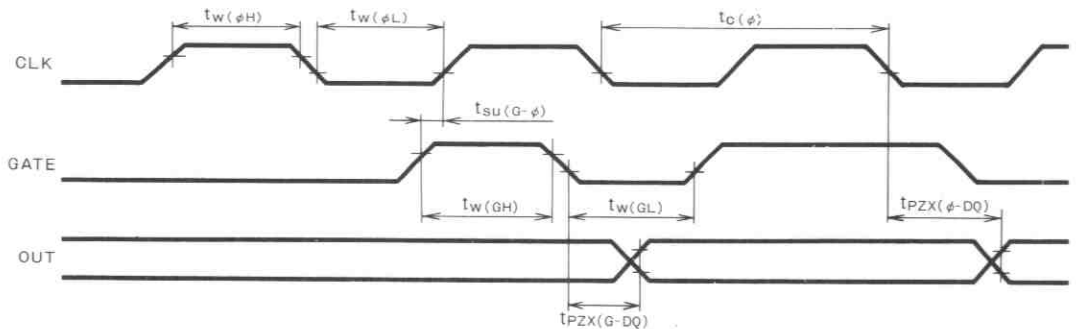
### リードサイクル



### ライトサイクル



### クロック及びゲートサイクル



# M5L 8255AP, S, M5L 8255AP, S-5

## PROGRAMMABLE PERIPHERAL INTERFACE

### 概要

M5L 8255AP, S はプログラム可能な入出力インタフェース回路で、8ビット並列処理CPU M5L 8255AP, S及びM5L 8085 AP, Sの入出力ポートとして最適です。NチャンネルシリコンゲートED-MOSプロセスで作られており、一電源で動作し、入出力ともTTL回路と直結できます。24ビットの入出力端子をもち、基本的には8ビット入出力ポート3個に相当します。

### 特長

- MELPS85にはM5L 8255AP, S-5が適合します
- 24ビットの入出力端子はプログラムにより機能を選定できる
- 5V単一電源
- TTLコンパチブル  $I_{OL}=2.5mA$  (最大)
- MELPS 8 マイクロプロセッサシリーズとコンパチブル
- ビットセット/リセット機能付き
- 1.5Vのとき、1mA以上の出力電流が取り出せるためダーリントントランジスタを直接駆動可能
- インテル社製8255Aとピン接続及び電気的特性に互換性あり
- M58740P, S (8255A相当) はM5L 8255AP, Sで置き換え可能

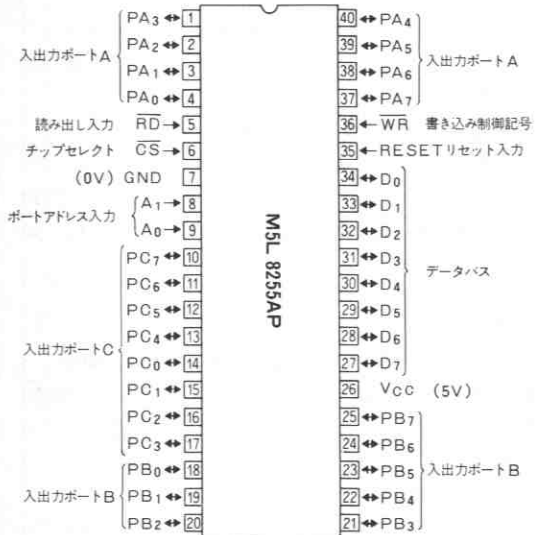
### 応用

- マイクロプロセッサMELPS 8/85の入出力ポート

### 機能概要

24ビットの入出力端子は、12ビットのAとBの2つのグループに分けられ、CPUからのモード制御命令により、それぞれ独立にプログラムできます。モードは大別して3種(モード0、モード1及びモード2)あります。モード0では、8ビット入出力ポート2個、4ビット入出力ポート2個がそれぞれ入力あるいは出力ポートとして使用できるようプログラムできます。モード1では、24個の入出力端子はプログラムでグループAとグループBに分けられます。各グループとも、8ビットが入力ある

ピン接続図(上面図)

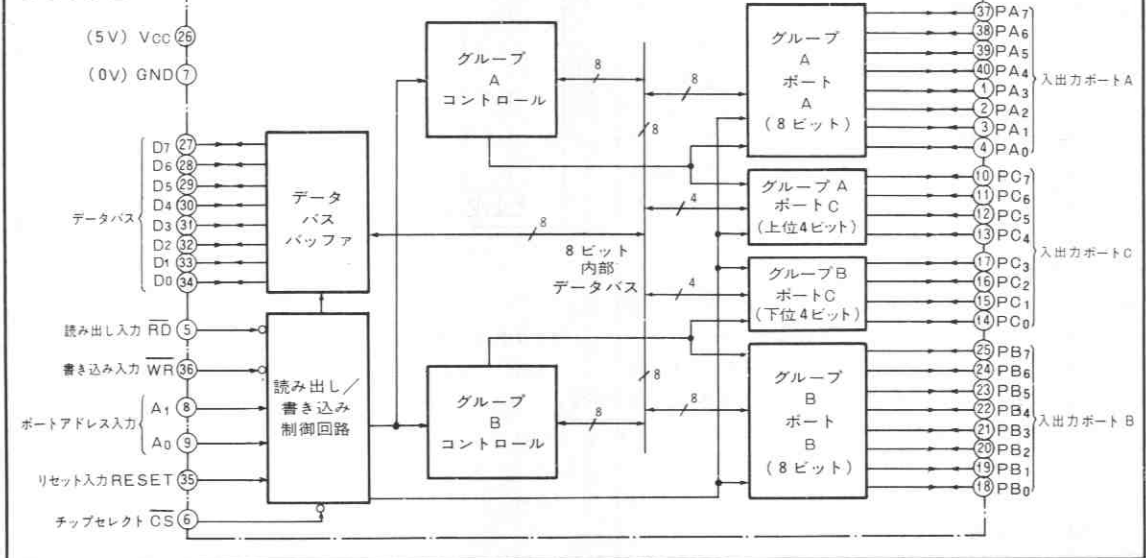


外形 40P1(M5L 8255AP)  
40S1(M5L 8255AS)

いは出力のデータポートとして、残り4ビットがデータ又は制御用とし、割り込み制御信号などに用いられます。モード2はグループAのみに用いられ、8ビットの双方向性バスと5ビットの制御信号として使われます。

CPUからの命令により、8ビットのうち任意のビットがセット又はリセットできます。また、リセット入力(RESET)が"H"になると、入出力ポートの内部レジスタがすべてリセットされ、全入出力端子は入力モード(高インピーダンス状態)となります。

ブロック図



## M5L 8255AP,S, M5L 8255AP,S-5

## PROGRAMMABLE PERIPHERAL INTERFACE

## 動作説明

## データバスバッファ

8ビットのスリーステート双方向性バスバッファであり、CPUからのIN、OUT命令によってデータが転送されます。また、CPUからPPIに対するコントロールワード及び関連制御情報の転送にも使用されます。

## リード ライト コントロールロジック

データ、コントロールワードの転送を行う部分で、CPUのアドレスバス出力(A<sub>0</sub>, A<sub>1</sub>,  $\overline{CS}$ )、コントロールバス出力( $\overline{RD}$ ,  $\overline{WR}$ )、リセット(RESET)の各信号を受け、PPI内部の2つのコントロールグループに命令を出します。

出します。

 $\overline{CS}$ (チップセレクト)入力

"L"レベルで、PPIとCPUとのコミュニケーションが可能となります。"H"レベルでは、データバスは高インピーダンス状態を保ち、CPUからのコントロールは無視されます。ただし、出力ポートには、前のデータが保持されています。

 $\overline{RD}$ (リード)入力

"L"で、ポートに入力されているデータはPPIからCPUに転送されます。つまり、CPUはPPIからデータを読み込みます。

 $\overline{WR}$ (ライト)入力

"L"でCPUからPPIへデータあるいはコントロールワードを書き込みます。

A<sub>0</sub>, A<sub>1</sub>(ポート選択)入力

ポートA、ポートB、ポートC及びコントロールレジスタの選択に使用します。通常は、アドレスバスの下位2ビットに接続します。

## RESET(リセット)入力

"H"でコントロールレジスタを含む全内部レジスタをクリアします。この時、全ポートはインプットモード(高インピーダンス)にセットされます。

## グループA、グループB コントロール

リード・ライトコントロールロジックからの命令に応じて、内部データバスのコントロールワード(8ビット)を受け取り、各ポートに対して命令を出します。

グループAはポートA及びポートC上位4ビットで構成され、グループBはポートB及びポートC下位4ビットで構成されます。コントロールワードを記憶するコントロールレジスタは書き込みのみ可能です。

## ポートA、ポートB、ポートC

M5L 8255AP, Sは3つの8ビットポートを持ち、システムソフトウェアによってモード及び入出力の設定を行います。ポートAは出力ラッチバッファ及び入力ラッチを持っています。ポートBは入出力ラッチバッファ及び入力バッファを持っています。ポートCは出力ラッチバッファ及び入力バッファを持っています。また、ポートCはモードコントロールにより2個の4ビットポートに分割でき、さらに、ポートA、ポートBのコントロール信号用ポートとしても使用されます。

基本機能を表1に示します。

表1. 基本機能

A <sub>1</sub>	A <sub>0</sub>	$\overline{CS}$	$\overline{RD}$	$\overline{WR}$	機能
0	0	0	0	1	データバス←ポートA
0	1	0	0	1	データバス←ポートB
1	0	0	0	1	データバス←ポートC
0	0	0	1	0	ポートA←データバス
0	1	0	1	0	ポートB←データバス
1	0	0	1	0	ポートC←データバス
1	1	0	1	0	コントロールレジスタ←データバス
X	X	1	X	X	データバスは高インピーダンス状態
1	1	0	0	1	組み合わせ禁止

ただし"0"は"L"レベル

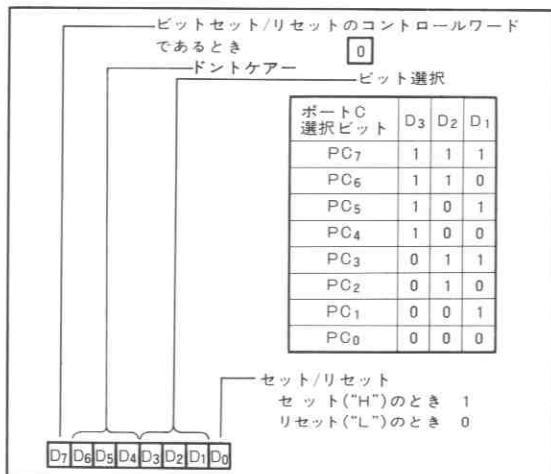
"1"は"H"レベルを表わします。

## ビットセット/リセット

ポートCが出力(OUTPUT)ポートとして使用される場合、CPUからのコントロールワードによって8ビットのうちの任意の1ビットをセット("H")あるいはリセット("L")することができます。このビットセット/リセットの実行方法は、モードセットの場合と同じですが、コントロールワードが異なります。

この機能は、モード1、モード2のときのINTEのセット/リセットにも使用します。

図1. ポートCセット/リセットコントロールワード



## 基本動作モード

M5L 8255AP, Sはシステムソフトウェア(CPUからのコントロールワード)によって、以下に述べる3種類の基本動作モードが選択できます。

## (1)モード0

ベーシック インプット アウトプット

(グループA、グループB)

## M5L 8255AP,S, M5L 8255AP,S-5

## PROGRAMMABLE PERIPHERAL INTERFACE

## (2)モード1

ストローブ インプット アウトプット

(グループA、グループB)

## (3)モード2

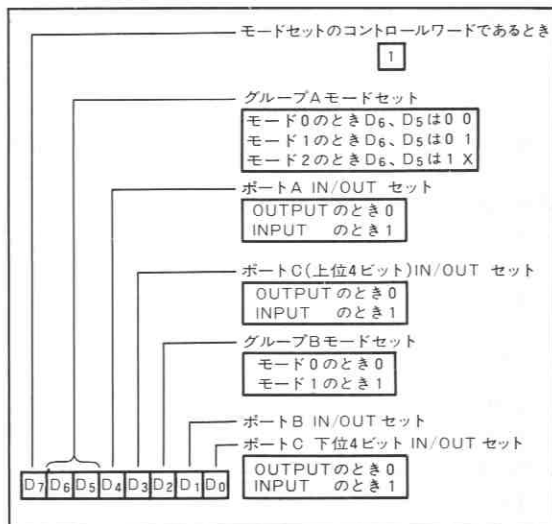
双方向バス

(グループAのみ)

グループA、グループBのモードは、それぞれ独立選択可能です。PPIをモードセットするには、8ビットのコントロールワードをCPUから書き込みますが、 $A_0=1$ 、 $A_1=1$ 、 $\overline{CS}=0$ の1/0番地に出力することが必要です。

モードセットのためのコントロールワードの決め方は図2の通りです。

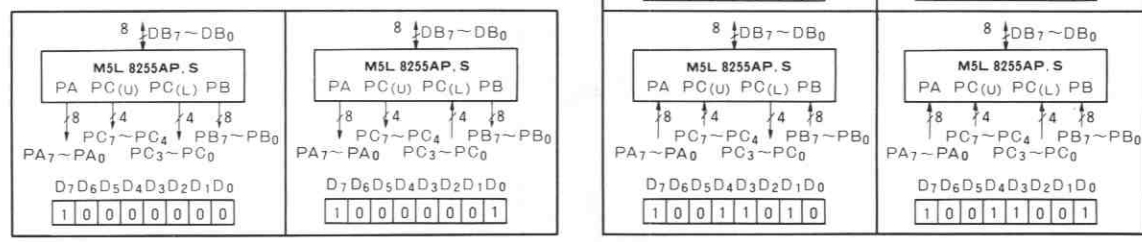
図2. モードセット コントロールワード



## 1. モード0(ベーシック入出力)

モード0は、PPIを単純な入力ポートあるいは出力ポートとして使用する時に用います。データは、選択されたポートに出力されるかポートから入力されるかのみで割り込み要求などのコントロール信号は使用されません。CPUからポートに出力されたデータは保持されますが、ポートからの入力は保持されません。2個の8ビットポートと2個の4ビットポートを任意に入出力ポートとして使用できます。

次にモード0における基本入出力動作モードを示します。



## M5L 8255AP,S, M5L 8255AP,S-5

## PROGRAMMABLE PERIPHERAL INTERFACE

## 2. モード1(ストロープ入出力)

グループA、グループBに設定できます。各グループは8ビットのデータポートと4ビットのコントロール及びデータポートから構成されます。8ビットのデータポートは入力ポートにも、出力ポートにも使用できます。

また、4ビットのポートは、8ビットのポートのコントロール及びステータス信号に使用されます。

次にモード1を入力ポートとして、使用する場合の動作を説明します。

## STB(ストロープ入力)

"L"で端末からポートへ出力されているデータをポート内部の入力レジスタにラッチします。つまりデータをラッチするためのクロックと考えられます。この場合、CPUからコントロール信号には関係なく、任意の時に端末からデータをPPIにラッチすることができます。このデータはCPUがIN命令を実行するまでデータバスには出力されません。

## IBF(入力バッファフルフラグ出力)

端末からのデータが入力レジスタに保持されると、この出力が"H"になります。この信号はSTBの立ち下がりでセット"H"にされ、RDの立ち上がりでリセット"L"にされます。

## INTR(割り込み要求出力)

入力レジスタに保持されているデータの割り込み処理に用います。PPI内部のINTE(インタラプトイネーブルフラグ)が"H"のとき、STB入力が入るとIBFが"H"になりますが、INTRはこのSTB入力の立ち上がった直後、セット"H"にされ、RD信号の立ち下がりで、リセット"L"にされます。

グループAのINTE<sub>A</sub>はPC<sub>4</sub>のビットセットによって立てます。グループBのINTE<sub>B</sub>はPC<sub>2</sub>のビットセットによって立てます。

図3にモード1入力の例を示します。また、図4にタイミング図を示します。

図3. モード1入力の例

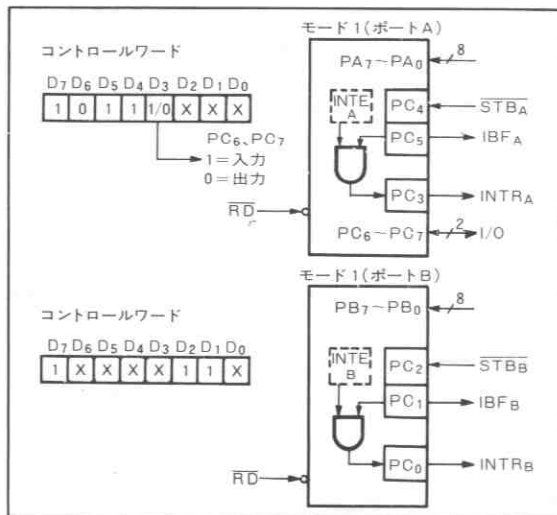
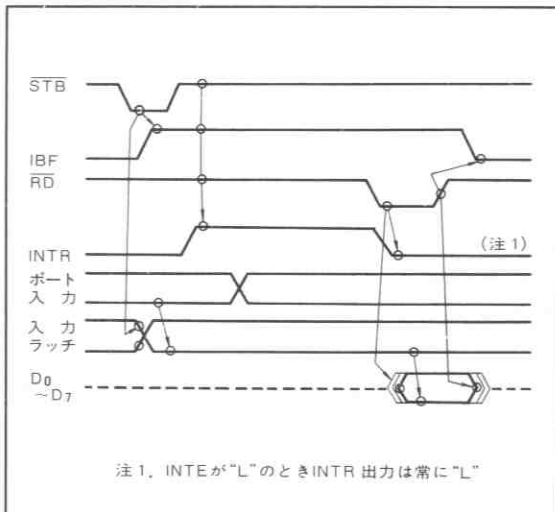


図4. タイミング図



モード1で出力ポートとして使用する場合の動作を説明します。

## OBF(出力バッファフルフラグ出力)

WR信号の立ち上がりでセット"L"にされ、ACK(アクノレッジ入力)の立ち下がりで、リセット"H"にされます。つまりCPUがポートに出力データを書き終えたとき、このOBF信号で端末に知らせることができます。

## ACK(アクノレッジ入力)

この信号を端末から加えることにより、端末はポートからのデータを受けとったことをPPIに知らせます。

## INTR(割り込み要求出力)

端末がCPUからのデータを受けとったとき、このINTRを"H"にして、CPUに割り込みをかけるのに使用します。INTE(インタラプトイネーブルフラグ)が"H"のとき、ACK信号が入ると、OBFが"H"になり、このときINTR信号はACK信号の立ち上がった直後"H"にされます。また、CPUがPPIにデータを書き込んだときWRの立ち下がりでリセット"L"にされます。

グループAのINTE<sub>A</sub>はPC<sub>6</sub>のビットセットで立てます。グループBのINTE<sub>B</sub>はPC<sub>2</sub>のビットセットで立てます。

図5にモード1出力の例を示します。また、図6にタイミング図を示します。

また、モード1において、ポートA及びポートBを入出力として使用する場合の例を図7、図8に示します。



# M5L 8255AP,S, M5L 8255AP,S-5

## PROGRAMMABLE PERIPHERAL INTERFACE

図5. モード1出力の例

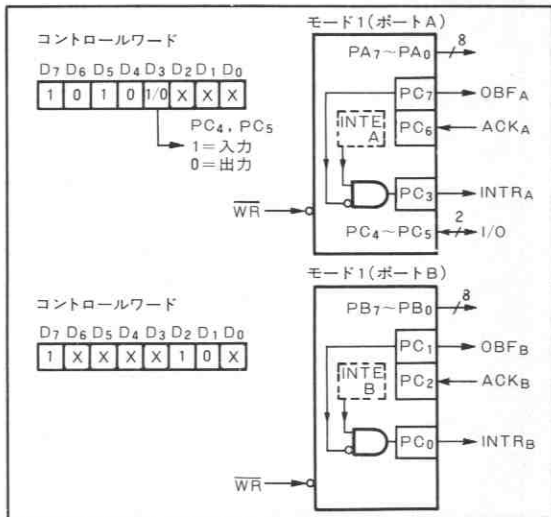


図7. モード1 ポートA、ポートB入出力の場合

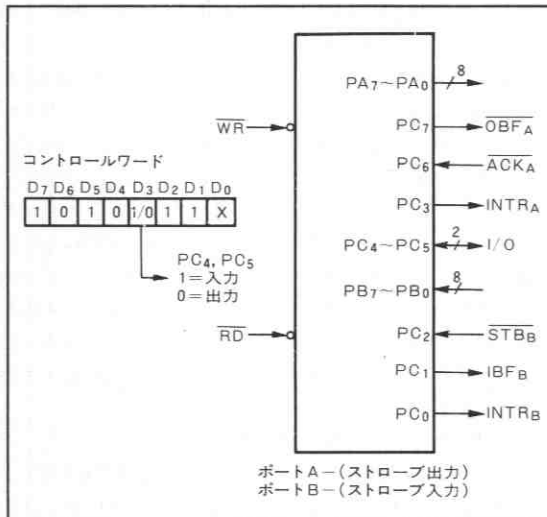


図6. タイミング図

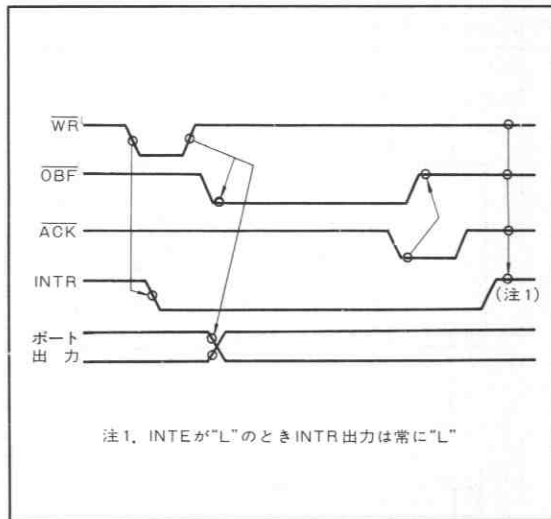
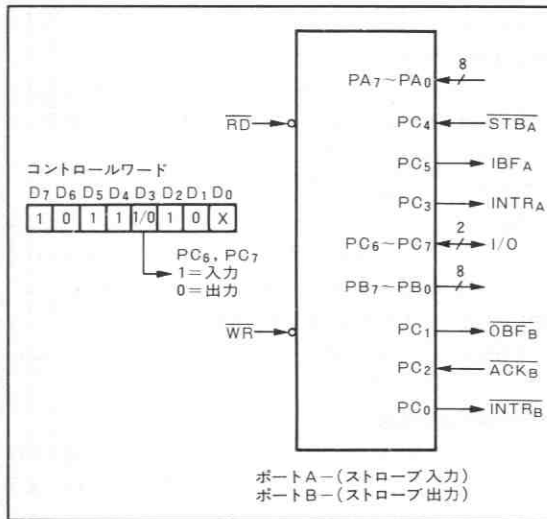


図8. モード1 ポートA、ポートB入出力の場合



## M5L 8255AP, SM5L 8255AP, S-5

## PROGRAMMABLE PERIPHERAL INTERFACE

## 3. モード2(ストロブ双方向バス入出力)

モード2では1個の8ビットバスを使用して、端末とのコミュニケーションを行うための双方向性バスの機能を持たせることができます。このモードはグループAのみに適用可能であり8ビットの双方向バスポート(ポートA)と5ビットのコントロールポート(ポートC上位5ビット)で構成されます。バスポート(ポートA)は入力、出力とも、内部レジスタを持っており、コントロールポート(ポートC)は双方向バスポート(ポートA)のコントロール信号及びバスステータス信号のコミュニケーション用に使用されます。これらの制御信号は、モード1の制御信号とよく似ており、CPUへの割り込みコントロールも可能です。グループAをモード2に設定するとき、グループBは独立してモード設定できます。グループAをモード2で使用するとき、制御信号としては次の5種類があります。

## OBF(出力バッファフルフラグ出力)

CPUがポートAの内部出力レジスタにデータを書き込んだ時、このOBF出力は“L”になる。この信号を利用してCPUからのデータが受け取り可能であることを、端末に知らせることができます。このときはポートAはまだフローティング(高インピーダンス)状態です。

## ACK(アクノレッジ入力)

このACK入力を“L”にすると、内部出力レジスタの内容はポートAに出力されます。“H”の状態では出力バッファは高インピーダンス(フローティング)となります。

## STB(ストロブ入力)

端末からのデータは、このSTB入力が“L”になると内部の入力レジスタに保持されます。PPIにRD信号が入ると保持されているデータはシステムデータバス上に出力されます。

## IBF(入力バッファフルフラグ出力)

端末からのデータが内部入力レジスタに保持されると、このIBFは“H”となります。

## INTR(割り込み要求出力)

CPUに割り込みをかけるための出力で、動作はモード1と同様です。割り込み要求受け付けフラグ(INTE)は2個あり、モード1アウトプットのときのINTE<sub>A</sub>とモード1インプットのときのINTE<sub>A</sub>にそれぞれ対応します。

INTE<sub>1</sub> はOBF、ACKと組み合わせてINTR信号を作るときに用います。

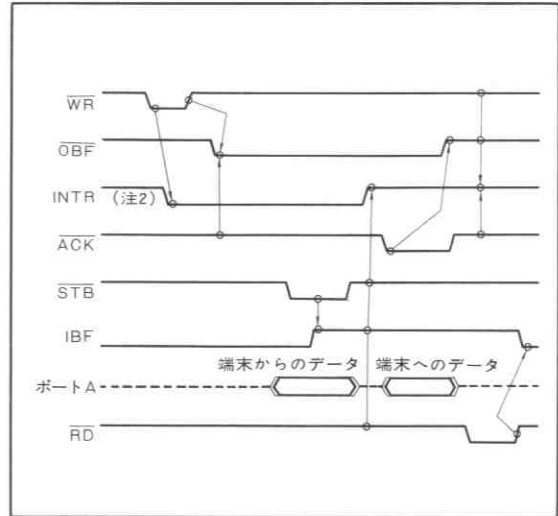
CPUからのPC<sub>6</sub>のビットセットにより立てることができます。

INTE<sub>2</sub> はIBF、STBと組み合わせてINTR信号を作るときに用います。

CPUからのPC<sub>4</sub>のビットセットにより立てることができます。

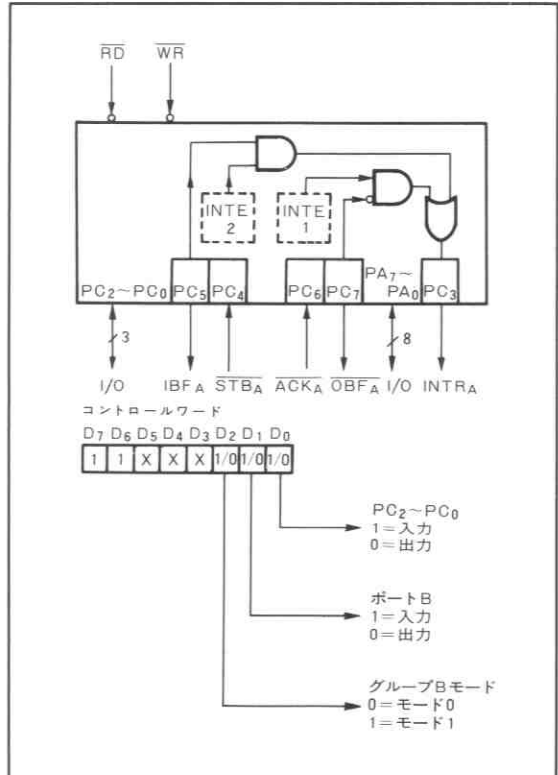
図9にモード2のタイミング図を、図10に動作例を示します。

図9. モード2 タイミング図



注2.  $INTR = IBF \cdot \overline{MASR} \cdot \overline{STB} \cdot \overline{RD} + OBF \cdot \overline{MASK} \cdot \overline{ACK} \cdot \overline{WR}$

図10. モード2 動作例



## M5L 8255AP,S, M5L 8255AP,S-5

## PROGRAMMABLE PERIPHERAL INTERFACE

## 4. 制御信号の読み出し

ポートCをコントロールポートとして使用する場合、つまりモード1あるいはモード2で使用する場合には、CPUがIN命令を実行することによって、ポートCからの各コントロール信号及びバスステータス信号を読み出すことができます。

## 5. コントロールワード一覧表

モード0、モード1、モード2及びポートCのセット、リセットのためのコントロールワード一覧表をそれぞれ表3、表4、表5及び表6に示します。

表2. 制御信号の読み出し

モード \ データ	D7	D6	D5	D4	D3	D2	D1	D0
モード1入力	I/O	I/O	IBFA	INTEA	INTRA	INTEB	IBFB	INTRB
モード1出力	$\overline{\text{OBF}}_A$	INTEA	I/O	I/O	INTRA	INTEB	$\overline{\text{OBF}}_B$	INTRB
モード2	$\overline{\text{OBF}}_A$	INTE1	IBFA	INTE2	INTRA	グループBのモードによる		

表3. モード0設定用コントロールワード

コントロールワード								グループA		グループB		
D7	D6	D5	D4	D3	D2	D1	D0	16進	ポートA	ポートC(上位4ビット)	ポートC(下位4ビット)	ポートB
1	0	0	0	0	0	0	0	8 0	OUT	OUT	OUT	OUT
1	0	0	0	0	0	0	1	8 1	OUT	OUT	IN	OUT
1	0	0	0	0	0	1	0	8 2	OUT	OUT	OUT	IN
1	0	0	0	0	0	1	1	8 3	OUT	OUT	IN	IN
1	0	0	0	1	0	0	0	8 8	OUT	IN	OUT	OUT
1	0	0	0	1	0	0	1	8 9	OUT	IN	IN	OUT
1	0	0	0	1	0	1	0	8 A	OUT	IN	OUT	IN
1	0	0	0	1	0	1	1	8 B	OUT	IN	IN	IN
1	0	0	1	0	0	0	0	9 0	IN	OUT	OUT	OUT
1	0	0	1	0	0	0	1	9 1	IN	OUT	IN	OUT
1	0	0	1	0	0	1	0	9 2	IN	OUT	OUT	IN
1	0	0	1	0	0	1	1	9 3	IN	OUT	IN	IN
1	0	0	1	1	0	0	0	9 8	IN	IN	OUT	OUT
1	0	0	1	1	0	0	1	9 9	IN	IN	IN	OUT
1	0	0	1	1	0	1	0	9 A	IN	IN	OUT	IN
1	0	0	1	1	0	1	1	9 B	IN	IN	IN	IN

注3. OUTは出力ポートを示し、INは入力ポートを示します。

表4. モード1設定用コントロールワード

コントロールワード								グループA				グループB								
D7	D6	D5	D4	D3	D2	D1	D0	16進	ポートA	ポートC				ポートC			ポートB			
1	0	1	0	0	1	0	X	A4 A5	OUT	$\overline{\text{OBF}}_A$	$\overline{\text{ACK}}_A$	OUT		INTR <sub>A</sub>	$\overline{\text{ACK}}_B$	$\overline{\text{OBF}}_B$	INTR <sub>B</sub>	OUT		
1	0	1	0	0	1	1	X	A6 A7	OUT	$\overline{\text{OBF}}_A$	$\overline{\text{ACK}}_A$	OUT		INTR <sub>A</sub>	$\overline{\text{STB}}_B$	IBF <sub>B</sub>	INTR <sub>B</sub>	IN		
1	0	1	0	1	1	0	X	AC AD	OUT	$\overline{\text{OBF}}_A$	$\overline{\text{ACK}}_A$	IN		INTR <sub>A</sub>	$\overline{\text{ACK}}_B$	$\overline{\text{OBF}}_B$	INTR <sub>B</sub>	OUT		
1	0	1	0	1	1	1	X	AE AF	OUT	$\overline{\text{OBF}}_A$	$\overline{\text{ACK}}_A$	IN		INTR <sub>A</sub>	$\overline{\text{STB}}_B$	IBF <sub>B</sub>	INTR <sub>B</sub>	IN		
1	0	1	1	0	1	0	X	B4 B5	IN	OUT		IBF <sub>A</sub>	$\overline{\text{STB}}_A$	INTR <sub>A</sub>	$\overline{\text{ACK}}_B$	$\overline{\text{OBF}}_B$	INTR <sub>B</sub>	OUT		
1	0	1	1	0	1	1	X	B6 B7	IN	OUT		IBF <sub>A</sub>	$\overline{\text{STB}}_A$	INTR <sub>A</sub>	$\overline{\text{STB}}_B$	IBF <sub>B</sub>	INTR <sub>B</sub>	IN		
1	0	1	1	1	1	0	X	BC BD	IN	IN		IBF <sub>A</sub>	$\overline{\text{STB}}_A$	INTR <sub>A</sub>	$\overline{\text{ACK}}_B$	$\overline{\text{OBF}}_B$	INTR <sub>B</sub>	OUT		
1	0	1	1	1	1	1	X	BE BF	IN	IN		IBF <sub>A</sub>	$\overline{\text{STB}}_A$	INTR <sub>A</sub>	$\overline{\text{STB}}_B$	IBF <sub>B</sub>	INTR <sub>B</sub>	IN		

注4. グループA、グループBのモードは独立に設定できます。

5. グループA、グループBともモード1である必要はありません。

## M5L 8255AP,S, M5L 8255AP,S-5

## PROGRAMMABLE PERIPHERAL INTERFACE

表5. モード2設定用コントロールワード

コントロールワード		グループ A					グループ B											
D7	D6	D5	D4	D3	D2	D1	D0	16進 (例)	ポート A	ポート C					ポート B			
										PC7	PC6	PC5	PC4	PC3		PC2	PC1	PC0
1	1	X	X	X	0	0	0	C0	双方向バス	$\overline{\text{OBF}}_A$	$\overline{\text{ACK}}_A$	$\text{IBF}_A$	$\overline{\text{STB}}_A$	$\text{INTR}_A$	OUT			OUT
1	1	X	X	X	0	0	1	C1	双方向バス	$\overline{\text{OBF}}_A$	$\overline{\text{ACK}}_A$	$\text{IBF}_A$	$\overline{\text{STB}}_A$	$\text{INTR}_A$	IN			OUT
1	1	X	X	X	0	1	0	C2	双方向バス	$\overline{\text{OBF}}_A$	$\overline{\text{ACK}}_A$	$\text{IBF}_A$	$\overline{\text{STB}}_A$	$\text{INTR}_A$	OUT			IN
1	1	X	X	X	0	1	1	C3	双方向バス	$\overline{\text{OBF}}_A$	$\overline{\text{ACK}}_A$	$\text{IBF}_A$	$\overline{\text{STB}}_A$	$\text{INTR}_A$	IN			IN
1	1	X	X	X	1	0	X	C4	双方向バス	$\overline{\text{OBF}}_A$	$\overline{\text{ACK}}_A$	$\text{IBF}_A$	$\overline{\text{STB}}_A$	$\text{INTR}_A$	$\overline{\text{OBF}}_B$	$\overline{\text{ACK}}_B$	$\text{INTR}_B$	OUT
1	1	X	X	X	1	1	X	C6	双方向バス	$\overline{\text{OBF}}_A$	$\overline{\text{ACK}}_A$	$\text{IBF}_A$	$\overline{\text{STB}}_A$	$\text{INTR}_A$	$\overline{\text{STB}}_B$	$\text{IBF}_B$	$\text{INTR}_B$	IN

表6. ポートCのセット/リセット用コントロールワード

コントロールワード		ポート C								備 考								
D7	D6	D5	D4	D3	D2	D1	D0	16進 (例)	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0		
0	X	X	X	0	0	0	0	00								0		
0	X	X	X	0	0	0	1	01								1		
0	X	X	X	0	0	1	0	02							0			
0	X	X	X	0	0	1	1	03							1			
0	X	X	X	0	1	0	0	04						0				モード1入力のINTE <sub>B</sub> セット/リセット
0	X	X	X	0	1	0	1	05						1				モード1出力のINTE <sub>B</sub> セット/リセット
0	X	X	X	0	1	1	0	06					0					
0	X	X	X	0	1	1	1	07					1					
0	X	X	X	1	0	0	0	08				0						モード1入力のINTE <sub>A</sub> セット/リセット
0	X	X	X	1	0	0	1	09				1						モード2のINTE <sub>2</sub> セット/リセット
0	X	X	X	1	0	1	0	0A			0							
0	X	X	X	1	0	1	1	0B			1							
0	X	X	X	1	1	0	0	0C		0								モード1出力のINTE <sub>A</sub> セット/リセット
0	X	X	X	1	1	0	1	0D		1								モード2のINTE <sub>1</sub> セット/リセット
0	X	X	X	1	1	1	0	0E	0									
0	X	X	X	1	1	1	1	0F	1									

注 6. ポートCビットセット/リセットする端子が出力であることが必要です。

7. インタラプトイネーブルフラグ(INTE)を立てるのにも使用されます。

## M5L 8255AP,S, M5L 8255AP,S-5

## PROGRAMMABLE PERIPHERAL INTERFACE

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧	GND端子を基準にした場合	-0.5~7	V
V <sub>I</sub>	入力電圧		-0.5~7	V
V <sub>O</sub>	出力電圧		-0.5~7	V
P <sub>d</sub>	最大消費電力	T <sub>a</sub> =25°C	1000	mW
T <sub>opr</sub>	動作周囲温度		0~70	°C
T <sub>stg</sub>	保存温度	M5L 8255AP	-40~125	°C
		M5L 8255AS	-65~150	°C

推奨使用条件(指定のない場合は、T<sub>a</sub>=0~70°C)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.75	5	5.25	V
GND	電源電圧		0		V
V <sub>IH</sub>	"H"入力電圧	2			V
V <sub>IL</sub>	"L"入力電圧			0.8	V

電気的特性(指定のない場合は、T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±5%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>OH</sub>	"H"出力電圧	データバス ポート GND=0V	2.4			V
V <sub>OL</sub>	"L"出力電圧	データバス ポート GND=0V			0.45	V
I <sub>OH</sub>	"H"出力電流(注9)	GND=0V, V <sub>OH</sub> =1.5V, R <sub>EXT</sub> =750Ω	-1		-4	mA
I <sub>CC</sub>	電源電流	GND=0V			120	mA
I <sub>IH</sub>	"H"入力電流	GND=0V, V <sub>I</sub> =5.25V			±10	μA
I <sub>IL</sub>	"L"入力電流	GND=0V, V <sub>I</sub> =0V			±10	μA
I <sub>OZ</sub>	オフ状態出力電流	GND=0V, V <sub>I</sub> =0~5.25V			±10	μA
C <sub>I</sub>	入力容量	V <sub>IL</sub> =GND, f=1MHz, 25mVrms T <sub>a</sub> =25°C			10	pF
C <sub>I/O</sub>	入出力端子容量	V <sub>I/O</sub> =GND, f=1MHz, 25mVrms T <sub>a</sub> =25°C			20	pF

注8. 電流はICに流れ込む向きを正(無符号)とします。

9. PB及びPCのうち任意の8個の入出力ピンについてののみ有効です。

タイミング必要条件(指定のない場合は、T<sub>a</sub>=0~70°C, V<sub>CC</sub>=5V±5%, GND=0V)

記号	項目	他社相当 記号	M5L 8255AP, S			M5L 8255AP, S-5			単位
			規格値			規格値			
			最小	標準	最大	最小	標準	最大	
t <sub>w(R)</sub>	リードパルス幅	t <sub>RR</sub>	300			300			ns
t <sub>SU(PE-R)</sub>	リード前ペリフェラルセットアップ時間	t <sub>IR</sub>	0			0			ns
t <sub>H(R-PE)</sub>	リード後ペリフェラルホールド時間	t <sub>HR</sub>	0			0			ns
t <sub>SU(A-R)</sub>	リード前アドレスセットアップ時間	t <sub>AR</sub>	0			0			ns
t <sub>H(R-A)</sub>	リード後アドレスホールド時間	t <sub>RA</sub>	0			0			ns
t <sub>w(W)</sub>	ライトパルス幅	t <sub>WW</sub>	400			300			ns
t <sub>SU(DQ-W)</sub>	ライト前データセットアップ時間	t <sub>DW</sub>	100			100			ns
t <sub>H(W-DQ)</sub>	ライト後データホールド時間	t <sub>WD</sub>	50			50			ns
t <sub>SU(A-W)</sub>	ライト前アドレスセットアップ時間	t <sub>AW</sub>	0			0			ns
t <sub>H(W-A)</sub>	ライト後アドレスホールド時間	t <sub>WA</sub>	40			40			ns
t <sub>w(ACK)</sub>	アクノレッジパルス幅	t <sub>AK</sub>	300			300			ns
t <sub>w(STB)</sub>	ストロープパルス幅	t <sub>ST</sub>	500			500			ns
t <sub>SU(PE-STB)</sub>	ストロープ前ペリフェラルセットアップ時間	t <sub>PS</sub>	0			0			ns
t <sub>H(STB-PE)</sub>	ストロープ後ペリフェラルホールド時間	t <sub>PH</sub>	180			180			ns

## M5L 8255AP,S, M5L 8255AP,S-5

## PROGRAMMABLE PERIPHERAL INTERFACE

スイッチング特性(指定のない場合は,  $T_a=0\sim 70^{\circ}\text{C}$ ,  $V_{CC}=5\text{V}\pm 5\%$ )

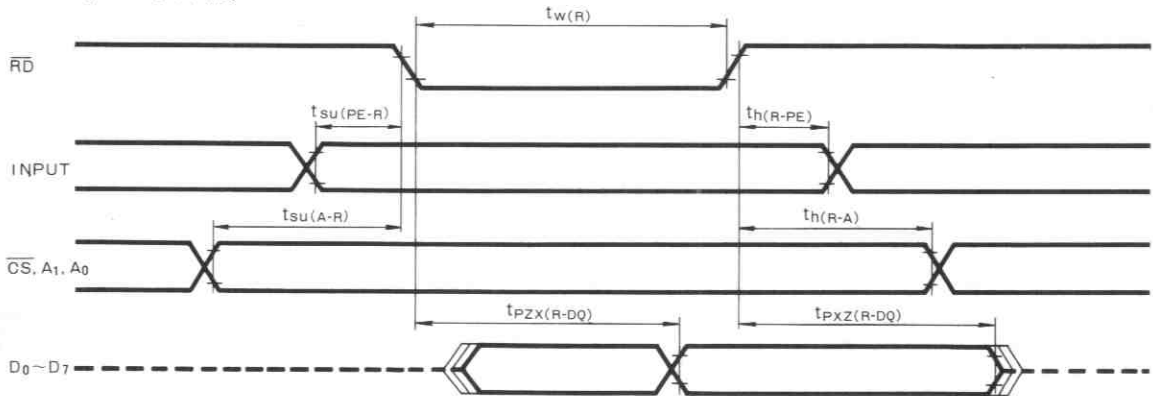
記号	項目	他社相当 記号	M5L 8255AP, S			M5L 8255AP, S-5			単位
			規格値			規格値			
			最小	標準	最大	最小	標準	最大	
$t_{PXZ}(R-DQ)$	リード・出力間伝搬時間	$t_{RD}$			250			200	ns
$t_{PXZ}(R-DQ)$	リード・出力フローティング伝搬時間(注11)	$t_{DF}$			150			100	ns
$t_{PHL}(W-PE)$ $t_{PLH}(W-PE)$	ライト・出力間伝搬時間	$t_{WB}$			350			350	ns
$t_{PLH}(STB-IBF)$	ストローブ・IBFフラグ間伝搬時間	$t_{SIB}$			300			300	ns
$t_{PLH}(STB-NTR)$	ストローブ・インタラプト間伝搬時間	$t_{SIT}$			300			300	ns
$t_{PHL}(R-NTR)$	リード・インタラプト間伝搬時間	$t_{RIT}$			400			400	ns
$t_{PHL}(R-IBF)$	リード・IBFフラグ間伝搬時間	$t_{RIB}$			300			300	ns
$t_{PHL}(W-NTR)$	ライト・インタラプト間伝搬時間	$t_{WIT}$			850			850	ns
$t_{PHL}(W-OBF)$	ライト・OBFフラグ間伝搬時間	$t_{WOB}$			700			700	ns
$t_{PLH}(ACK-OBF)$	アクノレッジ・OBFフラグ間伝搬時間	$t_{AOB}$			350			350	ns
$t_{PLH}(ACK-NTR)$	アクノレッジ・インタラプト間伝搬時間	$t_{AIT}$			350			350	ns
$t_{PXZ}(ACK-PE)$	アクノレッジ・出力間伝搬時間	$t_{AD}$			300			300	ns
$t_{PXZ}(ACK-PE)$	アクノレッジ・出力間伝搬時間(注11)	$t_{KD}$			250			250	ns

注10. 測定条件M5L 8255AP, S,  $C_L=100\text{pF}$ , M5L 8255AP, S-5  $C_L=150\text{pF}$ .

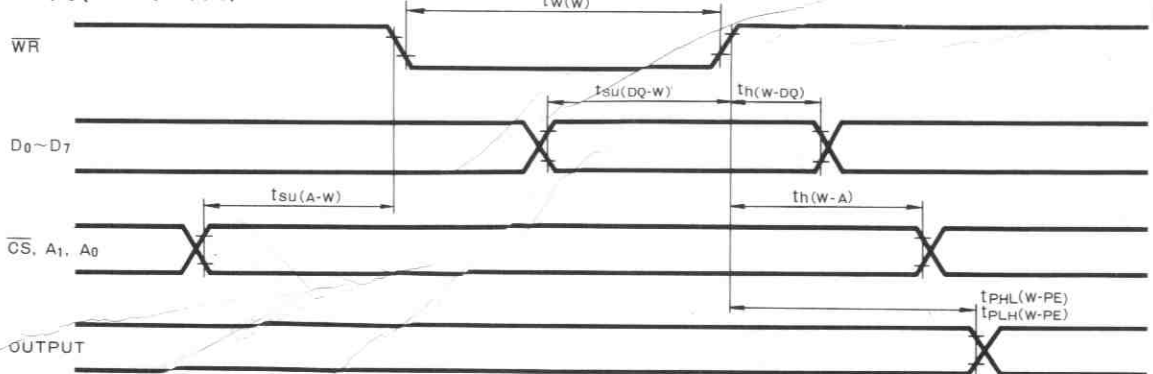
11. 上記測定条件は適用されません。

タイミング図(基準電圧 "H" = 2V, "L" = 0.8V)

モード0(ベーシック入力)



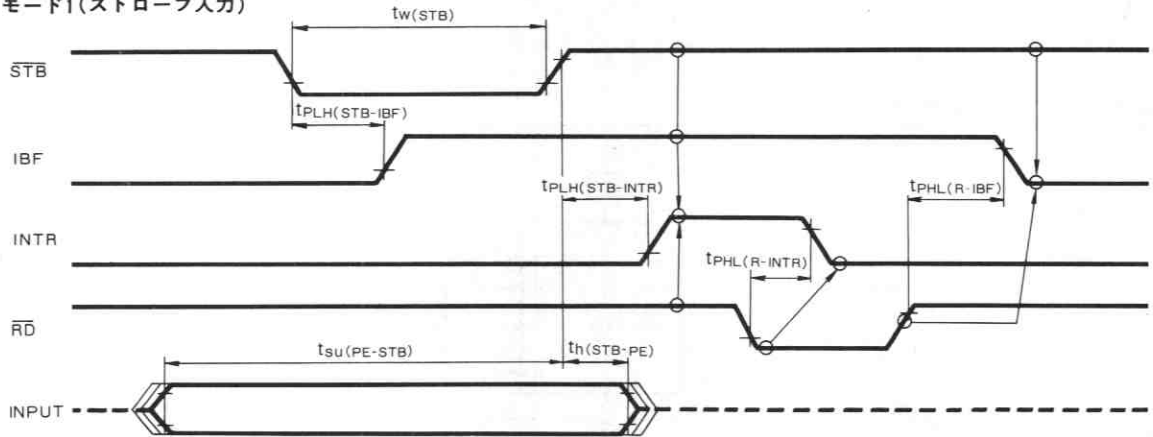
モード0(ベーシック出力)



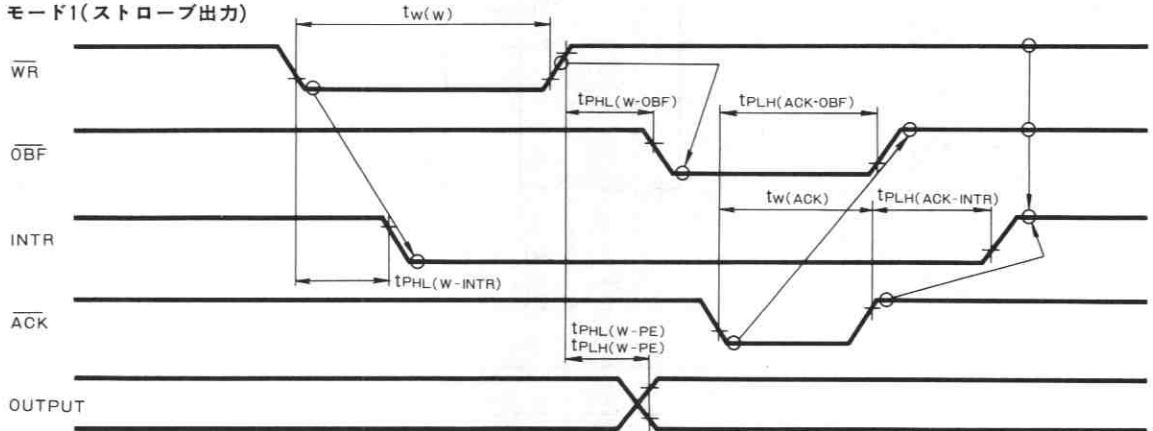
## M5L 8255AP,S, M5L 8255AP,S-5

## PROGRAMMABLE PERIPHERAL INTERFACE

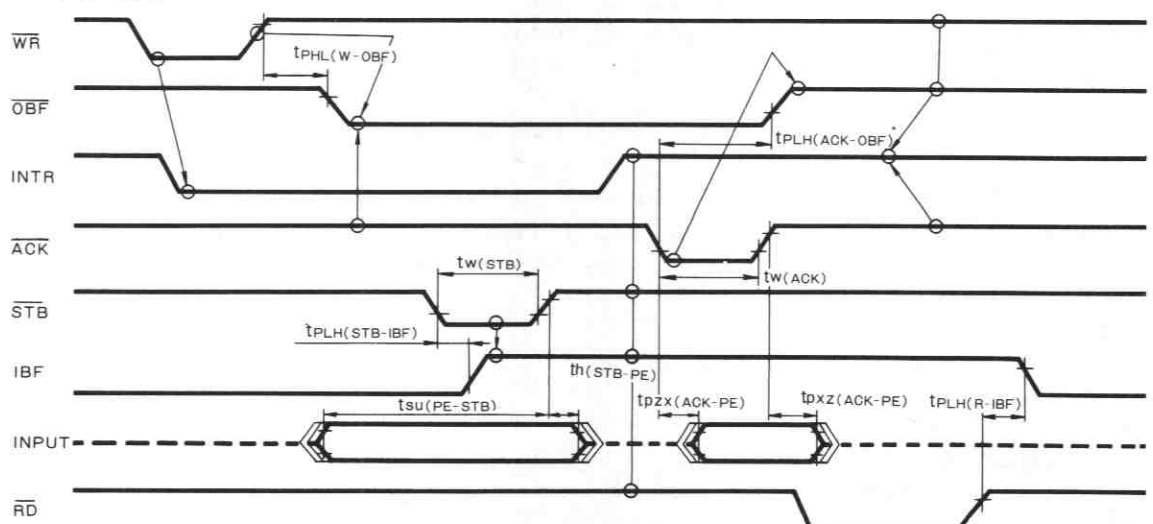
## モード1(ストロブ入力)



## モード1(ストロブ出力)



## モード2(双方向)



注12.  $\text{INTR} = \text{IBF} \cdot \overline{\text{MASK}} \cdot \text{STB} \cdot \overline{\text{RD}} + \overline{\text{OBF}} \cdot \overline{\text{MASK}} \cdot \overline{\text{ACK}} \cdot \overline{\text{WR}}$

## M5L 8255AP,S, M5L 8255AP,S-5

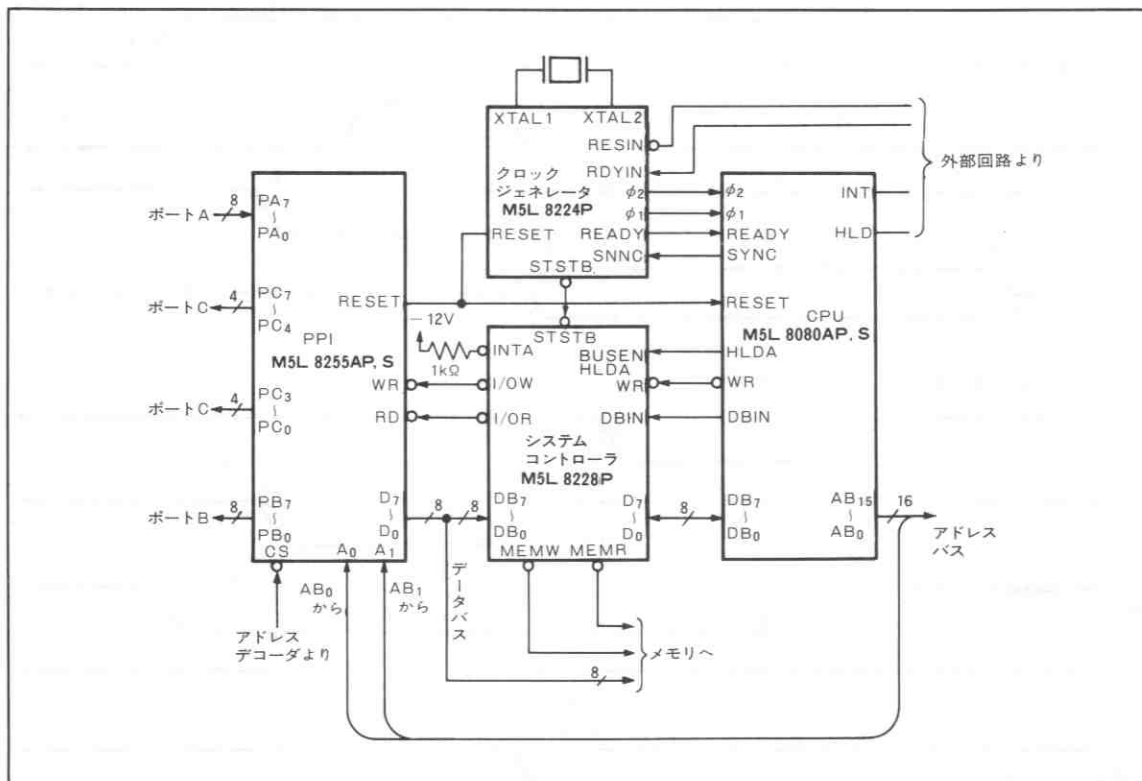
## PROGRAMMABLE PERIPHERAL INTERFACE

## 応用回路例

## 1. モード0

モード0の場合の応用例を図11に示します。

図11. モード0 応用回路例



これはPPIがモード0にセットされている例です。この場合のコントロールワードは10010000(90<sub>16</sub>)となります。

```
MVI    A, 90#
OUT    03#
```

の命令を実行すると、PPIの初期セットが完了します。

ここで、例えばポートAからデータを読み込んで、ポートB、ポートCに出力することを実行させるためには、命令は

```
IN     00# CPUレジスタ←ポートA
OUT    01# ポートB←Aレジスタ
OUT    02# ポートC←Aレジスタ
```

となります。

モードセット後の動作は、普通のポートと全く同じです。

また、前と同じく、図11に示すようにモードセットした後ポートAからデータを読み込んで、ポートBにそのデータを出力し、ポートCの0ビット目だけを"1"にすることを実行させるた

めには

```
IN     00# CPUレジスタ←ポートA
OUT    01# ポートB←Aレジスタ
MVI    A, 01# PC0をビットセットするコントロールワード
OUT    03# コントロールアドレス(CS="0", A1=A0="1")に出力
```

とすればよいわけです。この場合、ポートCの他のビットの内容はわかりません。



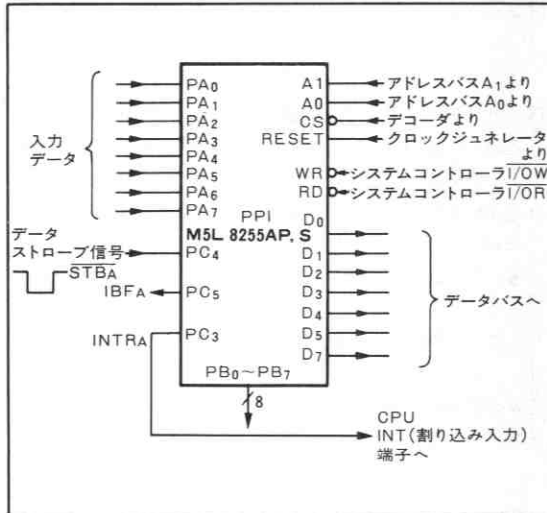
## M5L 8255AP,S, M5L 8255AP,S-5

## PROGRAMMABLE PERIPHERAL INTERFACE

## 2. モード 1

モード 1 の場合の応用例を図 12 に示します。

図 12. モード 1 の応用例



端末装置からのデータを、ポート A にセットし、PC<sub>4</sub> にデータ ストローブ信号を入れて PPI の内部ラッチに保持します。また、PC<sub>5</sub> (IBF: 入力バッファ フル フラグ) は "1" になります。このとき、PC<sub>4</sub> のビットセットを、予め実行しておきますと、入力データがラッチされると、PC<sub>3</sub> の INTR 信号によって、CPU に割り込みをかけることができます。この使い方によりポート A はインタラプティングポートとなります。この場合、ポート B は全く独立してモードセットできます。

図 12 の回路を使う場合のソフトウェアは、以下のようになります。

```

MVI  A, B0#   コントロールワード10110000
                ポートAはモード1入力、他は
                出力
OUT   03#     コントロールアドレスに出力
MVI  A, 09#   PC4ビットセット00001001
OUT   03#     コントロールアドレスに出力
EI                    割り込みイネーブル
HLT                    ホルト
  
```

外部よりデータがセットされ、ストローブ信号入力が入った場合ポート A にデータはラッチされます。

ここで、CPU INT 端子が "H" となると、図 11 の回路では、システムコントローラより RST 7 命令が割り込み命令として出力されます。プログラムは 0038<sub>16</sub> 番地へとび、次のソフトウェアを実行します。

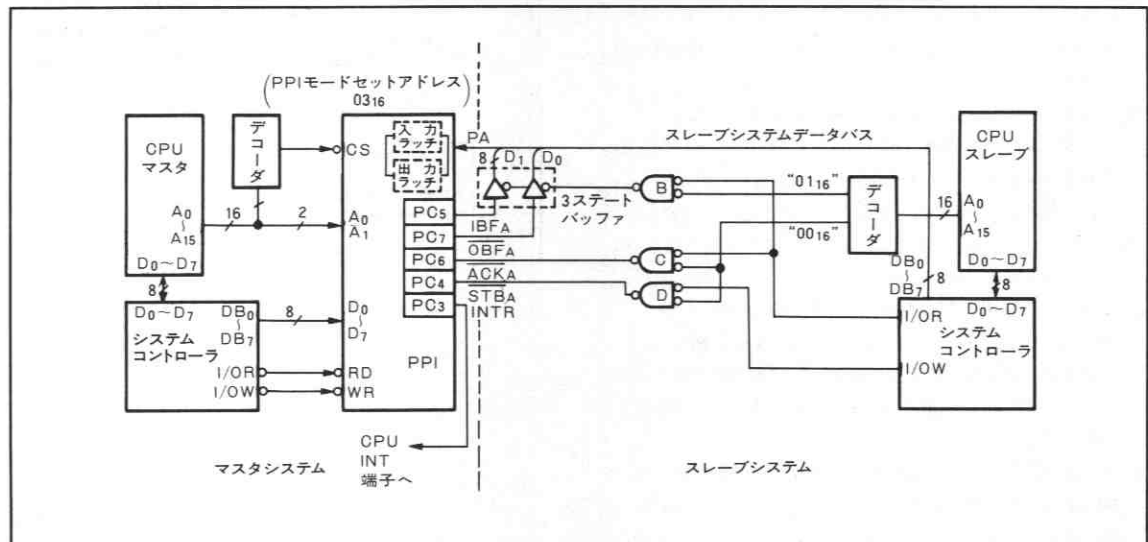
```

003816 DI
IN   00# CPUレジスタA ← ポートA
                このとき、PC3の割り込み信号
                は "L" となります。
RET
  
```

## 3. モード 2

モード 2 の場合の応用例を図 13 に示します。

図 13. モード 2 応用例



## M5L 8255AP,S, M5L 8255AP,S-5

## PROGRAMMABLE PERIPHERAL INTERFACE

図13において、スレーブシステムのデータバスは、マスタシステムのPPIポートAの対応するビットに接続されます。また、PPIのフラグ出力(IBF、OBF)をスレーブCPUがデータとして読み込めるよう、3ステートバッファとゲート(B)で入力ポートを構成します。この例では、スレーブCPUが

IN 01# (01<sub>16</sub>番地の入力ポートより読み込み)

を実行すると、 $\overline{\text{OBF}}$  (出力バッファ フル フラグ出力)がデータの最下位ビット(D<sub>0</sub>)、IBF (入力バッファ フル フラグ出力)がその上のビット(D<sub>1</sub>)となるデータとしてスレーブCPUに読み込まれます。

IN 00# (00<sub>16</sub>番地の入力ポートより読み込み)

を実行すると、ゲート(C)によってPPIの $\overline{\text{ACK}}$  (PC<sub>4</sub>)が“L”となり、ポートAの出力ラッチの内容がスレーブCPUに読み込まれます。

スレーブCPUが

OUT 00# (00<sub>16</sub>番地の出力ポートへ書き込み)

を実行すると、ゲート(D)によってPPIの $\overline{\text{STB}}$  (PC<sub>4</sub>)が“L”になり、スレーブCPUのレジスタAの内容が、PPIポートAの入力ラッチに書き込まれます。

したがって、実際の動作は、下記ようになります。

- (1)マスタCPUがPPIをモード2にモードセットします。  
(03<sub>16</sub>番地)
- (2)マスタCPUがスレーブCPUへ渡すデータをPPIポートAに書き込みます。(このとき $\overline{\text{OBF}}$ は“L”になります。)
- (3)スレーブCPUは01<sub>16</sub>番地から、フラグ( $\overline{\text{OBF}}$ 、IBF)の状態を入力データとして読み込み、 $\overline{\text{OBF}}$ が“H”の(つまり、マスタCPUからデータが送られていない)ときは入力を繰り返します。
- (4) $\overline{\text{OBF}}$ が“L”になったことをスレーブCPUが知ったときスレーブCPUは、00<sub>16</sub>番地(ポートA内の出力ラッチにラッチされているデータを読み込む場合の入力番地)から、データを読み込みます。(このとき $\overline{\text{OBF}}$ は“H”に戻ります。)
- (5)この間、マスタCPUはフラグのステータスを読み込み(ポートC02<sub>16</sub>番地からの読み込み)、7ビット目( $\overline{\text{OBF}}$ )及び5ビット目(IBF)の状態を調べ、 $\overline{\text{OBF}}$ が“L”の間は、スレーブCPUがまだデータを受けとっていないので、新たに、データを書きこまないようにします。 $\overline{\text{OBF}}$ が“H”であれば、スレーブCPUがデータを受けとったので次のデータを書き込みます。
- (6)スレーブCPUが、マスタCPUへデータを渡したいとき、00<sub>16</sub>番地へ出力するとスレーブCPUのAレジスタの内容が、PPIポートAの入力ラッチへ転送されます。(このときIBF

は“H”になります。)

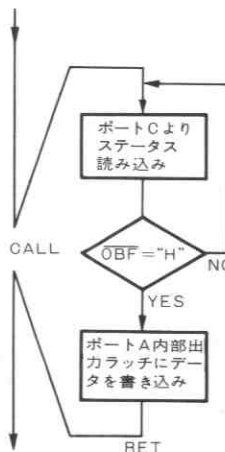
- (7)マスタCPUは、ポートCから入力を行いフラグのステータスを調べ、IBFが“H”になっておれば、スレーブCPUからのデータが、入力ラッチに書き込まれていることを表していますので、ポートA(00<sub>16</sub>番地)からそのデータを読み込みます。(このときIBFは“L”に戻ります。)
- (8)スレーブCPUは、01<sub>16</sub>番地から、フラグのステータスを読み込み、IBFが“L”に戻っているか調べます。“H”の間は新しいデータを書き込んではいけません。
- (9)以上のようにしてデータの交換を行います。PPIのポートAには入力ラッチ及び出力ラッチの独立したレジスタを2組もっているため、交互に入出力を行う必要はありません。

以上述べた動作を行わせるためのプログラム例を次に説明します。

この場合のPPIはグループAがモード2にセットされているとします。

## (1)マスタCPUのプログラム

スレーブCPUに対してデータを渡すサブルーチンの例を示します。



## プログラム例

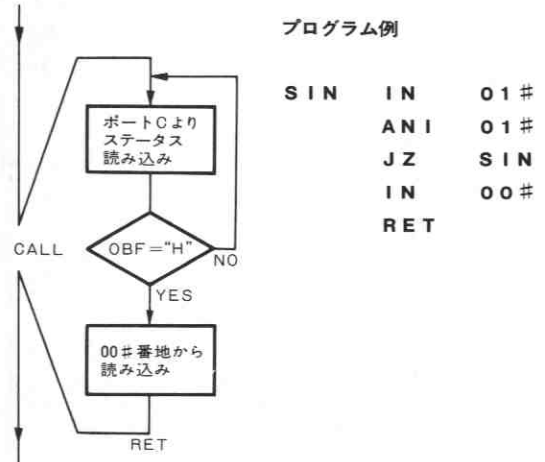
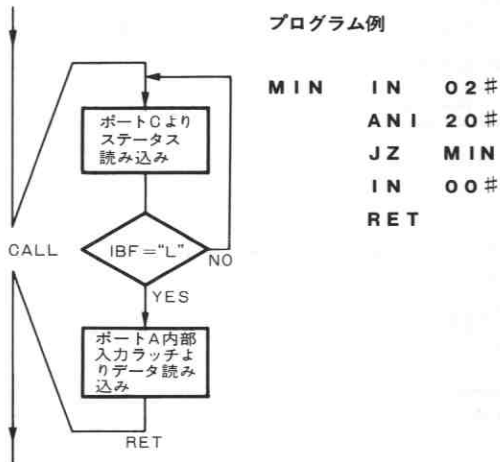
MOUT	PUSH	PSW
OBF	IN	02#
	ANI	80#
	JNZ	OBF
	POP	PSW
	OUT	00#

## M5L 8255AP,S, M5L 8255AP,S-5

## PROGRAMMABLE PERIPHERAL INTERFACE

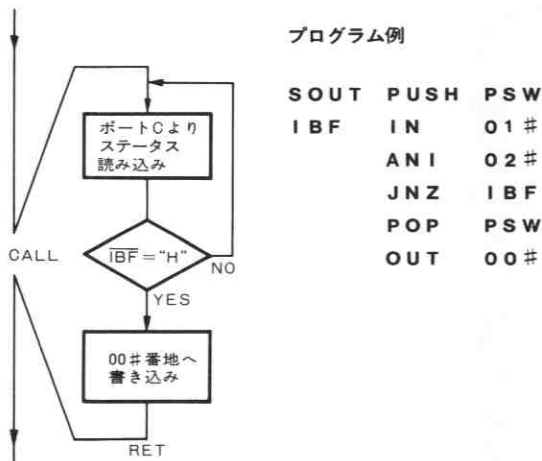
(2)スレーブCPUよりデータを受けとるサブルーチン

(4)マスタCPUよりデータを受けとるサブルーチン



(3)スレーブCPUのプログラム

マスタCPUに対してデータを渡すサブルーチン



# M5L 8255AP,S, M5L 8255AP,S-5

## PROGRAMMABLE PERIPHERAL INTERFACE

### 4. PPIのアドレスデコード方法

複数のPPIを使用する場合のアドレスデコードの方法を図14、図15に示します。図14、図15は全く同じ機能となります。これはCPUがIN、OUT命令を実行するとき、アドレスバス上位8ビットと下位8ビットには全く同じアドレスデータが出力されることによります。

図14. PPIのアドレスデコード方法(1)

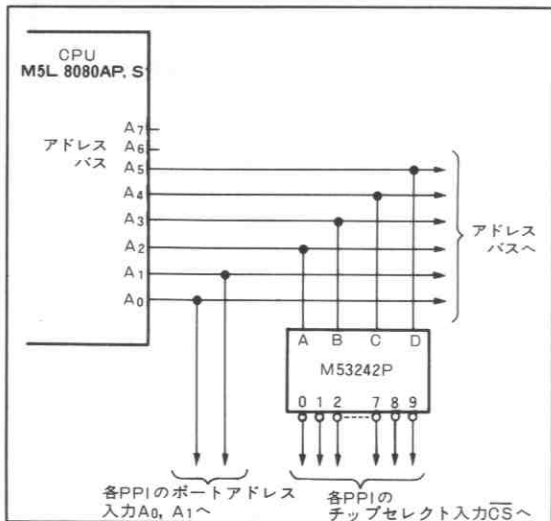
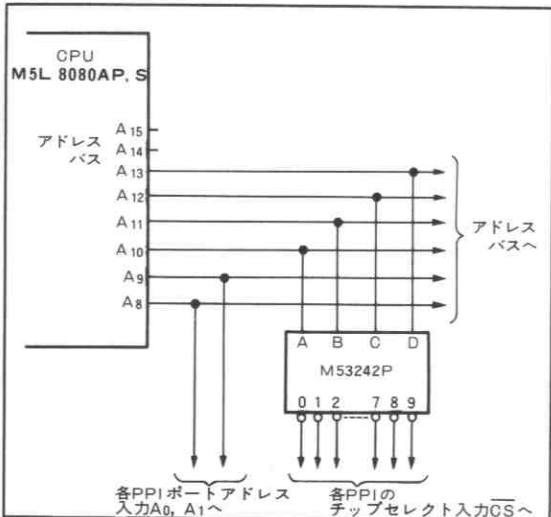


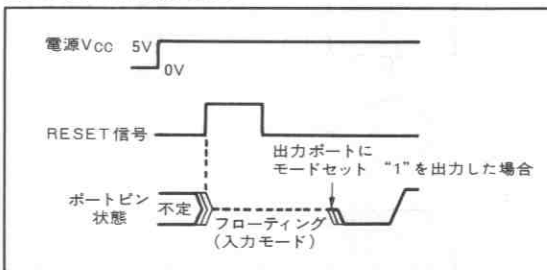
図15. PPIのアドレスデコード方法(2)



### 5. PPIの初期状態

M5L 8255AP, S は、システムイニシャルリセットで、リセットし、システムプログラムの最初でモードセットするようにしてください。出力ポートとして使用する場合、その初期状態は図16のようになります。

図16. PPIの初期リセット



注13. 電源投入時のRESET信号は少なくとも50 $\mu$ sの間"H"レベルにしてください。その後は、500ns以上の"H"レベルパルスで入力モードとなります。

## M5L 8257P, M5L 8257P-5

## PROGRAMMABLE DMA CONTROLLER

## 概要

M5L 8257Pは、マイクロコンピュータシステムにおいて、高速なデータ転送を実現するための直接メモリアクセス(DMA)コントローラで、プログラム可能な4つの転送用チャンネルを持っています。このICはNチャンネルシリコンゲートED-MOSプロセスで作られ、5V単一電源で動作します。

## 特長

- 5V単一電源、単一TTLクロック
- 4チャンネルDMAコントローラ
- 優先順位付DMA要求受付機能
- 各チャンネルのマスク機能
- データ転送の区切りを示すターミナルカウント、モジュロ128出力
- MELPS 8マイクロプロセッサシリーズとコンパチブル
- インテル社製8257とピン接続及び電気的特性に互換性あり

## 応用

- フロッピーディスクやCRTターミナル等の高速なデータ転送を必要とする周辺機器のDMAコントロール

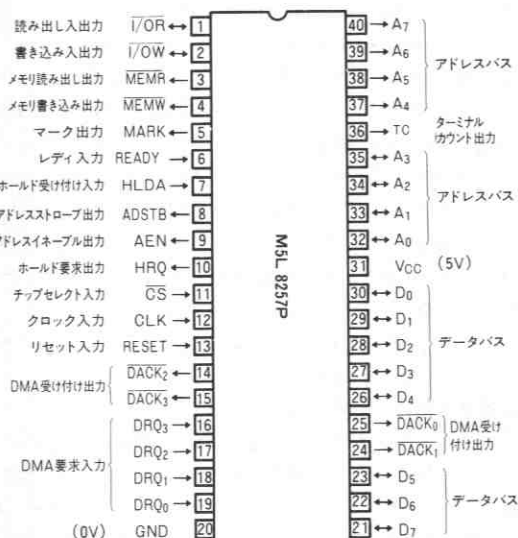
## 機能概要

M5L 8257Pは、8ビットマイクロコンピュータシステムに用いるプログラマブルな4チャンネル直接メモリアクセスコントローラ用素子であり、8ビットラッチM5L 8212Pと組み合わせて使用されます。

このICは、大きく分けてDMA要求を受け付けるチャンネル部、CPUとデータやコマンドのやり取りをする制御回路部、読み出し書き込み回路部、転送アドレス、転送バイト数を保持、カウントするレジスタ部から構成されています。

各レジスタに転送モード、転送開始アドレス、転送バイト数が設定された後、マスクされていないチャンネルに周辺

## ピン接続図(上面図)



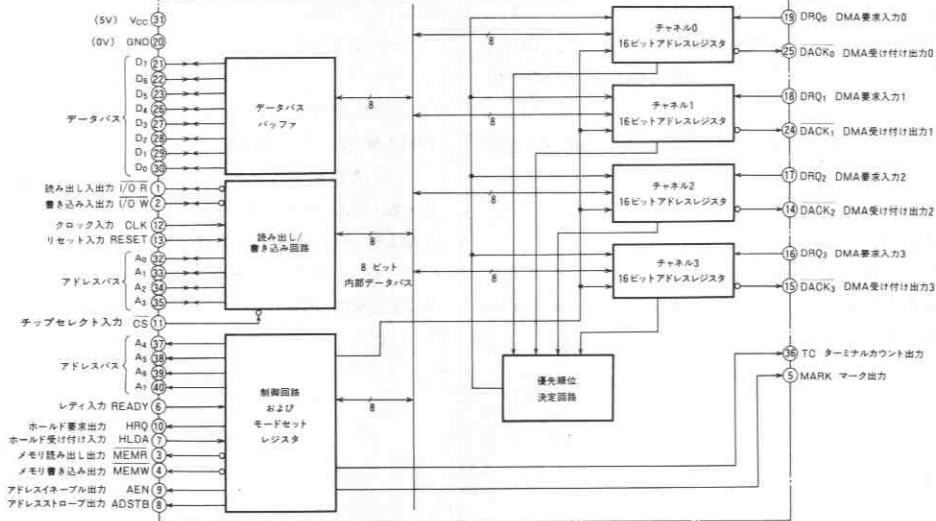
外形 40P1

機器からのDMA要求があるとCPUへバスの占有権を要求します。CPUからのHLDA信号を受けると最も優先度の高いチャンネルへDMA受け付け信号を送りDMA動作を開始します。

DMA実行中に転送メモリ番地の下位8ビットはA<sub>0</sub>~A<sub>7</sub>端子より、また上位8ビットはD<sub>0</sub>~D<sub>7</sub>端子よりアドレスラッチM5L 8212Pへ送り出されます。アドレス送出後メモリや周辺装置へリード、ライト信号を送ることによりDMA転送が実行されます。

9

## ブロック図



## M5L 8257P, M5L 8257P-5

## PROGRAMMABLE DMA CONTROLLER

## 動作説明

## データバスバッファ

このスリープ状態の双方向性8ビットバスバッファを用いてM5L 8257PとCPUとの間のデータのやり取りを行います。DMAサイクル中にはこのバッファを通してDMAアドレスの上位8ビットをM5L 8212Pラッチへ出力します。

読み出し出力( $\overline{I/OR}$ )

双方向性スリープ状態の端子でM5L 8257Pがスリープ動作のときは入力として働き、8ビットステータレジスタ又は、16ビットDMAアドレスレジスタの上位/下位バイト及びターミナルカウンタの上位/下位バイトを読み出します。

マスター動作時にはこの端子は制御出力端子となり、DMA書き込みサイクル間、1つの周辺機器からデータを取り出すために使われます。

書き込み出力( $\overline{I/OW}$ )

双方向性スリープ状態の端子でM5L 8257Pがスリープ動作のときは入力として働き8ビットステータレジスタ、又は16ビットDMAアドレスレジスタの上位/下位バイト、ターミナルカウンタの上位/下位バイトにデータバスの内容をロードします。

## クロック入力(CLK)

M5L 8257Pの内部タイミングを作るもので通常M5L 8224Pクロックジェネレータの $\phi_2$  TTLに接続されます。

## リセット入力(RESET)

非同期な入力で、M5L 8257P内部のすべてのレジスタ類と制御ラインをクリアします。

アドレスバス(A<sub>0</sub>~A<sub>3</sub>)

このアドレス端子の4ビットは双方向性で、M5L 8257Pがスリープ動作のときには入力として働き、内部レジスタのアドレッシングをします。マスター動作では出力として働き、16ビットメモリアドレスの下位4ビットを出力します。

チップセレクト入力( $\overline{CS}$ )

"L"でアクティブとなりM5L 8257Pがスリープ動作のとき、GPUから出力される $\overline{IORD}$ や $\overline{IOWR}$ 信号をイネーブルにします。

マスターモードのときにはDMAを実行中に自分自身が選択されても妨げにならないように、自動的にディスエーブルになります。

アドレスバス(A<sub>4</sub>~A<sub>7</sub>)

これら4つの端子はDMA実行中にM5L 8257Pから発生されるメモリアドレスの第4ビットから第7ビットまでのスリープ状態出力です。

## レディ入力(READY)

この非同期な入力信号は、ある指定されたメモリが長いサイクルを必要とする場合などにM5L 8257Pを待ちスタートに入れて、メモリリード及びメモライツサイクルを延長するのに用いられます。

## ホールド要求出力(HRQ)

システムバスに対する制御要求出力で、通常CPUのホールド入力に供給されます。

## ホールド受け付け入力(HLDA)

HRQに対する応答として受け取る入力で、M5L 8257Pがシステムバスの制御権を獲得したことを表します。

## メモリ読み出し出力(MEMR)

このアクティブ"L"スリープ状態出力はDMAリードサイクル中、アドレスされたメモリよりデータを取り出すために用います。

## メモリ書き込み出力(MEMW)

このアクティブ"L"スリープ状態出力はDMAライトサイクル中、アドレスされたメモリよりデータを書き込むために用います。

## アドレスストローブ出力(ADSTB)

この信号はDMAサイクルの始めに、データバスを経由してM5L 8212P 8ビットラッチにメモリアドレスの上位バイトを書き込むストローブとなります。

## アドレスイネーブル出力(AEN)

この信号はM5L 8228P/M5L 8238Pシステムコントローラのバスイネーブル端子に供給され、システムデータバス及びシステムコントロールバスをフローティングするために用いられます。また、DMAサイクル中にDMAを行っていない素子が動作するのを防ぐためにも用いられます。

## ターミナルカウント出力(TC)

この出力信号は現在動作中のDMAサイクルが、データブロックの最後のサイクルであることを示します。

## マーク出力(MARK)

この信号は各チャネルのDMA転送サイクルが前回のマーク出力以後128サイクル目にきたことを示します。

## DMA要求入力(DRQ 0~DRQ 3)

これは独立して非同期のチャネル要求入力であり、周辺機器側がDMAサイクルを確保するのに用いられます。

## DMA受け付け出力(DACK 0~DACK 3)

アクティブ"L"の出力端子で、そのチャネルに接続された周辺機器がDMAサイクルを実行する権利を得たことを示します。

## M5L 8257P, M5L 8257P-5

## PROGRAMMABLE DMA CONTROLLER

表1. M5L 8257P内部のレジスタの説明

レジスタ名	バイト	アドレス入力				F/L	双方向性データバス							
		A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>		D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
チャンネル0 DMAアドレス	上位	0	0	0	0	0	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>
	下位	0	0	0	0	1	A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>
チャンネル0 ターミナルカウント	上位	0	0	0	1	0	C <sub>7</sub>	C <sub>6</sub>	C <sub>5</sub>	C <sub>4</sub>	C <sub>3</sub>	C <sub>2</sub>	C <sub>1</sub>	C <sub>0</sub>
	下位	0	0	0	1	1	Rd	Wr	C <sub>13</sub>	C <sub>12</sub>	C <sub>11</sub>	C <sub>10</sub>	C <sub>9</sub>	C <sub>8</sub>
チャンネル1 DMAアドレス	上位	0	0	1	0	0	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>
	下位	0	0	1	0	1	A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>
チャンネル1 ターミナルカウント	上位	0	0	1	1	0	C <sub>7</sub>	C <sub>6</sub>	C <sub>5</sub>	C <sub>4</sub>	C <sub>3</sub>	C <sub>2</sub>	C <sub>1</sub>	C <sub>0</sub>
	下位	0	0	1	1	1	Rd	Wr	C <sub>13</sub>	C <sub>12</sub>	C <sub>11</sub>	C <sub>10</sub>	C <sub>9</sub>	C <sub>8</sub>
チャンネル2 DMAアドレス	上位	0	1	0	0	0	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>
	下位	0	1	0	0	1	A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>
チャンネル2 ターミナルカウント	上位	0	1	0	1	0	C <sub>7</sub>	C <sub>6</sub>	C <sub>5</sub>	C <sub>4</sub>	C <sub>3</sub>	C <sub>2</sub>	C <sub>1</sub>	C <sub>0</sub>
	下位	0	1	0	1	1	Rd	Wr	C <sub>13</sub>	C <sub>12</sub>	C <sub>11</sub>	C <sub>10</sub>	C <sub>9</sub>	C <sub>8</sub>
チャンネル3 DMAアドレス	上位	0	1	1	0	0	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>
	下位	0	1	1	0	1	A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>
チャンネル3 ターミナルカウント	上位	0	1	1	1	0	C <sub>7</sub>	C <sub>6</sub>	C <sub>5</sub>	C <sub>4</sub>	C <sub>3</sub>	C <sub>2</sub>	C <sub>1</sub>	C <sub>0</sub>
	下位	0	1	1	1	1	Rd	Wr	C <sub>13</sub>	C <sub>12</sub>	C <sub>11</sub>	C <sub>10</sub>	C <sub>9</sub>	C <sub>8</sub>
モードセット (書き込み専用)	—	1	0	0	0	0	AL	TCS	EW	RP	EN3	EN2	EN1	EN0
ステータス (読み出し専用)	—	1	0	0	0	0	0	0	0	UP	TC3	TC2	TC1	TC0

A<sub>0</sub>~A<sub>15</sub> : これからDMAを実行しようとするメモリ番地。したがって初期設定の場合DMA開始アドレスを書き込みます。

C<sub>0</sub>~C<sub>13</sub> : ターミナルカウント値。このICでは残り転送バイト数より1を減じた値になっています。

Rd, Wr : DMAのモードを設定するビットで下表のようになっています。

Rd	Wr	セットされるモード
0	0	DMAベリファイ
0	1	DMAリード
1	0	DMAライト
1	1	禁止

AL : 自動ロードモード。このビットがセットされていると、チャンネル2のDMA転送が終了した時点でチャンネル3のレジスタの内容がそのままチャンネル2のレジスタに書き込まれます。このモードにより自動的なチェイニング動作がソフトウェアの介入なしにすばやく行えます。

EW : 延長ライト信号モード。このビットがセットされているとアクセスタイムの長いメモリや周辺装置に対し早めにライト信号を送出することができます。

TCS : ターミナルカウントストップ。一回のDMA転送が終了しターミナルカウント出力が出された時点でそのチャンネルのチャンネルイネーブルマスクがリセットされ以後のDMAを停止します。

RP : 循環優先モード。このビットがセットされていると1バイトの転送ごとに優先順位が循環します。

EN0~EN3 : チャンネルイネーブルマスク。DMA要求を禁止又は、許可するマスク。

UP : アップデートフラグ。自動ロードモードにおいてチャンネル3からチャンネル2へレジスタの内容を転送するときにセットされます。

TC0~TC3 : ターミナルカウントステータスフラグ。ターミナルカウントが出力された時点でそのチャンネルに対応したフラグがセットされます。

F/L : ファーストラストフリップフロップ。各チャンネルのプログラム及びレジスタのリード動作完了時にトグルするもので次のプログラム又は、リード動作がレジスタの上位バイトに対するものが下位バイトに対するものを指定します。このため各レジスタのライト及びリード動作は下位バイトと上位バイトの二組で行う必要があります。

## M5L 8257P, M5L 8257P-5

## PROGRAMMABLE DMA CONTROLLER

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧	V <sub>SS</sub> 端子を基準にした場合	-0.5~7	V
V <sub>I</sub>	入力電圧		-0.5~7	V
V <sub>O</sub>	出力電圧		-0.5~7	V
P <sub>d</sub>	最大消費電力	Ta=25℃	1000	mW
T <sub>opr</sub>	動作周囲温度		0~70	℃
T <sub>stg</sub>	保存温度		-65~150	℃

推奨使用条件(指定のない場合は、Ta=0~75℃)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.75	5	5.25	V
V <sub>SS</sub>	電源電圧(GND)		0		V
V <sub>IH</sub>	"H"入力電圧	2			V
V <sub>IL</sub>	"L"入力電圧			0.8	V

電気的特性(指定のない場合は、Ta=0~70℃、V<sub>CC</sub>=5V±5%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>OL</sub>	"L"出力電圧	I <sub>OL</sub> =1.6mA			0.45	V
V <sub>OH1</sub>	"H"出力電圧, アドレスバス, データバス, AEN出力	I <sub>OH</sub> =-150μA	2.4		V <sub>CC</sub>	V
V <sub>OH2</sub>	"H"出力電圧, HRQ出力	I <sub>OH</sub> =-80μA	3.3		V <sub>CC</sub>	V
V <sub>OH3</sub>	"H"出力電圧, その他出力		2.4		V <sub>CC</sub>	V
I <sub>CC</sub>	電源電流				120	mA
I <sub>I</sub>	入力電流	V <sub>I</sub> =V <sub>CC</sub> -0V	-10		10	μA
I <sub>OZ</sub>	オフ状態出力電流	V <sub>I</sub> =V <sub>CC</sub> -0V	-10		10	μA
C <sub>i</sub>	入力容量	Ta=25℃ V <sub>CC</sub> =V <sub>SS</sub> =0V 被測定端子以外は、0Vとする			10	pF
C <sub>i/O</sub>	入出力端子容量	f <sub>c</sub> =1MHz			20	pF

タイミング必要条件(指定のない場合は、Ta=0~70℃、V<sub>CC</sub>=5V±5%、V<sub>SS</sub>=0V、V<sub>IH</sub>=V<sub>OH</sub>=2V、V<sub>IL</sub>=V<sub>OL</sub>=0.8V)

記号	項目	他社相当記号	M5L 8257P			M5L 8257P-5			単位
			規格値			規格値			
			最小	標準	最大	最小	標準	最大	
t <sub>w</sub> (R)	リードパルス幅	T <sub>RR</sub>	250		250			ns	
t <sub>su</sub> (A-R)	リード前アドレス又はCSセットアップ時間	T <sub>AR</sub>	0		0			ns	
t <sub>h</sub> (R-A)	リード後アドレス又はCSホールド時間	T <sub>RA</sub>	0		0			ns	
t <sub>su</sub> (R-DQ)	リード前データセットアップ時間	T <sub>RD</sub>	0	300	0	200		ns	
t <sub>h</sub> (R-DQ)	リード後データホールド時間	T <sub>DF</sub>	20	150	20	100		ns	
t <sub>w</sub> (W)	ライトパルス幅	T <sub>WW</sub>	200		200			ns	
t <sub>su</sub> (A-W)	ライト前アドレスセットアップ時間	T <sub>AW</sub>	20		20			ns	
t <sub>h</sub> (W-A)	ライト後アドレスホールド時間	T <sub>WA</sub>	0		0			ns	
t <sub>su</sub> (DQ-W)	ライト前データセットアップ時間	T <sub>DW</sub>	200		200			ns	
t <sub>h</sub> (W-DQ)	ライト後データホールド時間	T <sub>WD</sub>	0		0			ns	
t <sub>w</sub> (RST)	リセットパルス幅	T <sub>RSTW</sub>	300		300			ns	
t <sub>su</sub> (V <sub>CC</sub> -RST)	リセット前電源電圧セットアップ時間	T <sub>RSTD</sub>	500		500			μs	
t <sub>r</sub>	入力信号上昇時間	T <sub>r</sub>		20		20		ns	
t <sub>f</sub>	入力信号下降時間	T <sub>f</sub>		20		20		ns	
t <sub>su</sub> (RET-W)	ライト前リセットセットアップ時間	T <sub>RSTS</sub>	2		2			t <sub>c</sub> (φ)	
t <sub>c</sub> (φ)	クロックサイクル	T <sub>CY</sub>	0.32	4	0.32	4		μs	
t <sub>w</sub> (φ)	クロックパルス幅	T <sub>Q</sub>	120	0.8t <sub>c</sub> (φ)	80	0.8t <sub>c</sub> (φ)		ns	
t <sub>su</sub> (DRQ-φ)	クロック前DRQセットアップ時間	T <sub>QS</sub>	120		120			ns	
t <sub>h</sub> (HLDA-DRQ)	HLDA後DRQホールド時間	T <sub>QH</sub>	0		0			ns	
t <sub>su</sub> (HLDA-φ)	クロック前HLDAセットアップ時間	T <sub>HS</sub>	100		100			ns	
t <sub>su</sub> (RDY-φ)	クロック前READYセットアップ時間	T <sub>RS</sub>	30		30			ns	
t <sub>h</sub> (φ-RDY)	クロック後READYホールド時間	T <sub>RH</sub>	20		20			ns	

注1. 測定条件M5L 8257P C<sub>L</sub>=100pF, M5L 8257P-5 C<sub>L</sub>=150pF



## M5L 8257P, M5L 8257P-5

## PROGRAMMABLE DMA CONTROLLER

スイッチング特性(指定のない場合は、 $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$ ,  $V_{SS} = 0\text{V}$ ,  $V_{OH} = 2\text{V}$ ,  $V_{OL} = 0.8\text{V}$ )(注2)

記号	項目	他社相当記号	M5L 8257P			M5L 8257P-5			単位
			規格値			規格値			
			最小	標準	最大	最小	標準	最大	
$t_{PLH}(\phi-HRQ)$ $t_{PHL}(\phi-HRQ)$	クロック後HRQ伝搬時間(注3)	T <sub>DQ</sub>			160			160	ns
$t_{PLH}(\phi-HRQ)$ $t_{PHL}(\phi-HRQ)$	クロック後HRQ伝搬時間(注5)	T <sub>DQI</sub>			250			250	ns
$t_{PLH}(\phi-AEN)$ $t_{PHL}(\phi-AEN)$	クロック後AEN伝搬時間(注3)	T <sub>AEL</sub>			300			300	ns
$t_{PHL}(\phi-AEN)$	クロック後AEN伝搬時間(注3)	T <sub>AET</sub>			200			200	ns
$t_{PZV}(AEN-A)$	AEN後アドレス伝搬時間(注6)	T <sub>AEA</sub>	20			20			ns
$t_{PVZ}(\phi-A)$	クロック後アドレス伝搬時間(注4)	T <sub>FAAB</sub>			250			250	ns
$t_{PVZ}(\phi-A)$	クロック後アドレス伝搬時間(注4)	T <sub>AFAB</sub>			150			150	ns
$t_{SU}(\phi-A)$	クロック後アドレスセットアップ時間(注4)	T <sub>ASM</sub>			250			250	ns
$t_h(\phi-A)$	クロック後アドレスホールド時間(注4)	T <sub>AH</sub>		$t_{SU}(\phi-A) - 50$			$t_{SU}(\phi-A) - 50$		ns
$t_h(R-A)$	リード後アドレスホールド時間(注6)	T <sub>AHR</sub>			60			60	ns
$t_h(W-A)$	ライト後アドレスホールド時間(注6)	T <sub>AHW</sub>	300				300		ns
$t_{PZV}(\phi-DQ)$	クロック後データアクティブ伝搬時間	T <sub>FADB</sub>			300			300	ns
$t_{PVZ}(\phi-DQ)$	クロック後データフローティング伝搬時間(注4)	T <sub>AFDB</sub>		$t_{PHL}(\phi-ASTB) + 20$	250		$t_{PHL}(\phi-ASTB) + 20$	170	ns
$t_{PHL}(A-ASTB)$	アドレス後アドレスストロブ伝搬時間(注4)	T <sub>ASS</sub>	100				100		ns
$t_h(ASTB-A)$	アドレスストロブ後アドレスホールド時間(注6)	T <sub>AHS</sub>	50				50		ns
$t_{PLH}(\phi-ASTB)$	クロック後アドレスストロブ伝搬時間(注3)	T <sub>STL</sub>			200			200	ns
$t_{PHL}(\phi-ASTB)$	クロック後アドレスストロブ伝搬時間(注3)	T <sub>STT</sub>			140			140	ns
$t_w(ASTB)$	アドレスストロブパルス幅(注6)	T <sub>STW</sub>		$t_c(\phi) - 100$			$t_c(\phi) - 100$		ns
$t_{PHL}(AS-R)$ $t_{PHL}(AS-WE)$	アドレスストロブ後リード及び延長ライト伝搬時間(注6)	T <sub>ASC</sub>	70				70		ns
$t_h(DQ-R)$ $t_h(DQ-WE)$	データ後リード及び延長ライトホールド時間(注6)	T <sub>DBC</sub>	20				20		ns
$t_{PLH}(\phi-DACK)$ $t_{PHL}(\phi-TC/MARK)$ $t_{PLH}(\phi-TC/MARK)$	クロック後DACK伝搬時間およびTC/MARK伝搬時間(注3, 注7)	T <sub>AK</sub>			250			250	ns
$t_{PHL}(\phi-R)$ $t_{PHL}(\phi-W)$ $t_{PHL}(\phi-WE)$	クロック後リード又は延長ライトライト伝搬時間(注4, 注8)	T <sub>DCL</sub>			200			200	ns
$t_{PLH}(\phi-R)$ $t_{PLH}(\phi-W)$	クロック後リード又はライト伝搬時間(注4, 注9)	T <sub>DCT</sub>			200			200	ns
$t_{PZV}(\phi-R)$ $t_{PVZ}(\phi-W)$	クロック後リード又はライト伝搬時間(注4)	T <sub>FAC</sub>			300			300	ns
$t_{PVZ}(\phi-R)$ $t_{PVZ}(\phi-W)$	クロック後リード又はライトフローティング伝搬時間(注4)	T <sub>AFC</sub>			150			150	ns
$t_w(R)$	リードパルス幅(注6)	T <sub>RAM</sub>		$2t_c(\phi) + t_w(\phi) - 50$			$2t_c(\phi) + t_w(\phi) - 50$		ns ns
$t_w(W)$	ライトパルス幅(注6)	T <sub>WRM</sub>		$t_c(\phi) - 50$			$t_c(\phi) - 50$		ns
$t_w(WE)$	延長ライトパルス幅(注6)	T <sub>WWME</sub>		$2t_c(\phi) - 50$			$2t_c(\phi) - 50$		ns

注2.  $V_{OH} = 3.3\text{V}$ で測定。

3. 負荷 = 1TTL。

4. 負荷 = 1TTL + 50pF。

5. 負荷 = 1TTL + (R<sub>L</sub> = 3.3k $\Omega$ ),  $V_{OH} = 3.3\text{V}$ 。

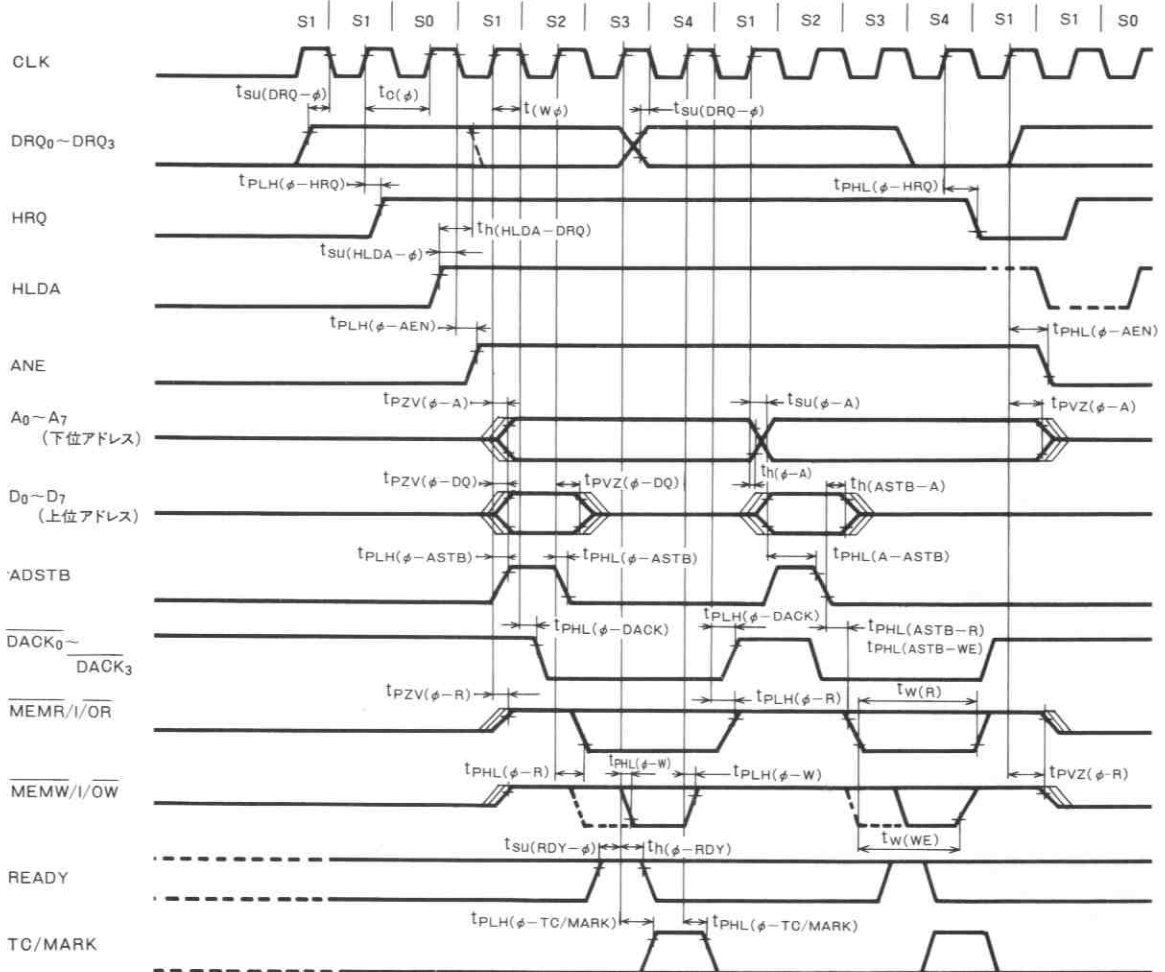
注6. トラッキング仕様

7.  $\Delta t_{PLH}(\phi-DACK) < 50\text{ns}$ ,  $\Delta t_{PHL}(\phi-TC/MARK) < 50\text{ns}$ ,  $\Delta t_{PLH}(\phi-TC/MARK) < 50\text{ns}$ 。8.  $\Delta t_{PHL}(\phi-R) < 50\text{ns}$ ,  $\Delta t_{PHL}(\phi-W) < 50\text{ns}$ ,  $\Delta t_{PHL}(\phi-WE) < 50\text{ns}$ 。9.  $\Delta t_{PLH}(\phi-R) < 50\text{ns}$ ,  $\Delta t_{PLH}(\phi-W) < 50\text{ns}$ 。

## M5L 8257P, M5L 8257P-5

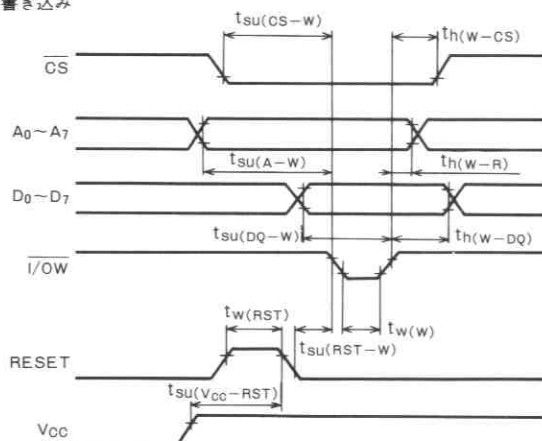
## PROGRAMMABLE DMA CONTROLLER

## DMAモードタイミング図

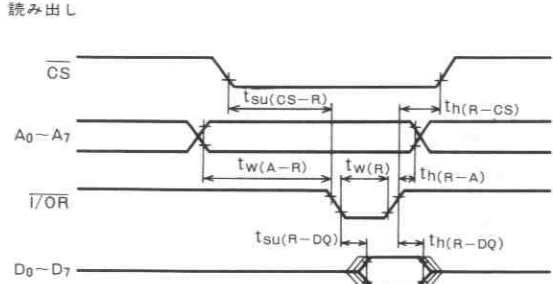


## スリープモードタイミング図(基準電圧“H”=2V, “L”=0.8V)

書き込み

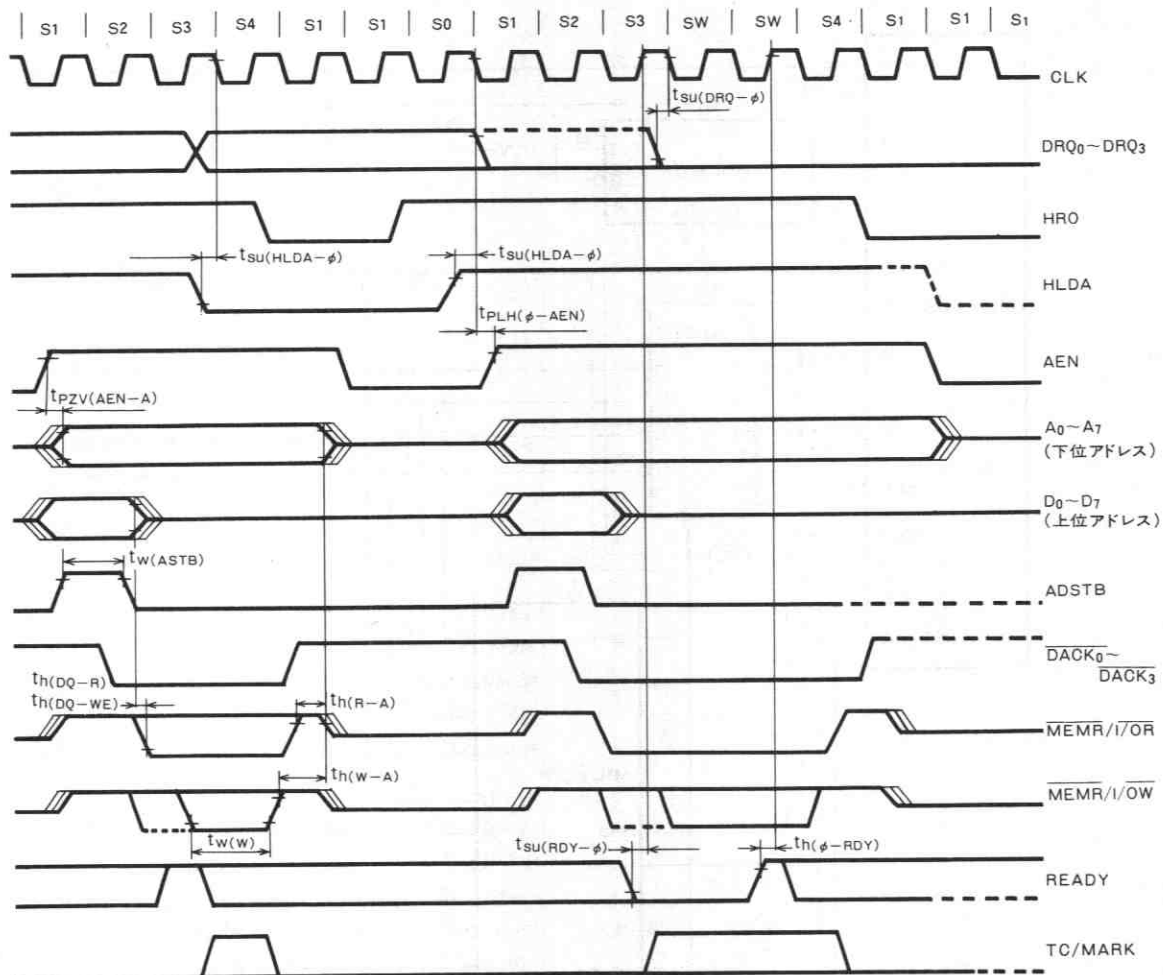


読み出し

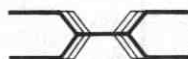


## M5L 8257P, M5L 8257P-5

## PROGRAMMABLE DMA CONTROLLER



注10.

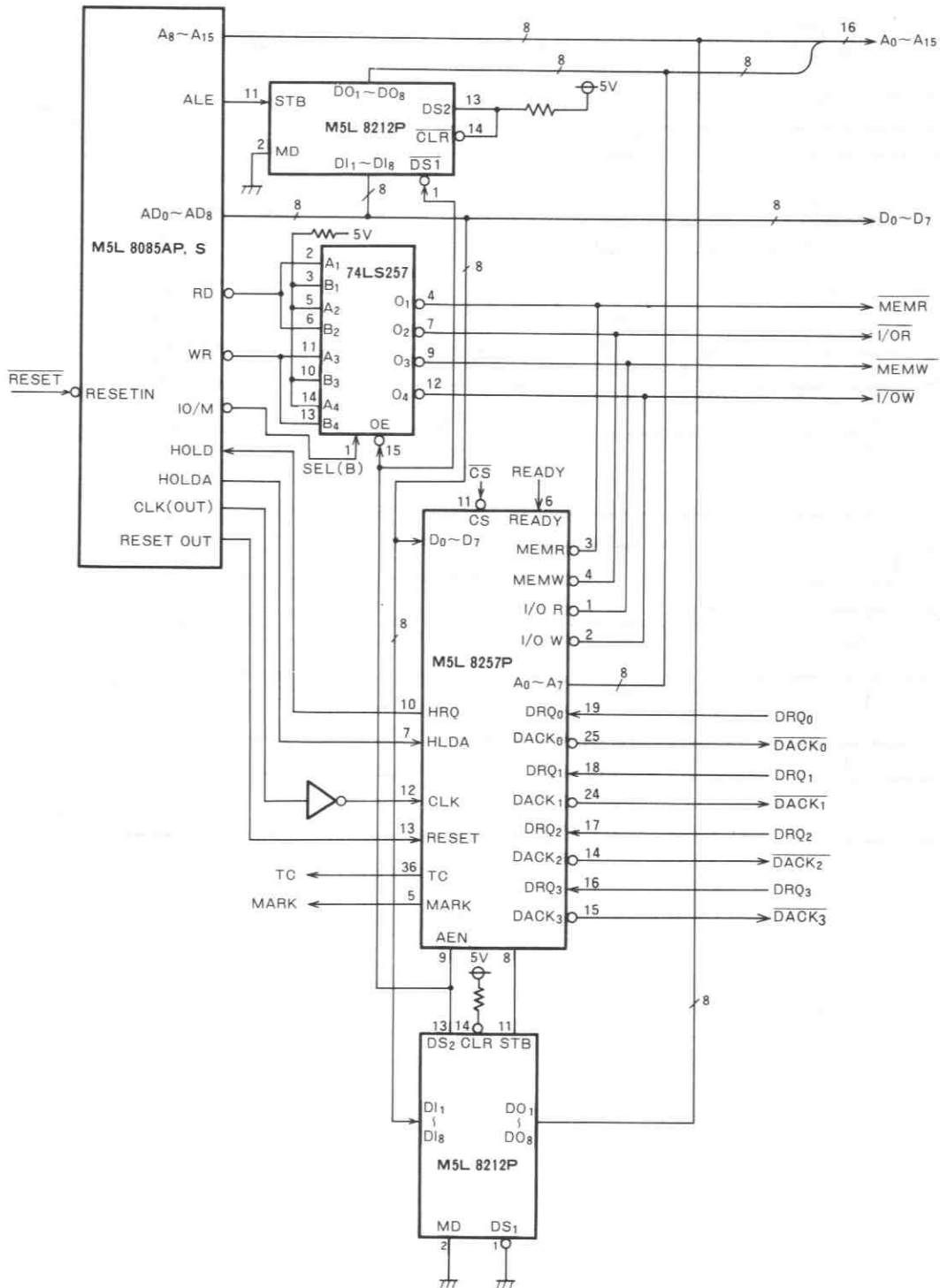


中心線はフローティング(高インピーダンス)状態を示します。

# M5L 8257P, M5L 8257P-5

## PROGRAMMABLE DMA CONTROLLER

応用回路例



# M5L 8279P, M5L 8279P-5

(旧形名M58743P)

## PROGRAMMABLE KEYBOARD/DISPLAY INTERFACE

### 概要

M5L8279Pは、主として8ビットマイクロプロセッサと組み合わせて使用されるキーボードと表示装置のためのプログラム可能なインターフェース用ICです。このICはNチャネルシリコンゲートED-MOSプロセスで製作し、40ピンプラスチックDILパッケージに収められており、5V単一電源で動作します。

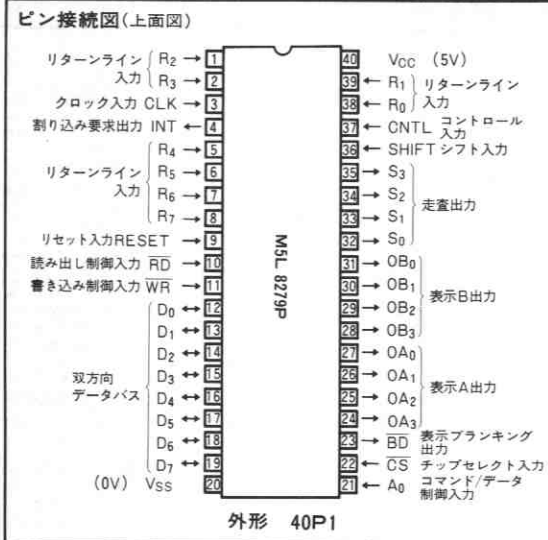
### 特長

項目	M5L 8279P	M5L 8279P-5
リード後出力イネーブル時間(最大)	300ns	150ns
アドレス後出力イネーブル時間(最大)	450ns	250ns
クロックサイクル時間(最小)	500ns	320ns

- 5V単一電源
- キーボードモード
- センサーマトリクスモード
- ストローブモード
- キーバウンス防止回路内蔵
- デバウンス時間がプログラム可能
- 2キー/Nキーロールオーバー
- キー入力8個分のFIFO内蔵
- 16×8ビットの表示用RAM内蔵
- 表示用RAMのけた数及び置数方向がプログラム可能
- インテル社製8279とピン接続及び電気的特性の互換性あり

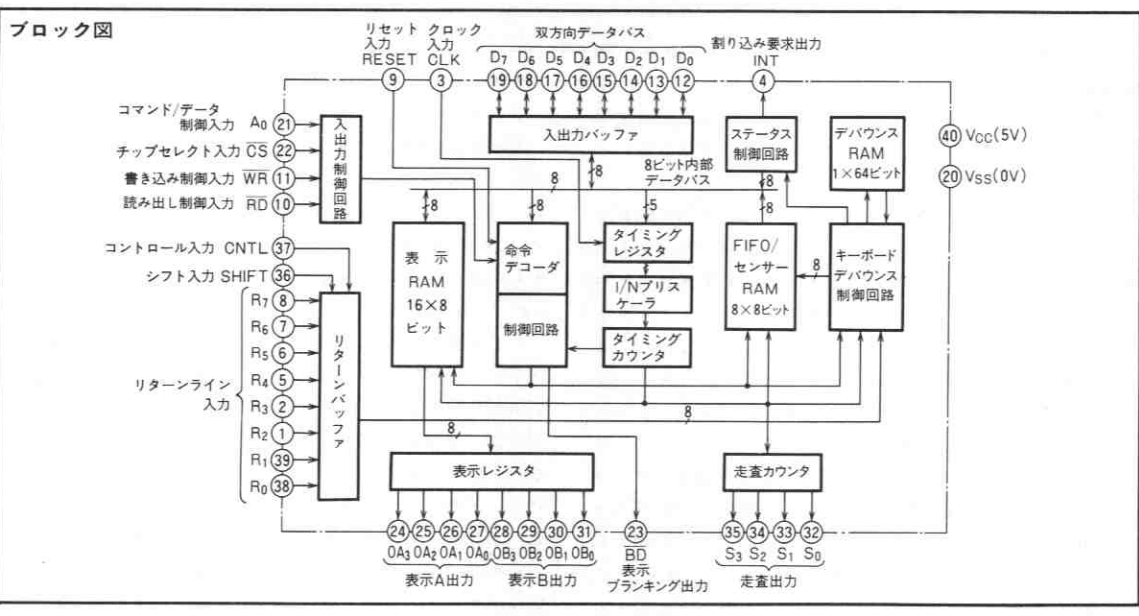
### 応用

- マイクロコンピュータの入出力装置、電子式金銭登録機などの有接点用64又は128キー入力及び8けた2個又は16けた1個の英数字表示。



### 機能概要

M5L 8279Pは、キーボード部と表示部から構成されており、8個の8ビット命令によりプログラムされて動作します。キーボード部は、内部にキーデバウンス制御用の64ビットのバッファと8×8ビットのFIFO/センサーRAMを持ち、キーボードモード、センサーマトリクスモード又はストローブモードのいずれかのモードで動作します。表示部は、2個の16×4ビット構成が可能な16×8ビットの表示レジスタ(RAM)を内蔵しています。レジスタはプログラムによって、8けた/16けたの選択が可能で、更に16×4×2又は8×4×2のような構成をとることも可能です。



## M5L 8279P, M5L 8279P-5

(旧形名M58743P)

## PROGRAMMABLE KEYBOARD/DISPLAY INTERFACE

## 端子の機能説明

端子名	名称	入力 出力	機能
D <sub>0</sub> ~D <sub>7</sub>	双方向データバス	入出力	CPUとの間のデータ、コマンドの受け渡しはこの双方向データバスを介して行われます。
CLK	クロック入力	入力	内部タイミング発生のために用いられる、システムからのクロック信号です。
RESET	リセット入力	入力	"H"でアクティブです。リセット後は8けた・左置数・エンコード表示、2キーロールオーバーのモードとなり、クロックのプリスケール値=31となります。表示RAMはクリアされません。
CS	チップセレクト入力	入力	"L"でアクティブです。
A <sub>0</sub>	コマンド/データ制御入力	入力	この信号が"H"であると、データバスを介して入出力される信号が、コマンド(入力)かステータス(出力)であることを示し、"L"であるとデータ(入出力)であることを示します。
RD	読み出し制御入力	入力	データバスへのデータ読み出し制御入力。
WR	書き込み制御入力	入力	データバスからのコマンド/データ書き込み制御入力。
INT	割り込み要求出力	出力	キーボードとストロブモードでFIFO中にデータがあると、"H"となってCPUへ割り込みを要求します。複数個のデータがFIFOにある場合、データを1個読み出すごとに、この信号は一度"L"となりますが、FIFO中にデータが残っていると再び"H"となって再度CPUへの割り込みを要求します。センサーマトリクスモードでは、センサーマトリクスに変化があると"H"となります。このモードでは"L"へ引き戻すためには割り込み終了コマンドを実行する必要があります。
S <sub>0</sub> ~S <sub>3</sub>	走査出力	出力	キースイッチやセンサーマトリクス、表示用ディジットを走査するのに使われます。このタイミング信号はモードに応じてデコード又はエンコードされて出力されますが、エンコードモードでは外部にデコーダを設ける必要があります。RESET="H"のときS <sub>0</sub> ~S <sub>3</sub> はすべて"L"となります。
R <sub>0</sub> ~R <sub>7</sub>	リターンライン入力	入力	キーやセンサースイッチに対応したリターン入力で、ストロブモードにおける8ビットの入力にも使われます。スイッチが押されて"L"入力が入るとき以外は"H"となるように内部にプルアップ抵抗が接続されています。"L"でアクティブです。
SHIFT	シフト入力	入力	キーボードモードで、シフト入力としてキー入力データの最上位ビットのデータとなってFIFOに格納されます。"L"でアクティブです。他のモードでは、この入力は完全に無視されます。内部プルアップ抵抗によって常時"H"に保持されています。
CNTL	コントロール入力	入力	キーボードモードではコントロール入力として、キー入力データの最上位ビットのデータとなってFIFOに格納されます。"L"でアクティブです。ストロブモードでは、ストロブ信号となり、この入力の立上りのエッジでリターン入力のデータを取り込みます。センサーモードでは内部に何らの影響も与えません。内部プルアップ抵抗によって常時"H"に保持されています。
OA <sub>0</sub> ~OA <sub>3</sub> OB <sub>0</sub> ~OB <sub>3</sub>	表示A出力 表示B出力	出力	使い方により、2個の4ビットポートとして、あるいは1個の8ビットポートとして使用できる出力ポートであり、走査タイミング信号に同期して表示用RAMの内容が出力されます。2個の出力ポートはそれぞれ独立にブランキングすることができ、ブランキングの状態はクリアコマンドによって全て"H"の状態にも、全て"L"の状態にもすることができます。
BD	表示ブランキング出力	出力	走査タイミング信号の変化時に表示のオーバーラップを防ぐために用いられるブランキング信号です。表示ブランキングコマンドによっても"L"にすることができます。

## 動作説明

M5L 8279Pの内部は、キーボード部と表示部とから構成されており、8個の8ビット命令によりプログラムされて動作します。

キーボード部は、内部にキーデバウンス制御用の64ビットのバッファと8×8ビットのFIFO/センサーRAMを持ち、キーボードモード、センサーマトリクスモード又はストロブモードのいずれかのモードで動作します。キーボードモードは最も一般的なモードで、2キーロールオーバーとNキーロールオーバーがプログラム可能です。キーデバウンス回路を通して、キー入力に対応するタイミングがコード化されてFIFOに入力されますが、このキーデバウンス時間もプログラムにより変えることができます。センサーマトリクスモードは、8×8構成の接点の内容が常に8×8ビットのFIFO/センサーRAMに読み込まれていて、この内容に変化があると、CPUへの割り込み信号を発生するモードで、ストロブモードはCNTL入力信号をストロブ信号とし

て8本のリターン入力をFIFO/センサーRAMに取り込むモードです。

表示部は2個の16×4ビット構成が可能な16×8ビットの表示レジスタ(RAM)を内蔵しています。レジスタはプログラムによって8けた/16けたの選択が可能で、さらに16×4×2又は8×4×2のような構成を取ることも可能です。レジスタへは左右どちらの方向からも置数することができ、最初だけアドレス指定を行えばよいオートインクリメントモードでも書き込み、読み出しできるようになっています。

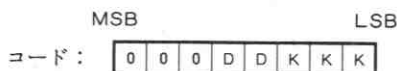
キーボード部、表示部ともに、基本クロックから分周して作られる共通の走査タイミング信号によって走査されますが、この分周比もプログラムによって変更可能です。走査モードには、デコードモードとエンコードモードがあり、デコードモードではスキャンカウンタの下2ビットの信号からデコード化されたタイミング信号が出力され、エンコードモードではスキャンカウンタの4ビットバイナリ出力を外部でデコードして使うようになっています。

**M5L 8279P, M5L 8279P-5**

(旧形名M58743P)

**PROGRAMMABLE KEYBOARD/DISPLAY INTERFACE****コマンドの説明**

8種類のコマンドがあり、 $\overline{CS}$ を“L”、 $A_0$ を“H”にして、 $\overline{WR}$ 信号の立上りエッジで書き込むことができます。

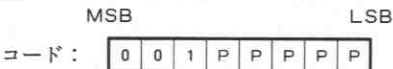
**(1) モードセットコマンド****DD (表示モード指定コード)**

- 0 0 8—8ビットキャラクタ表示—左置数
- 0 1 16—8ビットキャラクタ表示—左置数\*
- 1 0 8—8ビットキャラクタ表示—右置数
- 1 1 16—8ビットキャラクタ表示—右置数

**KKK (キーボードモード指定コード)**

- 0 0 0 エンコード表示 キーボードモード—2キーロールオーバー\*
- 0 0 1 デコード表示 キーボードモード—2キーロールオーバー
- 0 1 0 エンコード表示 キーボードモード—Nキーロールオーバー
- 0 1 1 デコード表示 キーボードモード—Nキーロールオーバー
- 1 0 0 エンコード表示 センサーマトリクスモード
- 1 0 1 デコード表示 センサーマトリクスモード
- 1 1 0 エンコード表示 スローブモード
- 1 1 1 デコード表示 スローブモード

注: リセット後は\*印のモードになる

**(2) プログラムクロックコマンド**

外部クロックが、このコマンドで指定されたプリスケール値PPPPPで分周されて内部基準クロックが作られます。

内部基準クロックを100kHzにすると5.1msのキーボードスキャンタイム、10.3msのデバウンスタイムが得られます。2進数PPPPPによって指定できるプリスケール値は、2から31までで、PPPPPが00000と00001の場合はどちらもプリスケール値は2となります。リセット信号後は31にプリスケールされ、クリアコマンドではプリスケール値はクリアされません。

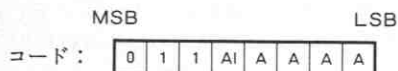
**(3) FIFO読み出しコマンド**

Xは不使用

このコマンドによって、次からのデータ読み出し( $\overline{CS} \cdot \overline{A_0} \cdot \overline{RD}$ によって行われます)がFIFOから行われます。このコマンドは一度実行されれば、データの読み出しごとに実行する必要はありません。

AIとAAAはセンサーマトリクスモードのみに使われます。AAAによって読み出すFIFOのアドレスを指定することができます。AIはオートインクリメント指定ビットであり、これを“1”にすると、2番目以降の読み出しでは自動的にアドレスが繰り上がります。このオートインクリメントビ

ットは表示RAMのオートインクリメントには影響を与えません。

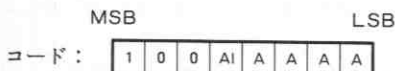
**(4) 表示RAM読み出しコマンド**

このコマンドによって、次からのデータ読み出し( $\overline{CS} \cdot \overline{A_0} \cdot \overline{RD}$ によって行われます)が表示RAMから行われます。このコマンドは一度実行されれば、データの読み出しごとに実行する必要はありません。

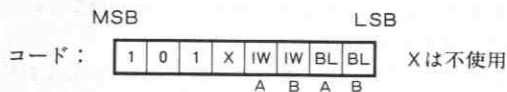
AAAAは表示RAM読み出し・書き込み用のカウンタをセットする値で、次に実行される読み出し又は書き込みが行われる表示RAMのアドレスを指定します。

AIはオートインクリメント指定ビットで、これを“1”にすると2番目以降の読み出し、書き込みでは自動的にアドレスが繰り上がります。

このコマンドのAIビットは、センサーマトリクスモードにおけるFIFO読み出しのオートインクリメントには影響を与えません。

**(5) 表示RAM書き込みコマンド**

このコマンドによって、データ読み出しの際のソース(FIFOか表示RAMか)を変えることなく、次から行われる表示RAMの読み出し、書き込みのアドレス指定をすることができます。AIとAAAAの意味は、表示RAM読み込みコマンドの場合と全く同じです。

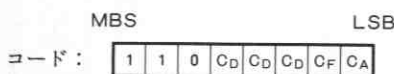
**(6) 表示書き込み禁止/ブランキングコマンド**

Xは不使用

IWはA又はBの出力に対応した表示RAMへの書き込み禁止ビットであり、“1”によって禁止されます。

BLはA又はBの各出力をブランキングするときに使用され、“1”によってブランキングされます。A、Bどちらのブランキングビットも“1”にすると $\overline{BD}$ 信号が“L”となり、8ビットの表示モードのブランキングに使用することができます。

リセット後はIW、BL全て“0”のコマンドを実行したのと同じ状態になります。

**(7) クリアコマンド**

C<sub>D</sub>: 表示RAMのクリア

C<sub>D</sub> C<sub>D</sub> C<sub>D</sub>

0 X X 何も行きません

## M5L 8279P, M5L 8279P-5

(旧形名M58743P)

## PROGRAMMABLE KEYBOARD/DISPLAY INTERFACE

- 1 0 X 表示RAMの内容を全て“0”にします  
 1 1 0 表示RAMの内容を20H (00100000=0A<sub>3</sub>  
 0A<sub>2</sub>0A<sub>1</sub>0A<sub>0</sub>0B<sub>3</sub>0B<sub>2</sub>0B<sub>1</sub>0B<sub>0</sub>)にします  
 1 1 1 表示RAMの内容を全て“1”にします

C<sub>F</sub>: ステータスワードのクリアと割り込み信号 (INT) のリセット

C<sub>A</sub>: 表示RAMとステータスワードのクリア、割り込み信号 (INT) のリセット

表示RAMのクリア条件はC<sub>D</sub>の下位2ビットによって決まります。

表示RAMのクリアには、1表示走査時間が必要で、この間ステータスワードの最上位ビットである表示RAM使用不能のステータスが“1”となります。表示のモードがたとえ8桁表示やデコードモードであっても、1表示走査時間(16桁スキャン時間)の間、表示RAMはアクセス不可能です。

C<sub>F</sub>、C<sub>A</sub>ともにチップ内部のキーデバウンスカウンタをリセットするので、クリアコマンド実行までのキー入力は全て無視されチップ内部のFIFOカウンタがリセットされて割り込み信号 (INT) が“L”となります。

C<sub>A</sub>では内部タイミングカウンタがリセットされ、走査タイミング信号S<sub>0</sub>~S<sub>3</sub>は、コマンド実行後S<sub>3</sub>S<sub>2</sub>S<sub>1</sub>S<sub>0</sub>=0000から始まります。

(8) 割り込み終了/エラーモードセットコマンド

MSB LSB

コード: 

1	1	1	E	X	X	X	X
---	---	---	---	---	---	---	---

 Xは不使用

センサーマトリクスモードでは、センサースイッチに変化があると、次のキー走査時間の最初で割り込み信号を発生し、以下のFIFOへの書き込みが禁止されますが、このコマンドを実行することにより、割り込み信号が解除され、FIFOへの書き込みが再び行われます。

Eを“0”にしておくと、センサースイッチにひとつでも押されたものがあれば、ステータスワードの上位から2ビット目が“1”となります。Eを“1”にしておくと、このステータスは常に“0”となります。

NキーロールオーバーのモードでE=“1”にして、このコマンドを実行すると、スペシャルエラーモードとなります。

スペシャルエラーモードではひとつのキー走査時間内に2個以上のキーの押し下げがある場合エラーと判定し、ステータスワードの上位から2ビット目を“1”にセットします。

## ステータスワード

MSB LSB

DU	S/E	0	U	F	N	N	N
----	-----	---	---	---	---	---	---

NNN: キーボードモードとストローブモードにおいてFIFO中にあるキャラクタ数を示します。

F: FIFOが8個のキャラクタで満たされていることを示します。

FとNNNとでFIFO中のキャラクタ数(0~8個)がわかります。(FNNN=0000~FNNN=1000)

U: アンダーランエラーフラグ

FIFOが空のときに(FNNN=0000)、CPUがFIFOの内容を読み取ろうとしたとき、このフラグが“1”となります。

O: オーバーランエラーフラグ

FIFOが満たされているとき(FNNN=1000)、さらにFIFOへの書き込みがなされると、このフラグが“1”となります。

U及びOはステータス読み出しではクリアされません。クリアするにはクリアコマンドを実行する必要があります。

S/E: センサーモードで割り込み終了/エラーモードセットコマンド(111EXXXX)をE=“0”にして実行すると、センサーマトリクス内のスイッチが1個でも閉じているとき、このフラグが“1”となります。

Nキーロールオーバーで割り込み終了/エラーモードセットコマンド(111EXXXX)をE=“1”にして実行すると(スペシャルエラーモード)、同一キー走査時間内に2個以上のキー押し下げがある場合、このフラグが“1”となります。

DU: クリアコマンド実行後、1表示走査時間このフラグが“1”となって、表示RAMがアクセス不能であることを知らせます。



## PROGRAMMABLE KEYBOARD/DISPLAY INTERFACE

## CPUとのインターフェース

## (1) コマンドの書き込み

$\overline{CS}=\overline{WR}=0$ 、 $A_0=1$ の条件で、 $\overline{WR}$ 信号の立上りエッジで行われます。

## (2) データの書き込み

$\overline{CS}=\overline{WR}=0$ 、 $A_0=0$ の条件で、 $\overline{WR}$ 信号の立上りエッジで表示RAMへのデータの書き込みが行われます。表示RAM書き込みのオートインクリメントモード指定がなされている場合、 $\overline{WR}$ 信号の立上りエッジで表示RAMのアドレスはインクリメントされます。

## (3) ステータスの読み取り

$\overline{CS}=\overline{RD}=0$ 、 $A_0=1$ の条件で、ステータスワードの読み取りが行われます。データは $\overline{RD}$ 信号が"0"の間、データバス上に現われます。

## (4) データの読み取り

$\overline{CS}=\overline{RD}=0$ 、 $A_0=1$ の条件で、FIFO又は表示RAMのデータの読み取りが行われます。データのソース (FIFOか表示RAMか) の指定は、コマンド (FIFO読み出しコマンド又は表示RAM読み出しコマンド) によって行われます。データは $\overline{RD}$ 信号が"0"の間、データバス上に現われ、オートインクリメントモードの場合は $\overline{RD}$ 信号の立下りエッジでFIFOあるいは表示RAMのアドレスのインクリメントが行われます。なお、リセット後のデータソースはFIFOとなります。

$\overline{CS}$	$A_0$	$\overline{RD}$	$\overline{WR}$	動作
0	1	1	0	コマンド書き込み
0	0	1	0	データ書き込み
0	1	0	1	ステータス読み取り
0	0	0	1	データ読み取り
1	X	X	X	何も行われません

## キーボードとのインターフェース

キーボードとのインターフェースはタイミング信号 ( $S_0 \sim S_3$ ) とリターン入力 ( $R_0 \sim R_7$ )、SHIFT、CNTL入力として行われます。

デコードモードでは $S_0 \sim S_3$ にデコード化されたタイミング信号が発生し、エンコードモードでは $S_0 \sim S_2$ のタイミング信号を3→8デコーダでデコードして使用します。リターン入力 ( $R_0 \sim R_7$ )、SHIFT、CNTL入力はチップ内部にプルアップ抵抗が内蔵されています。

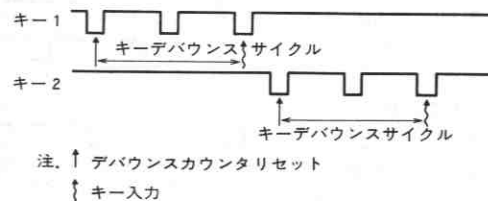
キーのバウンスロジックはリターン入力とタイミング信号の組合せで得られる最大64個のキー入力に対して可能です。

キーボードには以下に説明する4種のモードがありますが、ここで「キースキャンサイクル」とは64個のキーマトリクスがスキャンされる時間で、「キーデバウンスサイクル」は「キースキャンサイクル」の2倍の時間です。(デコードモードの場合、最大キーマトリクスは32個ですが、キースキャンサイクルとキーデバウンスサイクルはエンコードモードと同じ時間間隔です。)

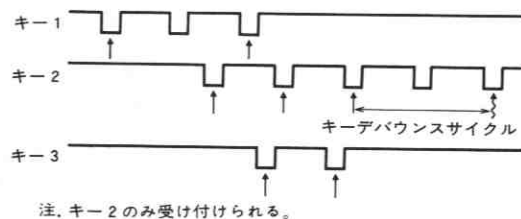
## (1) 2キーロールオーバー (スキャンキーボードモード)

新たなキーの押し下げを検出すると、内部キーデバウンスカウンタがリセットされると同時にカウントを開始し、キーデバウンスサイクル時間経過後チェックして同一キーが押されていれば、このキーを入力します。キーがFIFOへ入力されると、割り込み信号 (INT) が発生します。キーデバウンスサイクル内に他のキー入力があれば、キーデバウンスカウンタがそこで再リセットされ、前の入力は無効となります。従って、単一のキーがキーデバウンスサイクル時間入力されたときのみキー入力が受け付けられ、2個以上のキーが同時に押された場合、全てのキーは無視されます。

## 例1. 2個のキーが順に押されて受け付けられる例



## 例2. 3個のキーが重なりあって押された例



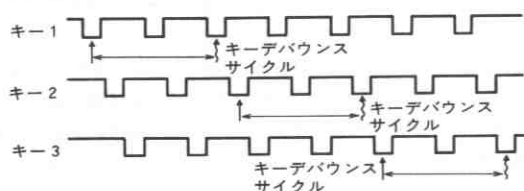
## M5L 8279P, M5L 8279P-5

(旧形名M58743P)

## PROGRAMMABLE KEYBOARD/DISPLAY INTERFACE

## (2) Nキーロールオーバー (スキャンキーボードモード)

各キーは完全に独立に取り扱われ、キー入力に重なりがあってもよろしい。新たなキーの押し下げを検出すると、内部キーデバウンスカウンタがリセットされると同時にカウントを開始することは、2キーロールオーバーと変わりありませんが、このモードでは、キーデバウンスサイクル内は完全に他の入力は無視され、他のキー入力があっても、キーデバウンスカウンタは再リセットされません。このようにして、キーの重なりを許した次のようなキー入力が可能です。

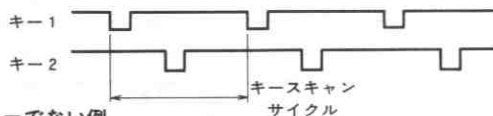


キー入力はタイミング信号によりスキャンングされて入力されるため、スキャンされたキー入力信号は実際のキー押し下げの動作と必ずしも一致しないことがあります。

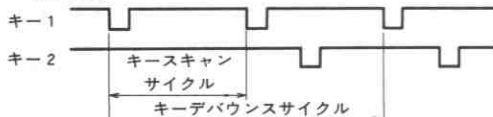
Nキーロールオーバーでは、1キースキャンサイクル以内に2個以上のキー入力がある場合、エラーと判定するモードがあり、これは割り込み終了/エラーモードセットコマンドによってセットできます。このモード(スペシャルエラーモード)では、上記エラーがあると、INT信号を“1”にして、ステータスワードのS/Eビットを“1”にします。

なお、2個のキー入力が1キースキャンサイクル以上離れて入力した場合は、キーの前後関係は、はっきりわかる訳ですから問題ありません。また、2キーロールオーバーでは、どちらのキーも無効となりますので、このような問題はありません。

## エラーの例



## エラーでない例



## (3) センサーマトリクスモード

このモードではチップ内のキーデバウンスロジックは動作せず、キーマトリクスの状態をFIFOに読み込んでいて、この状態に変化があると割り込み信号(INT)を発生してCPUへ知らせます。このモードでは、キーデバウンス回路は使用できませんが、スイッチの状態を直接CPUが見ることができる利点があります。

割り込み終了/エラーモードセットコマンドでEを“0”にして実行すれば、センサースイッチにひとつでも押されたものがあるとき、ステータスワードの上位から2ビット目(S/Eビット)が“1”となります。

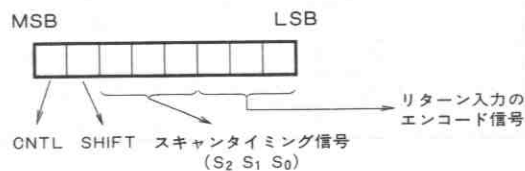
センサーの変化は、複数個のスイッチに変化があっても割り込みは1度だけ $S_0S_1S_2=000$ のタイミングの最初で発生します。

## (4) ストローブモード

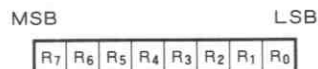
CNTLピンに入力されるストローブパルスに同期して、リターン入力( $R_0 \sim R_7$ )のデータをFIFOへとり込むモードです。データの入力はCNTLピンの立上りで行われ、FIFOへデータが読み込まれるとキーボードモードと同様に割り込み信号(INT)が発生します。キーデバウンス回路は一切動作しません。

上記各モードにおけるFIFOへ入力されるデータのフォーマットは次のようになります。(MSB→ $D_7$ , LSB→ $D_0$ に対応します。)

## キーボードモード

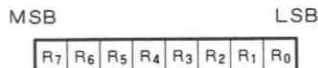


## センサーマトリクスモード



CNTL、SHIFT入力は無視されます。

## ストローブモード



CNTL、SHIFT入力は無視されます。

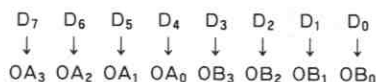
## M5L 8279P, M5L 8279P-5

(旧形名M58743P)

## PROGRAMMABLE KEYBOARD/DISPLAY INTERFACE

## 表示装置とのインターフェース

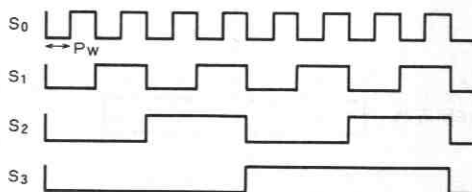
表示装置とのインターフェースは8本の表示データ出力(OA<sub>0</sub>~OA<sub>3</sub>, OB<sub>0</sub>~OB<sub>3</sub>)とブランキング信号(BD)、スキヤニングタイミング信号(S<sub>0</sub>~S<sub>3</sub>)によって行われます。データバスと表示出力との対応は下記の様になります。



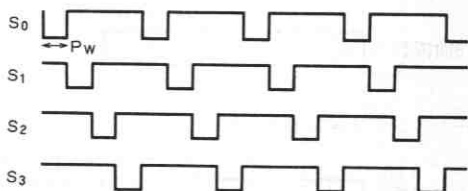
表示RAMのクリアはリセット信号(9ピン)ではされずクリアコマンドの実行が必要です。

エンコードモード、デコードモードにおけるS<sub>0</sub>~S<sub>3</sub>のタイミング関係を下図に示しますが、エンコードモードでは8けた/16けた表示に応じて3→8デコーダ又は4→16デコーダが必要です。

## (1) エンコードモード

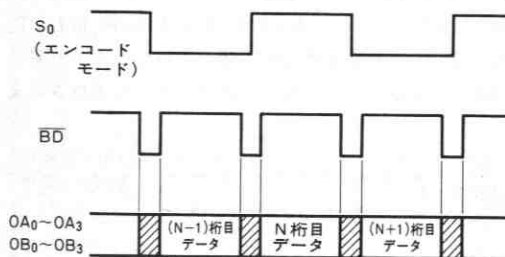


## (2) デコードモード



注、パルス幅はプリスケール後の内部クロック周波数を100kHzとしてP<sub>W</sub>=640μsです。

タイミング信号と表示データ出力、ブランキング信号の関係を下図に示します。



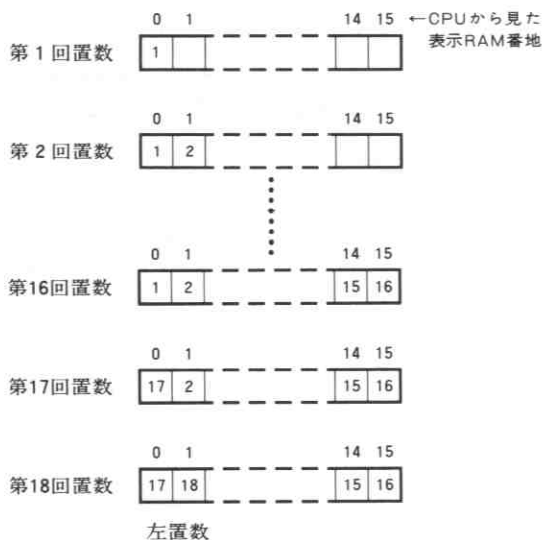
注、データ出力の斜線部の値は、最後に実行されたクリアコマンドによって決定され、クリア時の表示RAMの値となります。リセット後の斜線部の値は“L”となります。同様にブランキングコマンドを実行した際のOA<sub>0</sub>~OA<sub>3</sub>, OB<sub>0</sub>~OB<sub>3</sub>の値も最後に実行されたクリアコマンドに依存します。A、Bともにブランキングした場合、BD信号は常に“L”となります。

## PROGRAMMABLE KEYBOARD/DISPLAY INTERFACE

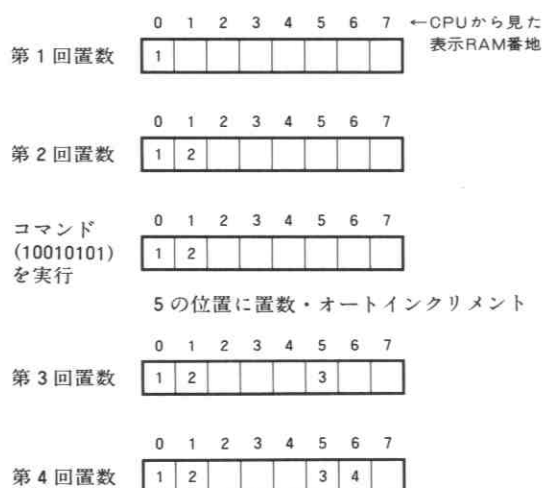
次に置数の方法について簡単に説明します。

## (1) 左置数

アドレス0を表示の一番左(エンコードモードで $S_3S_2S_1S_0=0000$ に対応)、アドレス15(又は7)を表示の一番右( $S_3S_2S_1S_0=1111$ )に対応させ左から置数されていくモード。17番目のデータはアドレス0の位置へもどって置数されません。

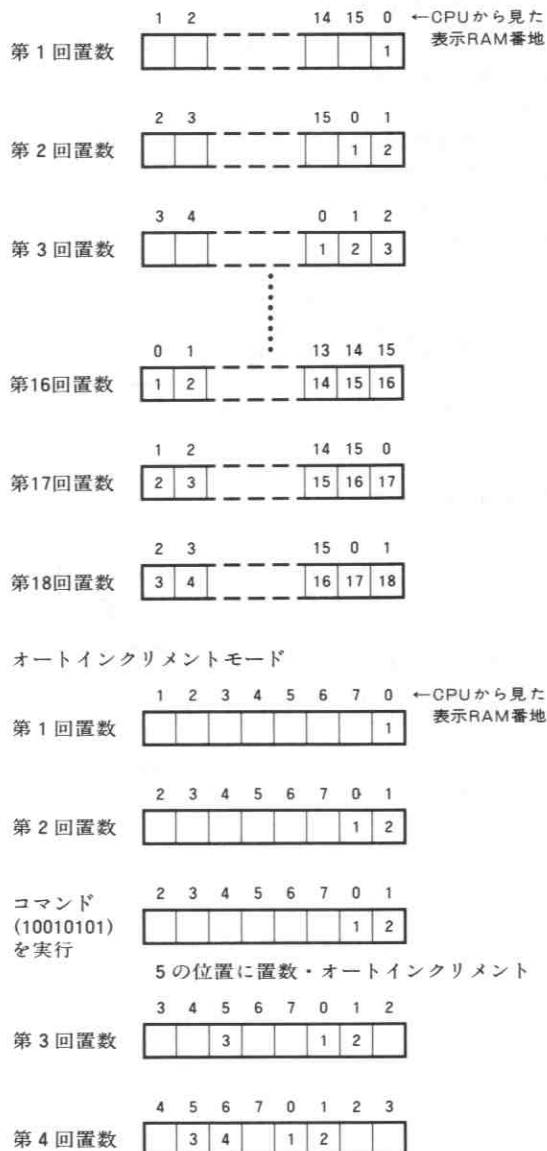


## オートインクリメントモード



## (2) 右置数

アドレス0に対応したデータが表示の一番右に置数されます。次からの置数では、今までのデータが左に一けたシフトされ、新しいデータが一番右に置数されます。CPUからみたレジスタRAMのアドレスと表示位置とが一致しなくなるので注意が必要です。



## M5L 8279P, M5L 8279P-5

(旧形名M58743P)

## PROGRAMMABLE KEYBOARD/DISPLAY INTERFACE

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧	V <sub>SS</sub> 端子を基準にした場合	-0.7~7	V
V <sub>I</sub>	入力電圧		-0.5~7	V
V <sub>O</sub>	出力電圧		-0.5~7	V
P <sub>d</sub>	最大消費電力	T <sub>a</sub> =25℃	1000	mW
T <sub>opr</sub>	動作周囲温度		0~70	℃
T <sub>stg</sub>	保存温度		-40~125	℃

推奨使用条件(指定のない場合は, T<sub>a</sub>=0~70℃)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧		(注1)		V
V <sub>SS</sub>	電源電圧		0		V
V <sub>IH(RL)</sub>	"H"入力電圧, リターンライン入力, シフト入力, コントロール入力	2.2			V
V <sub>IH</sub>	"H"入力電圧, 他の入力	2			V
V <sub>IL(RL)</sub>	"L"入力電圧, リターンライン入力, シフト入力, コントロール入力	V <sub>SS</sub> -0.5		1.4	V
V <sub>IL</sub>	"L"入力電圧, 他の入力	V <sub>SS</sub> -0.5		0.8	V

注1. M5L 8279P, V<sub>CC</sub>=5V±5%; M5L 8279P-5, V<sub>CC</sub>=5V±10%電気的特性(指定のない場合は, T<sub>a</sub>=0~70℃, V<sub>CC</sub>=注1, V<sub>SS</sub>=0V)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>OH</sub>	"H"出力電圧	M5L 8279P	I <sub>OH</sub> =-100μA	2.4		V
		M5L 8279P-5	I <sub>OH</sub> =-400μA			
V <sub>OH(INT)</sub>	"H"出力電圧, 割り込み要求 出力	M5L 8279P	I <sub>OH</sub> =-100μA	3.5		V
		M5L 8279P-5	I <sub>OH</sub> =-400μA			
V <sub>OL</sub>	"L"出力電圧	M5L 8279P	I <sub>OL</sub> =1.6mA		0.45	V
		M5L 8279P-5	I <sub>OL</sub> =2.2mA			
I <sub>CC</sub>	電源電流				120	mA
I <sub>I(RL)</sub>	入力電流, リターンライン入力, シフト入力, コントロール入力		V <sub>I</sub> =V <sub>CC</sub>		10	μA
			V <sub>I</sub> =0V	-100		μA
I <sub>I</sub>	入力電流, 他の入力		V <sub>I</sub> =V <sub>CC</sub> -0V	-10	10	μA
I <sub>OZ</sub>	オフ状態出力電流		V <sub>I</sub> =V <sub>CC</sub> -0V	-10	10	μA
C <sub>I</sub>	入力容量		V <sub>I</sub> =V <sub>CC</sub>	5	10	pF
C <sub>O</sub>	出力容量		V <sub>O</sub> =V <sub>CC</sub>	10	20	pF

## M5L 8279P, M5L 8279P-5

(旧形名M58743P)

## PROGRAMMABLE KEYBOARD/DISPLAY INTERFACE

タイミング必要条件(指定のない場合は,  $T_a=0\sim 70^\circ\text{C}$ ,  $V_{CC}=\text{注1}$ ,  $V_{SS}=0\text{V}$ )

## リードサイクル

記号	項目	他社相当記号	測定条件	M5L 8279P			M5L 8279P-5			単位
				規格値			規格値			
				最小	標準	最大	最小	標準	最大	
$t_{C(R)}$	リードサイクル時間	$t_{RCY}$	(注2)	1000			1000			ns
$t_{W(R)}$	リードパルス幅	$t_{RR}$		420			250			ns
$t_{SU(A-R)}$	リード前アドレスセットアップ時間	$t_{AR}$		50			0			ns
$t_{H(R-A)}$	リード後アドレスセットアップ時間	$t_{RA}$		5			0			ns

## ライトサイクル

記号	項目	他社相当記号	測定条件	M5L 8279P			M5L 8279P-5			単位
				規格値			規格値			
				最小	標準	最大	最小	標準	最大	
$t_{W(W)}$	ライトパルス幅	$t_{WW}$	(注2)	400			250			ns
$t_{SU(A-W)}$	ライト前アドレスセットアップ時間	$t_{AW}$		50			0			ns
$t_{H(W-A)}$	ライト後アドレスホールド時間	$t_{WA}$		20			0			ns
$t_{SU(DQ-W)}$	ライト前データ入力セットアップ時間	$t_{DW}$		300			150			ns
$t_{H(W-DQ)}$	ライト後データ入力ホールド時間	$t_{WD}$		40			0			ns

## その他のタイミング

記号	項目	他社相当記号	測定条件	M5L 8279P			M5L 8279P-5			単位
				規格値			規格値			
				最小	標準	最大	最小	標準	最大	
$t_{C(\phi)}$	クロックサイクル時間	$t_{CY}$	(注2)	500			320			ns
$t_{W(\phi)}$	クロックパルス幅	$t_{\phi W}$		230			120			ns

プリスケール後の内部クロック周波数が $\geq 100\text{kHz}$ の場合

- キースキャンサイクル時間       $\sim 5.1\text{ms}$
- キーデバウンスサイクル時間     $\sim 10.3\text{ms}$
- 1個のキーのスキャン時間         $80\mu\text{s}$
- 表示スキャン時間                 $\sim 10.3\text{ms}$
- 1けた表示時間                     $510\mu\text{s}$
- ブランキング時間                 $150\mu\text{s}$
- 内部クロックサイクル             $10\mu\text{s}$

## 注2. 測定条件

入力パルスレベル	0.45~2.4V	"H"入力判定電圧	2V
入力パルス上昇時間	20ns	"L"入力判定電圧	0.8V
入力パルス下降時間	20ns	M5L 8279P, $C_L=100\text{pF}$ ; M5L 8279P-5, $C_L=150\text{pF}$	

スイッチング特性(指定のない場合は,  $T_a=0\sim 70^\circ\text{C}$ ,  $V_{CC}=\text{注1}$ ,  $V_{SS}=0\text{V}$ )

記号	項目	他社相当記号	測定条件	M5L 8279P			M5L 8279P-5			単位
				規格値			規格値			
				最小	標準	最大	最小	標準	最大	
$t_{PZV(R-DQ)}$	リード後出力イネーブル時間	$t_{RD}$	(注3)			300			150	ns
$t_{PZV(A-DQ)}$	アドレス後出力イネーブル時間	$t_{AD}$				450			250	ns
$t_{PVZ(R-DQ)}$	リード後出力ディセーブル時間	$t_{DF}$		10		100	10		100	ns

## 注3. 測定条件

入力パルスレベル	0.45~2.4V	"L"入力判定電圧	0.8V
入力パルス上昇時間	20ns	"H"出力判定電圧	2V
入力パルス下降時間	20ns	"L"出力判定電圧	0.8V
"H"入力判定電圧	2V	M5L 8279P, $C_L=100\text{pF}$ ; M5L 8279P-5, $C_L=150\text{pF}$	

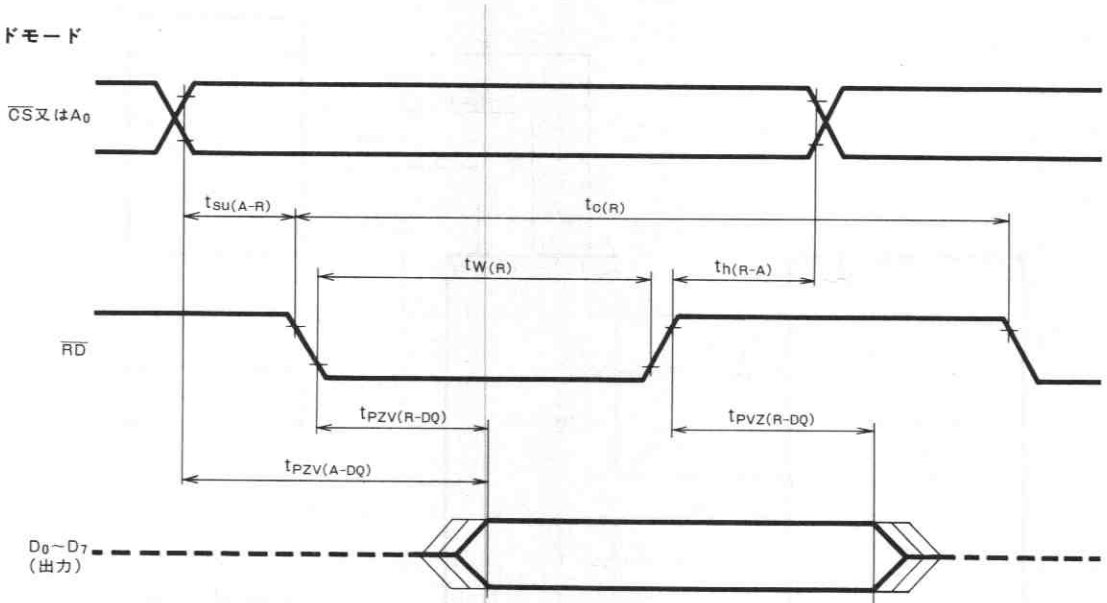
# M5L 8279P, M5L 8279P-5

(旧形名M58743P)

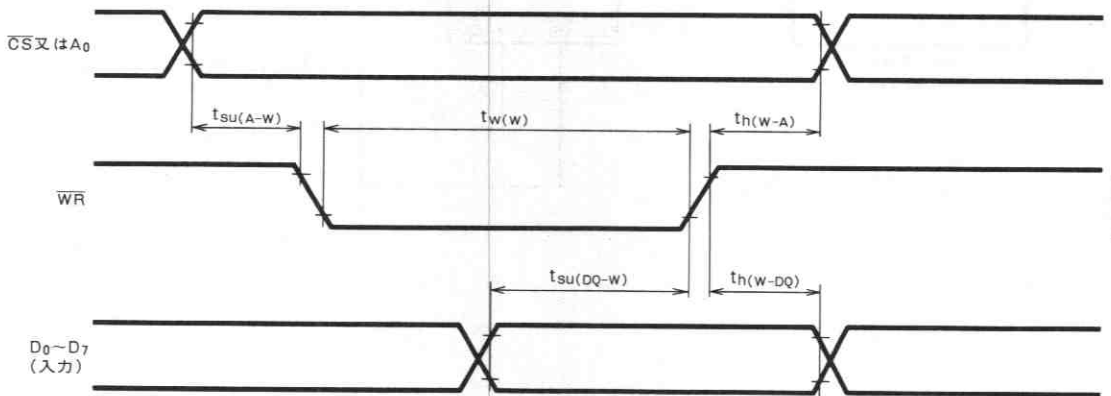
## PROGRAMMABLE KEYBOARD/DISPLAY INTERFACE

### タイミング図

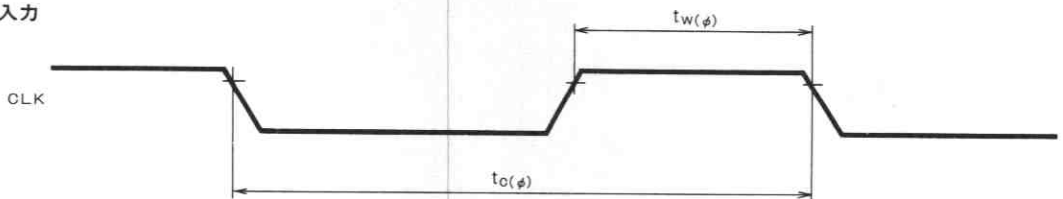
#### リードモード



#### ライトモード



#### クロック入力

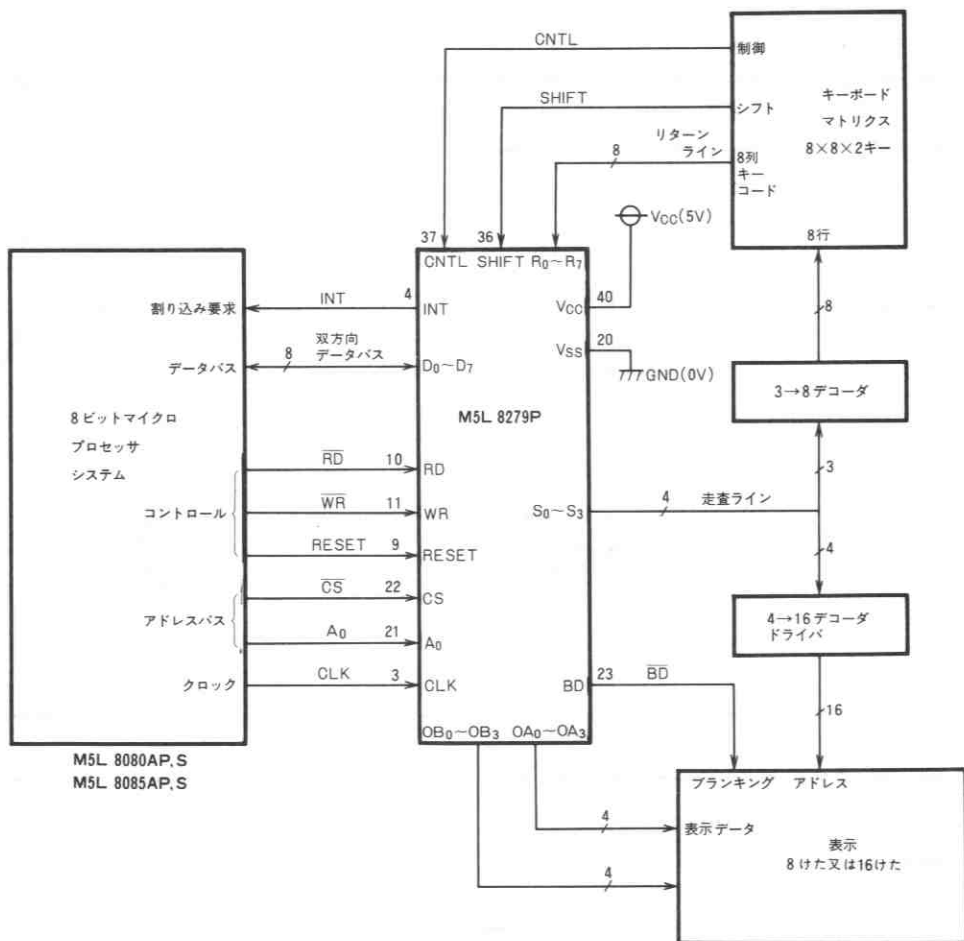


# M5L 8279P, M5L 8279P-5

(旧形名M58743P)

## PROGRAMMABLE KEYBOARD/DISPLAY INTERFACE

### 応用回路例





---

# 汎用MOS LSI

---

101 200 1000

101

# M58412P, M58413P

## CMOS LCD ALARM CLOCK CIRCUIT

### 概要

M58412Pは4.2MHz、M58413Pは32kHzの水晶発振子を利用した4けた液晶表示式のアルミゲートCMOSプロセスによるデジタルアラーム水晶時計用LSIです。

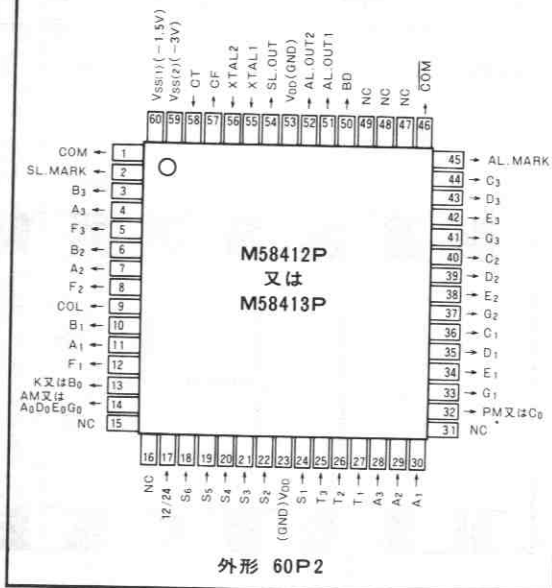
### 特長

- 低消費電流  
M58412P(4.2MHz,  $V_{SS(1)} = -1.5V$ ) ……30 $\mu$ A(標準)  
M58413P(32kHz,  $V_{SS(1)} = -1.5V$ ) ……2 $\mu$ A(標準)
- 12時間制はAM/PM・時・分を、24時間制は時・分を表示
- 時・分のセットは各単独のボタンにより行えます
- アラーム出力は5種類の信号を持っています
  - ・アラームベル音の連続信号
  - ・アラームベル音の不連続信号
  - ・外部のベル発振回路駆動信号
  - ・電子機器スイッチング用信号
  - ・12分又は120分のDC信号
- アラームベル用出力は12分間(最大)出せます
- 10分間のうたたね機能
- 電池電圧が決められた電圧以下になると表示が点滅
- 液晶マーク出力としてアラームマーク、スリープマークの出力があり、表示を見ればどの機能が動作中か一目で解ります
- おやすみ時計、留守番録音用タイマは59分以内の任意時間に設定可能(留守番録音用タイマは120分間の出力を同時に持つ)

### 応用

- うたたね機能付目覚時計
- おやすみ時計
- トラベルウォッチ

ピン接続図(上面図)

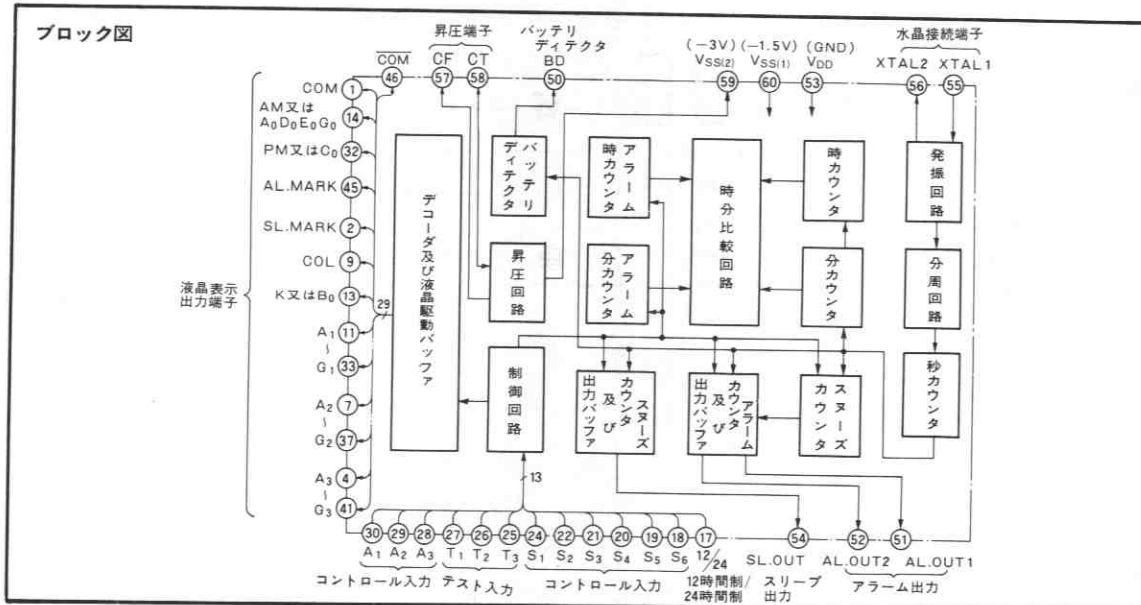


- 電子機器スイッチング用タイマ
- オーディオ留守番録音用タイマ

### 機能概要

M58412Pは4.2MHzの発振分周、M58413Pは32kHzの発振分周をすることにより、基本時計(Normal timer)、目覚時計(Alarm timer)、うたたね時計(Snooze timer) おやすみ時計(Sleep timer)、電子機器スイッチング用タイマ、オーディオ留守番録音用タイマとしての機能を持っています。

ブロック図



CMOS LCD ALARM CLOCK CIRCUIT

動作説明

液晶表示板の液晶電極配置とセグメント記号及び表示モードについて図表により説明します。

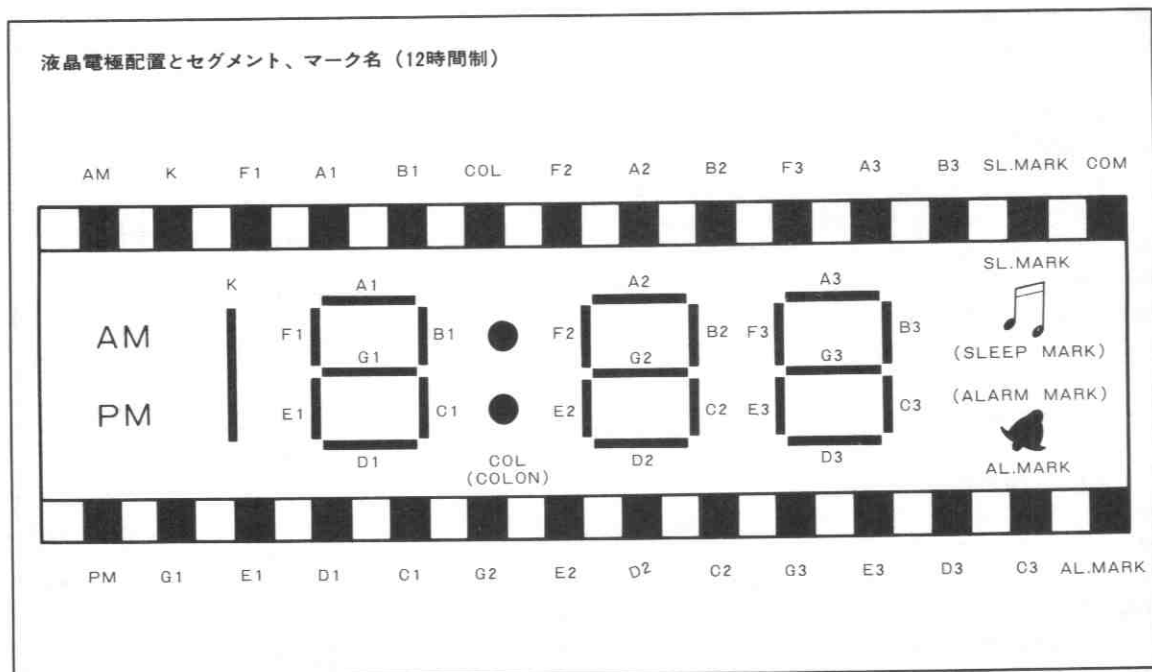





表 1. M58412P, M58413Pの表示方式 (12時間制)

モード	表	示	マーク表示の意味
通常表示	PM 12:56	 →  →	スリープタイマ動作中 アラームタイムセット中
アラーム時刻表示	AM 7:00	 →	アラーム時刻表示中で且つアラーム時刻修正可能
スリープ時間表示	30	 →  →	スリープ時間表示中で且つスリープ時間修正可能 アラームタイマセット中

注1. ※は2秒周期の点滅を示します。

CMOS LCD ALARM CLOCK CIRCUIT

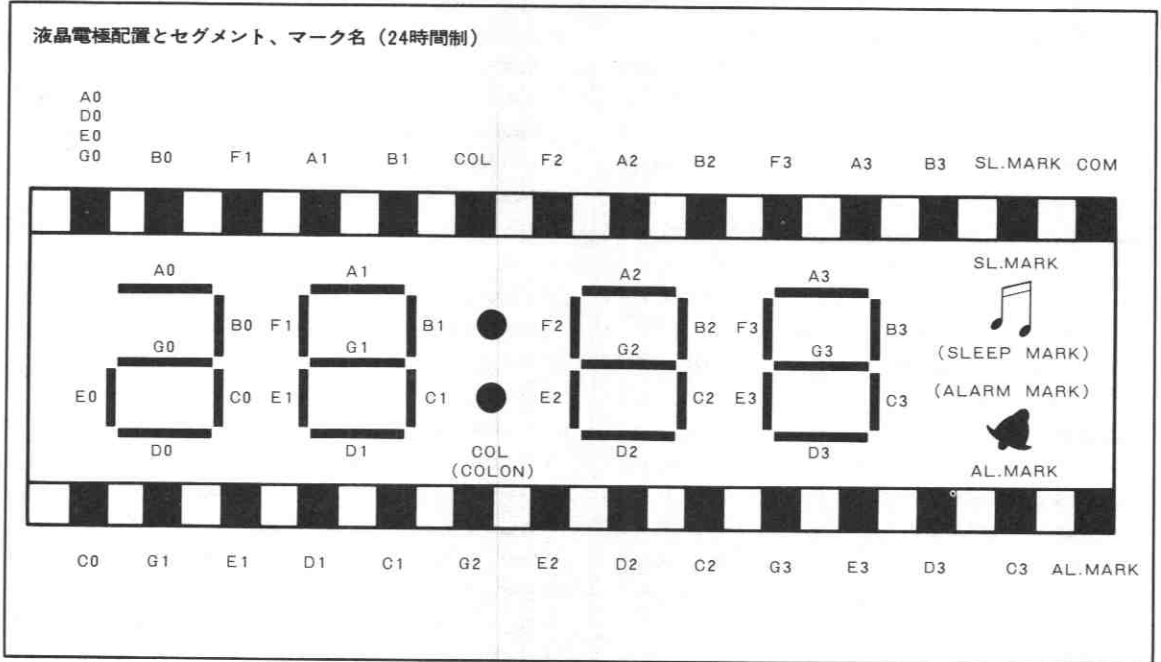







表 2. M58412P, M58413P の表示方式 (24時間制)

モード	表	示	マーク表示の意味
通常表示	20:56	 →  →	スリープタイマ動作中 アラームタイマセット中
アラーム時刻表示	7:00	 →	アラーム時刻表示中で且つアラーム時刻修正可能
スリープ時間表示	30	 →  →	スリープ時間表示中で且つスリープ時間修正可能 アラームタイムセット中

注1. ※は2秒周期の点滅を示します。

## CMOS LCD ALARM CLOCK CIRCUIT

## 入出力端子の機能説明

## 入力端子

全入力端子はLSI内部で $V_{SS(1)}$ ( $-1.5V$ )又は $V_{SS(2)}$ ( $-3V$ )に落としていますので、通常はそのままです。A<sub>1</sub>、A<sub>2</sub>、A<sub>3</sub>、S<sub>1</sub>、S<sub>6</sub>端子は $V_{SS(1)}$ 系で他の入力端子は全て $V_{SS(2)}$ 系です。入力信号を入れるときは $V_{DD}$ (GND)レベルにします。

S<sub>1</sub>端子

基本時計の時刻修正、アラーム時刻セット、スリープ時間セットのときの分析をプッシュボタンスイッチを1回押すごとに1分だけ送ります。この間、時桁への桁上げは禁止しています。またS<sub>1</sub>端子は基本時計の通常表示モードにおいては、スリープタイマのスタート・ストップ入力端子にもなります。スリープタイマの動作中はスリープマークが点灯してそれを知らせ、ストップしたとき、またはスリープタイマが59分になった瞬間、スリープマークは消えます。

S<sub>2</sub>端子

基本時計の時刻修正、アラーム時刻セットのときの時桁をプッシュボタンスイッチを1回押すごとに1時間だけ送ります。またS<sub>2</sub>端子は、基本時計の通常表示モードにおいては、スリープ出力を $V_{SS(1)}$ レベルにする入力端子になります。この機能は、おやすみ時計として最初にセットした時間が経過する以前に、ラジオ等の電子装置を切ることができます。

S<sub>3</sub>端子

A<sub>3</sub>端子が $V_{DD}$ レベルに固定されているときは、この端子を瞬間的に $V_{DD}$ レベルにして入力できるモーメンタリスイッチを使用します。スイッチを押すごとに、モードは、基本時計の通常表示、アラーム時刻表示(アラーム時刻セット可能)、スリープ時間表示(スリープ時間セット可能)と変化します。A<sub>3</sub>端子が浮いているとき(LSI内部で $-1.5V$ になっています)は、S<sub>3</sub>端子には、 $V_{DD}$ レベルが保持できるロックスイッチを使用します。S<sub>3</sub>端子が $V_{DD}$ レベルに保たれている間、モードはアラーム時刻表示モード(アラーム時刻セット可能)にあり、切り離せば、基本時計の通常表示モードになります。このA<sub>3</sub>端子が浮いているときはスリープタイマは使用できませんが、トラベルウオッチなど、モーメンタリスイッチでは不用意に入力が入って、セットしておいたアラーム時刻が狂ってしまう恐れがある場合の应用到好都合です。

S<sub>4</sub>端子

基本時計の通常表示モードにあるとき、この端子を $V_{DD}$ レベルに保つと、基本時計の時刻修正モードになります。S<sub>1</sub>、S<sub>2</sub>端子による修正後、 $V_{DD}$ レベルから切り離れた瞬間、修正時刻の00秒から時計の動作を開始します。

S<sub>5</sub>端子

アラームタイムセット入力端子のことで、この端子を $V_{DD}$ レベルに保てればアラームマークが点灯し、基本時計の時刻がアラーム時刻と一致したとき、2個のアラーム出力、AL.OUT1、AL.OUT2より、アラーム信号が出ます。(ただし、パルス幅250msのアラーム信号は、一致した直後に一発出るのみです。)アラ

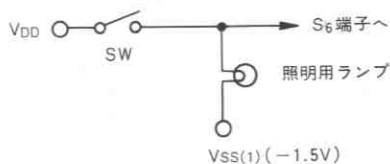
ーム信号を途中で消したいときは、S<sub>5</sub>端子を $V_{DD}$ レベルから切り離せば、アラームマークとアラーム信号は消えます。S<sub>5</sub>端子を $V_{DD}$ レベルから切り離しておけば、基本時計の時刻がアラーム時刻と一致してもアラーム信号は出ません。

S<sub>6</sub>端子

スヌーズセット入力端子、スリープ時間のリセット入力端子夜間の液晶照明用ランプのスイッチ端子を兼ねています。基本時計の通常表示モードでアラーム信号が出ているとき、この端子を瞬間的に $V_{DD}$ レベルにすることにより、アラーム信号を一時止め、9分~10分後に再びアラーム信号を出すことができます。(ただし、パルス幅250msの1パルスアラーム信号を再び出すことはできません。)以上のようなスヌーズ機能はS<sub>6</sub>端子に入力を入れる度に何回でもくり返すことができますが、アラーム信号が12分間出た後では、スヌーズ機能は働きません。スヌーズ機能はうたたね時計などの应用到に便利です。

基本時計の通常表示モードでアラーム信号が出ていないとき、またはスヌーズ機能が働いていないときに、S<sub>6</sub>端子を瞬間的に $V_{DD}$ レベルにすることによりスリープ時間を59分にリセットすることができます。したがって、59~60分後にステレオなどを切りたいときには、わざわざスリープ時間表示モードにして59分をセットする必要はなく、S<sub>6</sub>端子のプッシュスイッチボタンを押して、S<sub>1</sub>端子のスタートボタンを押せば良く非常に便利です。また、S<sub>6</sub>端子は $-1.5V$ 系になっていますので、夜間の液晶照明ランプのスイッチ端子を図1のように兼ねることができます。ただし、照明ランプをつけるたびに、スヌーズセットまたはスリープ時間リセット入力が入りますのでご注意ください。

図1. 夜間液晶照明ランプ回路

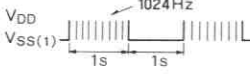
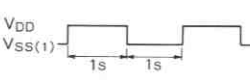
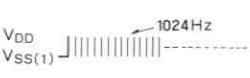



## CMOS LCD ALARM CLOCK CIRCUIT

A<sub>1</sub>, A<sub>2</sub> 端子

この2つの端子を各V<sub>DD</sub>レベルに落とすか否かで表3のようにAL.OUT1端子のアラーム出力を用途に応じて選ぶことができます。

表3. AL.OUT1端子のアラーム出力

A <sub>1</sub>	A <sub>2</sub>	AL.OUT1端子の出力波形	主な用途
N.C.	N.C.		発振回路を持たない発音体駆動用 不連続音
V <sub>DD</sub>	N.C.		発振回路を有する発音体駆動用 不連続音
N.C.	V <sub>DD</sub>		発振回路を持たない発音体駆動用 連続音
V <sub>DD</sub>	V <sub>DD</sub>		電子機器のスイッチング用

A<sub>3</sub> 端子

S<sub>3</sub>端子による通常表示モード、アラーム時刻表示モード、スリープ時間表示モードのモード間遷移をコントロールする端子です。A<sub>3</sub>端子がN.C.のときは、S<sub>3</sub>端子がV<sub>DD</sub>レベルにある間、アラーム時刻表示モードで、切り離せば通常表示モードになり、スリープ時間表示モードにはなりません。A<sub>3</sub>端子がV<sub>DD</sub>レベルにあるときは、S<sub>3</sub>端子が瞬間的にV<sub>DD</sub>レベルになるごとに、通常表示モード、アラーム時刻表示モード、スリープ時間表示モード、通常表示モードのサイクルでモードが変化します。

## 12/24端子

この端子をV<sub>DD</sub>レベルに保つことにより、12時間表示を24時間表示に切り換えることができます。

T<sub>1</sub>, T<sub>2</sub>, T<sub>3</sub> 端子

T<sub>3</sub>端子は高速テストをするためのクロック入力端子で、T<sub>1</sub>端子、T<sub>2</sub>端子は表4のごとくテストモード、オプションを制御します。

表4. テストモード

T <sub>1</sub>	T <sub>2</sub>	モード
N.C.	N.C.	通常使用状態
V <sub>DD</sub>	N.C.	基本時計の通常表示モードでコロンが点滅をやめ点灯を続けます。
N.C.	V <sub>DD</sub>	全カウンタがリセットされ表示は通常表示モードのAM12:00分(24時間制のときは0:00分)になります。アラーム時刻はAM12:00分(24時間制のときは0:00分)、スリープ時間は59分になっています。
V <sub>DD</sub>	V <sub>DD</sub>	分桁から時桁への桁上げを禁止し、コモン出力はV <sub>SS(2)</sub> レベル、表示されるセグメント、マーク出力はV <sub>DD</sub> レベルに固定され、高速テストが可能です。

## 出力端子

## 各セグメント、COM, COM, AL.MARK, SL.MARK 出力端子

COM出力端子のコモン信号は32Hzで、表示されないセグメント、マーク出力端子からはコモン信号が、表示されるセグメント、マーク出力端子からはコモン信号と逆位相の信号が出ます。COM出力端子からは、コモン信号と逆位相の信号が出力され、常時表示したいセグメントに利用できます。

## AL.OUT1 (Alarm output 1) 端子

アラーム出力端子で通常表示時刻がアラーム時刻と一致したとき、表3に示した波形が12分間出ます。ただし、250msのパルス幅の出力は、一致した直後に1発出のみです。アラーム時刻表示モードで一致したときはアラーム出力は1分間出ます。基本時計の時刻修正モードで一致したときは、時刻を進ませるまでアラーム信号は出続けますが、信号は連続音になります。

## AL.OUT2 (Alarm output 2) 端子

A<sub>1</sub>端子、A<sub>2</sub>端子がともにV<sub>DD</sub>レベルのとき(AL.OUT1出力が250msのパルス出力のとき)この端子からは110~120分のDC出力が出ます。アラーム時刻の分桁が10分の整数倍にセットしてあれば120分のDC出力となります。この信号は、2時間の留守番録音用として電子機器を制御するのに便利です。A<sub>1</sub>端子、A<sub>2</sub>端子がともにV<sub>DD</sub>レベル以外のときは、この端子からは11~12分のDC出力が出ます。AL.OUT2出力は、通常表示モード以外では出ません。

図2. アラーム出力波形

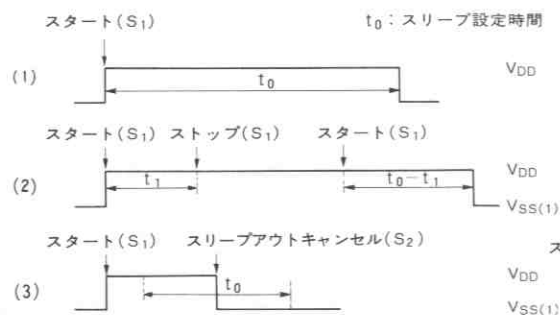


CMOS LCD ALARM CLOCK CIRCUIT

SL. OUT (Sleep output) 端子

この端子は、スリープタイマ又は、ラジオ、テレビ、カセットデッキ、VTR等のスイッチオン、オフ信号として使用できます。この出力がV<sub>DD</sub>レベルつまりスイッチオンの状態になるのは、S<sub>1</sub>端子によりスリープタイマをスタートさせたとき、アラーム信号が出て12分後かまたはスヌーズ状態にないときのS<sub>6</sub>端子を瞬間的にV<sub>DD</sub>レベルにしたとき、T<sub>2</sub>端子によりセットしたときの3つの場合です。また、V<sub>SS</sub>(1)つまりスイッチオフの状態になるのは、スリープタイマがカウントダウンし終わって59分になった瞬間(スリープタイマの時間経過は表示されません)、または、通常表示モードでS<sub>2</sub>端子を瞬間的にV<sub>DD</sub>レベルにした場合です。(1)設定されたスリープ時間にオフする場合(2)スリープタイマスタート後タイマのストップをし再びスタートする場合(3)スリープタイマのスタート後設定時間以内にオフさせる場合について、SL. OUT 端子の出力の様子を図3に示します。カッコ内は使用する入力端子を示します。SL. OUT 端子を最大60分間の留守番録音用端子として使用するとき、図7のようにA<sub>1</sub>、A<sub>2</sub>端子をV<sub>DD</sub>レベルにし、AL. OUT 1端子をS<sub>1</sub>端子に接続します。このとき、スリープ出力はアラーム時刻一致時に、V<sub>DD</sub>レベルになります。

図3. SL. OUT 端子の出力波形



電源回路

V<sub>DD</sub>, V<sub>SS</sub>(1), V<sub>SS</sub>(2), CF, CT 端子

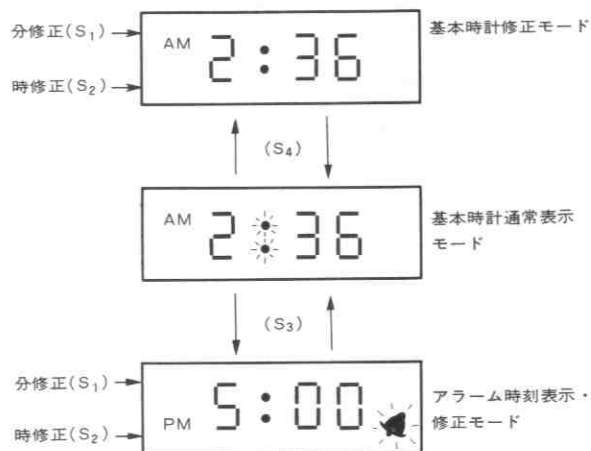
電源はV<sub>DD</sub>-V<sub>SS</sub>(1)=1.5Vを供給し、CF, CT 間と、V<sub>SS</sub>(2), V<sub>DD</sub>(GND)間に0.1μFのコンデンサを接続すれば、電源の約2倍の電圧が得られ、液晶を直接駆動することができます。

BD (Battery detector) 端子

BD端子とV<sub>SS</sub>(1)との間に15~750kΩのうち適当な温度特性の良い抵抗を接続すれば、V<sub>DD</sub>=-1.2~-1.5Vの範囲内の任意の検出電圧に電池電圧が達したとき、表示されているセグメント及びマークが2秒周期で点滅して電池交換の時期にあることを知らせます。この点滅はS<sub>6</sub>端子を瞬間的にV<sub>DD</sub>レベルにすれば止まりますが、次のサンプリング時(最長1分後)には電池を交換しない限り、点滅を再開します。

操作方法

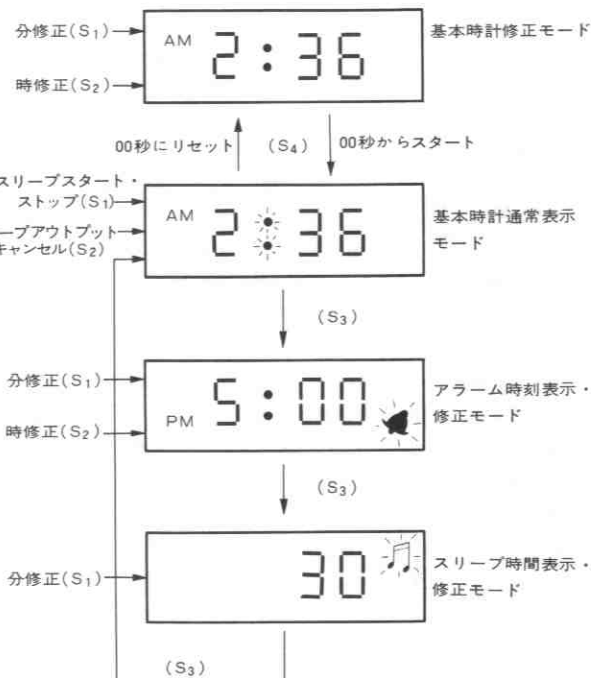
図4. A<sub>3</sub>端子がNCのときの操作図



注2. ※は2秒周期の点滅を示します。

3. S<sub>3</sub>, S<sub>4</sub>, S<sub>5</sub>端子にはロックスイッチを使用します。

図5. A<sub>3</sub>端子がV<sub>DD</sub>レベルのときの操作図



注4. ※は2秒周期の点滅を示します。

5. S<sub>4</sub>, S<sub>5</sub>端子にはロックスイッチを使用します。



## CMOS LCD ALARM CLOCK CIRCUIT

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>SS(1)</sub>	電源電圧	V <sub>DD</sub> =GND T <sub>a</sub> =25°C	0.1~3	V
V <sub>SS(2)</sub>	電源電圧		0.1~7	V
V <sub>I(1)</sub>	V <sub>SS(1)</sub> 電源系入力電圧		V <sub>SS(1)</sub> ~V <sub>DD</sub>	V
V <sub>I(2)</sub>	V <sub>SS(2)</sub> 電源系入力電圧		V <sub>SS(2)</sub> ~V <sub>DD</sub>	V
T <sub>opr</sub>	動作周囲温度		-20~65	°C
T <sub>stg</sub>	保存温度	-30~80	°C	

推奨使用条件(指定のない場合は, T<sub>a</sub>=25°C)

記号	項目	条件(注6)	規格値			単位	
			最小	標準	最大		
V <sub>SS(1)</sub>	電源電圧	M58412P	C <sub>IN</sub> =15pF, C <sub>OUT</sub> =10pF, R <sub>O</sub> =20Ω	-1.2	-1.5	-1.9	V
		M58413P	C <sub>IN</sub> =15pF, C <sub>OUT</sub> =30pF, R <sub>O</sub> =30kΩ	-1.1	-1.5	-2	V
V <sub>SS(2)</sub>	電源電圧	M58412P	C <sub>IN</sub> =15pF, C <sub>OUT</sub> =10pF, R <sub>O</sub> =20Ω	-2.4	-3	-3.8	V
		M58413P	C <sub>IN</sub> =15pF, C <sub>OUT</sub> =30pF, R <sub>O</sub> =30kΩ	-2.2	-3	-4	V

電気的特性(指定のない場合は, T<sub>a</sub>=25°C, V<sub>DD</sub>=GND, M58412P:f=4.1943MHz, M58413P:f=32.768kHz)

記号	項目	測定条件(注6)	規格値			単位	
			最小	標準	最大		
I <sub>DD</sub>	V <sub>DD</sub> 電源電流	M58412P	V <sub>SS(1)</sub> =-1.5V, C <sub>IN</sub> =15pF, C <sub>OUT</sub> =10pF C <sub>1</sub> =C <sub>2</sub> =0.1μF, R <sub>O</sub> =20Ω		30	80	μA
		M58413P	V <sub>SS(1)</sub> =-1.5V, C <sub>IN</sub> =15pF, C <sub>OUT</sub> =30pF C <sub>1</sub> =C <sub>2</sub> =0.1μF, R <sub>O</sub> =30kΩ		2	5	μA
V <sub>I(OSC)</sub>	発振開始電圧	M58412P	C <sub>IN</sub> =15pF, C <sub>OUT</sub> =10pF, R <sub>O</sub> =20Ω 発振開始1秒以内			-1.2	V
		M58413P	C <sub>IN</sub> =15pF, C <sub>OUT</sub> =30pF, R <sub>O</sub> =30kΩ 発振開始5秒以内			-1.2	V
I <sub>OL(COM)</sub>	"L"出力電流, コモン	V <sub>SS(2)</sub> =-3V, V <sub>OL</sub> =-2.9V	30			μA	
I <sub>OH(COM)</sub>	"H"出力電流, コモン	V <sub>SS(2)</sub> =-3V, V <sub>OH</sub> =-0.1V	-30			μA	
I <sub>OL(SEG)</sub>	"L"出力電流, セグメント	V <sub>SS(2)</sub> =-3V, V <sub>OL</sub> =-2.9V	5			μA	
I <sub>OH(SEG)</sub>	"H"出力電流, セグメント	V <sub>SS(2)</sub> =-3V, V <sub>OH</sub> =-0.1V	-5			μA	
I <sub>OL(AL)</sub>	"L"出力電流, アラーム, スリープ	V <sub>SS(1)</sub> =-1.5V, V <sub>OL</sub> =-1V	100			μA	
I <sub>OH(AL)</sub>	"H"出力電流, アラーム, スリープ	V <sub>SS(1)</sub> =-1.5V, V <sub>OH</sub> =-0.5V	-100			μA	
I <sub>IL</sub>	"L"入力電流	V <sub>SS(1)</sub> =-3V, V <sub>IL</sub> =-3V テスト入力端子は除く			-0.2	μA	
I <sub>IH</sub>	"H"入力電流	V <sub>SS(2)</sub> =-3V, V <sub>IH</sub> =0V テスト入力端子は除く			0.2	μA	
V <sub>O(2)</sub>	昇圧電圧	V <sub>SS(1)</sub> =-1.5V, C <sub>1</sub> =C <sub>2</sub> =0.1μF I <sub>O</sub> =2μA	-2.8			V	
V <sub>I(BD)</sub>	電池電圧検出電圧範囲	15kΩ ≤ R <sub>BD</sub> ≤ 750kΩ	-1.2		-1.5	V	

注6. R<sub>O</sub>はクリスタルインピーダンスです。

CMOS LCD ALARM CLOCK CIRCUIT

応用回路例

図6. スヌーズ、スリープ機能付アラームクロック

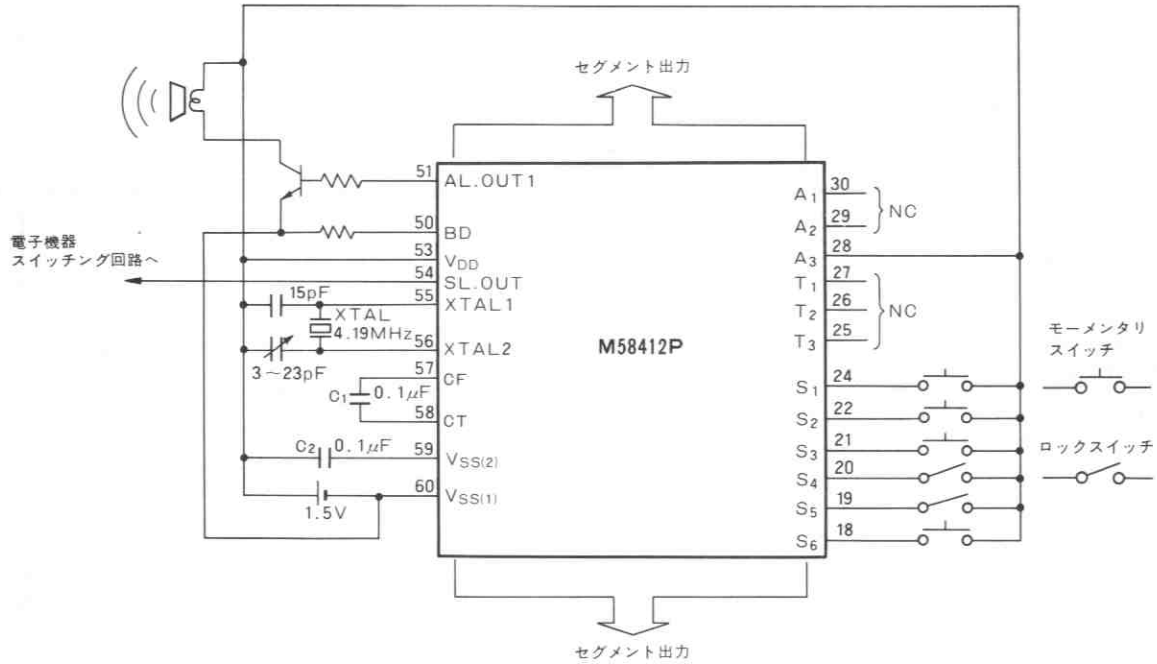
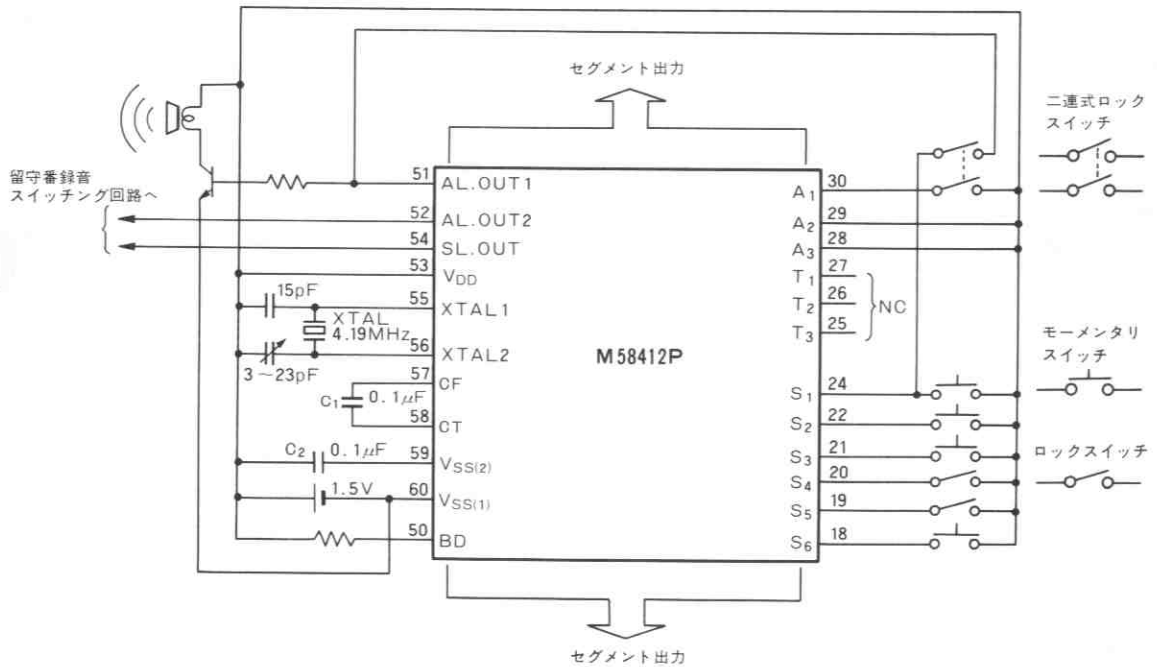


図7. スヌーズ、留守番録音機能付アラームクロック



注7. 図6の構成はアラームベル音が不連続の場合です。

8. 図7の構成はアラームベル音が連続の場合です。

9. 図6、図7のICをM58413Pにした場合には32kHzの水晶振動子を用い可変コンデンサも5~35pFのものに変更します。

注10. 110~120分間の固定時間留守番録音出力の場合にはAL.OUT2端子を、最大60分間までの任意時間留守番録音出力の場合にはSL.OUT端子を使用します。

# M58434P, M58435P M58436-001P, M58437-001P

## CMOS ANALOG CLOCK CIRCUIT

### 概要

M58434P, M58435P, M58436-001P, M58437-001Pは、水晶発振子を利用し、指針式クロック用に開発されたCMOS ICです。

形名	プロセス	水晶発振子	モータ	アラーム音
M58434P	シリコンゲートCMOS	4.1943MHz	インダクションモータ	1024Hz
M58435P	シリコンゲートCMOS	4.1943MHz	ステップモータ	1024Hz
M58436-001P	アルミゲートCMOS	4.1943MHz	ステップモータ	4096×8×1Hz
M58437-001P	アルミゲートCMOS	32.768KHz	ステップモータ	4096×8×1Hz

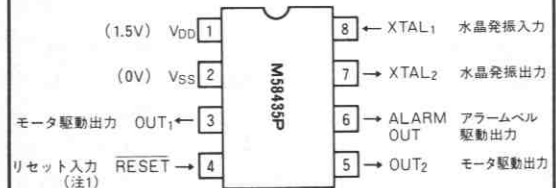
### 特長

- 低消費電流 M58434P, M58435P……………30 $\mu$ A (標準)  
M58436-001P……………35 $\mu$ A (標準)  
M58437-001P……………2 $\mu$ A (標準)
- 低電圧動作 M58434P, M58435P……………1.2V (最小)  
M58436-001P……………1.1V (最小)  
M58437-001P……………1.1V (最小)
- アラームベル用圧電素子の直接駆動  
(M58436-001P, M58437-001Pの場合)

### 応用

- アラーム付指針式クロック
- 機器用精密標準時計
- 機器用分周器

### ピン接続図(上面図)



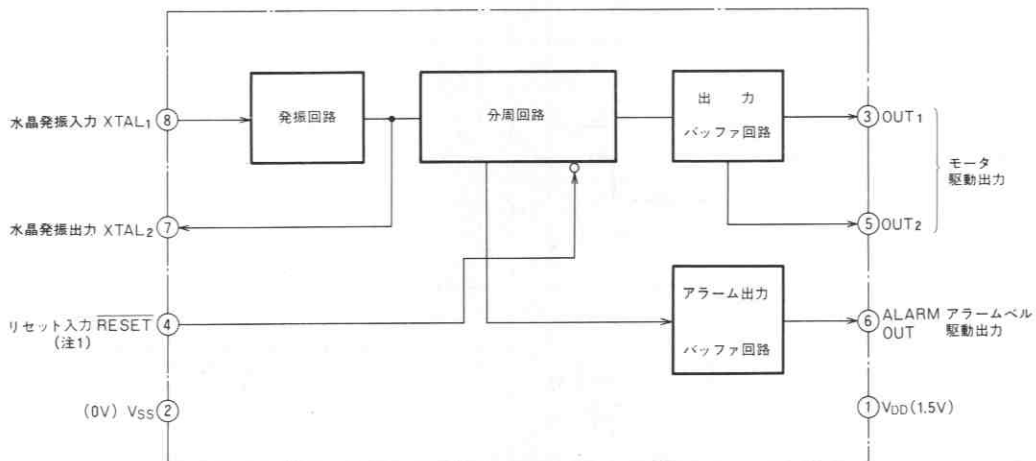
注1. M58434Pの場合はこの端子を無接続とします。

外形 8P1(M58434P)  
(M58435P)  
(M58436-001P)  
(M58437-001P)

### 機能概要

M58434P, M58435P, M58436-001P, M58437-001Pは、指針式クロック用に設計されたCMOS ICで、水晶発振回路、分周回路、アラームベル駆動用アラーム出力バッファ回路、モータドライブ用出力バッファ回路から構成されており、特に、4.1943MHz又は32.768kHzの時計用標準水晶発振子を使用して発振、分周を行い、インダクションモータ又はステッピングモータを駆動するのに便利です。

### ブロック図



注1. M58434Pは、リセット入力端子はありません。

# M58434P, M58435P M58436-001P, M58437-001P

## CMOS ANALOG CLOCK CIRCUIT

### 機能説明

#### 発振回路

XTAL<sub>1</sub>(発振入力)、XTAL<sub>2</sub>(発振出力)に水晶発振子及び両端子とGND間にコンデンサを接続することにより水晶発振回路が形成されます。

#### 出力バッファ回路

出力バッファ回路は、最終段の分周出力の電流駆動能力を増幅する回路で、M58434P、M58435Pでは、OUT<sub>1</sub>出力とOUT<sub>2</sub>出力がたがいに逆位相の関係にあり、M58436-001P、M58437-001Pでは、OUT<sub>1</sub>出力はOUT<sub>2</sub>出力を1秒ずらした波形になっています。M58434Pには、インダクションモータ、M58435Pには、コンデンサを直列接続したステップモータ、M58436-001P、M58437-001Pには、ステップモータを接続することにより連続運針又は1秒のステップ運針が可能です。M58435Pの場合にステップモータに直列に入るコンデンサの大きさは、モータ接続時の全消費電流とモータに必要なトルクにより決まりますが、47 $\mu$ Fのコンデンサで単2のマンガン乾電池が1年間保障できる程度の消費電流になります。

#### リセット入力 (RESET)

M58435Pの場合は、RESET端子をV<sub>SS</sub>に落とすことにより、OUT<sub>1</sub>、OUT<sub>2</sub>からの出力は、その状態を保持したまま

止ります。リセット解除後は0.97~1秒後に保持した出力は反転します。M58436-001P、M58437-001Pの場合は、RESET端子をV<sub>SS</sub>に落とすことにより、OUT<sub>1</sub>、OUT<sub>2</sub>の出力はV<sub>SS</sub>となり、リセット解除後は、0.97~1秒後にリセット開始直前に出力を出した端子とは反対の出力より、31msのパルスが出ます。31msのパルスが出ている最中にRESET端子がV<sub>SS</sub>に落ちたときは、31msのパルスが出終わってからリセットが開始されます。このため、リセットをかけたことにより、モータが完全に回り切らないうちに止ってしまう事故を未然に防ぎます。なお、M58434Pには、リセット機能はありません。

#### アラーム出力バッファ回路

アラーム出力バッファ回路はNチャネルのオープンドレインで応用回路例のように、圧電素子又は、マグネチックスピーカ等を駆動する信号を出します。アラーム出力信号はM58434P、M58435Pの場合に1024Hzデューティ50%で、M58436-001P、M58437-001Pの場合には4096Hz、8Hz、1Hzともにデューティ50%のバースト信号です。特に、M58436-001P、M58437-001Pで圧電素子を駆動する場合は、アラーム出力耐圧が高いので、トランジスタを使う必要はなく圧電素子を直接駆動することができます。

表1. OUT<sub>1</sub>, OUT<sub>2</sub>, ALARM OUT端子の出力波形

形名	OUT <sub>1</sub> , OUT <sub>2</sub> 端子の出力波形	パルス幅T(ms)	ALARM OUT端子の出力波形
M58434P		—	
M58435P		—	
M58436-001P M58437-001P		31	

# M58434P, M58435P M58436-001P, M58437-001P

## CMOS ANALOG CLOCK CIRCUIT

### 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>DD</sub>	電源電圧	V <sub>SS</sub> 端子を基準にした場合	-0.3~5	V
P <sub>d</sub>	最大消費電力	T <sub>a</sub> =25℃	300	mW
T <sub>opr</sub>	動作周囲温度		-20~70	℃
T <sub>stg</sub>	保存温度		-40~125	℃

### 推奨使用条件(指定のない場合は、T<sub>a</sub>=25℃)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>DD</sub>	電源電圧		1.5		V
V <sub>SS</sub>	電源電圧(GND)		0		V
f <sub>osc</sub>	水晶源発振周波数	M58434P	4.1943		MHz
		M58435P			
		M58436-001P			
		M58437-001P	32.768	kHz	
R <sub>O</sub>	水晶発振子クリスタルインピーダンス	M58434P	30	60	Ω
		M58435P			
		M58436-001P			
		M58437-001P	20	30	kΩ
C <sub>IN</sub>	外付け入力容量		20		pF
C <sub>OUT</sub>	外付け出力容量		20		pF

### 電気的特性(指定のない場合は、T<sub>a</sub>=25℃, V<sub>SS</sub>=0V)

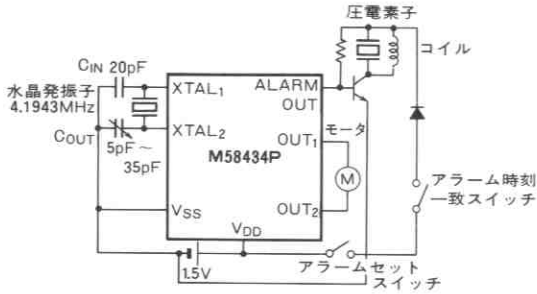
記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
V <sub>DD</sub>	電源電圧	M58434P M58435P	C <sub>IN</sub> =C <sub>OUT</sub> =20pF, R <sub>O</sub> =30Ω	1.2	1.5	1.9	V	
		M58436-001P M58437-001P		1.1	1.5	1.9	V	
		I <sub>DD</sub>	電源電流					M58434P M58435P
				M58436-001P	V <sub>DD</sub> =1.5V, C <sub>IN</sub> =C <sub>OUT</sub> =20pF, R <sub>O</sub> =30Ω	35	70	μA
M58437-001P	V <sub>DD</sub> =1.5V, C <sub>IN</sub> =C <sub>OUT</sub> =20pF, R <sub>O</sub> =20kΩ			2	5	μA		
R <sub>ON(P+N)</sub>	モータ駆動出力飽和抵抗 (Pチャネル飽和抵抗+Nチャネル飽和抵抗)	M58434P M58435P	V <sub>DD</sub> =1.5V, I <sub>OUT</sub> =±3mA	150	300	Ω		
		M58436-001P M58437-001P	V <sub>DD</sub> =1.5V, I <sub>OUT</sub> =±3mA	100	200	Ω		
		R <sub>ON(AL)</sub>	アラームベル駆動出力飽和抵抗 (Nチャネル飽和抵抗)	M58434P M58435P	V <sub>DD</sub> =1.5V, I <sub>OUT</sub> =3mA	0.5	1	kΩ
M58436-001P M58437-001P	V <sub>DD</sub> =1.5V, I <sub>OUT</sub> =3mA			100	200	Ω		
I <sub>sw</sub>	リセット入力電流			M58435P M58436-001P M58437-001P	V <sub>DD</sub> =1.5V,		1	μA

# M58434P, M58435P M58436-001P, M58437-001P

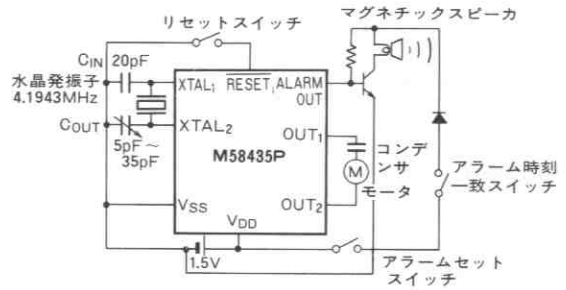
## CMOS ANALOG CLOCK CIRCUIT

### 応用回路例

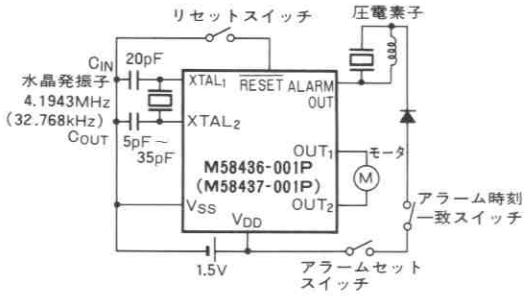
#### 1. M58434Pに圧電ブザーを使用した場合



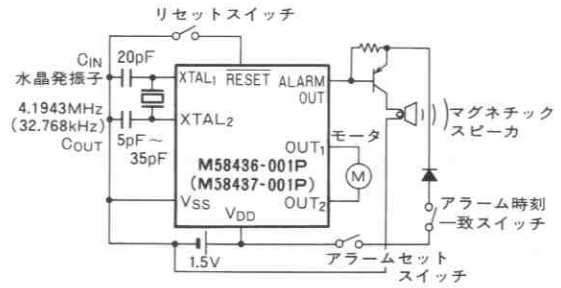
#### 2. M58435Pにマグネチックスピーカを使用した場合



#### 3. M58436-001P又はM58437-001Pに圧電ブザーを使用した場合



#### 4. M58436-001P又はM58437-001Pにマグネチックスピーカを使用した場合



## 17-STAGE OSCILLATOR/DIVIDER

## 概要

M58478Pは、アルミゲートCMOSプロセスを用いて開発された分周器で、入力周波数に対して、1/59719 (3.58MHzから60Hz) 又は1/88672 (4.43MHzから50Hz) の分周出力が得られます。

## 特長

- 水晶発振回路の構成可能
- 小振幅信号(0.3V<sub>pp</sub>以上)の入力可能
- N端子により、分周比の切換可能
- リセット機能内蔵
- 入力信号又は発振出力と同一周波数の波形整形出力付き
- カラーテレビ信号の色副搬送波から垂直走査周波数を得る

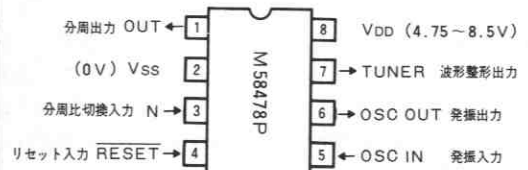
## 応用

- VTR用分周器

## 機能概要

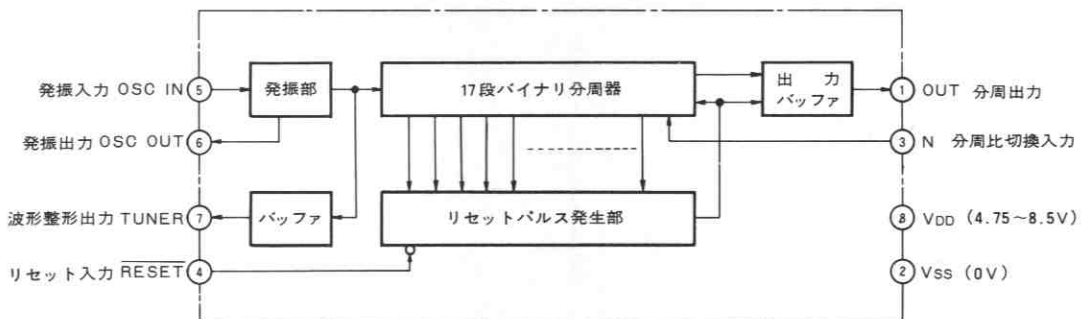
M58478Pは、17段のバイナリ分周器からなるプログラマブルカウンタを持ち、N端子の状態により3.58MHz又は、4.43MHzの入力に対して、60Hz又は50Hzの出力が得られます。

## ピン接続図(上面図)



外形 8P1

## ブロック図



## 17-STAGE OSCILLATOR/DIVIDER

## 機能説明

## 水晶発振回路

OSC IN, OSC OUT端子間に水晶発振子、OSC IN, OSC OUT端子と $V_{SS}$ 間にそれぞれ容量 $C_{L1}$ ,  $C_{L0}$ を接続することにより、水晶発振回路を構成できます。(帰還抵抗は内蔵)なお、OSC IN端子にはアンプカ<sup>†</sup>内蔵されていますので、小振幅の信号でもカップリング容量 $C_C$ を介して入力することができます。

## 出力周波数

N入力が開放("H")のときには、分周比は59719となり、3.58MHz入力に対して出力周波数は60Hzとなります。N入力が"L"のときには、分周比は88672となり、4.43MHz入力に対して出力周波数は50Hzとなります。分周出力波形を図1に示します。

TUNER出力には、入力信号又は発振出力と同一周波数の波形整形出力が得られます。

## リセット機能

RESET入力を"H"から"L"に変化させる(アクティブ"L"のエッジトリガリセット)と、OUT出力は"L"となります。

## プルアップ抵抗

N端子及びRESET端子には、プルアップ抵抗が<sup>†</sup>内蔵されているため、外付抵抗は必要ありません。抵抗値は、20k $\Omega$ (標準)です。

## 分周比

17段のバイナリ分周器からなる、プログラムカウンタのデータ入力により、分周比は決定されています。

## 分周比の仕様変更

注文仕様に応じて、分周比の変更が可能です。製造工程のうち1工程を変更することにより、17段のバイナリ分周器からなるプログラマブルカウンタのデータ入力を変更すると

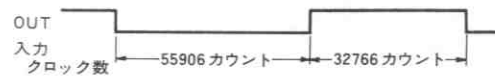
5以上131071( $=2^{17}-1$ )以下の分周比が得られます。

図1. 分周出力波形

## N入力が開放("H")の場合



## N入力が"L"の場合



注1. OUT出力が"H"から"L"に変化する直前のN入力の状態により、次の1周期間の分周比が決定されます。



## 17-STAGE OSCILLATOR/DIVIDER

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>DD</sub>	電源電圧	V <sub>SS</sub> 端子を基準とした場合	-0.3~9	V
V <sub>I</sub>	入力電圧		V <sub>SS</sub> ≤ V <sub>I</sub> ≤ V <sub>DD</sub>	V
P <sub>d</sub>	最大消費電力	T <sub>a</sub> = 25°C	250	mW
T <sub>opr</sub>	動作周囲温度		-30~70	°C
T <sub>stg</sub>	保存温度		-40~125	°C

推奨使用条件 (指定のない場合は, T<sub>a</sub> = -30~70°C)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>DD</sub>	電源電圧	4.75		8.5	V
V <sub>SS</sub>	電源電圧		0		V
V <sub>IH</sub>	"H" 入力電圧	V <sub>DD</sub> -0.5			V
V <sub>IL</sub>	"L" 入力電圧			0.5	V
V <sub>i</sub>	発振入力振幅電圧	0.3			V <sub>PP</sub>
f	入力周波数, N端子開放の場合		3.58	5.5	MHz
	入力周波数, N端子"L"の場合		4.43	5.5	MHz

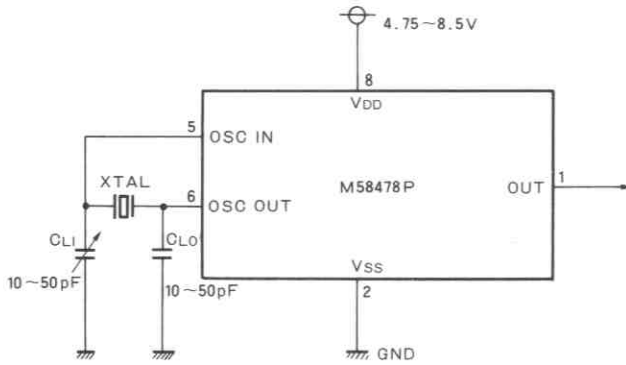
電気的特性 (指定のない場合は, T<sub>a</sub> = 25°C, V<sub>DD</sub> = 6.5V, V<sub>SS</sub> = 0V, f<sub>IN</sub> = 4.5MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>DD</sub>	動作電源電圧	T <sub>a</sub> = -30~70°C	4.75		8.5	V
I <sub>DD</sub>	電源電流	N, RESET 入力及び出力端子開放			5	mA
V <sub>IH</sub>	"H" 入力電圧		V <sub>DD</sub> -0.5			V
V <sub>IL</sub>	"L" 入力電圧				0.5	V
V <sub>OH</sub>	"H" 出力電圧		V <sub>DD</sub> -0.5			V
V <sub>OL</sub>	"L" 出力電圧				0.5	V
I <sub>OH</sub>	"H" 出力電流	V <sub>O</sub> = V <sub>SS</sub>	-2			mA
I <sub>OL</sub>	"L" 出力電流	V <sub>O</sub> = V <sub>DD</sub>	2			mA
R <sub>i</sub>	ブルアップ抵抗, N, RESET 入力			20		kΩ
v <sub>i</sub>	発振入力振幅電圧	V <sub>DD</sub> = 4.75V	0.3			V <sub>pp</sub>
f <sub>MAX</sub>	最高動作周波数	V <sub>DD</sub> = 4.75V	5.5			MHz

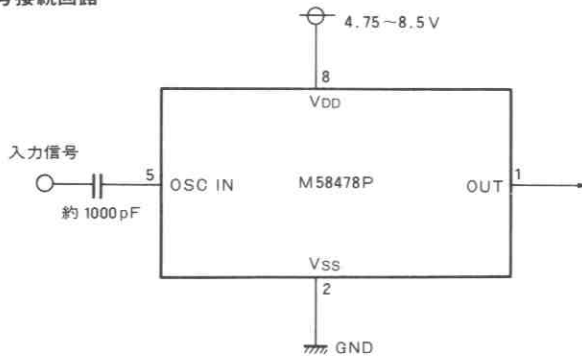
## 17-STAGE OSCILLATOR/DIVIDER

## 応用回路例

## 水晶発振回路 (帰還抵抗内蔵)



## 外部入力信号接続回路



## M58479P, M58482P

## CMOS COUNTER/TIMER

## 概要

M58479P及びM58482Pは、アルミゲートCMOSプロセスを用いて、開発された電子タイマ用ICで、機械的機構を全く必要としない、高信頼度、耐ノイズ性に優れた、低消費電力のタイマを構成できます。M58479Pは、特に耐ノイズ性を主眼として開発され、またM58482Pは、特に低消費電力を主眼として開発されたものです。

## 特長

## ●低消費電力

M58479P …………… 2 mW (標準), 7.5mW (最大)

M58482P …………… 200 $\mu$ W (標準), 750 $\mu$ W (最大)

(VDD=7.5V)

## ●優れた耐ノイズ性

## ●定電圧電源用ツェナダイオード内蔵

## ●RC発振器内蔵

## ●発振周波数微調整機能内蔵

## ●長時間タイマ (50ms~4800h) が可能

## ●タイマ時間を基本時間 (発振周期の1024倍) の10倍、60倍及び600倍に設定可能

## ●電源投入時オートリセット機能内蔵 (M58479Pのみ)

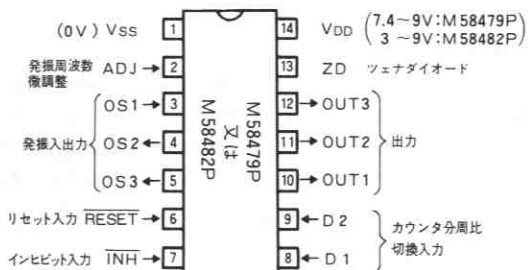
## ●リセット機能、インヒビット機能内蔵

## ●三菱ICM53290P及びM53242Pを付加することにより、経過時間の表示が容易

## 応用

## ●広範囲なタイマ時間 (50ms~4800h) が設定可能な電子タイマ又はカウンタ

## ピン接続図(上面図)



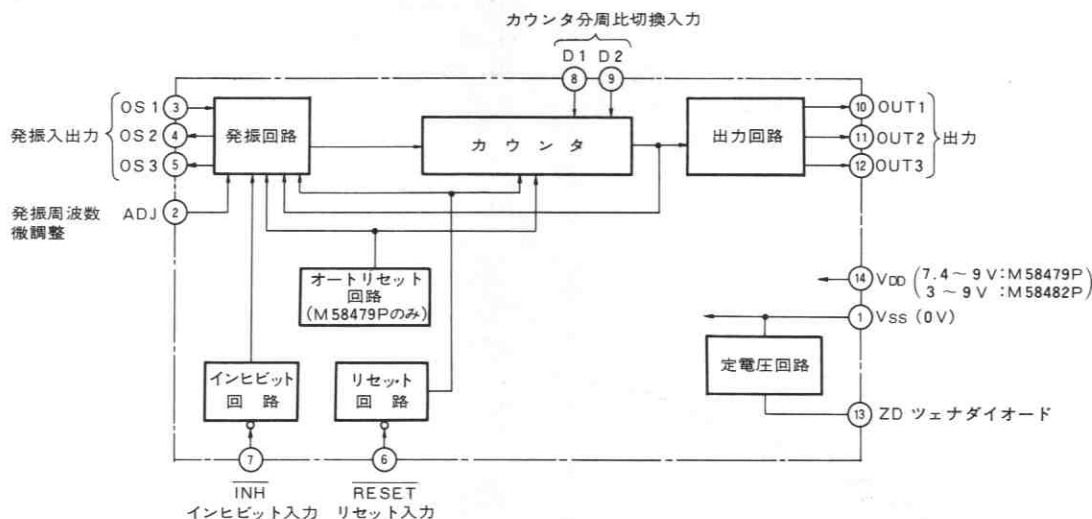
外形 14P4

## 機能概要

M58479P及びM58482Pは、RC発振器で発振させた信号をカウントすることにより長時間の計時を可能にしたタイマ用ICで、発振周波数微調整機能、オートリセット機能、リセット機能、インヒビット機能が設けられています。

また、出力にはOUT1, OUT2, OUT3の3つの出力が設けられており、計時後OUT1は“L”から“H”に、OUT2は“H”から“L”に変化します。OUT3出力にTTL M53290P及びM53242Pを接続することにより経過時間を表示することができます。

## ブロック図



## M58479P, M58482P

## CMOS COUNTER/TIMER

## 機能説明

## 定電圧回路

ツェナダイオードを内蔵していますので、簡単に定電圧回路を得ることができます。又、ツェナダイオード端子(ZD)が電源端子(V<sub>DD</sub>)と独立していますので、システム全体の定電圧電源としても用いることができます。

## 発振回路

外付抵抗(帰還抵抗R<sub>FO</sub>)をOS1端子とOS3端子間に、外付容量(発振容量C<sub>FO</sub>)をOS1端子とOS2端子間に接続することにより、発振させることができます。また、外付抵抗及び外付容量の値を変えると、発振周期が変化し、タイマ時間を変えることができます。このときの発振周期T<sub>0</sub>は次式で与えられます。

$$T_0 = -R_{FO} \cdot C_{FO} \left\{ \ln \frac{V_{TR}}{V_{DD} + V_{BE}} + \ln \frac{V_{DD} - V_{TR}}{V_{DD} + V_{BE}} \right\} \dots (1)$$

R<sub>FO</sub>: 外付抵抗の抵抗値

C<sub>FO</sub>: 外付容量の容量値

V<sub>TR</sub>: 発振回路の初段インバータの遷移電圧

V<sub>DD</sub>: 電源電圧

V<sub>BE</sub>: OS1端子入力ダイオード順方向立上り電圧  
(0.3~0.7V)

## オートリセット機能

M58479Pは電源電圧検出回路を内蔵していますので、電源投入時に、電源の立上りを利用して自動的にカウンタをリセット状態にし、次にリセットを解除し、発振回路を発振可能な状態に、カウンタをカウント可能な状態にします。

M58482PはRESET端子とV<sub>SS</sub>端子間に容量を接続しますとM58479Pと同様にオートリセット機能を働かせることができます。

## リセット機能

RESET入力を“L”(V<sub>SS</sub>)にすると、発振回路の発振を停止し、カウンタをリセット状態にすることができます。

## インヒビット機能

タイマ時間中にINH端子を“L”(V<sub>SS</sub>)にすると、発振回路は発振を停止します。その後、INH入力を“H”(V<sub>DD</sub>)又は開放に戻すと、残りのタイマ時間を計時することができます。

## カウンタ

11段の1/2分周、2段の1/10分周、1段の1/6分周から構成されており、下表に示すように、D1端子とD2端子の入力レベルの組み合わせにより、カウンタが数えるパルス数を変え、タイマ時間を変化させることができます。タイマ時間が終了すると、それを発振回路と出力回路に伝え、発振回路は発振を停止します。

D1	D2	カウンタの数えるパルス数	タイマ時間	タイマ時間使用例
H	H	1024	T <sub>1</sub>	1 min
L	H	1024×10	T <sub>1</sub> ×10	10 min
H	L	1024×10×6	T <sub>1</sub> ×10×6	1h
L	L	1024×10×6×10	T <sub>1</sub> ×10×6×10	10h

ただし、T<sub>1</sub>=T<sub>0</sub>×1024

T<sub>0</sub>は式(1)で与えられる値

## 出力回路

OUT1, OUT2, OUT3の3つの出力が設けられています。タイマ時間が終了すると、OUT1“L”から“H”に、OUT2は“H”から“L”に変化します。OUT1, OUT2端子は、トランジスタのベースに接続し、トランジスタを駆動することができます。また、OUT1端子はサイリスタのゲートに接続し、サイリスタを駆動することができます。

OUT3端子はオープンドレイン出力となっており、周期がタイマ時間の1/8の出力が現われます。したがって、OUT3出力により、別電源(5V)のTTLを駆動することができます。たとえばM53290P(カウンタ)、M53242P(2進-10進デコーダ)をOUT3に接続し、その出力に発光ダイオードを接続しますとタイマ時間の経過を知ることができます。ただし、OUT3端子を使用しないときは、OUT3端子をV<sub>SS</sub>端子と短絡して下さい。

## 発振周期の微調整

ADJ端子とV<sub>SS</sub>端子間に外付可変抵抗を接続しますと、発振回路の発振周期をこの可変抵抗により微調整することができます。ただし、ADJ端子によって発振周期の微調整を行わないときは、ADJ端子はV<sub>SS</sub>端子と短絡して下さい。

## M58479P, M58482P

## CMOS COUNTER/TIMER

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>DD</sub>	電源電圧	V <sub>SS</sub> 端子を基準とした場合	-0.3~9.5	V
V <sub>I</sub>	入力電圧		V <sub>SS</sub> ≤ V <sub>I</sub> ≤ V <sub>DD</sub>	V
P <sub>d</sub>	最大消費電力	T <sub>a</sub> = 25°C	250	mW
T <sub>opr</sub>	動作周囲温度		-30~75	°C
T <sub>stg</sub>	保存温度		-40~125	°C

推奨使用条件 (指定のない場合は, T<sub>a</sub> = -30~75°C)

記号	項目	規格値			単位	
		最小	標準	最大		
V <sub>DD</sub>	電源電圧	M58479P	7.4		9	V
		M58482P	3		9	V
I <sub>ZD</sub>	ツェナ電流			10	mA	
R <sub>FC</sub>	帰還抵抗	0.005		10	MΩ	
C <sub>FC</sub>	発振容量	0.001		1	μF	
R <sub>ADJ</sub>	発振周波数微調用抵抗	0		100	kΩ	

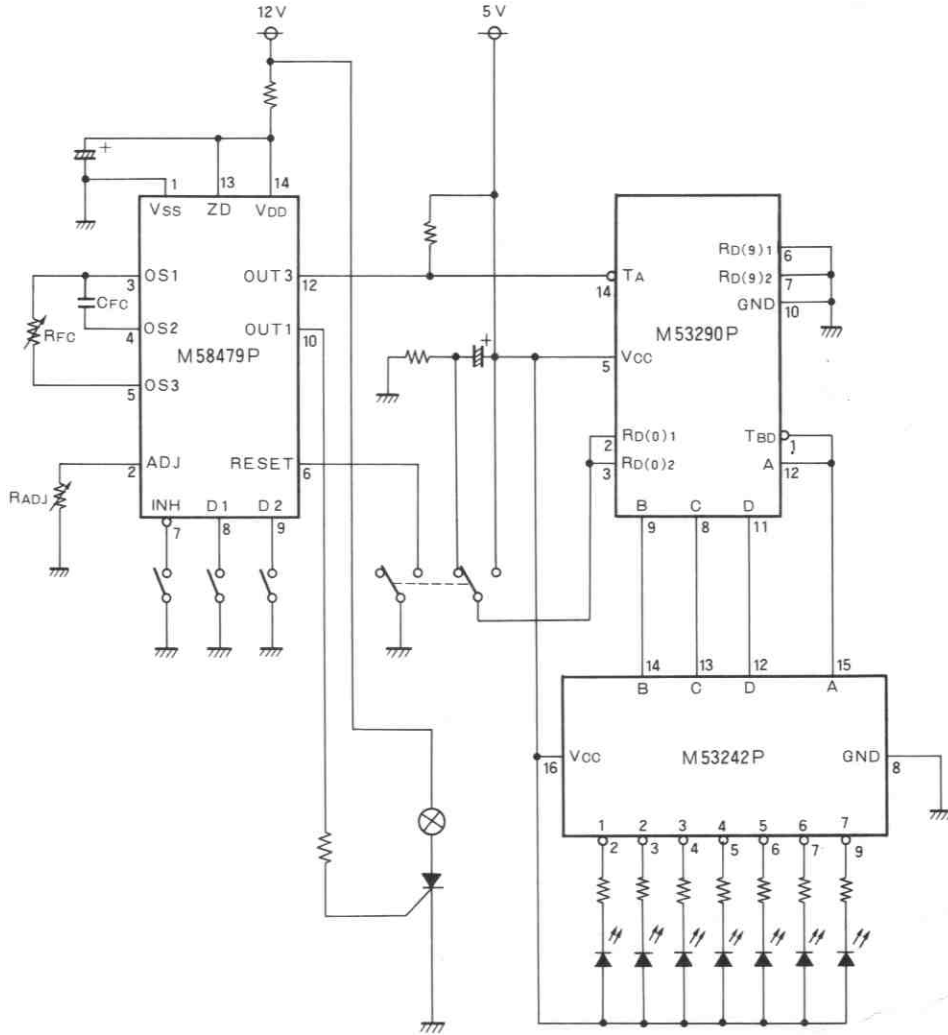
電気的特性 (指定のない場合は, T<sub>a</sub> = 25°C)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>ZD</sub>	ツェナ電圧	I <sub>ZD</sub> = 2mA	7.4	8.2	9	V
		I <sub>ZD</sub> = 10mA	7.5	8.2	9	V
I <sub>DD</sub>	電源電流	M58479P V <sub>DD</sub> = 7.5V, C <sub>FC</sub> = 0.01μF, R <sub>FC</sub> = 1MΩ R <sub>ADJ</sub> = 0Ω, 入出力端子 = 開放		0.25	1	mA
		M58482P V <sub>DD</sub> = 7.5V, C <sub>FC</sub> = 0.01μF, R <sub>FC</sub> = 1MΩ R <sub>ADJ</sub> = 0Ω, 入出力端子 = 開放		25	100	μA
V <sub>RE</sub>	オートリセット回路リセット解除電源電圧	M58479P	3.1		5.4	V
V <sub>TR</sub>	発振回路初段インバータ遷移電圧	V <sub>DD</sub> = 7.5V, R <sub>ADJ</sub> = 0Ω	2.9		4.8	V
R <sub>I</sub>	プルアップ抵抗, RESET, INH, D1, D2入力	M58479P	10	20	30	kΩ
		M58482P	25	50	75	kΩ
I <sub>OH</sub>	"H"出力電流, OUT1, OUT2出力	V <sub>DD</sub> = 7.5V, V <sub>O</sub> = 0V	5	10		mA
I <sub>OL</sub>	"L"出力電流, OUT1, OUT2, OUT3出力	V <sub>DD</sub> = 7.5V, V <sub>O</sub> = 7.5V	10	20		mA
I <sub>OZH</sub>	オフ状態出力電流, OUT3出力	V <sub>DD</sub> = 7.5V, V <sub>O</sub> = 7.5V			1	μA
I <sub>OL</sub>	"L"出力電流, OUT1, OUT2, OUT3出力	V <sub>DD</sub> = 7.5V, V <sub>O</sub> = 0.4V	1.6			mA
I <sub>OL</sub>	"L"出力電流, OUT1, OUT2, OUT3出力	M58482P V <sub>DD</sub> = 4.5V, V <sub>O</sub> = 0.4V	1.6			mA
V <sub>OL</sub>	"L"出力電圧, OUT1, OUT2, OUT3出力	V <sub>DD</sub> = 7.5V			0.1	V

# M58479P, M58482P

## CMOS COUNTER/TIMER

### 応用回路例



## M58480P, M58484P

## 30 FUNCTION REMOTE CONTROL TRANSMITTER

## 概要

M58480P及びM58484Pは、アルミゲートCMOSプロセスを用いて開発された、赤外線リモートコントロール送信機用ICで、6ビットのコードにより30の命令を伝送することができます。キーマトリクス入力の仕様において、M58480Pは先押し優先であり、M58484Pはキー入力に優先順位がついています。M58480P又はM58484Pと組み合わせて使用できる受信機用ICにはM58481P、M58485P、及びM58487Pがあります。

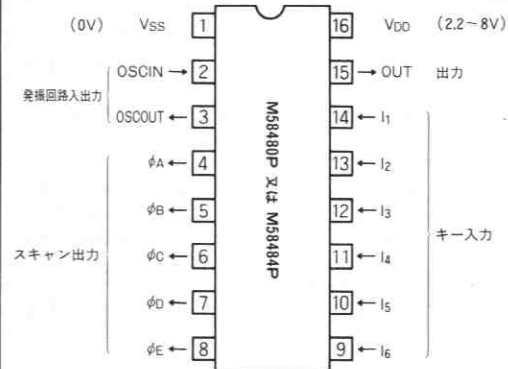
## 特長

- 単一電源で広範囲動作電圧(2.2~8V)
- 低消費電力、非動作時( $V_{DD} = 3V$ )……………3nW(標準)  
……………3 $\mu$ W(最大)
- LC(又はセラミック)発振回路内蔵
- 外付部品が少数
- 命令伝送中に発光ダイオードの消費電力が少なく、発光ダイオードの信頼性が向上

## 応用

- テレビリモートコントロール送信機
- 各種リモートコントロール送信機

## ピン接続図(上面図)

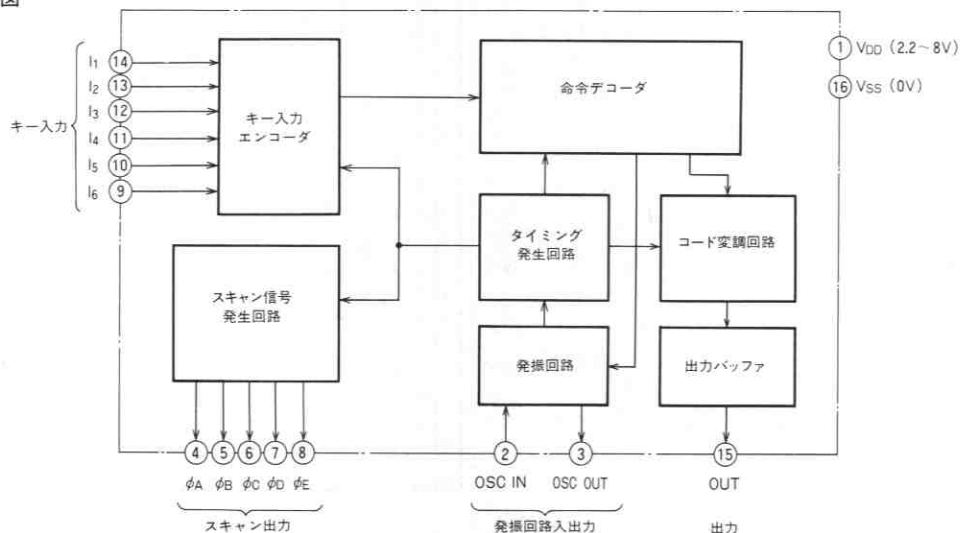


外形 16P4

## 機能概要

M58480P及びM58484Pは赤外線リモートコントロールシステムの送信機用ICで、発振回路、タイミング発生回路、スキャン信号発生回路、キー入力エンコーダ、命令デコーダ、コード変調回路及び出力バッファから構成され、6×5のキーマトリクス入力を持ち、6ビットのPCMコードで30種類の命令を伝送することができます。また、キー入力時以外は発振を停止し、消費電力を極力少なくしています。

## ブロック図



## 30 FUNCTION REMOTE CONTROL TRANSMITTER

## 機能説明

## 発振回路

発振回路を内蔵しているため、OSC IN、OSC OUT端子にLC回路又はセラミック共振子を外付けすることにより、基準信号が得られます。回路例を図1、図2に示します。

図1. 発振回路例(セラミック共振子を用いた場合)

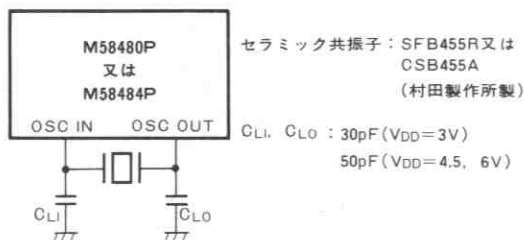
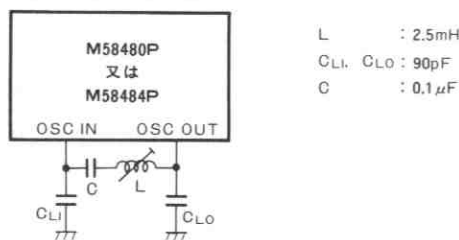


図2. 発振回路例(LC回路を用いた場合)



基準信号を480kHz(又は455kHz)にすることにより、伝送信号の搬送波を40kHz(又は38kHz)にすることができます。

キー入力時以外は、発振回路の発振を停止することにより、消費電力を極力少なくしています。

## キー入力

I<sub>1</sub>~I<sub>6</sub>入力及びφA~φEスキャン出力による6×5のキーボードマトリクスにより、30の命令を入力できます。また、10ms以内のチャタリングを防止することができます。

M58480Pは、先に入力したキーが優先し、キーを離さないかぎり、次のキーは入力されません。

M58484Pは、キーに優先順位がついていますので、2つ以上のキーを入力した場合、優先キーの機能が働きます。優先順位は、スキャン出力については、φA、φB、φC、φD、φEの順で、スキャン出力が同じ場合にはI<sub>1</sub>、I<sub>2</sub>、I<sub>3</sub>、I<sub>4</sub>、I<sub>5</sub>、I<sub>6</sub>の順です。

ただし、2つ以上のキーを同時に押したときは、スキャン出力間が短絡されることがあり、どの機能も働かないことがあります。

キーマトリクスと命令機能の関係を表1に示します。

表1. キーマトリクスと伝送命令の関係

スキャン出力 キー入力	φE	φD	φC	φB	φA
I <sub>1</sub>	CH1	CH2	CH3	CH4	POWER ON/OFF
I <sub>2</sub>	CH5	CH6	CH7	CH8	CH UP
I <sub>3</sub>	CH9	CH10	CH11	CH12	CH DOWN
I <sub>4</sub>	CH13	CH14	CH15	CH16	VO UP
I <sub>5</sub>	BR UP	BR DOWN	BR 1/2	MUTE	VO DOWN
I <sub>6</sub>	CS UP	CS DOWN	CS 1/2	CALL	VO 1/3

## 伝送命令

6ビットのコード(D<sub>1</sub>~D<sub>6</sub>)により、30の命令を伝送することができます。伝送命令とコードの関係は表2に示します。

誤動作防止のため000000のコードの命令は存在しないよう、設計されております。

表2. 命令機能と伝送コードの関係

伝送コード						機能名	備考
D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>	D <sub>4</sub>	D <sub>5</sub>	D <sub>6</sub>		
1	0	0	0	0	0	CH UP	アナログ量のコントロール
0	1	0	0	0	0	CH DOWN	
1	1	0	0	0	0	VO UP	
0	0	1	0	0	0	VO DOWN	
1	0	1	0	0	0	BR UP	
0	1	1	0	0	0	BR DOWN	
1	1	1	0	0	0	CS UP	
0	0	0	1	0	0	CS DOWN	
1	0	0	1	0	0	MUTE	
0	1	0	1	0	0	VO(1/3)	
1	1	0	1	0	0	BR(1/2)	
0	0	1	1	0	0	CS(1/2)	
1	0	1	1	0	0	CALL	
0	1	1	1	0	0	POWER ON/OFF	直接選局
0	0	0	0	1	0	CH 1	
1	0	0	0	1	0	CH 2	
0	1	0	0	1	0	CH 3	
1	1	0	0	1	0	CH 4	
0	0	1	0	1	0	CH 5	
1	0	1	0	1	0	CH 6	
0	1	1	0	1	0	CH 7	
1	1	1	0	1	0	CH 8	
0	0	0	1	1	0	CH 9	
1	0	0	1	1	0	CH 10	
0	1	0	1	1	0	CH 11	
1	1	0	1	1	0	CH 12	
0	0	1	1	1	0	CH 13	
1	0	1	1	1	0	CH 14	
0	1	1	1	1	0	CH 15	
1	1	1	1	1	0	CH 16	



## 30 FUNCTION REMOTE CONTROL TRANSMITTER

## 伝送コード方式

発振周波数 $f_{OSC}$ が480kHzの場合については下記に説明する通りであり、発振周波数 $f_{OSC}$ が480kHz以外の場合は、下記に示されている周期については $480\text{kHz}/f_{OSC}$ 倍に、周波数については $f_{OSC}/480\text{kHz}$ 倍になります。

伝送信号の搬送波は40kHzで、1つのパルス幅は0.5msです。したがって、1つのパルスの中に40kHzのクロックが20個入っています。(図3を参照ください。)

ビット“0”、“1”は、2つのパルスのパルス間隔により、区別します。すなわち、図4に示すように、2つのパルスのパルス間隔が2msの場合は“0”、4msの場合は“1”です。

伝送命令の1語(word)は6ビットから構成されており、キーが入力されているあいだ、48msの周期で伝送されます。したがって、1語は7個のパルスから構成されています。

以上説明したように、本伝送コードであれば、命令伝送中、実際に出力が“H”となる時間、すなわち伝送信号発生用発光ダイオードの点灯している時間は短くなります。伝送命令の周期48ms中、発光ダイオードが点灯しているのは、7個のパルスの期間の半分だけですから、1.75msとなり、

全周期の3.6%となります。したがって、連続波伝送方式に比べて、送信機全体の消費電力が少なく、発光ダイオードの信頼性が向上します。言いかえれば、同じ消費電力で発光ダイオードの発光出力を大きくすることができます。

図3. 1つのパルス

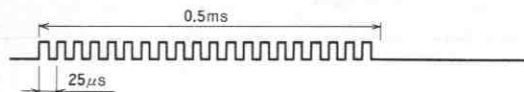


図4. ビット“0”、“1”の区別

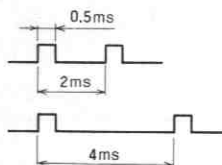
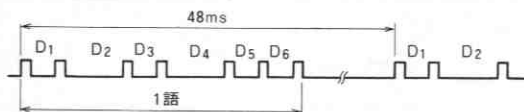
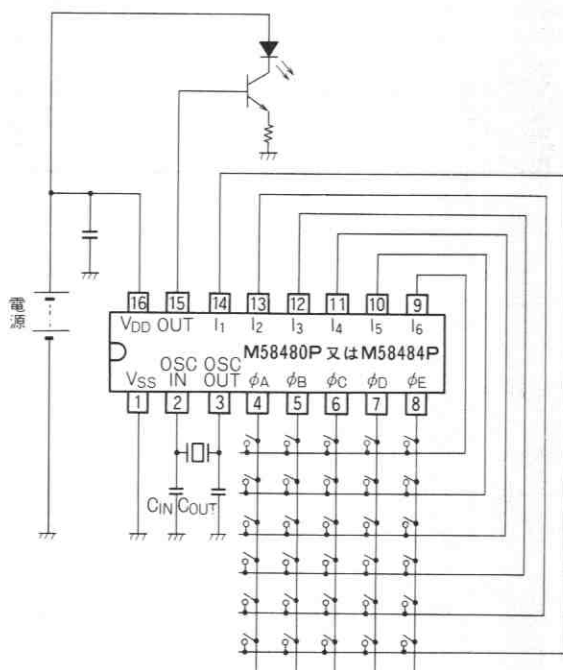


図5. 1語(word)の構成(下記のコードは010100)



## 応用回路例



## M58480P, M58484P

## 30 FUNCTION REMOTE CONTROL TRANSMITTER

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>DD</sub>	電源電圧	V <sub>SS</sub> 端子を基準とした場合	-0.3~9	V
V <sub>I</sub>	入力電圧		V <sub>SS</sub> ≤ V <sub>I</sub> ≤ V <sub>DD</sub>	V
V <sub>O</sub>	出力電圧		V <sub>SS</sub> ≤ V <sub>O</sub> ≤ V <sub>DD</sub>	V
P <sub>d</sub>	最大消費電力	T <sub>a</sub> = 25℃	300	mW
T <sub>opr</sub>	動作周囲温度		-30~70	℃
T <sub>stg</sub>	保存温度		-40~125	℃

## 推奨使用条件

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>DD</sub>	電源電圧	2.2		8	V
f <sub>osc</sub>	発振周波数		455		kHz
			480		kHz

電気的特性(指定のない場合は、T<sub>a</sub> = 25℃)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>DD</sub>	動作電源電圧	T <sub>a</sub> = -30~70℃, f <sub>osc</sub> = 455kHz	2.2		8	V
I <sub>DD</sub>	動作時電源電流	f <sub>osc</sub> = 455kHz		0.1	0.5	mA
		V <sub>DD</sub> = 3V		0.5	2	
		V <sub>DD</sub> = 6V				
I <sub>DD</sub>	非動作時電源電流	V <sub>DD</sub> = 3V			1	μA
		V <sub>DD</sub> = 8V			5	μA
R <sub>I</sub>	プルアップ抵抗, I <sub>1</sub> ~I <sub>6</sub>			20		kΩ
I <sub>OL</sub>	"L"出力電流, φ <sub>A</sub> ~φ <sub>E</sub>	V <sub>DD</sub> = 3V, V <sub>O</sub> = 3V	0.2	0.5		mA
		V <sub>DD</sub> = 6V, V <sub>O</sub> = 6V	1	2		
I <sub>OH</sub>	"H"出力電流, OUT	V <sub>DD</sub> = 3V, V <sub>O</sub> = 0V	-5	-10		mA
		V <sub>DD</sub> = 6V, V <sub>O</sub> = 0V	-15	-30		

30 FUNCTION REMOTE CONTROL RECEIVER

概要

M58481Pは、アルミゲートCMOSプロセスを用いて、開発された赤外線リモートコントロールシステムの受信機用ICで、リモートコントロールにより30機能の命令を制御でき、直接キー入力により16機能の命令を制御できます。

M58481Pを制御する送信機用ICとしては、M58480P及びM58484Pがあります。

特長

- 単一電源で広範囲動作電圧(4.5~8V)
- 低消費電力
- LC(又はセラミック)発振回路内蔵
- 伝送コードはPCMを用い、妨害に強い
- 単一波を用い受信システムの製作が容易
- 16のチャンネルを直接選局(Direct access)可能
- 3つのアナログ機能をそれぞれ64段にコントロール可能
- 受信機側で16機能のコントロール命令を入力可能
- 送信機及び受信機の動作周波数トランスが大きい
- タッチ式電子チャンネルIC(M51231Pなど)と接続可能

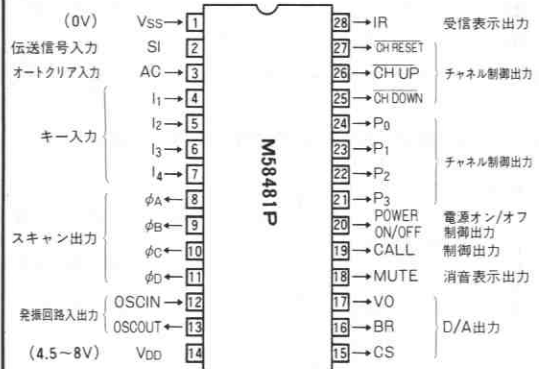
応用

- テレビリモートコントロール受信機
- 各種リモートコントロール受信機

機能概要

M58481Pは、赤外線リモートコントロールシステムの受信機用ICで、送信機から3回同じ伝送信号が送られてくると、その命令を解読し実行するように設計されているので、妨害に強いリモートコントロールシステムを構成することができます。

ピン接続図(上面図)

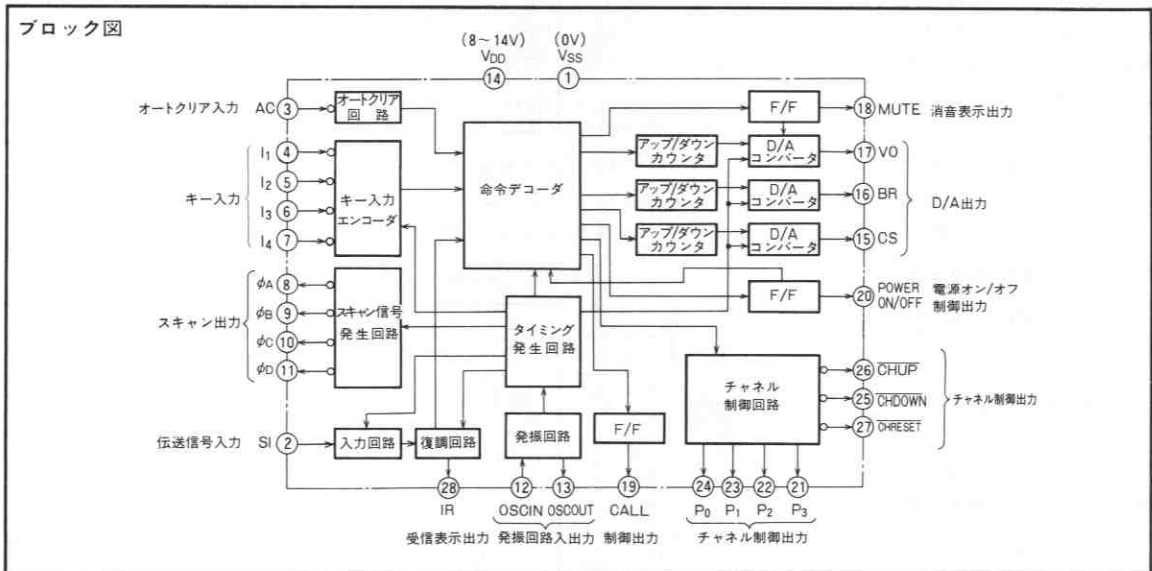


外形 28P1

リモートコントロールにより制御できる命令は、16チャンネルの直接選局(Direct access)、チャンネルのアップ及びダウン、音量(Volume)、輝度(Brightness)及び色相(Color saturation)のアップ、ダウン及び正規化(Normalization)、消音(Sound Mute)のオン/オフ、テレビ本体の電源のオン/オフ、CALL出力のオン/オフです。

また、受信機側においても、16機能の命令を入力することができます。

ブロック図



30 FUNCTION REMOTE CONTROL RECEIVER

機能説明

発振回路

発振回路を内蔵しているため、OSC IN、OSC OUT端子にLC回路又はセラミック共振子を外付けすることにより、基準信号が得られます。回路例を図1、図2に示します。

図1. 発振回路例(セラミック共振子を用いた場合)

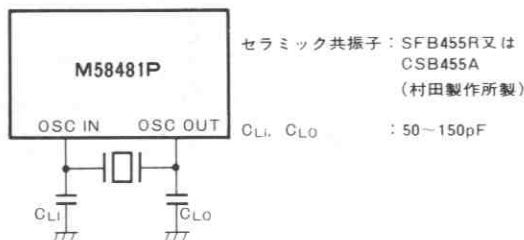
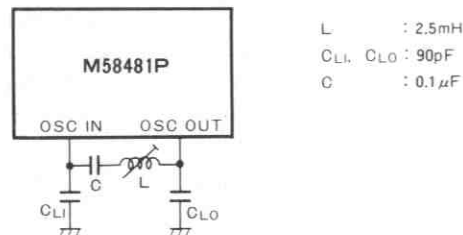


図2. 発振回路例(CL回路を用いた場合)



受信信号入力回路及び復調回路

受光素子で受光した信号を増幅器で増幅し、SI入力に印加します。SI入力に印加された信号は、入力回路でパルス信号に変換され、復調回路に送られます。復調回路では、パルス信号のパルス間隔を判定し、パルス信号をデジタルコードに変換します。変換されたコードは命令デコーダに送られます。

SI入力には、図3のような増幅されたのみの信号を容量結合で印加するか、図4又は図5のようにパルス信号を直接印加してください。雑音による誤動作防止のため、SI入力回路にはシュミット回路が内蔵されています。

図3. SI入力波形(容量結合で印加する場合)



図4. SI入力波形(直接印加する場合)



図5. SI入力波形(直接印加する場合)



命令デコーダ

命令デコーダは復調回路から3回以上同じコードが送られると命令を実行します。

受信コードと命令機能の関係を表1に示します。誤動作防止のため000000のコードは存在しないように設計されています。

表1. 受信コードと命令機能の関係

受信コード						命令機能	備考
D1	D2	D3	D4	D5	D6		
1	0	0	0	0	0	CH UP	チャンネルのアップ チャンネルのダウン
0	1	0	0	0	0	CH DOWN	
1	1	0	0	0	0	VO UP	アナログ量のコントロール
0	0	1	0	0	0	VO DOWN	
1	0	1	0	0	0	BR UP	
0	1	1	0	0	0	BR DOWN	
0	1	1	0	0	0	CS UP	CS(1/2)
0	0	0	1	0	0	CS DOWN	
1	0	0	1	0	0	MUTE	消音(Sound mute)のオン/オフ
0	1	0	1	0	0	VO(1/3)	アナログ量の正規化 (Normalization)
1	1	0	1	0	0	BR(1/2)	
0	0	1	1	0	0	CS(1/2)	
1	0	1	1	0	0	CALL	CALL出力のオン/オフ
0	1	1	1	0	0	POWER ON/OFF	電源のオン/オフ
0	0	0	0	1	0	CH 1	直接選局 (Direct access)
1	0	0	0	1	0	CH 2	
0	1	0	0	1	0	CH 3	
1	1	0	0	1	0	CH 4	
0	0	1	0	1	0	CH 5	
1	0	1	0	1	0	CH 6	
0	1	1	0	1	0	CH 7	
1	1	1	0	1	0	CH 8	
0	0	0	1	1	0	CH 9	
1	0	0	1	1	0	CH 10	
0	1	0	1	1	0	CH 11	
1	1	0	1	1	0	CH 12	
0	0	1	1	1	0	CH 13	
1	0	1	1	1	0	CH 14	
0	1	1	1	1	0	CH 15	
1	1	1	1	1	0	CH 16	

キー入力

I1~I4の入力及びφA~φDのスキャン出力による4×4のマトリクスにより、16の命令を入力することができます。

表2. キーマトリクスと命令機能の関係

スキャン出力 キー入力	φD	φC	φB	φA
I1	CH RESET	CH DOWN	CH UP	POWER ON/OFF
I2	MUTE	VO DOWN	VO UP	VO(1/3)
I3	VO(1/3) BR(1/2) CS(1/2)	BR DOWN	BR UP	BR(1/2)
I4	CALL	CS DOWN	CS UP	CS(1/2)

30 FUNCTION REMOTE CONTROL RECEIVER

また、10ms以内のチャタリングを防止することができます。

キー入力は、先に入力したキーが優先し、キーを離さないかぎり、次のキーは入力されません。ただし、2つ以上のキーを同時に押したときは、スキャン出力間が短絡されることがあり、どの機能も働かないことがあります。

キー入力を使用しているときは、送信機から送られてくる命令を禁止します。

受信の表示

同一命令を3回受信すると、IR出力は“L”から“H”に変化します。したがって、IR出力に、発光ダイオードを取り付けることにより、送信機から命令が伝送されていることを表示することができます。

アナログ出力(V0, BR, CS)

3組の6ビット構成のD/Aコンバータを内蔵しており、アナログ量をそれぞれ独立に64段にコントロールすることができます。出力はくり返し周波数が1.25kHz( $f_{OSC}=480kHz$ の場合)で、最小パルス幅が12.5 $\mu s$ の一種のパルス幅変調出力になっております。

リモートコントロール又はキー入力により、アナログ量を約1step/0.1秒の割合でアップ又はダウンすることができます。したがって、アナログ量を最小の値から最大の値にするのに要する時間は約6.6秒です。( $f_{OSC}=480kHz$ の場合)

また、リモートコントロール又はキー入力により、アナログ量を最大値の1/3(V0)、1/2(BR, CS)にすることができます。(正規化Normalization)

消音(Sound mute)

リモートコントロール又はキー入力により、消音(Sound mute)をオン/オフすることができます。消音がオンのときは、VO出力は最小値“L”になり、MUTE出力は“L”から“H”に変化します。

消音がオンのとき、リモートコントロール又はキー入力によりVO出力をアップ又はダウンすると自動的に消音が解除されます。

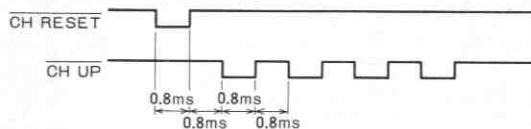
チャンネルの制御

チャンネルの制御は、P<sub>0</sub>~P<sub>3</sub>出力によるパラレルコントロール方式とCH UP、CH DOWN及びCH RESET出力によるシリアルコントロール方式が可能です。

パラレルコントロール方式については、選択されたチャンネル番号に対応した4ビットのアドレスがP<sub>0</sub>~P<sub>3</sub>出力に現れます。チャンネル番号とP<sub>0</sub>~P<sub>3</sub>出力の関係を表3に示します。

シリアルコントロール方式については、図6に示すように、まずCH RESET出力にパルスが1個現れ、次にCH UP出力に選択されたチャンネル番号から1引いた数のパルスが現れます。チャンネルのアップ又はダウンについては、CH UP又はCH DOWN出力にパルスを1個出し、コントロールしま

図6. チャンネルのシリアルコントロール方式のタイミング図 ( $f_{OSC}=480kHz$ の場合)



す。したがって、タッチ式電子チャンネル用IC (M51231Pなど)接続することができます。

チャンネルの直接選局、アップ及びダウン時には、自動的に25~50msVO出力が“L”になります。

表3. チャンネル番号とアドレス出力P<sub>0</sub>~P<sub>3</sub>の関係

チャンネル番号	ア ド レ ス 出 力			
	P <sub>0</sub>	P <sub>1</sub>	P <sub>2</sub>	P <sub>3</sub>
1	0	0	0	0
2	1	0	0	0
3	0	1	0	0
4	1	1	0	0
5	0	0	1	0
6	1	0	1	0
7	0	1	1	0
8	1	1	1	0
9	0	0	0	1
10	1	0	0	1
11	0	1	0	1
12	1	1	0	1
13	0	0	1	1
14	1	0	1	1
15	0	1	1	1
16	1	1	1	1

電源のON/OFF

リモートコントロール又はキー入力により、POWER ON/OFF出力を“L”から“H”又は“H”から“L”に変化させることができます。POWER ON/OFF出力を利用することにより、テレビセットの電源をオン/オフすることができます。

POWER ON/OFF出力が“L”のときは、リモートコントロール及びキー入力によるチャンネル及びアナログ量のコントロールは禁止されます。ただしキー入力によるCH RESET( $\phi_0-1$ )及びVO(1/3)BR(1/2)CS(1/2)( $\phi_0-1$ )の命令機能はPOWER ON/OFF出力が“L”の場合においても働きます。

CALL出力

リモートコントロール又はキー入力により、CALL出力を“L”から“H”又は“H”から“L”に変化させることができます。この出力を使って、例えばチャンネル番号表示のオン/オフ、音声多重放送受信のモード切り換え等をコントロールすることができます。

オートクリア

AC端子にコンデンサを取りつけることにより、M58481Pの電源投入時にオートクリアを働かせることができます。

オートクリアが働くと、VO、BR、CSの出力は最大値のそれぞれ1/3、1/2、1/2になり、POWER ON/OFF出力、CALL出力は“L”、P<sub>0</sub>~P<sub>3</sub>出力は0000になります。

10

# M58481P

## 30 FUNCTION REMOTE CONTROL RECEIVER

### 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>DD</sub>	電源電圧	V <sub>SS</sub> 端子を基準とした場合	-0.3~9	V
V <sub>I</sub>	入力電圧		V <sub>SS</sub> ≤ V <sub>I</sub> ≤ V <sub>DD</sub>	—
V <sub>O</sub>	出力電圧		V <sub>SS</sub> ≤ V <sub>O</sub> ≤ V <sub>DD</sub>	—
P <sub>d</sub>	最大消費電力	T <sub>a</sub> = 25°C	300	mW
T <sub>opr</sub>	動作周囲温度		-30~70	°C
T <sub>stg</sub>	保存温度		-40~126	°C

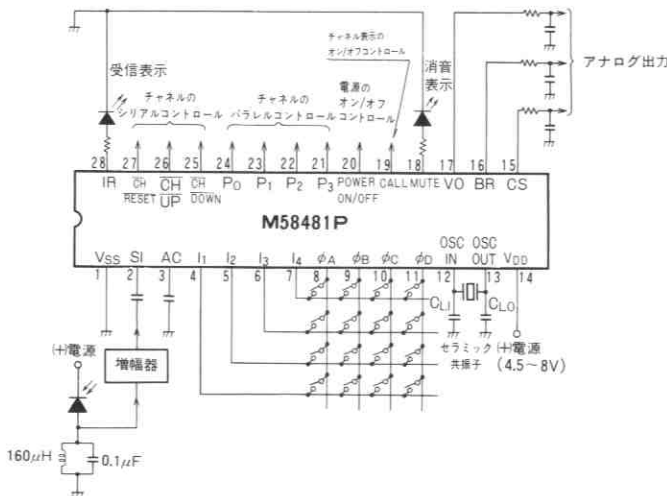
### 推奨使用条件

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>DD</sub>	電源電圧	4.5		8	V
f <sub>osc</sub>	発振周波数		455		kHz
			480		kHz
V <sub>I</sub>	入力電圧, SI	3			V <sub>P-P</sub>

### 電気的特性(指定のない場合は, T<sub>a</sub> = 25°C)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>DD</sub>	動作電源電圧	T <sub>a</sub> = -30~70°C, f <sub>osc</sub> = 455kHz	4.5		8	V
I <sub>DD</sub>	電源電流	V <sub>DD</sub> = 5V, f <sub>osc</sub> = 455kHz		0.4	1	mA
		V <sub>DD</sub> = 8V, f <sub>osc</sub> = 455kHz		1.5	3	mA
R <sub>I</sub>	プルアップ抵抗, I <sub>1</sub> ~I <sub>4</sub>			20		kΩ
I <sub>OL</sub>	"L"出力電流, φ <sub>A</sub> ~φ <sub>D</sub>	V <sub>DD</sub> = 8V, V <sub>O</sub> = 8V		3		mA
I <sub>OL</sub>	"L"出力電流, CH UP, CH DOWN, CH RESET	V <sub>DD</sub> = 8V, V <sub>O</sub> = 8V		15		mA
I <sub>OZH</sub>	オフ状態出力電流, CH UP, CH DOWN, CH RESET	V <sub>DD</sub> = 8V, V <sub>O</sub> = 8V			1	μA
I <sub>OH</sub>	"H"出力電流, P <sub>0</sub> ~P <sub>3</sub>	V <sub>DD</sub> = 8V, V <sub>O</sub> = 0V		-0.5		mA
I <sub>OL</sub>	"L"出力電流, P <sub>0</sub> ~P <sub>3</sub>	V <sub>DD</sub> = 8V, V <sub>O</sub> = 8V		15		mA
I <sub>OH</sub>	"H"出力電流, VO, BR, CS	V <sub>DD</sub> = 8V, V <sub>O</sub> = 0V		-5		mA
I <sub>OL</sub>	"L"出力電流, VO, BR, CS	V <sub>DD</sub> = 8V, V <sub>O</sub> = 8V		10		mA
I <sub>OH</sub>	"H"出力電流, POWER ON/OFF, CALL, MUTE	V <sub>DD</sub> = 8V, V <sub>O</sub> = 0V		-15		mA
I <sub>OL</sub>	"L"出力電流, POWER ON/OFF, CALL, MUTE	V <sub>DD</sub> = 8V, V <sub>O</sub> = 8V		3		mA
I <sub>OH</sub>	"H"出力電流, IR	V <sub>DD</sub> = 8V, V <sub>O</sub> = 0V		-10		mA
I <sub>OL</sub>	"L"出力電流, IR	V <sub>DD</sub> = 8V, V <sub>O</sub> = 8V		3		mA

### 応用回路例



29 FUNCTION REMOTE CONTROL RECEIVER

概要

M58485Pは、アルミゲートCMOSプロセスを用いて、開発された赤外線リモートコントロールシステムの受信機用ICで、リモートコントロールにより、29機能の命令を制御でき、かつ直接キー入力により12機能の命令を制御できます。

M58485Pを制御する送信機用ICとしては、M58480P及びM58484Pがあります。

特長

- 単一電源で広範囲動作電圧(8~14V)
- 低消費電力
- LC(又はセラミック)発振回路内蔵
- 伝送コードはPCMを用い、妨害に強い
- 単一波を用い受信システムの製作が容易
- 16のチャンネルを直接選局(Direct access)可能
- 3つのアナログ機能をそれぞれ64段にコントロール可能
- 受信機側で12機能のコントロール命令を入力可能
- 送信機及び受信機の動作周波数トランスが大
- タッチ式電子チャンネル用IC(M51231Pなど)と接続可能

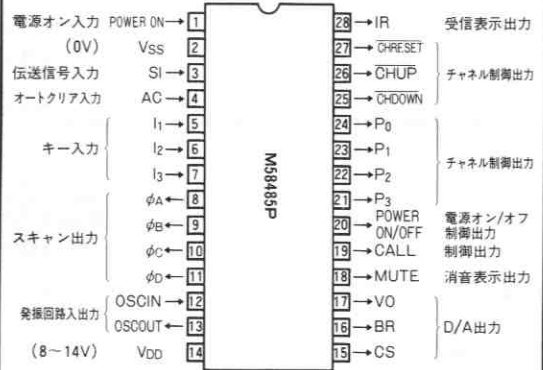
応用

- テレビリモートコントロール受信機
- 各種リモートコントロール受信機

機能概要

M58485Pは、赤外線リモートコントロールシステムの受信機用ICで、送信機から3回同じ伝送信号が送られてくると、その命令を解釈し実行する様に設計されているので、

ピン接続図(上面図)



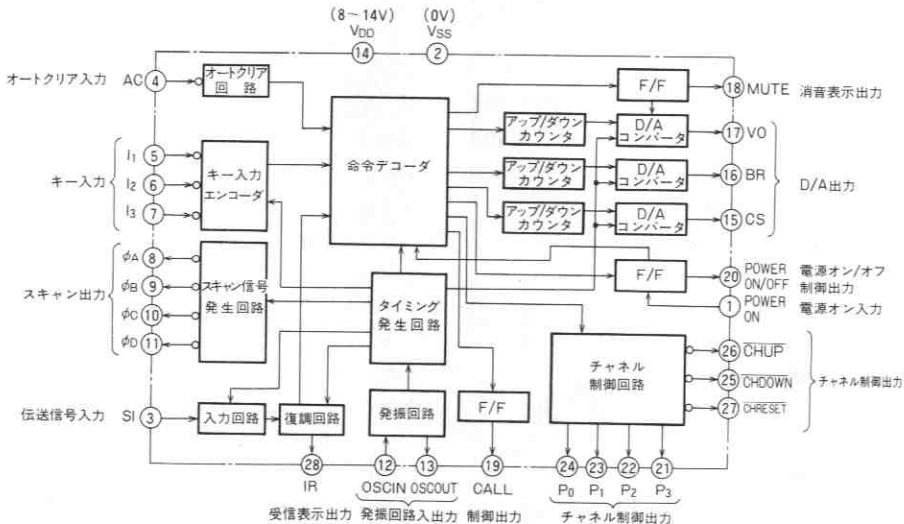
外形 28P1

妨害に強いリモートコントロールシステムを構成することができます。

リモートコントロールにより制御できる命令は、16チャンネルの直接選局(Direct access)、チャンネルのアップ及びダウン、音量(Volume)、輝度(Brightness)及び色相(Color saturation)のアップ、ダウン及び正規化(Normalization)、消音(Sound mute)のオン/オフ、テレビ本体の電源のオン/オフ、CALL出力のオン/オフです。

また、受信機側においても、12機能の命令を入力することができます。

ブロック図



29 FUNCTION REMOTE CONTROL RECEIVER

機能説明

発振回路

発振回路を内蔵しているため、OSC IN、OSC OUT端子にLC回路又はセラミック共振子を外付けすることにより、基準信号が得られます。回路例を図1、図2に示します。

図1. 発振回路例(セラミック共振子を用いた場合)

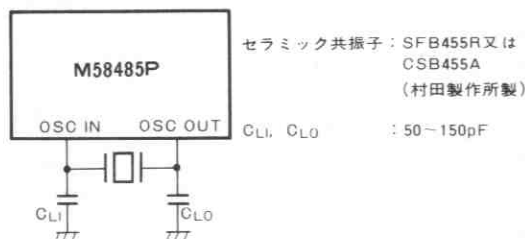
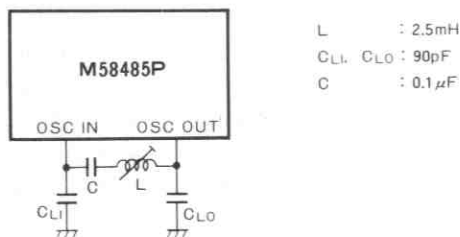


図2. 発振回路例(CL回路を用いた場合)



受信信号入力回路及び復調回路

受光素子で受光した信号を増幅器で増幅し、SI入力に印加します。SI入力に印加された信号は、入力回路でパルス信号に変換され、復調回路に送られます。復調回路では、パルス信号のパルス間隔を判定し、パルス信号をデジタルコードに変換します。変換されたコードは命令デコーダに送られます。

SI入力には、図3のような増幅されたみの信号を容量結合で印加するか、図4又は図5のようにパルス信号を直接印加してください。雑音による誤動作防止のため、SI入力回路にはシュミット回路が内蔵されています。

図3. SI入力波形(容量結合で印加する場合)



図4. SI入力波形(直接印加する場合)



図5. SI入力波形(直接印加する場合)



命令デコーダ

命令デコーダは復調回路から3回以上同じコードが送られると命令を実行します。

受信コードと命令機能の関係を表1に示します。誤動作防止のため000000のコードは存在しないように設計されています。

表1. 受信コードと命令機能の関係

受信コード						命令機能	備考
D1	D2	D3	D4	D5	D6		
1	0	0	0	0	0	CH UP	チャンネルのアップ チャンネルのダウン
0	1	0	0	0	0	CH DOWN	
1	1	0	0	0	0	VO UP	アナログ量のコントロール
0	0	1	0	0	0	VO DOWN	
1	0	1	0	0	0	BR UP	
0	1	1	0	0	0	BR DOWN	
1	1	1	0	0	0	CS UP	
0	0	0	1	0	0	CS DOWN	
1	0	0	1	0	0	MUTE	消音(Sound mute)のオン/オフ
0	1	0	1	0	0	VO(1/3)	アナログ量の正規化 (Normalization)
1	1	0	1	0	0	BR(1/2), CS(1/2)	
1	0	1	1	0	0	CALL	CALL出力のオン/オフ
0	1	1	1	0	0	POWER ON/OFF	電源のオン/オフ
0	0	0	0	1	0	CH 1	直接送局 (Direct access)
1	0	0	0	1	0	CH 2	
0	1	0	0	1	0	CH 3	
1	1	0	0	1	0	CH 4	
0	0	1	0	1	0	CH 5	
1	0	1	0	1	0	CH 6	
0	1	1	0	1	0	CH 7	
1	1	1	0	1	0	CH 8	
0	0	0	1	1	0	CH 9	
1	0	0	1	1	0	CH 10	
0	1	0	1	1	0	CH 11	
1	1	0	1	1	0	CH 12	
0	0	1	1	1	0	CH 13	
1	0	1	1	1	0	CH 14	
0	1	1	1	1	0	CH 15	
1	1	1	1	1	0	CH 16	

キー入力

I<sub>1</sub>~I<sub>3</sub>の入力及びφA~φDのスキャン出力による3×4のキーボードマトリクスにより、12の命令を入力することができます。また、10ms以内のチャタリングを防止することができます。

キーには優先順位がついていますので、二つ以上のキーを入力した場合、優先キーの機能が働きます。優先順位は、スキャン出力については、φA、φB、φC、φDの順で、スキャン出力が同じ場合はI<sub>1</sub>、I<sub>2</sub>、I<sub>3</sub>の順です。ただし、2つ以上のキーを同時に押したときは、スキャン出力間が短絡されることがあり、どの機能も動かないことがあります。

キー入力を使用しているときは、送信機から送られてくる命令を禁止します。

キーマトリクスと命令機能の関係を表2に示します。



29 FUNCTION REMOTE CONTROL RECEIVER

表2. キーマトリクスと命令機能の関係

スキャン出力 キー入力	$\phi D$	$\phi C$	$\phi B$	$\phi A$
$I_1$	CH UP	VO UP	BR UP	CS UP
$I_2$	CH DOWN	VO DOWN	BR DOWN	CS DOWN
$I_3$	POWER ON/OFF	MUTE	VO( $1/3$ ) BR( $1/2$ ) CS( $1/2$ )	CALL

受信の表示

同一命令を3回受信すると、IR出力は“L”から“H”に変化します。したがって、IR出力に、発光ダイオードを取り付けることにより、送信機から命令が伝送されていることを表示することができます。

アナログ出力 (VO、BR、CS)

3組の6ビット構成のD/Aコンバータを内蔵しており、アナログ量をそれぞれ独立に64段にコントロールすることができます。出力はくり返し周波数が1.25kHz ( $f_{osc}=480kHz$ の場合)で、最小パルス幅が12.5 $\mu s$ の一種パルス幅変調出力になっています。

リモートコントロール又はキー入力により、アナログ量を約1ステップ/0.1秒の割合でアップ又はダウンすることができます。したがって、アナログ量を最小の値から最大の値にするのに要する時間は約6.6秒です。( $f_{osc}=480kHz$ の場合)

また、リモートコントロール又はキー入力により、アナログ量を最大値の $1/3$  (VO)、 $1/2$  (BR、CS)にすることができます。(正規化Normalization)

消音 (Sound mute)

リモートコントロール又はキー入力により、消音 (Sound mute) をオン/オフすることができます。消音がオンのときは、VO出力は最小値“L”になり、MUTE出力は“L”から“H”に変化します。

消音がオンのとき、リモートコントロール又はキー入力によりVO出力をアップ又はダウンすると自動的に消音が解除されます。

チャンネルの制御

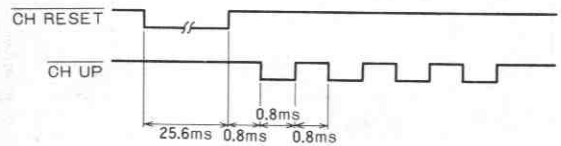
チャンネルの制御は、 $P_0 \sim P_3$ 出力によるパラレルコントロール方式とCH UP、CH DOWN及びCH RESET出力によるシリアルコントロール方式が可能です。

パラレルコントロール方式については、選択されたチャンネル番号に対応した4ビットのアドレスが $P_0 \sim P_3$ 出力に現れます。チャンネル番号と $P_0 \sim P_3$ 出力の関係を表3に示します。シリアルコントロール方式については、図6に示すように、まずCH RESET出力にパルスが1個現れ、次にCH UP出力に選択されたチャンネル番号から1引いた数のパルスが現れます。チャンネルのアップ又はダウンについては、CH UP又はCH DOWN出力にパルスを1個出し、コントロールします。したがって、タッチ式電子チャンネルIC (M51231Pなど) と接続することができます。

表3. チャンネル番号とアドレス出力 $P_0 \sim P_3$ の関係

チャンネル番号	ア ド レ ス 出 力			
	$P_0$	$P_1$	$P_2$	$P_3$
1	0	0	0	0
2	1	0	0	0
3	0	1	0	0
4	1	1	0	0
5	0	0	1	0
6	1	0	1	0
7	0	1	1	0
8	1	1	1	1
9	0	0	0	1
10	1	0	0	1
11	0	1	0	1
12	1	1	0	1
13	0	0	1	1
14	1	0	1	1
15	0	1	1	1
16	1	1	1	1

図6. チャンネルのシリアルコントロール方式のタイミング図 ( $f_{osc}=480kHz$ )



チャンネルの直接選局、アップ及びダウン時には、自動的に50~100ms間VO出力が“L”になります。

なお、CH UP、CH DOWN、CH RESET、 $P_0 \sim P_3$ 出力はnチャンネルトランジスタのオープンドレイン (Open drain) タイプになっています。

電源のON/OFF

リモートコントロール又はキー入力により、POWER ON/OFF出力を“L”から“H”あるいは“H”から“L”に変化させることができます。また、POWER ON入力によりPOWER ON/OFF出力を“L”から“H”に変化させることができます。

POWER ON/OFF出力が“L”のときは、リモートコントロール及びキー入力によるチャンネル及びアナログ量のコントロールは禁止されます。

CALL出力

リモートコントロール又はキー入力により、CALL出力を“L”から“H”又は“H”から“L”に変化させることができます。この出力を使って、例えばチャンネル番号表示のオン/オフ、音声多重放送受信のモード切り換え等をコントロールすることができます。

オートクリア

AC端子にコンデンサを取りつけることにより、M58485Pの電源投入時にオートクリアを働かせることができます。

オートクリアが働くと、VO、BR、CSの出力は最大値のそれぞれ $1/3$ 、 $1/2$ 、 $1/2$ になりPOWER ON/OFF出力、CALL出力は“L”、 $P_0 \sim P_3$ 出力は0000になります。

29 FUNCTION REMOTE CONTROL RECEIVER

絶対最大定格

記号	項目	条件	定格値	単位
V <sub>DD</sub>	電源電圧	V <sub>SS</sub> 端子を基準とした場合	-0.3~15	V
V <sub>I</sub>	入力電圧		V <sub>SS</sub> ≤ V <sub>I</sub> ≤ V <sub>DD</sub>	—
V <sub>O</sub>	出力電圧		V <sub>SS</sub> ≤ V <sub>O</sub> ≤ V <sub>DD</sub>	—
P <sub>d</sub>	最大消費電力	T <sub>a</sub> = 25℃	300	mW
T <sub>opr</sub>	動作周囲温度		-30~70	℃
T <sub>stg</sub>	保存温度		-40~125	℃

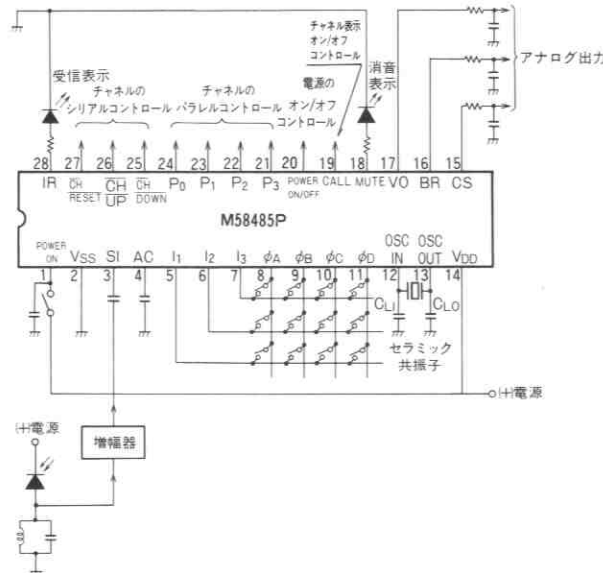
推奨使用条件

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>DD</sub>	電源電圧	8	12	14	V
f <sub>OSC</sub>	発振周波数		455		kHz
			480		kHz
V <sub>I</sub>	入力電圧(SI)	5			V <sub>P-P</sub>

電気的特性(指定のない場合は, T<sub>a</sub> = 25℃, V<sub>DD</sub> = 12V)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>DD</sub>	電源電圧	T <sub>a</sub> = -30~70℃, f <sub>OSC</sub> = 455kHz	8	12	14	V
I <sub>DD</sub>	電源電流	f <sub>OSC</sub> = 455kHz		2	5	mA
R <sub>I</sub>	プルアップ抵抗, I <sub>1</sub> ~I <sub>3</sub>			20		kΩ
I <sub>OL</sub>	"L"出力電流, φ <sub>A</sub> ~φ <sub>D</sub>	V <sub>O</sub> = 12V	5			mA
I <sub>OL</sub>	"L"出力電流, CH UP, CH DOWN, CH RESET	V <sub>O</sub> = 12V	20			mA
I <sub>OZH</sub>	オフ状態出力電流, CH UP, CH DOWN, CH RESET	V <sub>O</sub> = 12V			1	μA
I <sub>OL</sub>	"L"出力電流, P <sub>0</sub> ~P <sub>3</sub>	V <sub>O</sub> = 12V	20			mA
I <sub>OZH</sub>	オフ状態出力電流, P <sub>0</sub> ~P <sub>3</sub>	V <sub>O</sub> = 12V			1	μA
I <sub>OH</sub>	"H"出力電流, VO, BR, CS	V <sub>O</sub> = 0V	-7			mA
I <sub>OL</sub>	"L"出力電流, VO, BR, CS, POWER ON/OFF	V <sub>O</sub> = 12V	7			mA
I <sub>OH</sub>	"H"出力電流, POWER ON/OFF, CALL, MUTE	V <sub>O</sub> = 0V	-20			mA
I <sub>OL</sub>	"L"出力電流, POWER ON/OFF, CALL, MUTE	V <sub>O</sub> = 12V	5			mA
I <sub>OH</sub>	"H"出力電流, IR	V <sub>O</sub> = 0V	-15			mA
I <sub>OL</sub>	"L"出力電流, IR	V <sub>O</sub> = 12V	5			mA

応用回路例



22 FUNCTION REMOTE CONTROL RECEIVER

概要

M58487Pは、アルミゲートCMOSプロセスを用いて、開発された赤外線リモートコントロールシステムの受信機用ICで、リモートコントロールにより22機能の命令を制御でき、直接キー入力により8機能の命令を制御できます。

M58487Pを制御する送信機用ICとしては、M58480P及びM58484Pがあります。

特長

- 単一電源で広範囲動作電圧(8~14V)
- 低消費電力
- LC(又はセラミック)発振回路内蔵
- 伝送コードはPCMを用い妨害に強い
- 単一波を用い受信システムの製作に容易
- 16のチャンネルを直接選局(Direct access)可能
- アナログ機能を64段にコントロール可能
- 受信機側で直接8機能のコントロール入力可能
- 送信機及び受信機の動作周波数トレランスが大
- タッチ式電子チャンネル用IC(M51231Pなど)と接続可能

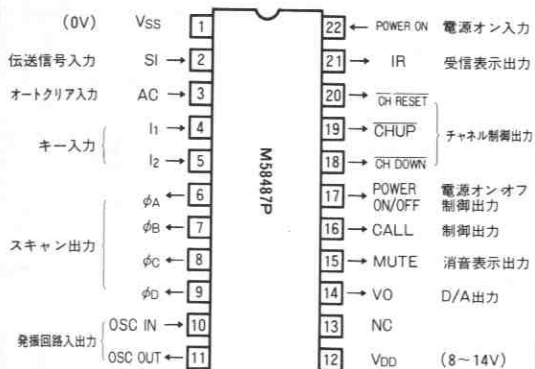
応用

- テレビリモートコントロール受信機
- 各種リモートコントロール受信機

機能概要

M58487Pは、赤外線リモートコントロールシステムの受信機用ICで、送信機から3回同じ伝送信号が送られてくると、その命令を解読し実行するよう設計されているので、妨害に強いリモートコントロールシステムを構成すること

ピン接続図(上面図)



外形 22P1

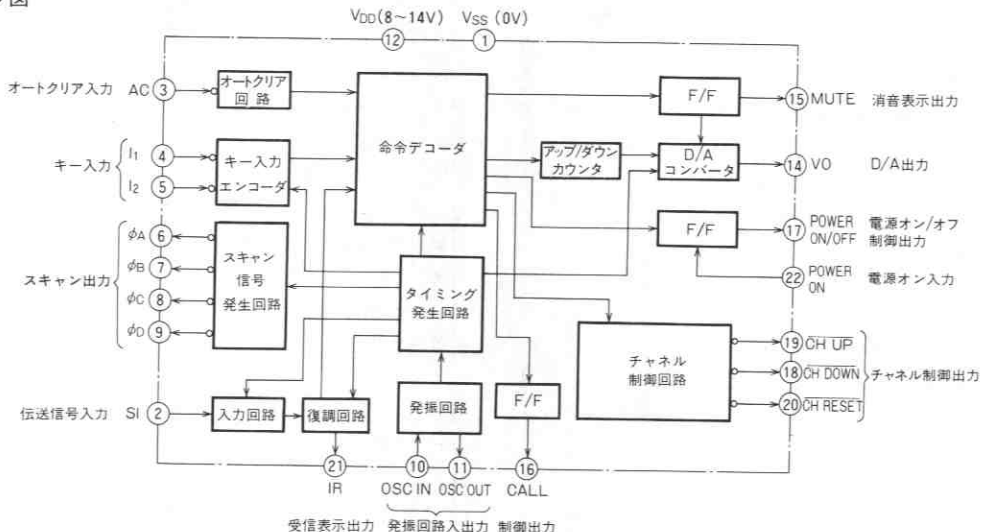
NC: 無接続

ができます。

リモートコントロールにより制御できる命令は、16チャンネルの直接選局(Direct access)、チャンネルのアップ及びダウン、音量(Volume)のアップ、ダウン及び正規化(Normalization)消音(Sound mute)のオン/オフ、テレビ本体の電源のオン/オフ、CALL出力のオン/オフです。

また、受信機側においても、8機能の命令を入力することができます。

ブロック図



22 FUNCTION REMOTE CONTROL RECEIVER

機能説明

発振回路

発振回路を内蔵しているため、OSC IN、OSC OUT端子にLC回路又はセラミック共振子を外付けすることにより、基準信号が得られます。回路例を図1、図2に示します。

図1. 発振回路例(セラミック共振子を用いた場合)

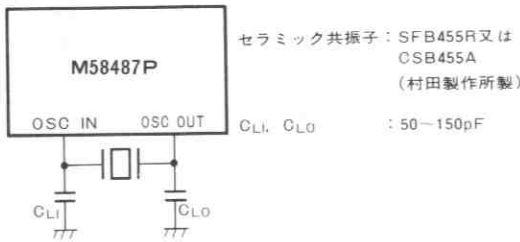
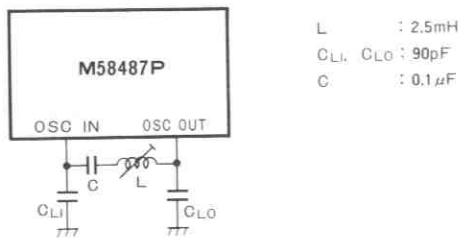


図2. 発振回路例(CL回路を用いた場合)



受信信号入力回路及び復調回路

受光素子で受光した信号を増幅器で増幅し、SI入力に印加します。SI入力に印加された信号は、入力回路でパルス信号に変換され、復調回路に送られます。復調回路では、パルス信号のパルス間隔を判定し、パルス信号をデジタルコードに変換します。変換されたコードは命令デコーダに送られます。

SI入力には、図3のような増幅されたのみの信号を容量結合で印加するか、図4又は図5のようにパルス信号を直接印加してください。雑音による誤動作防止のため、SI入力回路にはシュミット回路が内蔵されています。

図3. SI入力波形(容量結合で印加する場合)



図4. SI入力波形(直接印加する場合)



図5. SI入力波形(直接印加する場合)



命令デコーダ

命令デコーダは復調回路から3回以上同じコードが送られると命令を実行します。

受信コードと命令機能の関係を表1に示します。誤動作防止のため000000のコードは存在しないように設計されています。

表1. 受信コードと命令機能の関係

受信コード						命令機能	備考
D1	D2	D3	D4	D5	D6		
1	1	0	0	0	0	VO UP	音量(Volume)のアップ
0	0	1	0	0	0	VO DOWN	音量(Volume)のダウン
1	0	0	1	0	0	MUTE	消音(Sound mute)のオン/オフ
0	1	0	1	0	0	VO(1/3)	音量(Volume)の正規化
1	0	1	1	0	0	CALL	CALL出力のオン/オフ
0	1	1	1	0	0	POWER ON/OFF	電源のオン/オフ
0	0	0	0	1	0	CH 1	直接選局 (Direct access)
1	0	0	0	1	0	CH 2	
0	1	0	0	1	0	CH 3	
1	1	0	0	1	0	CH 4	
0	0	1	0	1	0	CH 5	
1	0	1	0	1	0	CH 6	
0	1	1	0	1	0	CH 7	
1	1	1	0	1	0	CH 8	
0	0	0	1	1	0	CH 9	
1	0	0	1	1	0	CH 10	
0	1	0	1	1	0	CH 11	
1	1	0	1	1	0	CH 12	
0	0	1	1	1	0	CH 13	
1	0	1	1	1	0	CH 14	
0	1	1	1	1	0	CH 15	
1	1	1	1	1	0	CH 16	

キー入力

I1、I2入力及びφA~φDのスキャン出力による2×4のキーボードマトリクスにより、8命令を入力することができます。また、10ms以内のチャタリングを防止することができます。

キーには優先順位がついていますので、2つ以上のキーを入力した場合、優先キーの機能が働きます。優先順位は、スキャン出力については、φA、φB、φC、φDの順で、スキャン出力が同じ場合はI1入力かI2入力よりも優先します。ただし、2つ以上のキーを同時に押したときは、スキャン出力間が短絡されることがあり、どの機能も働かないことがあります。

キー入力を使用しているときは、送信機から送られてくる命令を禁止します。

キーマトリクスと命令機能の関係を表2に示します。

表2. キーマトリクスと命令機能の関係

キー入力	スキャン出力			
	φD	φC	φB	φA
I1	POWER ON/OFF	VO UP	MUTE	CH UP
I2	CALL	VO DOWN	VO(1/3)	CH DOWN

## 22 FUNCTION REMOTE CONTROL RECEIVER

### 受信の表示

同一命令を3回受信すると、IR出力は“L”から“H”に変化します。したがって、IR出力に、発光ダイオードを取り付けることにより、送信機から命令が伝送されていることを表示することができます。

### VO出力(D/Aコンバータ出力)

6ビット構成のD/Aコンバータを内蔵しており、アナログ量を64段にコントロールすることができます。出力は繰り返し周波数が1.25kHz( $f_{OSC}=480kHz$ の場合)で、最小パルス幅が12.5 $\mu s$ の一種のパルス幅変調出力になっています。

リモートコントロール又はキー入力により、アナログ量を約1ステップ/0.1秒の割合でアップ又はダウンすることができます。したがってアナログ量を最小の値から最大の値にするのに要する時間は約6.6秒です。( $f_{OSC}=480kHz$ の場合)

また、リモートコントロール又はキー入力により、アナログ量を最大値の1/3にすることができます。(正規化Normalization)

### 消音(Sound mute)

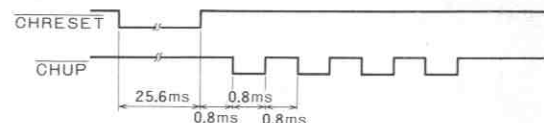
リモートコントロール又はキー入力により、消音(Sound mute)をオン/オフすることができます。消音がオンのときは、VO出力は最小値“L”になり、MUTE出力は“L”から“H”に変化します。

消音がオンのとき、リモートコントロール又はキー入力によりVO出力をアップ又はダウンすると自動的に消音が解除されます。

### チャンネルの制御

チャンネルの制御はCH UP、CH DOWN及びCH RESET出力により行うことができます。リモートコントロールからの直接選局については、図6に示すように、まずCH RESET出力にパルスが1個現われ、次にCH UP出力に選局されたチャンネル番号から1を引いた数のパルスが現われます。チャンネルのアップ又はダウンについては、CH UP又はCH DOWN出力にパルスを1個出し、制御します。したがって、タッチ式電子チャンネル用IC(M51231Pなど)と接続することができます。

図6. チャンネル制御のタイミング図( $f_{OSC}=480kHz$ の場合)



チャンネルの直接選局、アップ及びダウン時には、自動的に50~100ms間VO出力が“L”になります。

なお、CH UP、CH DOWN、CH RESET出力はnチャンネルトランジスタのオープンドレインタイプ(Open drain type)になっています。

### 電源のオン/オフ

リモートコントロール又はキー入力により、POWER ON/OFF出力を“L”から“H”又は“H”から“L”に変化させることができます。また、POWER ON/OFF出力が“L”のときは、リモートコントロール及びキー入力によるチャンネル及びアナログ量等のコントロールは禁止されます。

### CALL出力

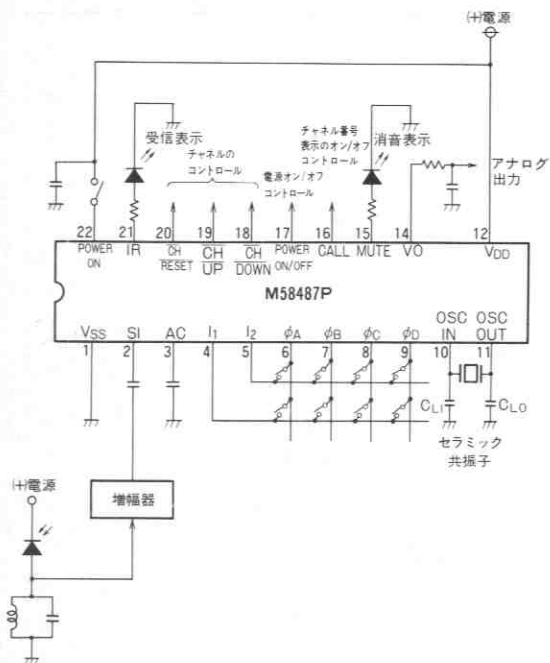
リモートコントロール又はキー入力により、CALL出力を“L”から“H”又は“H”から“L”に変化させることができます。この出力を使って、例えばチャンネル番号のオン/オフ、音声多重放送受信のモード切り換え等をコントロールすることができます。

### オートクリア

AC端子にコンデンサを取りつけることにより、M58487Pの電源投入時にオートクリアを働かせることができます。

オートクリアが働くとき、VO出力は最大値の1/3になり、POWER ON/OFF出力、CALL出力は“L”となります。

### 応用回路例



## 22 FUNCTION REMOTE CONTROL RECEIVER

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>DD</sub>	電源電圧	V <sub>SS</sub> 端子を基準とした場合	-0.3~15	V
V <sub>I</sub>	入力電圧		V <sub>SS</sub> ≤ V <sub>I</sub> ≤ V <sub>DD</sub>	V
V <sub>O</sub>	出力電圧		V <sub>SS</sub> ≤ V <sub>O</sub> ≤ V <sub>DD</sub>	V
P <sub>d</sub>	最大消費電力	T <sub>a</sub> = 25℃	300	mW
T <sub>opr</sub>	動作周囲温度		-30~70	℃
T <sub>stg</sub>	保存温度		-40~125	℃

## 推奨使用条件

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>DD</sub>	電源電圧	8	12	14	V
f <sub>osc</sub>	発振周波数		455		kHz
			480		kHz
V <sub>I</sub>	入力電圧(SI)	5			V <sub>P-P</sub>

電気的特性(指定のない場合は, T<sub>a</sub>=25℃, V<sub>DD</sub>=12V)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>DD</sub>	動作電源電圧	T <sub>a</sub> = -30~70℃, f <sub>osc</sub> = 455kHz	8	12	14	V
I <sub>DD</sub>	電源電流	f <sub>osc</sub> = 455kHz		2	5	mA
R <sub>I</sub>	プルアップ抵抗, I <sub>1</sub> , I <sub>2</sub>			20		kΩ
I <sub>OL</sub>	"L"出力電流, φ <sub>A</sub> ~φ <sub>D</sub>	V <sub>O</sub> = 12V	5			mA
I <sub>OL</sub>	"L"出力電流, CH RESET, CH UP, CH DOWN	V <sub>O</sub> = 12V	20			mA
I <sub>OZH</sub>	オフ状態出力電流, CH RESET, CH UP, CH DOWN	V <sub>O</sub> = 12V			1	μA
I <sub>OH</sub>	"H"出力電流, VO	V <sub>O</sub> = 0V	-7			mA
I <sub>OL</sub>	"L"出力電流, VO	V <sub>O</sub> = 12V	7			mA
I <sub>OH</sub>	"H"出力電流, POWER ON/OFF, CALL, MUTE	V <sub>O</sub> = 0V	-20			mA
I <sub>OL</sub>	"L"出力電流, POWER ON/OFF, CALL, MUTE	V <sub>O</sub> = 12V	5			mA
I <sub>OH</sub>	"H"出力電流, IR	V <sub>O</sub> = 0V	-15			mA
I <sub>OL</sub>	"L"出力電流, IR	V <sub>O</sub> = 12V	5			mA

# M58872P

## SINGLE-CHIP PRINTING CALCULATOR

### 概要

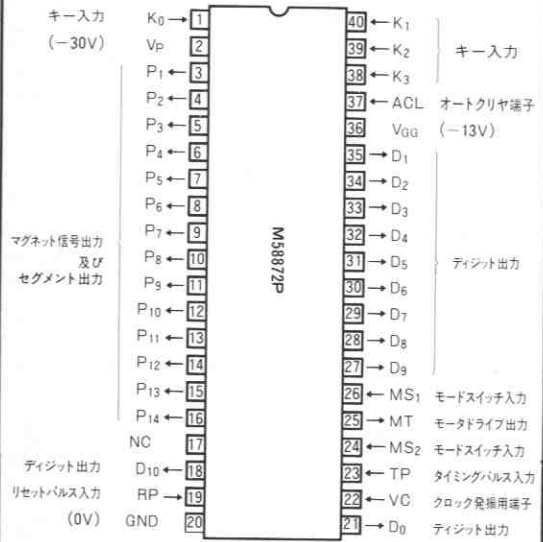
M58872Pは、PチャンネルアルミゲートED-MOSプロセスを用いて開発された、10桁1メモリプリンタ電卓用ワンチップLSIで、40ピンプラスチックDILパッケージに収められています。

このLSIは、表示用抵抗を内蔵していますので、小形の蛍光表示管の直接駆動が可能です。表示用抵抗を含めて50mW(標準)と低消費電力であり、マイクロプリンタM710、M722、M723が駆動できますので、ハンディ形又は、小形のプリンタ電卓に最適なワンチップLSIです。さらに、リセットパルス入力端子(RP端子)に外付回路を追加することにより、プリンタM355を駆動することができます。

### 特長

- マイクロプリンタ駆動……M710、M722、M723(ITEM1-3-1) M355(信州精器株式会社製)
- 印字様式は13桁(10桁数値+1桁小数点+2桁シンボル) フローティングマイナス、リーディングゼロ サプレス、2色印字(M355の場合)
- 表示様式は11桁(10桁数値+1桁サイン+3桁区切り)、フローティングマイナス、リーディングゼロ サプレス
- 加算機方式……………5キー方式
- 独立メモリ……………1レジスタ
- 演算機能………4則演算、連続計算、%計算、割増し割り引き計算、アドモード計算、グロスマージン計算、定数計算(×、÷、%、グロスマージン計算)、リピート計算(4則計算)、ペキ計算、メモリ計算、丸め(切り捨て、4捨5入)、アイテムカウンタ(000~999)付、ノン

ピン接続図(上面図)



外形 40P1

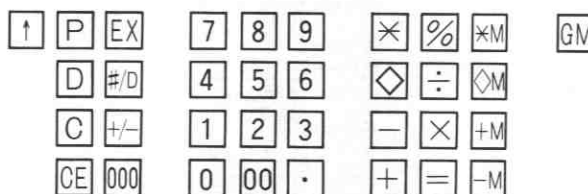
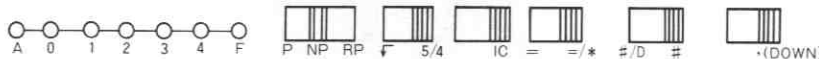
プリント/結果のみ印字モード付、日付メモリ機能付、キーチャタリング・バウンディング保護機能付、2キーロールオーバー機能付、キー入力バッファ(6キー)付

- 浮動小数点(F)、固定小数点(0、1、2、3、4、A)
- 蛍光表示管の直接駆動可能(負荷抵抗内蔵)
- 低消費電力(表示抵抗を含む)……………50mW(標準)

キー配列図

EPSON  
M710,722,723

M 1, 2 3 4, 5 6 7, 8 9 0.



## SINGLE-CHIP PRINTING CALCULATOR

## キーの機能説明

記号名	名称	機能
0-9	置数キー	0～9の数値の置数を行います。
.	小数点キー	小数点をセットします。一連の置数中では最初に押された小数点が無効です。
+	加算キー	アキュムレータとの加算を行います。連続して押された場合はリピート加算を行います。 %キーの直後に押された場合は割り増し計算を行います。
-	減算キー	アキュムレータとの減算を行います。連続して押された場合はリピート減算を行います。 %キーの直後に押された場合は割り引き計算を行います。
×	乗算キー	乗算命令をセットし、以前に押されたキーの命令により演算を実行します。連続して押された場合はリピート乗算を行います。
÷	除算キー	除算命令をセットし、以前に押されたキーの命令により演算を実行します。連続して押された場合はリピート除算を行います。
=	イコールキー	以前に乗除算状態がセットされている場合は乗除算を行います。 MODE ONのとき、乗除算状態がセットされていない場合はアキュムレータの内容を呼び出します。
%	パーセントキー	以前に乗除算状態がセットされている場合はパーセント乗除算を行います。
GM	グロスマージンキー	以前に除算状態がセットされているときグロスマージン計算を行います。 キー操作の手順は次の通りです。 $A \div B \text{ GM} \rightarrow A / (1 - \frac{B}{100})$ $A \div B \text{ GM} \rightarrow A / (1 + \frac{B}{100})$ ただし、 $B > 100$ の場合、結果の符号はAの符号と同一となります。
◇	サブトータルキー	アキュムレータの内容を呼び出します。 アキュムレータの内容は変化しません。
*	トータルキー	アキュムレータの内容を呼び出すとともにアキュムレータの内容をクリアします。
+M	メモリプラスキー	以前に×÷キーが押されている場合は乗除算を行い、演算結果をメモリレジスタに加算します。 ×÷キーが押されていない場合は表示内容をメモリレジスタに加算します。
-M	メモリマイナスキー	以前に×÷キーが押されている場合は乗除算を行い、演算結果をメモリレジスタより減じます。 ×÷キーが押されていない場合は表示内容をメモリレジスタより減じます。
GM	メモリサブトータルキー	メモリレジスタの内容を呼び出します。 メモリレジスタの内容は変化しません。
*M	メモリトータルキー	メモリレジスタの内容を呼び出すとともにメモリレジスタの内容をクリアします。
%	ノンアド/デートキー	小数点を2回以上押した場合は、日付印字(シンボル桁に"D"を印字)となり、1回以下の場合はノンアド印字(頭に"#"を印字)となります。 MODE ONのときはすべてノンアド印字となります。ただし、小数点は2個まで有効です。
D	デートキー	日付印字(シンボル桁に"D"を印字)を行い、その日付内字を記憶します。ただし、小数点は2個まで有効です。 置数を伴わないDキーにて日付記憶内容を読み出します。
P	プリントキー	表示内容を印字します。
EX	イクスチェンジキー	表示レジスタの内容と乗除算定数レジスタの内容を交換します。
±	サインチェンジキー	表示レジスタのサインを反転します。
CE	クリアエントリーキー	置数された数値をクリアします。 キー入力バッファのオーバフロー状態を解除します。
C	クリアキー	メモリレジスタを除くすべてのレジスタ及び演算状態をクリアします。
⇐	ベーパーフィードキー	ベーパーフィードを行います。



## SINGLE-CHIP PRINTING CALCULATOR

## モードスイッチの機能説明

記号名	名称	機能
TAB	浮動及び固定小数点スイッチ	浮動(F)及び固定小数点(0, 1, 2, 3, 4, A)を指定します。
	4捨5入スイッチ	=OFFのとき4捨5入を行います。
	アイテムプリントスイッチ	=ONのときアイテムカウンタの内容を印字します。
	ノンプリントスイッチ	=NPのとき  キー以外のキーでは印字を禁止します。 =RPのとき   キーによる演算結果、割増し、割引き計算結果及び        キーにて印字を行います。 =OFFのときは常に印字を行います。
	表示バンクチュエーション切換スイッチ	=OFFのときバンクチュエーションは表示管の左上隅、ONのときは右下隅に点灯します。
	イコールトータルモードスイッチ	=OFFのとき、 キーは乗除算のイコール機能となります。 =ONのとき、 キーは乗除算のイコール機能及びアキュムレータの内容の呼び出し機能を持ちます。
	ノンアドモードスイッチ	=ONのとき  キーはノンアド単独機能となります。

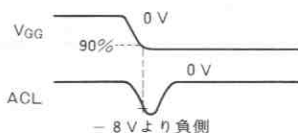
## 端子の機能説明

端子名	名称	入力/出力	機能
K <sub>0</sub> ~K <sub>3</sub>	キー入力	入力	キー入力4本の独立した入力で、キーボードに供給されたディジット出力D <sub>1</sub> ~D <sub>9</sub> とのマトリクスにより、キーを識別します。
MS <sub>1</sub> MS <sub>2</sub>	モードスイッチ入力	入力	モードスイッチ入力は、独立した2本の入力でモードスイッチに供給されたディジット出力D <sub>1</sub> ~D <sub>9</sub> とのマトリクスによりモードを識別します。
D <sub>0</sub> ~D <sub>10</sub>	ディジット出力	出力	蛍光表示管のダイナミック表示を行うための、表示桁指定信号を出力する端子です。 D <sub>1</sub> ~D <sub>9</sub> はキー及びモードスイッチ入力とマトリクスを構成します。
P <sub>1</sub> ~P <sub>14</sub>	マグネット信号出力	出力	P <sub>2</sub> ~P <sub>14</sub> はプリンタの印字用トリガーマグネットを駆動するための出力端子です。P <sub>1</sub> はM355を駆動するときのリボン切換用の出力です。P <sub>2</sub> ~P <sub>6</sub> 、P <sub>8</sub> 、P <sub>9</sub> 、P <sub>11</sub> 、P <sub>12</sub> はそれぞれ蛍光表示管のセグメント表示出力S <sub>1</sub> 、S <sub>1</sub> 、S <sub>g</sub> ~S <sub>a</sub> と共用になっています。
TP	タイミングパルス入力	入力	プリンタのタイミングパルスを入力する端子です。
RP	リセットパルス入力	入力	プリンタのリセットパルスを入力する端子です。
MT	モータドライブ出力	出力	プリンタのモータを駆動するための出力端子です。
VC	クロック発振用端子	入力	内部クロック発振回路の発振周波数設定用のCR回路外付用の端子です。
ACL	オートクリア端子	入力	電源投入時にオートクリアを行うための、CR回路外付用の端子です。

10

## 電源オートクリア機能に関する条件

(1) ACL端子は、電源電圧(V<sub>GG</sub>)に対して以下の波形信号を満足するC<sub>a</sub>、R<sub>a</sub>の外付回路定数を決定してください。



(2) 電源スイッチを連続的に開閉するような場合には、開放時の電源電圧(V<sub>GG</sub>)の残留電圧は完全なGNDレベルにしてください。

(3) ACL端子と外付回路は最短距離で接続し、ACL端子にノイズが入らないようにしてください。

## SINGLE-CHIP PRINTING CALCULATOR

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>GG</sub>	電源電圧	GND端子を基準とした場合	0.3~-22	V
V <sub>I</sub>	入力電圧		0.3~-22	V
V <sub>O</sub>	出力電圧		0.3~-33	V
P <sub>d</sub>	消費電力	T <sub>a</sub> =25℃	250	mW
T <sub>opr</sub>	動作周囲温度		0~50	℃
T <sub>stg</sub>	保存温度		-40~125	℃

推奨使用条件(指定のない場合は、T<sub>a</sub>=0~50℃)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>GG</sub>	電源電圧	-12	-13	-14	V
V <sub>IH</sub>	"H"入力電圧	0		-3	V
V <sub>IL</sub>	"L"入力電圧	-8		-14	V
I <sub>OH</sub>	"H"出力電圧			-4	mA
V <sub>OL</sub>	"L"出力電圧	-28		-30	V
V <sub>P</sub>	表示用電源電圧			-30	V
R <sub>f</sub>	周波数設定抵抗	31.4	33	34.6	kΩ
C <sub>f</sub>	周波数設定容量	64.6	68	71.4	pF
t <sub>con</sub>	キーコンタクト時間	60			ms
t <sub>off</sub>	キーオフ時間	80			ms
C <sub>KB</sub>	キーボード容量			30	pF

注、R<sub>f</sub>はVC端子とV<sub>GG</sub>端子間に、C<sub>f</sub>はVC端子とGND端子間に最短距離で接続してください。

電気的特性(指定のない場合は、T<sub>a</sub>=0~50℃、V<sub>GG</sub>=-13±1V、V<sub>P</sub>=-30V、R<sub>f</sub>=33kΩ、C<sub>f</sub>=68pF)

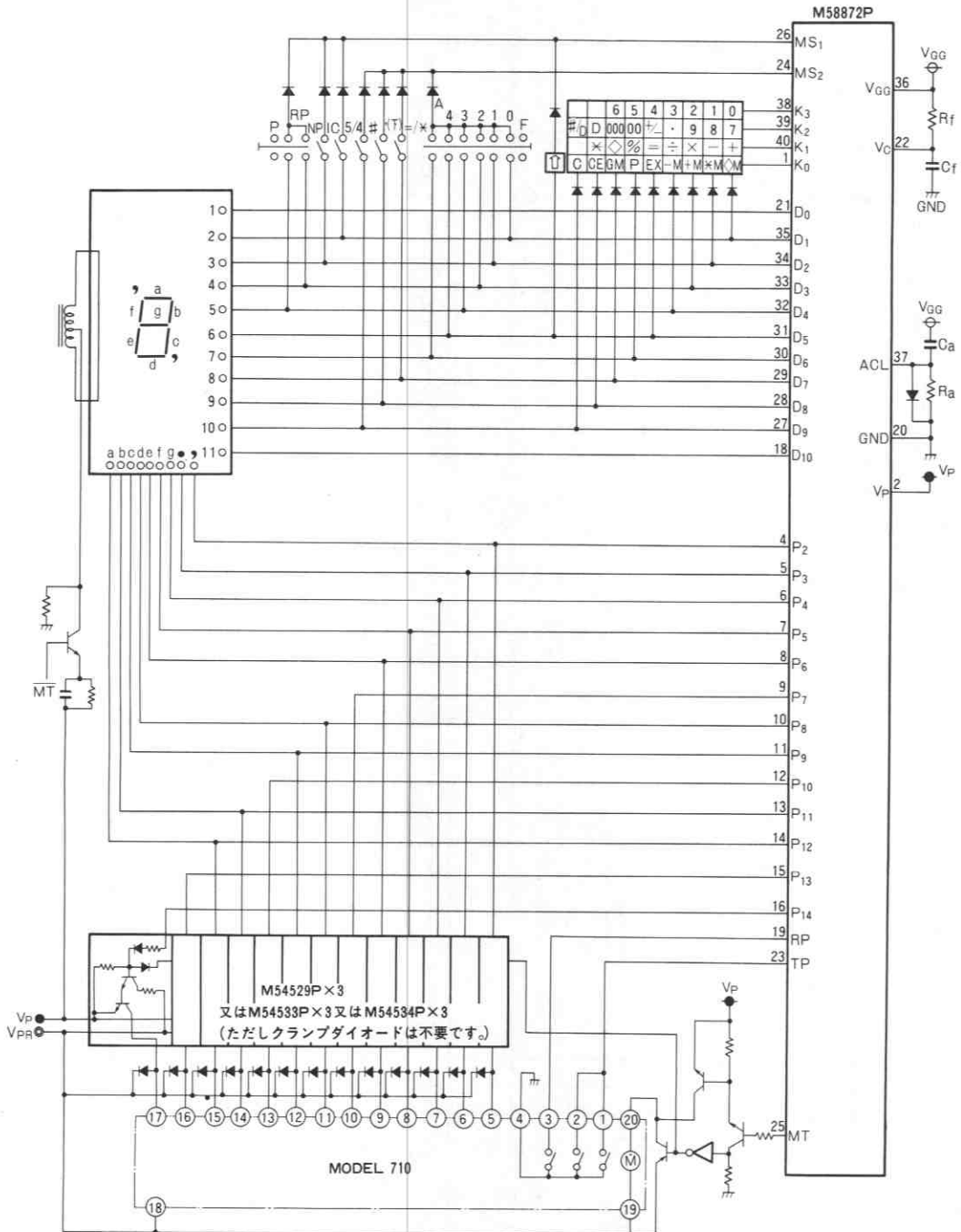
記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>IH</sub>	"H"入力電圧		0		-3	V
V <sub>IL</sub>	"L"入力電圧		-7	-13	-14	V
V <sub>OH</sub>	"H"出力電圧	I <sub>OH</sub> =-4mA	-2			V
V <sub>OL</sub>	"L"出力電圧		-28		-30	V
I <sub>IL</sub>	"L"入力電流	V <sub>I</sub> =-14V			-14	μA
C <sub>I</sub>	入力容量	V <sub>I</sub> =0V, f=1MHz, 25mVrms T <sub>a</sub> =25℃			7	pF
I <sub>GG</sub>	電源電流	T <sub>a</sub> =25℃		-2.5	-4	mA
I <sub>P</sub>	表示用電源電流	T <sub>a</sub> =25℃		-0.6	-2	mA
P <sub>d</sub>	消費電力	V <sub>GG</sub> ×I <sub>GG</sub> +V <sub>P</sub> ×I <sub>P</sub> T <sub>a</sub> =25℃		49	116	mW

スイッチング特性(指定のない場合は、T<sub>a</sub>=0~50℃、V<sub>GG</sub>=-13±1V、V<sub>P</sub>=-30V、R<sub>f</sub>=33kΩ、C<sub>f</sub>=68pF)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
f <sub>r</sub>	繰り返し周波数	T <sub>a</sub> =25℃, 原発振周波数の1/6	54	70	90	kHz
t <sub>B</sub>	スキッピングパルス間隔時間	T <sub>a</sub> =25℃			37	μs
t <sub>C</sub>	プリントデータ比較時間	T <sub>a</sub> =25℃			0.2	ms

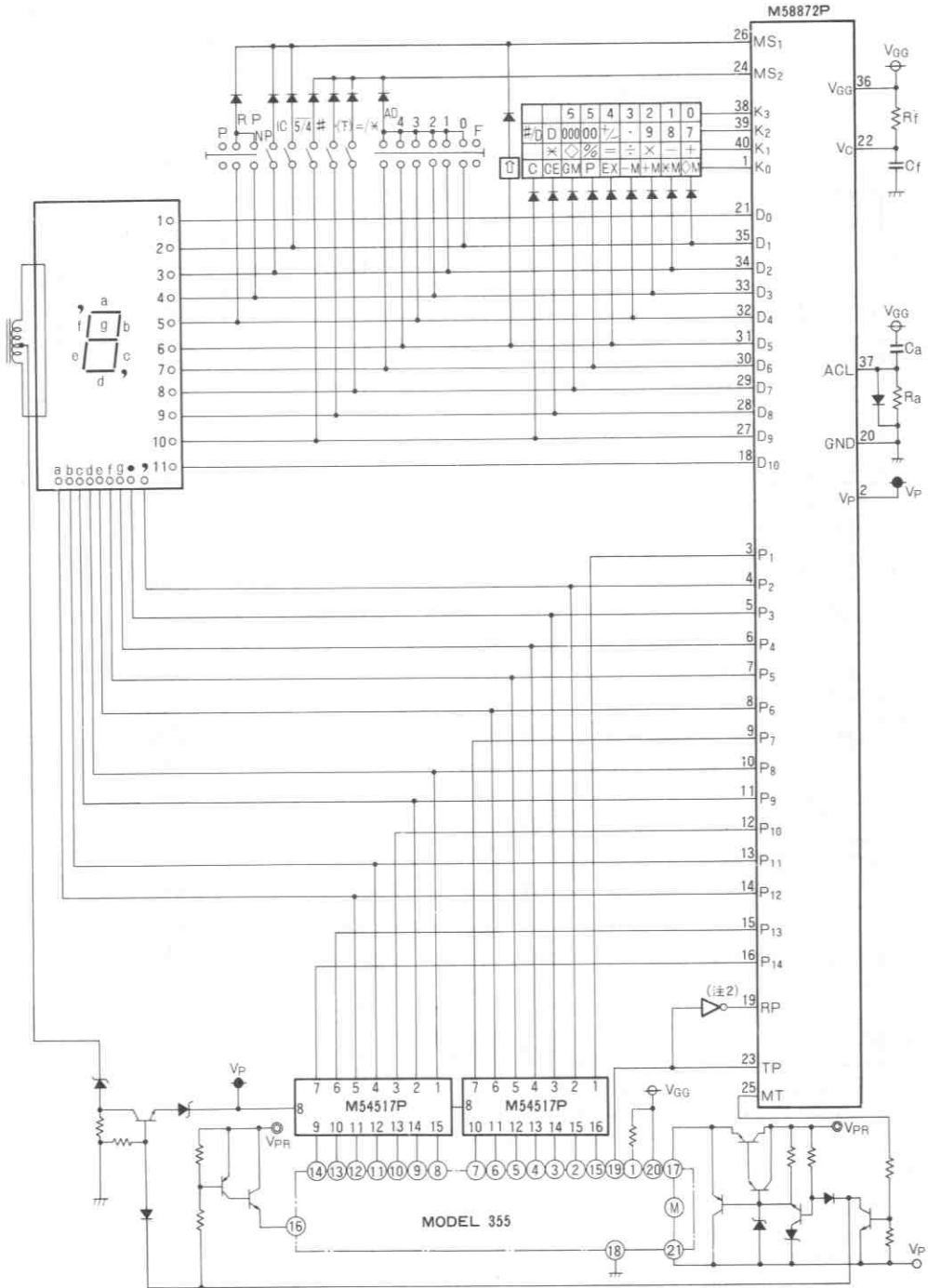
**SINGLE-CHIP PRINTING CALCULATOR**

システム回路図 (M710, 722, 723用)



SINGLE-CHIP PRINTING CALCULATOR

システム回路図(M355用)



注2. RP入力は、TPよりの遅れを1クロック以内(約10 $\mu$ s以内)としてください。

SINGLE-CHIP PRINTING CALCULATOR

活字輪配列表(MODEL710, 722, 723/1-3-1)

	13	12	11	10	9	8	7	6	5	4	3	2	1	
0	0	0	0	0	0	0	0	0	0	0	0	D	+	0
1	1	1	1	1	1	1	1	1	1	1	1	↑	-	1
2	2	2	2	2	2	2	2	2	2	2	2	G	×	2
3	3	3	3	3	3	3	3	3	3	3	3	G	÷	3
4	4	4	4	4	4	4	4	4	4	4	4	K	=	4
5	5	5	5	5	5	5	5	5	5	5	5	K	%	5
6	6	6	6	6	6	6	6	6	6	6	6	M	◇	6
7	7	7	7	7	7	7	7	7	7	7	7	P	*	7
8	8	8	8	8	8	8	8	8	8	8	8	√	S	8
9	9	9	9	9	9	9	9	9	9	9	9	C	T	9
#	.	.	.	.	.	.	.	.	.	.	.	E	M+	10
-	-	-	-	-	-	-	-	-	-	-	-	-	M-	11

活字輪配列表(MODEL355)

	13	12	11	10	9	8	7	6	5	4	3	2	1	
0	0	0	0	0	0	0	0	0	0	0	0	D	+	0
1	1	1	1	1	1	1	1	1	1	1	1	↑	-	1
2	2	2	2	2	2	2	2	2	2	2	2	G	×	2
3	3	3	3	3	3	3	3	3	3	3	3	G	÷	3
4	4	4	4	4	4	4	4	4	4	4	4	Σ	=	4
5	5	5	5	5	5	5	5	5	5	5	5	Σ	%	5
6	6	6	6	6	6	6	6	6	6	6	6	M	◇	6
7	7	7	7	7	7	7	7	7	7	7	7	P	*	7
8	8	8	8	8	8	8	8	8	8	8	8	K	S	8
9	9	9	9	9	9	9	9	9	9	9	9	C	T	9
#	.	.	.	.	.	.	.	.	.	.	.	E	M+	10
-	-	-	-	-	-	-	-	-	-	-	-	-	M-	11

記号印字例

キ	コ				ラ	ム
	13	3	2	1		
+						+
+						+
						*
						(SP)
-						-
-						-
						*
						(SP)
×						×
×						×
÷						÷
÷						÷
%						%
%						%
						*
						(SP)
=						=
=						*
						(SP)
◇						◇
◇						◇
*						*
*						*
						(SP)
#						#
#						#
D						D
D						D
C						C
C						C
						(SP)
GM						G
GM						*
						(SP)
EX						↑
EX						↑
+M						M+
+M						=
						M-
						(SP)
-M						M-
-M						=
						M-
						(SP)
◇M						S
◇M						S
*M						T
*M						T
						(SP)
(OVF)						*
(OVF)						E
						(SP)
						T
						(SP)
(POC)						E
(POC)						E
						(SP)
						C
						(SP)
						(SP)

注. M355の場合は、演算結果が負のとき及び[-]、[-M](メモリ減算のとき)キーにて赤印字となります。

SINGLE-CHIP PRINTING CALCULATOR

演算例

印字欄の(赤)はM355駆動時の赤印字を示します。

1. 加減算

- (1) 10 + 11 + 12 + 12 + 13 - 14 =
- (2) 1 + 2 + (1 + 2) + 5 = (T<sub>1</sub>)
- (3) -(T<sub>1</sub>) - (T<sub>1</sub>) + (T<sub>1</sub>) + 3 =
- (4) 1.23 + 12.1234 + 4 + 0.05 =

2. 乗除算

- (1) 123 × 3 =
- (2) 123 × 3 ÷ 2 =
- (3) 2 ÷ 4 =
- (4) 2 ÷ 3 =
- (5) 12 × 12 =
- (6) 12.12 × 12.12 =
- (7) 12.456 × 12 × 0.346 ÷ 1.4567 =
- (8) 12.3 × 12.3 ÷ 12.3 × 1 =

モードスイッチ						キー操作	表示	印字	
TAB	1/4	IC	NP	#	%				
2	ON	OFF	OFF	OFF	OFF	10 +	10.00	10.00	+
						11 +	21.00	11.00	+
						12 +	33.00	12.00	+
						+ +	45.00	12.00	+
						◇	45.00	45.00	◇
						13 +	58.00	13.00	+
						14 -	44.00	14.00	-
						*		44.00	*
							44.00	(1SP)	
						1 +	1.	1.	+
						2 +	3.	2.	+
						(4) ◇	3.	3.	◇
						+ +	6.	3.	+
						5 +	11.	5.	+
						(6) *		11.	*
							11.	(1SP)	
						-	-11.	11.	-
						-	-22.	11.	-
						+ +	-11.	11.	+
						3.0	-11.	#-11.	
						3.0	3.0	#3.0	
						3.0	3.0	#3.0	
						+ +	-8.	3.	+
						*		8.	*
							8.	(1SP)	
						123 +	1.23	1.23	+
						12.1290 +	13.35	12.12	+
						4. +	17.35	4.00	+
						5 +	17.40	0.05	+
						◇	17.40	004	◇
						*	17.40	004	*
							17.40	(1SP)	
						*	17.40	000	*
							0.	(1SP)	

モードスイッチ						キー操作	表示	印字	
TAB	1/4	IC	NP	#	%				
						123 ×	123.	123.	×
						3 =		3.	=
							369.00	369.00	*
							369.00	(1SP)	
						123 ×	123.	123.	×
						3 ÷	369.	3.	÷
						2 =		2.	=
							184.50	184.50	*
							184.50	(1SP)	
						2 ÷	2.	2.	÷
						4 =		4.	=
							0.50	0.50	*
							0.50	(1SP)	
						2 ÷	2.	2.	÷
						3 =		3.	=
							0.67	0.67	*
							0.67	(1SP)	
						12 ×	12.	12.	×
						=		12.	=
							144.000	144.000	*
							144.000	(1SP)	
						1.212 ×	12.12	12.12	×
						=		12.12	=
							146.894	146.894	*
							146.894	(1SP)	
						12.456 ×	12.456	12.456	×
						12 ×	149.472	12.	×
						0.346 ÷	51.717312	0.346	÷
						1.4567 =		1.4567	=
							35.503	35.503	*
							35.503	(1SP)	
						12.3 ×	12.3	12.3	×
						12.3 ÷	151.29	12.3	÷
						EX	12.3	151.29	↓
						12.3 ×	12.3	12.3	×
						1 =		1.	=
							12.3	12.3	*
							12.3	(1SP)	

SINGLE-CHIP PRINTING CALCULATOR

3. 定数乗除算およびべき計算

- (1)  $1.05 \times 100 =$        $1.05 \times 200 =$        $1.05 \times 300 =$   
 (2)  $150 \div 3 =$            $6 \div 3 =$                $2 \div 3 =$   
 (3)  $2^4 =$                    $2 \times 2 \times 2 \times 2 =$

4. パーセント計算

- (1)  $200 \times 3\%$      $200 \times 4\% = \alpha$      $200 \times \alpha\%$   
 (2)  $123 \div 200\%$      $6 \div 200\%$   
 (3)  $200 \times 5\%$      $200 \times (100 - 5)\% = \beta$      $\beta \times (100 + 10)\%$

モードスイッチ							キー操作	表示	印字	
TAB	%	IC	NP	#	,	%				
F	OFF	OFF	OFF	OFF	OFF	OFF	1.05	1.05	1.05	×
							100		100.	=
									105.	*
							200		200.	=
									210.	*
							300		300.	=
									315.	*
							150	÷	150.	÷
							3	=	3.	=
									50.	*
							6	=	6.	=
									2.	*
							2	=	2.	=
									0.666666666	*
							2	×	2.	×
								=	2.	=
									4.	*
								=	4.	=
									8.	*
								=	8.	=
									16.	*
							2	×	2.	×
								×	2.	×
								×	2.	×
								P	8.	
								=	2.	=
									16.	*
									16.	(1SP)

モードスイッチ							キー操作	表示	印字	
TAB	%	IC	NP	#	,	%				
F	OFF	OFF	OFF	OFF	OFF	OFF	200	×	200.	×
							3	%	3.	%
									6.	*
									6.	(1SP)
							4	%	4.	%
									8.	*
									8.	(1SP)
								%	8.	%
									16.	*
									16.	(1SP)
							123	÷	123.	÷
							200	%	200.	%
									61.5	*
									61.5	(1SP)
							6	%	6.	%
									3.	*
									3.	(1SP)
							200	×	200.	×
							5	%	5.	%
									10.	*
									10.	(1SP)
								-	190.	-
									190.	*
									190.	(1SP)
							10	×	190.	×
								%	10.	%
									19.	*
									19.	(1SP)
								+	209.	+
									209.	*
									209.	(1SP)
								%	10.	%
									19.	*
									19.	(1SP)
								C	0.	C
									0.	(1SP)
							10	%	10.	NO-OP
							123		10' 123.	

SINGLE CHIP PRINTING CALCULATOR

5. 積和差、和差積

- (1)  $15 + 16 \times 2 - 17 \times 3 - 15 \div 2 =$
- (2)  $(1 + 2 + 3) \times (4 + 5) =$
- (3)  $(1 + 2 + 3) \times (6 - 7) =$

6. メモリ計算

- (1)  $11.111111 - 22.22 + 55.55555 =$
- (2)  $-(123 \times 11) + 34 = \alpha \quad \alpha - \alpha =$
- (3)  $(2 \times 3) + 0.04 - (5 \times 6) - 0.07 =$

モードスイッチ						キー操作	表示	印字		
TAB	$\frac{1}{4}$	IC	NP	#	$\frac{1}{\%}$					
2	OFF	OFF	OFF	OFF	OFF	15	+	15.00	15.00	+
						16	$\times$	16.	16.	$\times$
						2	=		2.	=
									32.00	*
								32.00	(1SP)	
							+	47.00	32.00	+
						17	$\times$	17.	17.	$\times$
						3	=		3.	=
									51.00	*
								51.00	(1SP)	
							-	-4.00	赤 51.00	-
						15	$\div$	15.	15.	$\div$
						2	=		2.	=
									7.50	*
								7.50	(1SP)	
							-	-11.50	赤 7.50	-
							*	赤	-11.50	*
								-11.50	(1SP)	
						1	+	1.00	1.00	+
						2	+	3.00	2.00	+
						3	+	6.00	3.00	+
							*		6.00	*
								6.00	(1SP)	
							$\times$	6.00	6.00	$\times$
						4	+	4.00	4.00	+
						5	+	9.00	5.00	+
							*		9.00	*
								9.00	(1SP)	
							=		9.00	=
									54.00	*
								54.00	(1SP)	
						6	+	6.00	6.00	+
						7	-	-1.00	赤 7.00	-
							*	赤	-1.00	*
								-1.00	(1SP)	
							=	赤	-1.00	=
								赤	-6.00	*
								-6.00	(1SP)	

モードスイッチ						キー操作	表示	印字		
TAB	$\frac{1}{4}$	IC	NP	#	$\frac{1}{\%}$					
4	OFF	OFF	OFF	OFF	OFF	11.111111	+M	11.1111	11.1111	M
						22.22	-M	22.2200	22.2200	M
						55.55555	+M	55.5555	55.5555	M
							$\div$ M	44.4466	4.44466	S
							$\div$ M	44.4466	44.4466	S
							#M	44.4466	44.4466	T
								44.4466	(1SP)	
							$\div$ M	0.	0.	S
						123	$\times$	123.	123.	$\times$
						11	-M		11.	=
									1353.	M
								1'353.	(1SP)	
							$\times$	1'353.	1353.	$\times$
						22	=		22.	=
									29766.	*
								29'766.	(1SP)	
						34	+M	34.	34.	M
							$\div$ M	-1'319.	赤 -1319.	S
							-M	-1'319.	赤 -1319.	M
							#M		-0.	T
								-0.	(1SP)	
						2	$\times$	2.	2.	$\times$
						3	+M		3.	=
									6.00	M
								6.00	(1SP)	
						4	+M	0.04	0.04	M
						5	$\times$	5.	5.	$\times$
						6	-M		6.	=
									30.00	M
								30.00	(1SP)	
						7	-M	0.07	赤 0.07	M
							#M	赤	-24.03	T
								-24.03	(1SP)	



SINGLE-CHIP PRINTING CALCULATOR

7. グロスマージン計算

- (1) 200 ÷ 10 GM
- (2) 200 ÷ 10 GM
- (3) 600 ÷ 20 GM
- (4) 6000 ÷ 20 GM

モードスイッチ							キー操作	表示	印 字	
TAB	5/4	IC	NP	#	,	%				
2	ON	OFF	OFF	OFF	OFF	OFF	200 ÷	200.	200.	÷
							10 GM		10. G	÷
								222.22	(1SP)	*
							200 ÷	200.	200.	÷
							10 GM	-10.	-10. G	÷
								赤	-10. G	÷
								181.81	(1SP)	*
							600 ÷	600.	600.	÷
							20 GM		20. G	÷
								750.00	(1SP)	*
							6000 ÷	6000.	6000.	÷
							20 GM	-20.	-20. G	÷
								赤	-20. G	÷
								5000.00	(1SP)	*

8. オーバフローエラー

- (1) 999999999 + 1000 =
- (2) -999999999 - 1000 =
- (3) 1111111111 × 1000 =
- (4) 1111111111 × 10 ×
- (5) 1111111111 ÷ 0.00000001 =
- (6) 1111111111 ÷ 0.00000001%
- (7) 1 ÷ 0 =
- (8) 999999999 +M 1.5 +M

モードスイッチ							キー操作	表示	印 字	
TAB	5/4	IC	NP	#	,	%				
F	OFF	ON	OFF	OFF	OFF	OFF	999999999 +	'9'999'999'999.	999999999.	+
							1000 +		1000.	+
									002	
									10000000099	*
									(1SP)	E
									0.	C
									(1SP)	
							999999999 =	-9'999'999'999.	赤 999999999.	-

モードスイッチ							キー操作	表示	印 字	
TAB	5/4	IC	NP	#	,	%				
F	OFF	ON	OFF	OFF	OFF	OFF	1000 =		赤 1000.	-
									002	
									赤 10000000999	* E
									(1SP)	
									0.	C
									(1SP)	
							1111111111 X	1'111'111'111.	1111111111.	X
							1000 =		1000.	=
									111.1111111	* E
									(1SP)	
									0.	C
									(1SP)	
							1111111111 X	1'111'111'111.	1111111111.	X
							10 X		10.	X
									1.111111111	* E
									(1SP)	
									0.	C
									(1SP)	
							1111111111 X	1'111'111'111.	1111111111.	X
							10 X		10.	X
									1.111111111	* E
									(1SP)	
									0.	C
									(1SP)	
							1111111111 ÷	1'111'111'111.	11111111111	÷
							0.00000001 =		0.00000001	=
									111111111.1	* E
									(1SP)	
									0.	C
									(1SP)	
							1111111111 ÷	1'111'111'111.	1111111111	÷
							0.00000001 %		0.00000001	%
									1.111111111	* E
									(1SP)	
									0.	C
									(1SP)	
							1 ÷		1.	÷
							0 =		0.	=
									0.	* E
									(1SP)	
									0.	C
									(1SP)	
							999999999 +M	'9'999'999'999.	999999999.	M
							1.5 +M		1.5	+M
									10000000000	+T
									(1SP)	E
									0.	C
									(1SP)	

10

SINGLE-CHIP PRINTING CALCULATOR

9. その他

モードスイッチ						キー操作	表示	印字	
TAB	1/4	IC	NP	#	%				
2	OFF	ON	RP	OFF	ON	ON	(POC)	(1SP)	
							0.	0.	C
							78.10.2	78.102	D
							56789	56,789.00	
							45632	11,157.00	
							38426	-27,269.00	
								003	
								赤 -27269.00	*
								(1SP)	
								27,269.00	
								54,538.00	
								54,538.00	002
								54538.00	◇
								002	
								54,538.00	*
								(1SP)	
							200	200.	
							25		
								5000.00	*
								(1SP)	
								5,000.00	
							2		
								400.00	*
								(1SP)	
								400.00	
								800.00	
							3		
								002	
								800.00	*
								(1SP)	
								800.00	
								000	
								0.	*
								(1SP)	
							12.34	1.234	# 1.234
							12.3.4	12.34	D
							53.4.6	53.46	#53.4.6
								53.46	D
								78.10.2	D
								0.	C
								(1SP)	
							2	2.	
							3		
								6.00	
							4	4.	
							5		
								20.00	
								赤 -14.00	S
							999999999		

モードスイッチ						キー操作	表示	印字	
TAB	1/4	IC	NP	#	%				
2	OFF	ON	RP	OFF	ON	ON			
								赤 10000000013	- T
								(1SP)	E
								0.	C
								0.	(1SP)
								0.	T
								(1SP)	

# マイクロコンピュータシステム

THE UNIVERSITY OF CHICAGO



概要

PCA0801はMELPS 8 (Mitsubishi Electric LSI Processor) をわずか125×145mmのプリント基板上に実装し、ユーザボードにそのままビルトイン可能な小形で、信頼性の高いシングルボードコンピュータです。

特長

- CPU、メモリ、I/O及びクロックを内蔵したシングルボードコンピュータ
- RAM容量……………256バイト
- EPROM又はマスクROM容量……………2Kバイト(最大)
- プログラマブルポート……………48ビット(8ビット×6)
- 割り込み……………1レベル(外部拡張可)
- 5V単一電源
- メモリ、I/O拡張可(メモリ・I/O拡張用基板PCA0802使用)
- コンパクトな外形……………125(縦)×145(横)×17(高さ)mm

応用

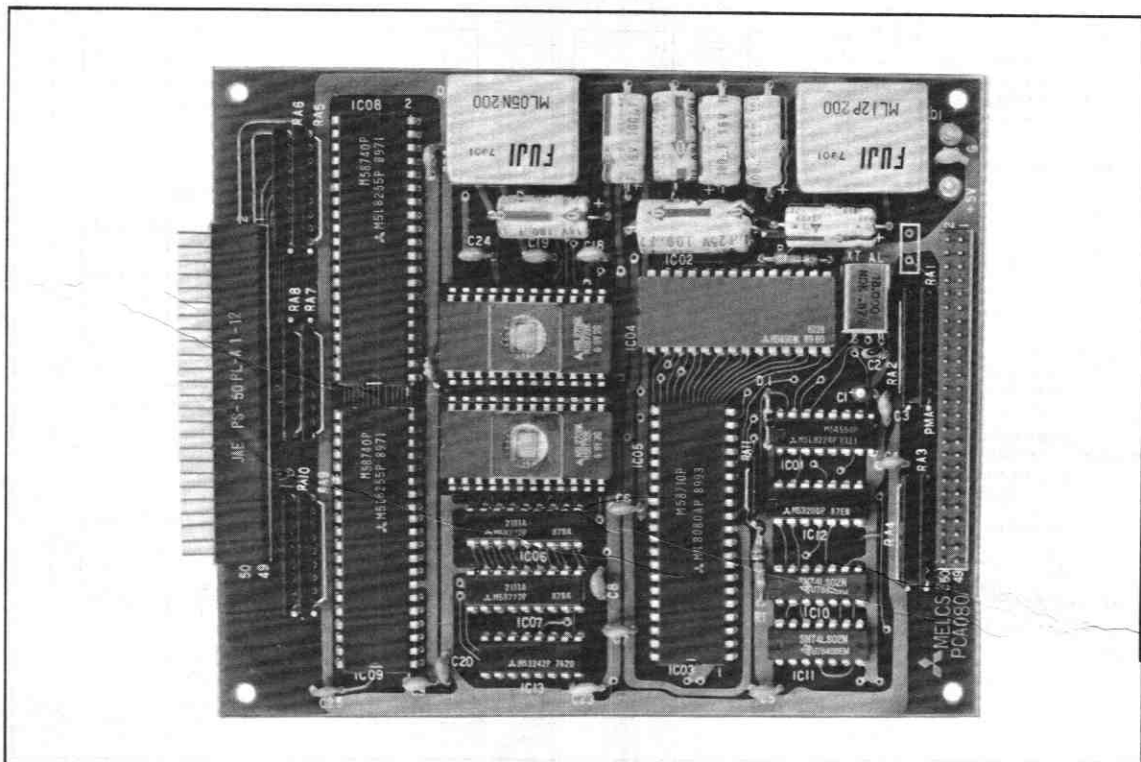
- パーソナルコンピュータ
- 小形自動試験機、制御装置
- データ通信端末装置
- データ収集・測定装置
- プロセス、計量モニタ用コントローラ

機能概要

PCA0801は三菱M5L 8080APをCPUとし、そのファミリーLSIにより構成された信頼性の高いシングルボードコンピュータです。CPUはNチャンネルシリコンゲートMOS構造による1チップ8ビット並列処理のLSIを使用しています。メモリ容量は2KバイトのEPROM(M5L 2708K×2、1Kバイト分はソケットのみ)と256バイトのスタックRAM(M5L 2111AP×2)を実装しています。

入出力ポートは、PPI(プログラマブルペリフェラルインターフェース)M5L 8255APを2個実装し、8ビット×6=48ビットのプログラマブルな入出力ポートを形成しています。また、DC-DCコンバータを内蔵していますので、5Vの単一電源で動作が可能です。

メモリ・I/O拡張用基板として、PCA0802が、プログラムチェック用としてPCA0803が用意されています。



MELCS 8/2 基板コンピュータ

機能説明

クロックジェネレータはXTAL1及びXTAL2に、18MHzの水晶発振子を接続しますと、基本サイクル500nsで用いるCPUクロック $\phi_1$ 、 $\phi_2$ 及びTTLレベルの $\phi_2$ 、源発振出力が取り出せます。リセットイン端子RESINにRC回路を付加することにより、システムの電源投入時にRESET信号を発生し、SYNC端子にCPUからのSYNC信号を加えすと、ステータスラッチ用のSTSTBを発生します。RESET信号がCPUに入力されると、CPUは $\phi_1$ の立上りでリセットされ、この結果プログラムカウンタ及び命令レジスタの内容は0にクリアされ、またINTA及びHLDAの各フリップフロップはリセットされます。このとき、割り込みは受け付け禁止状態であり、アドレスバスとデータバスはフローティング状態となります。また、CPUより出されるコントロール信号は、すべてリセットされます。RESET信号終了後(PC)=0ですから、0番地からプログラムの実行が開始されます。

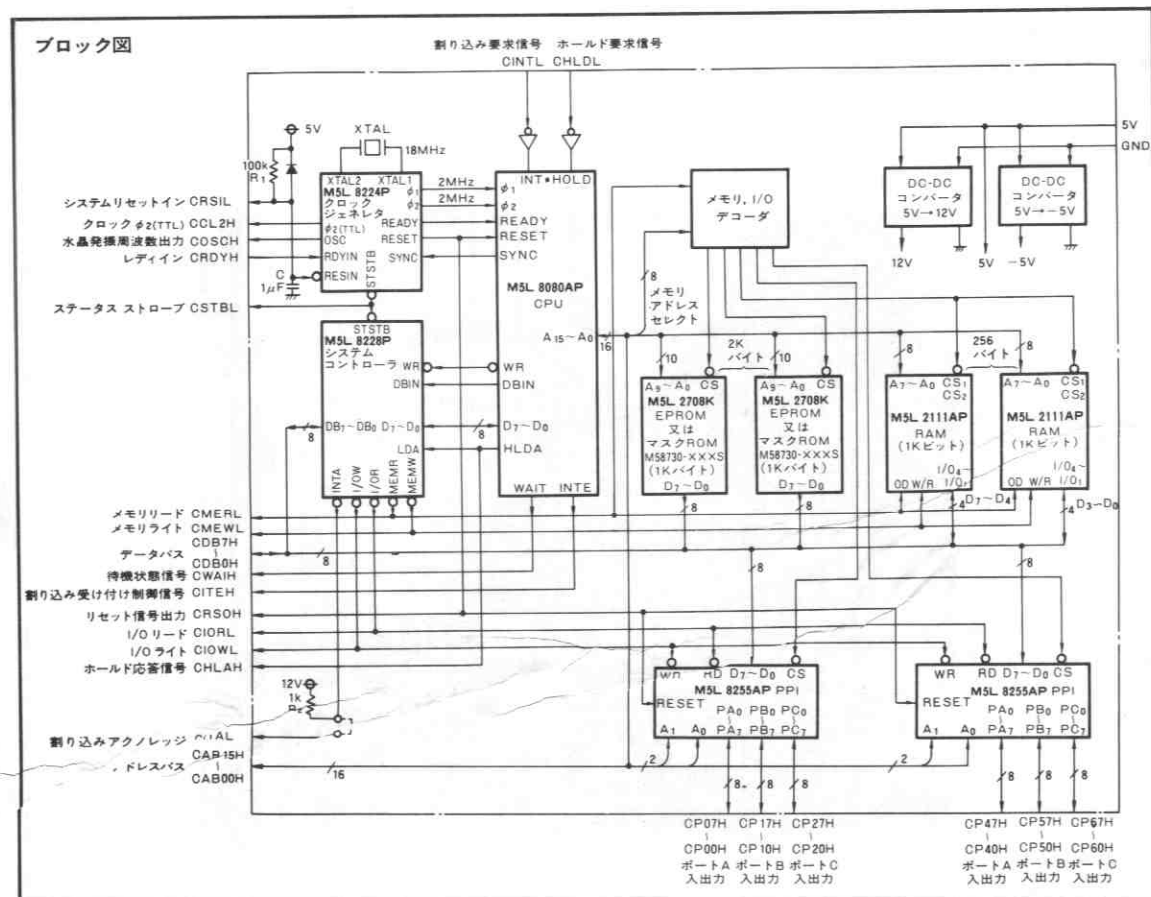
システムコントローラはCPU(M5L 8080AP)のデータバスとROM等のメモリ及び入出力ポート(PPI)とを分離するもので、メモリ、入出力ポートに直接制御するに必要なすべての信号を発生します。ストローブ信号STSTBにより、CPUのステータス情

報が内部ステータスラッチにラッチされます。CPUからの制御信号(DBIN、WR、HLDA)と内部ステータスラッチの内容により、メモリリードMEMR、メモリライトMEMW、入出力リードI/OR、入出力ライトI/OW及び割り込み応答INTAの各制御信号を発生する。これらの制御信号はROM、RAM等のメモリ及び入出力ポートにデータの読み出し、書き込みの制御信号として使用されます。

メモリ、I/Oデコーダはアドレスバス上で指示される、メモリ、I/Oポートの番地を解釈し、該当番地のメモリ、をI/Oポートに制御信号を送ります。

メモリは、1KバイトのEPROM (M5L 2708K×1)と256バイトのスタチックRAM (M5L 2111AP×2)が実装されています。なお、EPROMはソケットで最大2Kバイトまで実装可能です。

I/Oポートは、PPI M5L 8255AP2個を使用し、8ビット×6=48ビットのプログラマブルな入出力ポートとして使用できます。基本的には8ビット×3個のスリーステート双方向性バッファであり、CPUからのIN、OUT命令により、データを転送します。



MELCS 8/2 基板コンピュータ

仕様

処理方式

8ビット並列演算処理方式

CPU M5L 8080AP

語長

命令：8、16、24ビット

データ：8ビット

サイクル時間

基本サイクル時間 2 $\mu$ s

CPUクロック周波数

2MHz $\pm$ 1% (Ta=0~55 $^{\circ}$ C, V<sub>CC</sub>=5V $\pm$ 5%)

(水晶発振周波数 18MHz $\pm$ 1%)

メモリ番地及びメモリ容量

EPROM (M5L 2708K)

メモリ番地

#1 : 0000<sub>16</sub>~03FF<sub>16</sub>

#2 : 0400<sub>16</sub>~07FF<sub>16</sub>

メモリ容量

#1 : 1Kバイト (標準品はEPROM実装)

#2 : 1Kバイト (標準品はソケットのみ)

RAM (M5L 2111AP $\times$ 2)

メモリ番地

4000<sub>16</sub>~40FF<sub>16</sub>

メモリ容量

256バイト

最大64Kバイトまで外部拡張が可能

I/O番地及びI/O容量

I/O番地

PPI (M5L 8255AP $\times$ 2)

ポート名	信号名称	番地
#1	PA	CP00H~CP07H
	PB	CP10H~CP17H
	PC	CP20H~CP27H
	C.W.	コントロールワード
#2	PA	CP40H~CP47H
	PB	CP50H~CP57H
	PC	CP60H~CP67H
	C.W.	コントロールワード

PPI (プログラマブル パリフェラル インターフェース) を2個実装しています。したがって、プログラム可能な8ビット $\times$ 6=48ビットの入出力ポートを有します。

最大256個のI/Oが外部で拡張できます。

割り込み

1レベル1要因

基板上の論理機能により、RST 7命令が自動発生されます。

外部割り込み回路を使用する場合は、基板上の割り込み用端子をジャンパー線により短絡することによって外部割り込みが可能です。

インターフェース

バス：全信号TTL コンパチブル

I/O：全信号TTL コンパチブル

DMA

可能

コネクタ

バス拡張用 (コネクタPMA)

ストレートピンヘッダ T形 50極

入出力ポート用 (コネクタPMB)

アングルピンヘッダ L形 50極

コネクタPMAピン配列

	12V	2 1	-5V
	GND	4 3	GND
	GND	6 5	GND
	5V	8 7	5V
データバス	CDB1H	10 9	CDB0H
	CDB3H	12 11	CDB2H
	CDB5H	14 13	CDB4H
	CDB7H	16 15	CDB6H
	メモリリード CMERL	18 17	CIORL I/Oリード
メモリライト GMEWL	20 19	CIOWL I/Oライト	
割り込みアクノレッジ CITAL	22 21	CITEH 割り込み受け付け制御信号	
待機状態信号 CWAIH	24 23	CINTL 割り込み要求信号	
レディン CRDYH	26 25	ORSIL リセットイン	
ステータスストロブ GSTBL	28 27	CRSOH リセット信号出力	
ホールド応答信号 CHLAH	30 29	CCL2H クロック $\phi_2$ (TTL)	
ホールド要求信号 CHLDL	32 31	OOSCH 水晶発振周波数出力	
	34 33		
アドレスバス	CAB01H	36 35	CAB00H
	CAB03H	38 37	CAB02H
	CAB05H	40 39	CAB04H
	CAB07H	42 41	CAB06H
	CAB09H	44 43	CAB08H
	CAB11H	46 45	CAB10H
	CAB13H	48 47	CAB12H
	CAB15H	50 49	CAB14H

コネクタPMBピン配列

PPI #1 入出力ポートB	CP11H	2 1	CP10H	PPI #1 入出力ポートB
	CP13H	4 3	CP12H	
	CP15H	6 5	CP14H	
	CP17H	8 7	CP16H	
PPI #1 入出力ポートC	CP21H	10 9	CP20H	PPI #1 入出力ポートC
	CP23H	12 11	CP22H	
	CP25H	14 13	CP24H	
	CP27H	16 15	CP26H	
PPI #1 入出力ポートA	CP01H	18 17	CP00H	PPI #1 入出力ポートA
	CP03H	20 19	CP02H	
	CP05H	22 21	CP04H	
	CP07H	24 23	CP06H	
PPI #2 入出力ポートB	GND	26 25	GND	PPI #2 入出力ポートB
	CP51H	28 27	CP50H	
	CP53H	30 29	CP52H	
	CP55H	32 31	CP54H	
PPI #2 入出力ポートC	CP57H	34 33	CP56H	PPI #2 入出力ポートC
	CP61H	36 35	CP60H	
	CP63H	38 37	CP62H	
	CP65H	40 39	CP64H	
PPI #2 入出力ポートA	CP67H	42 41	CP66H	PPI #2 入出力ポートA
	CP41H	44 43	CP40H	
	CP43H	46 45	CP42H	
	CP45H	48 47	CP44H	
	CP47H	50 49	CP46H	

## 外形寸法

125(縦)×145(横)×17(高さ)mm

## メモリ、I/O番地

本基板コンピュータはメモリ、I/O番地が固定されていますので外部メモリ又は、I/Oを付加する場合は固定番地以外の番地に配置する必要があります。

## I/O番地

I/O番地	PPI #1				PPI #2				PPI #3			
	ポート A	ポート B	ポート C	C.W	ポート A	ポート B	ポート C	C.W	ポート A	ポート B	ポート C	C.W
00 <sub>16</sub>	01 <sub>16</sub>	02 <sub>16</sub>	03 <sub>16</sub>	04 <sub>16</sub>	05 <sub>16</sub>	06 <sub>16</sub>	07 <sub>16</sub>	08 <sub>16</sub>	09 <sub>16</sub>	0A <sub>16</sub>	0B <sub>16</sub>	
	PCA0801							PCA0802(参考)				

## メモリ番地

0000 <sub>16</sub>	EPROM #1	PCA0801 計2Kバイト
03FF <sub>16</sub>		
0400 <sub>16</sub>	EPROM #2	PCA0802 (参考) 計4Kバイト
07FF <sub>16</sub>		
0800 <sub>16</sub>	EPROM #3	
0BFF <sub>16</sub>		
0C00 <sub>16</sub>	EPROM #4	
0FFF <sub>16</sub>		
1000 <sub>16</sub>	EPROM #5	
13FF <sub>16</sub>		
1400 <sub>16</sub>	EPROM #6	
17FF <sub>16</sub>		
	空	
3C00 <sub>16</sub>	RAM	PCA0802 1Kバイト (参考)
3FFF <sub>16</sub>		
4000 <sub>16</sub>	RAM	PCA0801 256バイト
40FF <sub>16</sub>		

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧	GND端子を基準とした場合	7	V
V <sub>I</sub>	入力電圧		5.5	V
V <sub>O</sub>	出力電圧		5.5	V
T <sub>opr</sub>	動作周囲温度		0~55	℃
T <sub>stg</sub>	保存温度		-30~70	℃

## 推奨使用条件(指定のない場合は、Ta=0~55℃)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.75	5	5.25	V
V <sub>IH</sub>	"H"入力電圧	3		V <sub>CC</sub>	V
V <sub>IL</sub>	"L"入力電圧	0		0.65	V

電気的特性(指定のない場合は、Ta=0~55℃, V<sub>CC</sub>=5V±5%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>OH</sub>	"H"出力電圧	CP00H CP07H	I <sub>OH</sub> =-50μA	2.4		V
V <sub>OH</sub>	"H"出力電圧	CCL2H COSCH CSTBL CMERL CMEWL CIORL CIOWL CITAL CRSON	I <sub>OH</sub> =-1mA	2.4		V
V <sub>OH</sub>	"H"出力電圧	その他	I <sub>OH</sub> =-100μA	2.4		V
V <sub>OL</sub>	"L"出力電圧	ORSOH CSTBL	I <sub>OL</sub> =2.5mA		0.5	V
V <sub>OL</sub>	"L"出力電圧	COSCH CCL2H	I <sub>OL</sub> =16mA		0.5	V
V <sub>OL</sub>	"L"出力電圧	EMERL CMEWL CIORL CIOWL CITAL	I <sub>OL</sub> =10mA		0.5	V
V <sub>OL</sub>	"L"出力電圧	その他	I <sub>OL</sub> =1.0mA		0.4	V
I <sub>CC</sub>	V <sub>CC</sub> 電源電流		EPROM 2個実装		0.8	A

## 増設用基板

メモリ容量及びI/O拡張用に次の増設用基板が用意されています。

PCA0802(メモリ、I/O拡張用)

RAM容量.....1Kバイト

EPROM又はマスクROM容量.....4Kバイト

プログラマブルポート 24ビット(8ビット×3)

外形寸法.....125×145×17mm



MELCS 8/2 メモリ・I/O拡張用基板

概要

PCA0802は基板コンピュータ(PCA0801)のメモリ、I/O拡張用基板で、わずか125×145mmのプリント基板に実装されています。バス拡張用コネクタにより基板コンピュータに接続が可能です。

特長

- メモリ、I/Oを実装した拡張用基板
- RAM容量……………1Kバイト
- EPROM又はマスクROM容量……………4Kバイト(最大)
- プログラマブルポート……………24ビット(8ビット×3)
- 電源は基板コンピュータPCA0801より供給
- コンパクトな外形……………125(縦)×145(横)×17(高さ)mm

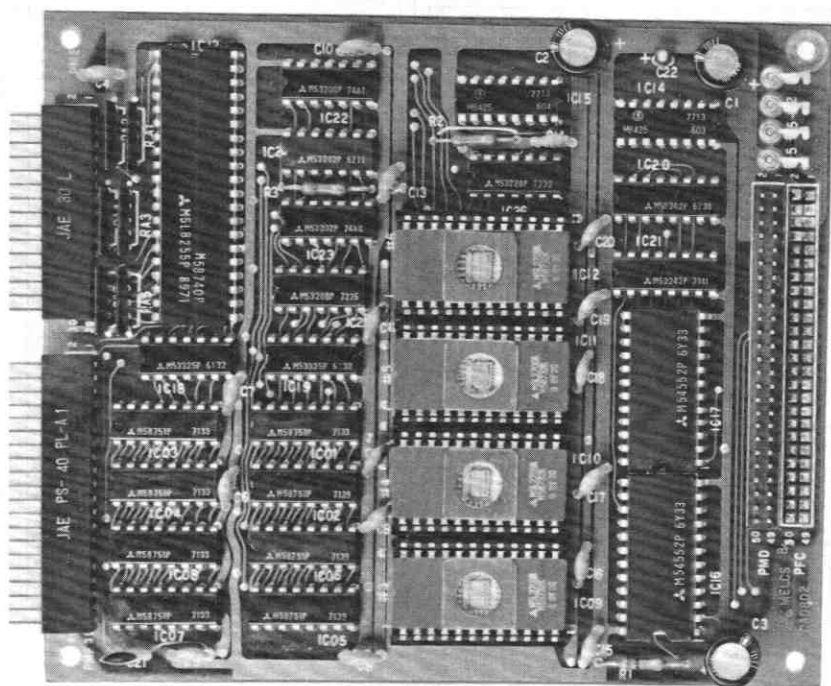
応用

- パーソナルコンピュータ拡張用モジュール
- 小形自動試験機、制御装置用モジュール

機能概要

メモリ、I/O拡張用基板は4KバイトのEPROM (M5L 2708K×4、3Kバイト分はソケットのみ)と1KバイトのRAM (M5L 2102AP×8)及び入出力ポートとしてPPI(プログラマブルペリフェラルインターフェース M5L 8255AP)を1個を基板に実装しています。

PPIは8ビット×3=24ビットのプログラマブルな入出力ポートとなっています。



MELCS 8/2 メモリ・I/O拡張用基板

機能説明

データバス (CDB0H~CDB7H) 入力は双方向性データバスバッファを介して、各メモリデータ入力端子に接続されています。ERDSL (データバスコントロール信号) は“L”にすることにより、データバスを出力の状態とします。通常この端子は“H”であり、データバスは入力の状態となっています。

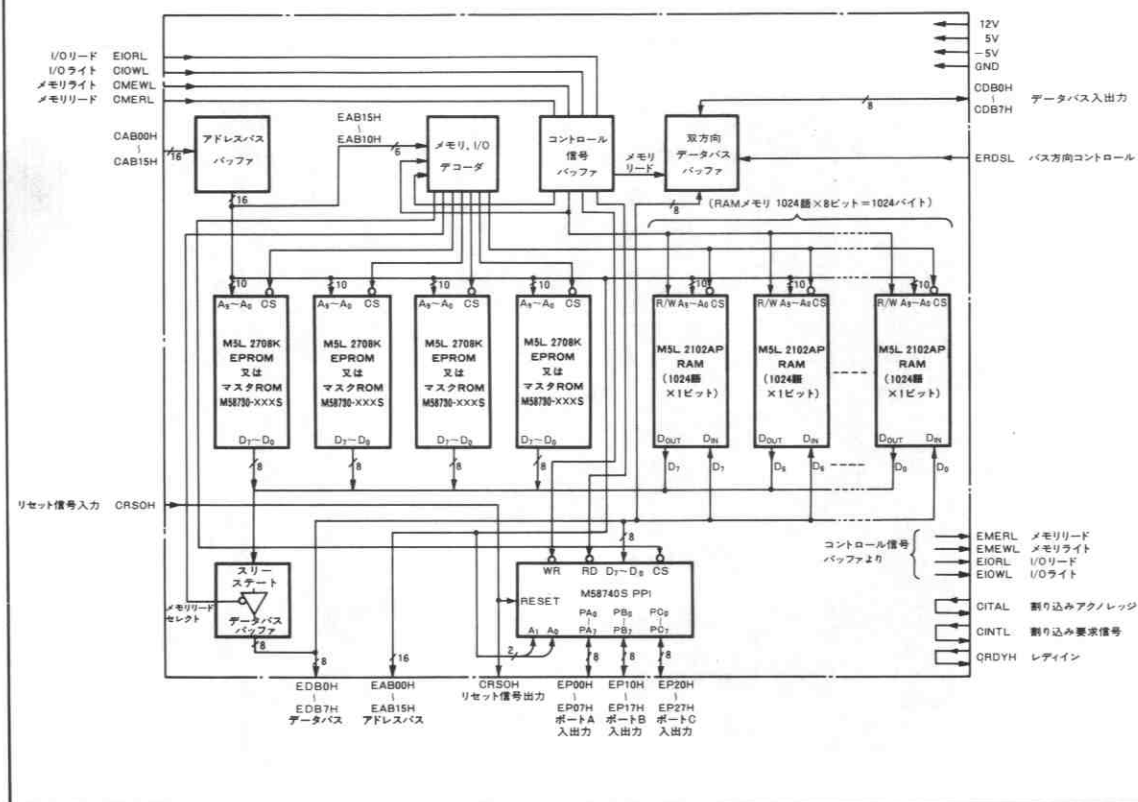
メモリは4 KバイトのERROM (M5L 2708K×4、3 Kバイト分はソケットのみ) 及び1 KバイトのスタチックRAM (M5L 2102 AP×8) が実装されています。

メモリ、I/Oのメモリアード、メモリアイト、I/Oリード及び

I/Oライトはまず、アドレスバス上に指示されるメモリ、I/O番地をメモリ、I/Oデコーダにより解読するとともにコントロール信号バッファより送出される基板コンピュータ (PCA0801) からのCMERL、CMEWL、CIORL及びCIOWL信号により、該当するメモリ、I/Oのリード、ライトが行われます。

拡張用基板はPPI M5L 8255APを1個使用しています。これにより24ビットのプログラマブルな入出力ポートとして使用できます。基本的には8ビット×3個のスリーステート双方向性バッファであり、CPUからのIN、OUT命令により、データを転送します。

ブロック図



## MELCS 8/2 メモリ・I/O拡張用基板

## 仕様

## メモリ番地及びメモリ容量

EPROM (M5L 2708K)

メモリ番地

#3: 0800<sub>16</sub>~0BFF<sub>16</sub>#4: 0C00<sub>16</sub>~0FFF<sub>16</sub>#5: 1000<sub>16</sub>~13FF<sub>16</sub>#6: 1400<sub>16</sub>~17FF<sub>16</sub>

メモリ容量

#3: 1Kバイト (標準仕様はEPROM実装)

#4: 1Kバイト (標準仕様はソケットのみ)

#5: 1Kバイト (標準仕様はソケットのみ)

#6: 1Kバイト (標準仕様はソケットのみ)

計4Kバイト

RAM (M5L 2102AP×8)

メモリ番地

3C00<sub>16</sub>~3FFF<sub>16</sub>

メモリ容量

1Kバイト

最大64Kバイトまで外部拡張が可能

## I/O番地及びI/O容量

I/O番地

PPI (M5L 8255AP)

ポート名	信号名称	番地
PA	EP00H~EP07H	08 <sub>16</sub>
PB	EP10H~EP17H	09 <sub>16</sub>
PC	EP20H~EP27H	0A <sub>16</sub>
C.W.	コントロールワード	0B <sub>16</sub>

PPI (プログラマブル ペリフェラル インターフェース) を1個実装しています。したがって、プログラム可能な8ビット×3=24ビットの入出力ポートを有します。

最大256個のI/Oが外部で拡張ができます。

## インターフェース

バス: 全信号 TTL コンパチブル

I/O: 全信号 TTL コンパチブル

## コネクタ

バス用(コネクタ PFC)

ストレートディップ形 50極

バス用(コネクタPMD)

ストレートピンヘッダ T形 50極

入出力ポート用(コネクタPME)

アングルピンヘッダ L形 30極

ディバグ用(コネクタPMF)

アングルピンヘッダ L形 40極

## コネクタPFC及びPMDピン配列

	12V	2	1	-5V
	GND	4	3	GND
	GND	6	5	GND
	5V	8	7	5V
データバス 入出力	CDB1H	10	9	CDB0H
	CDB3H	12	11	CDB2H
	CDB5H	14	13	CDB4H
	CDB7H	16	15	CDB6H
メモリリード	CMERL	18	17	CIORL I/Oリード
メモリライト	CMEWL	20	19	CIOWL I/Oライト
		22	21	
		24	23	
		26	25	
		28	27	CRSOH リセット信号入力
		30	29	
		32	31	
		34	33	
アドレスバス	CAB01H	36	35	CAB00H
	CAB03H	38	37	CAB02H
	CAB05H	40	39	CAB04H
	CAB07H	42	41	CAB06H
	CAB09H	44	43	CAB08H
	CAB11H	46	45	CAB10H
	CAB13H	48	47	CAB12H
	CAB15H	50	49	CAB14H

## コネクタPMEピン配列

	5V	2	1	5V
	GND	4	3	5V
	GND	6	5	GND
PPI 入出力ポートA	EP01H	8	7	EP00H
	EP03H	10	9	EP02H
	EP05H	12	11	EP04H
	EP07H	14	13	EP06H
PPI 入出力ポートB	EP11H	16	15	EP10H
	EP13H	18	17	EP12H
	EP15H	20	19	EP14H
	EP17H	22	21	EP16H
PPI 入出力ポートC	EP21H	24	23	EP20H
	EP23H	26	25	EP22H
	EP25H	28	27	EP24H
	EP27H	30	29	EP26H

## コネクタPMFピン配列

データバス	EDB1H	2	1	EDB0H
	EDB3H	4	3	EDB2H
	EDB5H	6	5	EDB4H
	EDB7H	8	7	EDB6H
メモリリード	EMERL	10	9	EDB6H
メモリライト	EMEWL	12	11	EIOWL I/Oライト
I/Oリード	EIORL	14	13	CRDYH レディイン
割り込み要求信号	CINTL	16	15	ERDSL コントロール信号
アドレスバス	EAB01H	18	17	EAB00H
	EAB03H	20	19	EAB02H
	EAB05H	22	21	EAB04H
	EAB07H	24	23	EAB06H
	EAB09H	26	25	EAB08H
	EAB11H	28	27	EAB10H
	EAB13H	30	29	EAB12H
	EAB15H	32	31	EAB14H
割り込み アクノレッジ	CITAL	34	33	CRSOH リセット信号出力
	GND	36	35	
	GND	38	37	
	GND	40	39	GND

MELCS 8/2 メモリ・I/O拡張用基板

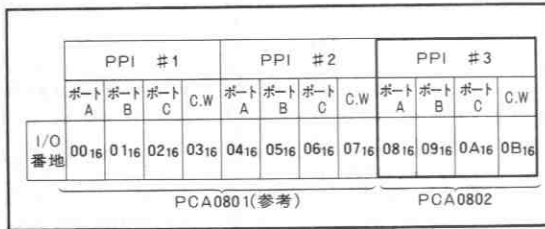
外形寸法

125(縦)×145(横)×17(高さ)mm

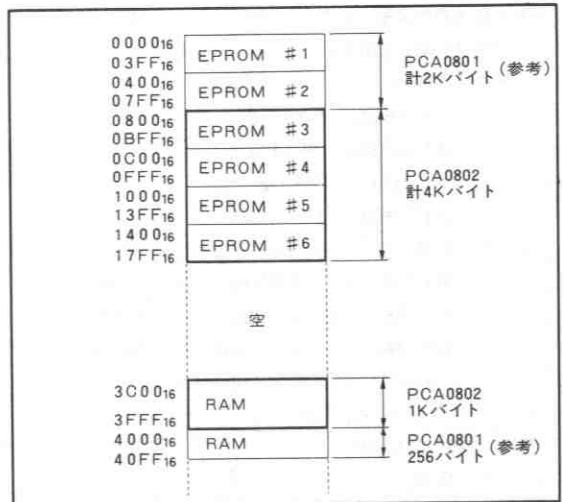
メモリ, I/O番地

本拡張用基板はメモリ、I/O番地が固定されていますので外部メモリ又はI/Oを付加する場合は固定番地以外の番地に配置する必要があります。

I/O番地



メモリ番地



絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧	GNDを基準にした場合	7	V
V <sub>BB</sub>	電源電圧		-15~0.3	V
V <sub>DD</sub>	電源電圧	V <sub>BB</sub> を基準にした場合	-0.3~20	V
V <sub>I</sub>	入力電圧	GNDを基準にした場合	5.5	V
V <sub>O</sub>	出力電圧	出力が"H"のとき	V <sub>CC</sub>	V
T <sub>opr</sub>	動作周囲温度		0~55	℃
T <sub>stg</sub>	保存温度		-30~70	℃

推奨使用条件(指定のない場合は、Ta=0~55℃)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.75	5	5.25	V
V <sub>BB</sub>	電源電圧	-4.75	-5	-5.25	V
V <sub>DD</sub>	電源電圧	1.4	12	12.6	V
V <sub>IH</sub>	"H"入力電圧	3		V <sub>CC</sub>	V
V <sub>IL</sub>	"L"入力電圧	0		0.65	V

電気的特性(指定のない場合は、Ta=0~55℃, V<sub>CC</sub>=5V±5%)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
V <sub>OH</sub>	"H"出力電圧	CDB7H~CDB0H	I <sub>OH</sub> =-10mA	2.4	3	V	
V <sub>OH</sub>	"H"出力電圧	EMERL, EI0RL	I <sub>OH</sub> =-740μA			V	
V <sub>OH</sub>	"H"出力電圧	EMEWL, EI0WL	I <sub>OH</sub> =-800μA	2.4		V	
V <sub>OH</sub>	"H"出力電圧	ORSOH	I <sub>OH</sub> =-1mA	2.4		V	
V <sub>OH</sub>	"H"出力電圧	EP27H~EP00H	I <sub>OH</sub> =-50μA	2.4		V	
V <sub>OH</sub>	"H"出力電圧	EDB7H~EDB0H	I <sub>OH</sub> =-1mA	3.65	4	V	
V <sub>OH</sub>	"H"出力電圧	EAB15H~EAB00H	I <sub>OH</sub> =0.94mA	3.65		V	
V <sub>OL</sub>	"L"出力電圧	CDB7H~CDB0H	I <sub>OH</sub> =25mA		0.3	0.45	V
V <sub>OL</sub>	"L"出力電圧	EMERL, EI0RL	I <sub>OH</sub> =14.4mA		0.22	0.4	V
V <sub>OL</sub>	"L"出力電圧	EMEWL, EI0WL	I <sub>OH</sub> =16mA		0.22	0.4	V
V <sub>OL</sub>	"L"出力電圧	ORSOH	I <sub>OH</sub> =2.5mA			0.5	V
V <sub>OL</sub>	"L"出力電圧	EP27H~EP00H	I <sub>OH</sub> =1.6mA			0.4	V
V <sub>OL</sub>	"L"出力電圧	EDB7H~EDB0H	I <sub>OH</sub> =15mA		0.3	0.45	V
V <sub>OL</sub>	"L"出力電圧	EAB15H~EAB00H	I <sub>OH</sub> =14.4mA			0.5	V

MELCS 8/2 プログラムチェッカ

概要

PCA0803は基板コンピュータ (PCA0801) 及びメモリ・I/O拡張用基板 (PCA0802) を応用した機器の機能をソフトウェアを介せず、テストできる簡易プログラムチェッカです。

このプログラムチェッカで設計評価やアフターサービスが容易に行えます。

特長

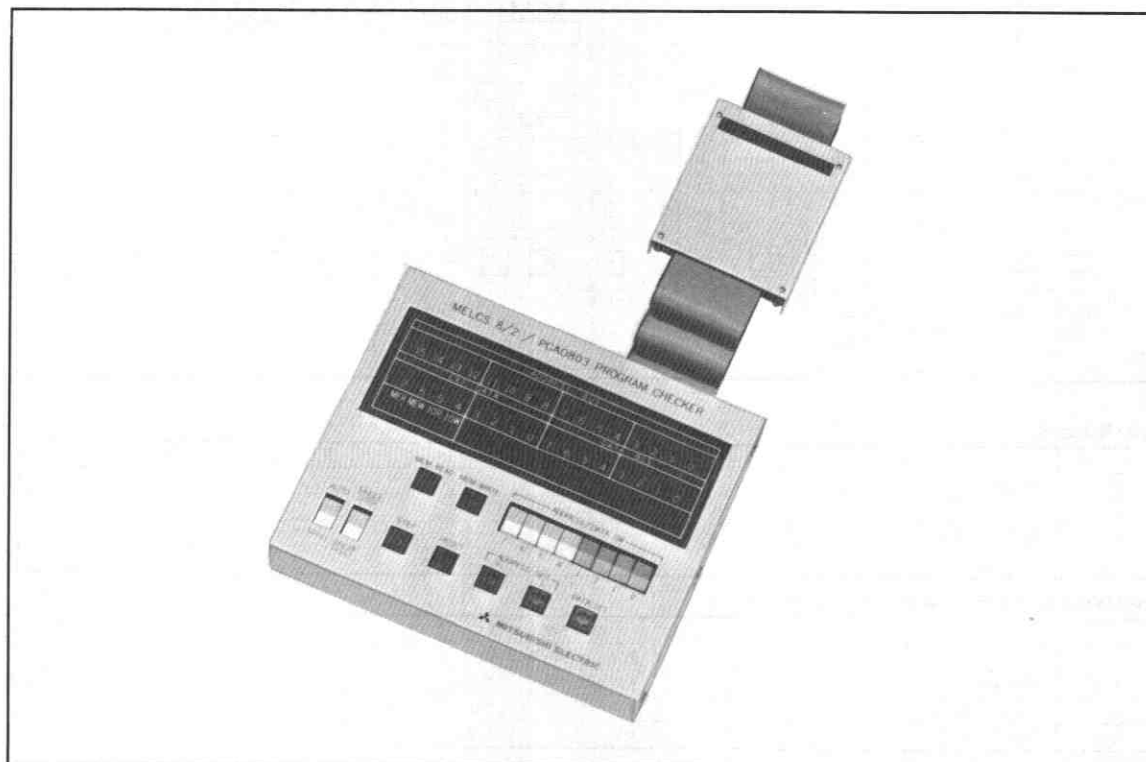
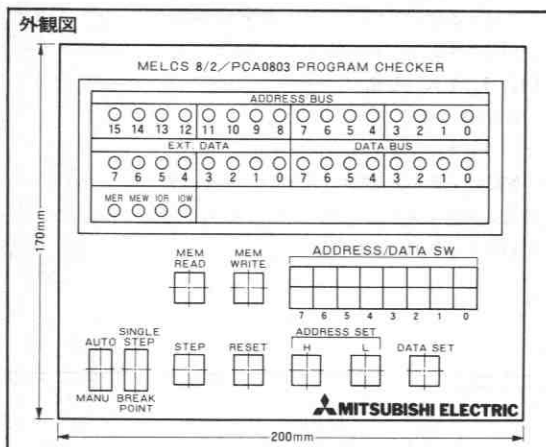
- シングルステップ機能………任意の番地にCPUを待機状態とし、1マシサイクルごとにプログラムの命令を実行
- ブレーキングポイント機能………任意の番地にCPUを待機状態とします。その番地からプログラムの実行が可能
- メモリリード及びライト機能………任意のメモリ番地からデータの読み出し及び書き込みが可能
- リセット機能………CPUにリセットをかけることができます
- 専用バスケーブルを使用………長さ約800mm
- 電源電圧 5V±5% 電源電流 0.6A (標準)
- コンパクトな外形………170(縦)×200(横)×27(高さ)mm

応用

- 基板コンピュータ (PCA0801) 及びメモリ・I/O拡張用基板 (PCA0802) を用いた応用機器の設計評価・アフターサービス

機能概要

PCA0803はソフトウェアを介せず、ハードウェアだけで構成しているため、顧客はそのまま機器に接続すれば容易にシステムのソフトウェア及びハードウェアのデバッグができます。このチェッカはシングルステップ動作、ブレーキングポイント動作、リセット動作、メモリリード及びライト動作が行えます。



## 機能説明

## 1. 表示部

アドレスバス、データバス及び制御信号の動作状態をモニタします。

## 2. ADDRESS/DATA SW

アドレス番地の設定及びRAMエリアにデータを書き込む場合、そのデータの設定に使用します。

## 3. H/L ADDRESS SET スイッチ

アドレス番地をアドレス/データラッチ回路にラッチする場合に使用します。アドレス番地は上位8ビットと下位8ビットの2回に分けて入力します。

## 4. DATA SET スイッチ

データをセットする場合に使用します。

## 5. MEM READ/MEM WRITE スイッチ

任意のメモリエリアに対し、データの読み出し、書き込み動作を行うときに使用します。

## 6. MANU/AUTO 切替スイッチ

AUTO側に倒すとプログラムの命令を順次実行します。シングルステップ動作又はブレーキングポイント動作とする場合はMANU側に倒してください。

## 7. SINGLE STEP/BREAK POINT 切替スイッチ

SINGLE STEP側に倒して、STEPスイッチを押すと、1マシンサイクルごとにプログラムの命令を実行します。

BREAK POINT側に倒すと、あらかじめ設定したプログラムエリアの番地でプログラムの実行を停止し、待機状態とします。

## 8. STEP スイッチ

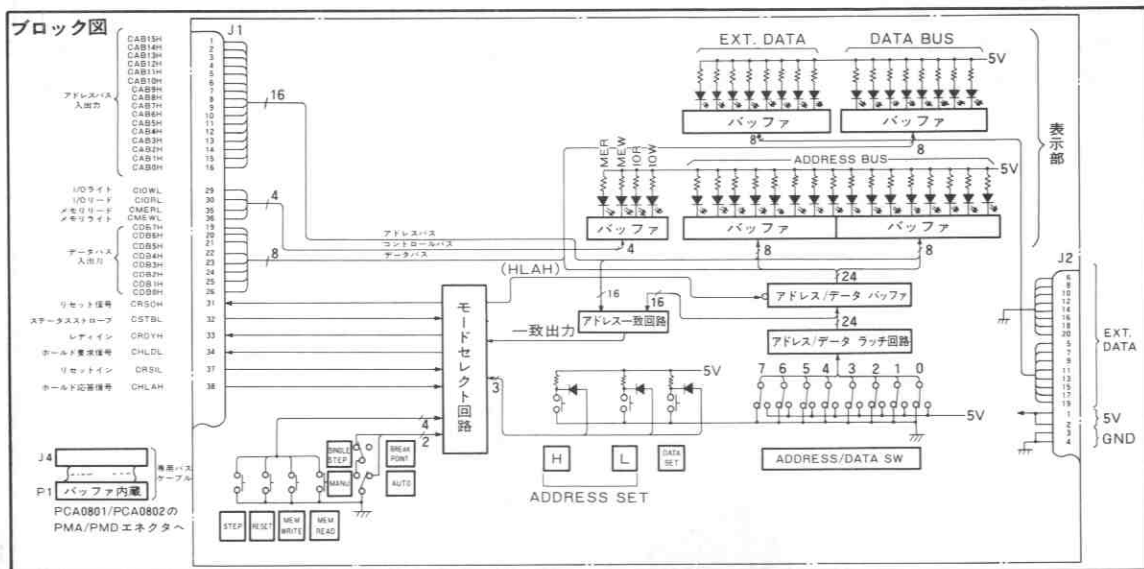
1マシンサイクルごとにプログラムの命令を実行します。

## 9. RESET スイッチ

CPUの初期状態を決定するもので、プログラムカウンタは0にクリアされ、アドレスバス、データバスはフローティング状態となります。

## 10. モードセレクト回路

各操作スイッチから信号を受け、各操作モードに対応して、信号をセレクトして出力する。



## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧		7	V
V <sub>I</sub>	入力電圧		5.5	V
T <sub>opr</sub>	動作周囲温度		0~55	℃
T <sub>stg</sub>	保存温度		-30~70	℃

推奨使用条件(指定のない場合は、T<sub>a</sub>=0~55℃)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.75	5	5.25	V
V <sub>IH</sub>	"H"入力電圧	3		V <sub>CC</sub>	V
V <sub>IL</sub>	"L"入力電圧	0		0.65	V

## MELCS 8/2 カラーTVディスプレイ用基板コンピュータ

## 概要

PCA0804は、MELPS8及びTVインターフェース回路を125×145mmのプリント基板上に実装したシングルボードコンピュータです。家庭用のTV受像機のアンテナ端子に接続することにより、画面上に64×64画素のカラー(8色)ドットを表示することができます。また、基板コンピュータ本体のほかに、キーボード及びモニタープログラムと作画サブルーチンが格納されたEPROM M5L 2708K 1個とユーザプログラム用EPROM M5L 2708K 1個が付属されたキットもあります。

## 特長

形名	内容
PCA0804G01	基板コンピュータ本体のみ
PCA0804G02	基板コンピュータ本体PCA0804G01……………1個 キーボードスイッチ PCA0805……………1個 モニター・作画プログラム格納EPROM M5L 2708K(005)……………1個 ユーザプログラム用EPROM M5L 2708K……………1個 説明書……………1冊

- CPU、メモリ、I/O及びTVインターフェース回路を内蔵したシングルボードコンピュータ
- 家庭用TV受像機の画面上に、64×64画素のカラー表示が可能
- EPROM又はマスクROM容量……………2Kバイト(最大)
- RAM容量……………1Kバイト
- プログラマブルポート……………24ビット(8ビット×3)
- フレーム割り込み(一画面掃引ごとの割り込み)可能
- コンパクトな外形…125(縦)×145(横)×30(高さ)mm

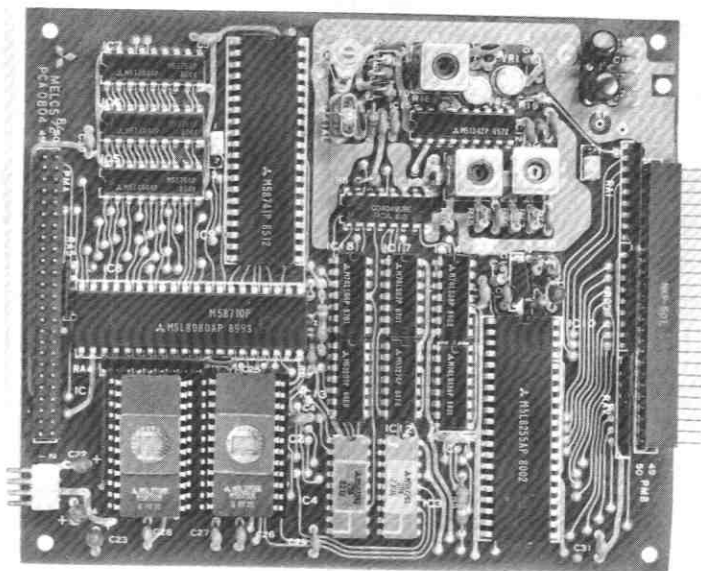
## 応用

- TVゲームマシン
- パーソナルコンピュータ
- 簡易カラーグラフィックディスプレイ
- マイクロコンピュータ応用機器用ディスプレイ端末
- 店頭宣伝装置
- MELCS 8/2のスレーブコンピュータ

## 機能概要

PCA0804は、M5L 8080APをCPUとし、そのファミリLSI及びカラーTVインターフェースLSIM58741Pにより構成された、TV表示機能付シングルボードコンピュータです。メモリ容量はROM 2Kバイト、RAM 1Kバイトであり、それぞれM5L 2708K×2個及びM5L 2114LP×2個を使用しています。入出力ポートはPPI(プログラマブルペリフェラルインターフェース) M5L 8255AP×1個を実装し、8ビット×3のプログラマブルな入出力ポートとなっています。

TVインターフェース部は、TVインターフェースLSI M58741P及びRFモジュレータIC M51342Pで構成され、画面メモリには4KスタックRAM M5T 4044Pを3個使用しています。家庭用TV受像機のアンテナ端子に本基板のRF信号を入力することにより、TV画面上に64×64画素のカラー画像を表示することができます。



## MELCS 8/2 カラーTVディスプレイ用基板コンピュータ

## 機能説明

CPU M5L 8080APは、ROM M5L 2708K又はRAM M5L 2114LPに記憶されているプログラムを実行します。外部とのデータ転送は、PPI M5L 8255APにより行われます。

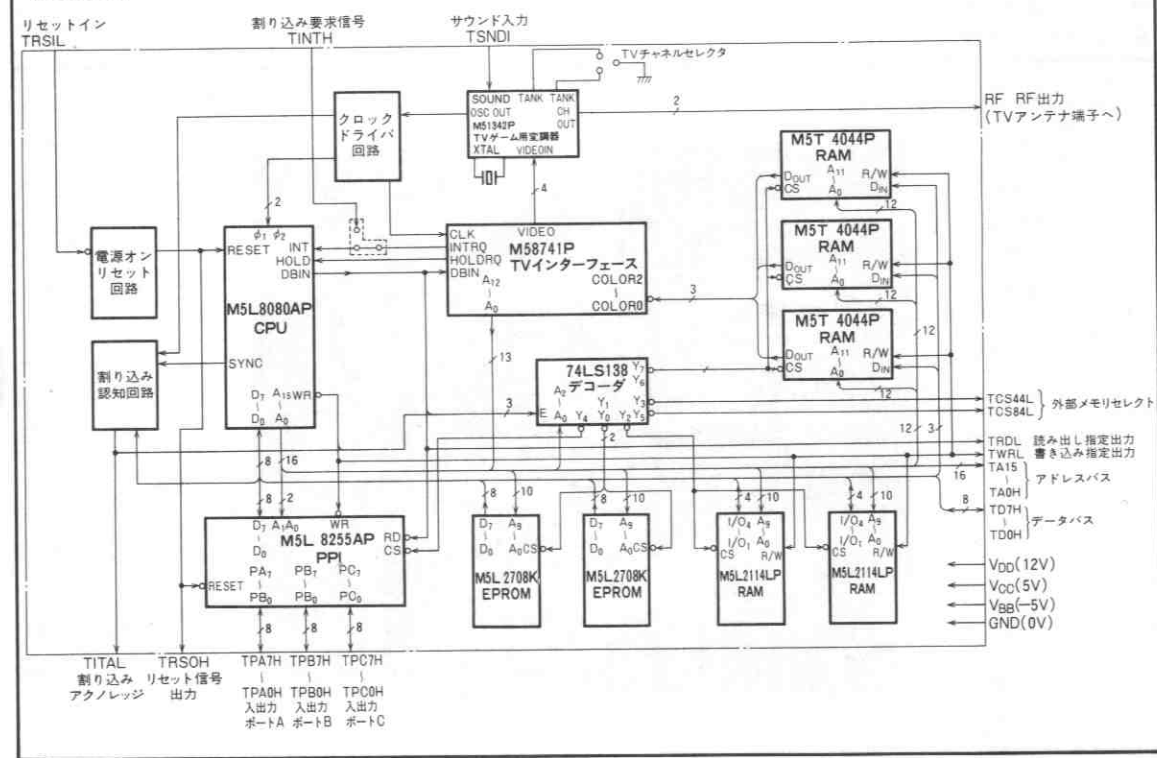
画面用RAM M5T 4044P×3個は、CPUから見た場合、単なるメモリとして、データを書き込むことができます。TVインターフェース M58741Pは映像同期信号にあわせてCPUにホールド要求を出し、CPUがホールド状態になった後、アドレスバス、コントロールバスを制御して、画面用RAMの内容を順次読み出します。

読み出された画面用RAMのデータは、TVインターフェースにより、映像信号に合成、変換されます。この映像信号は、RFモジュレータ M51342Pに加えられ、1チャンネル又は2チャンネルのTV電波に変調されます。

## 仕様

項目	内容
方式	8ビット並列演算方式
CPU素子	M5L 8080AP(インテル8080A相当)
サイクルタイム	基本2.23 $\mu$ s(クロック1.79MHz)
メモリ	EPROM 2Kバイト(M5L 2708K×2) アドレス 0000 <sub>16</sub> ~07FF <sub>16</sub> RAM 1Kバイト(M5L 2114LP×2) アドレス 4000 <sub>16</sub> ~43FF <sub>16</sub> 画面メモリ 4K×3ビット(M5T 4044P×3) アドレス C000 <sub>16</sub> ~FFFF <sub>16</sub>
I/O	プログラマブルボード 8ビット×3 (PPI M5L 8255AP) アドレス 8000 <sub>16</sub> ~8003 <sub>16</sub> (メモリマップドI/O)
ビデオ出力	NTSC方式 日本チャンネル CH1又はCH2
表示方式	64×64 ドットマトリクス、カラー(黒+7色)
割り込み	1フレーム挿引ごと又は外部割り込み
電源	12V、5V、-5V
使用コネクタ	ストレートピンヘッダTタイプ50極(バス拡張用) アングルピンヘッダLタイプ50極(ポート用)
外形寸法	125(縦)×145(横)×30(高さ)mm

## ブロック図





## MELCS 8/2 カラーTVディスプレイ用基板コンピュータ

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧	GNDを基準にした場合	0~7	V
V <sub>BB</sub>	電源電圧		0.3~-6.5	V
V <sub>DD</sub>	電源電圧		-0.3~20	V
V <sub>I</sub>	入力電圧		5.5	V
T <sub>opr</sub>	動作周囲温度		5~40	℃
T <sub>stg</sub>	保存温度		-10~70	℃

注3. 原則として電源投入順序はV<sub>BB</sub>→V<sub>CC</sub>→V<sub>DD</sub>の順とし、電源切断順序はその逆としてください。

推奨使用条件(指定のない場合は、T<sub>a</sub>=5~40℃)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.75	5	5.25	V
V <sub>BB</sub>	電源電圧	-4.75	-5	-5.25	V
V <sub>DD</sub>	電源電圧	11.6	12	12.6	V
V <sub>H</sub>	"H"入力電圧	2			V
V <sub>L</sub>	"L"入力電圧			0.8	V

電気的特性(指定のない場合は、T<sub>a</sub>=25℃, V<sub>CC</sub>=5V±5%, V<sub>BB</sub>=-5V±5%, V<sub>DD</sub>=12V±5%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>OH</sub>	"H"出力電圧, TITAL, TCS4L, TCS8L, TRSOH, TRDL, TWRL	I <sub>OH</sub> =10mA	2.4			V
V <sub>OH</sub>	"H"出力電圧, その他出力	I <sub>OH</sub> =1mA	2.4			V
V <sub>OL</sub>	"L"出力電圧, TITAL, TCS4L, TCS8L, TRSOH, TRDL, TWRL	I <sub>OL</sub> =-300μA			0.4	V
V <sub>OL</sub>	"L"出力電圧, その他出力	I <sub>OL</sub> =-100μA			0.4	V
I <sub>CC</sub>	V <sub>CC</sub> 電源電流	EPROM M5L 2708K 2個実装時			1	A
I <sub>BB</sub>	V <sub>BB</sub> 電源電流				0.2	A
I <sub>DD</sub>	V <sub>DD</sub> 電源電流				0.3	A
f <sub>r</sub>	CPUクロック周波数			1.79		MHz

## MELCS 8/2 カラーTVディスプレイ用基板コンピュータ

## PCA0804G02の機能概要

PCA0804G02は、基板コンピュータPCA0804G01、キーボード及びこれを使用する場合のモニタープログラム、作画サブルーチン、文字表示プログラム等のソフトウェアが格納された EPROM M5L 2708K 等で構成されます。

これらにより、プログラムの作成や図形の作成が非常に簡単にできます。

## 1. キーボード及びモニタープログラム

キーボードのキー配置は、ブロック図に記載されていますが、そのファンクションキーは、次のような機能を持っています。

- (1) EXM(EXAMINE) : 設定したアドレス及びそのアドレスで指定された番地の内容を表示します。
- (2) E.NXT(EXAMINE NEXT): 設定したアドレス及びそのアドレスで指定された番地の内容を連続的に表示します。
- (3) DEP(DEPOSIT) : EXMキーで指定された番地にキーでセットした命令又はデータを書き込みます。
- (4) START : 設定した番地からのプログラムの実行を開始します。
- (5) RESET : CPUにリセット信号が送られ、初期状態に戻ります。

以上の操作による表示は、すべてTV画面上にカラーで表示されます。EXM、E.NXT、DEPキーを押した場合、一画面には5つのアドレスとそのアドレスの内容が表示されます。

## 2. 作画サブルーチン

CPUのレジスタにパターンの先端アドレス、色、長さをセットして、以下のサブルーチンを呼ぶことにより、決め

られたパターンを簡単に描くことができます。

- (1) TATE : 任意の位置、色、長さの縦線  
 (2) YOKO : 任意の位置、色、長さの横線  
 (3) MEN : 任意の位置、色、大きさの長方形

これらのサブルーチンを使用することにより、複雑なパターンも簡単に表示できます。

## 3. 文字表示サブルーチン

特定のRAMエリアに文字表示位置、色、文字数及び文字コードをセットして、このサブルーチンを呼ぶことにより、文字記号を簡単に表示することができます。一画面に表示できる文字数は10×6行ですが、8色(黒プラス7色)のカラー表示が可能です。

表示可能な文字記号は、次の44です。

0 1 2 3 4 5 6 7 8 9

A B C D E F G H I J K L M N O P Q R S T U V W X

Y Z +- = . , ? /

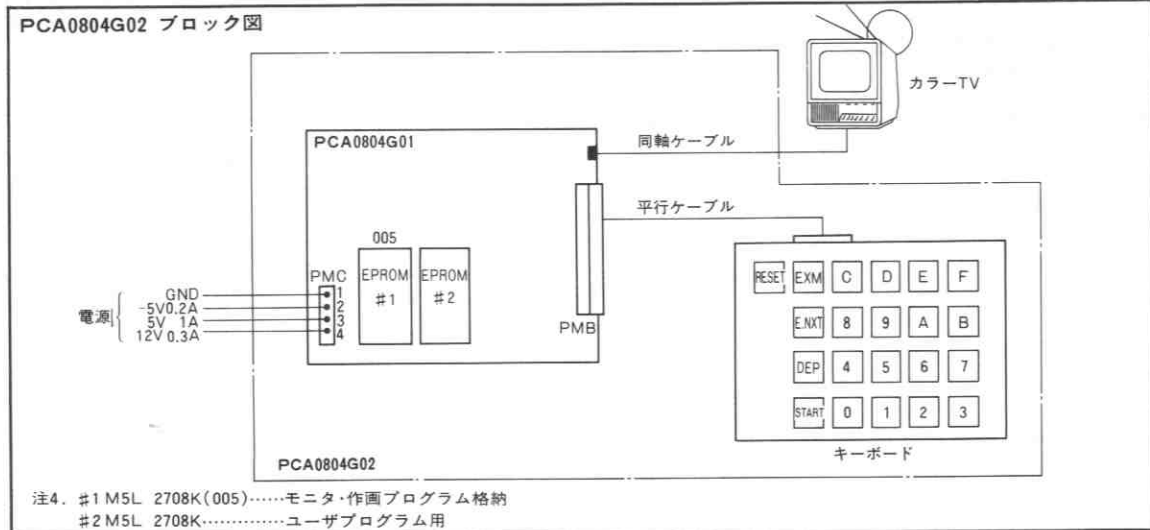
## 4. PCA0804G02の基本操作例

4000<sub>16</sub>番地からのRAM領域へ簡単なプログラムを書き込み、そのプログラムを実行させます。

## (1) 例題プログラム

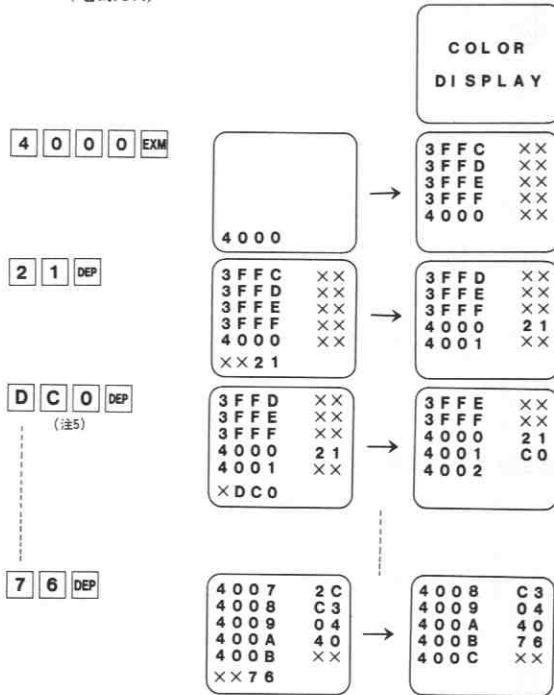
アドレス	ニーモニック	マシンコード
4000	DEMO LXI H,COCO#	21,CO,CO
4003	XRA A	AF
4004	DEM* MOV M,A	77
4005	INR A	3C
4006	INR H	24
4007	INR L	2C
4008	JNZ DEM*	C3 0440
400B	HLT	76

この例題はTV画面上左上から右下に斜線を描くプログラムである。



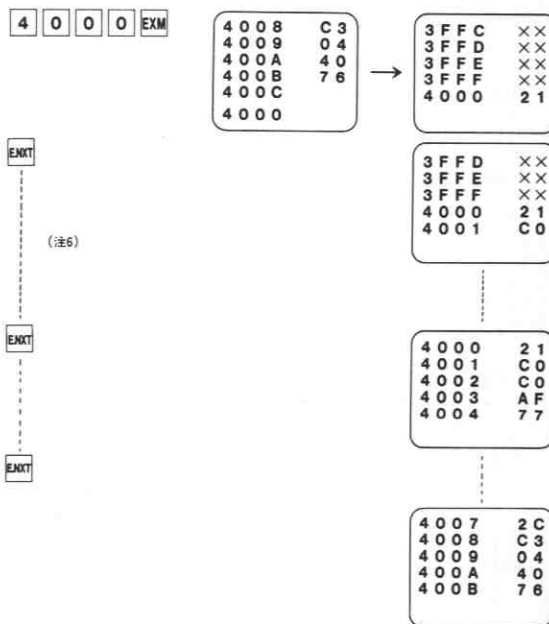
## MELCS 8/2 カラーTVディスプレイ用基板コンピュータ

- (2) 4000<sub>16</sub>番地からプログラムを書いて行きます。  
(電源ON)



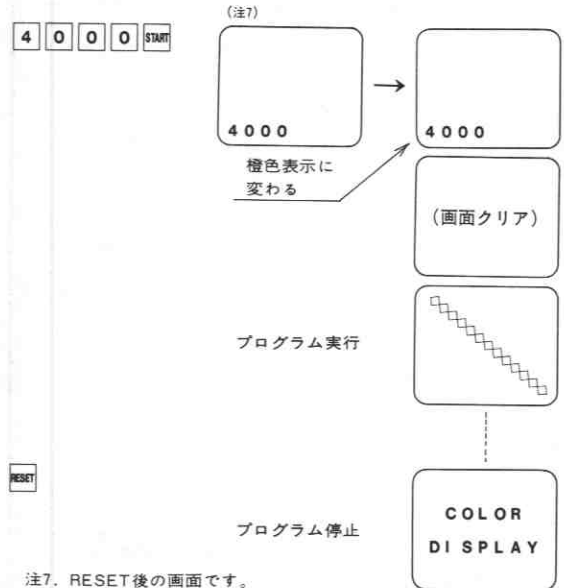
注5. 間違ったデータは無視して続けて入力してください。

- (3) 4000<sub>16</sub>番地からプログラムの内容をチェックします。



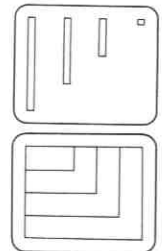
注6. 画面を見ながら順次プログラムの内容をチェックします  
もし間違ったデータがあった場合は   DEP と訂正します。

- (4) 4000<sub>16</sub>番地からこのプログラムをスタートさせます。

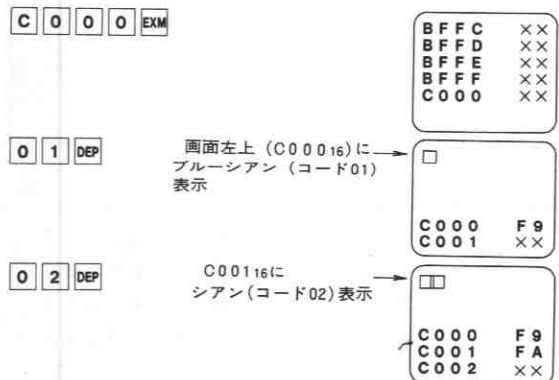


- (5) 作画ルーチンを使用した画面例

M5L 2708K(005)に内蔵される作画サブルーチンを使用することにより、簡単に種々のパターンを描くことができます。



- (6) 画面メモリ領域 (C000<sub>16</sub>~FFFF<sub>16</sub>) に直接データを書き込む



MELCS 8/2 カラーTVディスプレイ用基板コンピュータ

コネクタPMAピン配列

	12V	2	1	-5V	
	GND	4	3	GND	
	GND	6	5	GND	
	5V	8	7	5V	
データバス	TD1H ↔	10	9	TD0H	データバス
	TD3H ↔	12	11	TD2H	
	TD5H ↔	14	13	TD4H	
	TD7H ↔	16	15	TD6H	
読み出し指定出力	TRDL	18	17	NC	
書き込み指定出力	TWRL	20	19	NC	
割り込みアクノレッジ	TITAL	22	21	NC	
	NC	24	23	TINTH	割り込み要求信号(注1)
	NC	26	25	TRSil	リセットイン
	NC	28	27	TRSOH	リセット信号出力
外部メモリセレクト	TCS44L	30	29	NC	
	TCS84L	32	31	NC	
	NC	34	33	NC	
アドレスバス	TA1H ↔	36	35	TA0H	アドレスバス
	TA3H ↔	38	37	TA2H	
	TA5H ↔	40	39	TA4H	
	TA7H ↔	42	41	TA6H	
	TA9H ↔	44	43	TA8H	
	TA11H ↔	46	45	TA10H	
	TA13H ↔	48	47	TA12H	
	TA15H ↔	50	49	TA14H	

注1. CPU M5L 8080APの14ピン(INT信号)とこの端子を  
 切換ピンで接続したときのみ有効です。  
 2. NCは無接続です。

コネクタPMBピン配列

GND	2	1	↔	TPA7H	入出力ポートA
GND	4	3	↔	TPA6H	
GND	6	5	↔	TPA5H	
GND	8	7	↔	TPA4H	
GND	10	9	↔	TPA3H	入出力ポートC
GND	12	11	↔	TPA2H	
GND	14	13	↔	TPA1H	
GND	16	15	↔	TPA0H	
GND	18	17	↔	TPC7H	入出力ポートB
GND	20	19	↔	TPC6H	
GND	22	21	↔	TPC5H	
GND	24	23	↔	TPC4H	
GND	26	25	↔	TPC3H	サウンド入力
GND	28	27	↔	TPC2H	
GND	30	29	↔	TPC1H	
GND	32	31	↔	TPC0H	
GND	34	33	↔	TPB7H	
GND	36	35	↔	TPB6H	
GND	38	37	↔	TPB5H	
GND	40	39	↔	TPB4H	
GND	42	41	↔	TPB3H	
GND	44	43	↔	TPB2H	
GND	46	45	↔	TPB1H	
GND	48	47	↔	TPB0H	
GND	50	49	↔	TSNDI	

コネクタPMCピン配列

1	12V	電源
2	5V	
3	-5V	
4	GND	

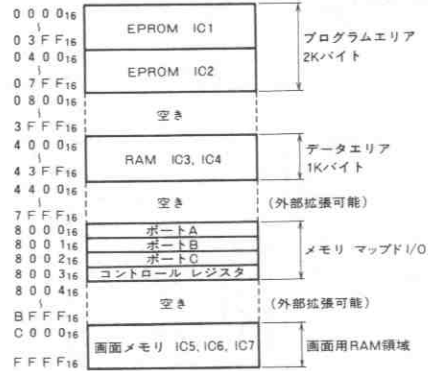
プログラム例

```

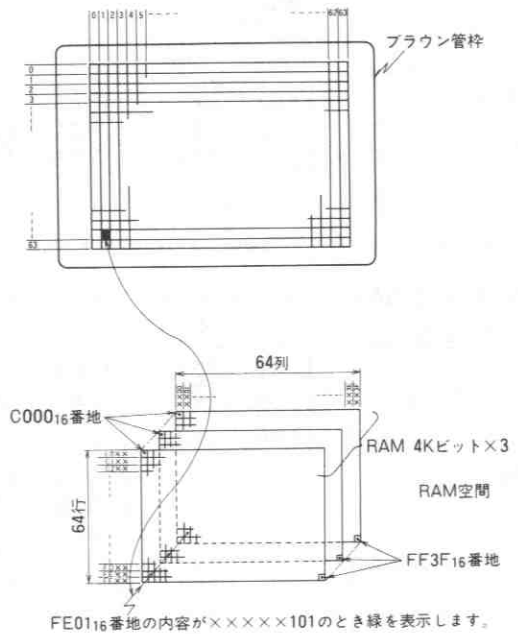
MVI A, 07#
STA C000#
MVI A, 00#
STA C001#
    
```

画面左上端：マゼンダ  
 その右：黒

メモリアドレスマップ



画面メモリと画面上の座標との対応



色コード指定

D2	D1	D0	色
1	1	1	マゼンダ
1	1	0	赤
1	0	1	緑
1	0	0	白
0	1	1	橙
0	1	0	シアン
0	0	1	ブルーシアン
0	0	0	黒

## 概要

PCA8501は、8ビットマイクロプロセッサ M5L 8085APを中心にメモリ、入出力インターフェース回路をわずか125×145mmの基板上に実装した汎用基板コンピュータです。コンパクトに設計されているため、従来のボードに簡単に取り付けることができます。この基板コンピュータにはN MOS RAM M5L 2114LPを実装したPCA8501G01とCMOS RAM M58981Sを実装したPCA8501G02の2種類があります。

## 特長

形名	内容
PCA8501G01	基板コンピュータ本体のみ。 EPROMはM5L 2716Kが1個ついています。 RAMはNMOS M5L 2114LPが2個実装され、 バッテリバックアップ回路はついていません。
PCA8501G02	基板コンピュータ本体のみ。 EPROMはM5L 2716Kが1個ついています。 RAMはCMOS M58981Sが2個実装されバッテリ バックアップ回路が実装されています。

- CPU、メモリ、I/Oインターフェース、タイマーを内蔵したシングルボードコンピュータ
- EPROM容量……………4Kバイト(最大)
- RAM容量……………1Kバイト

- プログラマブル入出力ポート……48ビット(8ビット×6)
- <sup>2</sup>Lタイマー内蔵……8タイマ出力から1つの出力が選べます(1.6μs、0.1、0.2、0.4、0.8、1.6、3.3、6.6ms)
- 5V単一電源
- コンパクトな外形……125(縦)×145(横)×17(高さ)mm

## 応用

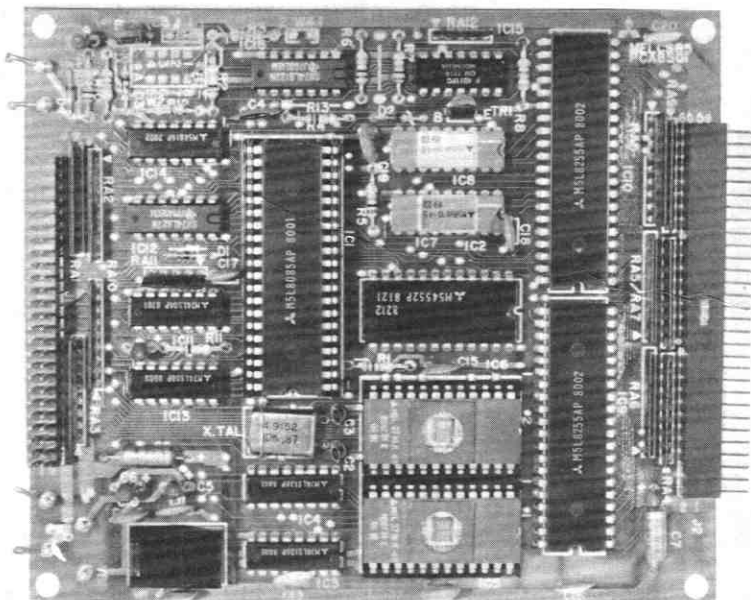
- パーソナルコンピュータ
- 小形自動試験機、制御装置
- データ通信端末装置
- データ収集・測定装置
- プロセス、計量モニタ用コントローラ

## 機能概要

PCA8501は、CPU M5L 8085AP(インテル社8085A相当)と、そのファミリLSIにより構成された信頼性の高いシングルボードコンピュータです。CPUは、NチャネルシリコンゲートED-MOS構造による1チップ8ビット並列処理マイクロプロセッサを使用しています。メモリ容量は4KバイトのEPROM(M5L 2716Kを2個使用)と1KバイトのRAM(M5L 2114LPを2個又はM58981Sを2個使用)を実装しています。

入出力ポートは、PPI(プログラマブルペリフェラルインターフェース:M5L 8255AP)を2個実装し、8ビット×6=48ビットのプログラマブルな入出力ポートを形成しています。

基板上には、タイマー、バッテリバックアップ回路(PCA8501G02の場合のみ)が実装されており、タイマー割り込み、メモリバックアップが可能です。



## 機能説明

CPU M5L 8085APは電源投入後電源オンリセット回路によりリセットされ0000<sub>16</sub>番地からプログラムを実行します。

アドレス下位8ビットデータと時分割の信号でCPUの端子より出力されており、アドレスラッチ回路により、アドレス下位8ビットの信号のみがラッチされ、アドレス上位8ビットとともにアドレスバスを構成します。

ROM、RAMは、外部拡張信号を使用すれば、容易に外部拡張ができます。

CMOS RAMを使用すると、バッテリバックアップ回路による、メモリバックアップが可能で、電源を切った後もRAMの内容は保存されています。

ROMはジャンパソケットにより、M5L 2708K(1Kバイト)とM5L 2716K(2Kバイト)のどちらでも使用可能ですがM5L 2716Kの実装を標準とします。

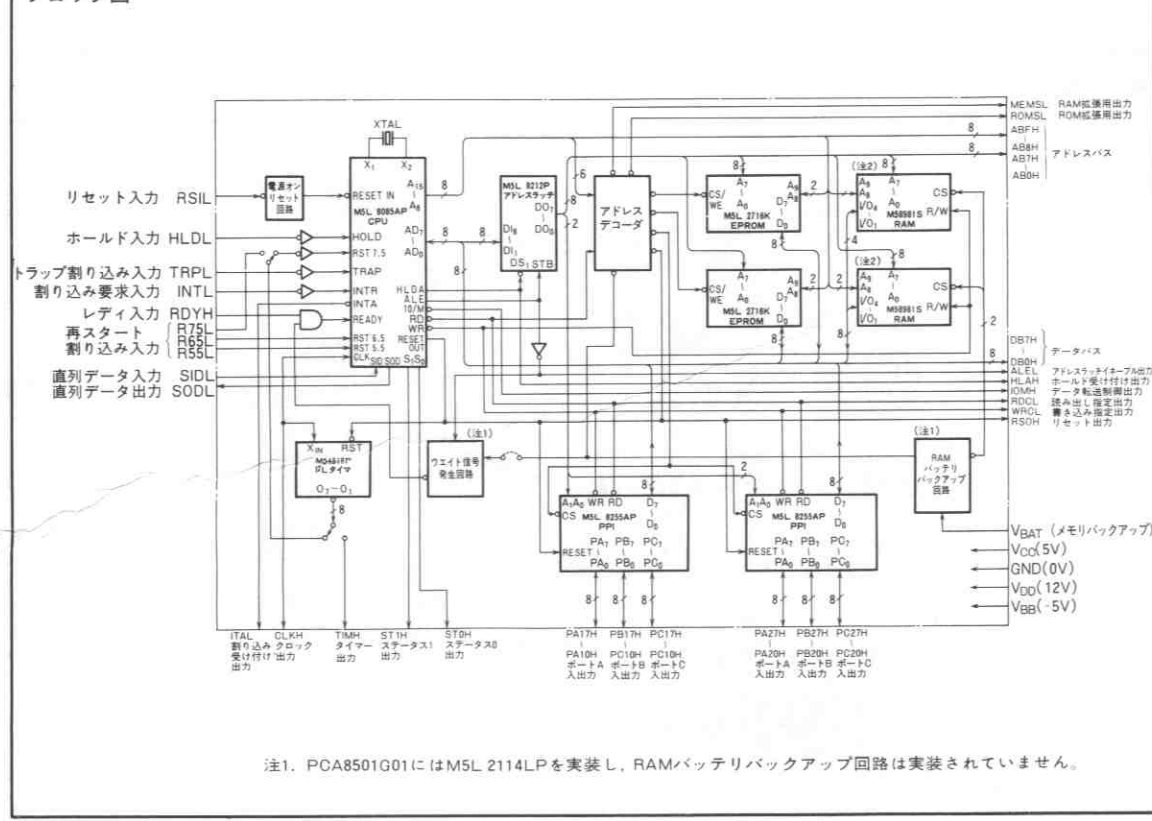
並列データはPPIより、直列データはM5L 8085APのSID、SODより入出力が可能です。

また、基板にはタイマーICが実装されており、RST7.5によるタイマー割り込みや、外部へのタイマー出力が可能です。

## ブロック動作説明

ブロック名	機能
CPU電源オンリセット	プログラムの内容に従い処理を行います。電源投入時にシステムリセット信号を発生します。
アドレスラッチ回路	時分割データバス上の下位8ビットのアドレス信号をラッチします。
アドレスデコード回路	アドレスの上位ビットをデコードしメモリ、I/Oのチップセレクト信号を発生します。
EPROM	消去可能なM5L 2716K、M5L 2708Kの差し換えが可能です。
RAM	M5L 2114LP以外にCMOS RAM M58981Sの使用が可能でありバッテリでバックアップができます。
RAMバッテリバックアップ回路	CMOS RAMを使用する場合のバックアップ回路で、乾電池2個でメモリの内容を保持することができます。(PCA8501G01には含まれていません)
入出力ポート(PPI)	プログラム可能な入出力インターフェースで、48ビットの入出力信号端子を持ち、8ビット入出力ポート6個に相当します。
タイマー	CPUのクロック信号を分周し、7種類の信号を出力します。ジャンパー線によりRST 7.5の割り込みに使用が可能です。
ウェイト信号発生回路	CMOS RAMを使用する場合、タイミングを合わせるためのウェイト信号を発生します。

## ブロック図



## 仕様

## 処理方式

8ビット並列演算処理方式

CPU M5L 8085AP

## 語長

命令：8、16、24ビット

データ：8ビット

## サイクル時間

基本サイクル時間 1.6μs

## CPUクロック周波数

4.1952MHz±1% (Ta=0~55℃, Vcc=5V±5%)

## メモリ番地及びメモリ容量

EPROM(M5L 2716K)

## メモリ番地

#1: 0000<sub>16</sub>~07FF<sub>16</sub>#2: 0800<sub>16</sub>~0FFF<sub>16</sub>

## メモリ容量

#1: 2Kバイト(標準品はEPROM付)

#2: 2Kバイト(標準品はソケットのみ)

RAM(M5L 2114LP×2)

## メモリ番地

4000<sub>16</sub>~43FF<sub>16</sub>

## メモリ容量

1Kバイト

## I/O番地及びI/O容量

## I/O番地

PPI(M5L 8255AP×2)

ポート名		信号名称	番地
PPI #1	PA	CP00H~CP07H	6000 <sub>16</sub>
	PB	CP10H~CP17H	6001 <sub>16</sub>
	PC	CP20H~CP27H	6002 <sub>16</sub>
	C.W.	コントロールワード	6003 <sub>16</sub>
PPI #2	PA	CP40H~CP47H	7000 <sub>16</sub>
	PB	CP50H~CP57H	7001 <sub>16</sub>
	PC	CP60H~CP67H	7002 <sub>16</sub>
	C.W.	コントロールワード	7003 <sub>16</sub>

PPI(プログラマブルペリフェラルインターフェース)を2個実装しています。したがって、プログラム可能な8ビット×6=48ビットの入出力ポートを有します。

## 割り込み

5割り込み入力

割り込みはTRAP、RST 7.5、RST 6.5、RST 5.5、INTRの5本あり、優先順位はTRAPが最も高くINTRが最も低くなっています。RST 7.5は内蔵タイマーによりタイマー割り込みが可能です。

## コネクタ

バス拡張用(コネクタJ1)

ストレートピンヘッダ T形 50極

入出力ポート用(コネクタJ2)

アングルピンヘッダ L形 60極

## コネクタJ1ピン配列

12V	V <sub>DD</sub>	2	1	V <sub>BB</sub>	-5V
	GND	4	3	GND	
	GND	6	5	GND	
5V	V <sub>CC</sub>	8	7	V <sub>CC</sub>	5V
	DB1H ↔	10	9	↔ DB0H	(LSB)
データバス	DB3H ↔	12	11	↔ DB2H	データバス
	DB5H ↔	14	13	↔ DB4H	
(MSB)	DB7H ↔	16	15	↔ DB6H	
読み出し指定出力	RDCL ←	18	17	→ ST0H	ステータス出力
書き込み指定出力	WRCL ←	20	19	→ ST1H	
割り込み受け付け出力	ITAL ←	22	21	→ IOMH	データ転送制御出力
ROM拡張用出力	ROMSL ←	24	23	← INTL	割り込み要求入力
レディ入力	RDYH →	26	25	← RSIL	リセット入力
アドレスラッチ	ALEH ←	28	27	→ RSOH	リセット出力
イネーブル出力	HLAH ←	30	29	→ CLKH	クロック出力
ホールド受け付け出力	HLDL →	32	31	→ MEMSL	RAM拡張用出力
ホールド入力	R75L →	34	33	← TRPL	トラップ割り込み入力
再スタート割り込み入力	AB1H ←	36	35	→ AB0H	(LSB)
	AB3H ←	38	37	→ AB2H	
	AB5H ←	40	39	→ AB6H	
アドレスバス	AB7H ←	42	41	→ AB6H	アドレスバス
	AB9H ←	44	43	→ AB8H	
	ABBH ←	46	45	→ ABAH	
	ABDH ←	48	47	→ ABCH	
(MSB)	ABFH ←	50	49	→ ABEH	

## コネクタJ2ピン配列

(5V)	V <sub>CC</sub>	2	1	V <sub>CC</sub>	(5V)
	GND	4	3	GND	
直列データ出力	SODL ←	6	5	← SIDL	直列データ入力
再スタート割り込み入力	R55L →	8	7	← R65L	再スタート割り込み入力
	NC	10	9	→ TIMH	タイマー出力
	PA11H ↔	12	11	↔ PA10H	
PPI #1	PA13H ↔	14	13	↔ PA12H	PPI #1
入出力ポートA	PA15H ↔	16	15	↔ PA14H	入出力ポートA
	PA17H ↔	18	17	↔ PA16H	
	PB11H ↔	20	19	↔ PB10H	
PPI #1	PB13H ↔	22	21	↔ PB12H	PPI #1
入出力ポートB	PB15H ↔	24	23	↔ PB14H	入出力ポートB
	PB17H ↔	26	25	↔ PB16H	
	PC11H ↔	28	27	↔ PC10H	
PPI #1	PC13H ↔	30	29	↔ PC12H	PPI #1
入出力ポートC	PC15H ↔	32	31	↔ PC14H	入出力ポートC
	PC17H ↔	34	33	↔ PC16H	
	PA21H ↔	36	35	↔ PA20H	
PPI #2	PA23H ↔	38	37	↔ PA22H	PPI #2
入出力ポートA	PA25H ↔	40	39	↔ PA24H	入出力ポートA
	PA27H ↔	42	41	↔ PA26H	
	PB21H ↔	44	43	↔ PB20H	
PPI #2	PB23H ↔	46	45	↔ PB22H	PPI #2
入出力ポートB	PB25H ↔	48	47	↔ PB24H	入出力ポートB
	PB27H ↔	50	49	↔ PB26H	
	PC21H ↔	52	51	↔ PC20H	
PPI #2	PC23H ↔	54	53	↔ PC22H	PPI #2
入出力ポートC	PC25H ↔	56	55	↔ PC24H	入出力ポートC
	PC27H ↔	58	57	↔ PC26H	
	GND	60	59	GND	

注1. NCは無接続です。

## メモリ、I/O番地

本基板コンピュータは、メモリ、I/O番地が固定されていますので、外部メモリ又は、I/Oを付加する場合は固定番地以外の番地に配置する必要があります。

## I/O番地

	PPI #1				PPI #2			
	ポート A	ポート B	ポート C	C.W	ポート A	ポート B	ポート C	C.W
メモリ マップド I/O番地	6000 <sub>16</sub>	6001 <sub>16</sub>	6002 <sub>16</sub>	6003 <sub>16</sub>	7000 <sub>16</sub>	7001 <sub>16</sub>	7002 <sub>16</sub>	7003 <sub>16</sub>

PPIのデコードには冗長性があるため、以下の番地は外部拡張禁止領域です。

6000<sub>16</sub> ~ 6FFF<sub>16</sub>7000<sub>16</sub> ~ 7FFF<sub>16</sub>

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>CC</sub>	電源電圧	GND端子を基準とした場合	0~7	V
V <sub>BB</sub>	電源電圧		0.3~-15	V
V <sub>DD</sub>	電源電圧		-0.3~20	V
V <sub>I</sub>	入力電圧		5.5	V
V <sub>O</sub>	出力電圧		0~5.5	V
T <sub>opr</sub>	動作周囲温度		0~55	℃
T <sub>stg</sub>	保存温度	-30~70	℃	

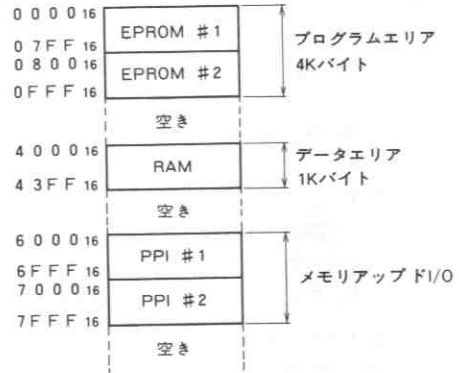
推奨使用条件(指定のない場合は、T<sub>a</sub>=0~55℃)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>CC</sub>	電源電圧	4.75	5	5.25	V
V <sub>BB</sub>	電源電圧	-4.75	-5	-5.25	V
V <sub>DD</sub>	電源電圧	11.6	12	12.6	V
V <sub>IH</sub>	"H"入力電圧	2			V
V <sub>IL</sub>	"L"入力電圧			0.8	V

電気的特性(指定のない場合は、T<sub>a</sub>=0~55℃、V<sub>CC</sub>=5V±5%)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>OH</sub>	"H"出力電圧、PA11~PC27H出力	I <sub>OH</sub> =-50μA	2.4			V
V <sub>OH</sub>	"H"出力電圧、AB0H~AB7H出力	I <sub>OH</sub> =-900μA	3.65			V
V <sub>OH</sub>	"H"出力電圧、AB8H~ABFH出力	I <sub>OH</sub> =-300μA	2.4			V
V <sub>OH</sub>	"H"出力電圧、RS0H出力、HLAH出力、CLKH出力、ALEL出力	I <sub>OH</sub> =-300μA	2.4			V
V <sub>OH</sub>	"H"出力電圧、その他出力	I <sub>OH</sub> =-400μA	2.4			V
V <sub>OL</sub>	"L"出力電圧、PA11H~PC27H出力	I <sub>OL</sub> =1.8mA			0	V
V <sub>OL</sub>	"L"出力電圧、AB0H~AB7H出力	I <sub>OL</sub> =16mA			0.5	V
V <sub>OL</sub>	"L"出力電圧、AB8H~ABFH出力	I <sub>OL</sub> =1.9mA			0.45	V
V <sub>OL</sub>	"L"出力電圧、CLKH出力、HLAH出力	I <sub>OL</sub> =4mA			0.4	V
V <sub>OL</sub>	"L"出力電圧、ALEL出力	I <sub>OL</sub> =0.8mA			0.4	V
V <sub>OL</sub>	"L"出力電圧、その他出力	I <sub>OL</sub> =1.9mA			0.45	V
I <sub>CC</sub>	V <sub>CC</sub> 電源電流				0.9	A
f <sub>CKL</sub>	CPUクロック周波数		4.866	4.9152	4.965	MHz

## メモリ アドレス マップ





## PC8500, PCA8503

## MELCS 85/1 ポータブルマイクロコンピュータコンソール

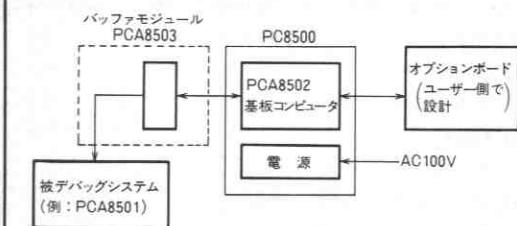
## 概要

ポータブルマイクロコンピュータコンソールPC8500は、基板コンピュータPCA8502を内蔵した、マイクロコンピュータシステムでPC8500のみで汎用マイクロコンピュータとして動作するばかりでなく、MELPS85 8ビットマイクロプロセッサM5L 8085AP（インテル社8085A相当）を使用するシステムのデバッグ装置としても使用することができます。PCA8503は、PC8500をデバッグシステムとして使用するとき、被デバッグシステムのM5L 8085AP、SのICソケットとPC8500とをインターフェースするためのバッファモジュールです。

## 特長

- M5L 8085AP相当のマイクロプロセッサを使用するシステムのデバッグ装置
- PC8500と、被デバッグシステムとのインターフェースは被デバッグシステムのマイクロプロセッサのICソケットより行う
- インターフェースはPCA8503を使用
- 汎用マイクロコンピュータ、PC8500にオプションボードを追加して、カスタム装置として使用可
- 入出力装置、24個キーボード、8個の7セグメントLED内蔵
- システムタイプライタ インターフェース内蔵
- PC8500は持ち運びに容易なキャリングケースに内蔵

## MELCS 85/1 システム構成図



## 応用

- デバッグ装置-----M5L 8085A相当を用いたシステムのハードウェア、ソフトウェア開発  
基板コンピュータの検査  
基板コンピュータを使用したシステムの保守、点検
- 汎用マイクロ-----ユーザー側でカスタム化する応用コンピュータシステム  
(例) PROMライター、データロガー、基板検査装置など



## PC8500, PCA8503

## MELCS 85/1 ポータブルマイクロコンピュータコンソール

## 機能概要

PC8500は、ブロック図で示したように基板コンピュータ PCA8502 と電源で構成され、PCA8502の機能を大別すると次のような、ハードウェアで構成されています。

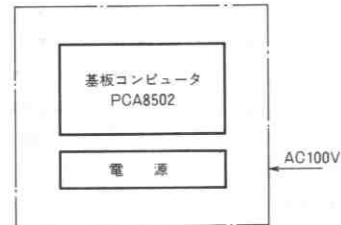
- (1) CPU
- (2) プログラムメモリ
- (3) RAM
- (4) キーボードディスプレイインターフェース
- (5) パラレルI/Oインターフェース
- (6) シリアルI/Oインターフェース
- (7) デバッグ装置用特殊回路

PCA8502には、1KバイトのEPROM、4KバイトのRAMがユーザーに解放され、並列入出力インターフェースとして、PPI M5L 8255AP (8ビット×3ポート、入出力プログラマブル) がユーザーに解放されます。

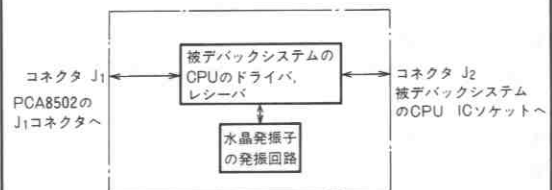
モニタプログラムとして、PCA8502のキーボードとLEDディスプレイにて動作するモニタとシステムタイプライタにて動作するモニタが用意されています。

PCA8503は、ブロック図で示すようにPC8500(PCA8502)とユーザーシステム(被デバッグ基板)とをインターフェースする場合に用いるバッファモジュールでオプションボードとして用意されています。

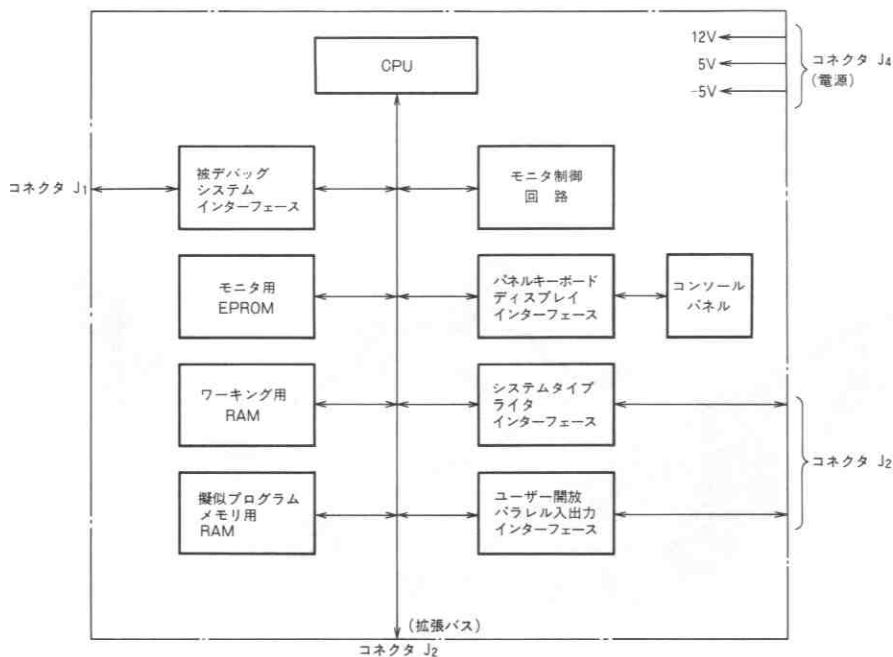
## PC8500のブロック図

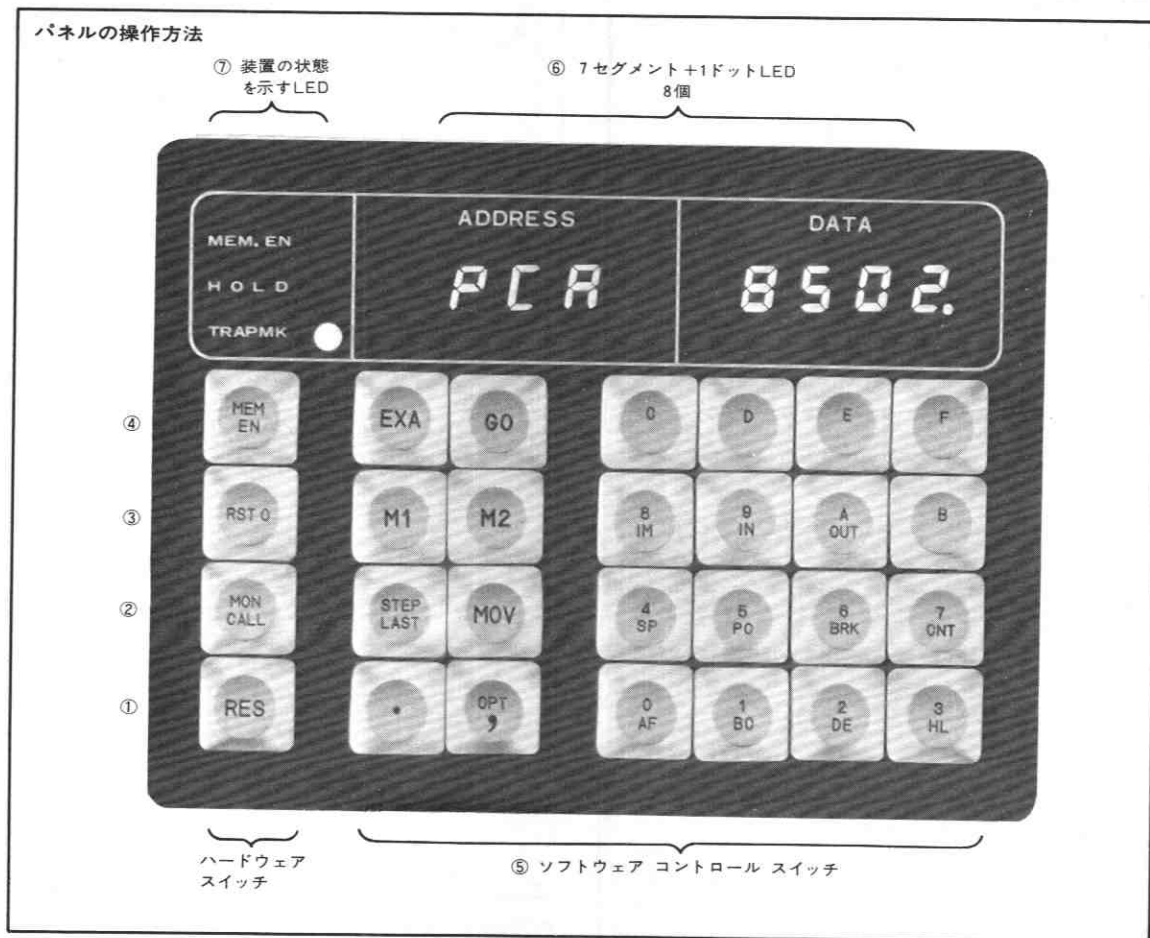


## PCA8503のブロック図



## PCA8502のブロック図





## ①RES (RESET)

CPUを含めて、装置のI/Oコントローラをリセットして、CPUはWAIT状態に入ります。

## ②MON CALL (MONITOR CALL)

CPUの制御をモニタ領域へ移すスイッチで、“RES”→“MONCALL”でCPUは、モニタプログラムを実行して、モニタコマンド受け付け状態に入ります。

## ③RST 0 (RESTART 0)

RESスイッチを押した後、“RST 0”を押すことにより、CPUは0番地より実行を開始します。

## ④MEM EN (MEMORY ENABLE)

擬似プログラムメモリ使用スイッチでイネーブルにすると、0000<sub>16</sub>～0FFF<sub>16</sub>のアドレス領域は、装置内のRAMが割り当てられます。デイスエーブルのとき、装置内のミニスイッチで指定されたアドレスを有する普通のRAMとして使用できます。

## ⑤ソフトウェアコントロールキーボード

24個の2キーロールオーバースキャンで入力されるキーボードで、モニタプログラムのコマンド入力用として使用します。また、ユーザー側で、プログラムをすることにより専用の入力装置として使用できます。

## ⑥7セグメントLED

8個の7セグメントLEDで構成され、モニタの出力装置として使用します。また、ユーザー側で、プログラムをすることにより、専用の出力装置として使用可能です。

## ⑦装置の状態を示すLED

“MEM EN”は擬似プログラムメモリがイネーブル状態であることを示すLEDで点燈するとイネーブルです。

“HOLD”は、CPUがHOLD状態であることを示すLEDです。“TRAPMK”はCPUのTRAP割り込み信号がマスクされていることを示すLEDで、モニタを実行中及び、コマンドで指示したときは、点燈して、TRAPはマスクされます。

## MELCS 85/1 ポータブルマイクロコンピュータコンソール

## PCA8502の仕様

項目	内容
方式	8ビット並列演算処理方式
CPU	M5L 8085AP
サイクルタイム	基本1.3μs (水晶発振子 6.144MHz 使用時)
メモリ	システム使用領域 ROM F 8 0 0 16 ~ F F F F 16 2Kバイト: モニタプログラム ROM F 4 0 0 16 ~ F 7 F F 16 1Kバイト: ユーザ開放 RAM F 3 0 0 16 ~ F 3 F F 16 256バイト: モニタ使用領域 使用禁止領域 F 0 0 0 16 ~ F 2 F F 16
	ユーザ開放メモリ RAM * 0 0 0 16 ~ * F F F 16 4Kバイト最大 *印は 016~E16 まで可変です。 擬似プログラムメモリとして使用可能です。
入出力インターフェース	キーボードディスプレイ F 0 16 F 1 16 : パネルスイッチ表示 インターフェース データ コマンド のインターフェース USART F 4 16 F 5 16 : システムタイプ データ コマンド ライトインターフェース パラレルポート F 8 16 ~ F B 16 : システムコントロールインターフェース 上記以外の F 0 16 ~ F F 16 領域の I/O 番地は使用禁止です。 ユーザ開放 プログラマブル I/O ポート * 0 16, * 1 16, * 2 16, * 3 16 *印は 016~E16 まで可変です
キーボードディスプレイ	キーボード 24個 2キーロールオーバーキャン方式 ディスプレイ 7セグメントLED×8個
システムタイプライタインターフェース	ドライバレシーバ 20mAカレントループ (ソース電源付) TTLレベル (負論理で入出力) 信号 シリアルデータ入力, シリアルデータ出力, リダグスタートの3本 転送速度 110, 1200, 2400, 4800, ボー (baud) ASR-33, カシオタイピュータなど接続可能です
ユーザ開放入出力ポート	8ビット×3ポート 入出力プログラマブル
デバッグ装置としての機能	通用CPU M5L 8085AP (インテル8085A相当)
	CPUクロック ユーザシステムのクロックで動作可(最大3.125MHz)
	ユーザシステムとのインターフェース バッファモジュール (PCA8503) を通して, ユーザシステムのCPUのICソケット (40ピンDIL) に接続します。
	ユーザアドレス領域 デバッグ装置内で使用する下記のアドレス領域以外は全てユーザに開放します。 アドレス領域 F 0 0 0 16 ~ F F F F 16 I/Oアドレス領域 F 0 16 ~ F F 16
	割り込み 全てのCPUの割り込み信号をユーザに開放します。 TRAP割り込みは, モニタコマンドにてマスク可能です。
擬似プログラムメモリ ユーザシステムのアドレス領域のうち 0 0 0 0 16 ~ 0 F F F 16 の領域をデバッグ装置内のRAMと置き換えることが可能です。	

項目	内容
デバッグ装置としての機能	システムモニタとして, キーボードとLEDとも入出力装置とするKBモニタ及び, システムタイプライタを入出力装置とします。TTYモニタの2種類があります。 モニタの機能 (1) メモリの点検・修正 (2) CPUのレジスタ点検・修正 (3) ユーザプログラムの実行 (4) ブレークポイントアドレスの設定をしてプログラム実行 (5) インストラクションステップでプログラム実行 (6) I/Oレジスタの点検・修正 (7) データのブロック転送 (8) 割り込みマスクのセット, リセット (9) メモリへのデータダウンロード (TTYモニタの場合フォーマット16進)
	オプションボード CPUバスの拡張可能です。 オプションボード (約140×310mm) 1枚増設可能です。
コネクタ	J1 (50極) ユーザシステムとのインターフェース J2 (50極) パラレル入出力ポート, システムタイプライタインターフェース J3 (50極) CPUバス J4 (10極) 電源コネクタ
電源	5V, 2.5A (標準) 12V, 150mA (標準) -5V, 90mA (標準)
基板寸法	310 (幅) × 300 (奥行) × 22 (高さ) mm

## PCA8503の仕様

項目	内容
機能	基板コンピュータPCA8502とMSL 8085A相当のCPUを有する。ユーザシステムをインターフェースする。ドライバレシーバ及び延長ケーブル
コネクタ	50極, 40極
電源	PCA8502より供給 5V/350mA (標準)
ケーブル	約1m
基板寸法	120 (幅) × 100 (奥行) × 25 (高さ) mm
動作周囲温度	0~50℃

## PC8500の仕様

項目	内容
機能	内蔵されたPCA8502の機能に準じます。
電源入力	AC100V±10%, 50Hz/60Hz
内蔵電源	5V/5A, 12V/300mA, -5V/300mA (内部で5V/2.5A, 12V/150mA, -5V/90mA 標準使用)
動作周囲温度	10~40℃
外形寸法 (キャリングケース)	370 (幅) × 350 (奥行) × 140 (高さ) mm
重量	7kg

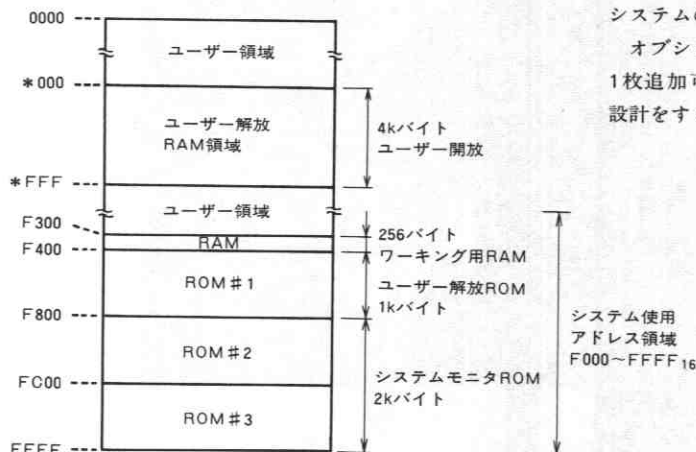
MELCS 85/1 ポータブルマイクロコンピュータコンソール

システムのアドレス領域

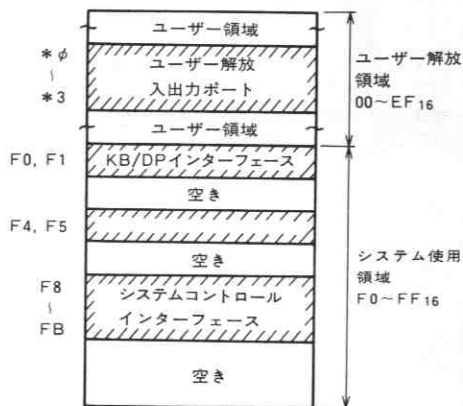
システムで使用するアドレス領域のうち、メモリアドレスの  $0000_{16} \sim EFFF_{16}$  及び、入出力機器アドレスのうち  $00_{16} \sim EF_{16}$  をユーザーに開放し、残りの部分をシステム内で使用しています。このため、ユーザーで使用する領域は必ず上記の領域で、使用することが必要です。

また、ユーザー開放のRAM領域は、ミニスイッチにより4Kバイト単位で、アドレスを切り換えることができます。

メモリアドレス領域



I/Oアドレス領域



擬似プログラムメモリ

ユーザーシステムのアドレス領域のうち、 $0000_{16} \sim 0FFF_{16}$  の領域をシステム内のRAMと置き換ええことができます。

これは、MEM EN ボタンを押すことで、可能となり、RAMは  $0000_{16} \sim 0FFF_{16}$  の領域で読み出し可能となり、RAMの内容を変更しながら、ユーザーのプログラム実行が可能となります。

オプションボード

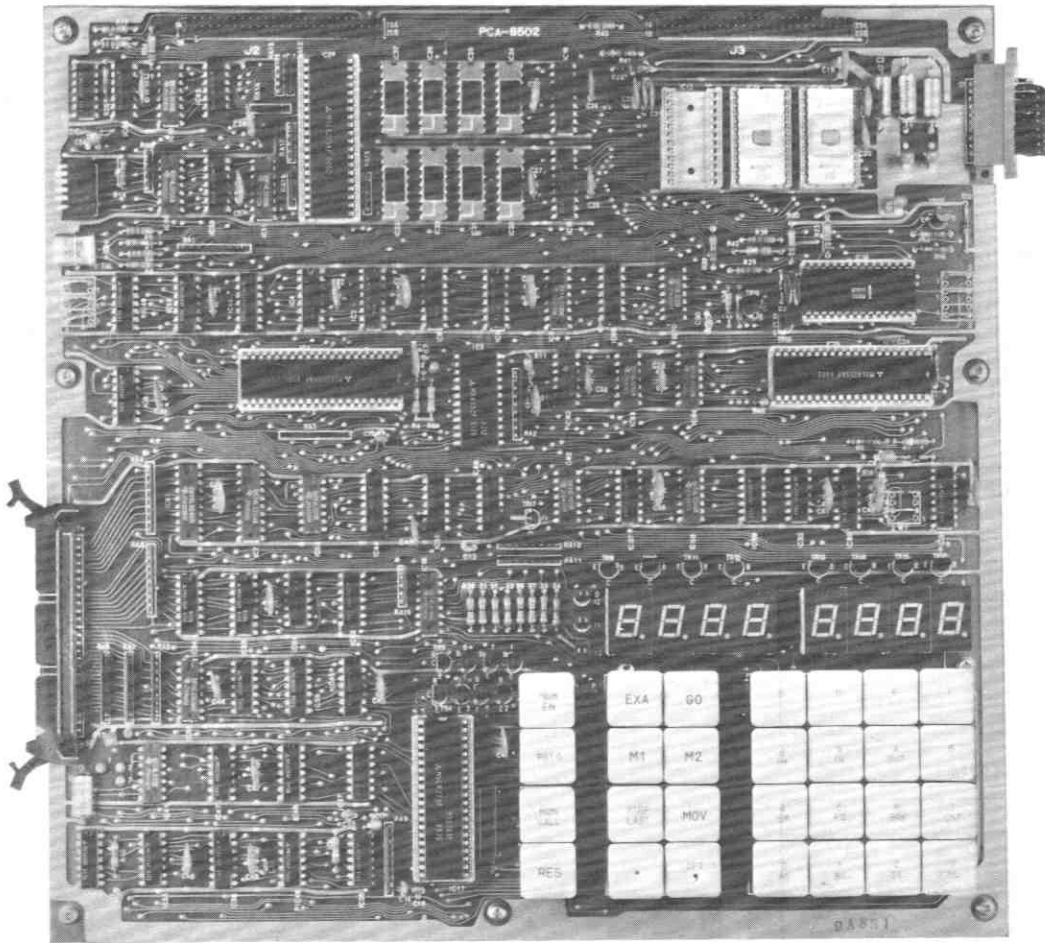
CPUのバスラインは、コネクタJ3に出力されているため、システムの拡張が可能です。

オプションボードとして、140×310mm程度のボードを1枚追加可能であり、このボードで、ユーザー側が任意の設計をすることにより、専用装置として使用できます。

# PC8500, PCA8503

MELCS 85/1 ポータブルマイクロコンピュータコンソール

PCA8502の写真



# マイクロコンピュータ支援システム

STATE OF NEW YORK

13



## MELCS 4 評価用基板コンピュータ

## 概要

PCA0401は、ワンチップ4ビットマイクロコンピュータME LPS 4の評価用基板コンピュータです。ワンチップマイクロコンピュータの評価用チップM58842SとEPROM(M5L 2708K)を中心に構成し、ROMをマスク化したM58840-XXXPと等価な機能を持つ基板です。開発したプログラムをマスク化する前にプログラムの修正・確認及び実働試験に適しております。

## 特長

- M 58840-XXXP と等価な基板コンピュータ
- EPROMによる容易なプログラム変更
- 1KバイトEPROM (M5L 2708K 4個)実装可能
- タッチキーボード基板PCA0402が取り付け可能
- プログラムチェッカPCA0403によるプログラムのチェックが可能
- 68ピンカードエッジコネクタによる機器との接続が可能
- 基板寸法……………190(縦)×180(横)×20(高さ)mm

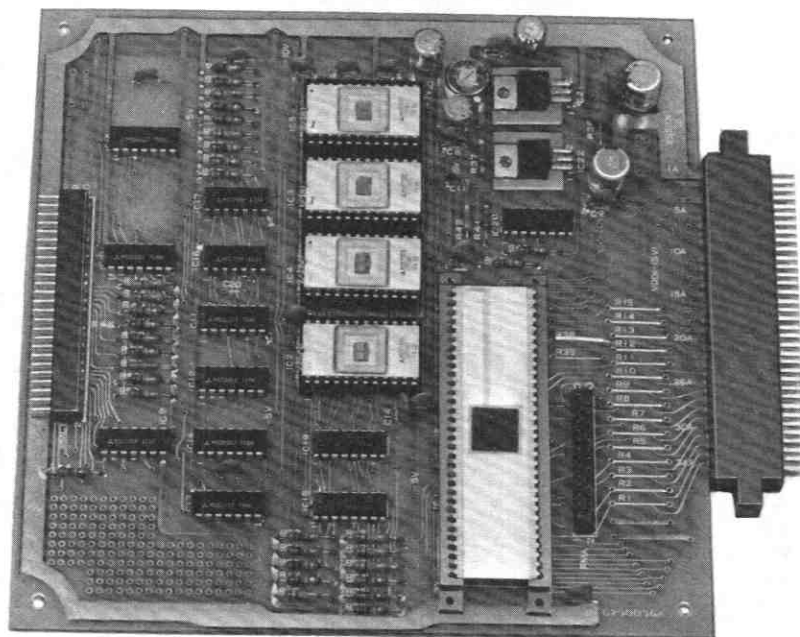
## 応用

- ワンチップ4ビットマイクロコンピュータM 58840-XXXPのプログラム開発及び応用機器試作

## 機能概要

ワンチップ4ビットマイクロコンピュータを機器に使用する場合、その機器の動作をプログラム化し、最終的にはマスク化して機器に組み込んで動作させるわけですが、プログラムにミスが有りますとマスクの修正が必要となり、かなりの修正費用及び修正時間を費やしてしまいます。そこでマスク化する前に開発したプログラムを書き換え可能なEPROMに書き込み、機器に装着して実働試験を行い、問題点が有ればプログラムをすぐに修正して完全なプログラムにするという目的のために評価用基板コンピュータPCA0401を用意しております。

したがって、このPCA0401は基本的にはM58840-XXXPと同一機能であり、評価用チップM58842S 1個とEPROM(M5L 2708K 4個)を中心に構成されています。M58842SはM58840-XXXPのROMを外付けできるようにアドレス出力(A<sub>0</sub>-A<sub>10</sub>)とデータ入力(I<sub>0</sub>-I<sub>8</sub>)の端子を持ち、それ以外はM58840-XXXPと同一機能を持つ評価用チップです。外付けROMとしてはEPROM(M5L 2708K 4個)がソケットで装着可能になっています。



## MELCS 4 評価用基板コンピュータ

## 仕様

## メモリ容量

ROM……2048語×9ビット  
EPROM (M5L 2708K 4個) 外付け可能  
RAM……128語×4ビット (M58842Sに内蔵)

## 入出力ポート

アナログ入力ポート (ポートK)……15ビット  
タッチキーインターフェース内蔵  
アナログデータ処理内蔵  
入出力ポート (ポートS)……8ビット  
出力……8ビット単位  
入力……4ビット単位×2  
入出力ポート (ポートD)  
出力……1ビット×11  
センス入力 ("H", "L" 判定)……1ビット×11

## 命令時間

命令実行時間……10 $\mu$ s~20 $\mu$ s可変  
(発振周波数……300kHz~600kHz可変)

## コネクタ

入出力端子用 (コネクタPMP)  
カードエッジ形68極 (片側34極)  
タッチキーボードPCA0402用 (コネクタPMA)  
ストレートピンヘッダ\* 30極  
プログラムチェッカPCA0403用 (コネクタPMC)  
アングルピンヘッダ\* 50極

## 電源

V<sub>DD</sub>……-15V, 0.4A (標準)  
7V……7V, 0.1A (標準)  
V<sub>AA</sub>……0~-120V, 0.1A以下

外形寸法……190 (縦)×180 (横)×20 (高さ) mm

## 絶対最大定格

記号	項目	条件	定格値	単位
V <sub>DD</sub>	電源電圧	V <sub>SS</sub> (0V) を基準とした場合	-20~0.3	V
7V	電源電圧		-5.3~15	V
V <sub>AA</sub>	電源電圧		-130~4	V
V <sub>I</sub>	入力, プログラムチェッカを除く		-20~0.3	V
V <sub>O</sub>	出力電圧, ポートD, ポートS出力, プログラムチェッカを除く		-35~0.3	V
V <sub>I</sub>	入力電圧, プログラムチェッカ: 電源, CVREFH, CINTHを除く		-5.5~0.5	V
V <sub>O</sub>	出力電圧, プログラムチェッカ: 電源, CVREFH, CINTHを除く		-5.5~0	V
T <sub>opr</sub>	動作周囲温度		0~70	°C
T <sub>stg</sub>	保存周囲温度		-40~125	°C

推奨使用条件 (指定のない場合は、T<sub>a</sub>=0~70°C)

記号	項目	規格値			単位
		最小	標準	最大	
V <sub>DD</sub>	電源電圧	-16.5	-15	-13.5	V
7V	電源電圧	6.5	7	7.5	V
V <sub>AA</sub>	電源電圧	-120		0	V
V <sub>IH</sub>	"H" 入力電圧, ポートD, ポートS入力	-1.5		0	V
V <sub>IL</sub>	"L" 入力電圧, ポートD, ポートS入力	-33		-4.2	V
V <sub>I</sub>	アナログ入力電圧, ポートK入力	V <sub>REF</sub>		0	V
V <sub>I</sub>	デジタル入力電圧	V <sub>DD</sub>		0	V
V <sub>REF</sub>	基準電圧	-7		-5	V

電気的特性 (指定のない場合は、T<sub>a</sub>=0~70°C)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>IH</sub>	"H" 入力電圧, ポートD, ポートS入力		-1.5		0	V
V <sub>IL</sub>	"L" 入力電圧, ポートD, ポートS入力		-33		-4.2	V
V <sub>I</sub>	アナログ入力電圧, ポートK入力		V <sub>REF</sub>		0	V
V <sub>I</sub>	デジタル入力電圧		V <sub>DD</sub>		0	V
V <sub>OH</sub>	"H" 出力電圧, ポートD出力	V <sub>DD</sub> =-15V, I <sub>OH</sub> =-15mA, T <sub>a</sub> =25°C	-2.5			V
V <sub>OH</sub>	"H" 出力電圧, ポートS出力	V <sub>DD</sub> =-15V, I <sub>OH</sub> =-8mA, T <sub>a</sub> =25°C	-2.5			V
V <sub>OL</sub>	"L" 出力電圧, ポートD, ポートS出力		-33		0	V
I <sub>OH</sub>	"H" 出力電流, ポートD出力	V <sub>DD</sub> =-15V, V <sub>OH</sub> =-2.5V, T <sub>a</sub> =25°C	-15		0	mA
I <sub>OH</sub>	"H" 出力電流, ポートS出力	V <sub>DD</sub> =-15V, V <sub>OH</sub> =-2.5V, T <sub>a</sub> =25°C	-8		0	mA
I <sub>OL</sub>	"L" 出力電流, ポートD, ポートS出力	V <sub>OL</sub> =-33V	-33			$\mu$ A

## MELCS 4 評価用基板コンピュータ

## 電源

電源としては-15Vと7Vが必要で、PCA0401の中で-15Vから-5Vと-10Vの電源を作っています。M58842S用には-15Vを、EPROM用には7V, -5V, -10Vを使っています。また、タッチキーボード基板PCA0402用の電源として0~-120Vの電源もこのPCA0401の入力端子を通して加えられるようになってきます。

## 端子

PCA0401のカードエッジコネクタにはM58840-XXXXと同様のデータの入出力端子があり、機器のコントロールを行うことができますので、M58840-XXXXの代りとしてカードエッジコネクタの端子を機器に接続することにより、機器をコントロールできます。

タッチキーボード基板PCA0402もコネクタにより容易にPCA0401に取り付けられますので、M58840-XXXXの大きな特長の1つであるタッチキー動作を容易に実行できます。

他にプログラムチェッカ PCA0403用のコネクタが取り付けられています。これはM58842Sのアドレス及びデータをバッファ回路を通して取り出したり、チェックのために必要な命令を加えたりするための端子で、プログラムの実行制御を行うためのものです。

## コネクタPMPピン配列

(0V)	VSS	1 A	1 B	VSS	(0V)
(-15V)	VDD	2 A	2 B	VDD	(-15V)
	NC	3 A	3 B	NC	
	7V	4 A	4 B	7V	
	NC	5 A	5 B	NC	
ポートS 入出力	CPS6H	6 A	6 B	CPS7H	ポートS 入出力
	CPS4H	7 A	7 B	CPS5H	
	CPS2H	8 A	8 B	CPS3H	
	CPS0H	9 A	9 B	CPS1H	
	NC	10 A	10 B	NC	
ポートD 入出力	CPD0H	11 A	11 B	CPD1H	ポートD 入出力
	CPD2H	12 A	12 B	CPD3H	
	CPD4H	13 A	13 B	CPD5H	
	CPD6H	14 A	14 B	CPD7H	
	CPD8H	15 A	15 B	CPD9H	
	CPD10H	16 A	16 B	NC	
リセット信号・基準電圧	CVREFH	17 A	17 B	CXOUTH	クロック出力
割り込み要求信号	CINTH	18 A	18 B	CT4'H	タイミング出力
(0~-120V)	VAA	19 A	19 B	VAA	(0~-120V)
ポートK 入力	CPK14H	20 A	20 B	NC	
	CPK13H	21 A	21 B	NC	
	CPK12H	22 A	22 B	NC	
	CPK11H	23 A	23 B	NC	
	CPK10H	24 A	24 B	NC	
	CPK9H	25 A	25 B	NC	
	CPK8H	26 A	26 B	NC	
	CPK7H	27 A	27 B	NC	
	CPK6H	28 A	28 B	NC	
	CPK5H	29 A	29 B	NC	
	CPK4H	30 A	30 B	NC	
	CPK3H	31 A	31 B	NC	
	CPK2H	32 A	32 B	NC	
	CPK1H	33 A	33 B	NC	
CPK0H	34 A	34 B	NC		

## コネクタPMAピン配列

(0~-120V)	VAA	2	1	CPK0H	ポートK入力
(0~-120V)	VAA	4	3	NC	
	NC	6	5	CPK1H	
(-15V)	VDD	8	7	NC	
(-15V)	VDD	10	9	CPK2H	
	NC	12	11	NC	
(0V)	VSS	14	13	CPK3H	
(0V)	VSS	16	15	NC	
	NC	18	17	CPK4H	
ポートD出力	CPD2H	20	19	NC	
	NC	22	21	CPK5H	
	CPD1H	24	23	NC	
	NC	26	25	CPK6H	
	CPD0H	28	27	NC	
	NC	30	29	CPK7H	

## コネクタPMCピン配列

アドレスバス	CAB10L	2	1	CASH	メモリ制御信号
	CAB8L	4	3	CAB9L	アドレスバス
	CAB6L	6	5	CAB7L	
	CAB4L	8	7	CAB5L	
CAB2L	10	9	CAB3L		
データバス出力	CAB0L	12	11	CAB1L	データバス出力
	CDB1L	14	13	CDB0L	
	CDB3L	16	15	CDB2L	
	CDB5L	18	17	CDB4L	
データバス入力	CDB7L	20	19	CDB6L	データバス入力
	NC	22	21	CDB8L	
	CDB1H	24	23	CDB0H	
	CDB3H	26	25	CDB2H	
	CDB5H	28	27	CDB4H	
	CDB7H	30	29	CDB6H	
	NC	32	31	CDB8H	
	NC	34	33	NC	
タイミング出力	CT4'H	34	33	NC	
クロック出力	CXOUTH	36	35	NC	
割り込み要求信号	CINTH	38	37	NC	
リセット信号・基準電圧	CVREFH	40	39	NC	
	-5V	42	41	-5V	
	-10V	44	43	-10V	
	7V	46	45	7V	
(-15V)	VDD	48	47	VDD	(-15V)
(0V)	VSS	50	49	VSS	(0V)

## MELCS 4 評価用基板コンピュータ

## 機能説明

## EPROM

M58840-XXXPの命令は1語が9ビットで構成されているため、EPROM2個で9ビットの命令を構成しています。つまり一方のEPROMには命令コードの下位8ビットを他方のEPROMには最上位の1ビットを書き込み使用します。したがって、4個のEPROMでM58840-XXXPの2048語×9ビットのROMと同等のEPROMが構成できます。

M58842Sのアドレス出力A<sub>0</sub>~A<sub>10</sub>の内A<sub>0</sub>~A<sub>9</sub>はそのままEPROMのA<sub>0</sub>~A<sub>9</sub>に接続されA<sub>10</sub>はチップセレクトとして決っています。なお、プログラムチェッカー用として外部からのメモリ制御信号によりEPROMのデータ出力をフローティング状態にすることができます。

## クロック発生回路

M58842SはM58840-XXXPと同様に、クロック発生回路を内蔵し、X<sub>IN</sub>、X<sub>OUT</sub>にCR又はセラミックフィルターを接続することにより300kHz~600kHzの範囲内で発振します。また、X<sub>IN</sub>より外部同期がかけられます。このPCA0401は500kHzにて発振するように設計されています。

## 基準電圧とリセット入力

V<sub>REF</sub>入力にはA/D変換用の基準電圧を加えると共に、リセットパルスを外より印加することにより、リセット状態にすることができます。

## 割り込み

INT入力には、割り込み要求信号を印加して1要因1レベルの割り込みをかけることができます。

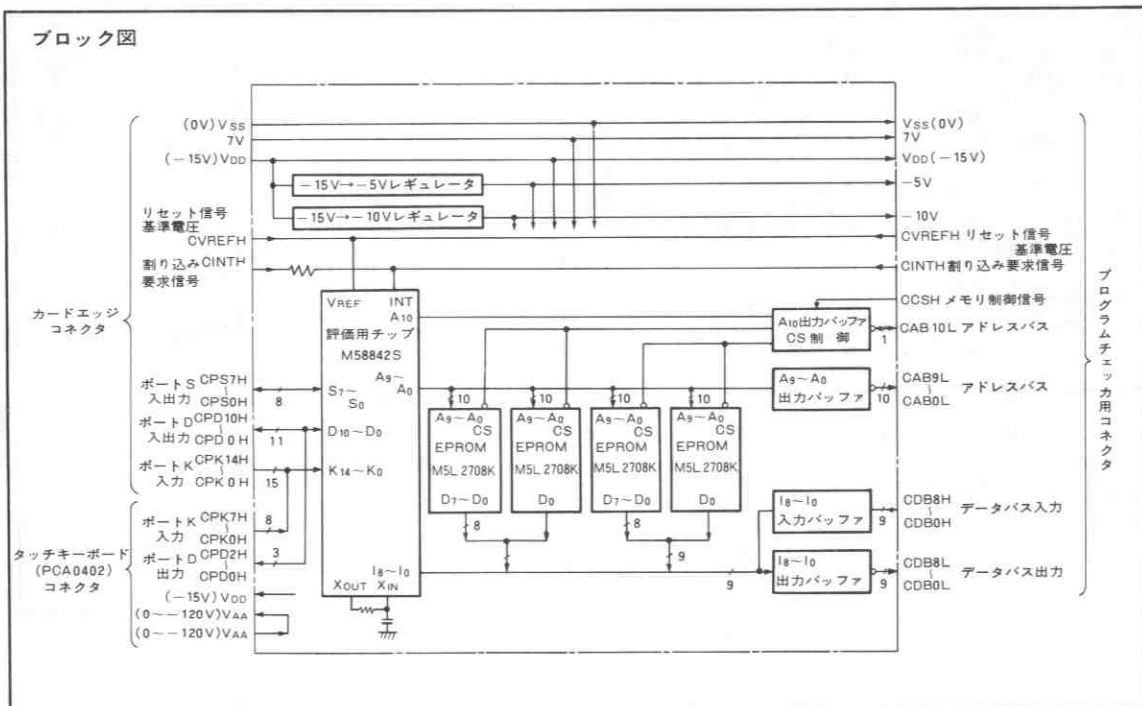
## 入出力ポート

ポートS入出力端子は8ビット有り、出力時は8ビット単位で入力時は4ビット単位でデータを入出力できます。ポートSは、レジスタAの4ビットのデータをS出力用PLAを通じ8ビットに変換しポートSより出力する機能があります。このPLAのコードはマスク化の時点で自由に決められますので、数字・文字のセグメント出力に最適です。また、ポートSは大型蛍光表示管の直接駆動が可能です。ただし、M58842SはS出力用PLAに標準コードをマスク化しております。このPLAのコードについてはM58842SのS出力用PLAコード表を参照ください。

ポートD入出力端子は11ビット有り、出力として使う場合ビットごとにセット/リセットができるようになっており、駆動能力も高く大型蛍光表示管を直接駆動できます。また、入力端子として使う場合は入力ビットのテストが行えます。

ポートK入力端子は15ビット有り、デジタル入力は勿論、内蔵のA/D変換器によりアナログデータの処理及びタッチキーのインターフェースとして使用できます。

## ブロック図



## MELCS 4 タッチキーボード基板

## 概要

PCA0402はワンチップ4ビットマイクロコンピュータMELPS 4 評価用基板コンピュータPCA0401のタッチキー操作基板で、180×180mmのプリント基板で構成され、コネクタによりPCA0401に接続して使用するものです。

## 特長

- プログラムによるタッチキー検出
- 機器から完全に絶縁されたタッチキー方式
- タッチキー数……………24個
- 基板寸法……………180(縦)×180(横)×20(高さ) mm

## 応用

- ワンチップ4ビットマイクロコンピュータM58840-XXXXの評価用基板コンピュータPCA0401に使用するタッチキー

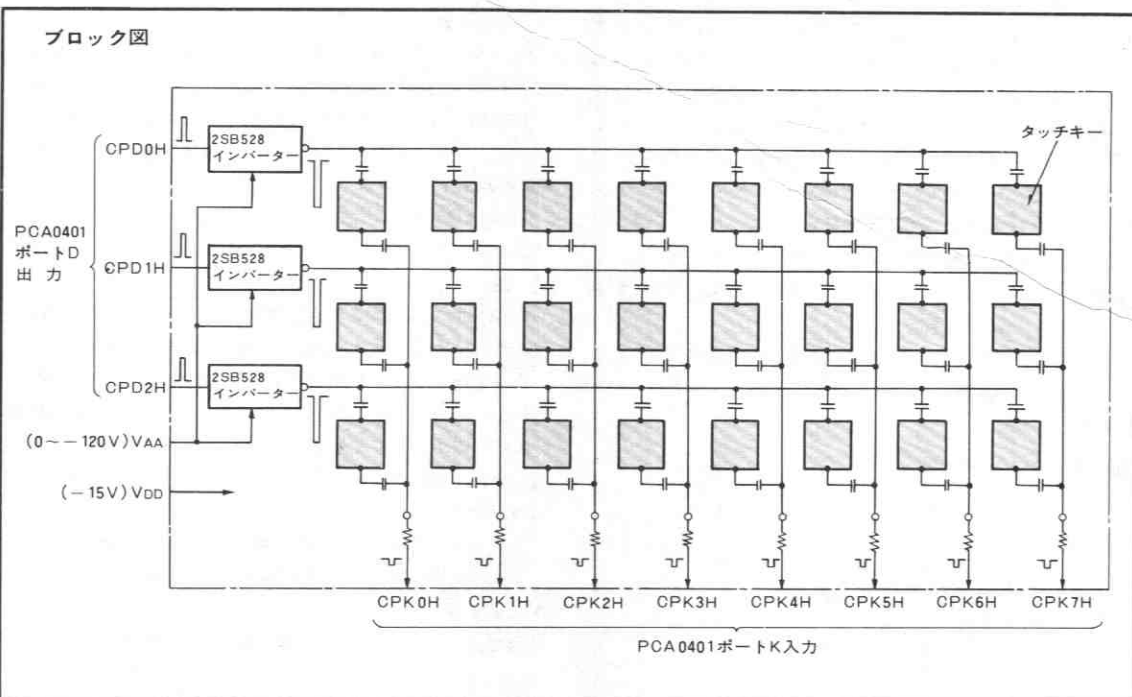
## コネクタPMBピン配列

(0～120V) VAA	2	1	} ポートK入力
(0～120V) VAA	4	3	
	6	5	
(-15V) VDD	8	7	
(-15V) VDD	10	9	
	12	11	
(0V) VSS	14	13	
(0V) VSS	16	15	
	18	17	} ポートD出力
	20	19	
	22	21	
	24	23	
	26	25	
	28	27	
	30	29	

## 機能概要

タッチキーボードPCA0402には、3列×8=24個のタッチキーが基板上に構成され、それぞれ個別のタッチキーとして使用できます。タッチキーを機器に組み込む場合は、意匠の点から最終的にはガラス製が用いられますが、評価用基板PCA0401を用いての試験時のタッチキー動作確認に使用できます。

## ブロック図



## MELCS 4 タッチキーボード基板

## 機能説明

それぞれのタッチキーは図1のように基板の部品側と半田側に電極としてのパターンを構成し、半田側の一方の電極にはポートD出力を反転したパルスを加え、もう一方の電極からはポートK入力に接続されています。図1のように部品面と半田面の電極によりそれぞれコンデンサが形成され、等価回路としては図2のようになります。ポートDからのパルスはポートKへ伝達されますが、伝達される間に $1/10 \sim 1/30$ 程度に減少します。これは他のタッチキー容量、リード引きまわしによる浮遊容量及び評価用チップM58842Sの入力容量などによるためです。部品側の電極（タッチプレート）に人間が触れますと、大地間に100~200pF程度の容量が接続されたのと等価となり、ポートKへ伝達されるパルスは大幅に減少します。このポートK入力のパルス値の変化を検出し、プログラムされているD-A変換器の出力の基準電圧と比較することにより、電極がタッチされたかどうかを検出します。

PCA0402の構成としてはブロック図のようにポートD出力 $D_2 \sim D_0$ の反転されたパルスは、1列当り8個の電極にそれぞれ加えられます。タッチキーで構成された容量を通り、浮遊容量などで減衰したパルスはポートK入力用電極に伝達されます。この1列8極のポートK入力用電極は $K_7 \sim K_0$ に接続されていますのでそれぞれのポートD出力に対応してポートK入力は3つの入力に接続されており、3列 $\times$ 8=24個の独立したタッチキーが構成されます。

ポートDの出力パルスは反転されると同時に増幅されますがこの出力パルスは0~120Vの範囲内で自由に変わります。これは実際の機器の場合、ガラス製のタッチキーボードとの容量の差、リード引きまわしによる浮遊容量の差などにより、4ビットマイクロコンピュータM58840-XXXXPのポートK入力パルスを前もって精密に計算しておくことは不可能です。そこでPCA0402のポートD出力のコンバータ用電源電圧を変えることにより、タッチキーへのパルス電圧を変えて、PCA0401のポートK入力パルスが実際の機器のポートK入力パルスと、できるだけ同等になるよう調整できるようにしています。

このタッチキーの検出は、人体の大地との容量を利用しているため、実際の機器も大地に導電的に接続されていることが動作の安定性の点から必要です。

以上のポートD出力、ポートK入力及び電源はコネクタによりPCA0401と接続され、容易に抜き差しできるようになっています。

図1. タッチキー構成図

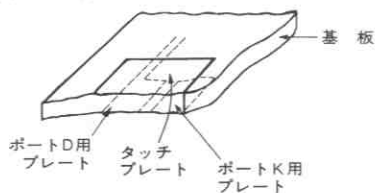
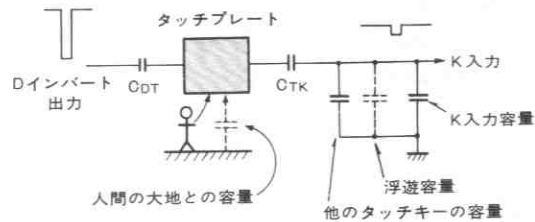


図2. タッチキー等価回路

C<sub>DT</sub>: ポートD用プレートとタッチプレートとの容量C<sub>TK</sub>: ポートK用プレートとタッチプレートとの容量

## 仕様

## 安全確実なタッチキー動作

タッチプレートは基板又はガラスの両側の電極による容量を利用していますので、機器の回路とは絶縁されており、安全なタッチキーが構成されます。なお確実な動作のために機器は大地に導電的に接続しておくことが必要です。

## プログラムによるタッチキー検出

タッチキー検出用比較電圧は、4ビットマイクロコンピュータ内蔵のD-A変換器によりソフトウェアで作り出していますので、前もって-7V~0Vの範囲内で比較電圧をプログラムしておくことが必要です。タッチキープレート単位の比較電圧の設定も可能で、設計自由度が上がります。

## タッチキー数

PCA0402では3列で各8個、計24個のタッチキーを構成していますので、ほとんどの場合はこの範囲内で納まると思いますが、M58840-XXXXP又はM58842Sの能力としてはさらに多くのタッチキーを構成することができます。

## PCA0401との接続

PCA0401に取付けてある30ピンコネクタにPCA0402のコネクタを挿入することにより、電気的に接続できます。

## 電源

PCA0401と接続することにより-15V電源はPCA0401から供給され、また0~120V電源はPCA0401のカードエッジコネクタを通して加えます。0~120Vの電源は、PCA0401のポートK入力電圧が、実際の機器のタッチキーからのM58840-XXXXPのポートK入力電圧と等価となるように調整して使用していただくためのものです。

## コネクタ

レセプタクル ストレート30極 (コネクタPMB)

4隅の取付穴を利用してPCA0401とともに、固定することができます。

外形寸法 .....180(縦)×180(横)×20(高さ) mm

概要

PCA0403は、ワンチップ4ビットマイクロコンピュータME LPS 4の評価用基板コンピュータPCA0401及びタッチキーボ ード基板PCA0402を組み合わせた機器の機能をソフトウェアを 介せず、テストできる簡易プログラムチェッカです。

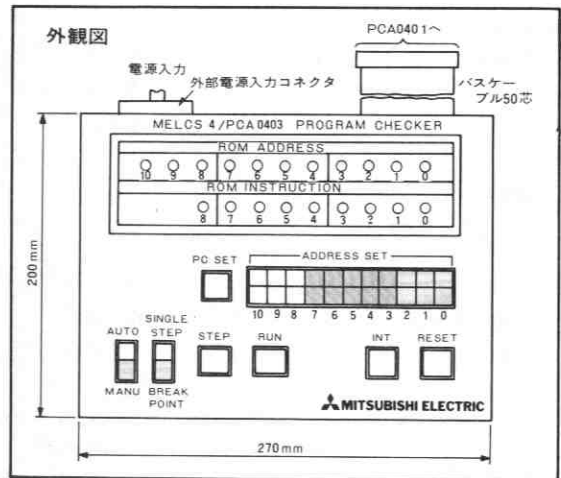
このプログラムチェッカで、プログラムの実行チェック及び 設計評価が容易に行えます。

特長

- シングルステップ機能………任意の番地にCPUを待機状態 とし、1マシンサイクルごとにプログラムの命令を実行
- ブレーキングポイント機能………任意の番地にCPUを待機 状態とします。その番地からプログラムの実行が可能。
- 任意番地からプログラムの実行が可能
- リセット機能………CPUにリセットをかけることができま す。プログラムはページ0の0番地より命令を実行
- 割り込み発生機能………INTスイッチをオンにすることによ り割り込みを発生できます。
- 専用バスケーブルを使用 ……………長さ約1000mm
- コンパクトな外形 ……………200(縦)×270(横)×27(高さ) mm

応用

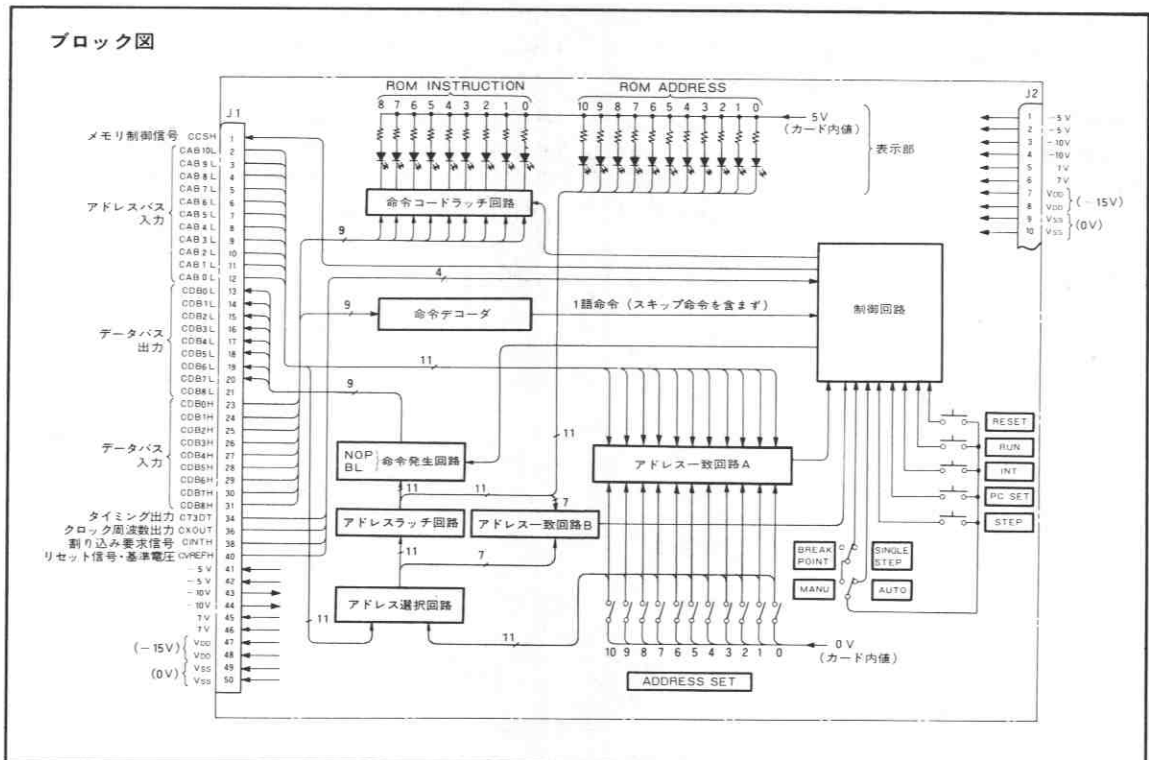
- ワンチップ4ビットマイクロコンピュータMELPS 4を用い た応用機器試作時のプログラム実行チェック及び設計評価



機能概要

PCA0403はソフトウェアを介せず、ハードウェアだけで構 成しているため、顧客はそのまま機器に接続すれば容易にシス テムのソフトウェア及びハードウェアのデバックができます。 特に、任意番地からプログラムが開始でき、シングルステップ 動作が可能です。また、実装のタッチキーと4ビットマイクロ コンピュータの評価用チップ間のインターフェース条件の解析 も容易にできます。

ブロック図





## MELCS 4 プログラムチェッカ

## 機能説明

## 1. 表示部

アドレス番地はCPUが停止したとき、実行後の番地を表示します。命令コードの表示はCPUが停止したとき、停止したアドレス命令コードを表示します。

## 2. 命令コードラッチ回路

命令コードをラッチし、ホールドします。

## 3. アドレスラッチ回路

次に実行すべきアドレス番地をラッチし、ホールドします。アドレスラッチのタイミングは1語命令、2語命令、3語命令により異なります。すなわち、本プログラムチェッカではブランチ命令の途中ではラッチすることはできません。この場合はブランチ命令実行後のアドレス番地をラッチします。また、スキップ命令のアドレス番地も命令実行後のアドレス番地をラッチします。

## 4. 命令デコーダ

命令コードを解釈し、1語命令、2語命令、3語命令に対応した制御信号を制御回路に送出します。すなわち、2語命令及び3語命令の場合（ブランチ命令等）はアドレスラッチ信号が出ないように制御信号を送出し、実行後のアドレス番地をラッチします。

## 5. アドレス選択回路

ADDRESS SETスイッチからのアドレス信号とシステムアドレス信号を選択する回路です。

## 6. アドレス一致回路 A-B

任意番地からプログラムを実行したい場合又はブレーキポイント設定時、ADDRESS SETスイッチからのアドレス信号とシステムアドレス信号を比較し、一致したときに一致信号を制御回路に送出します。

## 7. NOP/BL命令発生回路

CPUを停止状態にするときNOP命令を発生し、CPUを停止状態とします。また、停止状態から復帰する場合はBL命令を発生し、以降の命令を実行します。

## 8. 制御回路

制御回路はプログラムチェック内で使用する各種タイミングパルスを発生するとともに命令コードに対応した実行処理手順を制御します。また、各ファンクションスイッチに対応する制御信号を発生し、動作を制御します。

## 9. ADDRESS SETスイッチ

任意番地からプログラムを実行したい場合、またブレーキポイントの設定に使用します。

## 10. INTスイッチ

スイッチをオンにすると約100 $\mu$ sの割り込みパルスを発生します。

## 11. RESETスイッチ

スイッチをオンにするとCPUはページ0の0番地より命令を実行します。

## 12. SINGLE STEP/BREAK POINTスイッチ

SINGLE STEP、BREAK POINTスイッチをBREAK POINT側に倒し、ADDRESSスイッチを任意の番地に設定し、CPUをRUNさせれば設定したアドレス番地まで命令を実行し、CPUは停止します。

さらにSINGLE STEPスイッチ側に倒し、RUNスイッチをオンすれば1命令ずつ命令を実行します。ただし、ページ14内でSINGLE STEP操作とする場合はSTEPスイッチをオンします。この場合AUTO/MANUスイッチはMANU側に倒します。

## 13. AUTO/MANUスイッチ

AUTO/MANUスイッチをAUTO側に倒し、RUNスイッチをオンすればCPUはオート動作となり、命令を順次実行します。

## 14. PC SET/STEPスイッチ

ADDRESS SETスイッチにて任意の開始番地を設定し、PC SETスイッチをオンにし、ADDRESS SETスイッチにて終止番地を設定しますと、RUNスイッチをオンすることにより、任意の開始番地から任意の終止番地まで命令を実行します。ただしRUNスイッチは開始番地がカレントページ外の場合に有効です。開始番地がカレントページ内にある場合はSTEPスイッチをオンにします。



# マイクロコンピュータ ソフトウェア

## ソフトウェアの製品番号の付け方

MELPSのソフトウェアの製品番号は、そのソフトウェアの内容が一見してわかるように次に示す文字及び数字によって表しています。

## 1. プログラム

例 **G A 1 AS 0100**

(1) (2) (3) (4) (5)

## 第(1)項

MELPSソフトウェアを表しています。

**G**: MELPSソフトウェアを示す略号。

## 第(2)項

マイクロプロセッサの種類を表しています。

**A**: 8ビット並列処理マイクロプロセッサを表します。

**B**: ワンチップ4ビットマイクロコンピュータを表します。

**C**: ワンチップ8ビットマイクロコンピュータを表します。

**Z**: 一般

## 第(3)項

OSコードの種類を表しています。

**1**: ホスト計算機

**2**: ターゲット計算機

## 第(4)項

プログラムの種類を表しています。

**AP**: アプリケーションプログラム

**AS**: アセンブラ

**TL**: コンパイラプログラム

**SB**: サブルーチン

**SM**: シミュレータ

**SP**: サービスプログラム

**CR**: コントロールプログラム

**DP**: 診断プログラム

**OS**: オペレーションシステム

**TS**: テストプログラム

## 第(5)項

一連番号を表します。

## 2. 説明書とサポート資料

例 **G A M - SR 00-01 A <61A0>**

(1) (2) (3) (4) (5) (6) (7)

## 第(1)項

MELPSソフトウェアを表しています。

**G**: MELPSソフトウェアを示す略号。

## 第(2)項

マイクロプロセッサの種類を表しています。

**A**: 8ビット並列処理マイクロプロセッサを表します。

**B**: ワンチップ4ビットマイクロコンピュータを表します。

**C**: ワンチップ8ビットマイクロコンピュータを表します。

**Z**: 一般

## 第(3)項

マニュアルの略号を表します。

**M**: 説明書、サポート資料の略号を示します。

**E**: 説明書、サポート資料の英文を示します。

## 第(4)項

資料略号を表します。

**HR**: ハードウェア説明書

**SR**: ソフトウェア説明書、操作説明書

**PS**: プログラム説明書

**SS**: ソフトウェアサポート資料

**SH**: 消耗品

## 第(5)項

作成順一連番号を表します。

## 第(6)項

取り扱い区分を表します。

**A**: 一般客先用

## 第(7)項

版名を示し作成時期と改定履歴を表します。

例 **<6 1 A 0>**

(1) (2) (3) (4)

(1) 作成年を西暦の下1けたで表します。例: 1976年: 6

(2) 作成月を表します。ただし、2けたの月は英字で次のように表します。

10月: X 11月: Y 12月: Z

(3) 改定の履歴を表します。

全面改定副番で初版はAで表し、全面改定のつどB、C、D……と進めます。ただしIとOは用いません。

(4) 改定の版数を表します。

0から始め(3)にまでいたらない部分的な改定のつど1、2、3……と進めます。ただし(3)による全面改定があれば0にもどります。

## MELPS 4/41 ソフトウェア一覧表

## MELPS 4/41 ソフトウェア一覧表

## ■ホストプログラム

プログラム名	プログラムコード番号	標準出荷媒体	記述言語
MELPS 4 クロスアセンブラ MELCOM70用	GBIAS0001	磁気テープ	FORTRAN(一部アセンブラ)
MELPS 4 クロスアセンブラ MELCOM7000用 COSMO700用	GBIAS0002	磁気テープ	FORTRAN
MELPS 4 シミュレータ MELCOM70用	GBISM0001	磁気テープ	FORTRAN(一部アセンブラ)
MELPS 4 PROMライタ用紙テープ作成プログラム MELCOM70用	GBISP0001	磁気テープ	FORTRAN(一部アセンブラ)
MELPS 4 PROMライタ用紙テープ作成プログラム MELCOM7000用 COSMO700用	GBISP0002	磁気テープ	FORTRAN
MELPS 41クロスアセンブラMELCOM70用	GBIAS0003	磁気テープ	FORTRAN(一部アセンブラ)
MELPS 41シミュレータMELCOM70用	GBISM0002	磁気テープ	FORTRAN(一部アセンブラ)
MELPS 41PROMライタ用紙テープ作成プログラム MELCOM70用	GBISP0003	磁気テープ	FORTRAN(一部アセンブラ)

説明書	資料番号	ページ数
-----	------	------

## ■ MELPS 4 クロスアセンブラ

MELPS 4 アセンブラ言語説明書	GBM-SR00-01A	A 4 版 127
MELPS 4 クロスアセンブラ説明書((MELCOM70版)	GBM-SR00-02A	A 4 版 68
MELPS 4 クロスアセンブラ操作説明書(MELCOM70版)	GBM-SR00-03A	A 4 版 16

## ■ MELPS 4 シミュレータ

MELPS 4 シミュレータ説明書(MELCOM70版)	GBM-SR00-04A	A 4 版 102
MELPS 4 シミュレータ操作説明書(MELCOM70版)	GBM-SR00-05A	A 4 版 23

## ■ MELPS 4 PROMライタ用紙テープ作成プログラム

MELPS 4 PROMライタ用紙テープ作成プログラム説明書(MELCOM70版)	GBM-SR00-06A	A 4 版 17
MELPS 4 PROMライタ用紙テープ作成プログラム操作説明書(MELCOM70版)	GBM-SR00-07A	A 4 版 8

## ■ MELPS 4 ハンドブック

三菱ワンチップ4ビットマイクロコンピュータ MELPS 4 ハンドブック<支援ソフトウェア編> (注1)	GBM-SR10-01A	B 5 版 200
---	--------------	-----------

注1. MELPS 4 ハンドブック<支援ソフトウェア編>は上記のMELPS 4 ソフトウェア関連説明書の内容をすべて含みます。

## ■ MELPS 41クロスアセンブラ

MELPS 41アセンブラ言語説明書	GBM-SR00-08A	A 4 版 162
MELPS 41クロスアセンブラ説明書(MELCOM70版)	GBM-SR00-09A	A 4 版 75
MELPS 41クロスアセンブラ操作説明書(MELCOM70版)	GBM-SR00-10A	A 4 版 8

## ■ MELPS 41シミュレータ

MELPS 41シミュレータ説明書	GBM-SR00-11A	A 4 版 93
MELPS 41シミュレータ操作説明書	GBM-SR00-12A	A 4 版 9

## ■ MELPS 41PROMライタ用紙テープ作成プログラム

MELPS 41PROMライタ用紙テープ作成プログラム説明書(MELCOM70版)	GBM-SR00-13A	A 4 版 8
MELPS 41PROMライタ用紙テープ作成プログラム操作説明書(MELCOM70版)	GBM-SR00-14A	A 4 版 11

## MELPS 8/85 ソフトウェア一覧表

## MELPS 8/85 ソフトウェア一覧表

プログラム名	プログラムコード番号	標準出荷媒体	記述言語
--------	------------	--------	------

## ■ホストプログラム

MELPS 8/85クロスコンパイラPL/1 $\mu$ MELCOM 7000用 (B版)	GA1TL0100	磁気テープ	FORTTRAN IV
MELPS 8/85 クロスアセンブラ MELCOM70用 (A版)	GA1AS0100	磁気テープ	FORTTRAN IV (1部アセンブラ)
MELPS 8/85 シミュレータ MELCOM70用 (B版)	GA1SM0100	磁気テープ	FORTTRAN IV (1部アセンブラ)
MELPS 8/85 PROMライタ用紙テープ作成プログラム MELCOM70用	GA1SP0100	磁気テープ	FORTTRAN IV (1部アセンブラ)

## ■ターゲットプログラム

MELPS 8/85 セルフアセンブラ	GA2AS0100	紙テープ	MELPS 8/85 アセンブラ
MELPS 8/85 エディタ	GA2SP0103	紙テープ	MELPS 8/85 アセンブラ
MELPS 8 ベーシック オペレーティング モニタ (BOM-PTS)	GA2OS0100	紙テープ	MELPS 8/85 アセンブラ
MELPS 8 ベーシック オペレーティング モニタ (BOM-B)	GA2OS0101	紙テープ	MELPS 8/85 アセンブラ
MELPS 8/85 サブルーチン整数演算	GA2SB0100	紙テープ	MELPS 8/85 アセンブラ

説明書	資料番号	ページ数
-----	------	------

■MELPS 8/85 クロスコンパイラ PL/1 $\mu$ 

MELPS 8/85 コンパイラ PL/1 $\mu$ 概説書 (B版)	GAM-SR00-07A	A 4 版74
MELPS 8/85 コンパイラ PL/1 $\mu$ 言語説明書 (B版)	GAM-SR00-08A	A 4 版80
MELPS 8/85 クロスコンパイラ PL/1 $\mu$ 説明書 (B版)	GAM-SR00-09A	A 4 版52
MELPS 8/85 クロスコンパイラ PL/1 $\mu$ 操作説明書 <MELCOM 7000版>	GAM-SR00-10A	A 4 版28

## ■MELPS 8/85 クロスアセンブラ

MELPS 8/85 アセンブラ言語説明書 (A版)	GAM-SR00-01A	A 4 版90
MELPS 8/85 クロスアセンブラ説明書 (A版)	GAM-SR00-02A	A 4 版40
MELPS 8/85 クロスアセンブラ及びシミュレータ操作説明書 <MELCOM 70版>	GAM-SR00-04A	A 4 版16

## ■MELPS 8/85 シミュレータ

MELPS 8/85 シミュレータ説明書 (B版)	GAM-SR00-03A	A 4 版40
---------------------------	--------------	---------

## ■MELPS 8/85 セルフアセンブラ

MELPS 8/85 セルフアセンブラ言語説明書 (B版)	GAM-SR00-25A	A 4 版84
MELPS 8/85 セルフアセンブラ説明書 <PTS-A版>	GAM-SR00-19A	A 4 版22
MELPS 8/85 セルフアセンブラ操作説明書	GAM-SR00-24A	A 4 版32

## ■MELPS エディタ

MELPS エディタ説明書 <PTS-A版>	GAM-SR00-26A	A 4 版20
MELPS エディタ操作説明書 <PTS-A版>	GAM-SR00-27A	A 4 版32

## ■MELPS 8 ベーシック オペレーティング モニタ

MELPS 8 ベーシックオペレーティング モニタ説明書 <BOM-B版>	GAM-SR00-18A	A 4 版18
MELPS 8 ベーシック オペレーティング モニタ説明書 <BOM-B版>	GAM-SR00-23A	A 4 版14

## ■MELPS 8/85 サブルーチン

MELPS 8/85 サブルーチン整数演算説明書	GAM-SR00-17A	A 4 版18
--------------------------	--------------	---------

## ■PROMライタ用紙テープ作成プログラム

PROMライタ用紙テープ作成プログラム説明書 <MELCOM 70版>	GAM-SR00-32A	A 4 版32
-------------------------------------	--------------	---------

## MELPS 4/41 ソフトウェア概要

## 概 要

MELPS4/41ソフトウェアは、ワンチップ4ビットマイクロコンピュータ用機器に適応するアプリケーションプログラム作成のために用意された、一連のソフトウェアの総称です。

MELPS4/41ソフトウェアは、アプリケーションプログラム作成のための道具となるソフトウェアで、アセンブラからPROM書き込み処理及びLSIマスク処理まで一貫して結ぶことができます。

マイクロプロセッサ用機器を設計する場合、プログラ

ム作成が重要な課題となってきます。マイクロプロセッサが標準化されると、プログラムが機器の性能を左右するといっても過言ではありません。ソフトウェア技術者の作業効果を高め、質のよい仕事ができる状態にしてはじめて、短期間に高性能かつ“虫”のないプログラム作成が可能となります。そのためには、プログラム作成の手段が必要であり、このために用意されたものがMELPS4/41ソフトウェアです。

## MELPS4/41ソフトウェアの構成

	言語プロセッサ	プログラムデバッグ	ROM作成
	クロスアセンブラ	シミュレータ	PROMライタ用紙テープ作成プログラム
ホ ス ト プ ロ グ ラ ム	<p>アセンブラ言語のソースプログラムを機械語のオブジェクトプログラムに言語翻訳します。</p> <p>制御データが豊富で命令コード等機能変更が容易にできます。</p> <p>MELPS41はコーディング形式がフリーフォーマットでソース入力媒体も各種使用可能です。</p>	<p>上位計算機内に擬似CPUを作成し、その擬似CPUで、プログラムを実行しチェックを行います。</p> <p>プログラムのデバッグ効果を高め、ハードウェアでシミュレーションしにくい点をチェック可能です。</p> <p>〈特長〉</p> <ul style="list-style-type: none"> <li>●制御コマンドが豊富</li> <li>●トレース、ホルトテーブルの作成及び削除</li> <li>●割り込み発生設定及び周期的な割り込み可</li> <li>●入出力ポート及びデータの設定、さらに、MELPS41では次の機能があります。</li> <li>●逆アセンブル可能</li> <li>●実行時間カウンタの設定</li> <li>●メモリ保護領域の設定</li> </ul>	<p>クロスアセンブラで処理されたバイナリオブジェクトを16進形式の紙テープに変換します。</p> <p>ミナトエレクトロニクス製及びタケダ理研製のPROMライタにそのまま書き込みのできる紙テープを作成します。</p>
			ワンチップマイクロコンピュータマスクROM自動作成プログラム
			<p>ワンチップ4ビットマイクロコンピュータM58840-XXXP、M58494-XXXPに対して注文仕様に応じる自動設計プログラムです。顧客から提供されたオブジェクトプログラムから、マスク自動作図命令及びテスト用ROMテストプログラムを自動作成します。</p>

## MELPS 8/85 ソフトウェア概要

## 概要

MELPS 8/85 ソフトウェアは、MELPS8/85CPUを用いたマイクロコンピュータ及び、マイクロプロセッサ応用機器に適用するアプリケーションプログラム作成のために用意された、一連のソフトウェアの総称です。

MELPS 8/85 ソフトウェアは、アプリケーションプログラム作成のための道具となるソフトウェアと、それ自身がアプリケーションプログラムの一部となるソフトウェアより成り、また上位計算機で実行されるホストプログラムと、マイクロコンピュータ自身で実行させるターゲットプログラムに大別されます。

マイクロプロセッサ応用機器を設計する場合、プログラム作成が重要な課題となってきます。マイクロプロセッサが標準化されると、プログラムが機器の性能を左右するといっても過言ではありません。ソフトウェア技術者の作業効果を高め、質のよい仕事ができる状態にしてはじめて、短期間に高性能でかつ“虫”のないプログラム作成が可能となります。そのためには、プログラム作成の手段が必要であり、このために用意されたものがMELPS 8/85ソフトウェアです。

## MELPS 8/85 ソフトウェアの構成

	言語プロセッサ	プログラムデバッグ	ROM作成
	クロスコンパイラ PL/μ	シミュレータ	PROMライタ用紙テープ作成プログラム
ホストプログラム	PL/μ 言語のソースプログラムを、機械語のオブジェクトプログラムに言語翻訳します。 インテル社のPL/Mを完全に包含するとともに、使い易い豊富な機械を多数持っています。	上位計算機内に疑似GPUを作成し、その疑似CPUでプログラムを実行してチェックを行います。 プログラムのデバッグ効果を高めることに重点をおき、特にハードウェアによるシミュレーションでチェックしにくい項目が検出できます。 〈特長〉 ●トレース、逆アセンブル機能 ●入出力処理のシミュレーション可 ●割込みのシミュレーション可 ●プログラム修正機能 ●記号番地指定機能 ●実行時間算出機能 ●バッチ、対話式の併用可	クロスコンパイラPL/μ及びクロスアセンブラで変換されたアプソリュートオブジェクトからPROMライタに入力する紙テープを作成します。 タケダ・ミナトエレクトロニクス・DATA I/O・PRO-LOG社製 PROMライタ用紙テープを作成します。
	クロスアセンブラ		マスクROM自動作成プログラム
	アセンブリ言語のソースプログラムを機械語のオブジェクトプログラムに言語翻訳します。プログラム作成効率を高めるためマルチアセンブリ、条件付アセンブリ、リロケータブルオブジェクト作成、リンケージの各機能を持っています。	ベーシックオペレーティングモニタ BOM-B、BOM-PTS	エディタ
ターゲットプログラム	セルファセンブラ	プログラムの実行制御及びプログラムデバッグを行う管理プログラムです。諸機能の拡張及び縮小が容易にでき、任意のマイクロコンピュータ及び任意のメモリ構成に適合可能なプログラム構成になっています。 〈機能〉 ●プログラム実行制御 ●プログラムデバッグ ●入出力制御 ●プログラムロード ●メモリパンチ 〈メモリ容量〉 BOM-B : 2Kバイト BOM-PTS : 7.5Kバイト なお、BOM-BはマスクROM M58731-001Sに格納されています。	ソースプログラムの修正を容易にし、プログラム開発効率を向上させるために用意されています。 〈機能〉 キーボード又は紙テープよりテキストをワークエリアにロードし、キーボードからのコマンドでテキストの編集及び入出力の制御を行います。
			サブルーチン整数演算
			2進数及び10進数の整数の整数四則演算並びに論理演算を行う10種類のサブルーチンが用意されています。 本サブルーチンによって、より大きな値を表現できる16ビット構成又は32ビット構成の情報を取り扱うことが容易になっています。 このプログラムは、マスクROM M58730-001Sに格納されています。

## MELPS 4/41 プログラム開発体系

## プログラム開発方法

MELPS 4/41 ソフトウェアを用いたプログラム開発は、次の方法で行います。

クロスアセンブラを用いてオブジェクトプログラムを作成し、シミュレータでデバッグを行います。プログラムが完成した時点で、PROMライター用紙テープ作成プログラムを実行し、PROM書き込み機用紙テープを作成します。

## (1) EPROM

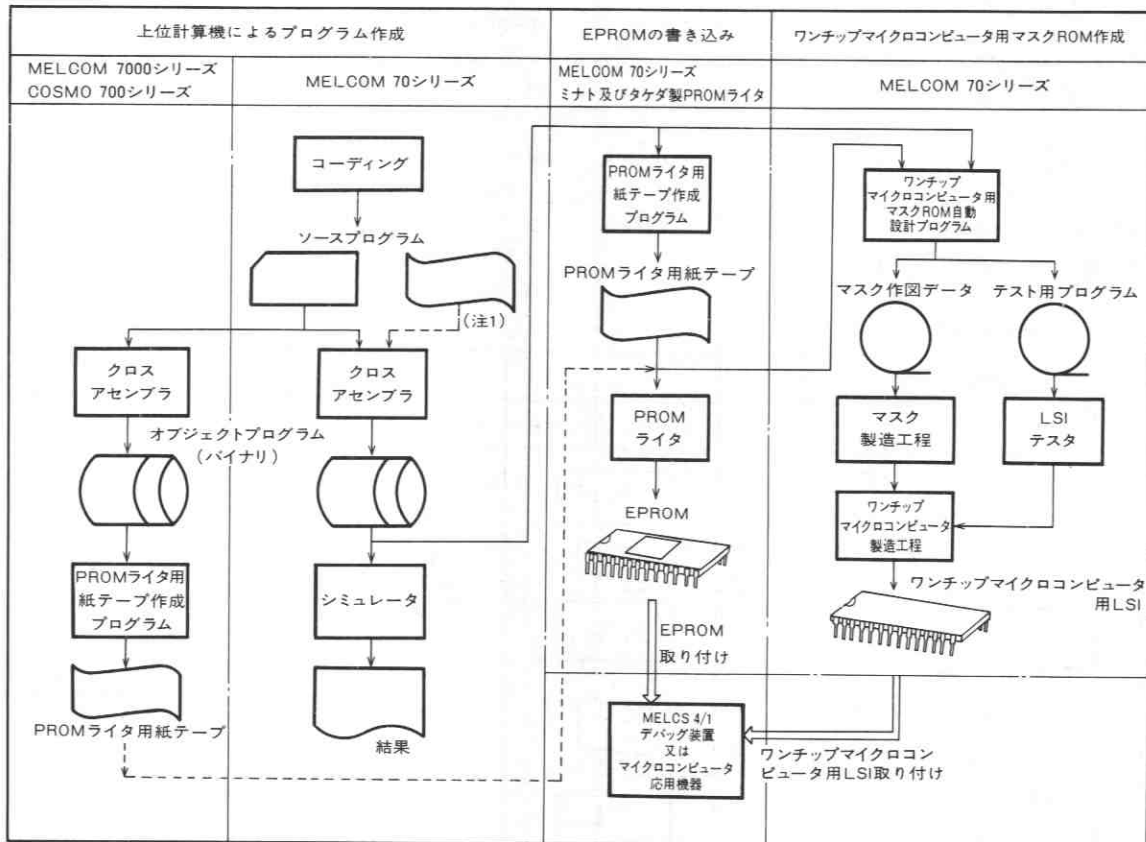
PROM書き込み機により、開発完了されたプログラムを

EPROMに書き込み、ワンチップマイクロコンピュータ評価用基板等のソケットに必要とするときそう入して実行に備えます。

## (2) ワンチップマイクロコンピュータ用LSI

開発したプログラムのオブジェクト(ミナトエレクトロニクス製及びタケダ理研製フォーマットの紙テープ)作成後、三菱電機にワンチップマイクロコンピュータ用LSIの開発を依頼されることにより、量産の受注を致します。

## プログラム開発体系図



注1. MELPS 41 の場合ソースプログラム入力に紙カードの他に紙テープ使用もできます。

## MELPS 8/85 プログラム開発体系

## プログラム開発方法

MELPS 8/85 ソフトウェアをもちいたプログラム開発には、次の3つの方法があります。

## (1) 上位計算機をもちいる方法

クロスコンパイラ又はクロスアセンブラを用いてオブジェクトプログラムを作成し、シミュレータでデバッグを行います。プログラムが完成した時点で、PROMライター用紙テープ作成プログラムを実行し、PROM書き込み機用紙テープを作成します。

## (2) マイクロコンピュータを用いた方法

セルフアセンブラを用いてオブジェクトプログラムを作成し、そのプログラムをマイクロコンピュータで実行させプログラムを確認します。このときプログラムをモニターで管理することにより、プログラム実行及びデバッグが容易に行えます。ソースプログラムに誤りがある場合は、エディタを用いて修正します。

## (3) 上位計算機とマイクロコンピュータを併用する方法

クロスコンパイラ又はクロスアセンブラを用いてオブジェクトプログラムを作成し、マイクロコンピュータでモニターの管理のもとにデバッグを行います。

開発されるプログラムに、MELPS 8 ターゲットプログラムの汎用サブルーチン整数演算、ユーティリティ、入出力制御等必要とするプログラムを組み入れることにより、プログラム開発期間の短縮が可能となります。

開発完了したプログラムの最終的な媒体には、次に示すものがあります。

## ●紙テープ

MELPS 8 バイナリ、ヘキサデシマル、BNPF以上4種の各オブジェクト言語にもとづく紙テープで、それは必要とされるたびごとに、それぞれのロータによりRAMにロードされて実行に備えます。

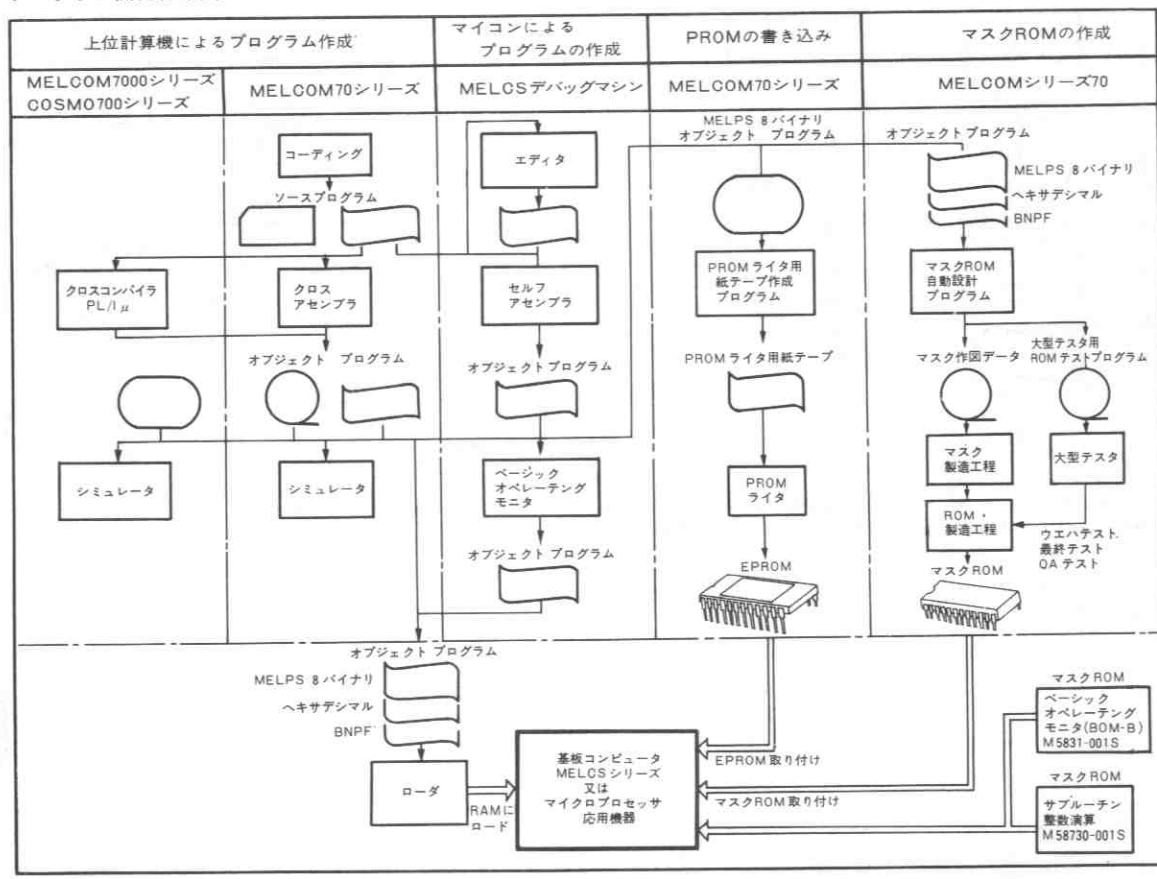
## ●PROM

PROM書き込み機により、開発完了されたプログラムをPROMに書き込み、適応するPROMソケットに必要とするとき挿入して実行に備えます。

## ●マスクROM

開発したプログラムのオブジェクト (MELPS 8 バイナリ、ヘキサデシマル、BNPF 各オブジェクト言語) を三菱電機にマスクROM作成を依頼されることにより、マスクROMが作成されます。

## プログラム開発体系図





概要

MELPS 4 クロスアセンブラは、ワンチップ4ビットマイクロコンピュータM58840-XXXP応用機器に用いるアプリケーションプログラム開発のために準備されたソフトウェアの一つです。

このクロスアセンブラは、プログラム作成効率をよくするために、豊富な疑似命令、制御コマンド及び制御データをもち、命令コード、機能の変更に柔軟性があります。

入出力媒体

- ソース入力 : 紙カード、磁気ディスク
- 制御データ入力 : 紙カード、磁気ディスク
- 制御コマンド : 紙カード
- 実行コマンド : システムタイプライターのキー
- オブジェクト出力: 磁気ディスク
- リスト出力 : ラインプリンタ

クロスアセンブラの特長

- 制御データが豊富……………21種類
- 命令コード及び、機能変更が容易
- 制御データをディスクにカタログ可能
- 定数は10進以外の表現も可能
- 疑似命令機能の拡張性あり
- 各テーブルリスト及び、クロスレファレンスリスト出力可能
- 実行計算機ミニコンMELCOM 70  
(メモリ容量24K語以上、モニタBDOS)
- プログラム記述言語 FORTRAN IV (一部アセンブラ)

アセンブラ言語の特長

- 疑似命令 6種
- シミュレータ制御命令 10種
- 機械語命令 68種
- 機械語命令オペランドの定数は10進を標準

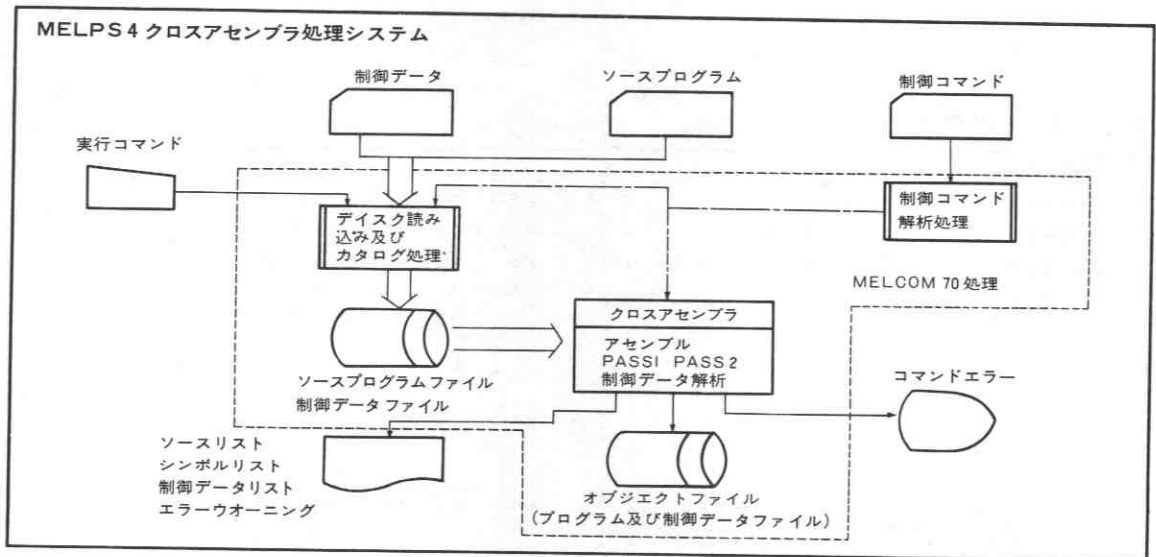
機能概要

本クロスアセンブラは、MELPS 4 アセンブラ言語によるソースプログラムを機械語の命令コードに変換し、バイナリアプソリュート オブジェクトのファイルとしてディスクに格納します。

MELPS 4 クロスアセンブラでは、2パスの処理機能の他に、データ解析、制御コマンド解析、及びカタログ処理の機能をもっています。

制御データは、命令のビット数指定、命令記号テーブル、各数値設定のテーブル等変更が容易にできます。仕様の変更に自由度があり、たとえば、機械語命令のニーモニック等はユーザー側で自由に変更して定義することもできます。

MELPS 4アセンブラ言語の標準版では、表1に示すように7種のアセンブル制御コマンドが使用でき、表2のような6種類の疑似命令の他に10種のシステムシミュレータ制御命令をソースプログラムの言語として使用できます。



注文方法

●プログラム

プログラム名	オーダ番号	プログラム・説明書の構成
MELPS 4 クロスアセンブラ	GBIAS0001	MELPS 4 ハンドブック 支援ソフトウェア編 GBM-SR10-01A<93A0>

## MELPS 4 クロスアセンブラ

## クロスアセンブラ機能の説明

このクロスアセンブラでは、表1の各種コマンドを用いて、容易にアセンブルができます。最初にディスク内に制御データをファイルしておけば以後はソースプログラムと制御コマンドを紙カードで入力するのみでアセンブルができます。読み込まれたソースプログラム及び制御データは、ディスクの中にファイルとして蓄えられます。制御コマンド解析処理に従って、制御データの処理をパス1でシンボルテーブルの処理を行い、パス2で命令コードに変換する処理を行って、それぞれ制御コマンドの指定に応じて、制御データ、ラベル、アセンブルのリストを出力します。また、アセンブル時のリストでは、制御コマンド、シーケンシャル番号、ロケーション番号、ブランチページ及びアドレス等表示します。エラー、ウォーニングを表示し、ROMページリスト、クロスリファレンスリスト等も出力します。

## クロスアセンブラオブジェクト言語

オブジェクトファイルは、名称部、テキスト部から構成されます。名称部は、オブジェクトファイルのセクタ0に作成されたテキスト部の命令総数、制御データ、ファイル名、ソースプログラムファイル名、1ページのサイズ、機種名データ等の総合的な情報を記録しています。

テキスト部では、ソースプログラムを命令コードに変換したデータとそれに関連するシミュレータ実行等に必要データを含んでいます。

## アセンブラ言語の機能

MELPS 4 クロスアセンブラで使用できる言語は、機械語命令と疑似命令です。

## 1. 機械語命令

この機械語命令は、機械語と1対1に対応し、オブジェクト変換の対称となる命令で68種の基本命令が使用できます。それらのニーモニック、命令コード、各命令の機能の説明はワンチップ4ビットマイクロコンピュータM58840-XXXXPのデータシートを参照ください。

## 2. 疑似命令

疑似命令は、機械語命令と共にソースプログラムの中で扱われますが、ROMに書き込まれる命令コードの変換の対象にはならず、アセンブラに各種の指令を与え、シミュレータの制御とも結ばれます。

この命令の中には、アセンブラ制御命令、数値記号定義命令リスト制御命令の他にシステムシミュレータ制御命令も加えられています。これらの一覧表を表2に示します。

表1. アセンブル制御コマンド

制御コマンド名称		コマンド形式	機能説明
実行開始制御		/// RUN	クロスアセンブラの実行を開始します。
終了指定制御		/// END	クロスアセンブラの実行を終了します。
入出力指定制御		/// ASMB4, x, y, z	アセンブルの実行の有無及び制御データリスト アセンブルリスト出力の有無の指定 $x = \begin{pmatrix} A \\ P \end{pmatrix}$ $y = \begin{pmatrix} L \\ N \end{pmatrix}$ $z = \begin{pmatrix} L \\ N \end{pmatrix}$ x: アセンブルの有無 A: アセンブルします P: カタログ機能の指定 y: アセンブルリストの出力 z: 制御データのリスト出力 L: リスト出力します N: リスト出力しません
フ 指 定 制 御	制御データ	/// CDISK, XXXXX	制御データファイル名の指定(6文字以内)
	ソースプログラム	/// SDISK, XXXXX	ソースプログラムファイル名の指定(6文字以内)
	オブジェクト	/// BDISK, XXXXX	オブジェクトファイル名の指定(6文字以内)
入出力装置指定制御		/// INPUT, x, y	制御データ及び、ソースプログラムの入力装置の指定 $x = \begin{pmatrix} C \\ D \end{pmatrix}$ $y = \begin{pmatrix} C \\ D \end{pmatrix}$ x: 制御データ入力 y: ソースプログラム入力 C: 入力がかードリーダ D: 入力がディスク

表2 疑似命令一覧表

分類	命令	名称	機能
アセンブラ 制御命令	TTL	タイトル宣言命令	プログラムのタイトルを宣言します。
	PAGE	プログラムカウンタページ替命令	以下に続くプログラムの番地を次のページの先頭に設定します。
	ORG	プログラムカウンタ設定命令	以下に続くプログラムの先頭番地を設定します。
	END	終了宣言命令	プログラムの終了を宣言します。
数値記号定義命令	EQU	数値記号設定命令	ある数値記号にある数値を設定します。
リスト制御命令	EJE	改ページ宣言命令	アセンブラリストにおいてEJEをプリント後用紙を次のページに進めます。
システム シミュレータ 制御命令	SIN	データ入力命令	入力データを読みます。
	RIN	モードキャンセル命令	"**"モード入力をキャンセルします。
	SDIS	表示内容印字命令	表示内容を印字します。
	RDIS	SDISプリセット命令	SDIS命令の実行を有効にします。(注1)
	SSC	ステップカウンタ選択命令	ステップカウンタを選択します。
	RSC	SSCプリセット命令	SSC命令の実行を有効にします。
	WSC	ステップカウンタ印字命令	ステップカウンタの内容を印字します。
	RWSC	WSCプリセット命令	WSC命令の実行を有効にします。
	SINT	端子入力命令	指定された端子の入力を開始します。
	RINT	SINTプリセット命令	SINT命令の実行を有効にします。

注1 有効にするとは、その命令と対で使用することにより、機能が働くことを示しています。たとえば、SSC命令を実行するとき、前もってRSC命令を実行しておかなければなりません。

### 3. 言語形式

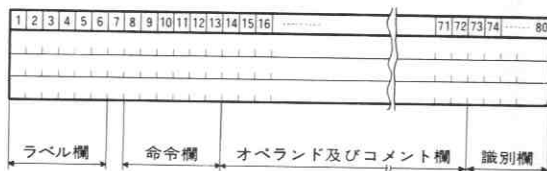
このクロスアセンブラは、以下述べますようなフォームでプログラムのコーディングを行います。

ソースプログラムの1ステートメントは、ラベル欄、命令欄オペランド欄、コメント欄及び、識別欄で構成されます。ソースステートメント形式は、図1のような固定フォーマットです。なお、定数は通常10進で扱われますが、疑似命令及び、制御データの定義を用いることにより、16進その他の表現も可能です。

コメントは最初のカラムにアスタリスク(\*)をつけて、そのステートメントをすべてコメントの欄として使用できます。ステートメントに使用できる文字は次のものです。

- 英文字 A-Z
- 数字 0-9
- 特殊記号 : ; = , ▼ @ \$ + - \* / ! & ( ) , # % < > ? 空白

図1. ソースステートメントの形式



#### (1) ラベル欄

ラベルは、そのときのプログラムカウンタの値が割り付けられます。ラベル文字数は6文字以内とし、前述の英数字及び、特殊記号を使用できます。ただし、第1カラム目に\*をラベルとして使用できません。

#### (2) 命令欄

この欄に機械語命令の記号を左づめてコーディングします。疑似命令は、アセンブラ制御命令、数値記号定義命令、リスト制御命令及び、システムシミュレータ制御命令の中の命令記号が使用できます。

#### (3) オペランド

命令のパラメータが指定される欄でラベルの記号、定義されたシンボル、数値等を記入します。通常、第14カラム目から左づめて記入されます。

#### (4) コメント欄

オペランドとして記入した最後の文字から、1文字以上ブランクをあげれば、それ以下そのステートメントの終りまでコメントとして使用できます。

#### (5) 識別欄

この欄には必ずしも記入する必要はありませんが、カードの区別取り扱い上、シーケンス番号等記入します。

## MELPS 4 クロスアセンブラ

## アセンブルリストの形式

前述のフォームで作成されたソースプログラムをアセンブルすることにより、ソースリスト、シンボルテーブルリスト、クロスリファレンスリスト、ROMページリスト等をプリントすることができます。この場合のアセンブルリストの形式を図2に示します。アセンブルリストの中でページ、ロケーション命令コードは16進で表示されます。

## メッセージの形式

アセンブルリストに出力されるメッセージには、エラーメッセージとウォーニング等がプリントされます。エラーの場合はエラーの発生したステートメントの下に、次に示す形式でメッ

セージを出力します。

```
$$$$$ERROR xxxs
```

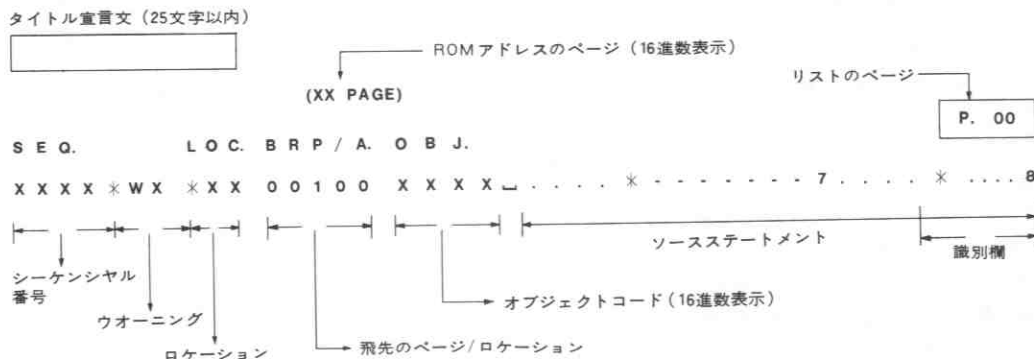
ここで xxx はエラーの種類を数値で示します。

ウォーニングの場合は、SEQ. (シーケンシャル番号) と LOC. (ロケーション番号) の間に次のようにプリントされます。

```
*Wx* (このとき x はウォーニングの程度の数値表示です。)
```

また、アセンブルリストの最後にエラー及びウォーニングの全数をカウントし、その数を表示します。なお、エラーの場合はクロスリファレンスリストは出力されません。

図2.アセンブルリストの形式



## アセンブルリストの例

MELPS 4 クロスアセンブラでアセンブルを行った実例を図3に示します。

図3.アセンブルリストの例

SEQ.	LOC.	BRP/A.	OBJ.	.....	SOURCE STATEMENT	.....	5	.....	6	.....	7	.....	8	P. 1
1					TTL	EXAMPLE PROGRAM	.....	1						EXA00010
2					ORG	0+0	.....	2						EXA00020
3					* FILE DATA	EXCHANGE	.....	3						EXA00030
4					* DIGMAX	EGU 13	.....	4						EXA00040
5	00	04A			LZ	0	.....	5						EXA00050
6	01	0E/00	100		BM	XCG02	.....	6						EXA00060
7	02	0E/01	101		BM	ACG13	.....	7						EXA00070
8	03	0E/07	107		BM	KCG23	.....	8						EXA00080
9	04		J00		NOP		.....	9						EXA00090
10							.....	10						EXA00100
11							.....	11						EXA00110
12					ORG	E+0	.....	12						EXA00120
13					* SUBROUTINE	FILE EXCHANGE	.....	13						EXA00130
14					* EXCHANGE	FILE M(2x+0-DIGMAX)	.....	14						EXA00140
15							.....	15						EXA00150
16	00	0CD	XCG02	LXY	0+DIGMAX	EXCHANGE F0 (0-DIGMAX) & F2(0-DIGMAX)	.....	16						EXA00160
17	01	0DD	XCG13	LXY	1+DIGMAX	EXCHANGE F1 (0-DIGMAX) & F3(0-DIGMAX)	.....	17						EXA00170
18							.....	18						EXA00180
19	02	056	LBL4	TAM	2		.....	19						EXA00190
20	03	052	KAM	2			.....	20						EXA00200
21	04	068	XAMD	0			.....	21						EXA00210
22	*W0	05	BM	LBL4		BM IS EQUIVALENT WITH B ON PAGE 14	.....	22						EXA00220
23	06	044	RT				.....	23						EXA00230
24							.....	24						EXA00240
25	07	0ED	XCG23	LXY	2+13	EXCHANGE F2 (0-DIGMAX) & F3(0-DIGMAX)	.....	25						EXA01010
26					* COMMON	ROUTINE START	.....	26						EXA01020
27							.....	27						EXA01030
28							.....	28						EXA01040
29	08	065	LBL5	TAM	1		.....	29						EXA01050
30	09	061	XAM	1			.....	30						EXA01060
31	0A	068	XAMD	0			.....	31						EXA01070
32	*W0	08	BM	LBL5			.....	32						EXA01080
33	0C	044	RT				.....	33						EXA01090
34					END		.....	34						EXA01100

- ① プログラム名を"EXAMPLE PROGRAM"と宣言します。
- ② プログラムカウンタの設定命令によりプログラムの先頭がページ0の0番地から設定されることを示します。
- ③ 第1カラム"\*"の行はコメントとして扱われます。
- ④ 数値記号設定命令によりシンボル"DIGMAX"に対して13(10進数)が割り付けられます。
- ⑤ BM命令によりラベルXCG02がアセンブル時に割り付けられ、ページ14の00番地のサブルーチン呼び出します。
- ⑥ BM命令によりラベルXCG13がアセンブル時に割り付けられ、ページ14の01番地のサブルーチン呼び出します。
- ⑦ BM命令によりラベルXCG23がアセンブル時に割り付けられ、ページ14の07番地サブルーチン呼び出します。
- ⑧ 1ステートメントがコメントになります。
- ⑨ LXY命令によりデータポインタのレジスタXへ0、レジスタYへ13(10進数)をロードします。この場合LXYが連続記述されているので、次のLXY命令をスキップします。
- ⑩ LXY命令によりデータポインタのレジスタXへ1、レジスタYへ13(10進数)をロードします。
- ⑪ この場合のBM命令はラベルLBL4の行先番がページ14の02番地に割り付けられます。

## MELPS 4 シミュレータ

## 概要

MELPS 4 シミュレータは、ワンチップ4ビットマイクロコンピュータ及びマイクロプロセッサ応用機器のアプリケーションプログラムのデバッグを容易にし、開発能率をよくするために用意されたソフトウェアです。

このシミュレータは、デバッグの対象となるプログラムの各命令を実際のシステムと同様の仕様を仮定して上位計算機で処理を行い、プログラムが正しく動くかどうかを確認することができます。トレーステーブル、ホルトテーブル作成等各種の制御コマンドが使用できますので、MELPS 4クロスアセンブラによりディスクに格納されたプログラムをシミュレートし、その結果をリストに出力することができます。

## 特長

- トレーステーブル、ホルトテーブルの作成
- 制御コマンド20種
- ソースプログラム時に疑似命令として指定できる制御命令10種
- 周期的な入力データの設定及びプリント
- ディスプレイ表示桁数を任意に指定(1~12桁)
- 各レジスタ、各入出力ポート、メモリファイル等の表示
- 出力媒体
  - オブジェクト入力：カートリッジディスク
  - 制御コマンド：紙カード又はキーボード及び入力データ
  - 実行コマンド：キーボード入力
  - トレースダンプ：紙テープテーブル入出力
  - シミュレーション：ラインプリンタ又はシステムタイプライタ結果の出力
  - メッセージ：システムタイプライタ

## 応用

●4ビットマイクロコンピュータのプログラム開発のツールとして、MELPS 4クロスアセンブラと一貫して使用できます。特に、M58840-XXXXP、その他の応用システムの開発のデバッグとして適用されます。

## 機能概要

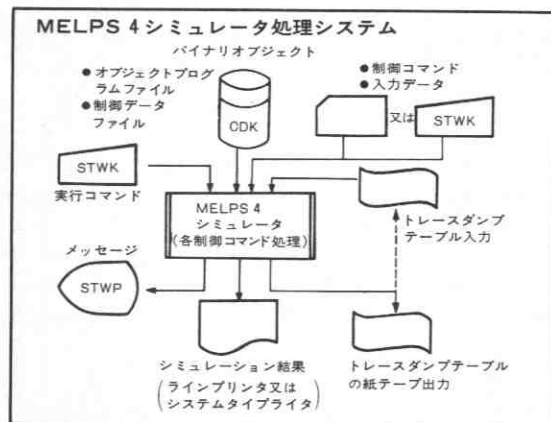
MELPS 4 シミュレータは、各種の制御コマンドを有し、デバッグすべきプログラムのシステムの動作状態を設定したり、停止させたりして、そのときのシステムの動作や、GPUの状態、メモリの内容等を表示し、プログラムが、目的に沿った正しい働きをするかどうか、ソフトウェア上で確かめることができます。

## 注文方法

## ●プログラム

プログラム名	オーダ番号	プログラム・説明書の構成
MELPS 4 シミュレータ	GB 1SM 0001	MELPS 4 ハンドブック 支援ソフトウェア編 GBM-S10-01A<93A0>

このシミュレータは、トレースダンプ、トレースホルトテーブル、クリア、各テーブルのプリント、レジスタ、スタックポインタ、キャリアフラグの設定、周期的な入力の実行中プリント、紙テープの入力及び出力等の各命令を含む20種の制御コマンドとソースプログラム時に指定できる10種類のシミュレータ制御用の疑似命令を使用できます。



## シミュレータ処理機能の説明

MELPS 4クロスアセンブラによって生成されたディスクファイル(BDISK)中のバイナリオブジェクトを各種の制御コマンドの設定条件に従って、このプログラムの中で処理し、結果をラインプリンタ又はシステムタイプライタに選択的に出力できます。また、入力データ及び制御データは、カードリーダー又はキーボードのどちらかのモードを指定することによって入力できます。

## 入力データ形式

シミュレータの入力データのフォーマットは次のとおりです。

XXYY<sub>1</sub>n<sub>1</sub>n<sub>1</sub>n<sub>1</sub>n<sub>1</sub>n<sub>1</sub><sub>2</sub>n<sub>2</sub>n<sub>2</sub>n<sub>2</sub>n<sub>2</sub>

ここで XXは入力記号 又は\*、\$  
YYは入力モード記号(・、\*\*、ON、OF)  
n<sub>1</sub>n<sub>1</sub>n<sub>1</sub>n<sub>1</sub>n<sub>1</sub>はON状態のアナログ値(実数)  
n<sub>2</sub>n<sub>2</sub>n<sub>2</sub>n<sub>2</sub>n<sub>2</sub>はOFF状態のアナログ値(実数)

## 制御コマンドの入力形式

一般形式は次のように表現されますが、それらの各制御コマンドとその説明を表1に示します。

///XX<sub>1</sub>〔パラメータ〕

ここで、XXは各制御コマンドのニーモニックを示します。これらの制御コマンドの入力には、タイプインモードとバッチモードの二つの方法で使用できます。ただし、シミュレータスタート コマンドSTの設定のみ、キーボードより入力します。

図2. シミュレーション実行結果の一例

\*\* START SIMULATOR OF MELPS 4 \*\*

```

///LO OFILE ..... ①

EXAMPLE PROGRAM ..... ②

CONTROL DATA FILE=CFILE
SOURCE FILE=SF FILE
OBJECT FILE=OF FILE

///CL ..... ③
///MM PR06=0:0 ..... ④
///TS 0:0:0:4:R,M ..... ⑤
///HS 0:4:1 ..... ⑥
///TD ..... ⑦
///TS 0:0:0:5:R,M ..... ⑧
///PT ..... ⑨

    *** TRACE DUMP TABLE ***
    NO. 1 --- 00:00 00:05 R,M

///DM ..... ⑩

    *** DUMP OF MEMORY ***
PC = 00:00 INST. 00:00 = IYA SK0 = 00:00 SK1 = 00:00 SK2 = 00:00 ..... ⑪
CPS = 0 ACC = 0 CY1 = 0 DP1 Z,X,Y = 0+0,0 } ..... ⑫
      CY2 = 0 DP2 Z,X,Y = 0+0,0
PORT. J 0-E = 0000000000000000 D 0-A = 000000000000 } ..... ⑬
      E 0-7 = 0000 0000 S 0-7 = 0000 0000
INT = 0 INTEF = 0 INTL = H ..... ⑭
REG. B = 0 H = 0000 L = 0000 C = 0 ..... ⑮

      I E J C B A 9 8 7 6 5 4 3 2 1 0
F0 = 5 4 3 0 0 0 0 0 0 0 2 0 0 0 0 0 1
F1 = A 9 8 0 0 0 0 0 0 0 7 0 0 0 0 0 6
F2 = F E 0 0 0 0 0 0 0 0 C 0 0 0 0 0 0 8
F3 = 8 7 6 0 0 0 0 0 0 0 5 0 0 0 0 0 4
F4 = 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
F5 = 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
F6 = 0 0 0 0 0 0 0 0 J 0 0 0 0 0 0 0 0
F7 = 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

///RN ..... ⑰
///DM ..... ⑱

    *** DUMP OF MEMORY ***
PC = 00:00 INST. 00:04 = N0P SK0 = 00:00 SK1 = 00:00 SK2 = 00:00
CPS = 0 ACC = 1 CY1 = 0 DP1 Z,X,Y = 0+2,F
      CY2 = 0 DP2 Z,X,Y = 0+0,0
PORT. J 0-E = 0000000000000000 D 0-A = 000000000000
      E 0-7 = 0000 0000 S 0-7 = 0000 0000
INT = 0 INTEF = 0 INTL = H
REG. B = 0 H = 0000 L = 0000 C = 0

      F E D C B A 9 8 7 6 5 4 3 2 1 0
F0 = 5 4 0 0 0 0 0 0 0 0 C 0 0 0 0 0 0 8
F1 = A 9 6 0 0 0 0 0 0 0 5 0 0 0 0 0 4
F2 = F E 8 0 0 0 0 0 0 0 7 0 0 0 0 0 6
F3 = 8 7 3 0 0 0 0 0 0 0 2 0 0 0 0 0 1
F4 = 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
F5 = 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
F6 = 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
F7 = 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

///EN ..... ⑳

** END SIMULATOR OF MELPS 4 **

```

- ① BDISK中に格納されているOFILEというファイル名のファイルをシミュレータにロードします。
- ② ソースプログラム時に宣言したプログラムタイトル名をプリントします。
- ③ プログラムカウンタ、スタックポインタ、各レジスタ、各入出力ポートメモリファイルの内容をクリアし初期の状態に設定します。
- ④ データ設定コマンドによりオブジェクトプログラムのページ0の0番地の内容をシステムタイプライタ上に出力してオブジェクトプログラムのコードの変更や正しくロードされていることなどを確認します。
- ⑤ ページ0の0番地からページ0の4番地までトレースして各レジスタの内容の表示を指定します。
- ⑥ ページ0の4番地を1回実行してホルトすることを指定します。
- ⑦ トレース領域の指定解除により⑤の指定は解除され無効となります。
- ⑧ 再びトレース領域が指定できます。この場合ページ0の0番地からページ0の5番地までトレースし、各レジスタ、メモリファイル内容の表示を指定します。
- ⑨ トレーステーブルが登録されたことを確認するために指定されたトレーステーブルをプリントします。
- ⑩ プログラムの初期状態のプログラムカウンタ、各レジスタ、スタックポインタ、各入出力ポート、メモリファイルなどを表示します。
- ⑪ プログラムカウンタ、スタックポインタなどの内容を示します。
- ⑫ CPS(2組のデータポインタ及びキャリーのどちらかを選択)ACC(アキュムレータ)CY1, CY2(キャリー)DP1, DP2(データポインタ)Z(ファイル群の指定)X(ファイルの指定)Y(ファイル内の桁指定)の内容を示します。
- ⑬ ポートD, S, 及びレジスタJ, Eの内容の各ビットを表示します。
- ⑭ 割り込み入力INT, 割り込み受け付けフラグINTEF及び割り込み命令INTL, INTHの設定フラグINTLHの内容を表示します。
- ⑮ B, H, L, Cの各レジスタの内容を表示します。
- ⑯ メモリファイルのプログラム実行前の内容を示します。
- ⑰ 実行を開始し⑧の指定に従ってトレースし、各レジスタ、メモリファイルの内容を表示しながら⑥で設定したホルトポイントで停止します。
- ⑱ 以上の実行が終わった時点の内容を表示するためにDMコマンドを入力します。
- ⑲ 図1のプログラムを実行した結果、F<sub>0</sub> & F<sub>2</sub>, F<sub>1</sub> & F<sub>3</sub>の各ファイルが13桁まで交換されていることがわかります。
- ⑳ シミュレーションを終了し、制御をモニタに戻します。

指定されたページ pp 内の aa 番地までを nnnn 回実行後、ホルトします。TS P<sub>1</sub>P<sub>1</sub> : a<sub>1</sub>a<sub>1</sub>、P<sub>2</sub>P<sub>2</sub> : a<sub>2</sub>a<sub>2</sub> [R] [M] の指定でページ P<sub>1</sub>P<sub>1</sub> の a<sub>1</sub>a<sub>1</sub> 番地からページ P<sub>2</sub>P<sub>2</sub> の a<sub>2</sub>a<sub>2</sub> 番地までトレースし R で各レジスタ又は M でメモリファイルの表示の指定をします。DM コマンドではその時点の各レジスタ及び、メモリファイルの状態の表示ができます。RS 又は RN コマンドで実行を開始し、ホルトコマンド HS のパラメータで指定したところまで実行してその結果をプリント表示することができます。この場合 RS は、プログラムカウンタ、各レジスタ、各入出力ポート、メモリファイルの内容をすべてクリアしてから実行を開始します。

さらに、トレース領域指定の解除は TD コマンドで、ホルトポイント指定解除は HD コマンドで行うことができます。また、トレーステーブルのプリントは、PT コマンドで、ホルトポイ

ントテーブルのプリントは、PH コマンドで必要に応じて用いることができます。トレース、ホルトポイントテーブルの紙テープダンプやその紙テープ入力はそれぞれ DT、RT コマンドで行います。入力データの設定には、周期的な入力データの実行中プリントする PK コマンド、及びそのコマンドを解除する NK コマンドがあります。入力データの入力装置指定には、DV コマンドがあります。

以上のコマンドの他にソースプログラム時に使用できる10個のシステムシミュレータ制御の疑似命令もシミュレーション時に働かせることもできます。

表2にMELPS 4 シミュレータ制御コマンドの使用例とその説明を示し、図1のアセンブルプログラム例のシミュレーションの実行結果の一例を図2に示します。

表2. シミュレータ制御コマンドの使用例とその説明

制御コマンドの使用例	制御コマンド及びパラメータの説明
ST S, L, N	シミュレータのスタート条件設定としてコマンドの入出力リストの有無の指定をします。この場合、コマンド入力はシステムタイプライタ、結果の出力装置はラインプリンタに指定され、制御データのリストは出力されません。
LO BFILE	ディスク(B DISK)に格納されたB FILEというファイル名のファイルをシミュレータにロードします。
CL	プログラムカウンタ、各レジスタ、各入出力ポート、メモリファイルなどをクリアし初期値を設定します。
HS 0:5, 2	ホルトポイントの指定でページ0の5番地を2回実行するとホルトします。
TS 0:1,E:F,R,	ページ0の1番地からページEのF番地までトレースし、実行後、プログラムカウンタ、各レジスタ、各入出力ポート、メモリファイルの内容の表示を指定します。
PT	トレーステーブルをプリントします。このコマンドにより、TSコマンドの指定が確認できます。
PH	ホルトポイントテーブルをプリントします。このコマンドにより、HSコマンドの指定が確認できます。
MM 0, 1=2	メモリファイルF <sub>0</sub> の1桁の内容が2に設定されます。
DM	このコマンドによりその時点におけるプログラムカウンタ、各レジスタ、各入出力ポート、メモリファイルなどの内容をプリントします。
RN	プログラムカウンタ、各レジスタ、各入出力ポート、メモリファイルの内容を変化させないで実行を開始します。

図1. アセンブルプログラム例

```

EXAMPLE PROGRAM
( 00 PAGE )
P. 1
SEQ. LOC:BRP/A. OBJ. ....1.....2....SOURCE STATEMENT.....5.....6.....7.....8

1          TTL   EXAMPLE PROGRAM ----- ①  EXA00010
2          ORG   0,0 ----- ②  EXA00020
3          * FILE DATA EXCHANGE ----- ③  EXA00030
4          * ----- ④  EXA00040
5          DIGMAX EQU 13          DIGMAX=13 ----- ⑤  EXA00050
6          00    04A    LZ      0 ----- ⑥  EXA00060
7          01    0E/00 100     BM   XCG02          EXCHANGE F0 & F2 ----- ⑦  EXA00070
8          02    0E/01 101     BM   XCG13          EXCHANGE F1 & F3 ----- ⑧  EXA00080
9          03    0E/07 107     BM   XCG23          EXCHANGE F2 & F3 ----- ⑨  EXA00009
10         04    000     NOP ----- ⑩  EXA00010
11         * ----- ⑪  EXA00100

12         ORG   E,0
13         * SUBROUTINE FILE EXCHANGE
14         *
15         * EXCHANGE FILE M(2*X,0-DIGMAX)
16         *
17         00    0CD    XCG02  LXY   0,DIGMAX          EXCHANGE F0 (0-DIGMAX) & F2(0-DIGMAX)---⑫  EXA00160
18         01    0DD    XCG13  LXY   1,DIGMAX          EXCHANGE F1 (0-DIGMAX) & F3(0-DIGMAX)---⑬  EXA00170
19         *
20         02    066    LBL4   TAM   2
21         03    062    XAM    2
22         04    068    XAMD   0
23 *WO*05    102     BM      LBL4          BM IS EQUIVALENT WITH B ON PAGE 14-----⑭  EXA00220
24         06    044     RT
25         *
26         07    0ED    XCG23  LXY   2,13          EXCHANGE F2 (0-DIGMAX) & F3(0-DIGMAX)
27         * COMMON ROUTINE START
28         *
29         08    065    LBL5   TAM   1
30         09    061    XAM    1
31         0A    068    XAMD   0
32 *WO*08    108     BM      LBL5
33         0C    044     RT
34         END

```



表1. シミュレータ制御コマンド一覧表

機能分類		制御コマンド		機能説明
		内 容	ニーモニック	
シミュレータ制御命令	スタート条件設定	シミュレータスタート	ST	コマンド入力装置、シミュレーション結果の出力装置、制御データの出力指定
	実行プログラム設定	実行プログラムのロード	LO	アプソリュートオブジェクトをロード
	コマンド入力変更	コマンド入力装置の変更	CM	コマンドの入力装置指定の変更
	終了	シミュレータ終了	FN	実行終了しモニタにリターン
実行制御命令	トレース	トレース領域の指定	TS	プログラムカウンタ、レジスタ、メモリファイルなどの内容をプリントしながら実行
		トレース領域の指定解除	TD	トレース領域の解除
		トレーステーブルのプリント	PT	登録されたトレーステーブルのプリント
	ホルト	ホルトポイントの指定	HS	ホルトポイントをページ、番地と実行回数で指定
		ホルトポイントの指定解除	HD	ホルトポイントの解除
		ホルトポイントテーブルのプリント	PH	登録されたホルトポイントテーブルのプリント
	データ設定	プログラムカウンタ、レジスタメモリファイル等の設定	MM	プログラムカウンタ、各レジスタ、各入出力ポート、メモリファイルなどの設定
		プログラムカウンタ、レジスタ、メモリファイル等の初期値化	CL	プログラムカウンタ、各レジスタ、各入出力ポート、メモリファイル等の初期値設定
	データ表示	プログラムカウンタ、レジスタ、メモリファイルなどのプリントダンプ	DM	プログラムカウンタ、各レジスタ、各入出力ポート、メモリファイル等の内容表示
	テーブルのダンプ	トレース、ホルトポイントテーブルの紙テープダンプ	DT	トレース及びホルトポイントテーブルの内容の紙テープ出力
		トレース、ホルトポイントテーブルの紙テープ入力	RT	トレース及びホルトポイントテーブルの紙テープから入力設定
	入力データ設定	入力データのプリント	PK	定期的な入力データを実行中にプリント
		入力データのプリント解除	NK	周期的な入力データを実行中プリントの解除
		データ入力装置の指定	DV	入力データの入力装置を指定
	開始	プログラムの実行続行	RN	プログラムカウンタ、各レジスタ、各入出力ポートメモリファイルの内容を変化させないで実行開始
		プログラムの実行	RS	プログラムカウンタ、各レジスタ、各入出力ポート、メモリファイルの内容を初期値化し実行開始

## シミュレータの使用例

MELPS 4シミュレータでは、スタート条件設定のSTコマンド及び、そのパラメータをシステムタイプライタから、タイプインすることにより、それ以後のコマンドは、紙カード又はシステムタイプライタのいずれかを選んで入力できます。また、途中でコマンド入力装置の変更も、CMコマンドで可能となります。MELPS 4クロスアセンブラでアセンブルの結果、ディスクに格納したオブジェクトファイルをもとにシミュレーションを行います。通常、MELCOM 70を使用の場合、EXEC SIML4によりシミュレータのプログラムを呼び出し、シミュレーション開始可能な状態になります。

シミュレーションすべきプログラムのトレース、実行などを行う場合は、以下述べますようなコマンドの指定を行います。

ST, X, Y, Zの形式で入力装置、結果の出力装置、リストの有無の指定を行います。ここで、Xは入力装置(S:システムタ

イプライタ、又はC:カードリーダー)、Yはシミュレーション結果の出力装置(L:ラインプリンタ、S:システムタイプライタ W:LとSの両方)、Zは制御データリスト出力の有無(L:制御データリストの出力、N:制御データリスト出力なし)の指定を行います。

(LO ファイル名)の形式でディスク格納オブジェクトプログラム(BDISKのファイル)をシミュレータにロードします。また、初期値設定が必要な場合、CLコマンド、MMコマンドなど使用できます。プログラムカウンタ、各レジスタ、各入出力ポート、メモリファイル等の値をCLコマンドですべて0にすることができます。またMMコマンドでそれらの値をMM XXXX=nnnnの形式で設定することができます。ここでXXXXはプログラムカウンタ、各レジスタ、各入出力ポート、メモリファイルを指定する記号又は数値を一方、nnnnはそれらの設定に必要なパラメータの値を表します。HS PP:aa, nnnnにより



## MELPS 4 PROM ライタ用紙テープ作成プログラム

## 概要

MELPS 4 PROM ライタ用紙テープ作成プログラムは、MELPS 4 のクロスアセンブラが生成するアブソリュート バイナリオブジェクト形式を他のオブジェクト言語形式に変換し、PROM ライタに書き込みのできる紙テープを作成するために用いられます。

このプログラムでは、PROM ライタにそのまま書き込みのできる16進のオブジェクト形式に変換する機能を有し、さらに、機能拡張性がありますので多様な仕様のPROM及びPROMライタに適用可能です。

## 特長

- ディスクに格納のバイナリオブジェクトを16進形式の紙テープに変換
- 簡単な制御コマンドでPROMに応じ紙テープを区切って出力
- MELPS 4 クロスアセンブラと一貫して使用可能
- 実行計算機ミニコンMELCOM 70  
(メモリ容量16K語以上、モニタBDOS)
- プログラム記述言語 FORTRAN IV (一部アセンブラ)

## 入出力媒体

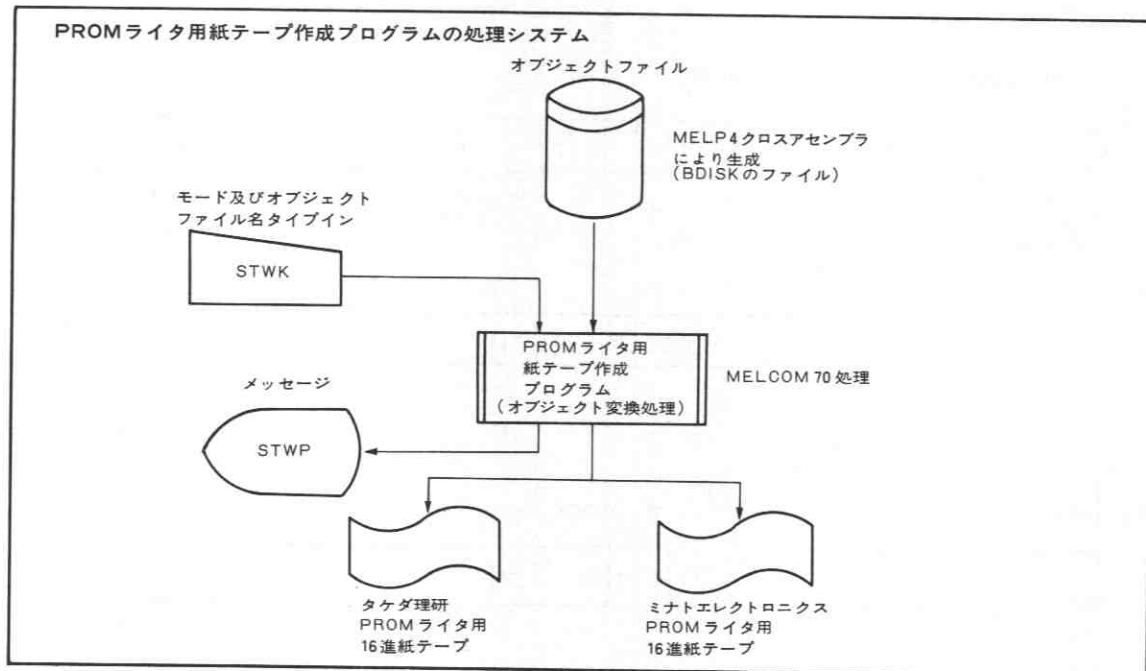
- 入力 : カートリッジディスク
- 出力 : 紙テープ (ASCIIコード 偶数パリティ)
- 制御命令入力 : システムタイプライタのキー
- メッセージ : システムタイプライタのプリント

## 応用

- タケダ理研製、ミナトエレクトロニクス製のPROMライタで1K語×8ビットのEPROM M58732S (2708相当) 等へのプログラム

## 機能概要

このプログラムは、MELPS 4クロスアセンブラによってディスクのエリアに生成されたアブソリュート バイナリ オブジェクト形式をタケダ理研製(T310)PROMライタ用又はミナトエレクトロニクス製(1830形及び1802形)PROMライタ用の16進オブジェクト形式に変換し、PROMに応じた容量(バイト数)に区切って紙テープを出力します。



## 注文方法

## ●プログラム

プログラム名	オーダー番号	プログラム・説明書の構成
MELPS 4 PROMライタ用紙テープ作成プログラム	GBISP0001	MELPS 4 ハンドブック 支援ソフトウェア編 GBM-SR10-01A<93A0>

# MELPS 4 PROM ライタ用紙テープ作成プログラム

## プログラム処理機能の説明

このプログラムは、タケダ理研製、ミナトエレクトロニクス製 PROM ライタ用へ選択的に変換できる機能をもっています。システムタイプライタのキーボードより T<sub>1</sub> モード (タケダ理研製用)、M<sub>1</sub> モード (ミナトエレクトロニクス製用) の機能選択を行い、変換の対象のオブジェクト ファイル名 (BDISK のファイル) を呼び出すのみで、すぐに、必要な紙テープに変換されます。さらに、同じファイルから何本も紙テープ変換する場合はそのまま同様なくり返して行うことができます。終了は E コマンドによりモニタに制御を戻すことができます。

オブジェクトのファイルは、名称部、テキスト部より構成されていますが、このとき、変換の対称となるデータはテキスト部に入っています。ディスクの中のセクタ 1 以後に入っている命令コードのデータのうち、機械語命令に対応するコードが 16 進に変換され紙テープとして出力されます。

## 16進紙テープのフォーマットの例

タケダ理研製用及び、ミナトエレクトロニクス製の紙テープを出力することができますが、このプログラムで作成される紙テープのフォーマットの例を図 1、図 2 に示します。

注. テープ区切目のスプロケットホールは必ず 100 個以上入れ、最後は 200 個以上とします。

図 1. タケダ理研製 16 進紙テープフォーマットの例

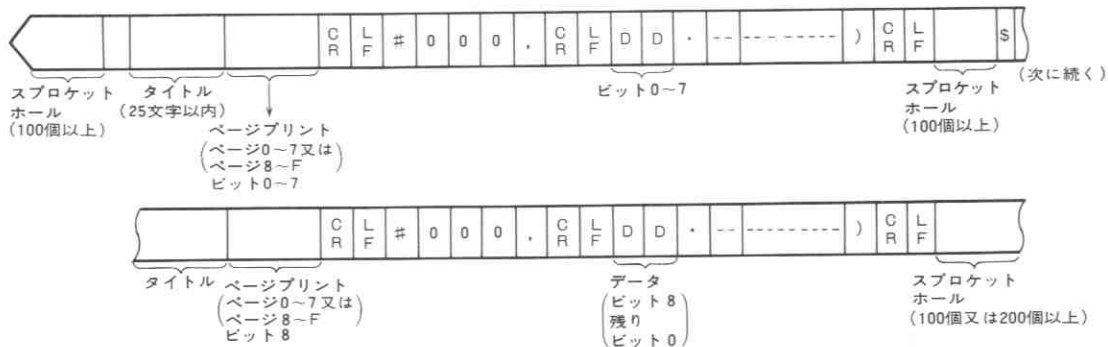
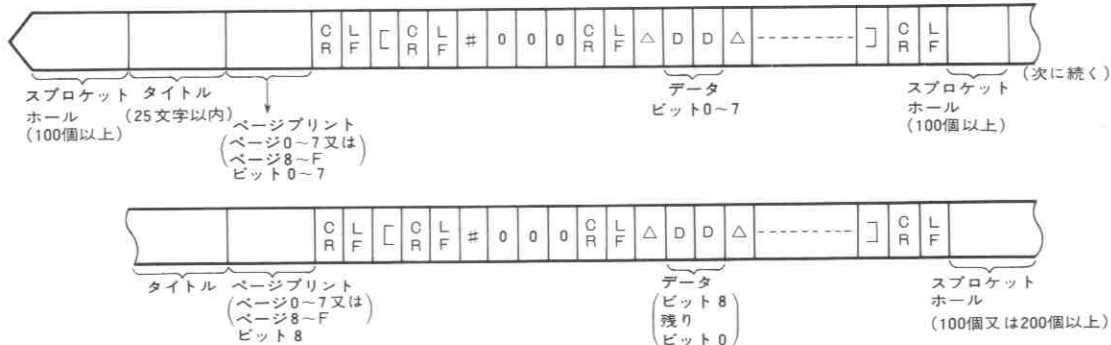


図 2. ミナトエレクトロニクス製 16 進紙テープフォーマットの例



## オブジェクト変換の例

現在、このプログラムは、1K 語単位の紙テープを 4K 語まで出力できます。その例を図 3 に示めます。

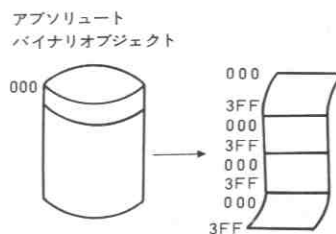
## エラー処理

オブジェクト変換時にエラー発生の場合、次のようなフォーマットでプリントします。

\$\$\$\$\$\$ XXX\$

ここで XXX はエラー番号を示します。

図 3. オブジェクト変換の例



## MELPS 41 クロスアセンブラ

## 概要

MELPS41クロスアセンブラは、三菱CMOSワンチップ4ビットマイクロコンピュータM58494-XXXXP応用機器に用いるアプリケーションプログラム開発のために準備されたソフトウェアの一つです。

本クロスアセンブラでは、アプリケーション用プログラム作成効率をよくするためにフリーフォーマット形式でコーディングができ、各種の入力媒体の使用が可能です。さらに、制御コマンド及び制御データにより命令コードと機能の変更に柔軟性があります。

## クロスアセンブラの特長

- コーディング形式がフリーフォーマット
- ソース入力媒体各種使用可
- 命令コード及び機能変更が容易
- 制御データをディスクにカタログ可能
- 定数は10進以外の表現も可能
- オペランド内の数式扱い可能
- 各テーブルリスト及びクロスリファレンスリスト出力可能
- 実行計算機ミニコンMELCOM70

(メモリ容量24K語以上、モニタBDOS)

- プログラム記述言語FORTRAN IV (一部アセンブラ)

## アセンブラ言語の特長

- 擬似命令9種
- マクロ命令1種
- 機械語命令93種
- 機械語命令オペランドの定数は10進数を標準

## 入出力媒体

- ソース入力 : 紙カード、紙テープ、磁気ディスク、磁気テープ
- 制御データ入力 : 紙カード、紙テープ、磁気ディスク
- 制御コマンド : 紙カード、システムタイプライタのキー
- オブジェクト出力 : 磁気ディスク、紙テープ
- リスト出力 : ラインプリンタ、システムタイプライタ

## 機能概要

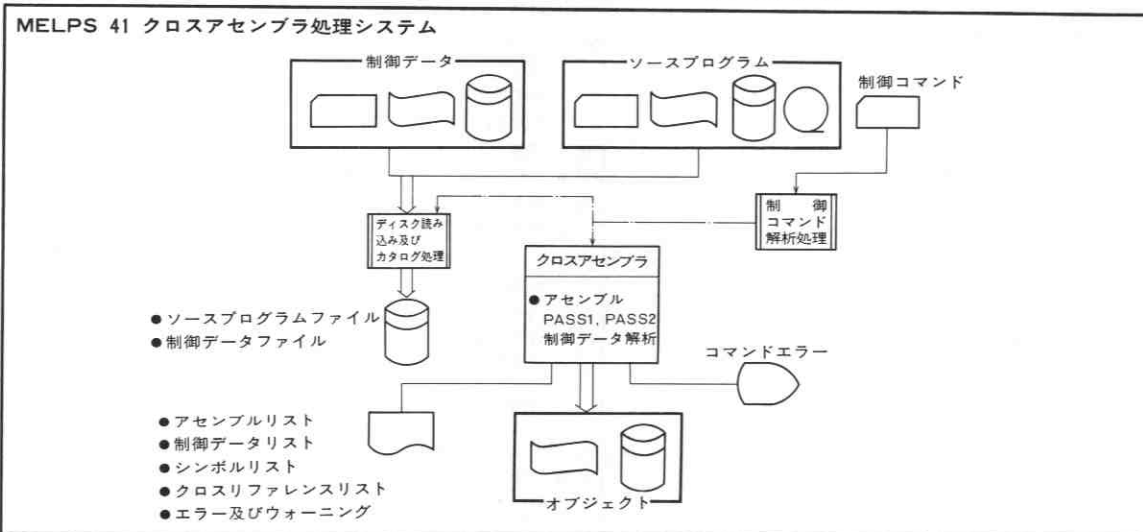
このクロスアセンブラはMELPS41アセンブラ言語によるソースプログラムを機械語命令コードに変換し、バイナリアプソリュートオブジェクトの形でディスクにファイルとして格納します。

MELPS41クロスアセンブラは、2パスの処理機能とデータ解析、制御コマンド解析及びカタログ処理の機能をもっています。

制御データは、命令のビット数指定、命令記号テーブル、各数値設定のテーブル等変更が容易にできます。仕様の変更にも自由度があります。

たとえば、機械語命令のニーモニック等は、ユーザ側で自由に変更して定義することもできます。MELPS41のニーモニックに対応するコードは10ビットで表されます。

MELPS41アセンブラ言語では、表1に示すように9種のアセンブル制御コマンドと表2のような9種類の擬似命令を使用することができます。



## 注文方法

## ●プログラム

プログラム名	オーダー番号	プログラム・説明書の構成
MELPS 41クロスアセンブラ	GBIAS0003	MELPS 41アセンブラ言語説明書 MELPS 41クロスアセンブラ説明書 MELPS 41クロスアセンブラ操作説明書

## MELPS 41 クロスアセンブラ

## クロスアセンブラ機能の説明

本クロスアセンブラでは、表1の各種コマンドを用いて容易にアセンブルができます。

ソースプログラムと制御データを紙カード、紙テープ、磁気テープ、磁気ディスク等各種の媒体から入力でき制御データも紙カード、紙テープ、磁気テープ、磁気ディスクから入力することができます。

制御データ等変更の少ないものは標準的な制御データを作成して、磁気ディスク中にたくわえておくことと便利です。

制御コマンド解析処理にしたがって、制御データの処理をパス1でシンボルテーブルの処理をパス2で命令コードに変換する処理を行って、それぞれの制御コマンドの指定に応じて制御データ、ラベル、アセンブルのリストを出力します。このときのアセンブルのリストはオブジェクトのコードを16進で表示します。また、制御コマンド、シーケンシャル番号各ページのロケーション、飛び先ページのロケーション、ソースステートメント等をプリントします。

さらに、エラー、ウォーニングを表示し、ROMページリスト、クロスリファレンスリスト等も出力します。

## クロスアセンブラオブジェクト言語

オブジェクトのディスクファイルは、名称部とテキスト部から構成されます。また、紙テープの場合、名称部、テキスト部、終了部で構成されます。

ディスクのオブジェクトファイルでは、名称部はセクタ0に作成され、テキスト部の命令総数、制御データ等の情報

を記録しています。

テキスト部は、セクタ1以後に作成され、ソースプログラムを命令コードに変換したデータとそれに関連するシミュレータ実行等に必要のデータを含んでいます。

## アセンブラ言語の機能

MELPS41クロスアセンブラで使用できる言語は、機械語命令、擬似命令、マクロ命令です。

## 1. 機械語命令

この機械語命令は機械語と1対1に対応し、オブジェクト変換の対称となる命令で93種の基本命令が使用できます。

それらのニーモニック、命令コード、各命令の機能の説明は機械語命令一覧表を参照ください。

## 2. 擬似命令

擬似命令は、機械語命令とともにソースプログラムの中で扱われますがROMに書き込まれる命令コードの変換の対象とならずアセンブルに必要な命令を与えます。

この命令の中には、アセンブラ制御命令、数値記号定義命令、リスト制御命令、メモリアドレス設定命令があります。

## 3. マクロ命令

本命令は、いくつかの機械語命令の組み合わせを1語命令で表現したものです。例えば、RAMアドレス命令LXx、LYy、LZzを用いて内部メモリアドレス設定及び外部メモリアドレス設定を行う場合(LZXY記号)の形式で使用することができます。

表1. アセンブル制御コマンド

制御コマンド名称		コマンド形式	機能説明
入出力指定制御		///ASM41, X, Y, U, Z	アセンブルの実行の有無、アセンブルリストの指定 オブジェクト出力の指定、制御データリストの指定 $X = \begin{pmatrix} A \\ P \end{pmatrix} \begin{matrix} X: \text{アセンブル実行指定} \\ A: \text{アセンブル} \\ P: \text{カタログ機能} \end{matrix} \quad U = \begin{pmatrix} O \\ N \end{pmatrix} \begin{matrix} U: \text{オブジェクト出力指定} \\ O: \text{オブジェクトの出力} \end{matrix}$ $Y = \begin{pmatrix} L \\ N \end{pmatrix} \begin{matrix} Y: \text{アセンブルリストの指定} \\ L: \text{リスト出力} \\ N: \text{出力しない} \end{matrix} \quad Z = \begin{pmatrix} L \\ N \end{pmatrix} \begin{matrix} Z: \text{制御データリストの出力} \end{matrix}$
入力装置指定制御命令		///INPUT, X, Y, Z	制御データ入力、ソースプログラムの入力及び磁気テープのコードの指定 $X = \begin{pmatrix} C \\ D \\ P \\ N \end{pmatrix} \begin{matrix} X: \text{制御データ入力の指定} \\ C: \text{カードリーダー} \\ D: \text{ディスク} \\ P: \text{紙テープリーダー} \\ N: \text{入力なし} \end{matrix} \quad Y = \begin{pmatrix} C \\ D \\ P \\ M \end{pmatrix} \begin{matrix} Y: \text{ソースプログラム入力指定} \end{matrix}$ $Z = \begin{pmatrix} A \\ E \end{pmatrix} \begin{matrix} A: \text{ASCIIコード} \\ E: \text{EBCDICコード} \end{matrix}$
出力装置指定制御		///OUTPUT, X, Y	オブジェクト出力の装置及び出力リスト1行の文字選択 $X = \begin{pmatrix} D \\ P \end{pmatrix} \begin{matrix} X: \text{オブジェクト出力装置} \\ D: \text{ディスク} \\ P: \text{紙テープ} \end{matrix} \quad Y = \begin{pmatrix} C \\ \text{なし} \end{pmatrix} \begin{matrix} Y: \text{1行の文字数指定} \\ C: \text{80文字} \\ \text{省略}: \text{120文字} \end{matrix}$
ファイル制御	制御データ	///CDISK, XXXXXX	制御データファイル名の指定(6文字以内)
	ソースプログラム	///SDISK, XXXXXX	ソースプログラムファイル名の指定(6文字以内)
	オブジェクト	///BDISK, XXXXXX	オブジェクトファイル名の指定(6文字以内)
日付指定制御		///CDATE, YY, MM, DD	年月日の指定 YY:年(2桁) MM:月(2桁) DD:日(2桁)
実行開始制御		///RUN	クロスアセンブラの実行を開始します。
終了指定制御		///END	クロスアセンブラの実行を終了します。

表2. 擬似命令一覧表

分類	命令記号	名称	機能
アセンブラ 制御命令	TTL	タイトル宣言命令	プログラムのタイトルを宣言します。
	ORG	プログラムカウンタ設定命令	以下に続くプログラムの先頭番地を設定します。
	PAGE	プログラムカウンタページ替命令	以下に続くプログラムの番地を次のページの先頭に設定します。
	PAUSE	アセンブル一時停止命令	アセンブルを一時停止します。但し、バス1実行のみ有効。
	END	プログラム終了宣言命令	一つのプログラムの終了を宣言します。
数値記号 定義命令	EQU	数値記号設定命令	指定される数値記号に定められた数値を設定します。
リスト制御 命令	EJE	改ページ宣言命令	アセンブルリストにおいてEJEをプリント後、用紙を次ページに進めます。
メモリアドレス 設定命令	INTM	内部メモリアドレス設定命令	指定された記号に内部メモリアドレスを設定します。
	EXTM	外部メモリアドレス設定命令	指定された記号に外部メモリアドレスを設定します。

表3. マクロ命令一覧表

命令記号	機能
(注) LZXY ℓ±n	(1)ℓがINTM命令で設定された記号のときは、 LXx, LYyの2命令に展開します。 (2)ℓがEXTM命令で設定された記号のときは、 LZz, LXx, LYyの3命令に展開します。

注ℓはINTM又はEXTM命令で指定された記号nは16進数  
0 ≤ n ≤ 4095

#### 4. 言語形式

本クロスアセンブラでは、次のような形式でプログラムのコーディングを行います。

ソースプログラムの1ステートメントは、ラベル欄、命令欄、オペランド欄、コメント欄及び識別欄で構成されます。ソースステートメントの形式はフリーフォーマットで図1の例のようになります。

なお、定数は通常10進で扱いますが、擬似命令及び制御データの定義を用いることにより16進表現も可能です。

ステートメントに使用できる文字は次のとおりです。

- 英文字 A~Z
- 数字 0~9
- 特殊記号 : ; =, ▼ @\$+-\*!/&(), #%<> ?  
空白

#### (1) ラベル欄

ラベルは、そのときのプログラムカウンタの値が割りつけられます。前述の英数字及び特殊記号を使用できます。また、ラベルの最後には:をつけます。ただし、第1カラムに\*をラベルとして使用できません。

#### (2) 命令欄

この欄に機械語命令の記号をコーディングします。機械語命令の他に擬似命令としてアセンブラ制御命令、数値記号定義命令、リスト制御命令、メモリアドレス設定命令等が使用できます。

#### (3) オペランド欄

命令のパラメータが指定される欄でラベルの記号、定義されたシンボル数値等記入します。通常、命令の最後より1文字以上の空白が必要です。

#### (4) コメント欄

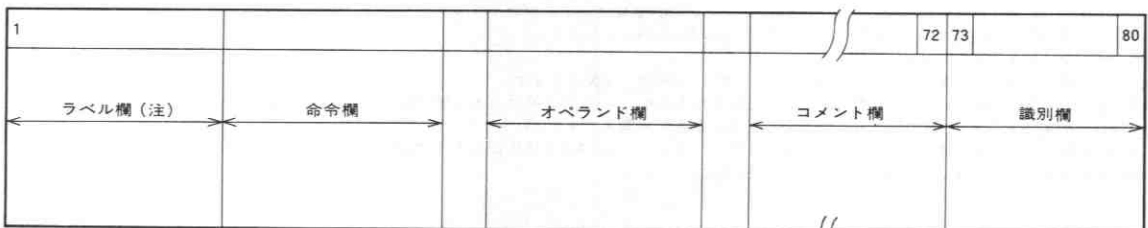
ステートメントの注釈を書く欄でソースステートメントをオブジェクトに変換する過程でオブジェクト生成の対象になりません。

ソースステートメントの第1カラムにアスタリスク(\*)を記述するとそのステートメント全てがコメントとなります。また、命令欄、オペランド欄の次に1つ以上の空白を入れると空白以降の文字はコメントになります。

#### (5) 識別欄

この欄には必ずしも記入する必要はありませんが、カードの区別取り扱い上、シーケンス番号等を記入します。

図1. ソースステートメントの形式



注. ラベルの最後には:をつける

## MELPS 41 クロスアセンブラ

## アセンブルリストの形式

前述のフォームでコーディングされたソースプログラムをアセンブルすることにより、アセンブルリスト、シンボルテーブルリスト、クロスリファレンスリスト、ROMページリスト等をプリントすることができます。

この場合のアセンブルリストの例を図2に示します。アセンブルリストの中でページ、アドレス及びロケーションの命令コードは16進で表現されます。

## メッセージの方式

アセンブルリストに出力されるメッセージは、エラーメッセージとウォーニング等がプリントされます。エラーの場合は、エラー発生ステートメントの下に次のような形式でメッセージを出力します。

```
$$$$$ERRORLXXXL$ エラー内容メッセージ
ここでXXXはエラーの種類を番号で示します。
```

また、アセンブルリストの最後にエラーの全数をカウントし、その数を表示します。なお、エラーの場合はクロスリファレンスリストは出力されません。

図2.アセンブルリストの例

```
MELPS 41 EXAMPLE PROGRAM ( 00 PAGE ) P. 1
SEQ. LOC. BRP/A. OBJ. ....*.....1.....*.....2.....SOURCE STATEMENT.....*.....5.....*.....6.....*.....7.....*.....8
1          *          TTL MELPS 41 EXAMPLE PROGRAM.....① EXA00000
2          *          .....② EXA00010
3          A: EQU 10      SYMBOL 'A' IS EQUAL TO 10.....③ EXA00020
4          REG1: EXTM 200  Z:X:Y=2:0:0 ; TOP ADDRESS OF REGISTER NO.1.....④ EXA00030
5          REG2: INTM 10   X:Y=1:0 ; TOP ADDRESS OF REGISTER NO.2.....⑤ EXA00040
6          *          .....⑥ EXA00050
7          *          ORG 0+10 .....⑦ EXA00055
8          10          19A  LA A .....⑧ EXA00060
9          11          036  SMR1 RESET BUS FLOUTING MODE SET(MR1) .....⑨ EXA00070
10         12          1C1  LP 1 .....⑩ EXA00080
11         13          1A2  LZXY REG1 .....⑪ EXA00090
12         14          180 .....⑫ EXA00100
13         15          180 .....⑬ EXA00110
14         16          01/03 383 BM INTEX REGISTER NO.1 SAVE OUT EXTERNAL MEMORY.....⑭ EXA00120
15         17          1B1  LZXY REG2 .....⑮ EXA00130
16         18          180 .....⑯ EXA00140
17         19          01/00 380 BM EXTIN REGISTER NO.2 RESTORE IN INTERNAL MEMORY.....⑰ EXA00150
18         1A          000  NOP .....⑱ EXA00160
19         *          * ;; MEMORY DATA TRANSFER SUBROUTINE ;; .....⑲ EXA00170
20         *          * NOTE. MEMORY FROM EXTERNAL TO INTERNAL .....⑳ EXA00180
21         0J          OFC  EXTIN: TSMI (Y)=(Y)+1 , IF ((Y).EQ.0) RETURN SUBROUTINE .....㉑ EXA00190
22         01          100  B EXTIN .....㉒ EXA00200
23         02          OF8  RT .....㉓ EXA00210
24         *          * NOTE. MEMORY FROM INTERNAL TO EXTERNAL .....㉔ EXA00220
25         03          OFE  INTEX: TMSI (Y)=(Y)+1 , IF ((Y).EQ.0) RETURN SUBROUTINE .....㉕ EXA00230
26         04          103  B INTEX .....㉖ EXA00240
27         05          OF8  RT .....㉗ EXA00250
28         *          * END .....㉘ EXA00260
```

- ① プログラム名を「MELPS41 EXAMPLE PROGRAM」と宣言します。
- ② 第1カラムに「\*」を記述すればコメント行となります。
- ③ 数値記号設定命令によりシンボル「A」に数値10(10進数)を割り付けます。
- ④ 外部メモリアドレス設定命令によりシンボル「REG1」に対してZ:X:Yを2:0:0に割り付けます。
- ⑤ 内部メモリアドレス設定命令によりシンボル「REG2」に対してX:Yを1:0に割り付けます。
- ⑥ プログラムカウンタ設定命令によりページ0の10(16進数)番地に以下のプログラムを割り付けます。
- ⑦ レジスタAにシンボル「A」に割り付けられた10(10進数)をロードします。
- ⑧ ページレジスタに1をロードします。
- ⑨ シンボル「REG1」に割り付けられた値をLZ, LX, LY命令に展開されます。
- ⑩ BM命令のラベル「INTEX」がアセンブル時に割り付けられ1ページの3番地にあるサブルーチン呼び出します。
- ⑪ シンボル「REG2」に割り付けられた値をLX, LY命令に展開されます。
- ⑫ BM命令のラベル「EXTIN」がアセンブル時に割り付けられ1ページの0番地にあるサブルーチン呼び出します。
- ⑬ プログラムカウンタのページを次のページに進める。

## MELPS 41 シミュレータ

## 概要

MELPS41シミュレータは、三菱CMOSワンチップ4ビットマイクロコンピュータM58494-XXXP及びマイクロプロセッサ用機器のアプリケーションプログラムのデバッグを容易にしプログラムの開発能率をよくするために用意されたソフトウェアの一つです。

このシミュレータは、デバッグの対象となるプログラムの各命令を実際のシステム装置と同様の仮定のもとで、動作させてソフトウェア上、正しく動くことを確認することができます。各種のシミュレータ制御コマンドを用いてシミュレートし結果をリストに出力することができます。

## 特長

- 制御コマンドが豊富……………26種
- トレース、ホルトテーブルの作成及び削除
- 割り込み発生設定及び周期的割り込み可
- 入出力ポートの設定
- データ設定
- 実行時間カウンタの設定
- 逆アセンブル可能
- メモリ保護領域設定
- 実行計算機MELCOM 70(メモリ24K語以上)
- プログラム記述言語FORTRAN IV(一部アセンブラ)

## 入出力媒体

- オブジェクト入力 : カートリッジディスク、紙テープ
- 制御コマンド : 紙カード、システムタイプライタのキー
- 中間結果 : 紙テープ
- シミュレーション結果: ラインプリンタ、システムタイプライタ
- メッセージ : システムタイプライタ、ラインプリンタ

## 応用

ワンチップ4ビットマイクロコンピュータのプログラム開発のシリーズとしてMELPS41クロスアセンブラと一貫して使用できます。特に、M58494-XXXP(CMOSマイコン)、その他応用システムの開発のデバッグとして適用されます。

## 機能概要

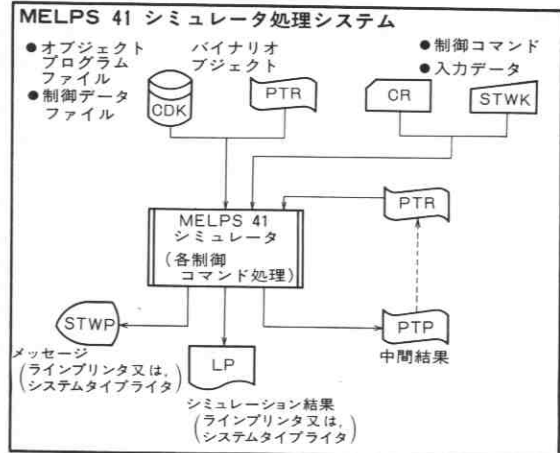
MELPS41シミュレータは各種のシミュレータ制御コマンドを有し、デバッグすべきプログラムのシステム上の動作状態を設定したり、停止させることができます。そのときのシステムの動作やCPUの状態、メモリの内容等トレース表示ができます。また、割り込みの発生の設定等もでき、プログラムが目的にそった正しい動きをするかどうかをソフトウェア的に確かめることができます。

本シミュレータではトレース、ホルトテーブルの作成及

## 注文方法

## ●プログラム

プログラム名	オーダ番号	プログラム・説明書の構成
MELPS 41 シミュレータ	GBISM0002	MELPS41シミュレータ説明書 MELPS 41 シミュレータ操作説明書



び削除、各テーブルのプリント、レジスタ、スタックポインタ、キャリアフラグ、メモリ、I/Oポートの設定及びプリント表示ができます。さらに、割り込み発生、タイマーの設定、逆アセンブル等の26種の制御コマンドが使用できます。

## シミュレータ処理機能の説明

MELPS41クロスアセンブラによって生成されたディスクファイル(BDISK)中のバイナリオブジェクトをこのプログラムの中で処理し、各種のシミュレータ制御コマンドに従ってシミュレーションを行い結果をラインプリンタ又はシステムタイプライタに選択的に表示できます。

さらに、中間結果を紙テープで出力したり入力したりすることもできます。

シミュレータ制御コマンドはシミュレーションの開始終了、プログラムのロード、プログラム退避、入出力装置の変更等行うことのできるシミュレータ制御命令とシミュレーションの実行状態をコントロールする各種の実行制御命令に分類されます。

## 各制御コマンドの入力形式

/// X X □ [パラメータ]

XX : 2文字記号で指定され、26種類あります。  
パラメータ: 各制御コマンドの中で規定されたものから必要なパラメータを選択できます。パラメータ間は“,”で区切ります。

パラメータの構成の例として予約語、アドレス表示、数値設定、数値表示、時間設定の場合をあげます。



## MELPS 41 シミュレータ

表1. シミュレータ制御コマンド一覧表

機能分類	項目	制 御 コ マ ン ド		機 能 説 明
		内 容	ニーモニック	
シミュレータ制御	シミュレータ開始	シミュレーション開始条件指定	ST	各制御コマンドの入力装置シミュレーション結果の出力装置を指定して開始状態に設定
	実行プログラムの設定	実行プログラムのロード	LO	アプソリュートオブジェクトプログラムのロード (入力装置ファイル名の指定)
	プログラムの退避	実行プログラムの退避	SV	プログラムの内容、レジスタ、ポート、F/F、タイマー、メモリ等中間結果を紙テープに出力
	シミュレーション出力装置指定	コマンド入力及びシミュレーション結果出力の装置を選択	DV	コマンド入力の装置及びシミュレータ結果出力装置を装置記号で指定
	シミュレータ終了	シミュレーションの終了指定	FN	実行終了しモニタにリターン
実行制御	ト レ ース	トレース領域の指定	HS	トレース領域先頭及び終了アドレスを設定トレースレジスタ、ポート、タイマー、メモリプリントを指定に応じてプリントしながら実行
		トレース領域の指定	TD	トレース領域指定をテーブル番号指定により削除
		トレーステーブルのプリント	PT	登録されたトレーステーブルのプリント
	ホ ル ト	ホルトポイントの指定	HS	停止点をページ、番地及び実行回数で指定
		ホルトポイントの指定解除	HD	指定された停止点を解除
	デ ー タ 設 定	ホルトポイントテーブルのプリント	PH	登録されたホルトポイントテーブルのプリント
		プログラムカウンタ、レジスタ、メモリ、ファイル等の初期値化	MM	プログラムカウンタ、各レジスタ、各入出力ポート、メモリファイル等に値を設定
	デ ー タ 表 示	プログラムカウンタ、レジスタ、メモリファイル等の初期値化	CL	プログラムカウンタ、各レジスタ、各入出力ポート、メモリ等のクリア
		プログラムカウンタ、レジスタ、ポート、フリップフロップ、メモリ、タイマ等プリント	DM	プログラムカウンタ、各レジスタ、各入出力ポート、フリップフロップ、メモリ、タイマー等の内容表示
	ポ ー ト 制 御	入力ポート制御	IN	入力ポートデータの読み込み装置及びプリントモード指定による入力ポートの制御
		出力ポート制御	OT	出力ポートから得られるデータの出力装置指定
	割 り 込 み	割り込み発生の指定	IT	割り込みの種類、割り込み発生、先頭番地、発生サイクル数等、割り込み条件の設定
		割り込み発生の指定の削除	ID	指定された割り込み発生テーブルの削除
		割り込み発生のプリント	PI	割り込み発生テーブルのプリント
	実行ステップタイム	実行時間タイマ設定とプリント	TI	実行時間タイマーの設定及び実行ステップ数をプリント
	メ モ リ 保 護	メモリ保護領域の指定	PS	メモリの種類、保護領域の先頭アドレス及び終了アドレスを指定書き込み禁止
		メモリ保護領域の削除	PD	メモリ保護テーブル番号によりメモリ保護指定の削除
		メモリ保護領域のプリント	PP	メモリ保護テーブルの内容プリント
	実 行 開 始	プログラム実行開始	RN	シミュレーション実行を開始し、ホルトポイント、実行リミットステップ数を実行すると停止
		実行命令	GO	シミュレーション実行を開始し、ホルトポイントで停止。この場合トレース領域指定は無効。
逆アセンブル	逆アセンブル制御	PA	指定された領域を逆アセンブルソースリストをプリント	

## (1) 予約語

シミュレータの中で機能によって分類され前もって定められた文字記号、プログラムカウンタ(PC)、メモリ、レジスタ、ポート等を指定する記号。

///**MM** REGS A=9

## (2) アドレス表示

内部メモリ、外部メモリ及びROMのアドレス表示

///**DM** EXT**M**, 0:1:E, 0:A:5 ……外部メモリアドレス表示

///**DM** INT**M**, 0:0, 1:0 ……内部メモリアドレス表示

///**MM** PROG, OF:23 ……ROMアドレス表示

## (3) 数値設定

各機能のパラメータに数値を設定

///**MM** FFLG, CY=1

## (4) 数値の表示方法

10進又は16進で表示

///**MM** TIME, T1=E

## (5) 時間設定

指定された時間を設定

///**TI** SET, 8:15:3

注. 8 ms、15.3µsを表す。

## シミュレータの使用例

MELPS41シミュレータでは、シミュレーション開始条件の指定のSTコマンドを用い、そのパラメータをシステムタイプライタからタイプインすることにより、これ以後のコマンドは紙カード又はシステムタイプライタのいずれかを選んで入力できます。



## MELPS 41 シミュレータ

また、コマンド入力装置及び結果の出力装置を指定することもDVコマンドのパラメータ設定することにより可能です。

MELPS 41クロスアセンブラでアセンブルの結果、ディスクに格納したオブジェクトファイルをもとにシミュレーションを行います。通常、MELCOM 70を使用の場合、//EXEC SIM41によりシミュレータのプログラムを呼び出しシミュレーション実行可能な状態となります。システム応用プログラムのシミュレーションにおいて、トレース、実行などを行う場合、コマンドの指定の例を以下に述べます。

ST<sub>X</sub>、Yの形式で入力装置、結果の出力装置の指定を行います。ここでXは入力装置(S:システムタイプライタ、又はC:カードリーダー、省略の場合S指定と同じ)、Yはシミュレーション結果の出力装置(L:ラインプリンタ、S:システムタイプライタ、省略の場合Lと同じ)の指定をします。

次に、(LO<sub>ファイル名</sub>)の形式でディスク格納オブジェクトプログラム(BDISKのファイル)をシミュレータにロードします。

また、初期値をクリアするときは、CLコマンド、初期値設定必要な場合はMMコマンド等使用できます。

プログラムカウンタ、各レジスタ、各入出力ポート、メモリファイル等の値をCLコマンドにより0にします。また、MMコマンドでそれらの値をMM<sub>XXXX</sub>、nnnnの形式で設定できます。

ここでXXXXはプログラムカウンタ、各レジスタ、各入出力ポートメモリファイルを指定する記号又は数字、一方nnnnはそれらの設定に必要なパラメータの値を表します。

ホルトコマンド、HS PP: aa nnnnを指定するとページPP内のaa番地までnnnn回実行後、停止します。

TS<sub>P<sub>1</sub>P<sub>1</sub>: a<sub>1</sub>a<sub>1</sub></sub>、P<sub>2</sub>P<sub>2</sub>: a<sub>2</sub>a<sub>2</sub>、R、P、I、X<sub>1</sub>: Y<sub>1</sub>、X<sub>2</sub>: Y<sub>2</sub> (、E、Z<sub>1</sub>: X<sub>1</sub>: Y<sub>1</sub>、Z<sub>2</sub>: X<sub>2</sub>: Y<sub>2</sub>)の形式でトレースの指定ができます。

ページP<sub>1</sub>P<sub>1</sub>のa<sub>1</sub>a<sub>1</sub>番地からページP<sub>2</sub>P<sub>2</sub>のa<sub>2</sub>a<sub>2</sub>番地までトレースし、Rで各レジスタ及びF/Fプリント、Pでポート及びタイマープリント、Iは内部メモリ、Eは外部メモリのプリントのモードを指定する。

DMコマンドでは、その時点の各レジスタ、ポート、フリップフロップ、メモリ、タイマ、プログラムカウンタの内容を表示します。

割り込みの場合、IT、ID、PIのコマンドが使用できます。ITは割り込みの種類、割り込み発生の先頭番地、発生サイクル数等を指定します。IDは割り込み発生の指定を削除し、PIでは割り込み発生テーブルをプリントします。

実行時間タイマー設定及びプリントにはTIコマンドを使用できます。メモリ保護にはPS、PD、PPのコマンドがありPSはメモリ保護領域の指定PDはメモリ保護領域指定の削除、PPでメモリ保護領域のプリントを行います。

RN及びGOで実行を開始し、ホルトコマンドHSのパラメータで指定されたところまで実行します。この場合、RUでは実行リミットステップ数及びIDLE命令を実行すると停止します。GOではIDLE実行後停止し、また、トレース領域指定は無効となります。

さらに、トレース指定の解除はTDコマンドで行い、ホルトポイント指定解除はHDコマンドで行うことができます。

表2. シミュレータ制御コマンドの使用例

制御コマンドの使用例	制御コマンド及びパラメータの説明
///ST <sub>S</sub> , L	シミュレータのスタート条件設定としてコマンドの入力装置及びシミュレーション結果出力装置の指定をします。この場合コマンド入力Sはシステムタイプライタ、結果の出力装置Lはラインプリンタとなります。
///LO <sub>D</sub> , BFILE	ディスク(BDISK)に格納されたBFILEというファイル名のファイルをシミュレータにロードします。
///CL <sub>INTM</sub> , 0:0, 0:F	指定されたメモリの内容をクリアします。この場合内部メモリの0ファイルの0桁から0ファイルのF桁までクリアします。
///HS <sub>5</sub> :F, 2	ホルトポイントの指定でページ5のF番地を2回実行するとホルトします。
///TS <sub>0</sub> :5, E:F, R, P	ページ0の5番地からページEのF番地までトレース実行後、各レジスタ及びフリップフロップ、各ポート及びタイマー等の内容の表示を指定します。
///IT <sub>INTA</sub> , 0:F, 5	ページ0のF番地より割り込みAを発生し引き続き5ステップごとに割り込みAを発生させます。
///PT <sub>INTA</sub> , 0:F, 5	登録されたトレーステーブルをプリントします。このコマンドでTSコマンドの指定が確認できます。
///PH	ホルトポイントテーブルをプリントします。このコマンドでHSコマンドの指定が確認できます。
///MM <sub>PORT</sub> , Q=A5	ポートQにA5を設定します。
///MM <sub>INTM</sub> , 0:0 0:0 0=1 0:1 0=*	0ファイルの0桁の0という数値データを1に変更します。
///DM	このコマンドによりその時点におけるプログラムカウンタ、各レジスタ各入出力ポート、フリップフロップ、メモリ、タイマ等の内容をプリント表示します。
///RN 50	シミュレーション実行を開始し、ホルトポイントの番地になったときは又実行ステップ数が50になったとき実行を停止します。

## MELPS 41 シミュレータ

図1. シミュレーション結果の例

```

*** START SIMULATOR OF MELPS 41 ***

//ST .....①
//LO D:BF 1LF .....②
//M INTH:0:0 .....③
0:0 0=1
0:1 0=2
0:2 0=.
//M INTH:0:F
0:F 0=3
1:0 0=.
//M EXTH:2:1:0 .....④
2:1:0 0=A
2:1:1 0=.
//M EXTH:2:1:1E
2:1:1E 0=B
2:1:1F 0=C
2:2:0 0=.
//M REGS:PC=10 .....⑤
//TS 00:16:00:17+E+2:0:0+2:1:F .....⑥
//TS 00:16:00:16+R .....⑦
//TS 00:19:00:1A+1:0:0+1:F .....⑧
//TS 00:19:00:19+R .....⑧
//D# REGS .....⑨
(REGS)
PC PRFG ACC TR O R S T U Z XY SP K
00:10(00) 0 0 00 00 00 00 00 0 0 0 F 00:00
//PT .....⑩
***** TRACE DUMP TABLE *****
TBL#NO TRACE-ADD TRACE-MODE *****
1 00:16 00:17 E(2:0:0+2:1:F)
2 00:16 00:16 R I(0:0+1:F)
3 00:19 00:1A R
4 00:19 00:19 R
* CATALOG COUNT = 4 *
//PH .....⑪
***** HALT POINT TABLE *****
TBL#NO HALT-ADD EXEC-NUM *****
1 00:1A 1
* CATALOG COUNT = 1 *
//TI SET .....⑫
//RN 100 .....⑬
00/16 S83 BM 03
(REGS)
PC PRFG ACC TR U R S T U Z XY SP K
01:05(02) A 0 00 00 00 00 00 2 0 0 0 00:00
(IFFLG)
CY INTF INT MF MR MR1 MR2 IOA
(A) (T) (B) (A) (T) (B) (21LU)(SRBT)(-AI)
0 0 0 0 0 0 0 0 1 0000 1010 0000 0
(EXTF)
2:0:0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
2:1:0 A 0 0 0 0 0 0 0 0 0 0 0 0 B C
00/17 LB1 LX 01
(EXTM)
2:0:0 1 2 0 0 0 0 0 0 0 0 0 0 0 0 3
2:1:0 A 0 0 0 0 0 0 0 0 0 0 0 0 B C
00/19 S80 BM 00
(REGS)
PC PRFG ACC TR U R S T U Z XY SP K
01:00(02) A 0 00 00 00 00 00 2 1 0 0 00:00
(IFFLG)
CY INTF INT MF MR MR1 MR2 IOA
(A) (T) (B) (A) (T) (B) (21LU)(SRBT)(-AI)
0 0 0 0 0 0 0 0 0 1 0000 1010 0000 0
(INTH)
0:0 1 2 0 0 0 0 0 0 0 0 0 0 0 0 3
1:0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
00/1A S00 NOP
(INTM)
0:0 1 2 0 0 0 0 0 0 0 0 0 0 0 0 3
1:0 A 0 0 0 0 0 0 0 0 0 0 0 0 B C
//TI DIS .....⑭
*** EXECUTION COUNTER ***
# STFP # # TIME # .....⑮
75. 0 N 547.....⑯
//FN

```

また、トレーステーブルのプリントはPTコマンドで行い、ホルトポイントテーブルのプリントはPHコマンドで行うことができます。

入出力ポート制御ではIN及びOTコマンドが使用できます。また、コマンド入力及びシミュレーション結果の出力装置の指定にはDVコマンドがあります。

表2にMELPS41シミュレータ制御コマンドの使用例とその説明を示し、シミュレーション実行結果の一例を図1に示します。

- ① MELPS 41シミュレータの開始を指定します。この時制御コマンドはシステムタイプライタから、シミュレーション結果はラインプリンタに出力することを指定します。
- ② ディスクのファイル"BFIL"よりプログラムをシミュレータにロードします。
- ③ 内部メモリの0:0からデータを設定します。0:0のメモリの値0を1に設定します。0:1のメモリの値0を2に設定します。0:2のメモリの値0を変化させないで指定を終了します。
- ④ 外部メモリの2:1:0からデータを設定します。2:1:0のメモリの値0をA(16進数)に設定します。2:1:1のメモリの値0を変化させないで指定を終了します。
- ⑤ プログラムカウンタのページ内の番地を10(10進数)に設定します。
- ⑥ トレース領域を0ページの16番地から0ページの17番地までを指定し外部メモリの2:0:0から2:1:Fまでの内容を表示します。
- ⑦ 0ページの16番地を実行した時レジスタ、フリップフロップの内容を表示します。
- ⑧ ホルトポイントを0ページの1A番地とし1回実行すれば停止することを指定します。
- ⑨ レジスタ、フリップフロップの内容を表示します。
- ⑩ トレース領域テーブルをプリントします。
- ⑪ ホルトポイントテーブルとプリントします。
- ⑫ 実行カウンタを初期化します。
- ⑬ 実行を開始し⑥⑦等指定したトレースをしながら⑧で指定したホルトポイントで停止します。又は実行ステップ数が100になれば停止します。
- ⑭ 内部メモリの内容を外部メモリに転送する前の外部メモリの内容を表示しています。
- ⑮ 内部メモリの0:0から0:Fまでの16桁のデータが外部メモリの2:0:0から2:0:Fまでに転送されていることがわかります。
- ⑯ 外部メモリの内容を内部メモリに転送する前の内部メモリの内容を表示しています。
- ⑰ 外部メモリの2:1:0から2:1:Fまでの16桁のデータが内部メモリの1:0から1:Fまでに転送されていることがわかります。
- ⑱ 実行したステップ数と実行時間を表示します。

## MELPS 41 PROMライター用紙テープ作成プログラム

## 概要

MELPS41PROMライター用紙テープ作成プログラムは、MELPS41のクロスアセンブラが生成するアプソリュートバイナリオブジェクト形式を他のオブジェクト言語形式に変換し、PROMライターに書き込みのできる紙テープを作成するために用いられます。さらに、16進紙テープを入力してバイナリオブジェクトに変換処理する機能をも含みます。

このプログラムでは、PROMライターがそのまま書き込みのできる16進オブジェクト形式に変換する機能を有し、さらに、機能の拡張性もありますが、多様な仕様のPROM及びPROMライターに適用可能です。

## 特長

- ディスクに格納のバイナリオブジェクトを16進形式の紙テープに変換
- 16進紙テープをバイナリ変換する機能
- 比較照合機能
- PROMライターのフォーマットを選択的に出力
- 簡単な制御コマンドで紙テープを区切って出力
- MELP S41クロスアセンブラと一貫して使用可能
- 実行計算機ミニコンMELCOM70

(メモリ容量16K語以上、モニタBDOS)

- プログラム記述言語FORTRAN IV (1部アセンブラ)

## 入力媒体

- 入力 : カートリッジディスク、紙テープ (ASCII、偶数パリティ)
- 出力 : 紙テープ (ASCII、偶数パリティ)、カートリッジディスク
- 制御命令出力 : システムタイプライタのキー
- メッセージ : システムタイプライタのプリント

## 応用

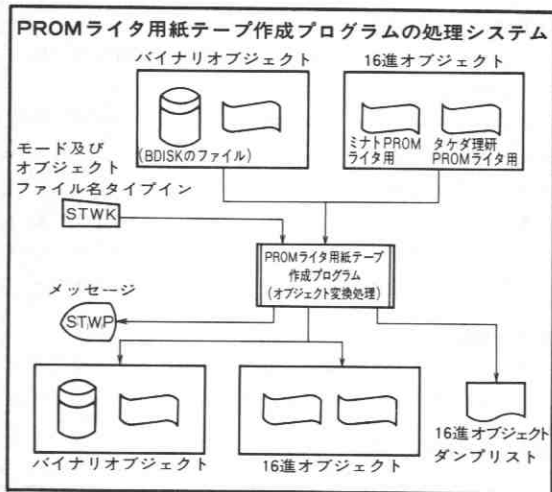
- タケダ理研製 (T310)、ミナトエレクトロニクス製 (1830形及び1802形)等のPROMライターでEPROM M5L 2708K, S M5L 2716K等へのプログラム。

## 機能概要

本プログラムは、MELPS41クロスアセンブラによってディスクのエリアに生成されたアプソリュートバイナリオブジェクト形式をミナトエレクトロニクス製 (1830形及び1802形等) 又はタケダ理研製 (T310) PROMライター用フォーマットの16進オブジェクトに変換し、EPROMに応じた容量 (バイト数) に区切って紙テープを出力します。さらに、前記16進オブジェクトの紙テープを入力変換処理し、バイナリオブジェクト形式でディスクに格納します。紙テープに出力することも可能です。

## 注文方法

- プログラム



## プログラム処理機能の説明

MELPS 41クロスアセンブラで処理されたバイナリオブジェクトを選択的にタケダ理研製、ミナトエレクトロニクス製PROMライター用の紙テープに変換処理する機能をもっています。

オブジェクト変換の場合は入力モード、出力モードを指定することにより必要な変換ができます。例えば、システムタイプライタのキーボードより入力モードをBDとし出力モードをTI (タケダ理研製用)、又は、入力モードBDとして出力モードをMI (ミナトエレクトロニクス製用) の指定をすれば変換の対象のオブジェクトファイル名 (BDISKのファイル) を呼び出し、紙テープの出力本数を入力すると必要な紙テープに変換されます。例えば、変換後の紙テープをファイル1のディスクに入力し、もとのデータがファイル2にあれば、それらの内容を比較できます。ファイルの比較照合により変換後の紙テープが正しいかどうかチェックが簡単にできます。

また、16進の紙テープを入力し、バイナリオブジェクトのファイルとしてディスクに格納したり、紙テープに出力することもできます。このとき、バイナリオブジェクト紙テープは名称部、テキスト部、終了部で構成されます。変換終了後は、ENコマンドによりモニタに制御を戻すことができます。

オブジェクトのディスクファイルは、名称部、テキスト部より構成されますが、このとき変換の対象となるデータはテキスト部に入っています。

ディスクの中のセクタ1以後に入っている命令コードのデータのうち機械語に対応するコードが、本プログラムにより16進に変換され紙テープとして出力されます。

プログラム名	オーダ番号	プログラム・説明書の構成
MELPS41 PROMライター用紙テープ作成プログラム	GBISP0003	MELPS41PROMライター用紙テープ作成プログラム説明書 MELPS41PROMライター用紙テープ作成プログラム操作説明書

# MELPS 41 PROMライター用紙テープ作成プログラム

## 16進テープ出力の例

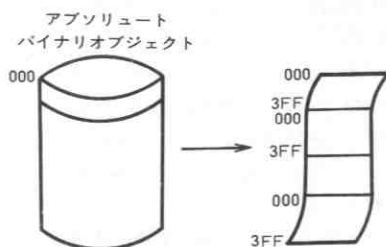
ミナトエレクトロニクス製用及びタケダ理研製の紙テープを選択的に出力することができます。

本プログラムで作成される紙テープは最大1Kバイト単位で8本出力できます。その例を図1～図3に示します。

## オブジェクト変換例

本プログラムでは、1K語単位の紙テープを8K語まで出力できます。アブソリュートバイナリオブジェクト(ディスク)から紙テープに変換する場合は図4のようになります。

図4. オブジェクト変換の例

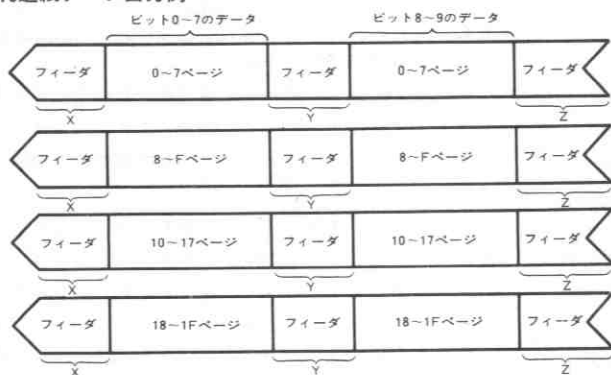


## エラー処理

オブジェクト変換時エラー発生の場合次のようなフォーマットでエラーメッセージをプリントします。

**\$\$\$\$\$ERROR□XXX\$** ここでXXXはエラー番号を示します。

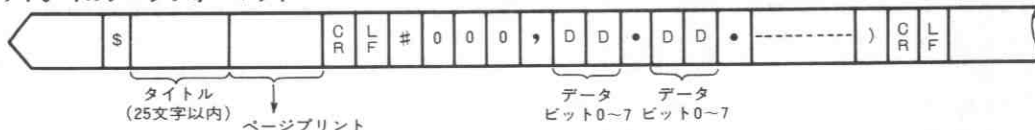
図1. 16進紙テープ出力例



注. X, Y, Zはスプロケットホールの数です。  
 Xは100個以上  
 Yは200個以上  
 Zは200個以上

図2. タケダ理研製16進紙テープフォーマットの例

### ●ビット0～7のデータフォーマット



### ●ビット8～9のデータフォーマット

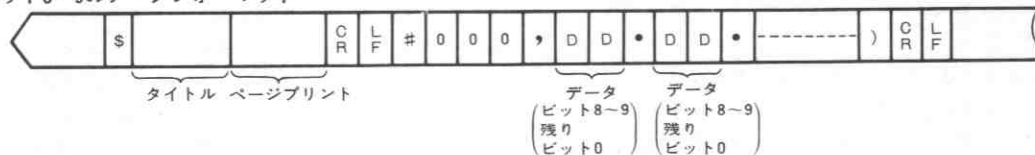
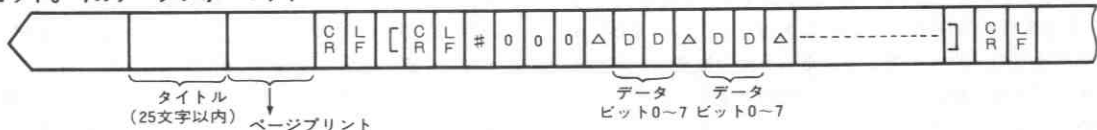


図3. ミナトエレクトロニクス製16進紙テープフォーマットの例

### ●ビット0～7のデータフォーマット



### ●ビット8～9のデータフォーマット



## MELPS 8/48 クロスアセンブラ

## 概要

MPLPS 8/48クロスアセンブラは三菱ワンチップ8ビットマイクロコンピュータM5L 8041-XXXXP及び、M5L 8049-XXXXP等の応用機器に用いるアプリケーションプログラム開発のために準備された支援ソフトウェアの1つです。

本アセンブラでは、上位計算機を用いてMELPS 8/48のアセンブラ言語で書かれたソースプログラムをMELPS 8バイナリ形式のオブジェクト言語に変換します。

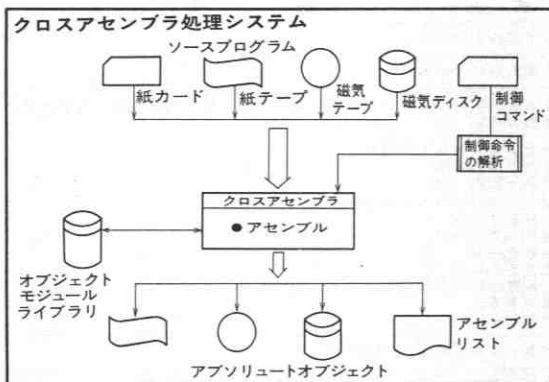
アセンブラ言語は、機械語命令、擬似命令をもち、プログラムの作成及び、デバッグ効率を向上させるために擬似命令、制御コマンドを充実させ、コーディングもフリーフォーマットで扱うことができます。

## クロスアセンブラの特長

- アセンブラ言語変更の柔軟性
- 各種の入出力媒体
- コーディングがフリーフォーマット
- シンボルテーブルをオブジェクト内に出力
- 実行計算機ミニコンMELCOM70  
(メモリ容量24K語以上、モニタBDOS)
- プログラム記述言語 FORTRAN IV (一部アセンブラ)

## アセンブラ言語の特長

- 擬似命令13種類
- 数式の使用
- 文字定数、文字列の使用



## 注文方法

## ●プログラム

プログラム名	オーダー番号	プログラム説明書の構成
MELPS 8/48クロスアセンブラ	GCIAS0200	ソースプログラム MELPS 8/48アセンブラ言語説明書 GCM-SR00-01A MELPS 8/48クロスアセンブラ説明書 GCM-SR00-02A MELPS 8/48クロスアセンブラ操作説明書 GCM-SR00-03A

- 10進数を標準とし、8進数、16進数も使用可能

- 機械語命令はインテル社のものと互換性あり

## 入出力媒体

- ソース入力 : 紙カード、紙テープ、磁気テープ、磁気ディスク
- 制御コマンド入力: 紙カード
- オブジェクト出力: 紙テープ、磁気テープ、磁気ディスク

## 機能概要

本クロスアセンブラは、MELPS8/48アセンブラ言語によるソースプログラムを機械語の命令コードに変換し、アブソリュートオブジェクトとして出力します。

本クロスアセンブラでは、制御コマンド解析フェーズ、アセンブルフェーズ(中間言語作成とリスト作成の2つのフェーズ)からなります。

アセンブル制御コマンドは、表1に示すように実行開始、終了指定、入出力指定、ファイル指定、リンク制御及び、リロケーション指定等の各制御コマンドがあります。

MELPS8/48アセンブラ言語では、インテル社製の8041、8048、8049に適用できる命令コードの機械語と表3に示すような10種の擬似命令を使用することができます。

## クロスアセンブラ機能の説明

このクロスアセンブラでは、各種の制御コマンド、擬似命令を多くもち、プログラムのデバッグを容易に行うことができます。

ソースプログラムの入力は、紙カード、紙テープ、磁気テープ、磁気ディスクの媒体で行うことができます。制御コマンドが読み込まれると、アセンブル制御コマンドの指定によりアセンブル処理を制御するパラメータを作成します。

アセンブル処理において、ソースプログラムが読み込まれ、フェーズ1で中間言語を作成し、ソースプログラムと共にディスクに格納され、次のフェーズ2でアセンブルリストを作成します。次に、アブソリュートのオブジェクトを生成し、紙テープ、磁気テープ、磁気ディスク等の媒体に、指定に応じて出力することができます。

## クロスアセンブラオブジェクト言語

本クロスアセンブラの生成するオブジェクトは、名称部、記号部、テキスト部、より構成され、オブジェクトの最後に、終了部がきます。オブジェクトモジュールの構成を図1に示します。各名称部は、オブジェクトモジュールの最初にあり、オブジェクトモジュールの名称、ROM/RAM情報、シンボル数等の情報を記録します。記号部は、ソースプログラムで記述された数値記号（ラベル）に関する情報を記録しておきます。テキスト部にソースプログラムを命令コードに変換したデータが含まれます。終了部で1つのオブジェクトプログラムの終了を示します。

## アセンブラ言語の機能

MELPS8/48クロスアセンブラで使用できる言語は、機械語命令と擬似命令です。

## 1. 機械語命令

この機械語命令は、機械語と1対1に対応し、オブジェクト変換の対象となる命令で96種の基本命令が、使用できます。これらの機械語命令の分類を表2に示します。

また、それらのニーモニック、命令コード、各命令の機能の説明等は、ワンチップ8ビット マイクロコンピュータ M5L 8041-XXXX及び、M5L 8049-XXXXのデータシートを参照してください。

## 2. 擬似命令

擬似命令は、機械語命令と共にソースプログラムの中で扱われますが、この命令はアセンブル時のクロスアセンブラの実行を制御する命令です。従って、この擬似命令はROMに書き込まれる命令コードの変換の対象にはならず、アセンブラに各種の指令を与えます。

この命令には、アセンブラ制御、数値記号・メモリ内容定義、領域確保、リスト制御等の各命令が使用できます。これらの一覧表を表3に示します。

図1. オブジェクトモジュールの構成



表1. 制御コマンドの機能

制御コマンド名称	コマンド形式	機能説明
実行開始制御	/// <b>RUN</b>	指定コマンドに従って実行を開始する。
終了指定制御	/// <b>END</b>	クロスアセンブラの実行を終了する。
入出力指定制御	/// <b>ASMB48, X, Y, Z</b>	<p>ソースプログラムリストの有無、ソースプログラムの入力機器、内部数値記号テープのオブジェクト出力の指定</p> <p>X = <math>\begin{pmatrix} L \\ N \end{pmatrix}</math> X: アセンブルリストの有無 L: リスト出力する N: リスト出力しない</p> <p>Y = <math>\begin{pmatrix} C \\ P \\ M \\ D \end{pmatrix}</math> Y: ソースプログラム入力機器 C: カードリーダー P: 紙テープリーダー M: 磁気テープ D: 磁気ディスク</p> <p>Z = <math>\begin{pmatrix} S \\ N \end{pmatrix}</math> Z: 内部数値記号のオブジェクト出力の有無 S: 出力する N: 出力なし</p>
ファイル指定制御	/// <b>SDISK, XXXXX</b>	ソースプログラムのファイル名指定(5文字以内)
	/// <b>ODISK, YYYYY</b>	アセンブル後のオブジェクトを出力する。ファイル名指定(5文字以内)
	/// <b>BDISK, ZZZZZ</b>	リンク後のオブジェクトを出力する。ファイル名指定(5文字以内)
リンク制御	/// <b>LINKG, W, Z, Y, F1, F2...</b>	<p>リンク時のオブジェクトの出力を指定制御します。</p> <p>W = <math>\begin{pmatrix} A \\ R \end{pmatrix}</math> W: オブジェクト指定 A: アプソリュートオブジェクト R: リロケータブルオブジェクト</p> <p>Z = <math>\begin{pmatrix} S \\ N \end{pmatrix}</math> Z: 内部数値記号のオブジェクト出力の有無 S: 出力する N: 出力しない</p> <p>Y = <math>\begin{pmatrix} P \\ M \\ D \end{pmatrix}</math> Y: オブジェクト出力媒体の指定 P: 紙テープ M: 磁気テープ D: 磁気ディスク</p> <p>F1, F2.....ファイル名(5文字以内の20個まで指定可)</p>
リロケーション指定制御	/// <b>LKLOC, xxxxx, yyyyy</b>	<p>アプソリュートオブジェクトを生成する場合ROM, RAMの先頭番地を指定します。</p> <p>xxxxx.....ROM領域先頭番地(4けた以内の16進)</p> <p>yyyyy.....RAM領域先頭番地(4けた以内の16進)</p>





# MELPS 8/48 クロスアセンブラ

## (5) 識別欄

シーケンス番号等記入します。この欄には、必ずしも記入する必要はありませんが、カードの区別取り扱ひ上、使用すると便利です。

### コーディング形式

MELPS8/48アセンブラ言語で書かれたプログラムはフリーフォーマットの形式でコーディングすることができます。

クロスアセンブラの制御コマンドアセンブラ言語によるプログラムのコーディング等について、使い方の一般形式及び、使用例を説明します。

### 1. 制御コマンド

#### (1) 制御コマンドの一般形式

LABEL	STATEMENT AND
1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33	
/// XYZ, P1, P2, P3, .....	

XYZ: アセンブル制御コマンドのシンボル  
P1, P2, P3.....; アセンブル制御のパラメータ

#### (2) アセンブル制御の例

LABEL	STATEMENT AND
1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33	
/// ASM48, L, C, N	
/// SDISK, XXXXX	
/// RUN	

ソースプログラムをカードリーダーから入力しアセンブルリストを出力

#### (3) リンク制御の例

LABEL	STATEMENT AND
1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33	
/// LINKG, A, S, D, F1, F2	
/// BDISK, AF10	
/// RUN	

アセンブル後、ディスクに格納されたりロケータブルオブジェクトのファイルF1, F2をリンクしてファイルAF10にアブソリュートオブジェクトとして生成。

## 2. MELPS8/48アセンブラ言語のプログラム

### (1) プログラムコーディングの一般形式

LABEL	STATEMENT AND	IDENTIFICATION SEQUENCE
1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22		72 73 74 75 76 77 78 79 80
LABEL: MNEM OPE; COMM		SEQ 0.0
		0.1
		0.2

LABEL: .....ラベル名最後に必ず:を入れる  
MNEM.....命令のシンボル(ニーモニック)  
OPE.....オペランド(ブランクは必ず1つ以上入れる。)  
;COMM.....コメント(先頭に必ず;をつける)  
SEQ.....シーケンシャル番号(73~80カラム)

### (2) プログラムの例

LABEL	STATEMENT AND	COMME
1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33		
;		
;	*** PROGRAM EXAMPLE ***	①
;	*DECIMAL ADDITION	
	NAM EXAM	②
	ROM	③
X	EQU 10	
Y	EQU 50	④
CNT	EQU 10	
	ORG 500H	⑤
	MOV R0, #X	
	MOV R1, #Y	⑥
	MOV R2, #CNT	
	CLR C ; CLEAR CARRY	⑦
BR:	MOV A, @R0	⑧
	ADDC A, @R1	⑨
	DA A	⑩
	MOV @R0, A	⑪
	INC R0	⑫
	INC R1	
	DJNZ R2, BR	⑬
	OUTL P1, A	⑭
	END	⑮

- ①第1カラムが、";"の行はコメントとなります。
- ②擬似命令NAMにより、プログラム名を"EXAM"と宣言します。
- ③以下のプログラムはROM領域として扱われます。
- ④シンボル"X", "Y", "CNT"に対して、それぞれ10進の10, 50, 10の値が割り付けられます。
- ⑤プログラムのスタート番地が16進の500番地となります。
- ⑥R0, R1, R2の各レジスタに#X, #Y, #CNTの値が入られます。
- ⑦キャリーが、クリアされます。
- ⑧飛び先番地のラベルBR(:はラベルであることを示します。)メモリデータ@R0の内容が、アキュムレータAに入られます。
- ⑨キャリーとデータメモリ@R1の内容を加えてアキュムレータに入られます。
- ⑩アキュムレータの内容が10進補正されます。
- ⑪アキュムレータの内容(加算の10進補正結果)が、メモリデータ@R0に入られます。
- ⑫レジスタR0, R1の内容がインクリメントされます。
- ⑬レジスタR2をデクリメントし、その内容が、0でないときは、BRにジャンプし、0のときは、次のステップに進みます。
- ⑭アキュムレータの内容をポート1に出力します。
- ⑮プログラムの終了を宣言します。



## MELPS 8/48 PROMライタ用紙テープ作成プログラム

## 概要

PROMライタ用紙テープ作成プログラムは、MELPS8/48クロスアセンブラが生成するアブソリュートバイナリオブジェクト形式を他のオブジェクト言語形式に変換し、PROMライタ用紙テープを作成するために用いられます。本プログラムは、オブジェクト形式の変換及び比較照合の機能を有し、さらに機能拡張性をもっているため多くの顧客に適用可能です。

## 特長

- 簡単な制御コマンドで選択的に紙テープを区切って出力
- ディスクに格納のMELPS 8 バイナリを種々の16進紙テープ形式に変換
- 他の16進形式の紙テープをMELPS 8 16進形式に変換
- MELPS 8 16進紙テープの自己照合及び他の16進紙テープとの比較照合機能
- 紙テープ区切単位のブロック指定により任意のブロックから出力可能
- アドレス順に並べ換える機能
- 実行計算機ミニコン MELCOM 70  
(メモリ容量 24K語以上、プログラム約5000ステップ)
- プログラム記述言語 FORTRAN IV (一部アセンブラ)

## 入出力媒体

- MELPS 8 バイナリから16進紙テープ形式へ変換の場合  
入力：カートリッジディスク  
出力：紙テープ(偶数パリティ ASCIIコード)
- 他の16進形式の紙テープをMELPS 8 16進に変換の場合  
入力：紙テープ(偶数パリティ ASCIIコード)  
出力：紙テープ(偶数パリティ ASCIIコード)

- MELPS 8 16進の自己照合及び他の16進形式の紙テープとの比較照合の場合

入力：紙テープ(偶数パリティ ASCIIコード)  
出力：システムタイプライタのプリント

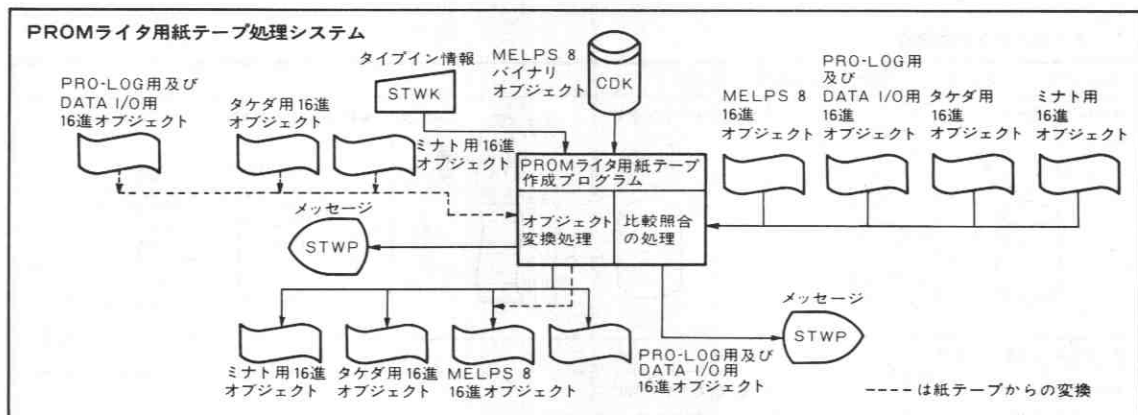
- 制御命令の入力：システムタイプライタのキーボード

## 応用

- タケダ理研製、ミナトエレクトロニクス製、PRO-LOG製及びDATA I/O製のPROMライタで、1K語×8ビットのM5L 2708K,S、2K語×8ビットのM5L 2716K等へのプログラム

## 機能概要

本プログラムは、MELPS 48クロスアセンブラによってディスクのエリアに生成されたアブソリュートバイナリオブジェクト形式(MELPS 8 バイナリと略します)をタケダ理研製(T-310)PROMライタ用、ミナトエレクトロニクス製(1830型)PRO-LOG社(シリーズ90)、DATA I/O社PROMライタ用の16進のオブジェクト形式(以下それぞれ、タケダ用、ミナト用、PRO-LOG用及びDATA I/O用と略します)に、又は、MELPS 8 16進形式に変換し、必要な大きさ(バイト数)に区切ってそのまま書込みのできる紙テープを出力します。さらに、タケダ用、ミナト用、PRO-LOG用及びDATA I/O用の紙テープをそれぞれ、MELPS 8 16進形式に変換する機能とそれらの比較照合する機能をもっています。



## 注文方法

## プログラム及び説明書

プログラム名	オーダー番号	プログラム・説明書の構成	
MELPS 8/48 PROMライタ用紙テープ作成プログラム	GAISP0110	MELPS 8/48 PROMライタ用紙テープ作成プログラム説明書	GAM-SR00-50A

## MELPS 8/48 PROMライタ用紙テープ作成プログラム

## PROM ライタ用紙テープ処理機能の説明

本プログラムは、オブジェクトプログラムの変換機能とオブジェクト紙テープの比較照合機能をもっています。表1では、オブジェクトの変換機能と変換前後のオブジェクトの種類及び媒体を示します。

表2では、5種類の比較照合機能と比較できるオブジェクトの種類及び媒体を示します。

表1にあげたオブジェクト変換機能のそれぞれの簡単な例を図1に示します。

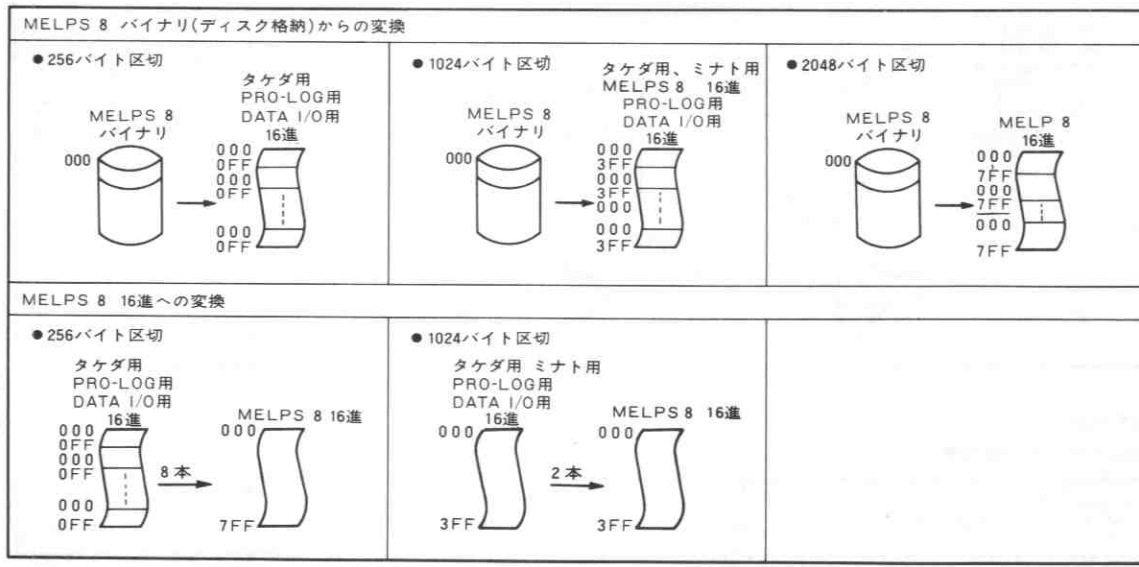
表1. オブジェクト変換機能

紙テープ区切単位	各社製PROMライタ用 変換処理	MELPS 8 バイナリ (ディスク格納) から変換できる各社製PROMライタ用 16進紙テープ	MELPS 8 16進紙テープへ変換できる 各社製PROMライタ用16進紙テープ
256バイト		タケダ用 PRO-LOG用、DATA I/O用	タケダ用、PRO-LOG用 DATA I/O用 8本を 2048バイト 1本に変換
1024バイト		タケダ用、ミナト用、TDA-80用 PRO-LOG用、DATA I/O用	タケダ用、ミナト用、PRO-LOG用、 DATA I/O用を1024バイト又は2048 バイト 1本に変換
2048バイト		MELPS 8 16進 (マスクROM用に用いる)	

表2. オブジェクト紙テープの比較照合機能

比較の種類	比較の対象	MELPS 8 16進		比較するオブジェクトの種類	
		オブジェクトの種類	媒体	オブジェクトの種類	媒体
MELPS 8 16進の自己照合	MELPS 8 アソリュート 16進	MELPS 8 アソリュート 16進	紙テープ ●1024バイト区切 ●2048バイト区切	MELPS 8 アソリュート 16進	紙テープ ●1024バイト区切 ●2048バイト区切
MELPS 8 16進とミナト用 16進の比較	MELPS 8 アソリュート 16進	MELPS 8 アソリュート 16進	紙テープ ●1024バイト区切 ●2048バイト区切	ミナト用 16進	紙テープ ●1024バイト区切1本 ●1024バイト区切2本
MELPS 8 16進とタケダ用 16進の比較	MELPS 8 アソリュート 16進	MELPS 8 アソリュート 16進	紙テープ ●1024バイト区切 ●2048バイト区切	タケダ用 16進	紙テープ ●256バイト区切8本 ●1024バイト区切1本 ●1024バイト区切2本
MELPS 8 16進とPRO-LOG用 16進の比較	MELPS 8 アソリュート 16進	MELPS 8 アソリュート 16進	紙テープ ●2048バイト区切	PRO-LOG用16進	紙テープ ●265バイト区切8本 ●1024バイト区切2本
MELPS 8 16進とDATA I/O用 16進の比較	MELPS 8 アソリュート 16進	MELPS 8 アソリュート 16進	紙テープ ●2048バイト区切	DATA I/O用16進	紙テープ ●256バイト区切8本 ●1024バイト区切2本

図1. オブジェクト変換機能



MELPS 8/85 クロスコンパイラ PL/I $\mu$ 

## 概要

クロスコンパイラPL/I $\mu$ は、MELPS8/85CPUを用いたマイクロコンピュータ及びマイクロプロセッサ応用機器に適用するアプリケーションプログラム作成のために用意された、一連のソフトウェアの1つであります。

このクロスコンパイラは、MELCOM 7000を上位計算機とするシステムで、ソースプログラムは磁気テープを媒体として提供されます。

PL/I $\mu$ 言語は、ミニコンピュータや大型計算機で使用されているコンパイラ言語の数多くの利点をマイクロコンピュータのユーザに提供します。PL/I $\mu$ 言語は、PL/I言語を基本として、かつマイクロプロセッサの特長を十分に反映させた言語体系を構成しています。

PL/I $\mu$ 言語の使用によって、アプリケーションプログラムの作成は簡単になるばかりではなく、プログラム自身が自己ドキュメンテーション機能を持っているため、プログラムの変更や修正が容易に行えます。このPL/I $\mu$ 言語は、アセンブラ言語レベルの記述も可能であり、いわゆるマイクロコンピュータ用のプログラム記述言語として、最もふさわしい言語と呼んでも過言ではありません。

クロスコンパイラPL/I $\mu$ は、FORTRANで記述されているため、各種の計算機システムで使用することができます。

## クロスコンパイラの特長

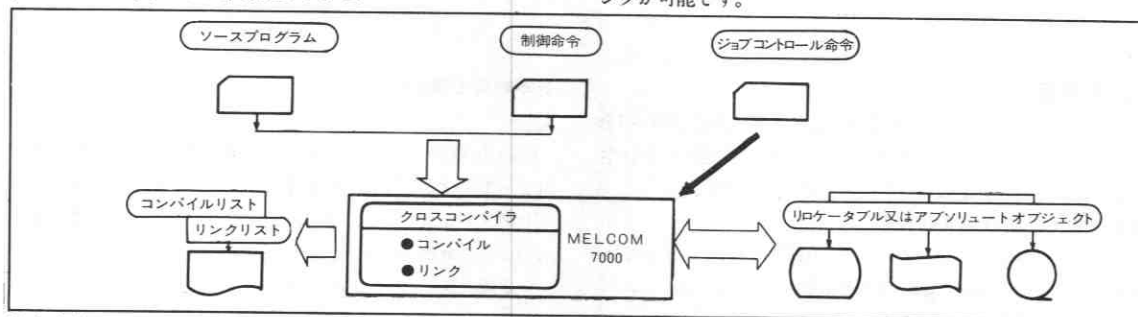
- プリプロセッサによる条件付コンパイル
- インライン アセンブリ
- コンパイル時におけるソースプログラムの編集
- プログラムのROM領域、RAM領域の選択指定
- リロケータブル オブジェクト
- リンク機能をもつ
- エラーメッセージが完備
- 各種入出力媒体の選択
- 実行計算機 MELCOM 7000 (モニタUTS/VS)
- プログラム記述言語 FORTRAN IV

PL/I $\mu$ 言語の特長

- ビット演算
- 3レベルの構造体
- 3次元の構造体の配列
- 変数割り付けの絶対番地指定
- マルチ エントリ
- 割り込み処理

## 機能概要

プリプロセッサ機能により、コンパイル段階でのソースプログラムの操作が可能であり、条件付きコンパイル、テキストの置き換え、テキストの登録及び、組み込みが行えます。また、プログラムの手続き部、変数部を、メモリの特性に合わせて割り付けることができます。リンク機能は、20以内のファイル リンクが可能です。

クロスコンパイラPL/I $\mu$ 処理システム

## 注文方法

## ●プログラム

プログラム名	オーダー番号	プログラム・説明書の構成	
MELPS 8/85 クロスコンパイラ PL/I $\mu$	GA1TL0110	ソースプログラム コンパイラ PL/I $\mu$ 概説書 (C版)	GAM-SR00-07A
		コンパイラ PL/I $\mu$ 言語説明書 (C版)	GAM-SR00-08A
		クロスコンパイラ PL/I $\mu$ 説明書 (C版)	GAM-SR00-09A
		クロスコンパイラ PL/I $\mu$ 操作説明書 (MELCOM7000用)	GAM-SR00-10A

## ●別売説明書

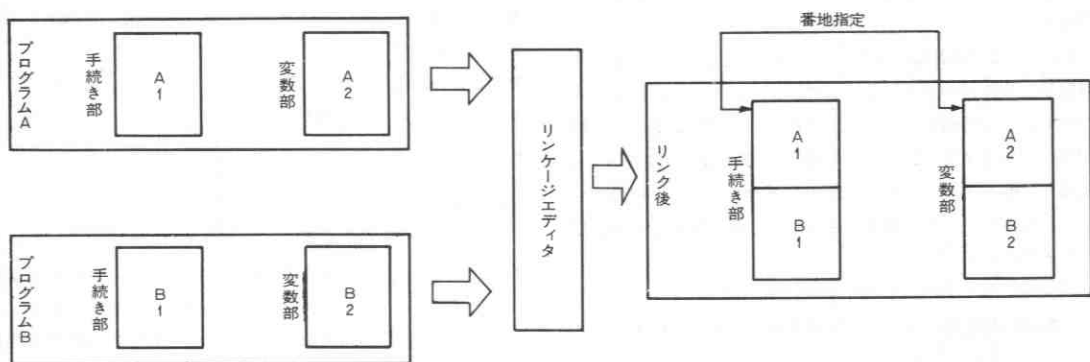
説明書名	説明書番号
MELPS 8/85 コンパイラ PL/I $\mu$ 概説書 (C版)	GAM-SR00-07A
MELPS 8/85 コンパイラ PL/I $\mu$ 言語説明書 (C版)	GAM-SR00-08A
MELPS 8/85 クロスコンパイラ PL/I $\mu$ 説明書 (C版)	GAM-SR00-09A
MELPS 8/85 アセンブラ言語説明書 (A版)	GAM-SR00-34A
MELPS 8/85 クロスアセンブラ説明書 (A版)	GAM-SR00-02A
MELPS 8/85 シミュレータ説明書 (B版)	GAM-SR00-35A
MELPS 8 ハードウェア説明書	GAM-HR00-01A

## 機能説明

クロスコンパイラPL/I $\mu$ は、基本的なコンパイル機能に加えて、プリプロセッサ機能・リンク機能・メモリ管理機能などの有効な機能を備えています。

プリプロセッサ機能は、コンパイル段階でのソースプログラムの操作を、11種類のプリプロセッサ文によってテキストの生成、置き換え、削除及びマクロ定義と引用などの多彩な処理を可能にしています。

図1 手続き部と変数部のリンク



リンク機能は、1度に、20個までのリロケータブルオブジェクトのリンクやアセンブラから生成されたオブジェクトのリンクなどの幅広い処理を行います。

メモリ管理機能は、プログラムの手続き部と変数部をメモリの特性に合わせて割り当てることができます。たとえば手続き部を書き込み不可領域(ROM領域)、変数部を書き込み可能領域(RAM領域)に指定し、かつリンク時に、各領域属性に対してシステムにあった番地を指定できます。(図1を参照してください。)

PL/I $\mu$ 言語

PL/I $\mu$ 言語は、コンパイラ言語を総合的に集大成したPL/Iを基本的に受け継ぎ、かつマイクロプロセッサの特長を十分に生かした言語であり、次のような特長を持っています。

## 書きやすく、読みやすい言語

文の記述においてなんらラ行の制限がなく、いわゆるコーディング上の形式的な制約はありません。また、随所にコメント文を挿入することができます。

文も非常に分かりやすい単語を基本にして記述できるように構成されており、プログラミングは簡単な上、読んで理解しやすい自己ドキュメンテーションの機能を備えています。

## ブロック化された構造

PL/I $\mu$ のプログラムは、手続きと呼ばれる1つ以上のブロックの積みかさねから構成され、手続き(ブロック)は1つのサブチェーンと見なすことができます。そのため、プログラムの作成やデバッグが容易になります。

## アンセンブラ・レベルの記述

PL/I $\mu$ 言語は、マイクロプロセッサの機能を十分に生かすために、詳細な処理の記述ができます。たとえば、外部割り込み制御、入出力制御、及び絶対番地の使用などの記述ができます。

## 基本的な言語仕様

## 文

PL/I $\mu$ 言語によるプログラムの基本単位は、文と呼ばれ、文が集まって手続き(ブロック)を作り、手続きがいくつか集まってプログラムとなります。文は、それぞれの持つ機能によって、次のように分類されます。

- |   |   |                    |
|---|---|--------------------|
| 文 | ┌ | 手続き文……PROCEDURE文   |
|   |   | 宣言文……DECLARE文      |
|   |   | 条件文……IF文           |
|   |   | 非条件文……代入文、DOグループなど |

すべての文はセミコロン(;)で終わり、また文の名を表す名札(ラベル)をつけることができます。

例 EXAMPLE : X=Y+Z;

## 識別子

変数の名前、手続き名、文の名札名などを表す単語を識別子と言います。識別子として許される最大の文字長は31文字で、始めの文字はアルファベットか@、?に限り、以降の文字は数字も使えます。PL/I $\mu$ では、あらかじめコンパイラのために予約語となっている単語は識別子として使用できません。



MELPS 8/85 クロスコンパイラ PL/I $\mu$ 

## 言語仕様一覧

項 目	仕 様
文字セット	55-文字セット A~Zの26種類、通貨記号(\$)、0~9の10個 特殊文字 ブランク = + - * / , . : ; < > % ' ( ) @ ?
注 釈	/ * * /
識 別 子	31字内の英数字
子 約 語	IF DO GO TO OR BY ON EOF END XOR AND NOT MOD HALT THEN ELSE CASE CALL GOTO DATA BYTE PLUS MAIN LABEL BASED MINUS WHILE ENTRY ENABLE RETURN BINARY DISABLE DECLARE ADDRESS INITIAL ALIGNED OPTIONS INTERNAL EXTERNAL RELOCATE GENERATE INTERRUPT PROCEDURE LITERALLY UNALIGNED
定 数 型	2進数、8進数、10進数、16進数 文字列
変数の宣言 オプション	BINARY(n) 1 $\leq$ n $\leq$ 15、BIT(m) 1 $\leq$ m $\leq$ 16 LABEL INITIAL BASED DATA BYTE ADDRESS EXTERNAL INTERNAL ALIGNED UNALIGNED
演 算 子	* / MOD + - PLUS MINUS < <= < > = >= > NOT AND OR XOR
配 列	255までの1次元
構 造	3レベルで配列も可
式	算術式、論理式、構造式
文	代入文、GOTO文、IF文、CALL文、GENERATE文、 RETURN文、HALT文、DECLARE文、ON文、PROCEDURE文、 DOグループ、ENTRY文、NULL文、RELOCATE文、ENABLE文、 DISABLE文
DOグループ	DO WHILE 繰り返し DO DO CASE
組 込 関 数	TIME MEMORY SHL SHR ROL ROR INPUT OUTPUT DEC HIGH LOW LENGTH LAST CARRY ZERO SIGN PARITY
プリプロセッサ文	%IF文、%GOTO文、%INCLUDE文、%EXCLUDE文、%NULL文、 %代入文、%ACTIVATE文、%DEACTIVATE文、%MACRO文、%END文

## MELPS 8/85 クロスアセンブラ

## 概要

クロスアセンブラは、MELPS8/85CPUを用いたマイクロコンピュータ及び、マイクロプロセッサ応用機器に適用するアプリケーションプログラム作成のために用意された、一連のソフトウェアの1つです。このクロスアセンブラは、上位計算機を用いて、アセンブラ言語で書かれたソースプログラムを、MELPS 8形式(8単位バイナリ)のオブジェクトに言語変換します。

アセンブラ言語には、機械語と1対1に対応する記号命令(以下機械語命令とします)と、疑似命令と、マクロ命令があります。アセンブラを用いると、プログラム作成及びプログラムの修正が容易になることは、言うまでもありませんが、本クロスアセンブラではプログラム作成効率をより向上させるため、疑似命令、制御命令の充実を計りました。

## クロスアセンブラの特長

- リロケータブル オブジェクト
- リンク機能
- マルチアセンブル
- 条件付きアセンブル

- 各種入出力媒体

- シンボルテーブルをオブジェクト内に出力

- 実行計算機ミニコン MELCOM 70

(メモリ容量24K語以上、モニタBDOS)

- プログラム記述言語 FORTRAN IV (一部アセンブラ)

## アセンブラ言語の特長

- 13種類の疑似命令

- 数式の使用

- 文字定数、文字列の使用

- 8進、10進、16進数の使用

- 機械語命令のニモニックは、インテル社のものと互換性がある

## 入出力媒体

- ソース入力 : 紙カード、紙テープ、磁気テープ

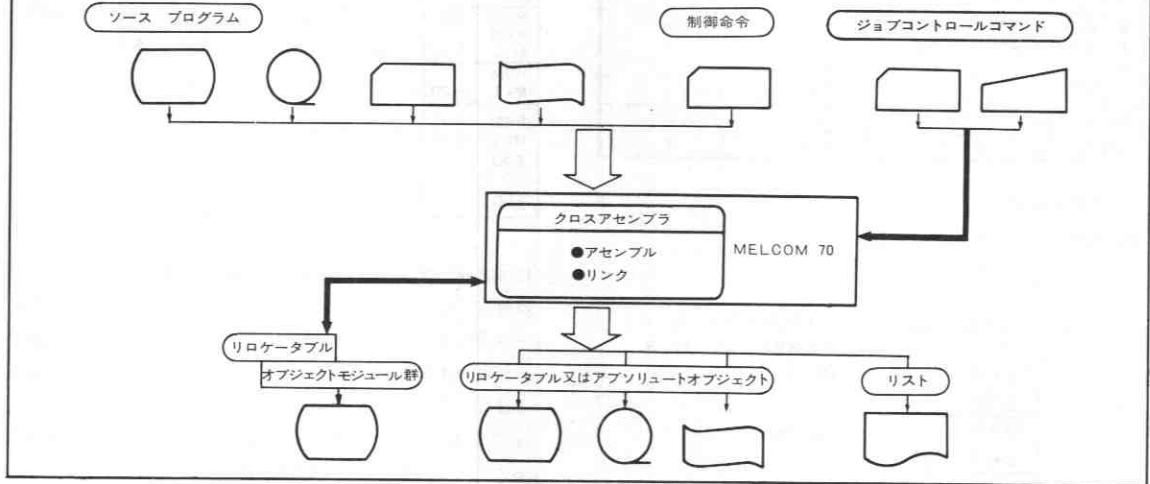
磁気ディスク

- オブジェクト入力: 磁気ディスク

- 制御命令入力 : 紙カード

- オブジェクト出力: 紙テープ、磁気テープ、磁気ディスク

## クロスアセンブラ処理システム



## 注文方法

## ●プログラム

プログラム名	オーダー番号	プログラム・説明書の構成
MELPS 8/85 クロスアセンブラ	GA1AS0110	ソースプログラム アセンブラ言語説明書 (A版) GAM-SR00-01A クロスアセンブラ説明書 (A版) GAM-SR00-02A クロスアセンブラ及びシミュレータ操作説明書 (MELCOM 70用) GAM-SR00-04A

## ●別売説明書

説明書名	説明書番号
MELPS 8/85 アセンブラ言語説明書 (A版)	GAM-SR00-01A
MELPS 8/85 クロスアセンブラ説明書 (A版)	GAM-SR00-02A
MELPS 8/85 シミュレータ説明書 (B版)	GAM-SR00-03A
MELPS 8 ハードウェア説明書	GAM-HR00-01A



## クロスアセンブラの機能説明

クロスアセンブラは、プログラムの作成効率を高めるために、制御命令、疑似命令の充実を計る一方、リンク機能、マルチアセンブル機能、条件付きアセンブル機能などを特長として持っています。

制御命令を表1に、機能と制限を表2に示します。

表1. 制御命令一覧表

分類	名称	ニモニック	
アセンブラ制御	実行開始制御命令	RUN	
	終了指定制御命令	END	
実行制御命令	アセンブル制御命令	入出力指定制御命令	ASMB85
		ブロック指定制御命令	BLOCK
		ファイル指定制御命令	DISK
	リンク制御命令	リンク指定制御命令	LINKG
		リンクロケーション指定制御命令	LKLOC

表2. クロスアセンブラの機能と制限

機能	制限
リロケータブルオブジェクトの作成が可能	
リンク エディタの機能を持つ	ディスク上のファイル20以内リンク可能
書き込み可能領域 (RAM) と書き込み不可能領域 (ROM) の概念導入	
マルチアセンブル可能	プログラム数9999以内
条件付きアセンブル可能	20以内のブロック選択可能
各種入出力媒体の選択可能	カード、ディスク、紙テープ、磁気テープ

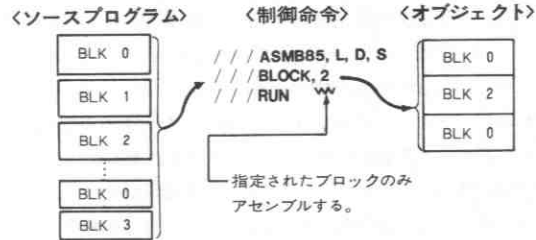
## マルチアセンブル

複数のプログラムを一度にアセンブルします。



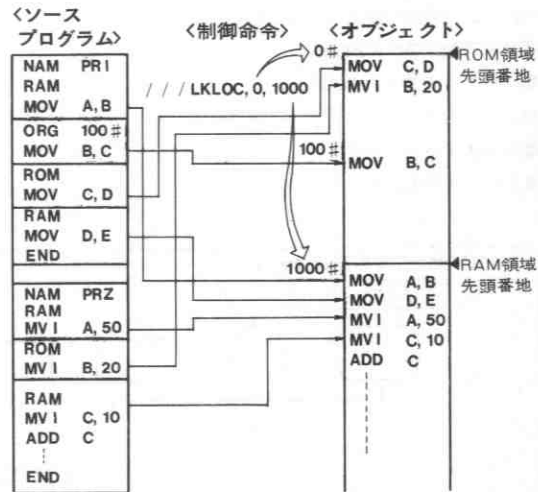
## 条件付きアセンブル

ソースプログラム中の指定されたブロックのみアセンブルします。



## ROM/RAM領域とリンク

ROM領域、RAM領域を別々にリンクします。



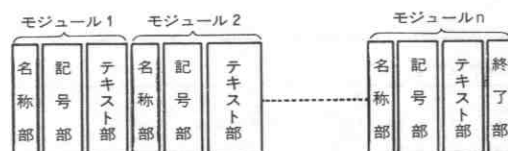
## クロスアセンブラ オブジェクト言語の概要

クロスアセンブラのオブジェクトは、複数のオブジェクトモジュールより成り、各オブジェクトモジュールは、名称部、記号部、テキスト部により構成されオブジェクトの最後に終了部が付きま。

記号部は、シンボルに対する情報を持つ部分で、記号部を持たせることによりプログラムの参照をシンボル名によって行うことも可能になりました。

なお、オブジェクトは、8単位バイナリで生成され、命令コードの1バイトは、1キャラクタ(8ビット)で表現されます。

## オブジェクト モジュールの構成





## MELPS 8/85 クロスアセンブラ

## アセンブラ言語の機能説明

アセンブラ言語は、機械語と1対1に対応する記号命令(以下機械語命令とします)と、疑似命令、マクロ命令があります。

疑似命令は、クロスアセンブラがソースプログラムをアセンブルするとき実行する命令で、機械語命令のプログラムを修飾する働きがあります。マクロ命令は、それに対応する機械語のオブジェクトに変換されます。

また、それぞれの命令のオペランドには、数式、文字定数、文字列、8進数、10進数、16進数、シンボルの使用が可能です。

## 1 機械語命令

機械語命令は、機械語と1対1に対応し、オブジェクト変換の対象となる命令で、78の基本命令よりなります。

表3に概要を述べます。

表3. 機械語命令分類表

分類	命令機能
データ転送命令	直接データ設定 レジスタ間 メモリ・レジスタ間
加減算論理演算比較命令	アキュムレータとレジスタ又はメモリ又はデータキャリも含めた加減算 2バイトの加算
レジスタ増減命令	レジスタ レジスタへ メモリ
回転・シフト命令	アキュムレータの回転シフト
アキュムレータ補正命令	否定、10進補正
キャリ設定命令	否定、設定
飛び越し命令	無条件飛び越し命令 条件付き飛び越し命令
サブルーチン呼び出し命令	無条件サブルーチン呼び出し命令 条件付きサブルーチン呼び出し命令
リターン命令	無条件リターン命令 条件付きリターン命令
入出力制御命令	入力、出力命令
割り込み制御命令	割り込み許可 割り込み禁止
スタック操作命令	レジスタ退避 レジスタ復帰
その他	CPU停止 ノーオペレーション

## 2 疑似命令

疑似命令は、ソースプログラムをアセンブルする時クロスアセンブラの実行を制御する命令で、オブジェクトプログラムの実行命令ではありません。クロスアセンブラには、表4に示すように13種類の疑似命令があります。

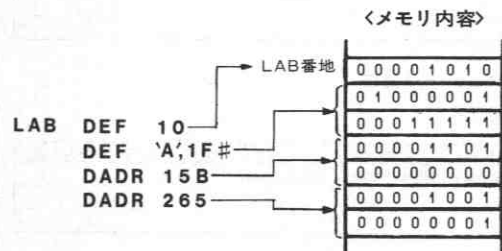
表4. 疑似命令一覧表

分類	項目	命令	名称
アセンブラ制御命令		NAM	プログラム名宣言命令
		ORG	プログラムカウンタ設定命令
		ROM	ROM領域宣言命令
		RAM	RAM領域宣言命令
		BLK	ブロック宣言命令
		END	終了宣言命令
リンク記号指定命令		ENT	入口名宣言命令
		EXT	外部参照記号宣言命令
数値記号・メモリ内容定義命令		EQU	数値記号設定命令
		DEF*	データ設定命令
		DADR*	アドレス設定命令
領域確保命令		BSS**	領域確保命令
リスト制御命令		EJE	改ページ宣言命令

\* DEF、DADR は、その命令が現れるメモリ番地にデータが設定されます。

\*\* 領域確保命令(BSS)に対しては、プログラムカウンタを確保数だけ進めます。

DEF、DADRの例



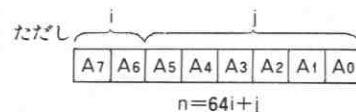
## 3 マクロ命令

マクロ命令は、指定された形に展開され、機械語のオブジェクトに変換されます。

クロスアセンブラには、次の2種類のマクロ命令があります。

表5. マクロ命令

命令	名称	対応ステートメント
GET i, j	データ入力命令	IN n
PUT i, j	データ出力命令	OUT n





## 概要

シミュレータは、MELPS8/85CPUを用いたマイクロコンピュータ及び、マイクロプロセッサ応用機器に適用するアプリケーションプログラム作成のために用意された一連のソフトウェアの1つです。

このシミュレータは、上位計算機の中に、疑似CPUと疑似メモリを作成し、その疑似CPUで疑似メモリのプログラムを実行し、デバッグを行います。

デバッグ効率向上のため、制御命令の充実を計りました。

## 特長

- 制御命令が充実…………… 26種類
- バッチ形処理と対話形処理の併用可能
- 番地の記号番地指定が可能
- 実行時間の算出が可能
- シミュレーション終了時の全情報退避機能
- トレース時の逆アセンブル機能
- 数字表示に2、8、10、16の4つの基数の選択が可能
- ROMの概念導入
- メモリ保護機能
- 割り込み機能
- 各種入出力媒体の選択が可能
- 入出力データの連続的処理が可能
- 実行計算機ミニコン MELCOM 70

(メモリ容量24K語以上、モニタBDOS)

- プログラム記述言語 FORTRAN IV (一部アセンブラ)

## 機能説明

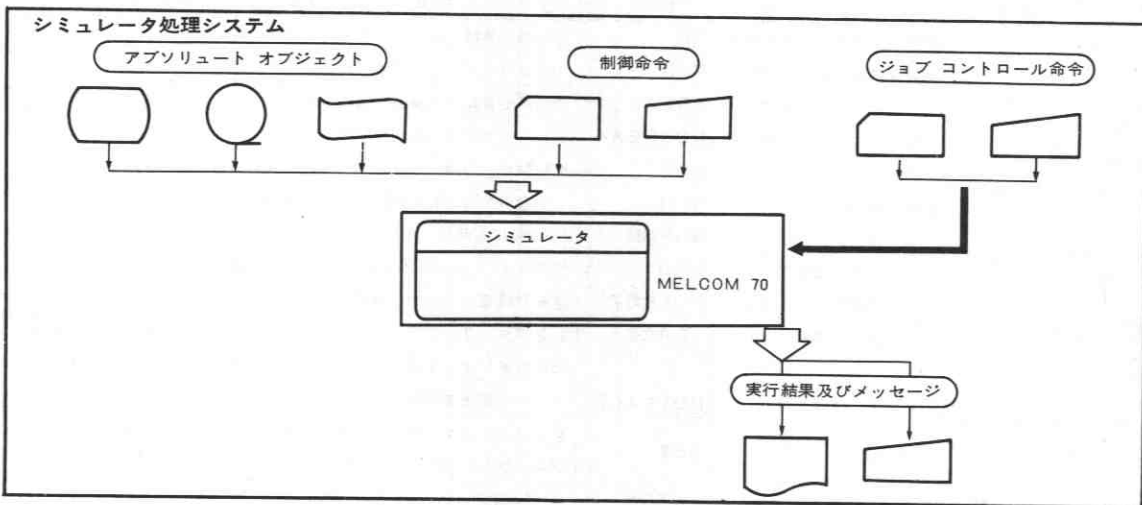
トレース機能は、トレースの領域指定ができ必要なプログラム領域のみトレースを行います。また、ブレークポイント指定によりプログラムの任意のところでシミュレーションの実行を止めることができます。これらの機能により、シミュレーションによるプログラムのデバッグ効率を向上させることができます。また、シミュレータにおいて、メモリのROMの概念とメモリ保護機能を導入しました。ROMの概念とは、ROM領域宣言された領域への書き込みを禁じる機能であり、メモリ保護機能とは、そのメモリ領域での読み出し書き込みを禁じる機能です。これらにより、シミュレーションされるプログラムが最終的に格納されるメモリの状況をも含めてシミュレーションできます。

## 入出力媒体

- オブジェクト入力 : 紙テープ、磁気テープ、磁気ディスク
- 制御命令入力 : 紙カード、キーボード
- シミュレーション : リスト

## 結果出力

- 入出力データ : 紙カード、キーボード、紙テープ、磁気テープ



## 注文方法

### ●プログラム

プログラム名	オーダー番号	プログラム・説明書の構成
MELPS 8/85 シミュレータ (B版)	GA1SM0110	ソースプログラム シミュレータ説明書 (B版) GAM-SR00-35A クロスアセンブラ及びシミュレータ (MELCOM 70用) 操作説明書 GAM-SR00-04A

### ●別売説明書

説明書名	説明書番号
MELPS 8/85 アセンブラ言語説明書 (A版)	GAM-SR00-34A
MELPS 8/85 クロスアセンブラ説明書 (A版)	GAM-SR00-02A
MELPS 8/85 シミュレータ説明書 (B版)	GAM-SR00-35A
MELPS 8 ハードウェア説明書	GAM-HR00-01A

## 制御命令のコーディング

制御命令は、図1のようなフォーマットで入力します。

図1. 制御命令のコーディングフォーマット

カラム番号	1					72	73	80
内 容	ブランク	コマンド	ブランク	パラメタリスト	ブランク	コメント		シーケンス番号
カラム数	自 由	コマンドの文字数	1カラム以上	必要なパラメタの文字数	1カラム以上	自 由		8カラム
備 考			1つのコマンドに対するパラメタリスト、コメントなどは、 $\leq$ 2カラム以内					システムタイプライタから入力のときは不要

## 制御命令の種類

シミュレータは、表1に示す26種類の制御命令があります。

表1. 制御命令一覧

機能分類	項 目	制 御 コ マ ン ド		機 能 説 明
		内 容	命令ニモニック	
シミュレータ制御命令	スタート条件設定	シミュレーションスタート 再初期化	<b>START</b> <b>REINIT</b>	使用計算機、コマンド入力機器、スタート番地を指定します。(注2) STARTコマンド実行直後の状態にします。
	終 了	シミュレーション終了	<b>END</b>	実行を終了し、モニタに戻ります。
	プログラムの設定 及び退避	対象プログラムのロード 中間結果の退避	<b>LOAD</b> <b>SAVE</b>	アブソリュートオブジェクト又はセーブされていた中間結果をロード。 実行内容及びレジスタ、フラグなど全情報を外部記憶装置に保存。
	コマンド入力機械 の 変 更	カードリーダーに変更 システムタイプライタに変更	<b>BATCH</b> <b>TYPE</b>	コマンドの入力装置をカードリーダーに変更します。 コマンドの入力装置をシステムタイプライタに変更します。
実 行	開 始	対象プログラムの実行開始 対象プログラムの実行開始	<b>GO</b> <b>RUN</b>	停止点を番地と命令数と両方で指定が可能。 HLTまで実行(HLTで停止)。
	停 止	ブレイクポイント指定 ブレイクポイント指定解除 ステップ	<b>BREAK</b> <b>NOBREAK</b> <b>STEP</b>	停止点を番地又は範囲で指定します。 ブレイクポイント指定を解除します。 機械語命令の数で、ブレイクポイントを指定します。
制 御	メモリ領域指定	ROM領域指定	<b>ROM</b>	この命令で指定した領域がROM領域であることを宣言します。
		ROM領域指定解除	<b>NOROM</b>	ROM領域を解除します。
		メモリ保護領域指定	<b>PROT</b>	保護する(アクセス不可能)メモリ領域を指定します。
		メモリ保護領域指定解除	<b>NOPROT</b>	メモリ保護領域指定を解除します。
ト レ ース	トレース領域指定	<b>TRACE</b>	レジスタ、プログラムカウンタ、フラグフリップフロップ及び実行した命令をプリントアウトしながら、プログラム実行を行います。	
	トレース領域指定解除	<b>NOTRACE</b>	トレース領域を解除します。	
命 令	デ ー タ 設 定		<b>SET</b>	レジスタ、スタックポインタ、プログラムカウンタ、フラグフリップフロップ、I/Oポート、メモリの値をセットします。
	割 り 込 み		<b>INTER</b>	割り込み可能な場合、この命令で指定した3バイトまでの命令を実行します。
	ス テ ー ト 数 計 算		<b>TIME</b>	この命令までに実行した機械語命令のステート数の和を求めます。
プ リ ン ト ア ウ ト	基数指定		<b>BASE</b>	数値をプリントアウトするときの基数を指定します。
	プリントアウトの対象指定		<b>DISPLAY</b>	レジスタ、スタックポインタ、プログラムカウンタ、フラグフリップフロップ、I/Oポート、メモリ内容を指示に応じてプリントします。逆アセンブル機能を持っています。
	数 値 変 換		<b>CONV</b>	現プログラムカウンタ又は指定した数値を2、8、10、16進で表示します。
入 出 力 定 義	入 出 力	入 力	<b>IP</b>	機械語命令INの処理内容を規定します。
	シミュレーション	出 力	<b>OP</b>	機械語命令OUTの処理内容を規定します。

注1. 命令は、それぞれアンダラインの部分だけに省略することができます。

2. この制御命令は、最初に使用し、必ずカードリーダーから入力しなければなりません。

## シミュレータ使用例

シミュレータを用いた、シミュレーションの実行例を以下に示します。

図2のプログラムを、表4の順序でシミュレーションします。シミュレーションの対象となる図2のプログラムは、5けた(0以上65,535以下)の10進整数を2進数に変換するプログラムでCON102と名づけます。

変換する10進数は、DED1番地からDED5番地に、ASCIIコードでセットされており、変換した結果は、BID番地とBID+1番地に入ります。(表2を参照してください。)なお、DED1番地からDED5番地に、0から9以外の文字があるときは、エラーとして、Aレジスタに1をセットし、また、65,536以上の数のときは、オーバーフロー表示として、キャリ フリップフロップをセットして実行を終了します。

シミュレーションは、次の3つの動作を中心に行います。

- (1)メモリのDED1番地からDED5番地に値をセットします。
- (2)プログラムを実行させます。
- (3)DED1番地(9113番地)からDED5(9117番地)のデータが正しく変換されているか、BID及び、BID+1番地の

内容を確認します。同時に、Aレジスタ、キャリ フリップフロップの内容も確認します。

シミュレーションの対象となるプログラムのリストを、図2に、シミュレータ制御命令の使用例及び、説明を表4に示します。

表2. メモリ配置

番地	内容	内容説明
DED1	a	5けたの10進数を $a \times 10^4 + b \times 10^3 + c \times 10^2 + d \times 10 + e$ としたとき、a、b、c、d、eがそれぞれASCIIコードでセットされます。
DED2	b	
DED3	c	
DED4	d	
DED5	e	
BID	変換結果	BIDに下位8ビット、BID+1に上位8ビットが入ります。
BID+1		

表3. 変換時のエラー表示

数の分類	エラー・ノーエラー表示(注)		変換の有無
	Aレジスタ	キャリフリップフロップ	
0以上65,535以下の整数	0	0	正しく変換します。
65,536以上の数	0	1	正しい結果は得られません。
10進数でない	1	0	変換しません。

注3. オーバーフローは、キャリ フリップフロップを1に、エラーはAレジスタを1にすることによって表示します。

図2. 対象プログラム CON102のアセンブルリスト

```

**CROSS ASSEMBLER OF 8-BIT MICROPROCESSOR
0001*          *
0002*   CON102 *
0003*          *
0004 2328          ORG 9000
0005 2328 219923 CON102 LXI H,DED1
0006 232B 0605          MVI B,5
0007 232D 7E          CO100 MOV A,M
0008 232E FE3B          CPI 48
0009 2330 DA9423          JC ER
0010 2333 FE3B          CPI 59
0011 2335 D29423          JNC ER
0012 2338 23          INX H
0013 2339 05          DCR B
0014 233A C22C23 D23 JN2 CO100
0015 233D 3A9D23 CO000 LDA DED5
0016 2340 D630          SUI 48
0017 2342 2600          MVI H,0
0018 2344 6F          MOV L,A
0019 2345 3A9C23 CO001 LDA DED4
0020 2348 D630          SUI 48
0021 234A 110A00          LXI D,10
0022 234D CA5523 CO101 JZ CO002
0023 2350 19          DAD D
0024 2351 3D          DCR A
0025 2352 C34D23          JMP CO101
0026 2355 3A9B23 CO002 LDA DED3
0027 2358 D630          SUI 48
0028 235A 116400          LXI D,100
0029 235D CA6523 CO102 JZ CO003
0030 2360 19          DAD D
0031 2361 3D          DCR A
0032 2362 C35D23          JMP CO102
0033 2365 3A9A23 CO003 LDA DED2
0034 2368 D630          SUI 48
0035 236A 11E803          LXI D,1000
0036 236D CA7523 CO103 JZ CO004
0037 2370 19          DAD D
0038 2371 3D          DCR A
0039 2372 C36D23          JMP CO103
0040 2375 3A9923 CO004 LDA DED1
0041 2378 FE37          CPI 37#
0042 237A D29023          JNC OV
0043 237D D630          SUI 48
0044 237F 111027          LXI D,10000
0045 2382 CABA23 CO104 JZ CO005
0046 2385 19          DAD D
0047 2386 3D          DCR A
0048 2387 C38223          JMP CO104
0049 238A 229E23 CO005 SHLD BID
0050 238D C39723          JMP CO006
0051 2390 37          OV STC
0052 2391 C39723          JMP CO006
0053 2394 3E01          ER MVI A,11
0054 2396 A7          ANA A
0055 2397 00          CO006 NOP
0056 2398 76          HLT
0057 2399 00          DED1 DEF 0
0058 239A 00          DED2 DEF 0
0059 239B 00          DED3 DEF 0
0060 239C 00          DED4 DEF 0
0061 239D 00          DED5 DEF 0
0062 239E 0000          BID DADR
0063 2328          END

```

表4 制御命令の使用例及び説明

START M70, CARD	システムは、MELCOM 70を使用し、制御命令はカードリーダーより入力します。
LOAD START, 5	オブジェクトを紙テープリーダー(デバイス番号5)より入力します。
SET CPU SP=10000 PC=9000	スタックポインタを10,000にプログラムカウンタを9,000にします。
SET MEMORY, DED1=31# SE M, DED2:DED5=32#, 33#, 35#, 37#	メモリにデータをセットします。データは、DED 1番地に31#、DED 2番地に32#、DED 2 + 1番地に33#、DED 2 + 2番地に35#、DED 5番地に37#が入ります。
BREAK C0002, C0003, C0004, C0005	停止点を指定します。
DISPLAY CPU, SP, PC	スタックポインタ、プログラムカウンタの内容を確認めます。
D M, DED1:DED5	メモリに値が正しくセットされたかどうか確認めます。ただし、DはDISPLAY、MはMEMORYの省略形です。
GO *	BREAKで指定した点にくるたびに、PC、SP、レジスタの内容、及びフリップフロップの内容をプリントアウトしながら、機械語命令HLTが来るまでプログラムを実行させます。
D M, 9119:9120(@)	変換結果を2進数で表示して、正しく変換されているかどうかを確認めます。GO*の途中でプリントアウトされたリストの、レジスタH、Lの内容の変化をみることによっても確認することができます。
TIME	実行したプログラムのステートの数を求めます。
NOBR C0002, C0003, C0004, C0005	BREAKで指定した停止点を解除します。
S M, DED1=36# S M, DED2:DED5=35# S M, DED4=43#	メモリのDED 1番地に36#、DED 2からDED 5番地に35#、DED 4番地に43#をセットします。
S CP, PC=9000	プログラムカウンタに9,000をセットします。
GO	HLT命令まで実行させます。
D M, 9113:9120	データと結果をプリントします。なお、BASE命令を使用していないので、16進でプリントされます。この場合、データに0~9以外の文字が含まれているので、実行後、Aレジスタに1がセットされているか確認めます。
SAVE 2, SAV1	中間結果を、ディスクのファイルSAV1に退避させておきます。

START M70, C	システムは、MELCOM 70を使用し、制御命令はカードリーダーより入力します。
LO CONT, 2, SAV1	退避されていた中間結果をディスクよりロードします。
TYPE	制御命令の入力機器をカードリーダーからキーボードに変更します。
S CUP, SP=10000, PC=9000	プログラムカウンタ、スタックポインタをセットします。
S M, DED1:DED5=37#, 35#	DED 1に37#、DED 1 + 1に35#、DED 1 + 2に37#、DED 1 + 3に35#、DED 5に37#をセットします。
GO	HLTまで実行。データが65,535をこえているので、キャリフリップフロップに1がセットされているかどうか確認めます。
S CPU, PC=9000	スタート番地をセットします。
S M, DED1:DED5=30#	DED 1からDED 5番地に30#をセットします。
GO	HLTまで実行。
D M, 9113:9120	変換結果が正しいかどうか、確認めます。
S CPU, PC=9000	スタート番地をセットします。
S M, 9113=36# S M, 9115=35#	9113番地に36#、9115番地に35#をセットします。
GO	実行開始。HLTまで実行
D M, 9113:9120	変換結果が正しいかどうか、確認めます。
END	シミュレーションの終了を宣言します。



## MELPS 8/85 PROMライタ用紙テープ作成プログラム

## 概要

PROMライタ用紙テープ作成プログラムは、MELPS 8/85 クロスアセンブラが生成するアブソリュートバイナリオブジェクト形式を他のオブジェクト言語形式に変換し、PROMライタ用紙テープを作成するために用いられます。本プログラムは、オブジェクト形式の変換及び比較照合の機能を有し、さらに機能拡張性をもっているため多くの顧客に適用可能です。

## 特長

- 簡単な制御コマンドで選択的に紙テープを区切って出力
- ディスクに格納のMELPS 8 バイナリを種々の16進紙テープ形式に変換
- 他の16進形式の紙テープをMELPS 8 16進形式に変換
- MELPS 8 16進紙テープの自己照合及び他の16進紙テープとの比較照合機能
- 紙テープ区切単位のブロック指定により任意のブロックから出力可能
- アドレス順に並べ換える機能
- 実行計算機ミニコン MELCOM 70  
(メモリ容量 28K語以上、プログラム約5000ステップ)
- プログラム記述言語 FORTRAN IV (一部アセンブラ)

## 入出力媒体

- MELPS 8 バイナリから16進紙テープ形式へ変換の場合  
入力：カートリッジディスク  
出力：紙テープ(偶数パリティ ASCIIコード)
- 他の16進形式の紙テープをMELPS 8 16進に変換の場合  
入力：紙テープ(偶数パリティ ASCIIコード)  
出力：紙テープ(偶数パリティ ASCIIコード)

- MELPS 8 16進の自己照合及び他の16進形式の紙テープとの比較照合の場合

入力：紙テープ(偶数パリティ ASCIIコード)

出力：システムタイプライタのプリント

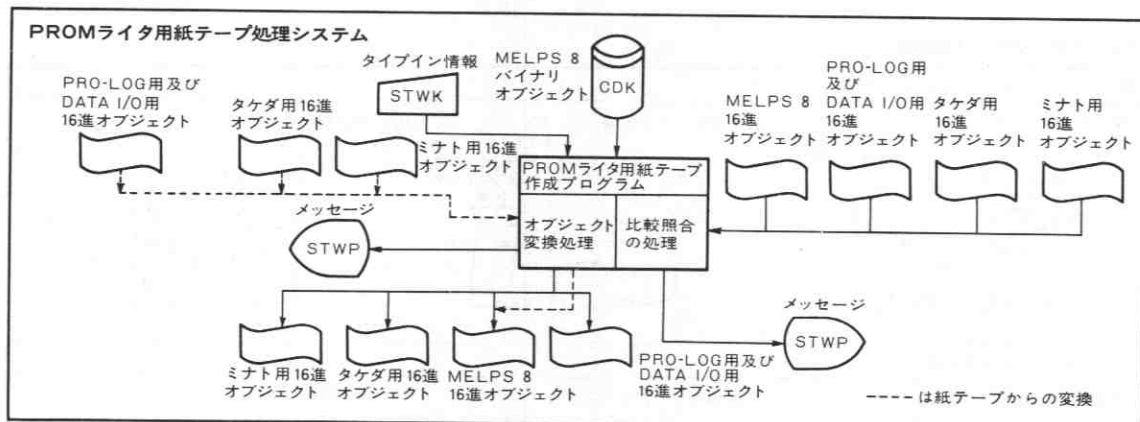
- 制御命令の入力：システムタイプライタのキーボード

## 応用

- タケダ理研製、ミナトエレクトロニクス製、PRO-LOG製及びDATA I/O製のPROMライタで、1K語×8ビットのMSL 2708K,S、2K語×8ビットのMSL 2716K等へのプログラム

## 機能概要

本プログラムは、MELPS 8/85 クロスアセンブラによってディスクのエリアに生成されたアブソリュートバイナリオブジェクト形式(MELPS 8 バイナリと略します。)をタケダ理研製(T-310)PROMライタ用、ミナトエレクトロニクス製(1830型)PRO-LOG社(シリーズ90)、DATA I/O社PROMライタ用の16進のオブジェクト形式(以下それぞれ、タケダ用、ミナト用、PRO-LOG用及びDATA I/O用と略します。)に、又は、MELPS 8 16進形式に変換し、必要な大きさ(バイト数)に区切ってそのまま書込みのできる紙テープを出力します。さらに、タケダ用、ミナト用、PRO-LOG用及びDATA I/O用の紙テープをそれぞれ、MELPS 8 16進形式に変換する機能とそれらの比較照合する機能とをもっています。



## 注文方法

## プログラム及び説明書

プログラム名	オーダー番号	プログラム・説明書の構成
MELPS 8/85 PROMライタ用紙テープ作成プログラム	GA1SP0100	MELPS 8/85 PROMライタ用紙テープ作成プログラム説明書 GAM-SR00-32A

## MELPS 8/85 PROMライター紙テープ作成プログラム

## PROMライター紙テープ処理機能の説明

本プログラムは、オブジェクトプログラムの交換機能とオブジェクト紙テープの比較照合機能をもっています。表1では、オブジェクトの交換機能と交換前後のオブジェクトの種類及び媒体を示します。

表2では、5種類の比較照合機能と比較できるオブジェクトの種類及び媒体を示します。

表1にあげたオブジェクト交換機能のそれぞれの簡単な例を図1に示します。

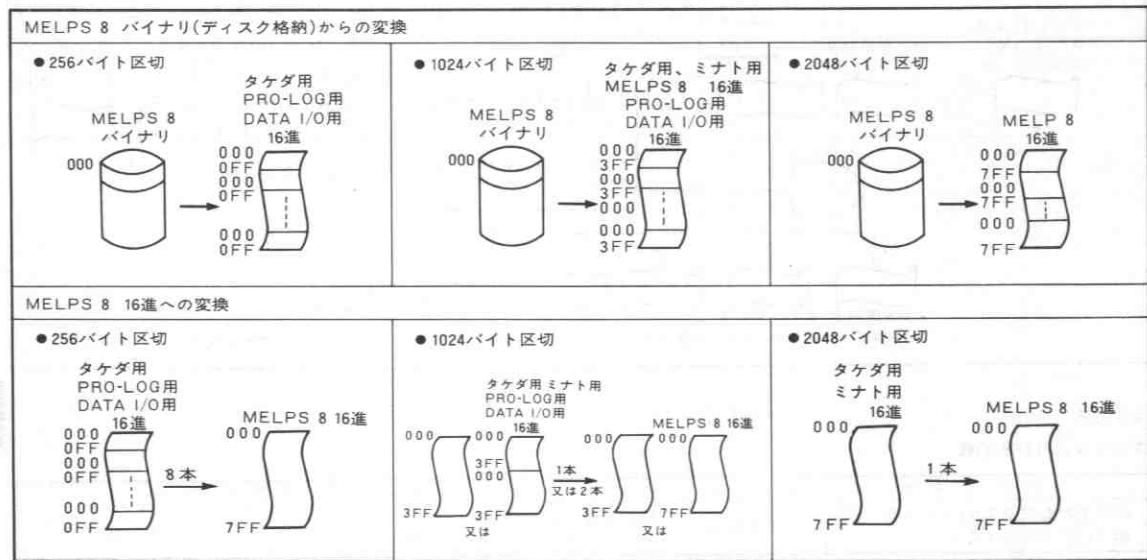
表1. オブジェクト交換機能

紙テープ区切単位	各社製PROMライター用 交換処理	MELPS 8 バイナリ (ディスク格納) から交換できる各社製PROMライター用 16進紙テープ	MELPS 8 16進紙テープへ交換できる 各社製PROMライター用16進紙テープ
256バイト		タケダ用 PRO-LOG用、DATA I/O用	タケダ用、PRO-LOG用 DATA I/O用 8本を 2048バイト1本に変換
1024バイト		タケダ用、ミナト用、MELPS 8 16進 (マスクROM用) PRO-LOG用、DATA I/O用	タケダ用、ミナト用、PRO-LOG用、DATA I/O用1本を1024バイト1本に変更、及び2本 を2048バイトに変換
2048バイト		MELPS 8 16進、タケダ用、ミナト用 (マスクROM用)	タケダ用、ミナト用を2048バイト 1本に変換

表2. オブジェクト紙テープの比較照合機能

比較の種類	MELPS 8 16進		比較するオブジェクトの種類	
	オブジェクトの種類	媒体	オブジェクトの種類	媒体
MELPS 8 16進の自己照合	MELPS 8 アブソリュート16進	紙テープ ●1024バイト区切 ●2048バイト区切	MELPS 8 アブソリュート16進	紙テープ ●1024バイト区切 ●2048バイト区切
MELPS 8 16進とミナト用 16進の比較	MELPS 8 アブソリュート16進	紙テープ ●1024バイト区切 ●2048バイト区切	ミナト用16進	紙テープ ●1024バイト区切 ●2048バイト区切
MELPS 8 16進とタケダ用 16進の比較	MELPS 8 アブソリュート16進	紙テープ ●1024バイト区切 ●2048バイト区切	タケダ用16進	紙テープ ●256バイト区切 8本 ●1024バイト区切 1本 ●2048バイト区切 1本
MELPS 8 16進とPRO-LOG用 16進の比較	MELPS 8 アブソリュート16進	紙テープ ●1024バイト区切 ●2048バイト区切	PRO-LOG用16進	紙テープ ●256バイト区切 8本 ●1024バイト区切 1本 ●2048バイト区切 1本
MELPS 8 16進とDATA I/O用 16進の比較	MELPS 8 アブソリュート16進	紙テープ ●1024バイト区切 ●2048バイト区切	DATA I/O用16進	紙テープ ●256バイト区切 8本 ●1024バイト区切 1本 ●2048バイト区切 1本

図1. オブジェクト交換機能





## MELPS 8/85 セルフアセンブラ

## 概要

MELPS8/85セルフアセンブラは、MELPS8/85 CPUを用いたマイクロコンピュータ及び、マイクロプロセッサ応用機器に適用するアプリケーションプログラム開発のために用意されたターゲットプログラムの一つです。

MELPS8/85セルフアセンブラPTS-A版は、クロスアセンブラに比べて、少ない制御命令をもち、ミニコンなしでも、安価なデバッグマシンでアセンブルができます。

なお、本セルフアセンブラは、MELPS8/85セルフアセンブラ言語 (B版) を用いて、入力データがフリーフォーマットで扱えますのでコーディングが容易です。

## 特長

- 3パス及び2パスで使用可能
- ソース入力フリーフォーマット
- ソース入力紙テープとキーボードからの選択可能
- メモリ増設に伴ってシンボル数増加可能
- 実行計算機 MELCS 8/1 デバッグマシン (メモリ 8Kバイト以上、モニタBOM-PTS使用)
- プログラム記述言語 MELPS 8/85アセンブラ言語(A版)

## セルフアセンブラ言語の特長

- 疑似命令 8種
- 数式の使用

## ●文字定数

## ● 8進、10進、16進数の使用

## ●機械語命令のニーモニックはMELPS8/85クロスアセンブラ及びインテル社のものと互換性あり

## 入出力媒体

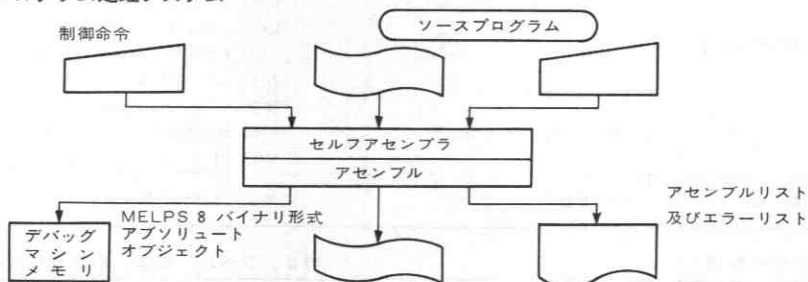
- ソース入力 : キーボード及び紙テープ
- 制御命令の入力 : キーボード
- オブジェクト出力: 紙テープ、デバッグマシンメモリ
- プログラム出荷媒体: 紙テープ (オブジェクト)

## 機能概要

本セルフアセンブラは、デバッグマシンを用いてMELPS8/85のセルフアセンブラ言語 (B版) で書かれたソースプログラムをMELPS 8 バイナリ形式のアプソリュートオブジェクトに言語変換を行います。

本セルフアセンブラは、入力機器指定、オブジェクト出力機器指定、アセンブル実行制御、終了指定制御の4種類の制御命令をもち、使用言語として、機械語命令、疑似命令を用いることができます。機械語命令は機械語と1対1に対応してオブジェクト変換の対象となる78種の基本命令(MELPS8/85クロスアセンブラと同じ)を用いることができます。疑似命令は、アセンブラ制御命令、数値記号及びメモリ内容定義命令、領域確保命令の3種類があり8個の命令が使用できます。

## セルフアセンブラ プログラム処理システム



## 注文方法

## ●プログラム

プログラム名	オーダー番号	プログラム・説明書の構成
MELPS 8/85 セルフアセンブラ	GA2AS0100	セルフアセンブラ言語説明書 (B版) GAM-SR00-25A セルフアセンブラ説明書 (PTS-A版) GAM-SR00-19A セルフアセンブラ操作説明書 (PTS-A版) GAM-SR00-24A

## ●別売説明書

説明書名	説明書番号
MELPS 8 エディタ説明書 (PTS-A版)	GAM-SR00-26A
MELPS 8 エディタ操作説明書 (PTS-A版)	GAM-SR00-27A
MELPS 8/85 ベーシックオペレーティングモニタ (BOM-B) 説明書	GAM-SR00-23A
MELPS 8/85 ベーシックオペレーティングモニタ (BOM-PTS) 説明書	GAM-SR00-18A
MELPS 8 ハードウェア説明書	GAM-HR00-01A

## MELPS 8/85 セルフアセンブラ

## セルフアセンブラ機能説明

本セルフアセンブラは表1の各制御命令を用いて、アセンブルが容易にできます。アセンブルは、パス1でソースプログラムをキーボード又は紙テープより読み、シンボルトーブルを作成し、パス2でソースプログラムを紙テープから読んで各命令を機械語に変換し、アセンブルリストを作成します。パス3でアプソリュートオブジェクトの出力を行います。

## セルフアセンブラ、オブジェクト言語

クロスアセンブラは複数のオブジェクト、モジュールより成り各オブジェクト、モジュールは、名称部、記号部、テキスト部により構成され、最後に終了部となるが、本セルフアセンブラでは、オブジェクト出力制御命令により、テキスト部、終了部のみ出力する形式になっています。

## アセンブラ言語の機能

本セルフアセンブラで使用できるアセンブラ言語は以下説明のような、機械語命令及び疑似命令です。

## 1. 機械語命令

表1. セルフアセンブラ制御命令一覧表

機能分類	ニーモニック	機能説明
入力機器指定命令	/// SP $\left\{ \begin{array}{l} ST \\ SK \end{array} \right.$	パス1の入力機器の指定 ST: 紙テープリーダー SK: キーボード
オブジェクト出力機器指定	/// OB $\left\{ \begin{array}{l} ST \\ DM \end{array} \right.$	オブジェクト出力機器の指定 ST: 紙テープパンチ DM: デバッグマシンのメモリ
アセンブル実行制御命令	/// OP $\left\{ \begin{array}{l} LS \\ LC \\ LE \\ なし \end{array} \right. \left\{ \begin{array}{l} AN \\ なし \end{array} \right.$ ① ②	アセンブル実行開始指定 ソースリスト, オブジェクト出力制御 (1)リスト制御 LS: ソースリスト必要 LC: コメントなしのコンデンソリスト必要 LE: エラーのあるステートメントのみのリスト必要 なし: ソースリスト (2)オブジェクト出力制御 AN: 記号部なしのアプソリュートオブジェクトの出力 なし: オブジェクト出力なし
終了指定制御命令	/// ED,	アセンブル実行の終了を指示

表2. 疑似命令一覧表

項目	命令	名称
アセンブラ制御命令	ORG	プログラムカウンタ設定命令
	NAM	プログラム名宣言命令
	PAUS	アセンブル停止命令
	END	終了宣言命令
数値記号及びメモリ内容定義命令	EQU	数値記号設定命令
	DB	データ設定命令
	DW	アドレス設定命令
領域確保命令	DS	領域確保命令

この機械語命令は機械語と1対1に対応し、オブジェクト変換の対象となる命令で、78種の基本命令を使用できます。ニーモニック等MELPS8/85クロスアセンブラと同じ命令が扱えますのでクロスアセンブラ説明書を御参照ください。

## 2. 疑似命令

本セルフアセンブラで使用できるアセンブラ制御命令には、ORG、NAM、PAUS、ENDの4個があります。データ設定命令には、EQU、DB、DWの3個があり、領域確保命令には、DSがあります。表2にこれらの命令の一覧表をあげます。

## 3. 言語形式

MELPS8/85セルフアセンブラの言語形式はセルフアセンブラ言語説明書(B版)のものを用います。これはMELPS8/85クロスアセンブラ言語に制限を加えたものでほとんど同様の形式で扱うことができます。また、ソースプログラムは、1ステートメントを、CR(復帰)からCR(復帰)までとし、ラベル欄、命令欄、オペランド欄、コメント欄、識別欄で構成されます。

表3. ラベル、文字、数値及び式

種類	項目	表現記号
ラベル	ラベル表現	L:
	ラベル使用先頭文字	A-Z, @, ?
	ラベル使用文字(先頭以外)	A-Z, @, ?, 0-9
	ラベル文字数	5文字以内(例 LABEL1:)
文字定数	A (1バイト)	▼A▼
	AB (2バイト)	▼AB▼
	A▼B (3バイト)	▼A▼▼B▼
数値	8進数	n Q
	10進数	n
	16進数	n H
式	加算記号	+
	減算記号	-
	乗算記号	*
	除算記号	/
その他	プログラムカウンタ	\$
	演算順序	左から右

ここで、コメント欄は、最初にセミコロン(;)をつけて以下ステートメント行とすることができます。フォーマットは自由形式ですので、必要な区切りさえあれば、どのコラムに記入することもできます。(ただし、35コラムから72コラムまでと81コラム以上はプリントが無視されます。)

なお、表3にラベル、文字、数値、式等を示します。

#### (1) ラベル欄

5文字以内の文字で先頭はA~Z、@、?を用いて、それ以外は、A~Z、@、?、0~9を使用できます。ただし、文字の最後には、コロン(:)を入れます。

例 L1:MOV A, B  
LABL5:  
@ABCD:  
A123?:  
?AB01:

#### (2) 命令欄

命令のニーモニック、コードを記入します。機械語命令はMELPS8/85クロスアセンブラと同じコードで扱えます。なお、擬似命令は、アセンブラ制御命令のORG、NAM、PAUS、END、数値記号及び、メモリ内容定義命令のEQU、DB、DW、領域確保命令のDSが使用できます。

#### (3) オペランド欄

命令のパラメータを第1オペランド及び第2オペランドとしてオペランド1、2を記入します。オペランド1、2が両方記入される場合は、区切りのコンマが必要です。

数値は、8進、10進、16進数、文字定数は▼A▼、▼AB▼、▼A▼▼B▼等の形式、式は演算子(+、-、\*、/)で結ばれたもの、プログラムカウンタ\$を使用できます。

#### (4) コメント欄

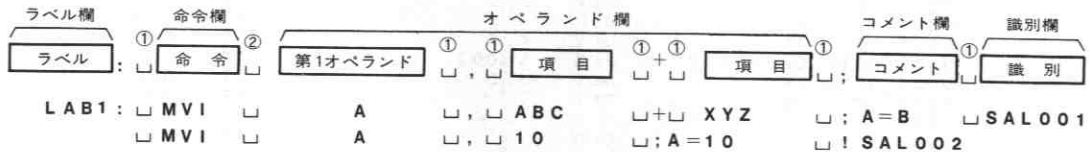
セミコロン(;)に先行される行又は、行の途中、命令等の後に続く(;)以下の文字は、コメントと見なされます。

例 ; THIS LINE IS COMMENT  
; COMMENT  
;  
L1: MOV A, B; COMMENT; ABC

#### (5) 識別欄

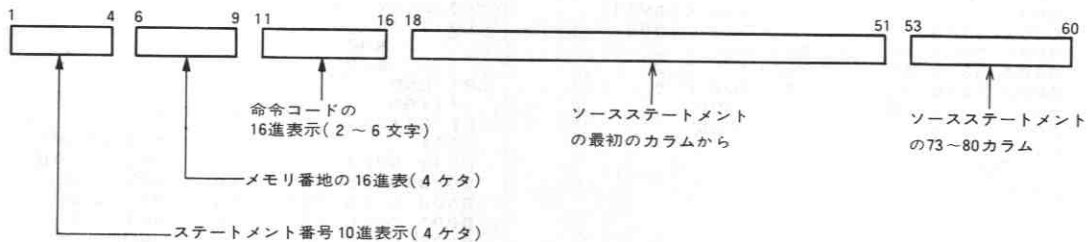
73~80コラム内の文字、又は、!に続く8文字以内の文字が識別欄となります。この識別欄は1ステートメントの最後に現われ、また、省略可能です。

図1. ソースプログラム形式



注1. ①なくてもよいスペース  
②1つ以上必要なスペース  
□はスペースを表す。

図2. アセンブリリスト形式



## ソースプログラム及びアセンブルリストの形式

ソースプログラムのコーディングは、自由形式で図1のようなフォーマットで行うことができます。

アセンブルリストの形式は図2のようになります。なお、アセンブルリストの実例を図3に示します。

## オブジェクトテープ形式

パス3で出力されるオブジェクトは、MELPS 8 バイナリ形式のアブソリュートオブジェクトです。

図3. アセンブルリストの実例

```

1      4      6      9 11      16 18      51 53      60
0001      ;      SUBROUTINE (1) .....MULT AT-02000
0002      ;      AT-02020
0003      ;      * DATA (A).....MULT AT-02030
0004      ;      (B).....MULT AT-02040
0005      ;      * RESULT (H) (L)....PROD AT-02060
0006      ;      AT-02070
0007 0000 0E08 L@001: MVI C, 8 AT-02080
0008 0002 210000 LXI H, 0 AT-02090
0009 0005 110000 LXI D, 0 AT-02100
0010 0008 57 MOV D, A
0011
0012 0009 7A L@002: MOV A, D AT-02120
0013 000A 0F RRC ; AT-02130
0014 000B 57 MOV D, A RIG AT-02140
0015 000C 7C MOV A, H AT-02150
0016 000D D21100 JNC L@003 AT-02160
0017 0010 80 ADD B ; (A) AT-02180
0018 ; AT-02190
0019 0011 1F L@003: RAR ; R-S AT-02200
0020 0012 67 MOV H, A AT-02210
0021 0013 7D MOV A, L ; (A) AT-02220
0022 0014 1F RAR ; R-S AT-02230
0023 0015 6F MOV L, A
0024 ;
0025 0016 79 MOV A, C ; (A) AT-02250
0026 0017 D601 SUI 1 ; (A) AT-02260
0027 0019 4F MOV C, A AT-02270
0028 001A C20900 JNZ L@002 I AT-02280
0029 001D 7A MOV A, D AT-02290
0030 001E C9 RET AT-02300
0031 ; AT-02310
0032 0000 END AT-03370

```

図4. 紙テープ入力の場合

```

: ///SP. 紙テープリーダーより入力
: ///OB.
: ///OP LS, AN.
P1 START
P1 END
: ///GO. パス2続行
P2 START アセンブルリスト
0001      NAM EXAMP1
0002 03E8      ORG 1000
0003 03E8 79      L001:MOV A, C
0004 03E9 3E02      L002:MVI A, 2
0005 03EB 48      L003:MOV C, B
0006 03EC 00      NOP
0007 0000      END
P2 END
: ///GO.
P3 START

```

## アセンブルの実例

パス1、パス2、パス3の実行例として、紙テープ入力の場合を図4に、キーボード入力の場合を図5に示します。

## エラーメッセージ形式

エラーメッセージには制御命令に対するものとアセンブル時の二種類あります。

制御命令に対するもの…\*Q\*

アセンブル時のエラー…? □\*x\* xはエラーの種類

図5. キーボード入力の場合

```

: ///SP SK.....キーボードより入力
: ///OB.
: ///OP LS, AN
P1 START
      NAM EXAMP1
      ORG 1000
L001:MOV A, C
L002:MVI A, 2
L003:MOV C, B
      NOP
      END
P1 END
: ///GO.
P2 START .....アセンブルリスト
0001      NAM EXAMP1
0002 03E8      ORG 1000
0003 03E8 79      L001:MOV A, C
0004 03E9 3E02      L002:MVI A, 2
0005 03EB 48      L003:MOV C, B
0006 03EC 00      NOP
0007 0000      END
P2 END
: ///GO.
P3 START

```

**概要**

MELPSエディタは、マイクロコンピュータ及び、マイクロプロセッサ応用機器に適するプログラム開発において、ソースプログラムの修正を容易にするために準備されたターゲットプログラムの一つです。

**特長**

- 制御命令の数15
- キーボード又は紙テープよりワークエリアにロード
- ワークエリアの容量は拡張及び縮小可能
- インプット制御
- バッファポインタ制御
- アウトプット制御
- データ編集制御
- コマンドストリング可能
- コマンドの反復機能
- エディタ終了制御
- コマンド形式はMELCOM 70エディタに類似
- 実行計算機 MELCS 8/1 デバッグマシン

(メモリ 8Kバイト、モニタBOM-PTS使用)

- プログラム記述言語 MELPS8/85アセンブラ言語(A版)

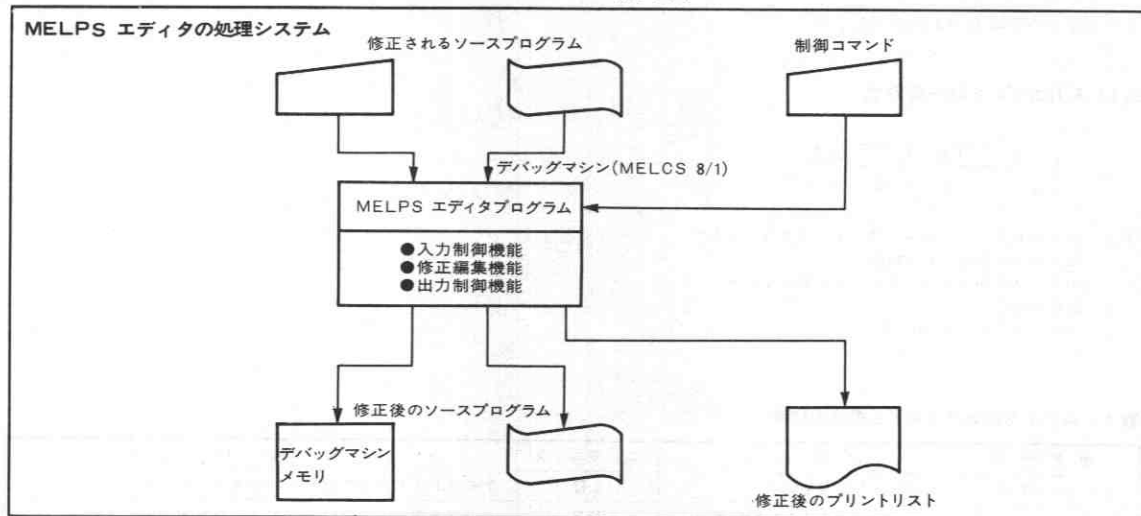
**入出力媒体**

- 修正用プログラム：キーボード又は紙テープ
- 制御命令入力：キーボード
- 修正後出力：プリンタ及び紙テープ

**機能概要**

MELPSエディタは、キーボード又は紙テープよりテキストをワークエリアにロードし、キーボードからの制御コマンドでワークエリアのテキスト内容を修正し、編集を行ってプリント又は、紙テープの出力を行います。

制御コマンドは、5種類に分けられ、15個の制御命令をもっています。これらの命令の組合せを用いて誤りを含むソーステープを修正し、修正されたプログラムを作成できます。バッファポインタの指定を基準にして文字単位、行単位の削除、挿入、置換えが容易にでき結果はプリント及び紙テープに同時出力も可能です。



**注文方法**

●プログラム

プログラム名	オーダー番号	プログラム・説明書の構成
MELPS エディタ	GA2SP0103	オブジェクトプログラム エディタ説明書 (PTS-A版) GAM-SR00-26A エディタ操作説明書 (PTS-A版) GAM-SR00-27A

●別売説明書

説明書名	説明書番号
MELPS 8/85 セルフアセンブラ言語説明書 (B版)	GAM-SR00-25A
MELPS 8/85 セルフアセンブラ説明書 (PTS-A版)	GAM-SR00-19A
MELPS 8/85 セルフアセンブラ操作説明書 (PTS-A版)	GAM-SR00-24A
MELPS 8 ベーシックオペレーティングモニタ(BOM-B)説明書	GAM-SR00-23A
MELPS 8 ベーシックオペレーティングモニタ(BOM-PTS)説明書	GAM-SR00-18A
MELPS 8 ハードウェア説明書	GAM-HR00-01A

### エディタ機能の説明

MELPSエディタはプログラムデバッグ修正の効率を高めるために用意されたもので、制御コマンドには、インプット制御、バッファポインタ制御、アウトプット制御、データ編集制御、エディタ終了制御の5種類があり、これらの中には15個の制御命令があります。制御コマンドの種類と機能説明を表1に示します。各制御コマンドを入力する場合の一般形式は、図1のとおりです。

#### (1) スtring コマンド

制御コマンドには、表1のようにそれぞれ単独で用いることもできますが、次の例のように、各種のコマンドを組合わせて使用することもできます。

```
///BPS$5TW$2CP$3DL$RPA$BSS$
```

#### (2) 反復コマンド

コマンド反復指定形式は、n<コマンド>ストリング\$\$のようになる。nは10進数で|n|≤255、nが負のときは、正に変換します。<>でかこまれたコマンドストリングをn回繰り返し実行できます。反復レベルは8レベルまでです。

図2にソースプログラムのテキストをワークエリアにロードして修正を行う場合の実例を示します。

図2 エディタコマンドの実例

```
///BPS$RP1$10$2CPDLBPFPPOP D$IN;C$$
```

修正前のワークエリアの内容    修正後のワークエリアの内容

PUSH H	①	PUSH H	①
MVI D, 1	②	MVI D, 10	②
MOV E, A	③	SHLD XY	④
SHLD XY	④	POP D;C	⑤
POP D	⑤		

- ① 変更なし
- ② 1が10と置きかえられ②'となる。
- ③ 削除される。
- ④ 内容の変更なし、以下のラインは1行削除だけつめられる。
- ⑤ POP Dを検索してDの次にコメントの;Cを入れる。

図1 入力コマンドの一般形式

```
/// [ ] $ [ ] $$
```

①    ②    ③    ④    ⑤

- ① コマンド入力メッセージでエディタプログラムがコマンドの受け付け可能状態。
- ②④エディタ制御コマンド及び必要なアークギュメント。
- ③ 区切符号(ESC)。
- ⑤ コマンドの終了(ESC2回)。

表1. エディタ制御コマンドと機能の説明

機能分類	制御命令	ニーモニック	機能説明
インプット制御	ソース入力指定制御	LD	テキスト入力機器の指定とテキストのロード
バッファポインタ制御	バッファポインタ初期設定	BP	バッファポインタをワークエリアの先頭にリセット
	バッファポインタキャラクタ設定	CP	バッファポインタをnキャラクタ移動
	バッファポインタライン設定	LP	バッファポインタn行移動
	バッファポインタ最終設定	EP	バッファポインタをワークエリアの最後に移動
アウトプット制御	プリント制御	TW	n行プリント
	ラインパンチ制御	PN	ワークエリアの先頭よりn行パンチ
	パンチ制御	PP	ワークエリアの全内容パンチ
	フィーダパンチ制御	PS	nバイトのフィーダパンチ
データ編集制御	キャラクタ削除制御	DC	nキャラクタの削除
	検索及びバッファポインタ設定	FP	サーチストリングを検索し、バッファポインタをその後に移動
	検索及び置換制御	RP	サーチストリングの検索をし指定のストリングに置き換え
	ライン削除制御	DL	n行の削除
	挿入制御	IN	バッファポインタの後に指定ストリングを挿入
エディタ終了制御	実行終了制御	EN	エディタの実行終了

## MELPS 8 ベーシックオペレーティングモニタ (BOM-PTS)

## 概要

BOM-PTSは8ビット並列処理CPU、M5L 8080AP、Sを用いたマイクロコンピュータに適応するベーシックオペレーティングモニタで、ユーザプログラムの実行制御及びデバッグを目的とします。また、BOM-PTSは7.5Kバイトのプログラム容量を有し、入出力機器としてシステムタイプライタ(カシオタイプライター モデル501, 500)を駆動します。

## 特長

- 3つのマクロ命令と22のモニタコマンドを持ちます。
- プログラム開発及びデバッグに有効なトレース、スナップショット、アドレスホルトの各コマンドを持ちます。
- 擬似I/O, PROM書き込み機能を持ちます。

## 機能概要

BOM-PTSには、22のコマンドと、3つのマクロ命令を持ち次の機能を実現します。

- (1) プログラム実行制御
- (2) プログラムロード
- (3) メモリパンチ
- (4) プログラムデバッグ(トレース、スナップショット、ホルト)
- (5) 入出力制御及び擬似入出力処理
- (6) メモリ及びレジスタのデータ表示及びデータ変更
- (7) PROM書き込み機能

## ●BOM-PTSの実行開始

デバッグマシンMELCS 8/1のパネルのBOM開始スイッチをオンすると、次のメッセージを印字し、コマンドの入力を可能にします。

```
BOM-PTS A00 'READY'
```

```
//
```

## ●ハードウェアへの制約

## (1) メモリ配置

ROMのメモリ番地は次のとおりです。

```
E00016~FCFF16
```

また、ROMを使用するにあたっては、RAM領域が78バイト必要であり、その領域は、次のとおりです。

```
F00010~EDFF16
```

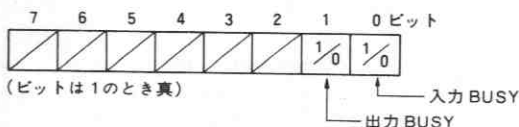
## (2) 入出力機器番地

PTR, キーボード用入力 7B<sub>16</sub> (IN 7B#)

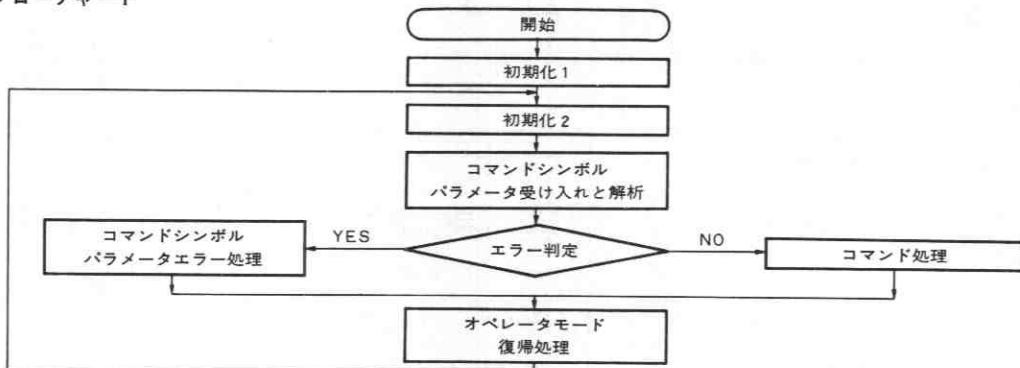
PTP, 印字用出力 7B<sub>16</sub> (OUT 7B#)

ステータス入力 7B<sub>16</sub> (IN 3B#)

ただし、ステータスのビット構成は次のとおりです。



## フローチャート



## 注文方法

## ●プログラム

プログラム名	オーダー番号	プログラム・説明書の構成
MELPS 8 ベーシックオペレーティングモニタ (BOM-PTS)	GA20S0100	ソースプログラム, オブジェクトプログラム ベーシックオペレーティングモニタ説明書(BOM-PTS) GAM-SR00-18A

## ●別売説明書

説明書名	説明書番号
MELPS 8 ベーシックオペレーティングモニタ説明書 (BOM-B版)	GAM-SR00-23A
MELPS 8/85 セルフアセンブラ言語説明書 (B版)	GAM-SR00-25A
MELPS 8/85 セルフアセンブラ説明書 (PTS-A版)	GAM-SR00-19A
MELPS 8/85 セルフアセンブラ操作説明書 (PTS-A版)	GAM-SR00-24A
MELPS 8 ハードウェア説明書	GAM-HR00-01A

## MELPS 8 ベーシックオペレーティングモニタ ( BOM-PTS )

BOM-PTSの持つ22のコマンドと3つのマクロ命令一覧表

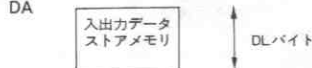
コマンド, マクロ命令名	機 能	コマンド指定、パラメータ入力形式及び コーディングシーケンス	パ ラ メ ー タ	
コマンド	G	プログラム実行開始	//G para1(4) [ para2(4) ] OR LF	para1(4): 実行開始番地 para2(4): 変更実行開始番地
	R	プログラム実行再開	//R OR LF	—
	U	ユーザ疑似入出力処理	//Upara1(4) OR LF	para1(4): ユーザ疑似入出力処理 ルーチン先頭番地
	LM	MELPS 8 2進ロード	//LMpara1(4), para2(4) OR para3(2) OR LF	para1(4): ROM先頭番地(リローケータブル時) para2(4): RAM先頭番地(リローケータブル時) para3(4): LE (ロード終了指示キーワード)
	DM	メモリデータ MELPS 8 2進テキスト部 ダンプ (パンチ)	//DMpara1(1), para2(4), para3(4) OR LF	para1(1): para1(1)=T para2(4): 先頭番地 para3(4): 終了番地
		MELPS 8 2進終了部ダンプ(パンチ)	//DMparp1(1) [ para4(4) ] OR LF	para1(1): para1(1)=E para4(4): 実行開始番地
	PR	レジスタデータ16進プリント	//PR OR LF	—
	PM	メモリデータ16進プリント	//PMpara1(4), para2(4) OR LF	para1(4): 先頭番地 para2(4): 終了番地
	PA	逆アセンブラ	//PApara1(4), para2(4), para3(1) OR LF	para1(4): 先頭番地 para2(4): 終了番地 para3(1): para3(1)が1のときオペランドに 対しては逆アセンブラしない para3(1)が1のとき、オペランド に対しても逆アセンブラする
	MR	レジスタデータ変更	//MR OR LF	—
	MM	メモリデータ変更	//MMpara1(4) OR LF	para1(4): 先頭番地
	MC	メモリデータ補数交換	//MCpara1(4), para2(4) OR LF	parp1(4): 先頭番地 para2(4): 終了番地
	MS	メモリ定数データ設定	//MSpara1(4), para2(4), para3(2) OR LF	para1(4): 先頭番地 para2(4): 終了番地 para3(2): 定数データ
	MT	メモリデータ・ブロック転送	//MTpara1(4), para2(4), para3(4) OR LF	para1(4): 先頭番地 para2(4): 終了番地 para3(4): 転送先メモリ先頭番地
	I	機械語命令割込発生指示	//Ipara1(1) OR LF	para1(1): para1(1)=1のとき、機械語命令 割込発生指示 para1(1)が1のとき、機械語命令 割込発生禁止
	PT	デバッグテーブル・プリント	//PT OR LF	—
	C	デバッグテーブル・クリア	//C OR LF	—
	H	アドレスホルト・デバッグ・テーブル作成	//Hpara1(1), para2(4), para3(4) OR LF	para1(1): para1(1)=S para2(4): アドレス・ホルト番地 para3(4): アドレス・ホルト通過可回数
		アドレスホルト・デバッグ・テーブル消去	//Hpara1(1), para2(1) [ ..., para9(1) ] OR LF	para1(1): para1(1)=D para2(1)~para9(1): 0~7(テーブル番号), W(全テーブル)
	S	スナップショット・デバッグ・テーブル作成	//Spara1(1), para2(4), para3(6), para4(4), para5(4) [ , para6(1) ] OR LF	para1(1): para1(1)=S para2(4): スナップショット実行番地 para3(6): スナップショット・シンボル para4(4): メモリデータ表示先頭番地 para5(4): メモリデータ表示終了番地 para6(1): para6(1)=R
		アドレスホルト・デバッグ・テーブル消去	//Spara1(1), para2(1) [ , ..., para9(1) ] OR LF	para1(1): para1(1)=D para2(1)~para9(1): 0~7(テーブル番号), W(全テーブル)
	T	トレース・デバッグテーブル作成	//Tpara1(1), para2(4), para3(4), para4(4), para5(4) [ , para6(1) [ , para7(1) ] ] OR LF	para1(1): para1(1)=S para2(4): トレース領域先頭番地 para3(4): トレース領域最終番地 para4(4): メモリデータ表示先頭番地 para5(4): メモリデータ表示最終番地 para6(1): para6(1)=Rのときレジスタデ ータ表示指示, para7(1)=Bのとき デバッグ命令実行時 para7(1)のみトレース実行
トレース・デバッグテーブル消去		//Tpara1(1), para2(1) [ , ..., para5(1) ] OR LF	para1(1): para1(1)=D para2(1)~para5(1): 0~3(テーブル番号), W(全テーブル)	
FP	PROM書き込み	//FPpara1(4), para2(4), para3(2) OR LF	para1(4): 先頭番地 para2(4): 最終番地 para3(2): PROM書き込み番地	
FT	PROMデータ主メモリへ転送	//FTpara1(4) OR LF	para1(4): 先頭番地	
FC	PROMデータと主メモリデータ比較	//FCpara1(4) OR LF	para1(4): 先頭番地	
EXIT	プログラム実行終了宣言	CALL F015 #	—	
PAUSE	プログラム実行一時中断	CALL F012 #	—	
マクロ命令	入出力制御	CALL FOOC # ..... EXIOマクロ命令実行 DADR DCB1 ..... データコントロールブロック (DCB) の先頭番地 DCB1 DEF IOD ..... 入出力動作指定, PTR (IOD=52 #), PTP (=50 #), キーボード (=4B #), 印字 (=44 #) DADR DA ..... 入出力データストアメモリの先頭番地設定 DADR DL ..... 入出力データストアメモリのデータ長設定	—	

注1. paran (m) : 1つのコマンドの中のn個目のパラメータ (オペレータによる入力及び、モニタよりの印字) で、有効桁数が1~m桁のヘキサデシマル (0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F) のパラメータであることを示します。ただし、桁数がm桁を超えるときは、|m|桁が有効です。

2. \_\_\_\_\_ (下線) : オペレータによる入力であることを示します。

3. [ ] (大カッコ) : オペレータによる入力で省略可能なものを示します。

4. # : アセンブラ言語における16進表示を示します。





## MELPS 8 ベーシックオペレーティング モニタ(BOM-B)

## 概要

BOM-Bは8ビット並列処理CPU、M5L 8080AP、Sを用いたマイクロコンピュータに適應するベーシックオペレーティング モニタで、ユーザプログラムの実行制御及びデバッグを目的とします。また、BOM-Bは2Kバイトのプログラム容量を有し、入出力機器としてシステムタイプライタ(カシオタイピュータ モデル500)を駆動します。

## 特長

- マスクROM (M58731-001S) の標準品もあり又はPROMにも格納できますのでそれを実装するのみでプログラムデバッグ機能をもったマイクロコンピュータが構成できます。
- 3つのマクロ命令と9つのモニタコマンドを持ちます。
- ユーザ作成コマンドの追加が可能です。
- ユーザプログラムの暴走により、BOM-Bのプログラムをこわすことはありません。

## 機能概要

BOM-Bには、9つのコマンドと、3つのマクロ命令を持ち、次の機能を実現します。

- (1) プログラム実行制御
- (2) プログラムロード
- (3) メモリパンチ
- (4) プログラムデバッグ
- (5) 入出力制御

## ●BOM-Bの実行開始

680016番地より実行を始めると、次のメッセージを印字し、コマンドの入力を可能にします。

```
//MELPS 8 BOM-B A01
//
```

## ●ハードウェアへの制約

## (1)メモリ配置

ROMのメモリ番地は次のとおりです。

680016~6FFF16

また、ROMを使用するにあたっては、RAM領域が78バイト必要であり、その領域は、次のとおりです。

3F8016 ~ 3FCD16

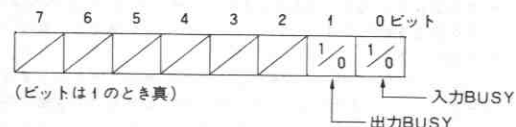
## (2)入出力機器番地

PTR, キーボード用入力 7B16 (IN 7B #)

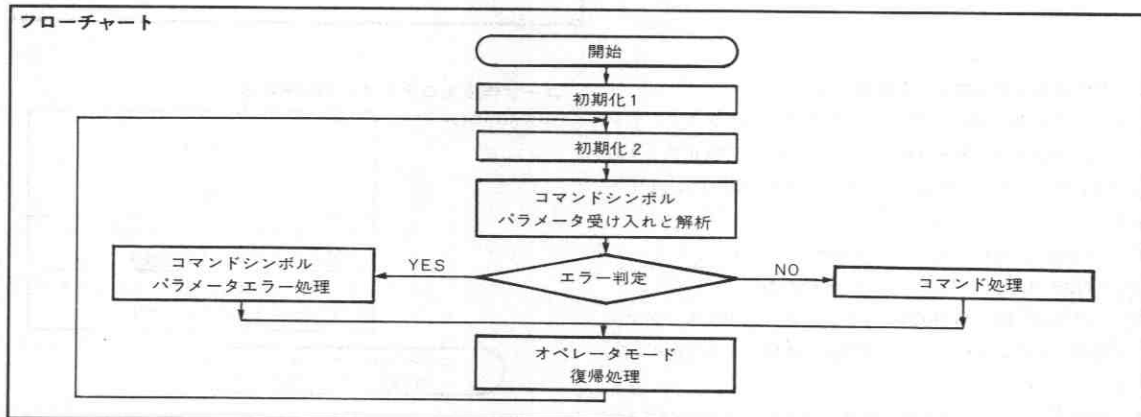
PTP, 印字用出力 7B16 (OUT 7B #)

ステータス入力 7B16 (IN 3B #)

ただし、ステータスのビット構成は次のとおりです。



## フローチャート



## 注文方法

## ●プログラム

プログラム名	オーダー番号	プログラム・説明書の構成
MELPS 8 ベーシックオペレーティング モニタ (BOM-B)	GA20S0101	ソースプログラム, オブジェクトプログラム ベーシックオペレーティングモニタ説明書(BOM-B版) GAM-SR00-23A

## ●別売説明書

説明書名	説明書番号
MELPS 8 ベーシックオペレーティングモニタ説明書 (BOM-PTS版)	GAM-SR00-18A
MELPS 8/85 セルフアセンブラ言語説明書 (B版)	GAM-SR00-25A
MELPS 8/85 セルフアセンブラ説明書 (PTS-A版)	GAM-SR00-19A
MELPS 8/85 セルフアセンブラ操作説明書 (PTS-A版)	GAM-SR00-24A
MELPS 8 ハードウェア説明書	GAM-HR00-01A

## MELPS 8 ベーシックオペレーティング モニタ(BOM-B)

BOM-Bの持つ9つのコマンドと3つのマクロ命令一覧表

コマンド、マクロ命令名	機能	コマンド指定、パラメータ入力形式 及びコーディングシーケンス	パラメータ	
コマンド	G	プログラム実行開始	//G para1(4)_[para2(4)]CR LF	para1(4): 実行開始番地 para2(4): 変更実行開始番地
	R	プログラム実行再開	//R CR LF	—
	L	MELPS 8 2進ローダ	//L CR LF	—
	H	MELPS 8 16進ローダ	//H CR LF	—
	T	メモリデータMELPS 8 2進 テキスト部パンチ	//T para1(4), para2(4) CR LF	para1(4): 先頭番地 para2(4): 終了番地
	E	MELPS 8 2進終了部パンチ	//E [para1(4)] CR LF	para1(4): 実行開始番地
	P	メモリデータ16進プリント	//P para1(4), para2(4) CR LF	para1(4): 先頭番地 para2(4): 終了番地
	S	メモリデータ変更	//S para1(4) CR LF	para1(4): 変更番地
	M	レジスタデータ16進プリント、変更	//M CR LF	—
マクロ命令	EXIT	プログラム実行終了宣言	CALL 6806 #	
	PAUSE	プログラム実行一時中断	CALL 6803 #	
	EXIO	入出力制御		

注1. para n (m) : 1つのコマンドの中のn個目のパラメータ(オペレータによる入力及び、モニタよりの印字)で、有効桁数が1~m桁のヘキサデシマル(0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F)のパラメータであることを示します。ただし、桁数がm桁を越えるときは、m桁が有効です。

2.        (下線) : オペレータによる入力であることを示します。

3. [        ] (大カッコ) : オペレータによる入力で省略可能なものを示します。

4. # : アセンブラ言語における16進表示を示します。

CALL 6EBC #-----EXIOマクロ命令実行  
DADR DCB1 -----データコントロールブロック(DCB)の先頭番地

DCB1 DEF IOD ---入出力動作指定, PTR(IOD=52#), PTP  
DADR DA --- (=50#), キーボード(=4B#), 印字(=44#)  
DADR DL ---入出力データストアメモリの先頭番地設定  
          ---入出力データストアメモリのデータ長設定

DA

入出力データ  
ストアメモリ

DL バイト

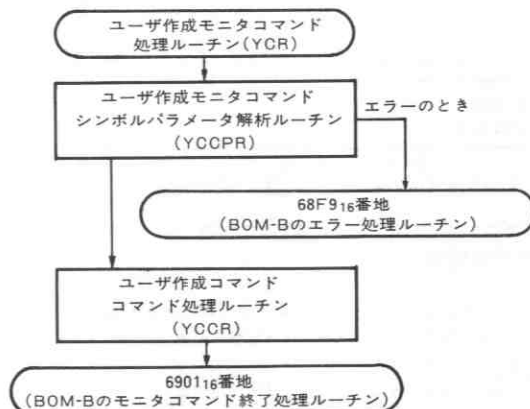
## ユーザ作成モニタコマンドの追加方法

ユーザの必要に応じて作成された任意のモニタコマンドをBOM-BのRAM 4バイト(3FC7<sub>16</sub>~3FCA<sub>16</sub>)の修正により追加可能です。以下ユーザ作成モニタコマンドの追加方法を述べます。

- (1) SYMBOL(4B<sub>16</sub>)に「4B<sub>16</sub>」のデータを設定します。
- (2) SYMBOL+1に「C3<sub>16</sub>」のデータを設定します。
- (3) SYMBOL+2, SYMBOL+3に、ユーザ作成モニタコマンド処理ルーチン(YCR)への番地を、下位、上位の順に設定します。
- (4) YCRとして、ユーザ作成モニタコマンド シンボルパラメータ解析ルーチン(YCCPR)と、ユーザ作成コマンド コマンド処理ルーチン(YCCR)を作成する。
- (5) ユーザ作成モニタコマンドのコマンドシンボルは、BOM-Bの持つ9つのコマンドシンボル以外のものを採用してください。
- (6) YCCPRで、コマンドシンボルのチェックとパラメータのチェックを行い、誤りがあるときはBOM-Bのエラー処理ルーチン(?)を印字する)68F9<sub>16</sub>番地へジャンプさせます。
- (7) YCCRの最後は、モニタコマンド終了処理ルーチン6901<sub>16</sub>番地へジャンプさせます。

## ユーザ作成モニタコマンド処理方法

SYMBOL(3FC7 <sub>16</sub> )	
	4B <sub>16</sub>
	C3 <sub>16</sub>
	ユーザ作成モニタコマンド処理ルーチン(YCR)への番地の下位バイト
	ユーザ作成モニタコマンド処理ルーチン(YCR)への番地の上位バイト



---

# 応用

---

100

100

## M5K 4116P,Sの応用

## M5K 4116P,S 16K-BIT DYNAMIC RAM

## はじめに

M5K 4116P、Sシリーズは、16384語×1ビット構成のNチャンネルシリコンゲートMOSダイナミックRAMで、高速、低消費電力、低価格が必要とされる、大容量メモリスシステムに最適です。2層ポリシリコンプロセスと1トランジスタメモセルにより、高集積度化、低価格化、また、センスアンプを含め、回路をダイナミック化することにより、低消費電力化を実現しました。また、アドレス信号をマルチプレックスすることにより、ピン数を減らし、標準形16ピンパッケージ構造にしたものであり、システムの高密度化にも最適です。

表1は、16KダイナミックRAMと4KスタチックRAMについて(消費電力)×(スピード)の比較を行ったものです。

表1. 16KダイナミックRAMと4KスタチックRAM

特性	16K ダイナミック RAM	4K スタチック RAM (注1)
消費電力	462mW(最大)	440mW(最大)
消費電力/ビット	28.2 $\mu$ W/ビット	107.4 $\mu$ W/ビット
速度	t <sub>a</sub> =150ns	t <sub>a</sub> =200ns
消費電力・速度/ビット	4.23pJ/ビット	21.5pJ/ビット

注1. M5L 2114LP-2

上に示したように、16KダイナミックRAMの(消費電力)×(スピード)/ビットは4.23pJ/ビットであり、4KスタチックRAMでは、21.5pJ/ビットです。このことから16KダイナミックRAMの(消費電力)×(スピード)/ビットは4KスタチックRAMに比較し約1/5に減少していることがわかります。

図1. ピン接続図

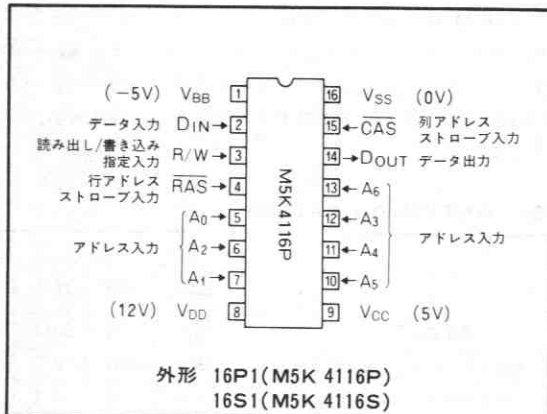


表2は、16KダイナミックRAMと4KスタチックRAMを使って、それぞれ16Kバイトのメモリスシステムを作ったときの比較を示しています。

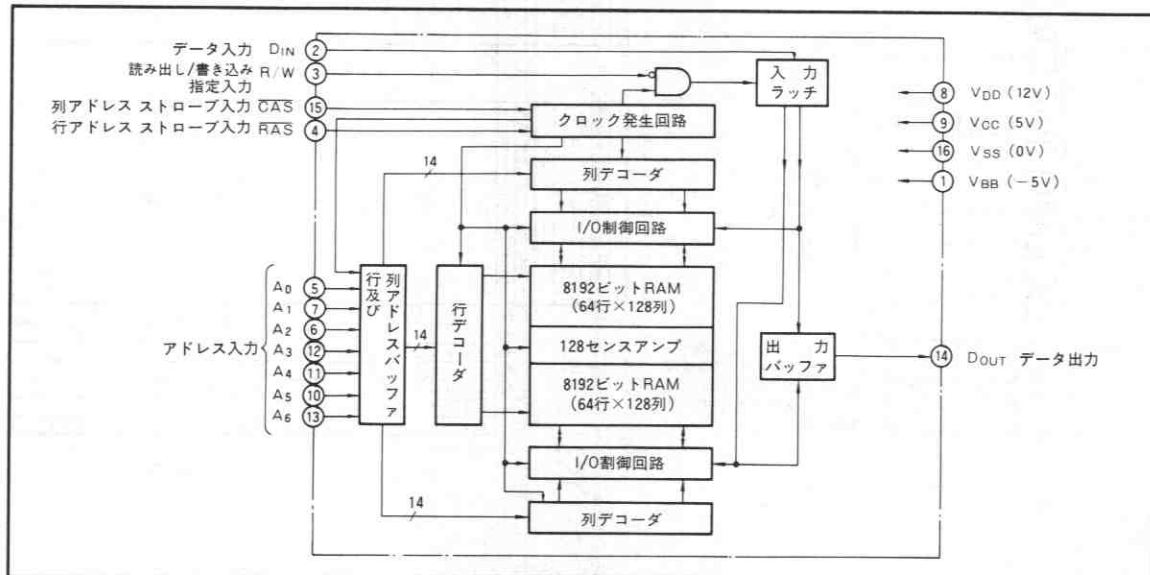
表2. 16Kバイトメモリスシステムの必要条件

素子	素子数	電圧	電流	全消費電力	相対電力	相対面積
4K スタチック RAM	32	5V	2.56A	12.8W	1	1
16K ダイナミック RAM	8	5V (注2) -5V	0.28A 2mA	3.37W	0.26	0.25

注2. V<sub>CC</sub>は出力回路にのみ接続されているため、I<sub>CC</sub>=0とした。

このアプリケーションノートでは、16KダイナミックRAM、M5K 4116P、Sシリーズの概要、電気的特性、タイミング、及びその応用等について述べます。

図2. ブロック図



## M5K 4116P,S 16K-BIT DYNAMIC RAM

### 機能概要

M5K 4116P, Sシリーズは、通常のリード、ライト、リードモディファイライト動作以外に、ページモード、RASオンリーリフレッシュ、ディレイドライト等種々の使い方が可能です。各種動作に対する入力条件の一覧表を表3に示します。

表3. 各種動作に対する入力条件

動作	入力					出力 列アドレス	出力 DOUT	リフレッシュ	備考
	RAS	CAS	R/W	DIN	行アドレス				
リードサイクル	活性	活性	非活性	任意	指定	指定	有効	可	ページモードでも同一です。ただし、リフレッシュは不可です。
ライトサイクル(アーリーライト)	活性	活性	活性	有効	指定	指定	開放	可	
リードモディファイライトサイクル	活性	活性	活性	有効	指定	指定	有効	可	
RASオンリーリフレッシュサイクル	活性	非活性	任意	任意	指定	任意	開放	可	
スタンバイ	非活性	任意	任意	任意	任意	任意	開放	不可	

注3. 行アドレス=ROW ADDRESS, 列アドレス=COLUMN ADDRESS

図3のようにアドレス端子を変更すれば、16384ビットのメモリに対して、シーケンシャルなメモリマップが得られます。

図3. シーケンシャルアドレスへの修正方法

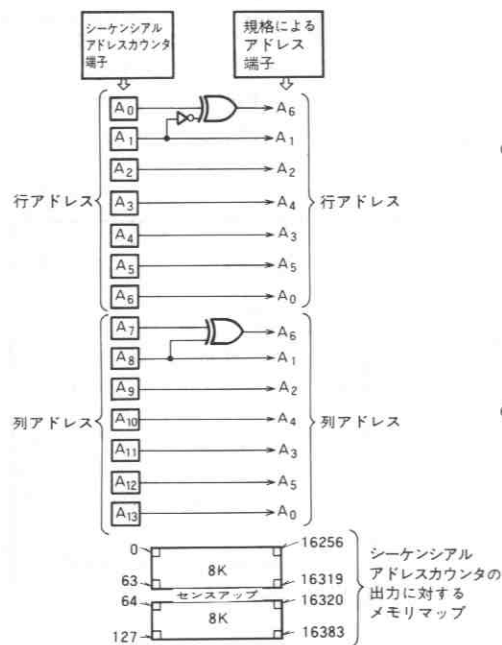
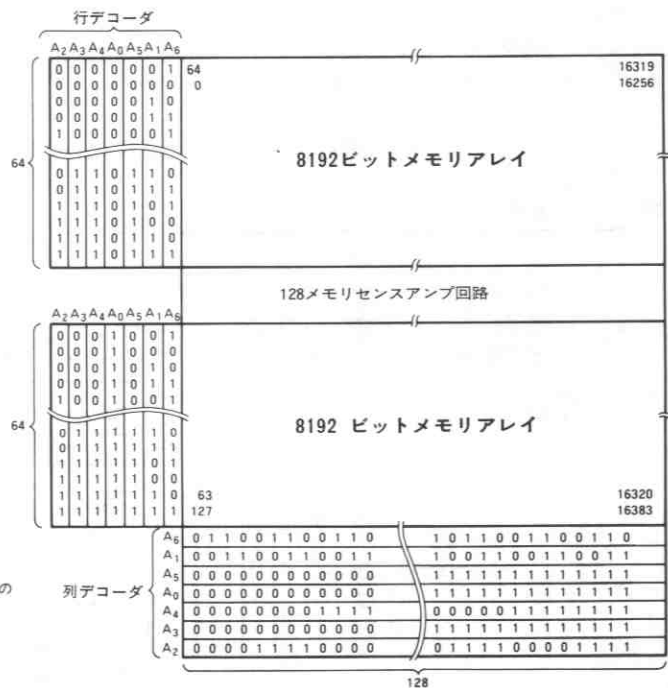


図4. M5K 4116P, Sメモリマップ



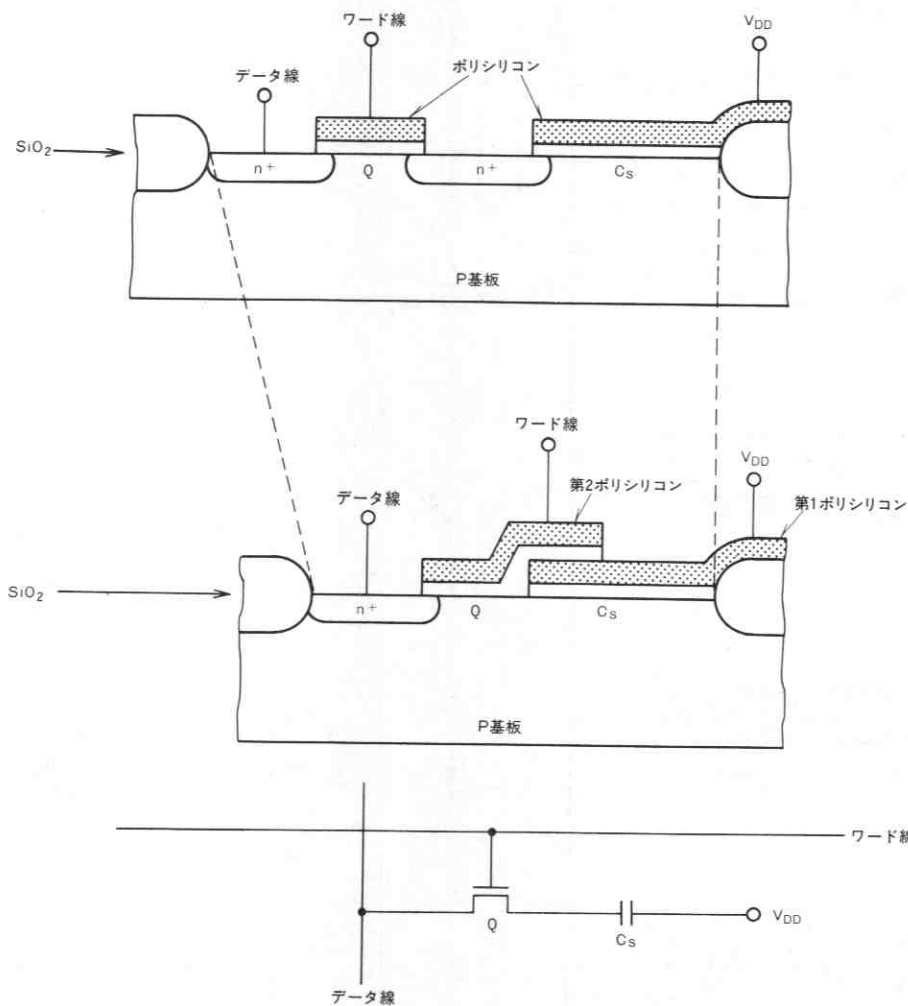
M5K 4116P,S 16K-BIT DYNAMIC RAM

Nチャネル 2層ポリシリコンゲートMOS

M5K 4116P, Sシリーズを作るために、1トランジスタメモリセルと2層ポリシリコンゲートMOSプロセスが採用されています。2層ポリシリコンゲート構造では、スイッ

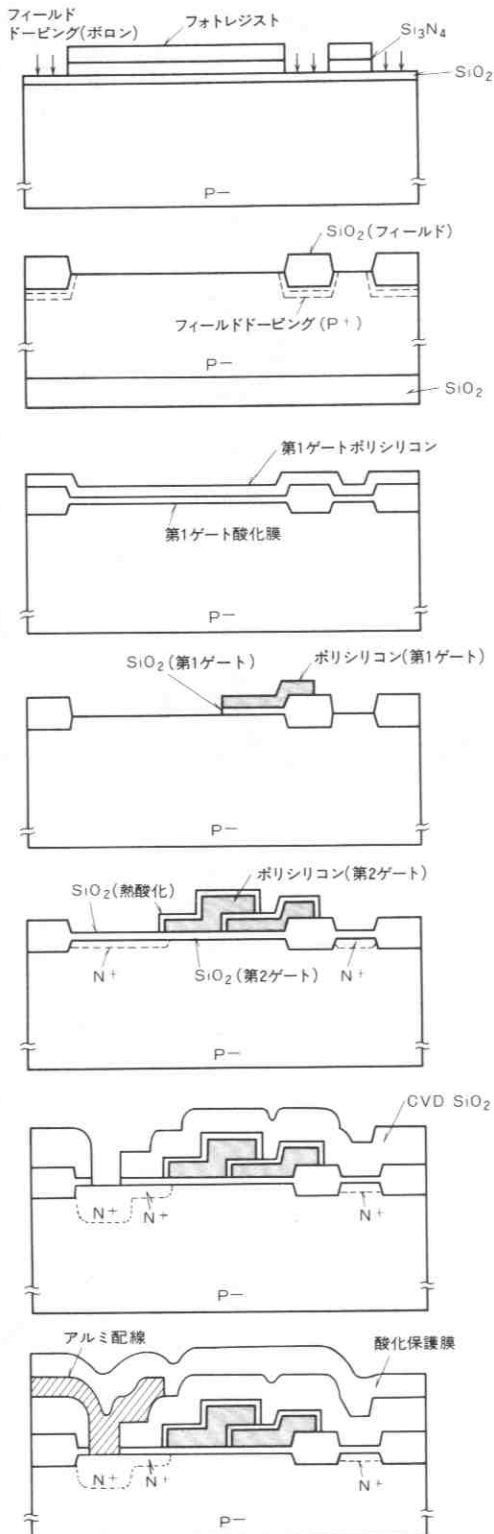
チングトランジスタQとデータストレージメモリ容量 $C_S$ の間には拡散領域がないため、メモリセルの面積は、従来のプロセスに比較して約75%となっています。次に2層ポリシリコンゲートMOSの製造プロセスの概略図を示します。

図5. メモリセルの構造



M5K 4116P,S 16K-BIT DYNAMIC RAM

図6. ウエハ製造工程



マスク 1

ウエハ上にシリコンナイトライド ( $\text{Si}_3\text{N}_4$ ) をデポジットしホットレジスト塗布。  
マスク 1 により能動領域形成フィールドドーピング

ホットレジスト除去  
 $\text{Si}_3\text{N}_4$  をマスクとしてフィールド酸化膜形成

第 1 ゲート酸化膜形成  
第 1 ゲートポリシリコンのデポジット

マスク 2

マスク 2 により第 1 ポリシリコンゲート形成

マスク 3

第 2 ポリシリコンゲート形成  
ソース・ドレイン領域の形成のため  $\text{N}^+$  (リン) を拡散

マスク 4

酸化膜形成  
マスク 4, 5 によりアルミとの  
マスク 5  
コンタクト形成

マスク 6

アルミをデポジットしマスク 6 により内部配線

マスク 7

酸化保護膜の生成  
マスク 7 によりボンディングパッド領域形成



## M5K 4116P,S 16K-BIT DYNAMIC RAM

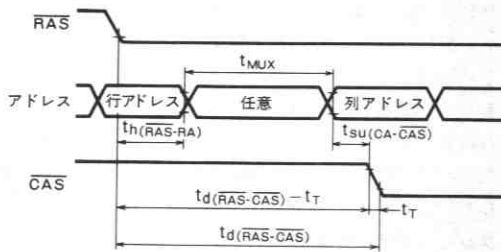
### 動作説明

#### アドレス入力

M5K 4116P、Sの16384のメモリセルのなかの1つを選択するには、14ビットのアドレス信号を7本のアドレス信号にマルチプレックスする必要があります。そしてこの7本のアドレス信号を外部からの2つのクロックパルスによって内部回路にラッチします。最初に、行(row)アドレスストローブパルス(RAS)の立ち下りで、7ビットの行アドレスを内部回路にラッチします。次に、列(column)アドレスストローブパルス(CAS)の立ち下りで、7ビットの列アドレスを内部回路にラッチします。

この場合、 $\overline{RAS}$ と $\overline{CAS}$ のクロックタイミングの設定に2つの方法があります。

図7. アドレスマルチプレックス時間



1.  $\overline{RAS}$ と $\overline{CAS}$ 間の遅延時間 $t_d(\overline{RAS}-\overline{CAS})$ を規格の最小と最大の間を設定した場合：内部的には、 $\overline{CAS}$ 系統の信号発生は、ほぼ $t_d(\overline{RAS}-\overline{CAS})_{max}$ 時間まで禁止されています(ゲートッド $\overline{CAS}$ )、内部回路の動作に影響を与えることなしに(外部的には、例えばアクセス時間)、外部 $\overline{CAS}$ を余裕をもって入力することができ、同時に、行アドレスが入力された後、列アドレスを余裕をもって入力することができます。この時間のことをマルチプレックス時間と呼びます。

式1は、このマルチプレックス時間を示します。

$$t_{MUX} = t_d(\overline{RAS}-\overline{CAS}) - t_T - t_h(\overline{RAS}-RA) - t_{su}(CA-\overline{CAS}) \quad \dots\dots\dots \text{式1}$$

次の条件においてマルチプレックス時間( $t_{MUX}$ )は最大となります。すなわち

- $t_d(\overline{RAS}-\overline{CAS}) = \text{最大}$
- $t_h(\overline{RAS}-RA) = \text{最小}$
- $t_{su}(CA-\overline{CAS}) = \text{最小}$

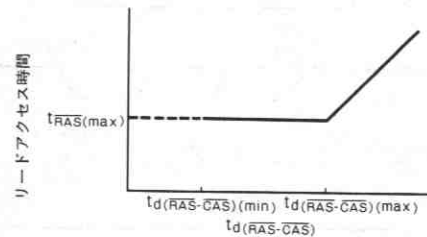
次にアクセス時間が $t_a(\overline{RAS})_{max}$ より大きくならない場合での最大のマルチプレックス時間を示しています。なお、ここでは $t_T = 5 \text{ ns}$ としています。

表4. 最大マルチプレックス時間

形名	項目	$t_{MUX}$	$t_d(\overline{RAS}-\overline{CAS})$	$t_h(\overline{RAS}-RA)$	$t_{su}(CA-\overline{CAS})$
M5K 4116P, S-2		35ns	50ns	20ns	-10ns
M5K 4116P, S-3		45ns	65ns	25ns	-10ns
M5K 4116P, S-4		55ns	85ns	35ns	-10ns

2.  $t_d(\overline{RAS}-\overline{CAS})$ を規格の最大値より大きくした場合：この場合、内部的な $\overline{CAS}$ 禁止は既に解除されており内部の $\overline{CAS}$ 系統の信号は外部の $\overline{CAS}$ によって制御されますので、アクセス時間は、外部 $\overline{CAS}$ によって制御されることになります。

図8. リードアクセス時間と遅延時間の相関

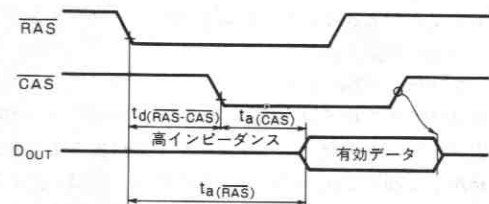


### データ入力

選択されたセルに書き込まれるデータはR/W入力と $\overline{CAS}$ 入力のいずれか一方の立ち下りの遅い方によってストローブされます。もしR/W入力か $\overline{CAS}$ 入力の前に立ち下った場合(アーリーライト)には、データ入力は、 $\overline{CAS}$ によってストローブされて、 $\overline{CAS}$ の立ち下り点がセットアップ時間とホールド時間の基準となります。一方、リードライトあるいはリードモディファイライトサイクルの場合には、R/W入力は $\overline{CAS}$ が立ち下った後遅れて立ち下りますが、この場合は、R/Wの立ち下り点がセットアップ時間とホールド時間の基準となります。

### 出力データの制御

図9. リードサイクルタイミング



## M5K 4116P,S 16K-BIT DYNAMIC RAM

M5K 4116P, Sの出力は、 $\overline{\text{CAS}}$ が高レベルになると高インピーダンス状態になります。

メモリスサイクルがリード、リードモディファイライト、ディレイドライトサイクルになった場合、出力は高インピーダンス状態から活性状態に変わり、選択されたセルからデータが読み出されます。(最大10 $\mu$ sまでです)

アーリーライトサイクルの場合は、出力はサイクル全体にわたって高インピーダンス状態のままです。

図10. ライトサイクルタイミング

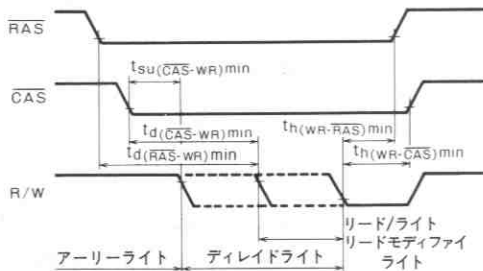


表5. ライトサイクルの出力状態

動作モード	出力状態
アーリーライト	高インピーダンス
リード/ライトリードモディファイライト	有効データ
その他	不定

このように、M5K 4116P, Sの出力状態は、ライトサイクルのとき、ライトパルスの位置を、また、リードサイクルのとき、 $\overline{\text{CAS}}$ パルスの幅を制御することにより、簡単に変わることができます。この特長ある出力制御方式を利用することにより、次のような種々の応用が可能でです。

### 1. 共通入出力動作

もしすべてのライト動作を“アーリーライト”で行った場合、入力と出力を接続して入出力バスとすることが可能です。

### 2. 出力データの保持

リードサイクルの間、サイクル時間を長くすることなしに、読み出された出力データを次のサイクルの始まりまで保持することができるので、 $\overline{\text{RAS}}$ と $\overline{\text{CAS}}$ のクロックタイミングの設定が非常に容易です。

### 3. 二つのチップ選択方法

出力はラッチされていないので、 $\overline{\text{CAS}}$ はマトリクス中の非選択メモリの出力を、高インピーダンスにする必要がありません。これにより、 $\overline{\text{CAS}}$ と $\overline{\text{RAS}}$ の両方、又はいずれか一方をチップ選択のためにデコードすることができます。

### 4. ページ領域の拡張

$\overline{\text{CAS}}$ をデコードすることによって、単一チップの128列のページ領域を拡張することができます。この場合、 $\overline{\text{RAS}}$ はすべてのデバイスに接続する必要があります。

### ページモード動作

ページモード動作は、同一行アドレス上で複数の列アドレスの指定を行う動作です。この動作は、行アドレスをストロブした後 $\overline{\text{RAS}}$ が変化しないので、 $\overline{\text{RAS}}$ の立ち下り時の電力を節約できます。また、2回目のサイクルから行アドレスを指定する時間を必要としないので、アクセス時間、サイクル時間を短くすることができます。

### リフレッシュ

ダイナミックセルマトリクスのリフレッシュは2ms以内各128の行アドレスでメモリ動作を行うことによってなされます。いくつかのメモリ動作の中で、 $\overline{\text{RAS}}$ オンリーリフレッシュによってリフレッシュをした場合、消費電力を節約することができます。

### 消費電力

M5K 4116P, Sに使われているほとんどの回路はダイナミック形で、ほとんどの電力はアドレスをストロブするときに消費されます。メモリスシステムにおいて $\overline{\text{RAS}}$ と $\overline{\text{CAS}}$ はデコードされ、M5K 4116P, Sのチップ選択信号として使われますが、もし $\overline{\text{RAS}}$ をデコードした場合、すべての非選択デバイスは、 $\overline{\text{CAS}}$ の状態に無関係にスタンバイ状態になり、システムの電力を最小にできます。

### リフレッシュオンリー動作時のスタンバイ電流

$I_{\text{DDSB}}$ ( $V_{\text{DD}}$ のスタンバイ電流)と $I_{\text{BBSB}}$ ( $V_{\text{BB}}$ のスタンバイ電流)は次の式により計算することができます。

#### 1. $\overline{\text{RAS}}$ / $\overline{\text{CAS}}$ リフレッシュ

$$I_{\text{DDSB}} = I_{\text{DD1(AV)}} \times \left(128 \times \frac{t_c}{t_{\text{C(REF)}}}\right) + I_{\text{DD2}} \times \left(1 - 128 \times \frac{t_c}{t_{\text{C(REF)}}}\right) \dots \text{式2}$$

$$I_{\text{BBSB}} = I_{\text{BB1(AV)}} \times \left(128 \times \frac{t_c}{t_{\text{C(REF)}}}\right) + I_{\text{BB2}} \times \left(1 - 128 \times \frac{t_c}{t_{\text{C(REF)}}}\right) \dots \text{式3}$$

$t_c = 375\text{ns}$ ,  $I_{\text{DD1(AV)}} = 35\text{mA}$ ,  $I_{\text{BB1(AV)}} = 200\mu\text{A}$ ,  $I_{\text{DD2}} = 1.5\text{mA}$ ,  $I_{\text{BB2}} = 100\mu\text{A}$ ,  $t_{\text{C(REF)}} = 2\text{ms}$ , と仮定すれば、次の結果が得られます。

$$I_{\text{DDSB}} = 35\text{mA} \times 0.024 + 1.5\text{mA} \times 0.976 = 2.3\text{mA}$$

$$I_{\text{BBSB}} = 200\mu\text{A} \times 0.024 + 100\mu\text{A} \times 0.976 = 102\mu\text{A}$$

#### 2. $\overline{\text{RAS}}$ オンリーリフレッシュ

$$I_{\text{DDSB}} = I_{\text{DD3(AV)}} \times \left(128 \times \frac{t_c}{t_{\text{C(REF)}}}\right) + I_{\text{DD2}} \times \left(1 - 128 \times \frac{t_c}{t_{\text{C(REF)}}}\right) \dots \text{式4}$$

$$I_{\text{BBSB}} = I_{\text{BB3(AV)}} \times \left(128 \times \frac{t_c}{t_{\text{C(REF)}}}\right) + I_{\text{BB2}} \times \left(1 - 128 \times \frac{t_c}{t_{\text{C(REF)}}}\right) \dots \text{式5}$$

$I_{\text{DD3(AV)}} = 27\text{mA}$ ,  $I_{\text{BB3(AV)}} = 200\mu\text{A}$ , としその他は、Aの場合と同じであるとすると次の結果が得られます。

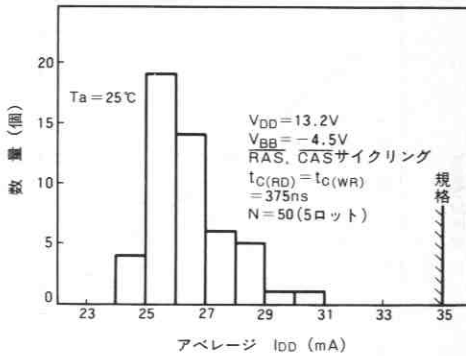
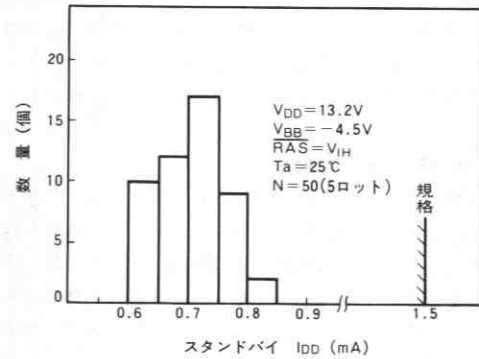
$$I_{\text{DDSB}} = 27\text{mA} \times 0.024 + 1.5\text{mA} \times 0.976 = 2.1\text{mA}$$

$$I_{\text{BBSB}} = 200\mu\text{A} \times 0.024 + 100\mu\text{A} \times 0.976 = 102\mu\text{A}$$

スタンバイ電流は約2.1mAであり、低消費電力のリフレッシュ回路や周辺回路を使うことにより、バックアップシステムの採用が可能となります。

次にアベレージ $I_{\text{DD}}$ とスタンバイ $I_{\text{DD}}$ の分布を示します。

## M5K 4116P,S 16K-BIT DYNAMIC RAM

図11. 平均  $I_{DD}$ の分布図12. スタンドバイ  $I_{DD}$ の分布

## 電源

M5K 4116P, Sは最大定格の範囲内であれば、特別な電源投入順序を必要としませんが、 $V_{BB}$ 電源を最初に投入して最後に切断することを推奨します。また、 $V_{DD}$ が供給されているとき、 $V_{BB}$ は $V_{SS}$ よりも正極性にできません。

一般的に、 $V_{DD}$ が供給されており、 $V_{BB}$ が供給されてい

ない場合、 $V_{DD}$ 電流より流れ出る電流は、正常な状態より大きくなります。この効果を表6に示します。

電源が投入された後、メモリ動作の前に8回程度のダミーサイクルが必要です。ダミーサイクルは $\overline{RAS}/\overline{CAS}$ リフレッシュサイクル、又は、 $\overline{RAS}$ オンリーリフレッシュサイクルで行ってください。

表6. スタンドバイ電流の変化

条件	# 1		# 2		# 3		# 4	
	$I_{DD1(AV)}$	$I_{DD2}$	$I_{DD1(AV)}$	$I_{DD2}$	$I_{DD1(AV)}$	$I_{DD2}$	$I_{DD1(AV)}$	$I_{DD2}$
$V_{BB} = -5V$	25.3	0.71	26.0	0.73	25.9	0.69	24.9	0.72
$V_{BB} = 0V$	28.0	0.76	28.8	0.78	28.7	0.74	27.6	0.76
増加率	+10.7%	+7.0%	+10.8%	+6.8%	+10.8%	+7.2%	+10.8%	+5.6%

$I_{DD1(AV)}$  :  $\overline{RAS}$ ,  $\overline{CAS}$ サイクリング

$I_{DD2}$  : スタンドバイ

## M5K 4116P,S 16K-BIT DYNAMIC RAM

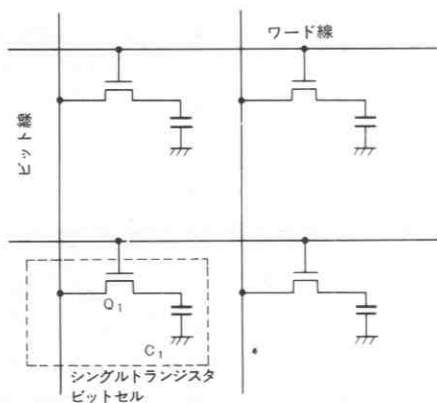
## ダイナミックRAMの応用

ダイナミックRAM(Random-Access Memory)は、高信頼性、高パフォーマンス、で低価格のメモリシステムを構成する場合に、非常に有効な部品と言えます。しかし、ダイナミックRAMを使用するために、次の注意すべき点があります。

## ビットセル(Bit Cell)の構造

まず、ダイナミックRAMのビットセル構造について考えてみます。これは、スタチックRAMのビットセル構造とはずいぶん異なっており、基本的には、図13に示すような構造となっています。このビットセルは、一個のトランジスタと、サンプル・ホールド回路となる一個のコンデンサにより構成されています。

図13. シングルトランジスタメモリのビットセル

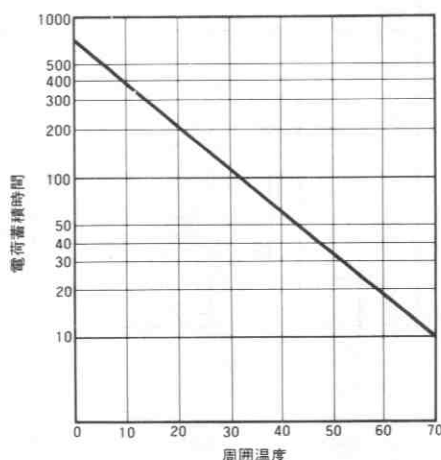


メモリへのデータ書き込み時には、デコーダにより選択された、ワード線(Word line)が、アクティブ状態("H"レベル)になり、ビットセルトランジスタ $Q_1$ がオンします。これにより、ビット線(bit line)上にある、データが、コンデンサ $C_1$ に蓄えられます。

メモリからのデータ読み出し時には、選択されたあるワード線がアクティブ状態になり、ビットセルトランジスタがオンします。これにより、コンデンサ $C_1$ に蓄えられたデータがビット線に出てきます。このとき、読み出されたデータの電圧レベルは、メモリ内のセンスアンプで増幅され、再び元のコンデンサ $C_1$ に蓄えられるようになっています。

ダイナミックメモリの記憶方式上、コンデンサに蓄えられたチャージは、除々にリーク(leak)し、しまいには、データが欠なわれてしまいます。例えば、1pFのコンデンサに蓄えられた電位が、1nAでリークすると、1msに1Vの電位が欠なわれていくことになります。図14に、M5K 4116P,Sのデータ蓄積時間と周囲温度との関係を示します。もし、メモリのデータをこの時間以上、保持したい場合、この時間以内に、メモリのビットセルをセンスし、ビットセル内の電圧レベルを元のレベルに引き上げる必要があります。この動作をリフレッシュ(refresh)と呼んでいます。

図14. M5K 4116P,Sの電荷蓄積時間と周囲温度の関係



## リフレッシュ

このように、リフレッシュ動作は、ダイナミックメモリにとって、非常に重要な動作となります。すなわち、ダイナミックメモリコントローラは、メモリの全てのビットセルを、メモリのデータが欠なわれる前に、周期的に、リフレッシュする必要があります。この周期は、一般的に、2msと定められています。

M5K 4116P,Sは、2つの64行×128列のビットセル構造を持つ16384ビットのメモリです。メモリアレイの1つの行がリフレッシュされると、その列の128個のビットが同時にリフレッシュされることになります。このため、リフレッシュは2ms以内に、128回のリフレッシュサイクルが必要となります。

リフレッシュアドレスをメモリに与えるために、リフレッシュコントローラでは、1回のリフレッシュ毎に、1つずつ増加する、リフレッシュカウンタ(7ビット)が必要となります。システムからくるメモリアドレスと、リフレッシュカウンタからくるリフレッシュアドレス(この場合、行アドレス)とは、マルチプレクサで、切り換えられます。

## リフレッシュの方法

一般的なメモリシステムでは、普通のメモリの読み出し、書き込みだけで、ある期間に全てのビットセルをセンスすることを保障することはできません。すなわち、前述べたように2msに、128行をセンスするようなリフレッシュ回路が必要となります。

この方式として、一般的には、三つの方式がよく用いられます。一つは、バーストリフレッシュ(burst refresh)と呼ばれ、リフレッシュ回路は、ある一定期間に、全ての行アドレスを連続的にアクセスする方法で、これを15(a)に示します。サイクルスチール(cycle steal)と呼ばれる方法は、メモリサイクルのうち、周期的に、1行ずつリフレッシュし、2ms以内に、128行分アクセスする方法です。M5K 4116P,Sの場合、15.6μsに1度のリフレッシュが必

# M5K 4116P,Sの応用

## M5K 4116P,S 16K-BIT DYNAMIC RAM

要となります。この方法を、図15(b)に示します。もう一つの方法は、サイクルスチール的一种ですが、一つのメモリサイクルの中に、メモリアクセスサイクルと、リフレッシュサイクルを設け、システム側からみると、リフレッシュによる、メモリの使用がさまたげられないような方法です。これは、逆に言うと、1メモリサイクルが長くなる欠点があります。これを図15(c)に示します。

ダイナミックメモリシステムを設計する場合、リフレッシュを、システム側と同期して行うか、非同期で行うかを決定する必要があります。同期式では、システムのあるクロックをトリガして、リフレッシュを開始しますが、非同期式では、リフレッシュの同期を与えるようなタイマーが必要となります。

図15. リフレッシュの方法

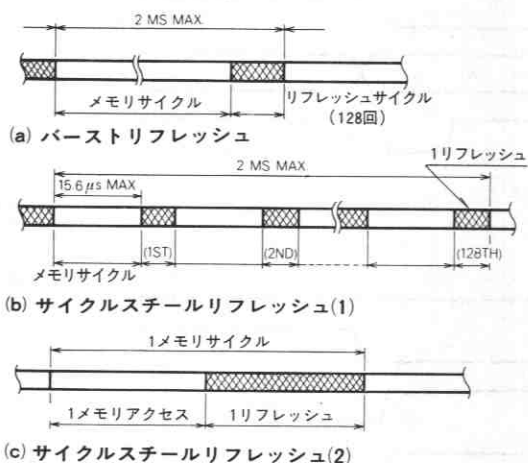
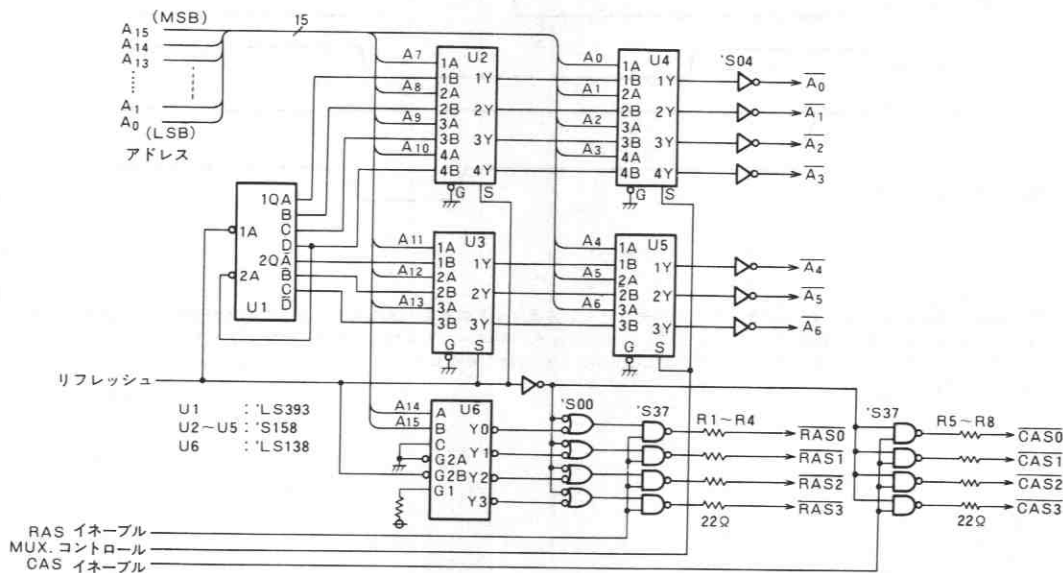
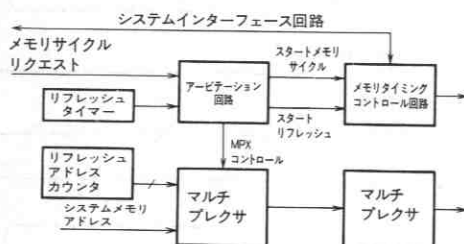


図17. アドレスマルチプレクサ回路



非同期式では、リフレッシュ要求とシステムからのメモリアクセスの要求が同時に発生する場合がありますが、メモリコントローラ内に、優先権を与える回路を設け、リフレッシュ要求を先に、通してやる必要があります。図16に、非同期式のメモリリフレッシュ回路のブロック図を示します。

図16. メモリコントロール回路のブロック図



システムのメモリアドレスとリフレッシュアドレスとの、マルチプレクサの例を図17に示します。

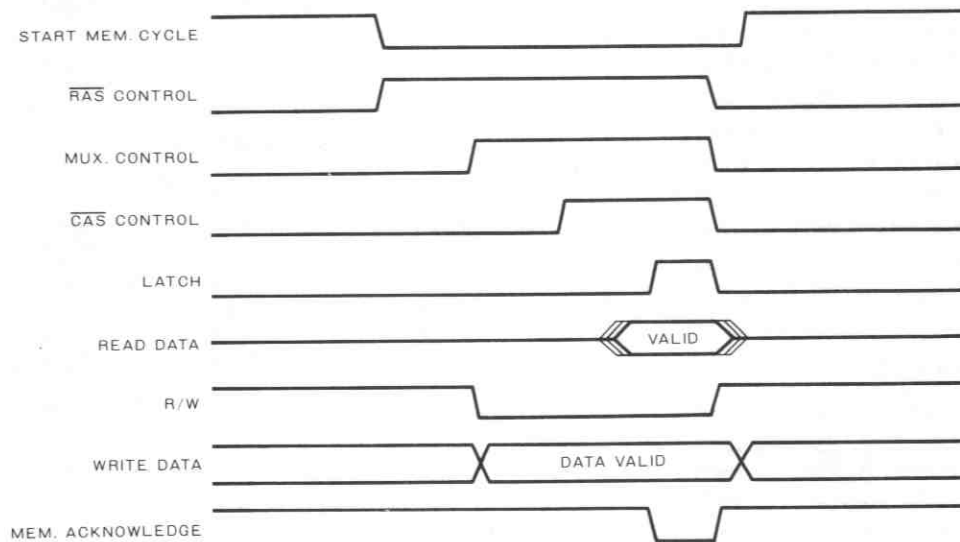
普通のメモリサイクルでは、列アドレス(A<sub>0</sub>~A<sub>6</sub>)又は列アドレス(A<sub>7</sub>~A<sub>10</sub>)が、MUX.CONTROL信号によって、切り換えられます。リフレッシュサイクルになると、REFRESH信号が、“H”となり、リフレッシュカウンタの値が、A<sub>0</sub>~A<sub>6</sub>に、現われます。

RAS、CAS信号は、RASイネーブル又は、CASイネーブル信号によって作りだされます。これらのタイミングは図18に示すような順序で発生させます。このため、設計者はシステムバスのタイミングに合うような、メモリインターフェース回路を設計する必要があります。図19に、M5K 4116P,Sを用いた64Kバイトメモリシステムの例を示します。

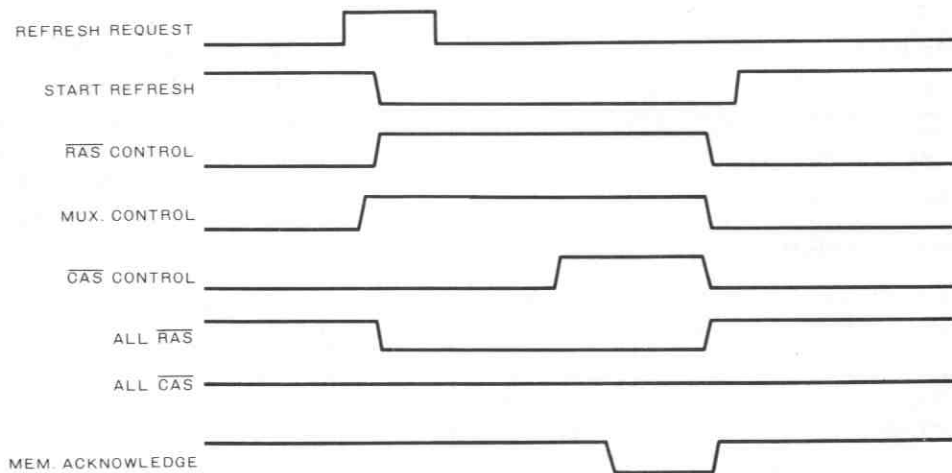
## M5K 4116P,S 16K-BIT DYNAMIC RAM

図18. メモリタイミングの例

## リードライトサイクルタイミング図



## リフレッシュサイクルタイミング図

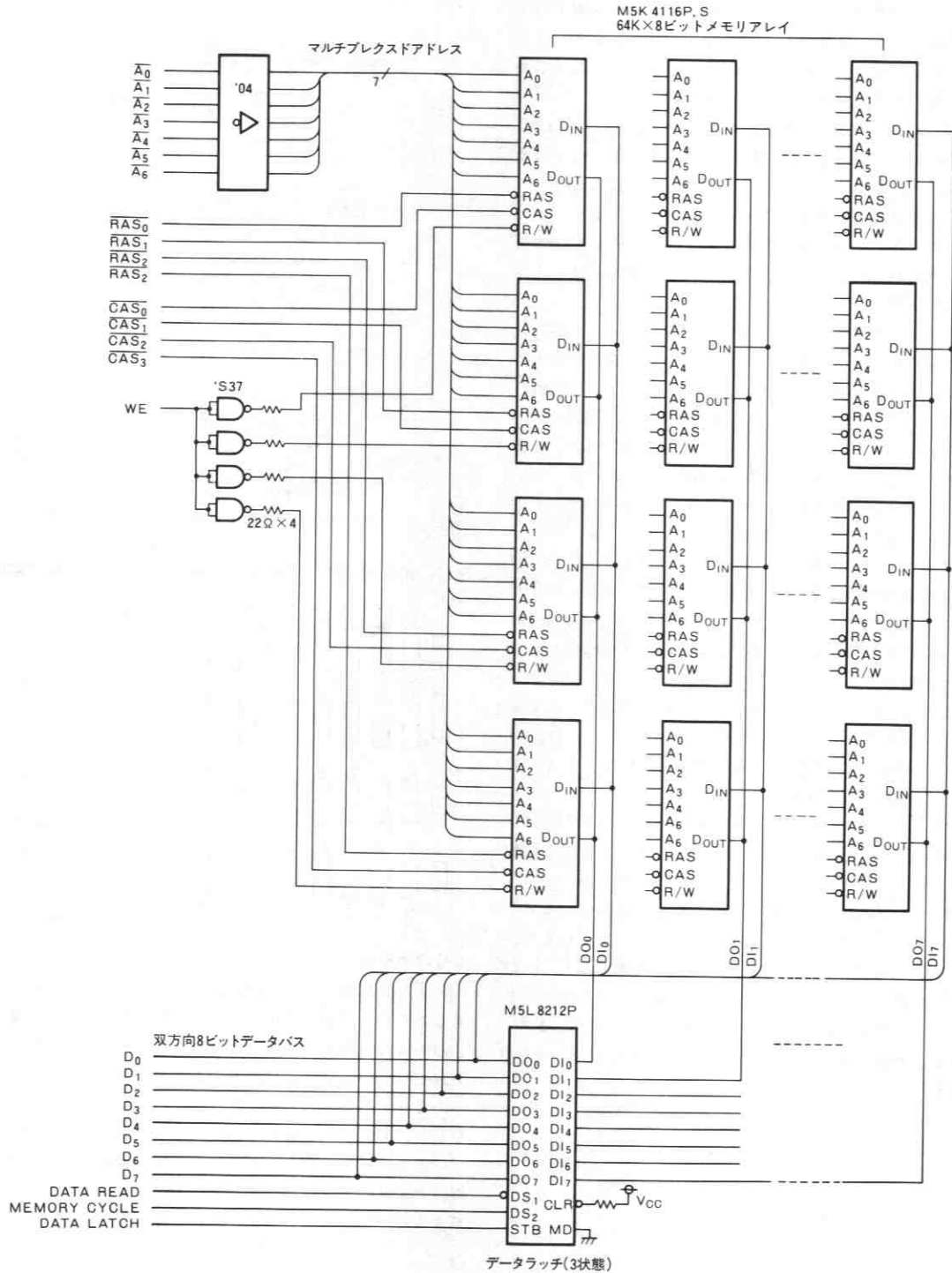


- 注1. START MEM. CYCLEは、システム側からメモリリード又はライトの要求をメモリタイミング回路が受けたとき発生します。  
 2. もしメモリタイミング回路が、メモリがリフレッシュサイクル中にシステムからメモリ使用要求信号を受けてもリフレッシュサイクルが終了するまでMEM ACKNOWLEDGE信号は“L”にはなりません。  
 3. CAS= $V_{\text{H1}}$

# M5K 4116P,Sの応用

## M5K 4116P,S 16K-BIT DYNAMIC RAM

図19. M5K 4116P, S 64K×8ビットメモリアレイ



## M5K 4116P, S 16K-BIT DYNAMIC RAM

## 実装方法

ダイナミックメモリは、一見簡単なデジタル素子のようには見えますが、実際には、複雑なアナログ回路の一種であり、内部には、 $1/10$  Vレンジの電圧レベルを、数nsで増幅するセンスアンプが含まれています。

このため、メモリの実装方法には、特に注意を要します。標準的な $I_{DD}$ 、 $I_{BB}$ 、 $I_{SS}$ の電流波形がカタログに示されていますが、RAS、CAS信号により、電流がスパイク状に流れ、これが、メモリのデータを失なわせる原因となります。このため、スパイク電流により発生するノイズを押えるための、メモリへの電源の供給方法、デカップリングの方法に注意をはらいます。

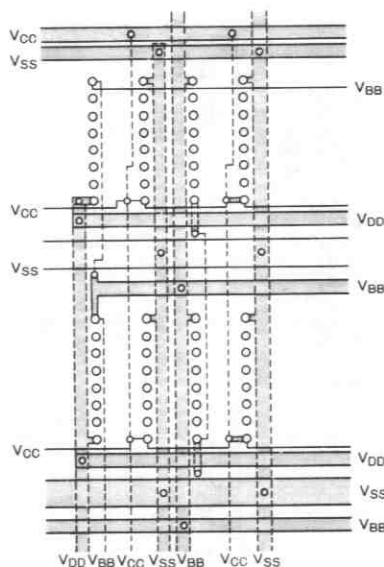
メモリを実装するプリント基板の電源パターンの配置は、十分な電流を流し、パターンのL成分による影響を最小限にするため、格子状にします。グランドパターンの配置は、グランドノイズや、パターンのL成分による影響を減らし、信号線に対するグランドレベルを一定に保つために、一番大切と云えます。図20に、M5K 4116P, Sにおける、格子状電源パターンの例を示します。なお、この例では、デカップリングコンデンサは、省略しています。

電源パターンの効果的な配置をして、デカップリングコンデンサを用いることで、さらに、ノイズに対する効果が上がります。デカップリングコンデンサは、二種類に分けることができ、一つは、トランジェントノイズ吸収に有効な、セラミック又はモノリシックタイプの小さなコンデンサで、もう一つは、電源変動を押えるのに有効な、大容量タイプのコンデンサです。

これらのコンデンサは、メモリアレイの中で、うまく使い分け、配置することが必要です。

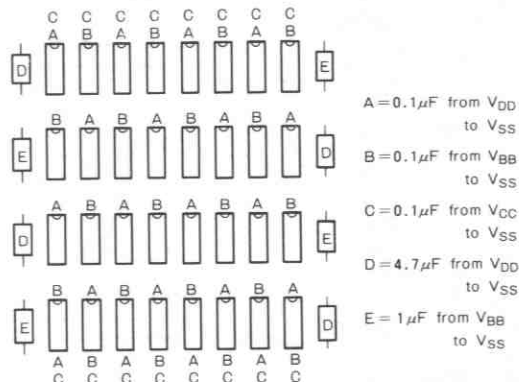
図21に、M5K 4116P, Sのメモリアレイへのデカップリングコンデンサの配置例を示します。各メモリの近くに配置するコンデンサは、高周波特性のよいものを用います。 $V_{DD}$ と $V_{SS}$ 、 $V_{BB}$ と $V_{SS}$ には、交互に、 $0.1\mu\text{F}$ 程度の、モノリシックか、セラミックタイプのコンデンサを配置します。 $V_{CC}$ と $V_{SS}$ 間のコンデンサは他の二つ程、厳密でなく、図21のようにアレイの上下に、配置します。また、容量の大きいコンデンサを、 $V_{DD}$ と $V_{SS}$ 、 $V_{BB}$ と $V_{SS}$ 間にも配置します。このコンデンサは、 $2\sim 5\mu\text{F}$ 程度のタンタルコンデンサを用います。

図20. M5K 4116P, Sの格子状電源パターン例



注. 点線は半田面のパターンを示します。

図21. M5K 4116P, Sのための効果的なコンデンサの配置例



## 信号線の配置

プリント基板上の信号線の引き回しをできるだけ短くすることで、信号の変化時における誘導や、干渉、反射などの不具合を小さくすることができますが、これだけでは十分でなく、図17、図19に示すように、クロックドライバの出力に、抵抗を入れ、布線インピーダンスとマッチングをとり、ドライバと布線インピーダンスとの mismatching による、反射を押えます。また、信号線を短くするため、メモリのドライバ、レシーバ回路は、メモリアレイのできるだけ近くに配置します。



## CMOS RAMの応用

## M5L 5101LP-1 AND M58981S CMOS STATIC RAM

## 概要

三菱M5L 5101LP-1(旧形名M58980P)及び、M58981Sを使用して、不揮発性メモリを構成する方法について述べます。

M5L 5101LPは、256語×4ビット、M58981Sは、1024語×4ビットで構成される完全スタチックなCMOS RAMで5V単一電源で動作します。それぞれの目的に応じて使い分けてください。

## 不揮発性メモリを用いたシステム

システム中で不揮発性メモリを使用する場合、システムの電源を切っても前のデータを保持していることだけが目的である場合と、瞬時停電のような予想できない電源異常に対しシステム全体を正常に動作させる目的で瞬時停電前のデータを退避させるため使用する場合があります。

CMOS RAMで不揮発性メモリを構成する場合、前者と後者の目的を併用して使用することが多く、比較的簡単な回路で多くのデータを保持することができます。こうした一般的な応用例として図1にCMOS RAMを用いたシステムを示します。また、このシステムでの電源ON/OFF時における各信号、電源のタイミング関係を図2に示します。

この例では、AC電源入力が落ち始めると、いち早くこれを検出し、システムの電源がまだ正常な状態のうちに電源OFFの退避プログラムをCPUに実行させる。割り込み信号を発生する電源異常検出回路と割り込み処理終了後にメモリを禁止状態にするメモリコントロール回路及びメモリに供給する電源をシステム電源と予備電源とに切り替える回路などで構成されます。

図1. 不揮発性メモリを用いたシステム

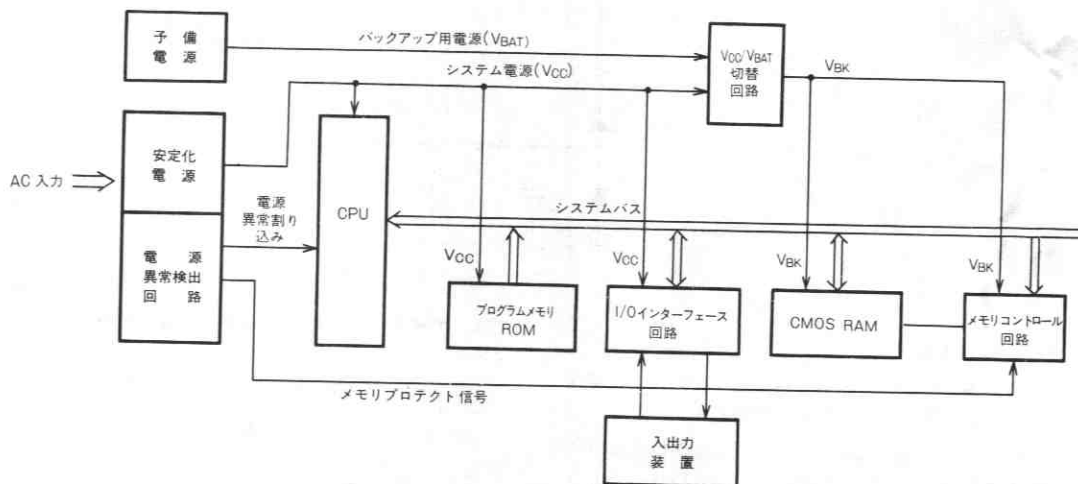
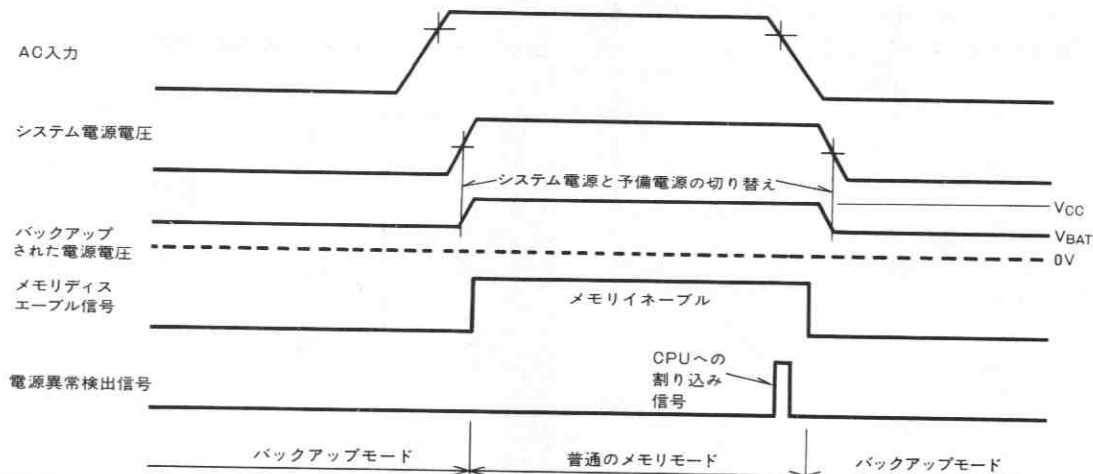


図2. 電源ON/OFF時のタイミング



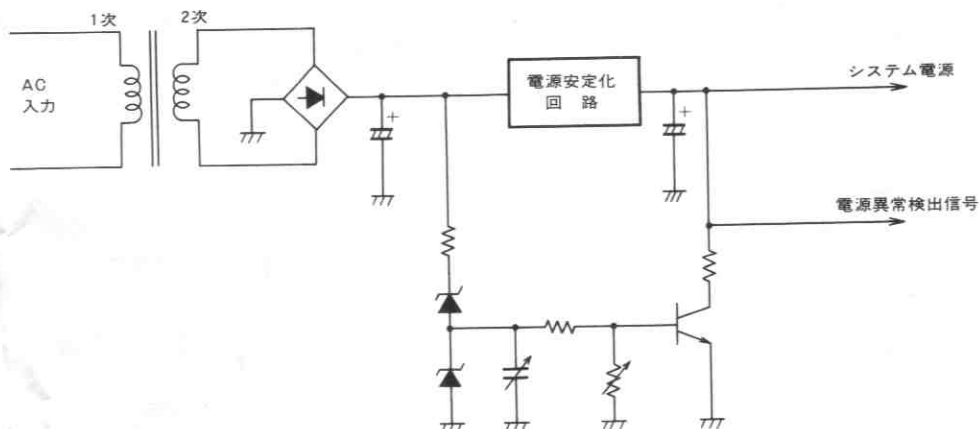
## M5L 5101LP-1 AND M58981S CMOS STATIC RAM

## メモリバックアップの方法

## 電源の異常検出

電源の異常検出は、安定化された電源系とは別に独立した検出点を設け、安定化された電源(システムの電源)が下がり始める前に異常を検出する必要があります。この検出信号で図1に示すようにCPUに対し割り込みをかけて異常を知らせます。また、単にこの信号でメモリの使用を禁止する信号にしてもよろしい。

図3. 電源異常検出回路



## 電源の切り替え回路

電源の切り替え回路は、システムの電源がある一定電圧まで下がると予備電源に切り替える回路です。

これは、通常、図4、図5で示すような回路構成となります。図4の場合、ダイオードの順方向電圧降下のためメモリ動作時のメモリ供給電圧が、バックアップされない他の素子に供給される電圧より0.6~0.7V低くなる欠点があり、図5の例のように飽和電圧 $V_{CE(sat)}$ の小さいトランジスタTR1で構成する方がよいでしょう。

図4. ダイオードを用いた電源切り替え回路

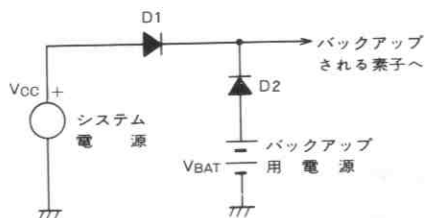


図5. トランジスタを用いた電源切り替え回路

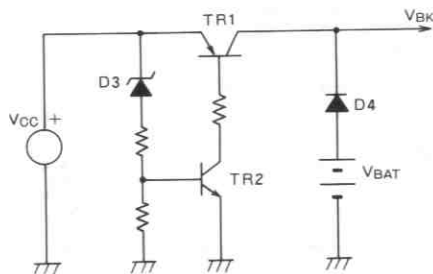


図3にこの検出回路の概念図を示します。この例では、検出点を電源トランスの2次側より取り出します。

検出回路は、電源仕様に合わせて、ツェナー電圧、R、Cの定数を与え、本当に異常があった場合のみ動作するように調整する必要があります。

## CMOS RAMの応用

## M5L 5101LP-1 AND M58981S CMOS STATIC RAM

## 応用回路例

## M5L 5101LP-1の応用例

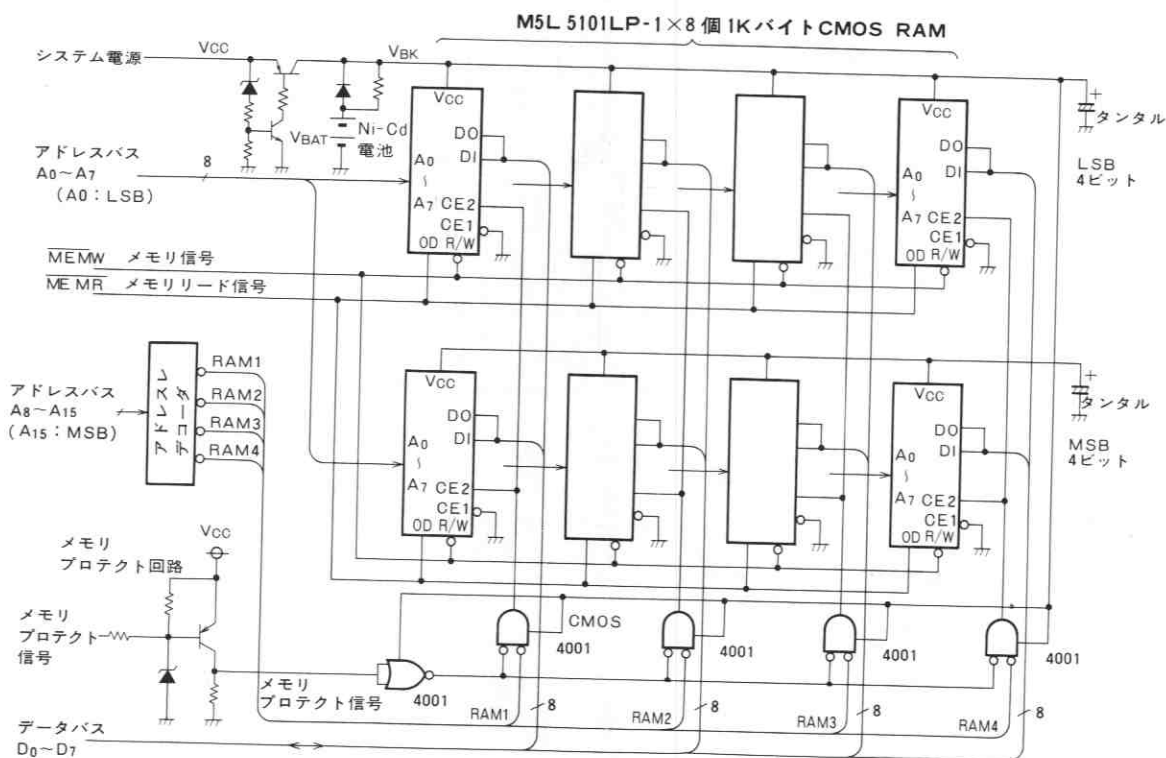
図6にM5L 5101LP-1で構成した1Kバイト不揮発性メモリアレイの例を示します。

この例では、メモリプロテクト信号をシステム電源 $V_{CC}$ の電位で決定していますが図3に示すように、非安定化電源よりこの信号を作り出し、図2のメモリディスエーブル信号のようなタイミングでメモリを保護する必要があります。すなわち電源の立ち上がりにおいては、 $V_{CC}$ が十分に立

ち上がってからプロテクト信号を解除し、電源の立ち下がりにおいては、 $V_{CC}$ が下がり始めるまでにプロテクト信号をかける必要があります。

メモリのデコードは、M5L 5101LP-1のCE2端子を 사용합니다。CE2が非選択のとき(CE2="L"レベル)メモリはスタンバイ状態となり $V_{CC}$ の電源電流は極めて小さくなります。(図6のデコーダの一部にCMOSゲートを使いますが、この場合、ゲートの遅延時間に注意してください)

図6. M5L 5101LP-1を用いた1Kバイト不揮発性メモリ



## CMOS RAMの応用

## M5L 5101LP-1 AND M58981S CMOS STATIC RAM

## M58981Sの応用例

M58981Sのコントロール信号入力は、 $\overline{CS}$ とR/Wの2本があり、 $\overline{CS}$ 端子を用いてメモリの選択とバックアップ状態でのメモリ禁止とを行います。 $\overline{CS}$ 端子の入力電圧が2.2V以上のときメモリはスタンバイ状態となり $V_{CC}$ の電源電流は極めて小さくなります。

図7に電源ON/OFF時におけるメモリコントロール信号の状態を示します。また、図8にM58981Sで構成した4Kバイト不揮発性メモリアレイの例を示します。

図7. 電源ON/OFF時のタイミング (M58981Sの場合)

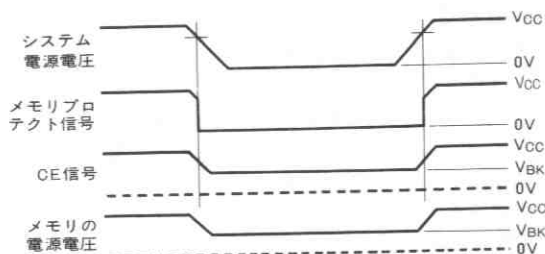
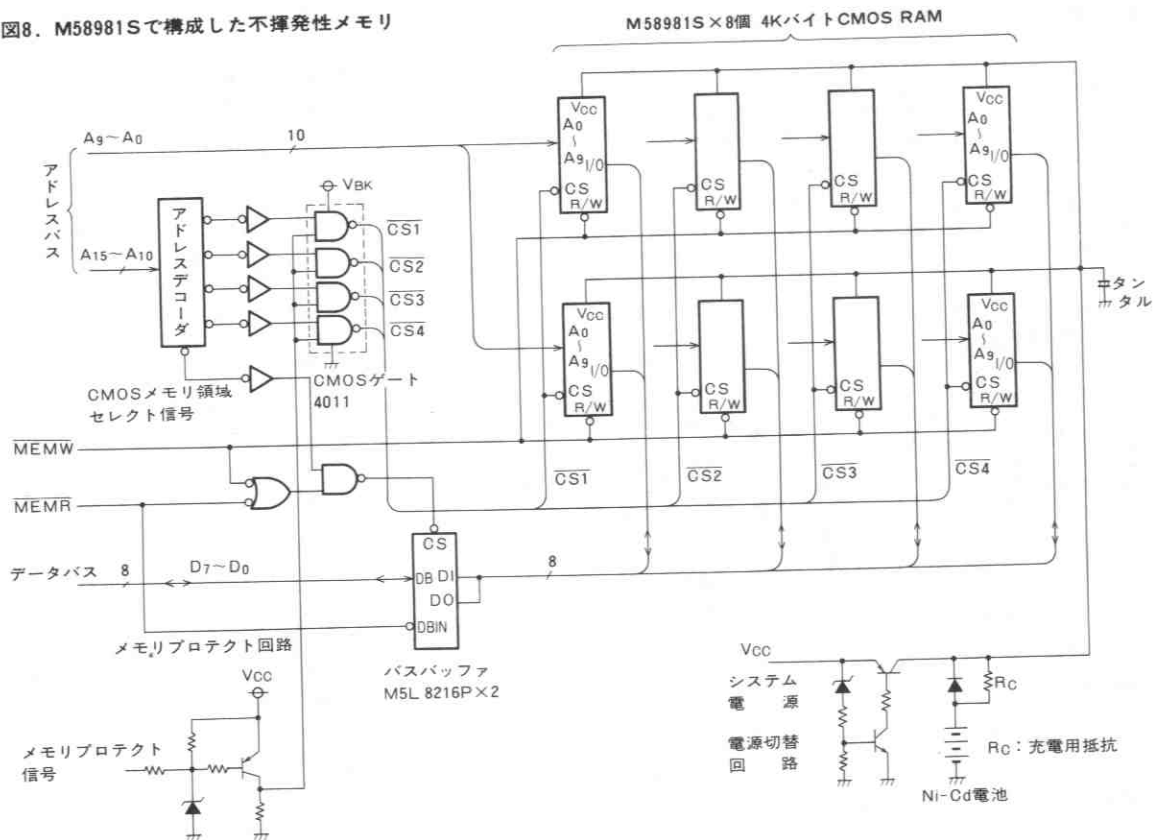


図8. M58981Sで構成した不揮発性メモリ



## その他

(1) バックアップ電源としては、充電可能なNi-Cd電池が便利でよく使用されます。電源容量、連続使用した場合の寿命、使用温度条件などを考慮して選定します。

なお、図8に示す充電用抵抗Rは次式で求めます。

$$R = \frac{V_{CC} - V_{BAT}}{I_C \times \frac{1}{10}} \quad (\text{注1})$$

I<sub>C</sub>: 電池の電流容量 (mA-hr)

注1. Rは大体の目安です。使用する電池の仕様にあわせて決定します。

(2) 電源ラインのインピーダンスを低くするためCMOSRAMの電源にもコンデンサを配置しますが、リーク電流の小さい10μF程度のタンタルコンデンサおよび高周波スパイクノイズを吸収するセラミックタイプのコンデンサ0.01~0.1μF程度を分布させる必要があります。

(3) CMOSゲートをメモリのデコーダに使用するとき、ゲートの遅延によりメモリのアクセス時間を満足しているか注意する必要があります。また、CMOSゲートの電源電圧は、3V以下で、使用されないように注意する必要があります。

## M58656S 1K-BIT NON-VOLATILE STATIC RAM

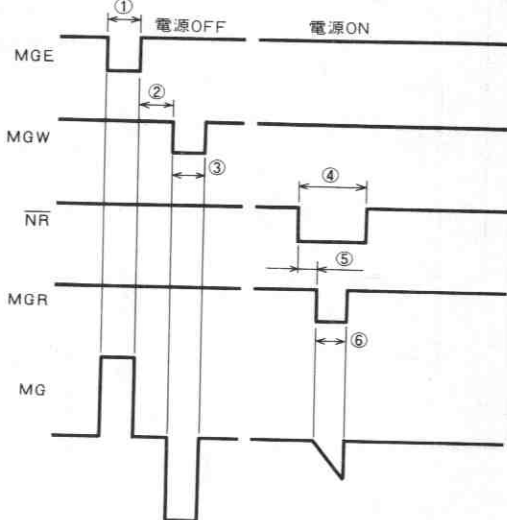
## 概要

M58656Sを不揮発性RAMとして動作を行わせる場合、MG(メモリゲート)端子に、消去、書き込み及び読み出し信号を印加する必要があります。

また、これらの動作は、電源のON-OFFの過渡状態に実行させることを考慮し電源回路の組み方が問題となります。

以上のように特別な周辺回路が必要ですが、前項については、読み出し方法を不揮発性リードモード2としてMG信号ドライバ回路例を示し、後項については、電源シャ断検知回路として、その一例を示します。

さらにM58656Sのチップ内におけるメモリセルの配置を示すメモリセル構成図を示します。

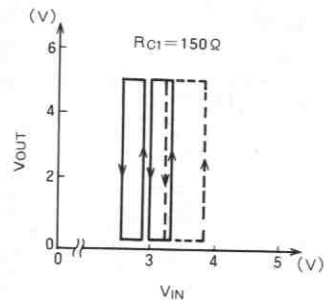
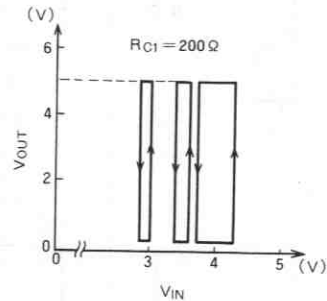
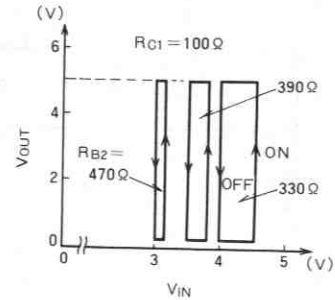
MG信号発生ドライバ回路例  
タイミング図

- ① 消去パルス幅の設定 $t_w(MGE1)$
- ② 消去、書き込みパルス間隔  
負荷容量によって決定します( $R_1$ 可変)
- ③ 書き込みパルス幅の設定 $t_w(MGW1)$
- ④ NR信号"L"期間の設定
- ⑤  $t_{su}(NR-MG)$ の設定
- ⑥ 読み出し信号のためのパルス幅設定  
読み出し信号は⑥及び $R_2$ 、 $C_1$ の値  
により決定します。

## シュミット回路

電源 $V_{CC}$ のON-OFF検出電圧は $R_{C1}$ 、 $R_{B2}$ の値により可変できます。

下図に参考データを示します。(  $V_{CC}=5V$ 、 $V_{DD}=-15V$  )



## 電源電流

電源	電圧条件	電流値
$V_{CC}$	5V	150mA
$V_{DD}$	-15V	50mA
$V_{MGE}$	34V	0.3mA
$V_{MGW}$	-23V	0.3mA

注.  $T_a=25^\circ C$ 、TTLはM53322P×4使用したときの実測値です。

## その他

- (1) MG端子にはゲート保護のため1k $\Omega$ の抵抗を直列に挿入しMG信号と接続してください。
- (2) TTL出力を入力端子に接続する場合 $V_{SS}$ との間に1k $\Omega$ の抵抗を接続してください。



## M58656S 1K-BIT NON-VOLATILE STATIC RAM

## 電源しゃ断検知回路

メモリシステムを不揮発性化するには、電源の異常を検出してから実際に電源が下るまでの間に不揮発性モードに入れる必要があります。すなわち、システム電源は不揮発性動作の消去、書き込みモードが完了するまで規定の電圧を保持しなければなりません。

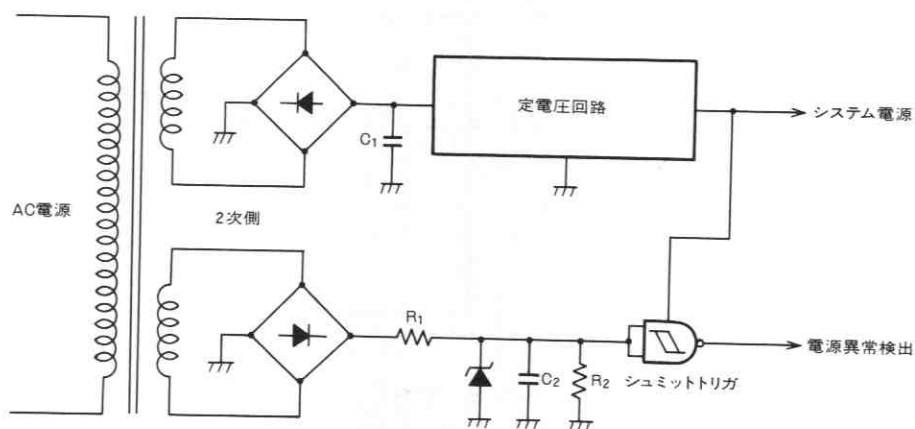
従って電源異常の検出は、安定化された電源とは別に独立な検出点を設け、安定化された電源(システムの電源)が下り始める前にシステムに対して異常を知らせる回路でなければなりません。

下図にその検出回路例を示します。

電源異常の検出点は、電源トランスの2次側付近であり整流した2次側の電圧がツェナーダイオードで設定した電圧以下になるとシュミットトリガが働き電源断を予告します。

$C_2$ 及び $R_2$ は、RAM動作に影響のない電源変動なら感知せず、異常な変動の場合システム電源が下る前に電源異常を知らせるよう調整します。

電源の異常を検知しても $C_1$ 及び定電圧回路の遅延によりシステム電源が下るまで時間があり、その期間で処理します。







## 概要

ワンチップ4ビットマイクロコンピュータMELPS 4に適用するプログラム例として、次のサブルーチンを記載します。

また、サブルーチン作成に有効な命令の説明を加えます。

- (1) 逐次比較法によるA-D変換
- (2) 追従比較法によるA-D変換
- (3) クリア ファイル
- (4) 右シフト ファイル
- (5) 左シフト ファイル
- (6) ファイル転送
- (7) ファイル交換
- (8) インクリメントメモリ
- (9) デクリメントメモリ
- (10) ノンゼロメモリ判定
- (11) ノンゼロファイル判定
- (12) BCDファイル加算
- (13) BCDファイル減算
- (14) 符号変更

## 1. サブルーチン作成に有効な命令

プログラムのメモリ容量を削減し、実行速度を上げるのに有効な命令で、以下のサブルーチンに使用されているものを紹介します。

## 1.1 サブルーチン呼び出し命令

サブルーチン呼び出し命令として、次の4つがあります。

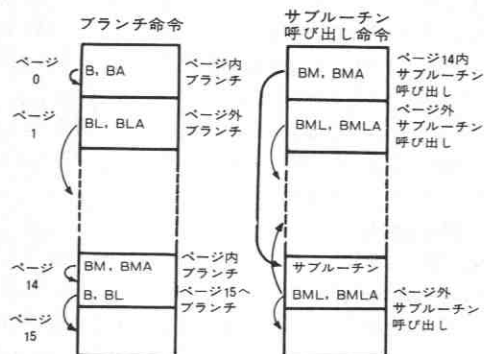
## BM, BMA, BML, BMLA

このうち、命令BM及びBMAは、ページ14がハードウェアで自動的に指定されますので、ページ14内のサブルーチン呼び出す1語命令です。ページ14内にサブルーチンの入口名を持つようにプログラムを作りますと、1語命令でサブルーチン呼び出すことができ、プログラム削減に有効です。

ただし、命令BM又はBMAを実行後、ページ14内で命令BM BMA、B又はBAを実行しますと、つまりページ14内のサブルーチンに命令BM, BMA, B又はBAを使用しますと、命令BM及びBMAはページ14内ブランチ命令として、命令B及びBAはページ15へのブランチ命令として動作します。命令RT, RTS, BL, BML, BLA, BMLAのいずれかを実行すると、この機能が消滅し、通常の命令に戻ります。すなわち、命令BM及びBMAはページ14内サブルーチン呼び出し命令、命令B及びBAはページ15内ブランチ命令として動作します。以上の機能を図1に示します。

なお、サブルーチンがページ14内に収容しきれないときは、サブルーチンの入口のみをページ14に設け、ブランチ命令でページ14以外のページにプログラムを作成してください。また、ページ14はサブルーチン以外のプログラムに使用しても何ら支障はありません。

図1. サブルーチン呼び出し命令



注. BM又はBMA実行は、RT, RTS, BL, BLA, BML, BMLAのいずれも実行せず、ページ14内でB, BA, BM又はBMAを実行すると、B及びBAはページ15へブランチ、BM及びBMAはページ内(ページ14)ブランチとなります。

## 1.2 連続記述スキップ命令

次の2つの命令

演算命令 LA

RAMアドレス命令 LXY

は同一命令を連続して記述すると、1命令のみを実行し、以降の連続する同一命令はスキップします。図7に示すように、ファイルクリア等のプログラムに有効です。

## 1.3 RAM内ファイルの切り換え命令

次の4つの命令

TAM j (ただし、j=0~3)

XAM j (ただし、j=0~3)

XAMD j (ただし、j=0~3)

XAMI j (ただし、j=0~3)

は、命令実行後、RAM内ファイル番号を指定するxの値(レジスタXの内容)が自動的に変化し、ファイルを交互に切り換えることができます。どのファイルからどのファイルに切り換えるかは、イミューディエート修飾(j=0~3)で指定します。このファイルの切り換え法則を表1に示します。このファイルの切り換えは、ファイル内データのシフト、転送等のプログラムに有効です。

表1 命令TAM, XAM, XAMD, XAMIを用いたRAM内ファイルの切り換え法則

レジスタZの内容 jの値	(Z)=0	(Z)=1
0	変化なし	変化なし
1	F0⇄F1 F2⇄F3	F4⇄F5 F6⇄F7
2	F0⇄F2 F1⇄F3	F4⇄F6 F5⇄F7
3	F0⇄F3 F1⇄F2	F4⇄F7 F5⇄F6

## 2. A-D変換プログラム

A-D変換は、アナログ入力ポートKの入力電圧と、基準電圧入力 $V_{REF}$ をD-A変換器で変換した $V_{ref}$ とを比較し、一致した時点でのレジスタH-Lの内容を見る方法で行います。ポートKの入力の指定はレジスタYで行います。すなわち、レジスタYの内容がyであれば、入力 $K_y$ が選択されます。

A-D変換の方法には、逐次比較法と追従比較法とがあります。いずれもプログラムで選択が可能です。

## 2.1 逐次比較法

プログラムリスト 図4に示します。

## プログラムの動作

アナログ入力ポート $K(y)$ の入力電圧を、逐次比較法を用いて8ビットのデジタル量に変換し、その結果をレジスタH-Lに得るプログラムです。

フローチャートを図2に示します。まず、レジスタH-Lをクリアし、レジスタCに7をセットし、レジスタH-Lの最上位ビット(MSB)を指定します。MSBに"1"をセットし、命令CPAを実行しますと、アナログ入力ポート $K(y)$ の入力電圧とD-A変換出力 $V_{ref}$ とを比較し、次の命令実行時(命令NOP実行時)に、

$$|V_{ref}| > |V_{K(y)}|$$

であれば $J(y)$ を"1"にセットし、そうでなければ"0"にリセットします。 $|V_{ref}| > |V_{K(y)}|$  ( $J(y)=1$ )であればレジスタH-LのMSBを"0"にリセットし、 $|V_{ref}| < |V_{K(y)}|$  ( $J(y)=0$ )であればMSBは"1"のままとします。次にMSB-1のビットを"1"にセットし、同様の操作を最下位ビット(LSB)まで8回繰り返します。

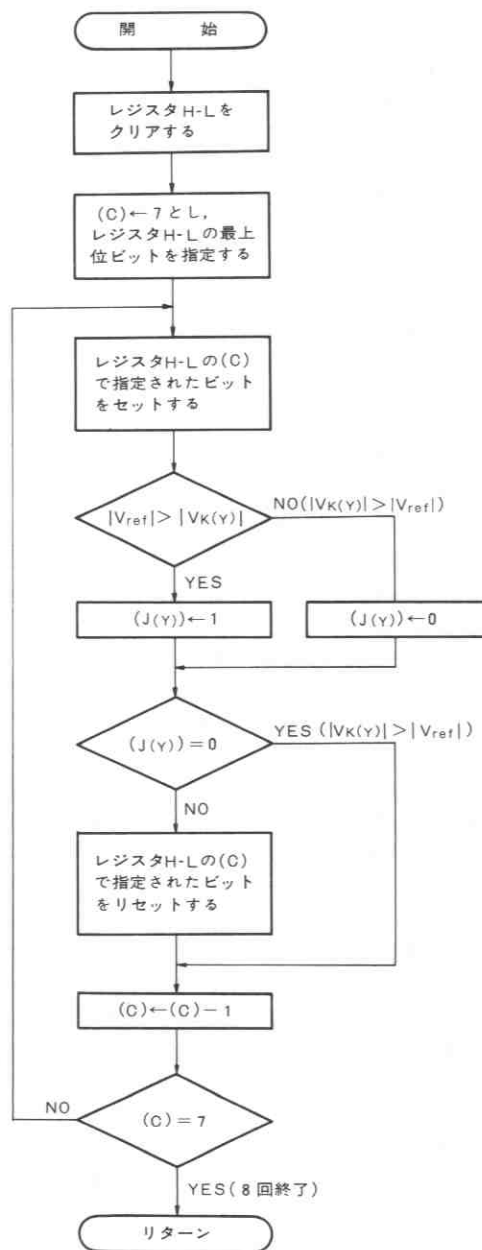
逐次比較法は、アナログ量の大きさに関係なく、約0.6ms(600kHzで動作時)の一定変換速度を有し、変化量の多いアナログ量の検出や多チャンネルの異ったアナログ量の検出に適しています。

## サブルーチン呼び出し方法

レジスタYで、アナログ入力ポートKの端子及びレジスタJのビットを指定してから、サブルーチン呼び出しを行います。次の例では、ポート $K_0$ のA-D変換が行われます。

```
LXY 0, 0
BM ADC1
```

図2. 逐次比較方式によるA-D変換サブルーチンフローチャート



## 2.2 追従比較法

プログラムリスト 図5に示します。

## プログラムの動作

アナログ入力ポートK(Y)の入力電圧を、追従比較法を用いて8ビットのデジタル量に変換し、その結果をレジスタH-Lに得るプログラムです。

フローチャートを図3に示します。まず、レジスタH-Lの適当な内容をD-A変換し、Vrefと入力V<sub>K(Y)</sub>とを比較します。

$|V_{ref}| > |V_{K(Y)}|$ であれば、(CY) ← 1

$|V_{ref}| < |V_{K(Y)}|$ であれば、(CY) ← 0

とし、比較結果をキャリーCYに記憶します。(CY)が1のときは、レジスタH-Lをデクリメントし、 $|V_{ref}|$ を $V_{REF}/256$ ずつ減少させます。一方、(CY)が0のときは、レジスタH-Lをインクリメントし、 $|V_{ref}|$ を $V_{REF}/256$ ずつ増加させます。 $|V_{ref}|$ と $|V_{K(Y)}|$ との大きさが、初期の状態と反転したときに、変換は終了します。

レジスタL及びHの内容をレジスタAに格納し、レジスタAの内容をインクリメント又はデクリメントします。まず、下位4ビットのレジスタLの内容をインクリメント又はデクリメントし、さらに上位4ビットのレジスタHをインクリメント又はデクリメントして、さらに再びレジスタLへとくり返します。

レジスタAをインクリメントするには、1を加えます。(A)が15になったかの判定は、キャリーが1であったかを命令Aで判定します。レジスタAをデクリメントするには、15を加えます。(A)が0になったかの判定は、キャリーが0であったかを命令Aで判定します。

$V_{ref} = \frac{0}{256} V_{REF}$ のときは、(H) ← 0

$V_{ref} = \frac{256}{256} V_{REF}$ のときは、(H) ← 15

の値をセットします。

## サブルーチン呼び出し方法

レジスタYで、アナログ入力ポートKの端子及びレジスタJのビットを指定してから、サブルーチン呼び出しを行います。

次の例では、ポートK<sub>0</sub>のA-D変換が行われます。A-D変換後のデジタル値が予想される場合は、あらかじめレジスタH及びLに、その予想値をセットしてからサブルーチン呼び出しを行いますと、変換速度が速くなります。

```
LXY 0, 0
(H) ← 予想値
(L) ← 予想値
BM ADC2
```

図3. 追従比較方式によるA-D変換サブルーチンフローチャート

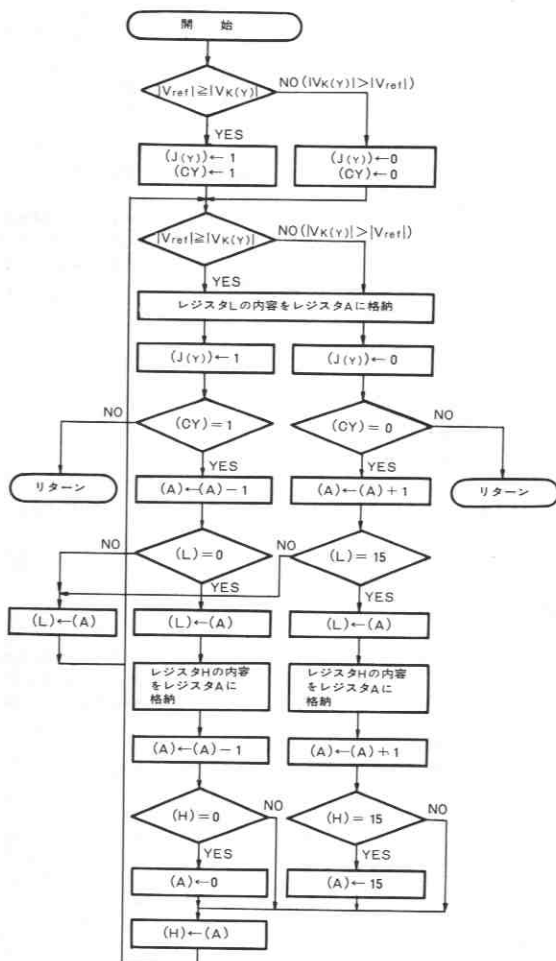


図4. プログラムリスト : ADC 1

```

2          ORG    E,0
3          *
4          *
5          MAX    EQU    7
6          MIN    EQU    12
7          J      EQU    0
8          SIGN   EQU    12
9          *
10         *
11         ##### ( MELPS 4 LIBRARY NO.1 ) #####
12         *
13         *****
14         *SUBR: ADC1  8-BIT A-D CONVERSION, SEQUENTIAL *
15         *****
16         00      0B0  ADC1  LA      0      CLEAR A, (A)=0
17         01      019          TLA          CLEAR L, (L)=0
18         02      059          THA          CLEAR H, (H)=0
19         03      057          LC7          (C)=7
20         04      042  ADC10 SHL          SET H-L, BIT IS ASSIGNED BY (C)
21         05      008          CPA          COMPARE PORT K & VREF
22         06      000          NOP          SET J IF ABS VREF.GT.ABS VK(Y)
23         07      029          SZJ          SKIP IF (J(Y))=0
24         08      052          RHL          RESET H-L
25         09      009          DEC          (C)=(C)-1,SKIP IF (C)=0
26         *W0*0A  104          BM      ADC10 REPEAT 8 TIMES
27         0B      044          RT          END OF ADC1
28         *

```

図5. プログラムリスト : ADC 2

```

29         *****
30         *SUBR: ADC2  8-BIT A-D CONVERSION, COMPARE *
31         *****
32         0C      008  ADC2  CPA          COMPARE PORT K & VREF
33         0D      048          RC          (CY)=0
34         0E      029          SZJ          SKIP IF (J(Y))=0
35         0F      049          SC          (CY)=1
36         10      008  ADC21 CPA          COMPARE PORT K & VREF
37         11      018          XAL          (A) EX (L)
38         12      029          SZJ          SKIP IF (J(Y))=0
39         *W0*13  11A          BM      ADC23 ACTS AS INSTRUCTION B ON PAGE 14
40         14      02F          SZC          SKIP IF (CY)=0
41         15      044          RT          RETURN, CONVERSION FINISHED
42         *
43         16      0A1          A      1      (A)=(A)+1, SKIP IF CARRY=0
44         *W0*17  126          BM      ADC26 ACTS AS INSTRUCTION B ON PAGE 14
45         18      019  ADC22 TLA          (L)=(A)
46         *W0*19  110          BM      ADC21 ACTS AS INSTRUCTION B ON PAGE 14
47         1A      02F  ADC23 SZC          SKIP IF (CY)=0
48         *W0*1B  11D          BM      ADC24 ACTS AS INSTRUCTION B ON PAGE 14
49         1C      044          RT          RETURN, CONVERSION FINISHED
50         1D      0AF  ADC24 A      15      (A)=(A)+15, SKIP IF CARRY=0, (A)=(A)-1
51         *W0*1E  118          BM      ADC22 ACTS AS INSTRUCTION B ON PAGE 14
52         1F      019          TLA          (L)=(A)
53         20      058          XAH          (A) EX (H)
54         21      0AF          A      15      (A)=(A)+15, SKIP IF CARRY=0, (A)=(A)-1
55         *W0*22  124          BM      ADC25 ACTS AS INSTRUCTION B ON PAGE 14
56         23      0B0          LA      0      (A)=0
57         24      059  ADC25 THA          (H)=(A)
58         *W0*25  110          BM      ADC21 ACTS AS INSTRUCTION B ON PAGE 14
59         26      019  ADC26 TLA          (L)=(A)
60         27      058          XAH          (A) EX (H)
61         28      0A1          A      1      (A)=(A)+1, SKIP IF CARRY=0
62         29      0BF          LA      15      (A)=15
63         *W0*2A  124          BM      ADC25 ACTS AS INSTRUCTION B ON PAGE 14
64         *
65         *

```

## 3. クリアファイル

プログラムリスト

図11に示します。

プログラムの動作

図6に示すように、RAM領域内に設定された16語で構成されるファイルF0～F7をクリアするサブルーチンです。各ファイルのレジスタYで指定されるアドレスが0～MAX (MAX=0～15) をクリアするサブルーチンと、MIN～15 (MIN=0～15) をクリアするサブルーチンとから成っています。ファイルの番号と、上記MAX及びMINを指定する命令LXYを連続して記述しますと、実行時に以下に続くLXY命令をスキップします。

なお、各ファイルのレジスタYで指定されるアドレスが、MIN～MAXをクリアするサブルーチンは、サブルーチンCFMを用い、命令XAMI 0の次に、

SEY max

を挿入すれば実現できます。

上記のMAX、MINおよび後で記述しますBCD加算およびBCD減算のJは擬似命令EQUでアセンブル時に固定の数値になるもので、プログラム実行中に変更することはできません。

## サブルーチン呼び出し方法

図7に例を示します。まず、擬似命令で常数MAX及びMINを固定します。次にレジスタZでファイル群を次のように選びます。

(Z) = "0" のとき : F0, F1, F2, F3

(Z) = "1" のとき : F4, F5, F6, F7

次に命令BMで各ファイル単位のサブルーチンを呼び出します。

図6. サブルーチンクリアファイル機能

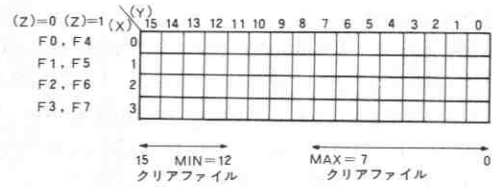


図7. サブルーチンクリアファイルの呼び出し方法



## 4. 右シフトファイル

## プログラムリスト

図11に示します。

## プログラムの動作

図8に示すようにRAM領域内に設定された16語で構成されるファイルF0～F7を右シフトするサブルーチンです。各ファイルのレジスタYで指定されるアドレスが0～MAX (MAX=0～15) を1けた右シフトします。最上位けた (MSD) には0が、最下位けた (LSD) の内容はレジスタAに格納されます。

## サブルーチン呼び出し方法

まず、擬似命令で常数MAXを固定します。次にレジスタXでファイル群を選び、サブルーチン呼び出します。次に、ファイルF5のけた0～7を2けた右シフトする例を示します。

```

MAX EQU 7
:
LZ 1
BM R SF 1
BM R SF 1

```

図8. 右シフトファイル実行例



## 5. 左シフトファイル

## プログラムリスト

図11に示します。

## プログラムの動作

図9に示すように、RAM領域内に設定された16語で構成されるファイルF0～F7を左シフトするサブルーチンです。各ファイルのレジスタYで指定されるアドレスがMIN～15 (MIN=0～15) を1けた左シフトします。最下位けた (LSD) には0が、最上位けた (MSD) の内容はレジスタAに格納されます。

なお、各ファイルのレジスタYで指定されるアドレスが、MIN～MAXを左シフトするサブルーチンは、命令XAMI 0

の次に

```
SEY max
```

を挿入すれば実現できます。MIN=0とすれば、サブルーチン右シフトファイルと同じになります。また、この場合オプション仕様の命令XAMIによるスキップ条件を変更すると、上記命令SEYを省くことができます。

## サブルーチン呼び出し方法

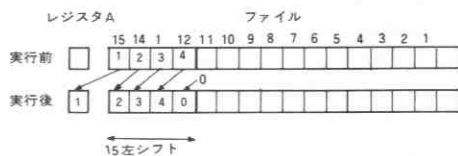
まず、擬似命令で常数MINを固定します。次にレジスタZでファイル群を選び、サブルーチン呼び出します。次にファイルF7のけた12～15を1けた左シフトする例を示します。

```

MIN EQU 12
:
LZ 1
BM L SF 3

```

図9. 左シフトファイル実行例



## 6. ファイル転送

## プログラムリスト

図12に示します。

## プログラムの動作

RAM領域内に設定された16語で構成されたファイルF0～F7の内容を他のファイルに転送するサブルーチンです。各ファイルのレジスタYで指定されるアドレスが0～MAX (MAX=0～15) のMAX+1けたのデータを転送します。

1.3項で述べたように、RAM内のファイルの切り換えが、命令TAM j及びXAMD jで自動的に行われます。図10にファイルF0の内容をファイルF1に転送する例を示します。命令TAM 1及びXAMD 1を実行するたびに、指定ファイルがF0→F1→F0……と切り換えられます。

なお、各ファイルのレジスタYで指定されるアドレスがMIN～15 (MIN=0～15) の転送サブルーチンは、MAXをMINに、命令XAMD jをXAMI jに変更することにより実現できます。

## サブルーチン呼び出し方法

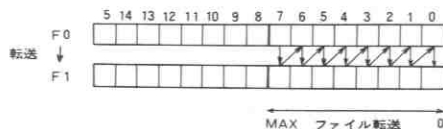
擬似命令で常数MAXを固定します。次に、レジスタZでファイル群を選び、サブルーチン呼び出します。次に、ファイルF0をF1に、F5をF7に転送する例を示します。それぞれのファイルのけたは0～7です。

```

MAX EQU 7
:
LZ 0
BM TF 1 0
LZ 1
BM TF 3 1

```

図10. ファイル転送 ((F1)←(F0)の例)



注. 矢印はファイルの切り換わる様子を示します。

図 11. プログラムリスト : CF, CFM, RSF, LSF

```

66          *
67          *SUBR: CF   CLEAR FILE FX(0-MAX)=0          *
68          *
69          2B      OC7  CF0   LXY  0,MAX  F0(0-MAX)=0 OR F4(0-MAX)=0
70          2C      OD7  CF1   LXY  1,MAX  F1(0-MAX)=0 OR F5(0-MAX)=0
71          2D      OE7  CF2   LXY  2,MAX  F2(0-MAX)=0 OR F6(0-MAX)=0
72          2E      OF7  CF3   LXY  3,MAX  F3(0-MAX)=0 OR F7(0-MAX)=0
73          2F      OBO  CF01  LA    0      (A)=0
74          30      O68  XAMD  0      (M) EX (A), (Y)=(Y)-1,SKIP IF (Y)=0
75*W0*31      12F      BM    CF01  ACTS AS INSTRUCTION B ON PAGE 14
76          32      O44  RT      END OF CF
77          *
78          *
79          *SUBR: CFM CLEAR FILE FX(MIN-15)=0          *
80          *
81          33      OCC  CF0M  LXY  0,MIN  F0(MIN-15)=0 OR F4(MIN-15)=0
82          34      ODC  CF1M  LXY  1,MIN  F1(MIN-15)=0 OR F5(MIN-15)=0
83          35      OEC  CF2M  LXY  2,MIN  F2(MIN-15)=0 OR F6(MIN-15)=0
84          36      OFC  CF3M  LXY  3,MIN  F3(MIN-15)=0 OR F7(MIN-15)=0
85          37      OBO  CF0M1 LA    0      (A)=0
86          38      O6C  XAMI  0      (M) EX (A), (Y)=(Y)+1,SKIP IF (Y)=15
87*W0*39      137      BM    CF0M1 ACTS AS INSTRUCTION B ON PAGE 14
88          3A      O44  RT      END OF CFM
89          *
90          *
91          *SUBR: RSF RIGHT-SHIFT FILE FX(0-MAX),FX(MAX)=0,(A)=FX(0)*
92          *
93          3B      OC7  RSF0  LXY  0,MAX  F0(0-MAX) R-S, F0(MAX)=0, (A)=F0(0)
94          3C      OD7  RSF1  LXY  1,MAX  F1(0-MAX) R-S, F1(MAX)=0, (A)=F1(0)
95          3D      OE7  RSF2  LXY  2,MAX  F2(0-MAX) R-S, F2(MAX)=0, (A)=F2(0)
96          3E      OF7  RSF3  LXY  3,MAX  F3(0-MAX) R-S, F3(MAX)=0, (A)=F3(0)
97          3F      OBO  LA    0      (A)=0
98          40      O68  RSF01 XAMD  0      (M) EX (A), (Y)=(Y)-1, SKIP IF (Y)=0
99*W0*41      140      BM    RSF01 ACTS AS INSTRUCTION B ON PAGE 14
100         42      O44  RT      END OF RSF
101         *
102         *
103         *SUBR: LSF LEFT-SHIFT FILE FX(MIN-15),FX(MIN)=0,(A)=FX(15)*
104         *
105         43      OCC  LSF0  LXY  0,MIN  F0(MIN-15) L-S, F0(MIN)=0, (A)=F0(15)
106         44      ODC  LSF1  LXY  1,MIN  F1(MIN-15) L-S, F1(MIN)=0, (A)=F1(15)
107         45      OEC  LSF2  LXY  2,MIN  F2(MIN-15) L-S, F2(MIN)=0, (A)=F2(15)
108         46      OFC  LSF3  LXY  3,MIN  F3(MIN-15) L-S, F3(MIN)=0, (A)=F3(15)
109         47      OBO  LA    0      (A)=0
110         48      O6C  LSF01 XAMI  0      (M) EX (A), (Y)=(Y)+1, SKIP IF (Y)=15
111*W0*49      148      BM    LSF01 ACTS AS INSTRUCTION B ON PAGE 14
112         4A      O44  RT      END OF LSF
113         *

```

図 12. プログラムリスト : TF

```

114         *
115         *SUBR: TF   TRANSFER FILE   FX1(0-MAX)=FX2(0-MAX) *
116         *
117         4B      OC7  TF10  LXY  0,MAX  F1(0-MAX)=F0(0-MAX)
118         4C      OD7  TF01  LXY  1,MAX  F0(0-MAX)=F1(0-MAX)
119         4D      OE7  TF32  LXY  2,MAX  F3(0-MAX)=F2(0-MAX)
120         4E      OF7  TF23  LXY  3,MAX  F2(0-MAX)=F3(0-MAX)
121         4F      O65  TF101 TAM  1      (A)=(M(DP))
122         50      O69  XAMD  1      (A)=(M(DP)),(Y)=(Y)-1,SKIP IF (Y)=0
123*W0*51      14F      BM    TF101 ACTS AS INSTRUCTION B ON PAGE 14
124         52      O44  RT      END OF TF10
125         *
126         53      OC7  TF20  LXY  0,MAX  F2(0-MAX)=F0(0-MAX)
127         54      OD7  TF31  LXY  1,MAX  F3(0-MAX)=F1(0-MAX)
128         55      OE7  TF02  LXY  2,MAX  F0(0-MAX)=F2(0-MAX)
129         56      OF7  TF13  LXY  3,MAX  F1(0-MAX)=F3(0-MAX)
130         57      O66  TF201 TAM  2      (A)=(M(DP))
131         58      O6A  XAMD  2      (A)=(M(DP)),(Y)=(Y)-1,SKIP IF (Y)=0
132*W0*59      157      BM    TF201 ACTS AS INSTRUCTION B ON PAGE 14
133         5A      O44  RT      END OF TF20
134         *
135         5B      OC7  TF30  LXY  0,MAX  F3(0-MAX)=F0(0-MAX)
136         5C      OD7  TF21  LXY  1,MAX  F2(0-MAX)=F1(0-MAX)
137         5D      OE7  TF12  LXY  2,MAX  F1(0-MAX)=F2(0-MAX)
138         5E      OF7  TF03  LXY  3,MAX  F0(0-MAX)=F3(0-MAX)
139         5F      O67  TF301 TAM  3      (A)=(M(DP))
140         60      O6B  XAMD  3      (A)=(M(DP)),(Y)=(Y)-1,SKIP IF (Y)=0
141*W0*61      15F      BM    TF301 ACTS AS INSTRUCTION B ON PAGE 14
142         62      O44  RT      END OF TF30
143         *

```

## 7. ファイル交換

プログラムリスト 図13に示します。

## プログラムの動作

RAM領域内に設定された16語で構成されたファイルF0~F7の内容と他のファイルの内容とを交換するサブルーチンです。各ファイルのレジスタYで指定されるアドレス0~MAX (MAX=0~15) のMAX+1けたのデータを交換します。

RAM内ファイルの切り換えを、命令TAM j及びXAM jで行っております。

なお、各ファイルのレジスタYで指定されるアドレスがMIN~15 (MIN=0~15) の交換サブルーチンは、MAXをMINに、命令XAMD 0をXAMI 0に変更することにより実現できます。

## サブルーチン呼び出し方法

擬似命令で常数MAXを固定します。次に、レジスタZでファイル群を選び、サブルーチンを呼び出します。次に、ファイルF0とF1及びF4とF7を交換する例を示します。

それぞれファイルのけたは0~7です。

```

MAX EQU 7
      :
LZ   0
BM   EXF01
LZ   1
BM   EXF03

```

## 8 インクリメント/デクリメントメモリ

プログラムリスト 図13に示します。

## プログラムの動作

RAMの特定の1語の内容をインクリメント及びデクリメントするサブルーチンです。特定のアドレス

```

M (z,0,0) (F00又はF40)
M (z,1,11) (F111又はF511)
M (z,2,13) (F213又はF613)
M (z,3,max) (F3max又はF7max)

```

の内容を+1又は-1するサブルーチンを示しました。

この他のアドレスに関しては、命令LXY x,yを追加することにより実現できます。

## サブルーチンの呼び出し方法

レジスタZでファイル群を指定してから、サブルーチン呼び出しを行います。次に、M (0,0,0)をインクリメント、M (1,2,13)をデクリメントする例を示します。

```

LZ   0
BM   INM000
LZ   1
BM   DEM213

```

## 9. ノンゼロメモリ判定

プログラムリスト 図13に示します。

## プログラムの動作

RAMの特定の1語の内容が0でないかの判定を行うサブルーチンです。特定のアドレスは

```

M (z,0,0) (F00又はF40)
M (z,1,11) (F111又はF511)
M (z,2,13) (F213又はF613)
M (z,3,max) (F3max又はF7max)

```

の内容が0でないかの判定を行うサブルーチンを示しました。

指定されたアドレスのRAMの内容が0でなければ、サブルーチン呼び出しを行った次の命令をスキップし、リターンします。0であれば、サブルーチン呼び出しを行った次の命令にリターンします。

この他のアドレスに関しては、命令LXY x,yを追加することにより実現できます。

## サブルーチン呼び出し方法

レジスタZでファイル群を指定してから、サブルーチン呼び出しを行います。RAMの内容が0の場合は、次の命令へ、RAMの内容が0でないときは、次の命令をスキップし、リターンします。次に、M (1,1,11)の内容を判定した例を示します。

```

LZ   1
BM   SNM111

```

(M (1,1,11))=0のときのプログラム

(M (1,1,11))≠0のときのプログラム

## 10. ノンゼロファイル判定

プログラムリスト 図16に示します。

## プログラムの動作

RAM領域内に設定された16語で構成されるファイルF0~F7の内容が0でないかを判定するサブルーチンです。各ファイルのレジスタYで指定されるアドレス0~MAX (MAX=0~15)の場合とMIN~15 (MIN=0~15)の場合との2つのサブルーチンがあります。

指定されたファイルの内容が0でなければ、サブルーチン呼び出しを行った次の命令をスキップし、リターンします。0であれば、サブルーチン呼び出しを行った次の命令にリターンします。

けた数がMIN~MAXの場合、サブルーチンSNFMIの命令XAMI 0の次にSEY maxを挿入すれば表現できます。



図13. プログラムリスト: EXF, INM, DEM, SNM

```

144 *****
145 *SUBR: EXF  EXCHANGE FILE  FX1(0-MAX) EX FX2(0-MAX)  *
146 *****
147      63      OC7  EXF01  LX Y  0,MAX  F0(0-MAX) EX F1(0-MAX)
148      64      OE7  EXF23  LX Y  2,MAX  F2(0-MAX) EX F3(0-MAX)
149      65      065  EXF001 TAM  1      (A)=(M(DP))
150      66      061      XAM  1      (A) EX (M(DP))
151      67      068      XAMD 0      (A) EX (M(DP)),(Y)=(Y)-1,SKIP IF (Y)=0
152*WO*68      165      BM  EXF001 ACTS AS INSTRUCTION B ON PAGE 14
153      69      044      RT      END OF EXF01
154      *
155      6A      OC7  EXF02  LX Y  0,MAX  F0(0-MAX) EX F2(0-MAX)
156      6B      OD7  EXF13  LX Y  1,MAX  F1(0-MAX) EX F3(0-MAX)
157      6C      066  EXF002 TAM  2      (A)=(M(DP))
158      6D      062      XAM  2      (A) EX (M(DP))
159      6E      068      XAMD 0      (A) EX (M(DP)),(Y)=(Y)-1,SKIP IF (Y)=0
160*WO*6F      16C      BM  EXF002 ACTS AS INSTRUCTION B ON PAGE 14
161      70      044      RT      END OF EXF02
162      *
163      71      OC7  EXF03  LX Y  0,MAX  F0(0-MAX) EX F3(0-MAX)
164      72      OD7  EXF12  LX Y  1,MAX  F1(0-MAX) EX F2(0-MAX)
165      73      067  EXF003 TAM  3      (A)=(M(DP))
166      74      063      XAM  3      (A) EX (M(DP))
167      75      068      XAMD 0      (A) EX (M(DP)),(Y)=(Y)-1,SKIP IF (Y)=0
168*WO*76      173      BM  EXF003 ACTS AS INSTRUCTION B ON PAGE 14
169      77      044      RT      END OF EXF03
170      *
171      ***** ( MELPS 4 LIBRARY END ) *****
172      END
11      ***** ( MELPS 4 LIBRARY NO.2 ) *****
12      *****
13      *SUBR: INM  INCREMENT MEMORY FX(Y)=FX(Y)+1  *
14      *SUBR: DEM  DECREMENT MEMORY FX(Y)=FX(Y)-1  *
15      *****
16      00      OC0  INM000 LX Y  0,0      F0(0) =F0(0) +1 OR F4(0) =F4(0) +1
17      01      ODB  INM111 LX Y  1,11     F1(11) =F1(11) +1 OR F5(11) =F5(11) +1
18      02      OED  INM213 LX Y  2,13     F2(13) =F2(13) +1 OR F6(13) =F6(13) +1
19      03      OF7  INM3MA LX Y  3,MAX    F3(MAX)=F3(MAX)+1 OR F7(MAX)=F7(MAX)+1
20      04      OB1      LA  1      (A)=1
21      05      O0A  INM      AM      (A)=(A)+(M(DP))
22      06      060      XAM  0      (A) EX (M(DP))
23      07      OB0      LA  0      (A)=0
24      08      044      RT
25      09      OC0  DEM000 LX Y  0,0      F0(0) =F0(0) -1 OR F4(0) =F4(0) -1
26      0A      ODB  DEM111 LX Y  1,11     F1(11) =F1(11) -1 OR F5(11) =F5(11) -1
27      0B      OED  DEM213 LX Y  2,13     F2(13) =F2(13) -1 OR F6(13) =F6(13) -1
28      0C      OF7  DEM3MA LX Y  3,MAX    F3(MAX)=F3(MAX)-1 OR F7(MAX)=F7(MAX)-1
29      0D      OBF      LA  15     (A)=15
30*WO*OE      105      BM  INM  END OF INM AND DEM
31      *
32      *****
33      *SUBR: SNM  SKIP NON-ZERO MEMORY FX(Y).NE.0 ?  *
34      *****
35      0F      OC0  SNM000 LX Y  0,0      F0(0) .NE.0 ? OR F4(0) .NE.0 ?
36      10      ODB  SNM111 LX Y  1,11     F1(11) .NE.0 ? OR F5(11) .NE.0 ?
37      11      OED  SNM213 LX Y  2,13     F2(13) .NE.0 ? OR F6(13) .NE.0 ?
38      12      OF7  SNM3MA LX Y  3,MAX    F3(MAX).NE.0 ? OR F7(MAX).NE.0 ?
39      13      064      TAM  0      (A)=(M(DP))
40      14      0AF      A  15      (A)=(A)+15,SKIP IF CARRY=0
41      15      045      RTS      RETURN IF FX(Y).NE.0
42      16      044      RT      RETURN IF FX(Y).EQ.0
43      *
44      *

```

## サブルーチン呼び出し方法

レジスタZでファイル群を指定してから、サブルーチン呼び出しを行います。ファイルの内容が0の場合は、次の命令へ、ファイルの内容が0でないときは、次の命令をスキップし、リターンします。次に、F0<sub>0</sub>~F0<sub>7</sub>の内容を判定した例を示します。

```
MAX EQU 7
```

```
⋮
```

```
LZ 0
```

```
BM SNFO MA
```

```
(F00~F07) = 0のときのプログラム
```

```
(F00~F07) ≠ 0のときのプログラム
```

## 11. BCDファイル加算

## プログラムリスト

図17に示します。

## プログラムの動作

RAM領域内に設定された16語で構成されたファイルF0~F7より、他のファイルの内容をBCD加算するサブルーチンです。各ファイルのレジスタYで指定されるアドレスがMIN~15(MIN=0~15)の16-MINけた分のBCD加算を行います。フローチャートを図14に、その加算例を図15に示します。

まず、キャリーCYをクリアします。あらかじめファイルFX1の内容にファイルFX2の内容を加え、キャリーがでなければ、BCD補正の必要がなく、10をたしもどします。すなわち、6を引いたこととなります。ファイルFX1とFX2とは、命令TAM j及びXAMI jにより切り換えられます。最大けたまでBCD加算が終了すると、キャリーCYの内容をみて、(CY)=0のときは次の命令をスキップして戻ります。(CY)=1のとき、すなわちオーバーフローのときは次の命令に戻ります。オーバーフローの判定は、メインプログラムでCYを判定することも可能です。この場合は命令SZC以降を命令RTに置き換えます。

ファイルFX1及びFX2の選択は、命令LXY x,yのx、命令TAM j及びXAMI jのjを変えることにより次のように実現できます。

サブルーチン ADF 10 x j (FX1) ← (FX1) + (FX2)

0 1 (F1) ← (F1) + (F0) 又は (F5) ← (F5) + (F4)

0 2 (F2) ← (F2) + (F0) 又は (F6) ← (F6) + (F4)

0 3 (F3) ← (F3) + (F0) 又は (F7) ← (F7) + (F4)

ADF 01 1 1 (F0) ← (F0) + (F1) 又は (F4) ← (F4) + (F5)

1 2 (F3) ← (F3) + (F1) 又は (F7) ← (F7) + (F5)

1 3 (F2) ← (F2) + (F1) 又は (F6) ← (F6) + (F5)

ADF 32 2 1 (F3) ← (F3) + (F2) 又は (F7) ← (F7) + (F6)

2 2 (F0) ← (F0) + (F2) 又は (F4) ← (F4) + (F6)

2 3 (F1) ← (F1) + (F2) 又は (F5) ← (F5) + (F6)

ADF 23 3 1 (F2) ← (F2) + (F3) 又は (F6) ← (F6) + (F7)

3 2 (F1) ← (F1) + (F3) 又は (F5) ← (F5) + (F7)

3 3 (F0) ← (F0) + (F3) 又は (F4) ← (F4) + (F7)

## サブルーチン呼び出し方法

擬似命令でJの値を固定します。レジスタZでファイル群を選びサブルーチン呼び出しを行います。BCD加算結果がオーバーフローの場合は、次の命令へ、正しければ、次の命令をスキップしてリターンします。次に、(F0<sub>15</sub>~F0<sub>12</sub>) ← (F0<sub>15</sub>~F0<sub>12</sub>) + (F1<sub>15</sub>~F1<sub>12</sub>)の例を示します。

```
MIN EQU 12
```

```
J EQU 1
```

```
⋮
```

```
LZ 0
```

```
BM ADF 01
```

```
オーバーフロー時の処理プログラム
```

```
正常時の処理プログラム
```

図14. BCDファイル加算サブルーチンフローチャート

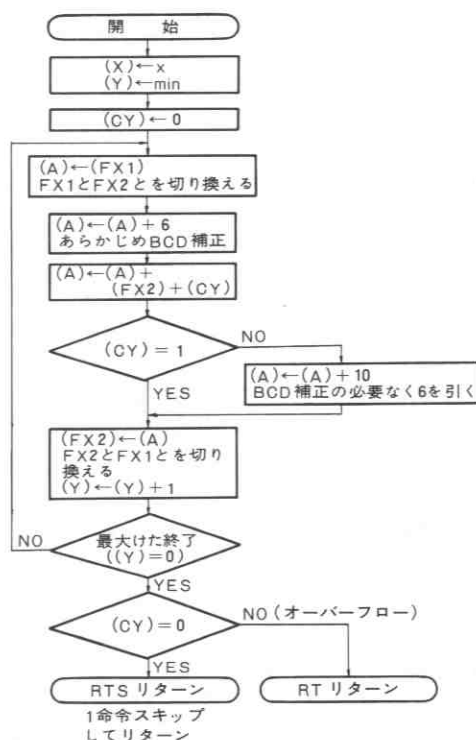


図15. BCDファイル加算 ((F0) ← (F0) + (F1)の例)



注. 矢印はファイルの切り換わる様子を示します。

## 12. BCDファイル減算

プログラム リスト 図17に示します。

## プログラムの動作

RAM領域内に設定された16語で構成されたファイルF0～F7より、他のファイルの内容をBCD減算するサブルーチンです。各ファイルのレジスタYで指定されるアドレスがMIN～15(MIN=0～15)のけた分の減算を行います。

プログラムは、BCDファイル加算と同様の方式で、減算は1の補数を取り加算します。ポローがたてば、10を加えてBCD補正を行います。

ファイルFX1及びFX2の選択は、命令LXY x,yのx、命令TAM j及びXAMI jのjで変えることにより、BCDファイル加算と同様に実現できます。BCDファイル加算の項を参照ください。

## サブルーチン呼び出し方法

擬似命令でJの値を固定します。レジスタZでファイル群を選びサブルーチン呼び出しを行います。BCD減算が減算できない場合は、次の命令へ、正しい場合は次の命令をスキップし、リターンします。次に、(F7<sub>15</sub>～F7<sub>12</sub>)←(F7<sub>15</sub>～F7<sub>12</sub>)-(F5<sub>15</sub>～F5<sub>12</sub>)の例を示します。

```
MIN EQU 12
J EQU 2
:
LZ 1
BM SBF 32
```

減算できない場合の処理プログラム

正常時の処理プログラム

## 13. 符号反転

プログラム リスト 図17に示します。

## プログラムの動作

RAM領域内に設定した16語で構成されるファイルF0～F7の符号けたSIGN(SIGN=0～15)のみの符号を反転するサブルーチンです。メモリの内容が0のとき正、8のとき負と定義した場合の符号反転サブルーチンで、メモリに8を加算することにより実現します。

## サブルーチン呼び出し方法

擬似命令で符号けたを固定します。レジスタZでファイル群を指定し、サブルーチン呼び出しを行います。次に、ファイルF0の12けた目の符号反転する例を示します。

```
SIGN EQU 12
:
LZ 0
BM SCF 0
```

図16. プログラムリスト：SNFMA, SNFMI

```
45 *****
46 *SUBR: SNFMA SKIP NON-ZERO FILE FX(0-MAX).NE.0 ? *
47 *****
48 17 OC7 SNF0MA LX Y 0,MAX F0(0-MAX).NE.0 ? OR F4(0-MAX).NE.0 ?
49 18 OD7 SNF1MA LX Y 1,MAX F1(0-MAX).NE.0 ? OR F5(0-MAX).NE.0 ?
50 19 OE7 SNF2MA LX Y 2,MAX F2(0-MAX).NE.0 ? OR F6(0-MAX).NE.0 ?
51 1A OF7 SNF3MA LX Y 3,MAX F3(0-MAX).NE.0 ? OR F7(0-MAX).NE.0 ?
52 1B OB0 SNF4 LA 0 (A)=0
53 1C O26 SEAM SKIP IF (A).EQ.(M(DP))
54 1D O45 RTS RETURN IF FX(0-MAX).NE.0
55 1E O68 XAMD 0 (A)=(M(DP)),(Y)=(Y)-1,SKIP IF (Y)=0
56*WO*1F 11B BM SNF4 ACTS AS INSTRUCTION B ON PAGE 14
57 20 O44 RT RETURN IF FX(0-MAX).EQ.0
58 *
59 *
60 *****
61 *SUBR: SNFMI SKIP NON-ZERO FILE FX(MIN-15).NE.0 ? *
62 *****
63 21 OCC SNF0MI LX Y 0,MIN F0(MIN-15).NE.0 ? OR F4(MIN-15).NE.0 ?
64 22 ODC SNF1MI LX Y 1,MIN F1(MIN-15).NE.0 ? OR F5(MIN-15).NE.0 ?
65 23 OEC SNF2MI LX Y 2,MIN F2(MIN-15).NE.0 ? OR F6(MIN-15).NE.0 ?
66 24 OFC SNF3MI LX Y 3,MIN F3(MIN-15).NE.0 ? OR F7(MIN-15).NE.0 ?
67 25 OB0 SNF5 LA 0 (A)=0
68 26 O26 SEAM SKIP IF (A).EQ.(M(DP))
69 27 O45 RTS RETURN IF FX(MIN-15).NE.0
70 28 O6C XAMI 0 (A)=(M(DP)),(Y)=(Y)+1,SKIP IF (Y)=15
71*WO*29 125 BM SNF5 ACTS AS INSTRUCTION B ON PAGE 14
72 2A O44 RT RETURN IF FX(MIN-15).EQ.0
73 *
74 *
```

## MELPS 4 プログラム ライブラリ

## サブルーチン

図 17. プログラムリスト : ADF, SBF, SCF

```

75          *****
76          *SUBR: ADF   BCD ADDITION FX1(MIN-15)=FX1(MIN-15)+FX2(MIN-15)*
77          *****
78 23      OCC  ADF10 LX Y  0,MIN  J=1: F1(MIN-15)=F1(MIN-15)+F0(MIN-15)
79          *                               J=2: F2(MIN-15)=F2(MIN-15)+F0(MIN-15)
80          *                               J=3: F3(MIN-15)=F3(MIN-15)+F0(MIN-15)
81 2C      ODC  ADF01 LX Y  1,MIN  J=1: F0(MIN-15)=F0(MIN-15)+F1(MIN-15)
82          *                               J=2: F3(MIN-15)=F3(MIN-15)+F1(MIN-15)
83          *                               J=3: F2(MIN-15)=F2(MIN-15)+F1(MIN-15)
84 2D      OEC  ADF32 LX Y  2,MIN  J=1: F3(MIN-15)=F3(MIN-15)+F2(MIN-15)
85          *                               J=2: F0(MIN-15)=F0(MIN-15)+F2(MIN-15)
86          *                               J=3: F1(MIN-15)=F1(MIN-15)+F2(MIN-15)
87 2E      OFC  ADF23 LX Y  3,MIN  J=1: F2(MIN-15)=F2(MIN-15)+F3(MIN-15)
88          *                               J=2: F1(MIN-15)=F1(MIN-15)+F3(MIN-15)
89          *                               J=3: F0(MIN-15)=F0(MIN-15)+F3(MIN-15)
90 2F      048          RC          (CY)=0
91 30      064  ADF011 TAM  J          (A)=(M(DP))
92 31      0A6          A          (A)=(A)+6
93 32      00F          AMCS        (A)=(A)+(M(DP))+(CY),(CY)=CARRY
94 33      0AA          A          (A)=(A)+10,SKIP IF CARRY=0,BCD ADJUST
95 34      000          NOP         (A)=(A)-6
96 35      06C          XAMI  J          (A) EX (M(DP)),(Y)=(Y)+1,SKIP IF (Y)=15
97*W0*36 130          BM          ADF011 ACTS AS INSTRUCTION B ON PAGE 14
98 37      02F          SZC         SKIP IF (CY)=0
99 38      044          RT          RETURN IF OVERFLOW
100 39     045          RTS         END OF ADF01
101          *
102          *****
103          *SUBR: SBF   BCD SUBTRUCTION FX1(MIN-15)=FX1(MIN-15)-FX2(MIN-15)*
104          *****
105 3A      OCC  SBF10 LX Y  0,MIN  J=1: F1(MIN-15)=F1(MIN-15)-F0(MIN-15)
106          *                               J=2: F2(MIN-15)=F2(MIN-15)-F0(MIN-15)
107          *                               J=3: F3(MIN-15)=F3(MIN-15)-F0(MIN-15)
108 3B      ODC  SBF01 LX Y  1,MIN  J=1: F0(MIN-15)=F0(MIN-15)-F1(MIN-15)
109          *                               J=2: F3(MIN-15)=F3(MIN-15)-F1(MIN-15)
110          *                               J=3: F2(MIN-15)=F2(MIN-15)-F1(MIN-15)
111 3C      OEC  SBF32 LX Y  2,MIN  J=1: F3(MIN-15)=F3(MIN-15)-F2(MIN-15)
112          *                               J=2: F0(MIN-15)=F0(MIN-15)-F2(MIN-15)
113          *                               J=3: F1(MIN-15)=F1(MIN-15)-F2(MIN-15)
114 3D      OFC  SBF23 LX Y  3,MIN  J=1: F2(MIN-15)=F2(MIN-15)-F3(MIN-15)
115          *                               J=2: F1(MIN-15)=F1(MIN-15)-F3(MIN-15)
116          *                               J=3: F0(MIN-15)=F0(MIN-15)-F3(MIN-15)
117 3E      049          SC          (CY)=1
118 3F      064  SBF011 TAM  J          (A)=(M(DP))
119 40      08F          CMA         COMPLEMENT (A)
120 41      00F          AMCS        (A)=(A)+(M(DP))+(CY),(CY)=CARRY
121 42      0AA          A          (A)=(A)+10,SKIP IF CARRY=0,BCD ADJUST
122 43      06C          XAMI  J          (A) EX (M(DP)),(Y)=(Y)+1,SKIP IF (Y)=15
123*W0*44 13F          BM          SBF011 ACTS AS INSTRUCTION B ON PAGE 14
124 45      02F          SZC         SKIP IF (CY)=0
125 46      045          RTS         END OF SBF01
126 47      044          RT          RETURN IF OVERFLOW
127          *
128          *****
129          *SUBR: SCF   SIGN CHANGE FILE FX(SIGN) EX
130          *****
131 48      OCC  SCF0  LX Y  0,SIGN F0(SIGN) EX
132 49      ODC  SCF1  LX Y  1,SIGN F1(SIGN) EX
133 4A      OEC  SCF2  LX Y  2,SIGN F2(SIGN) EX
134 4B      OFC  SCF3  LX Y  3,SIGN F3(SIGN) EX
135 4C      0B8          LA          (A)=8
136 4D      00A          AM          (A)=(A)+(M(DP))
137 4E      060          XAM  0          (A) EX (M(DP))
138 4F      044          RT          END OF SCF0
139          *
140          ***** ( MELPS 4 LIBRARY END ) *****
141          END

```

## 概要

三菱ワンチップ4ビットマイクロコンピュータMELPS4を電子レンジに応用した回路例を紹介します。

この電子レンジはタッチキー入力に従って、マグネトロン、ファン、ブザーをコントロールし、大型蛍光表示管に時間、温度、パワーを、またLED(8個)にてMODEを表示しています。機能としては、スタート時間の指定、解凍(時間、パワー)、調理1(時間、温度、パワー)、調理2(時間、温度、パワー)のコントロールを行うと共に、他に時計動作、独立タイマー機能があります。

M58840-001Pはこの電子レンジ用プログラムが格納されています。

## 特長

- 解凍、調理1、調理2のプログラム調理
- 時間、温度、パワーのコントロール
- 時計動作、タイマー動作
- 大型蛍光表示管による時間・温度・パワーの表示
- 回路の簡素化にともなう原価低減、小型化が可能

## 1. 電子レンジ機能

## (1) 動作概略

タッチキーにより調理条件(時間・温度・パワー)を設定しスタートキーを押すと、設定順序に関係なしに次の順序で順次調理してゆきます。



一つの調理工程を完了するとその工程内容を消去し、次の工程に移りますが、設定のないステージはスキップし、全工程を完了します。他に時計動作、タイマー機能があります。

## (2) 時計(CLOCK)

12時間表示の時計で、時分の表示をします。

## (3) タイマー(TIMER)

何分何秒後にブザーで知らせてほしいときに使用します。

## (4) スタート時間(S.TIME)

調理の開始時間の指定をし、その時刻になると、調理を開始します。

## (5) 解凍(DEFR)

パワー、時間の設定ができますが、パワーの設定がないと50%に自動設定されます。指定の時間の間は、指定のパワーでマグネトロンをON・OFFし、指定時間が終了すると、マグネトロンをOFFにして、最初指定の時間の間は休止状態にします。

## (6) 調理1(COOK 1)

パワー、温度、時間の設定ができますが、パワーの設定がないと、100%に自動設定されます。35℃～95℃の範囲で

温度設定でき、調理を開始すると設定温度までは、指定のパワーでマグネトロンをON・OFFし、設定温度になるとマグネトロンをOFFし、設定温度より3℃低くなると再びマグネトロンはONとなって以下同様の動作を繰返し、指定の時間を終了すると、COOK 1の調理を完了します。

温度設定があり時間設定がない場合は、測定温度を表示し、設定温度に達すると調理を完了します。

温度設定がないと、指定のパワーでON・OFFを繰返し、時間が0となれば調理を完了します。

## (7) 調理2(COOK 2)

調理1(COOK 1)と全く同一機能です。

## (8) クリヤ(CLEAR)

置数の変更をしたいときは調理を途中でやめて次のステージに移りたい場合にクリヤキーを置します。

## (9) リセット(RESET)

リセットキーを押すと、調理の全工程を完了し、時計動作に移行します。

## (10) 停止

ストップキーを押すか、ドアを開けると、調理を途中で停止し、再スタートしたいときはスタートキーを押します。

## (11) 表示

蛍光表示管には、時間・パワー・温度を表示します。置数時には置数データを表示し、CLOCKキーにより時計を表示します。調理中は普通、調理残時間を表示し、時計・パワー・設定温度・測定温度のメモリーリコールができます。

LEDには調理モードの表示を行います。

## 2. 入力

(1) キー入力……………K<sub>0</sub>～K<sub>7</sub>

タッチキー入力を想定し、22個のキーを、KポートとDポートのマトリクスにより識別しています。誤動作防止のため、キー入力は100msの間に8回同じデータであることを確認して有効と判断し、また次のデータを入れるときは、100msの間にキー入力がないことを8回確認した後でないといけません。キーの種類は次の22種類です。〔解凍(DEFR)〕、〔調理1(COOK 1)〕、〔調理2(COOK 2)〕、〔温度(TEMP)〕、〔パワー(POWER)〕、〔開始(START)〕、〔停止(STOP)〕、〔クリヤ(CLEAR)〕、〔リセット(RESET)〕、〔タイマー(TIMER)〕、〔時刻(CLOCK)〕、〔開始時間(S.TIME)〕、〔数字(0～9)〕

(2) 時間検出入力……………K<sub>13</sub>

時間のカウントを行うための入力で、電源のAC波形を整形した入力を加えます。

(3) 50/60Hz切換SW入力……………K<sub>9</sub>

50Hz地域と60Hz地域とによりSWを切換えて、時間のカウントの補正を加えるための入力です。

(4) 温度センサー入力……………K<sub>11</sub>

温度プローブ内のサーミスタにより温度に応じた電圧が、加えられます。

- (5) 温度プローブSW入力 ..... K<sub>8</sub>  
温度プローブが装着されたかどうかを判断する入力です。
- (6) ドアSW入力 ..... K<sub>10</sub>  
ドアが開いているか閉じているかを判定する入力です。
- (7) タッチキー比較電圧設定入力 ..... K<sub>14</sub>  
タッチキーの検出レベルの設定をするための入力で、タッチキーボードの仕様などが変わったときにすぐ対応できます。

### 3. 出力

- (1) マグネトロンコントロール出力 ..... D<sub>4</sub>  
High出力によりマグネトロンをONし、Low出力によりOFFにします。30秒を単位とし、設定パワー(duty)によるON・OFFが繰返されます。例えば、30%のパワー設定なら9秒ON・21秒OFFの繰返しとなります。

また温度コントロールにON・OFFも行います。

- (2) ファン用出力 ..... D<sub>3</sub>  
解凍、調理1、調理2がスタートすると、ファンをONし、ストップ又は全工程を完了するとOFFとなります。
- (3) ブザー用出力 ..... D<sub>5</sub>  
次の3種類のブザーのコントロール出力を出す。  
0.2秒ブザー ..... 置数時の有効キーを示すブザー  
0.5秒ブザー ..... 1つの工程が完了したときのブザー  
3秒ブザー ..... タイマー終了又は全工程完了時に、0.2秒のON・OFFを3秒繰返すブザー

- (4) 蛍光表示管 ..... S<sub>0</sub>~S<sub>7</sub>、D<sub>0</sub>~D<sub>9</sub>、D<sub>2</sub>  
大型の蛍光表示管を直接ドライブできます。(耐圧33V最大Dポート、15mA最大、Sポート:8mA最大)

点灯はダイナミック点灯で、duty約1/14、ON TIME 0.9ms。  
表示管は次のような形式を想定し、温度のときは中央の



コロンを消して1桁目は「C」の表示をし、パワーのときもコロンを消して1桁目は「P」の表示をします。

- (5) LED表示 ..... S<sub>0</sub>~S<sub>7</sub>、D<sub>10</sub>  
置数又は調理時のモード表示を行い、次の内容を点灯します。

{S・TIME}、{DEFR}、{COOK 1}、{COOK 2}、{TIMER}  
{START}、{STOP}、{TEMP}

表示はダイナミック点灯で、duty約70%、ON TIME約9ms。

- (6) タッチキー検出出力 ..... D<sub>0</sub>~D<sub>2</sub>  
タッチキーに、Dポート出力をインバート増幅して供給し、Kポートとのマトリクスによりキーを識別します。

D<sub>2</sub>は蛍光表示管のコロン表示用出力に共用します。

### 4. 置数方法

まずファンクションキーを押し数字キーを置き、他のファンクションキーを押したとき、前のファンクションデータにエラーが無ければそのデータをRAMに格納する方法を

取っています。

#### (1) 時間設定

- 時分の設定 ..... CLOCK、S・TIMEの設定。  
1:00~12:59の範囲での設定
- 分秒の設定 ..... TIMER、DEFR、COOK 1、COOK 2の時間設定  
1秒~99分59秒の範囲で設定
- エラー ..... 上記設定範囲を越えた場合又は2桁目が6以上の場合はエラー表示 (EE:EE)

時計動作の設定例を次に示します。

#### 置数例 (1)

KEY	表示
1回目 [CLOCK]	: 0
2回目 [ 1 ]	: 1
3回目 [ 2 ]	: 12
4回目 [ 3 ]	1:23
5回目 [ 4 ]	12:34
6回目 [START]	12:34

5回目又は6回目で置数ミスがあるとEE:EEの表示がされるのでクリアーキーを押して置数のやり直しをします。ミスがないとスタートで時計動作を開始します。

#### (2) パワー設定

設定順序は [POWER] → [DEFR、COOK 1、COOK 2] → [数字] の順序で行います。設定はCOOK 1、COOK 2は0~100%の範囲ですが、DEFRの場合は0~50%の範囲で60~100%の置数は50%にロックされます。

置数は0~90%の置数は1回のみで、100%のみ [1] → [0] と2回の置数でこれ以外はエラーとなります。

#### 置数例 (2)

KEY	表示
1回目 [POWER]	P
2回目 [COOK 1]	100P
3回目 [ 2 ]	20P
4回目 [COOK 2]	: 0

2回目のキーで自動設定の100%がメモリーリコールされ3回目のキーで20%の表示がなされ、4回目のキーで20%がRAMに格納されCOOK 2の時間のメモリーリコール(この場合はまだ置数していないので [0] の表示)がなされます。

#### (3) 温度設定

設定順序は [TEMP] → [COOK 1、COOK 2] → [数字] の順序で行い、35℃~95℃の範囲の設定とし、これを越えるとエラーとなります。

## 5. データ表示

## (1) スタート前

置数時のデータ表示は前項の通りですが、置数済のデータの参照をしたいときは、ファンクションキーを押すだけで、メモリーリコールできます。

## 置数例 (3)

KEY	表示
1回目 [CLOCK]	11:56
2回目 [TEMP]	C
3回目 [COOK 2]	62C
4回目 [COOK 1]	5:30
5回目 [POWER]	P
6回目 [COOK 2]	60P

1回目は時計の表示で現在の時刻が表示されます。2回目と3回目でCOOK 2の設定温度がメモリーリコールされ、4回目ではCOOK 1の設定時間が、また5回目と6回目では、COOK 2の設定パワーがメモリーリコールされます。

## (2) スタート後

スタート後は普通は現調理中の、残時間を表示しますが次のように3秒間のメモリーリコールができます。

パワー………[POWER]キーにて現ステージのパワーを表示します。

時計………[CLOCK]キーにて現時刻の表示をします。

設定温度……[TEMP]キーを1回押すと現ステージの設定温度の表示をします。

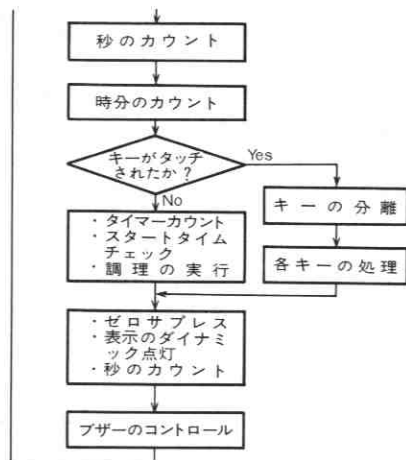
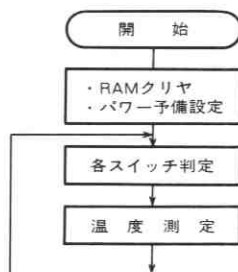
測定温度……[TEMP]キーを2回続けて押すと現ステージの測定温度の表示をします。

## 6. データの修正

ファンクションキーを押すと、メモリーリコールしますので次に数字を入れると改めて置数でき、あとは始めからの置数と同じです。スタート後はストップをかけてから同様の方法で修正できます。

## 7. ゼネラルフローチャート

M58840-001のフローチャートを次に紹介します。



## 8. ルーチンの紹介

M58840-001Pのプログラムで他に使用できそうなルーチンを紹介します。

## (1) 温度測定

温度を測定し、データとして出たH、L値をBCD変換します。

## (2) 秒のカウント

Kポートに電源波形を入れて1分までのカウントをします。

## (3) 時分のカウント

12時間の時計のカウントを行います。

## (4) タッチキー検出

キーがタッチされたかどうかを検出します。

## (5) キーの分離

22個のキーのうち、どのキーが押されたかを判定します。

## (6) 表示

蛍光表示管及びLEDのダイナミック点灯をします。

## (7) 温度比較

設定温度に等しくなったか、又は設定温度より2℃低い温度になったかの判定を行い温度のコントロールを行います。

## (8) 0.5秒の点滅

「C」又はLEDの0.5秒単位の点滅をさせます。

## (9) 時間のカウント

設定した時間を1秒ずつカウントダウンし、0で終了します。

## (10) ブザーのコントロール

0.2秒、0.5秒、3秒(0.2秒の断続)のブザー出力。

## (11) 時刻の監視

設定時間になったかどうかの判定をします。



# MELPS 4 電子レンジへの応用

## 9. 電子レンジコントロール回路例

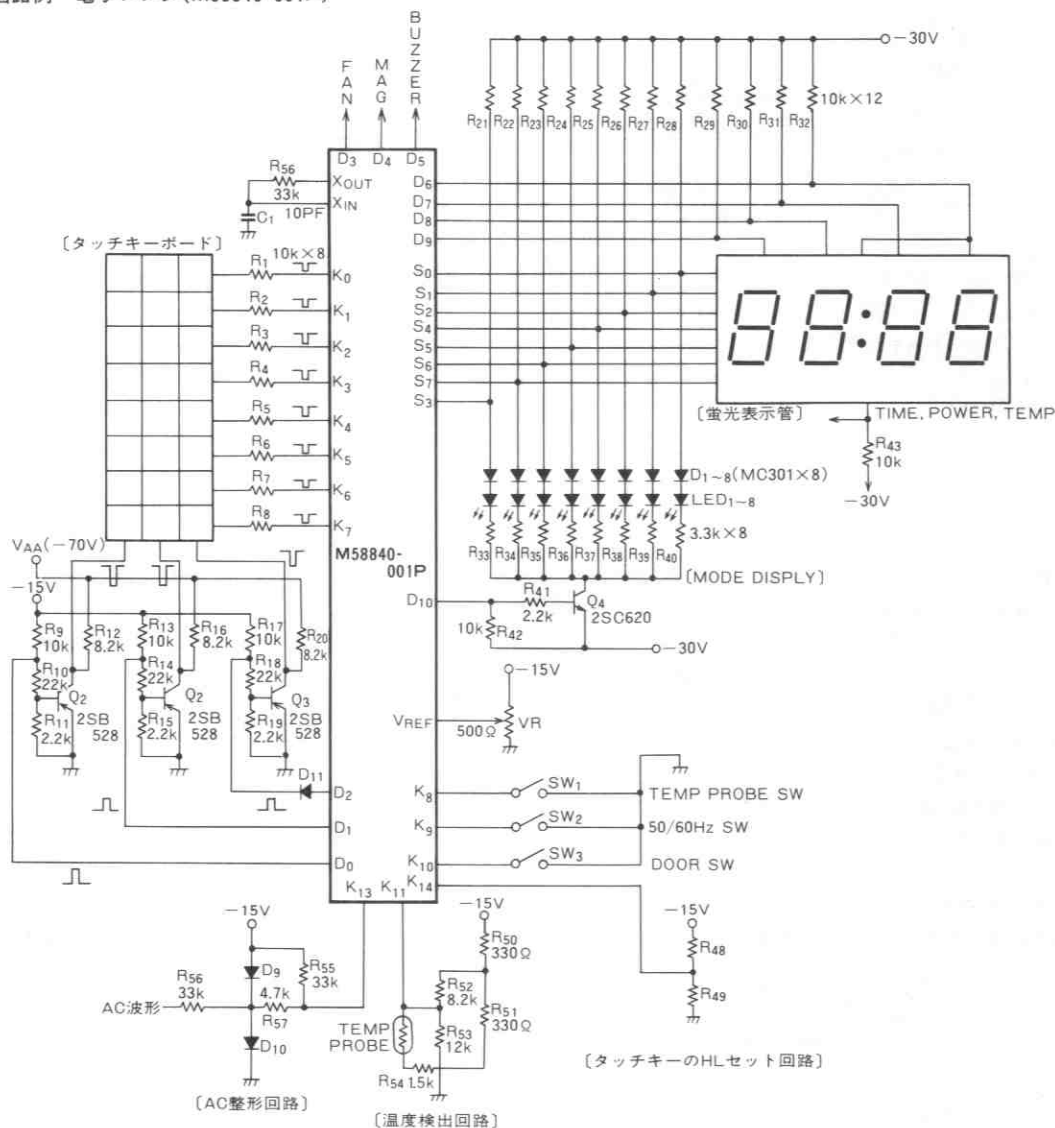
M58840-001Pを使った電子レンジの回路例を次に紹介します。

入出力に関する内容については、今までの説明の通りです。タッチキーボードの説明については、PCA0402の説明を参照ください。ダイオードD<sub>11</sub>はD<sub>2</sub>を表示管のコロン用出力と共用しているための逆流による誤動作防止用のもので

す。K<sub>11</sub>の温度検出回路は、温度プローブの非直線性を補正し、温度変換が容易となるように諸元が決められています。

M58840-×××Pには、タッチキーインターフェース、A/D変換回路が内蔵されており、またSポート出力の多様性、Sポート及びDポートの耐圧が高いなどにより回路が非常に簡単になり、原価低減、部品点数減による作業性向上・信頼性向上・小型化が実現できます。

応用回路例 電子レンジ(M58840-001P)







# MELPS 8/85 プログラムライブラリ

## 2. ASCIIコードを2進コードに変換

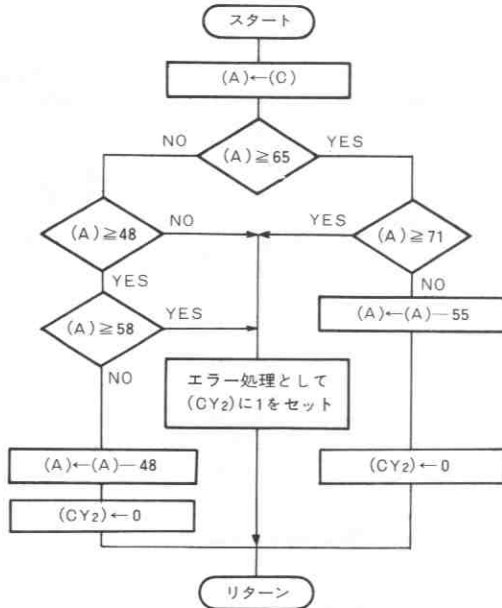
(1)ASCIIコードで表された1けたの16進数を、2進コードに変換するプログラムです。

変換するデータは、Cレジスタに入っており、結果はAレジスタの下位4ビットに入ります。なお、データ中にエラーがあれば、キャリフリップフロップをセットして処理を終了します。

### ●レジスタの使用状態

レジスタ	主な使用目的	実行中の変化
A	変換のための演算、変換した結果	変化する
C	変換するデータを入れる	変化しない
BDEHL	使用しない	変化しない

### ●フローチャート



### ●プログラムリスト

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33
*																																
*	***	SUB(ATB)																														
*																																
5	ATB	MOV	A, C																													
		CPI	65																													
		JC	A1																													
		CPI	71																													
		JNC	A3																													
		SUI	55																													
		ANA	A																													
		RET																														
10	A1	CPI	48																													
		JC	A3																													
		CPI	58																													
		JNC	A3																													
	A2	SUI	48																													
		ANA	A																													
		RET																														
15	A3	STC																														
		RET																														

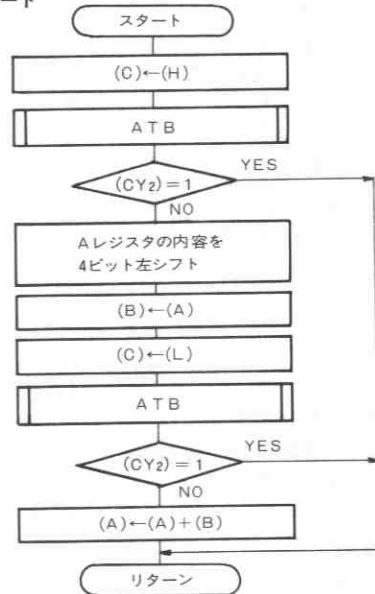
(2)ASCIIコードで表された2キャラクタを、2けたの16進数とみなし、2進コードの8ビットデータに変換するプログラムです。変換するデータの上位はHレジスタに、下位はLレジスタに入っており、変換結果は、Aレジスタに入ります。

なお、データ中にエラーがあればキャリフリップフロップをセットして処理を終了します。

### ●レジスタの使用状態

レジスタ	主な使用目的	実行中の変化
A	変換のための演算、変換した結果	変化する
B	変換結果の一時退避	変化する
C	変換データが入る	変化する
H	変換する上位のデータ	変化しない
L	変換する下位のデータ	変化しない
DE	使用しない	変化しない

### ●フローチャート



### ●プログラムリスト

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33
*																																
*	***	SUB(ATB2)																														
*																																
5	ATB2	MOV	C, H																													
		CALL	ATB																													
		RC																														
		RLC																														
		RLC																														
		RLC																														
		MOV	B, A																													
		MOV	C, L																													
		CALL	ATB																													
		RC																														
		ADD	B																													
		RET																														

## ソートニング

いくつかのデータを、大きい順に並べ替えるプログラムです。並べ替えるデータは、65535個以内で、PRO番地から順に1バイトの2進数(ただし、255は除く)でセットしておき、データ終了の印として、最後に255を2進数で入れておきます。

このプログラムでは、1つのデータをすべてのデータと比較し順位を決め、MAX番地から数えて、その順位に相当するメモリにストアする方法をとっています。また、その最後には、255が入ります。

なお、このプログラムでは、任意の順位のデータを取り出すことができます。順位 $n$ ( $1 \leq n \leq 65535$ )をメモリのORD、ORD+1番地にセットしておけば、プログラム実行終了の時点で、大きいほうから $n$ 番目のデータがAレジスタに入ります。 $n$ がゼロのときは、何も取り出すことはなく、Aレジスタの内容はゼロになります。

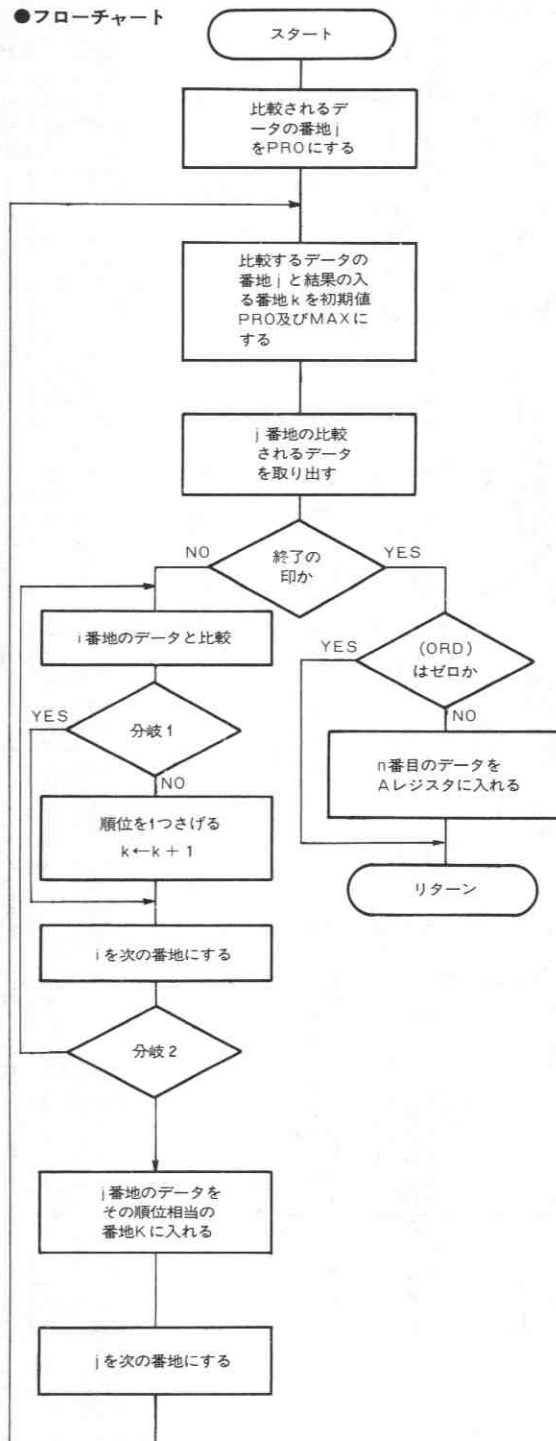
## ●レジスタの使用状態

レジスタ	主な使用目的	実行中の変化
A	演算、 $n$ 番目のデータを入れる	変化する
B	比較されるデータを入れる	変化する
C	使用しない	変化しない
D	並べかえたデータのメモリ番地指定	変化する
E	並べかえたデータのメモリ番地指定	変化する
H	並べかえるデータのメモリ番地指定	変化する
L	並べかえるデータのメモリ番地指定	変化する

## ●メモリの使用状態

番地	使用目的	バイト数	実行中の変化
ユーザーズエリア	ORD	順位 $n$ をセット	2 無
	PRO	データを入れる PROはその先頭番地	データ数+1 無
	MAX	並べかえた結果を入れる MAXはその先頭番地	データ数+1 有
コントロールエリア	DADD	データの先頭番地 PROをセット	2 無
	RADD	結果が入る場所の 先頭番地MAXをセット	2 無
	M1	比較されるデータの番地	2 有
	M2	比較するデータの番地	2 有
	COUNT	データ数のカウント	2 有

## ●フローチャート



分岐1：j番地のデータがi番地のデータより大きいか。

〈大きいと判断する条件〉

- (1) j番地のデータがi番地のデータより大きいとき。
- (2) 同じ大きさで、番地がj ≤ iのとき

分岐2：すべてのデータと比較したか。



## MELPS 8/85 サブルーチン:整数演算

マスクROM M58730-001S

## 概要

M58730-001Sサブルーチン(1)―整数演算は、MELPS8/85 CPU、に適應するソフトウェアとして18種類のサブルーチンが格納されています。MELPS8/85CPUは、処理される情報として8ビットからなる1バイトを基準にしていますが、本サブルーチンによって、より大きな値を表現できる16ビット構成又は32ビット構成の情報を取り扱うことを容易にします。

なお各機能別サブルーチンは、共通処理を内部サブルーチンとして使用しているため多重処理の形を取るシステムでは割り込み禁止状態にしてから使用してください。

本サブルーチンを大別すると次のようになります。

- 加算処理
- 減算処理
- 乗算処理
- 除算処理
- シフト演算処理
- 論理演算処理

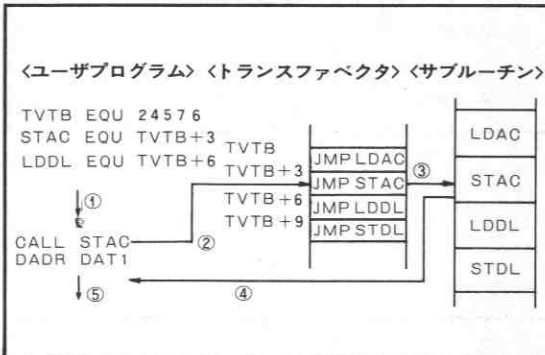
## 特長

- 処理はすべてメモリRAM領域上に仮想した疑似アキュムレータを介して行います。
- 2バイト又は4バイトのデータを処理します。
- トランスファベクタを経由して目的の処理ルーチンへ飛び越します。

## 1. ユーザプログラムとサブルーチンの関連

ユーザプログラムとサブルーチンの関連を図1に示します。

図1 ユーザプログラムとサブルーチンの関連



- 注1. コントロールの流れは①、②、③、④、⑤の順です。  
 2. トランスファベクタとは、各サブルーチンのプログラムサイズが変っても、エントリーアドレスを固定化するものです。  
 3. 使用するサブルーチンに関しては、あらかじめ、そのサブルーチンの絶対番地、又はトランスファベクタの絶対番地を定義する必要があります。  
 4. 各サブルーチンの絶対番地又はトランスファベクタの絶対番地は、サブルーチン機能一覧表を参照してください。

## 2. メモリ配置

ROMの専用するメモリ番地は次の通りです。

6000<sub>16</sub>～63FF<sub>16</sub>番地

また、ROMを使用するにあたっては、RAM領域が50バイト必要であり、RAM領域は次の通りです。

3FCE<sub>16</sub>～3FFF<sub>16</sub>番地

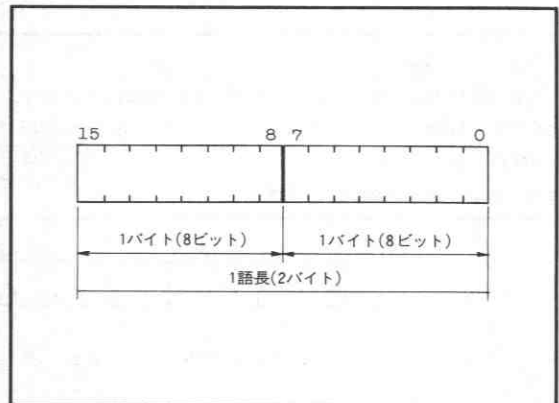
## 3. サブルーチンの情報処理単位

MELPS8/85CPUは、8ビット(1部16ビット)単位で情報を処理しますが、このサブルーチンは、1語長(16ビット)2語長(32ビット)の単位で情報を処理します。

## (1) 1語長(2バイト)

1つの処理単位が16ビット(2バイト)で構成されるもので、10進数の場合は3けた、2進数の場合は $-2^{15} \sim 2^{15}-1$ まで、文字の場合は2文字論理の場合は16ビットの表現ができ図2のような構成になっています。

図2 1語長(ワード)の構成



## (2) 2語長(4バイト)

1つの処理単位が32ビット(4バイト)で構成されるもので、10進数の場合は7けた、2進数の場合は $-2^{31} \sim 2^{31}-1$ まで、文字の場合は4文字の表現ができ図3のような構成になっています。

図3 2語長(ダブルワード)の構成



## 4. 数値の表現

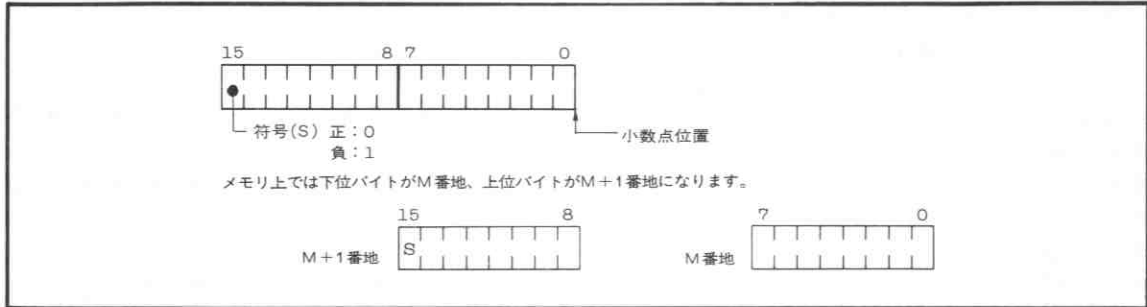
16ビット又は32ビットから構成される数値の種類には、次に示すものがあり、それぞれについて説明します。

## (1) 16ビット2進数

16ビット構成の2進数であり、負の値は2の補数で表します。

表現できる数Nの範囲は $-2^{15} \leq N \leq 2^{15}-1$ すなわち $-32768 \sim 32767$ です。

図4 16ビット2進数のビット構成

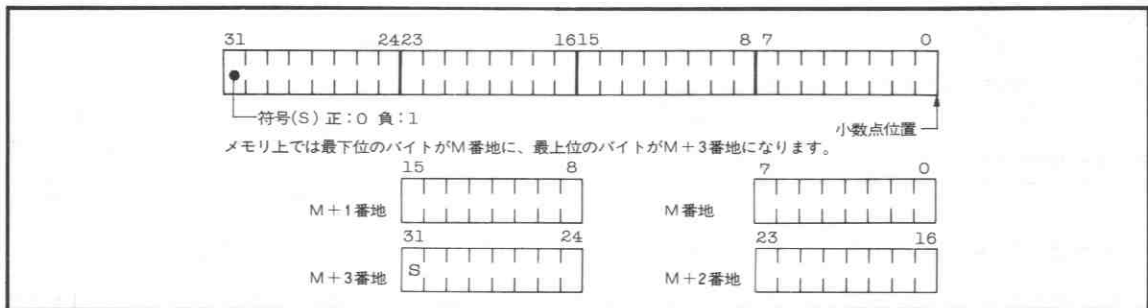


## (2) 32ビット2進数

32ビット構成の2進数であり、負の値は2の補数で表します。

表現できる数Nの範囲は $-2^{31} \leq N \leq 2^{31}-1$ すなわち $-2147483648 \sim 2147483647$ です。

図5 32ビット2進数のビット構成



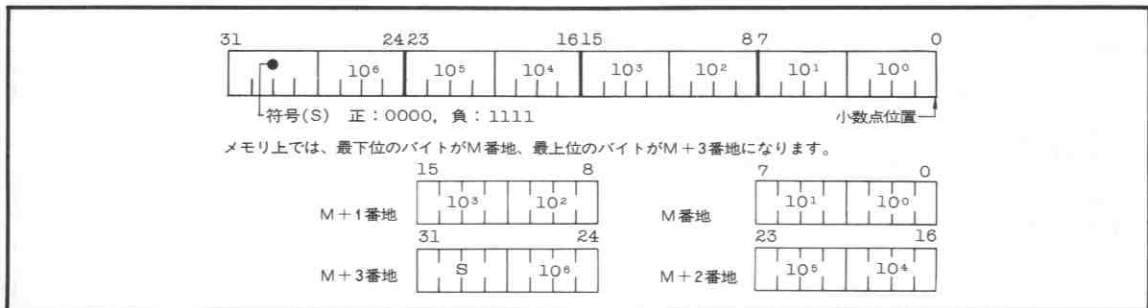
## (3) 32ビット10進数

32ビット構成の10進数で、7桁の数値部と1桁の符号部で構成

されています。表現できる数Nの範囲は $-10^7+1 \leq N \leq 10^7-1$

すなわち $-9999999 \sim 9999999$ です。

図6 32ビット10進数のビット構成



## MELPS 8/85 サブルーチン: 整数演算

マスクROM M58730-001S

## 5. サブルーチン機能一覧表

サブ ルーチン 名	項目 処 理 内 容	ステップ数	絶対番地 16進数 (10進数)	トランス ファクタ 絶対番地	処理時間 (最大) 単位: ms
LDAC	1語長(2バイト)のデータを疑似アキュムレータにロードします。 (注5)	19	60B7 (24576)	TVTB (注6)	0.2
STAC	疑似アキュムレータ上の1語長(2バイト)のデータを指定された エリアにストアします。	14	60CA (24778)	TVTB+3	0.2
LDDL	2語長(4バイト)のデータを疑似アキュムレータにロードします。	20	60D8 (24792)	TVTB+6	0.3
STD L	疑似アキュムレータ上の2語長(4バイト)のデータを指定された エリアにストアします。	20	60EC (24812)	TVTB+9	0.3
SLDL	疑似アキュムレータの内容を2語長(4バイト)のパターンで左へ nビットシフトします。エラー処理はシフトするビット数nが、 $n \leq 0$ 又は $n \geq 33$ の時、Aレジスタに1をセットします。この時疑似アキュ ムレータは変化しません。	39	6100 (24832)	TVTB+21	0.3
SRDL	疑似アキュムレータの内容を2語長(4バイト)のパターンで右へ nビットシフトします。エラー処理はシフトするビット数nが、 $n \leq 0$ 、又は $n \geq 33$ の時、Aレジスタに1をセットします。この時疑似アキュム レータは変化しません。	39	6127 (24871)	TVTB+24	0.3
ARDL	疑似アキュムレータの内容を1語長(2バイト)のパターンで右へ nビットアリスティックシフトします。エラー処理はシフトするビ ット数nが $n \leq 0$ 又は、 $n \geq 32$ の時、Aレジスタに1をセットします。 この時疑似アキュムレータは変化しません。	64	614E (24910)	TVTB+27	0.3
XRAC	疑似アキュムレータの内容と、指定された1語長(2バイト)のデー タの排他的論理和をとり、結果を疑似アキュムレータにストアします。	18	618E (24974)	TVTB+18	0.2
NDAC	疑似アキュムレータの内容と、指定された1語長(2バイト)のデー タの論理積をとり、結果を疑似アキュムレータにストアします。	18	61A0 (24992)	TVTB+12	0.2
ORAC	疑似アキュムレータの内容と、指定された1語長(2バイト)のデー タの論理和をとり、結果を疑似アキュムレータにストアします。	18	61B2 (25010)	TVTB+15	0.2
ADAC	疑似アキュムレータの内容に、指定された1語長(2バイト)のデー タを2進で加算し、結果を疑似アキュムレータにストアします。エ ラー処理は加算後上バイトからのキャリーが発生した場合に、Aレジ スタに1をセットします。キャリーが発生しない場合は、Aレジスタは0です。	(注7) 12+(20)	61C4 (25028)	TVTB+30	0.3
ADDL	疑似アキュムレータの内容に指定された2語長(4バイト)のデー タを2進で加算し、結果を疑似アキュムレータにストアします。エ ラー処理は加算後上バイトからのキャリーが発生した場合に、Aレ ジスタに1をセットします。キャリーが発生しない場合は、Aレジ スタは0です。	(注7) 12+(22)	61D0 (25040)	TVTB+36	0.3
SBAC	疑似アキュムレータの内容から、指定された1語長(2バイト)の データを2進で減算し、結果を疑似アキュムレータにストアします。 エラー処理は減算後ポローが発生した場合に、Aレジスタに1をセ ットします。ポローが発生しない場合は、Aレジスタは0です。	(注7) 12+(20)	61F0 (25072)	TVTB+33	0.3
SBDL	疑似アキュムレータの内容から指定された2語長(4バイト)のデー タを2進で減算し、結果を疑似アキュムレータにストアします。 エラー処理は減算後ポローが発生した場合に、Aレジスタに1をセ ットします。ポローが発生しない場合は、Aレジスタは0です。	(注7) 12+(22)	61FC (25084)	TVTB+39	0.3
MLAC	疑似アキュムレータ上の1語長(2バイト)と指定された1語長(2バ イト)のデータを乗算し結果を疑似アキュムレータにストアします。	67	621E (25118)	TVTB+42	12
DVAC	疑似アキュムレータ上の2語長(4バイト)を指定された1語長 (2バイト)のデータで除算し、結果を疑似アキュムレータにストア します。上語が答、下語が余りです。エラー処理は除数が0の場合  被除数の上16ビット  $\geq$  除数 の場合に、Aレジスタに1をセ ットします。この時疑似アキュムレータは変化しません。	195	6261 (25185)	TVTB+45	15
DCAD	疑似アキュムレータ上の内容に指定された2語長(4バイト)のデー タを10進で加算し、結果を疑似アキュムレータにストアします。 エラー処理は加算後オーバーフロー(8桁以上)した場合にAレジ スタに1をセットします。	(注7) 12+(155)	6324 (25380)	TVTB+48	0.7
DCSB	疑似アキュムレータの内容から指定された2語長(4バイト)のデー タを10進で減算し結果を疑似アキュムレータにストアします。エ ラー処理は減算後オーバーフロー(8桁以上)した場合、Aレジスタに1をセットします。	(注7) 12+(155)	6330 (25392)	TVTB+51	1.3

注5. 疑似アキュムレータとは、RAM上に仮想的に確保した  
2語長(4バイト)のレジスタです。

6. トランスファクタの先頭番地(TVTB)は24576番地です。

注7. ( )内の数字は、共通ルーチンのバイト数です。

8. 各サブルーチンの合計が800バイト、トランスファクタ54バ  
イト、B, C, D, E, H, L各レジスタの回避及び復帰のルーチンに  
129バイト、合計983バイトです。

## MELPS 8/85 サブルーチン: 整数演算

マスクROM M58730-001S

## 6. 基本コーリング方法

各サブルーチンの基本コーリング方法を下記に示します。

ラベル欄	命令欄	オペランド欄
1 2 3 4 5 6 7	8 9 10 11 12 13	14 15 16 17 18 19 20
	CALL	SUB
	DADR	ABC
ABC	BSS	

—— コールしたいサブルーチンの名前(SUB)を記述します。

—— 各サブルーチンが必要とするデータ設定及び領域設定のための先頭番地です。

—— 各サブルーチンが必要とするデータ設定及び領域設定です。

次に使用例を示します。これは、2つの4バイトの2進データを加算し、結果をWORK~WORK+3番地にストアするプログラムです。

ラベル欄	命令欄	オペランド欄
1 2 3 4 5 6 7	8 9 10 11 12 13	14 15 16 17 18 19 20
	ORG	3700#
TVT	EQU	24567
LDDL	EQU	TVT+6
STD	EQU	TVT+9
ADD	EQU	TVT+36
DATA	DEF	9C#
	DEF	2A#
	DEF	45#
	DEF	03#
ABC	DEF	09#
	DEF	23#
	DEF	19#
	DEF	0A#
WORK	BSS	4
	CALL	LDDL
	DADR	DATA
	CALL	ADD
	DADR	ABC
	CALL	STD
	DADR	WORK
	END	

—— プログラムの先頭番地です。

—— トランスファベクタの先頭番地です。

—— サブルーチンLDDLのトランスファベクタの絶対番地です。

—— サブルーチンSTDのトランスファベクタの絶対番地です。

—— サブルーチンADDのトランスファベクタの絶対番地です。

—— 被演算数

—— 演算数

—— 演算結果をストアする領域を4バイト確保します。

—— 被演算数を疑似アキュムレータにロードします。

—— 疑似アキュムレータの内容と演算数の加算をし疑似アキュムレータにストアします。

—— 演算結果をWORK~WORK+3番地にストアします。

注9. #は16進数を表します。



マスタスレーブ方式のマルチマイクロコンピュータによるデータ転送

概要

三菱基板コンピュータ(PCA0801)を3台用いて、マスタスレーブ方式のコンピュータシステムを構成し、基板コンピュータ間でデータの転送を実行します。このようなシステムを更に発展させれば、マスタコンピュータの負荷の軽減、システムとしての処理機能の向上などに大いに寄与できます。これは、PPI(プログラマブルペリフェラルインターフェースM5L 8255AP)のモード2の応用例の1つです。

機能概要

このシステムは、3台の三菱基板コンピュータ(PCA0801)の内、1台をマスタマイクロコンピュータに割り当て、残りの2台をスレーブマイクロコンピュータに割り当てて構成されます。基板コンピュータ(PCA0801)に実装されているPPI(M5L 8255 AP)2個の内、#1(C.W.=0316)をモード2にセットすることにより、ポートPAを双方向性データバスポートとして用い、データを基板コンピュータ相互間で転送することができます。

動作説明

1. マスタコンピュータは、自分のEPROM(M5L 2708K) #2の中に格納されている200バイトのデータをポートPA(PA<sub>0</sub>~PA<sub>7</sub>)を介して、スレーブコンピュータ #1 に転送します。スレーブ #1 は、得られたデータを反転して自分のRAM(M5L 2111AP)の中に格納し、その反転データをマスタに転送します。その結果得られたデータを、マスタコンピュータは自分のRAMの中に格納します。
2. マスタは、データRAMの200バイトのデータをスレーブ #2 に転送します。スレーブ #2 は、得られたデータを自分のRAMに反転格納し、これをマスタに転送します。
3. マスタは、そのデータを再度自分のRAMに格納した後、格納データの調査ルーチンへ移行し、自分のEPROMとRAMの内

容が200バイト正しいかどうかチェックします。

4. 正しければ、インディケータとしてLED1を点灯させ、誤っていれば、LED2を点灯して実行が終了します。

LEDのオン/オフの表示内容を表1に示します。CPUのコントロールの遷移順序にもとづいて示してあるので、LED0~LED2の点灯状態によって、マスタの動作状態を容易に知ることができます。

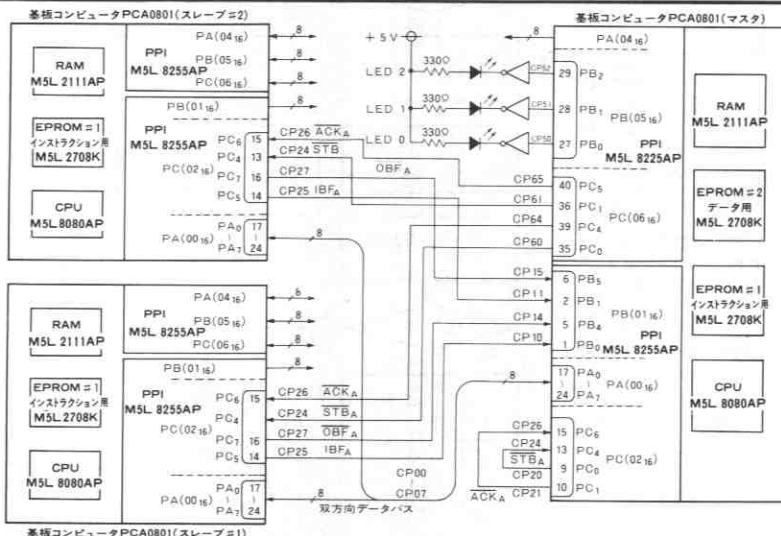
表1. LEDの表示内容

CPU遷移	LED 0	LED 1	LED 2	表示内容
Y	0	0	0	システムはまだデータのやりとりをしていません。
	0	0	1	マスタとスレーブ #1間で通信が開かれず、システムは稼動していません。
	ON	0	0	マスタとスレーブ #1間で、データのやりとりが開始されます。
	1	0	0	マスタとスレーブ #1間で、データのやりとりが継続中です。
	OFF	0	0	マスタとスレーブ #1間でのデータのやりとりが終了しました。
	0	0	0	システムは5秒ディレイのルーチンへ入っています。
	0	0	1	マスタとスレーブ #2間で通信が開かれず、システムはアイドル状態になります。
	ON	ON	ON	マスタとスレーブ #2間でデータのやりとりが開始されました。
	1	1	1	マスタとスレーブ #2間で、データのやりとりが継続中です。
	0	1	0	システムのデータ転送が終了し、正常にデータがやりとりされました。
	0	0	1	システムのデータ転送が終了し、やりとりされたデータに異常がありました。

注1. ONはオンの瞬間、OFFはオフの瞬間を表します。

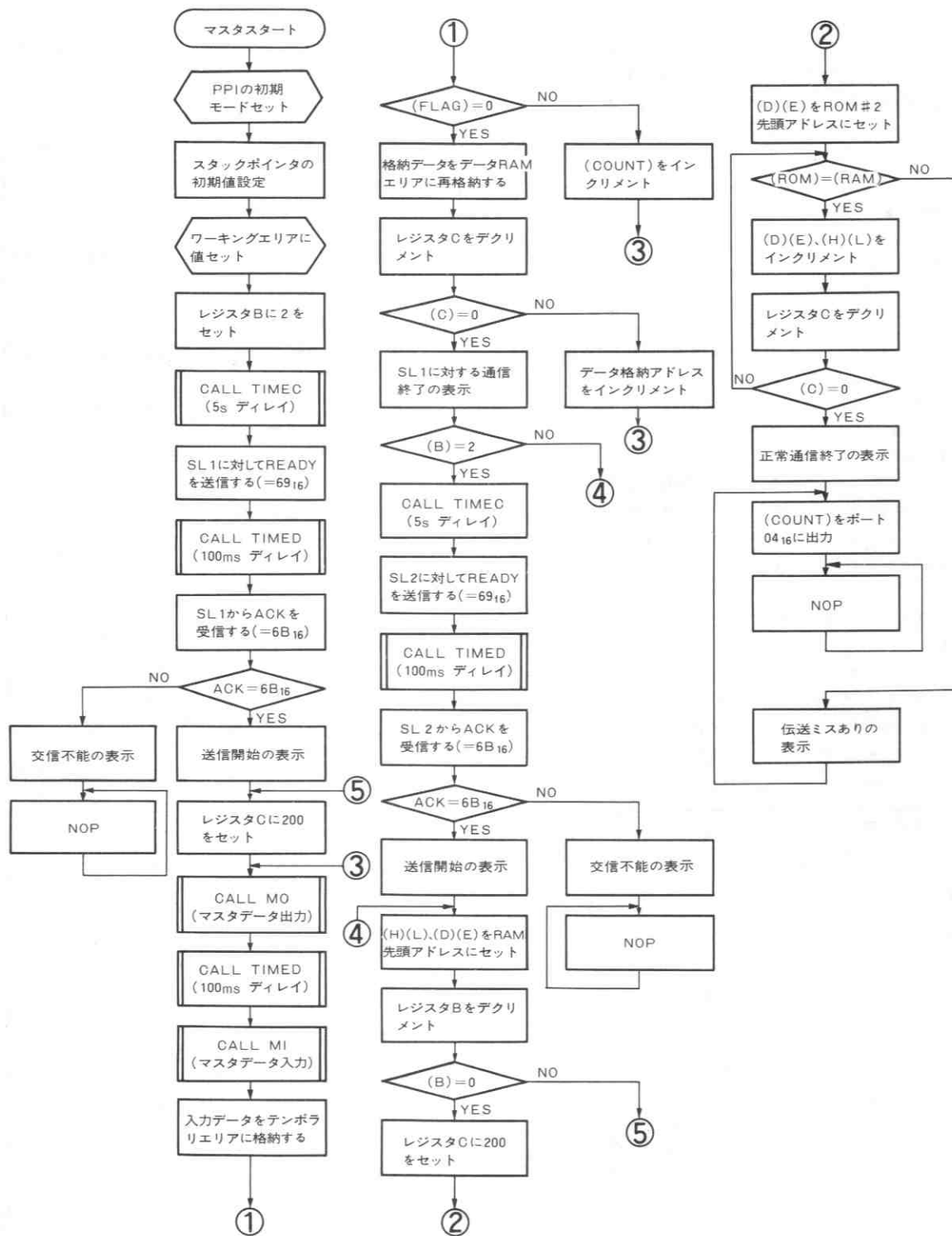
2. スレーブコンピュータ #1、#2は、マスタコンピュータより先に動作している必要があります。

応用回路例



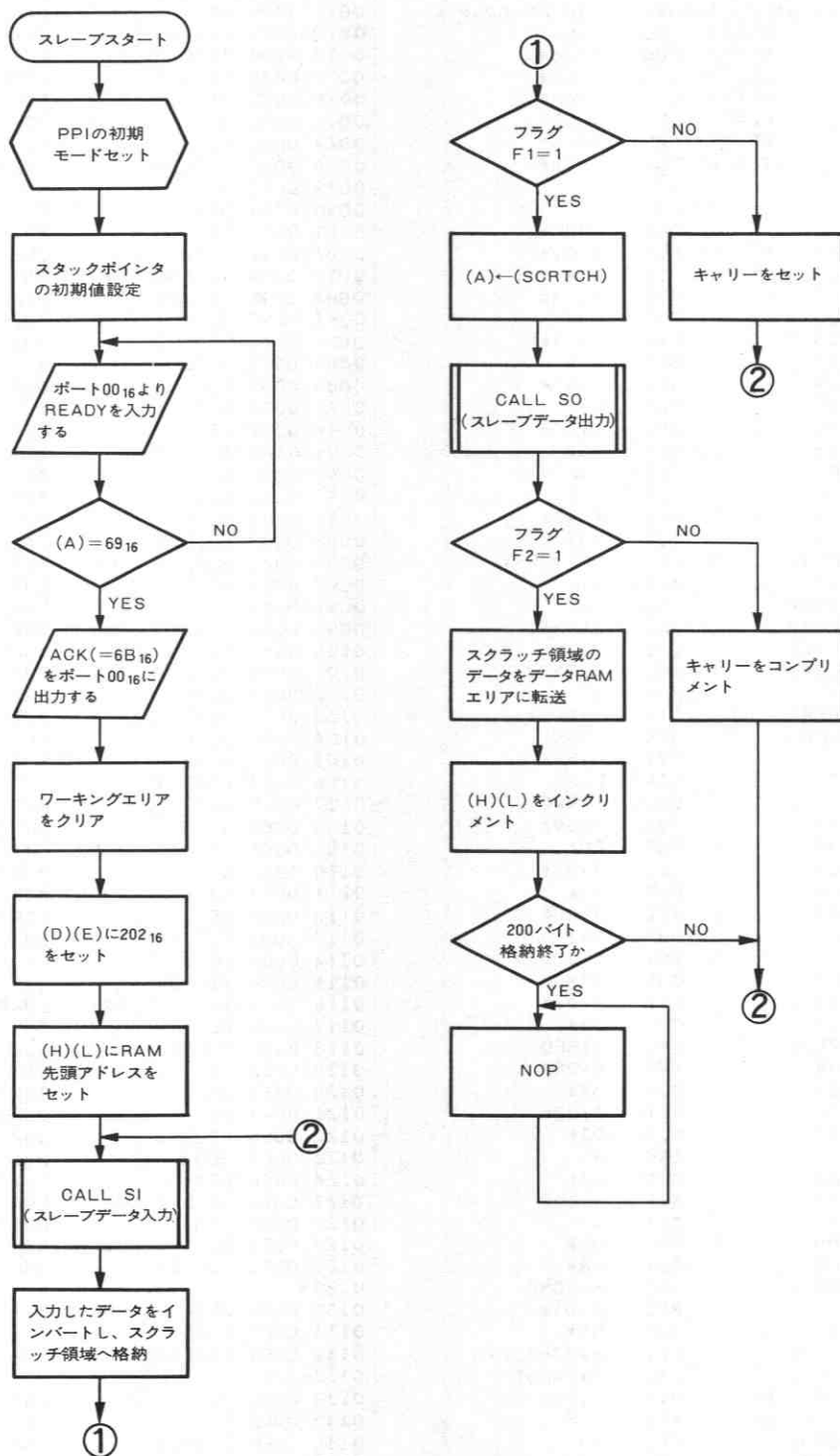
マスタスレーブ方式のマルチマイクロコンピュータによるデータ転送

図1. マスタマイクロコンピュータフローチャート



## マスタスレーブ方式のマルチマイクロコンピュータによるデータ転送

図2. スレーブマイクロコンピュータフローチャート



## 三菱基板コンピュータ MELCS 8/2 の応用

## マスタスレーブ方式のマルチマイクロコンピュータによるデータ転送

## マスタマイクロコンピュータ メイン プログラム リスト

\*\*CROSS ASSEMBLER OF 8-BIT MICROPROCESSOR

```

0001*** MASTER MICROCOMPUTER MAIN PROGRAM ***
0002 0400 ROM2ST EQU 0400#
0003 4000 RAMST EQU 4000#
0004 40C8 DSTNT1 EQU 40C8#
0005 40CA DSTNT2 EQU 40CA#
0006 40CC FLAG EQU 40CC#
0007 40CD COUNT EQU 40CD#
0008 40CE TEMPRY EQU 40CE#
0009*
0010*
0011 0000 ORG 0000#
0012 0000 3EC2 MASTER MVI A,C2#
0013 0002 D303 OUT 03#
0014 0004 3E01 MVI A,01#
0015 0006 D303 OUT 03#
0016 0008 3E03 MVI A,03#
0017 000A D303 OUT 03#
0018 000C 3E80 MVI A,80#
0019 000E D307 OUT 07#
0020 0010 3E00 MVI A,00#
0021 0012 D305 OUT 05#
0022 0014 3EFF MVI A,FF#
0023 0016 D306 OUT 06#
0024 0018 3EAA MVI A,AA#
0025 001A D304 OUT 04#
0026 001C 31FF40 LXI SP,40FF#
0027 001F 0602 MVI B,2
0028 0021 21DD01 LXI H,X
0029 0024 22C840 SHLD DSTNT1
0030 0027 21E501 LXI H,Y
0031 002A 22CA40 SHLD DSTNT2
0032 002D AF XRA A
0033 002E 32CE40 STA TEMPRY
0034 0031 32CD40 STA COUNT
0035 0034 3E59 MVI A,59#
0036 0036 32CC40 STA FLAG
0037 0039 CD1201 CALL TIMEC
0038 003C 3E69 MVI A,69#
0039 003E D300 OUT 00#
0040 0040 3E02 MVI A,02#
0041 0042 D303 OUT 03#
0042 0044 3E00 MVI A,00#
0043 0046 D307 OUT 07#
0044 0048 3C INR A
0045 0049 D307 OUT 07#
0046 004B 3E03 MVI A,03#
0047 004D D303 OUT 03#
0048 004F CD2E01 CALL TIMED
0049 0052 3E08 MVI A,08#
0050 0054 D307 OUT 07#
0051 0056 3E00 MVI A,00#
0052 0058 D303 OUT 03#
0053 005A 3C INR A
0054 005B D303 OUT 03#
0055 005D 3E09 MVI A,09#
0056 005F D307 OUT 07#
0057 0061 DB00 IN 00#
0058 0063 D66B SUI 6B#
0059 0065 C20B01 JNZ NOCOMC
0060 0068 3E01 MVI A,01#
0061 006A D305 OUT 05#
0062 006C 210004 LXI H,ROM2ST
0063 006F 110040 LXI D,RAMST
0064 0072 0EC8 RPT2 MVI C,200
0065 0074 7E RPT1 MOV A,M
0066 0075 CD5501 CALL MC
0067 0078 CD2E01 CALL TIMED
0068 007B CD6001 CALL MI
0069 007E 32CE40 STA TEMPRY
0070 0081 3ACC40 LDA FLAG
0071 0084 B7 ORA A
0072 0085 C20101 JNZ SUM
0073 0088 3ACE40 LDA TEMPRY
0074 008B EB XCHG
0075 008C 77 MOV M,A
0076 008D 0D DCR C
0077 008E EB XCHG
0078 008F C2FC00 JNZ YET
0079 0092 3E00 MVI A,00#
0080 0094 D305 OUT 05#
0081 0096 78 MOV A,B
0082 0097 FE02 CPI 02#
0083 0099 C2CF00 JNZ S2END
0084 009C CD1201 CALL TIMEC
0085 009F 3E69 MVI A,69#
0086 00A1 D300 OUT 00#
0087 00A3 3E02 MVI A,02#
0088 00A5 D303 OUT 03#
0089 00A7 3E02 MVI A,02#
0090 00A9 D307 OUT 07#
0091 00AB 3C INR A
0092 00AC D307 OUT 07#
0093 00AE 3E03 MVI A,03#
0094 00B0 D303 OUT 03#
0095 00B2 CD2E01 CALL TIMED
0096 00B5 3E0A MVI A,0A#
0097 00B7 D307 OUT 07#
0098 00B9 3E00 MVI A,00#
0099 00BB D303 OUT 03#
0100 00BD 3C INR A
0101 00BE D303 OUT 03#
0102 00C0 3E0B MVI A,0B#
0103 00C2 D307 OUT 07#
0104 00C4 DB00 IN 00#
0105 00C6 D66B SUI 6B#
0106 00C8 C20B01 JNZ NOCOMC
0107 00CB 3E07 MVI A,07#
0108 00CD D305 OUT 05#
0109 00CF 210040 S2END LXI H,RAMST
0110 00D2 54 MOV D,H
0111 00D3 5D MOV E,L
0112 00D4 05 DCR B
0113 00D5 C27200 JNZ RPT2
0114 00D8 0ECB MVI C,200
0115 00DA 110004 LXI D,ROM2ST
0116 00DD 1A SCAN LDAX D
0117 00DE BE CMP M
0118 00DF C2F500 JNZ TRMERR
0119 00E2 13 INX D
0120 00E3 23 INX H
0121 00E4 0D DCR C
0122 00E5 C2DD00 JNZ SCAN
0123 00E8 3E02 MVI A,02#
0124 00EA D305 OUT 05#
0125 00EC 3ACD40 NO2 LDA COUNT
0126 00EF D304 OUT 04#
0127 00F1 00 NO1 NOP
0128 00F2 C3F100 JMP NO1
0129*
0130 00F5 3E04 TRMERR MVI A,04#
0131 00F7 D305 OUT 05#
0132 00F9 C3EC00 JMP NO2
0133*
0134 00FC 23 YET INX H
0135 00FD 13 INX D
0136 00FE C37400 JMP RPT1
0137*
0138*** NO-PASS SUM ***
0139*

```

## 三菱基板コンピュータ MELCS 8/2 の応用

マスタスレーブ方式のマルチマイクロコンピュータによるデータ転送

```

0140 0101 3ACD40 SUM LDA COUNT
0141 0104 3C INR A
0142 0105 32CD40 STA COUNT
0143 0108 C37400 JMP RPT1
0144*
0145*
0146*** NOCOMMUNICATE ***
0147*
0148 010B 3E04 NOCOMC MVI A,04#
0149 010D D305 OUT 05#
0150 010F C3F100 JMP NO1
0151*
0152*** SUBROUTINE TIMEC ***
0153*
0154 0112 1E32 TIMEC MVI E,50
0155 0114 CD2E01 TIMEC1 CALL TIMED
0156 0117 1D DCR E
0157 0118 CA1E01 JZ TIMEC2
0158 011B C31401 JMP TIMEC1
0159 011E C9 TIMEC2 RET
0160*
0161*
0162*
0163*** SUBROUTINE TIMEF ***
0164 011F D5 TIMEF PUSH D
0165 0120 1E0A MVI E,10
0166 0122 CD2E01 TIMEF1 CALL TIMED
0167 0125 1D DCR E
0168 0126 CA2C01 JZ TIMEF2
0169 0129 C32201 JMP TIMEF1
0170 012D D1 TIMEF2 POP D
0171 012D C9 RET
0172*
0173*** SUBROUTINE TIMED ***
0174*
0175 012E F5 TIMED PUSH PSW
0176 012F C5 PUSH B
0177 0130 D5 PUSH D
0178 0131 E5 PUSH H
0179 0132 1614 MVI D,20
0180 0134 0E14 MVI C,20
0181 0136 06C8 TIMED6 MVI B,200
0182 0138 3EC8 MVI A,200
0183 013A C33D01 TIMED1 JMP TIMED2
0184 013D C34001 TIMED2 JMP TIMED3
0185 0140 05 TIMED3 DCR B
0186 0141 3D DCR A
0187 0142 CA4801 JZ TIMED4
0188 0145 C33A01 JMP TIMED1
0189 0148 15 TIMED4 DCR D
0190 0149 0D DCR C
0191 014A CA5001 JZ TIMED7
0192 014D C33601 JMP TIMED6
0193 0150 E1 TIMED7 POP H
0194 0151 D1 POP D
0195 0152 C1 POP B
0196 0153 F1 POP PSW
0197 0154 C9 RET
0198*
0199*
0200*** SUBROUTINE MO ***
0201*
0202 0155 D300 MO OUT 00#
0203 0157 D5 PUSH D
0204 0158 110202 LXI D,202#
0205 015B CD6B01 CALL DECODO
0206 015E D1 POP D
0207 015F C9 RET
0208*
0209*
0210*** SUBROUTINE MI ***
0211*
0212 0160 D5 MI PUSH D
0213 0161 110202 LXI D,202#
0214 0164 CDA201 CALL DECODI
0215 0167 DB00 IN 00#
0216 0169 D1 POP D
0217 016A C9 RET
0218*
0219*
0220*** SUBROUTINE DECODO ***
0221*
0222 016B E5 DECODO PUSH H
0223 016C D5 PUSH D
0224 016D 2AC840 LHL D DSTNT1
0225 0170 DB01 MIBF IN 01#
0226 0172 A6 ANA M
0227 0173 C29B01 JNZ MIBFP
0228 0176 3E02 MVI A,02#
0229 0178 D303 OUT 03#
0230 017A 23 INX H
0231 017B 7E MOV A,M
0232 017C D307 OUT 07#
0233 017E 3C INR A
0234 017F D307 OUT 07#
0235 0181 3E03 MVI A,03#
0236 0183 D303 OUT 03#
0237 0185 79 MOV A,C
0238 0186 D601 SUI 01#
0239 0188 CA9701 JZ FINE1
0240 018B 2B DCX H
0241 018C 22C840 STORE1 SHLD DSTNT1
0242 018F 3E24 MVI A,24#
0243 0191 32CC40 STA FLAG
0244 0194 D1 NOIBF POP D
0245 0195 E1 POP H
0246 0196 C9 RET
0247 0197 23 FINE1 INX H
0248 0198 C38C01 JMP STORE1
0249 019B 15 MIBFP DCR D
0250 019C C27001 JNZ MIBF
0251 019F C39401 JMP NOIBF
0252*
0253*
0254*** SUBROUTINE DECODI ***
0255*
0256 01A2 E5 DECODI PUSH H
0257 01A3 D5 PUSH D
0258 01A4 2ACA40 LHL D DSTNT2
0259 01A7 DB01 MOBF IN 01#
0260 01A9 A6 ANA M
0261 01AA C2D601 JNZ MOBF
0262 01AD 23 INX H
0263 01AE 7E MOV A,M
0264 01AF D307 OUT 07#
0265 01B1 3E00 MVI A,00#
0266 01B3 D303 OUT 03#
0267 01B5 3E01 MVI A,01#
0268 01B7 D303 OUT 03#
0269 01B9 7E MOV A,M
0270 01BA 3C INR A
0271 01BB D307 OUT 07#
0272 01BD 79 MOV A,C
0273 01BE D601 SUI 01#
0274 01C0 CAD201 JZ FINE2
0275 01C3 2B DCX H
0276 01C4 22CA40 STORE2 SHLD DSTNT2
0277 01C7 3ACC40 LDA FLAG
0278 01CA D624 SUI 24#
0279 01CC 32CC40 STA FLAG
0280 01CF D1 NOBF POP D
0281 01D0 E1 POP H

```

## 三菱基板コンピュータ MELCS 8/2 の応用

マスタスレーブ方式のマルチマイクロコンピュータによるデータ転送

```

0282 01D1 C9          RET
0283 01D2 23          FINE2 INX H
0284 01D3 C3C401     JMP STORE2
0285 01D6 1D          M0BFP DCR E
0286 01D7 C2A701     JNZ M0BF
0287 01DA C3CF01     JMP N00BF
0288*
0289*
0290* SELECTIVE CHARACTER 0 TEIGI SURU *
0291 01DD 01          X DEF 01#
0292 01DE 00          DEF 00#
0293 01DF 02          DEF 02#
0294 01E0 02          DEF 02#
0295 01E1 04          DEF 04#
0296 01E2 04          DEF 04#
0297 01E3 08          DEF 08#
0298 01E4 06          DEF 06#
0299 01E5 10          Y DEF 10#
0300 01E6 08          DEF 08#
0301 01E7 20          DEF 20#
0302 01E8 0A          DEF 0A#
0303 01E9 40          DEF 40#
0304 01EA 0C          DEF 0C#
0305 01EB 80          DEF 80#
0306 01EC 0E          DEF 0E#
0307 0000             END MASTER

```

スレーブマイクロコンピュータ メイン プログラムリスト

\*\*CROSS ASSEMBLER OF 8-BIT MICROPROCESSOR

```

0001*** SLAVE MICROCOMPUTER MAIN PROGRAM ***
0002*
0003*
0004 4000             RAMST EQU 4000#
0005 40D0             SCRTCH EQU 40D0#
0006 40D1             F1 EQU 40D1#
0007 40D2             F2 EQU 40D2#
0008*
0009 0000             ORG 0000#
0010 0000 3ECO        SLAVE MVI A,C0#
0011 0002 D303        OUT 03#
0012 0004 3E81        MVI A,B1#
0013 0006 D307        OUT 07#
0014 0008 31FF40      LXI SP,4CFF#
0015 000B DB00        WAIT IN 00#
0016 000D D669        SUI 69#
0017 000F C20B00      JNZ WAIT
0018 0012 3E6B        MVI A,6B#
0019 0014 D300        OUT 00#
0020 0016 AF          XRA A
0021 0017 32D140      STA F1
0022 001A 32D240      STA F2
0023 001D 110202      LXI D,202#
0024 0020 210040      LXI H,RAMST
0025 0023 CD5500      BACK1 CALL SI
0026 0026 2F          CMA
0027 0027 32D040      STA SCRTCH
0028 002A 3AD140      LDA F1
0029 002D B7          ORA A
0030 002E CA4D00      JZ NOPAS1
0031 0031 3AD040      LDA SCRTCH
0032 0034 CD7100      CALL S0
0033 0037 3AD240      LDA F2
0034 003A B7          ORA A
0035 003B CA5100      JZ NOPAS2
0036 003E 3AD040      LDA SCRTCH
0037 0041 77          MOV M,A
0038 0042 23          INX H
0039 0043 7D          MOV A,L
0040 0044 FEC8        CPI C8#
0041 0046 DA2300      JC BACK1
0042 0049 00          NO NOP
0043 004A C34900      JMP NO
0044*
0045*** NOPASS 1 ***
0046*
0047 004D 37          NOPAS1 STC
0048 004E C32300      JMP BACK1
0049*
0050*** NOPASS 2 ***
0051 0051 3F          NOPAS2 CMC
0052 0052 C32300      JMP BACK1
0053*
0054                 EJE
0055*
0056*** SUBROUTINE SI ***
0057*
0058 0055 D5          SI PUSH D
0059 0056 DB02        SIBF IN 02#
0060 0058 E620        ANI 20#
0061 005A C26700      JNZ SIN
0062 005D 15          DCR D
0063 005E C25600      JNZ SIBF
0064 0061 AF          XRA A
0065 0062 32D140      STA F1
0066 0065 D1          SIND POP D
0067 0066 C9          RET
0068 0067 3E01        SIN MVI A,01#
0069 0069 32D140      STA F1
0070 006C DB00        IN 00#
0071 006E C36500      JMP SIND
0072*
0073*
0074*** SUBROUTINE S0 ***
0075*
0076 0071 F5          S0 PUSH PSW
0077 0072 D5          PUSH D
0078 0073 DB02        SOBFB IN 02#
0079 0075 E680        ANI 80#
0080 0077 C28500      JNZ SOUT
0081 007A 1D          DCR E
0082 007B C27300      JNZ SOBFB
0083 007E AF          XRA A
0084 007F 32D240      STA F2
0085 0082 D1          POP D
0086 0083 F1          POP PSW
0087 0084 C9          RET
0088 0085 3E01        SOUT MVI A,01#
0089 0087 32D240      STA F2
0090 008A D1          POP D
0091 008B F1          POP PSW
0092 008C D300        OUT 00#
0093 008E C9          RET
0094 0000             END SLAVE

```

本社

東京都千代田区丸の内2丁目2番3号/三菱電機ビル  
☎100-東京(03)218-3347

大阪営業所

大阪市北区梅田2丁目3番24号/西阪神ビル  
☎530-大阪(06)347-2444

名古屋営業所

名古屋市中村区名駅3丁目/大名古屋ビル  
☎450-名古屋(052)565-3264

九州営業所

福岡市中央区天神2丁目12番1号/天神ビル  
☎810-福岡(092)721-2145

札幌営業所

札幌市中央区北二条西4丁目1番地/北海道ビル  
☎060-91-札幌(011)212-3741

東北営業所

仙台市大町1丁目1番30号/新仙台ビル  
☎980-仙台(022)64-5654

北陸営業所

富山市桜木町1町29号/明治生命館  
☎930-富山(0764)42-2326

中国営業所

広島市中町7番32号/日本生命ビル  
☎730-広島(0822)48-5270

四国営業所

高松市丸の内2番5号/ヨンデンビル別館  
☎760-高松(0878)51-0001

新潟営業所

新潟市東大通2丁目4番10号/日本生命ビル  
☎950-新潟(0252)41-7216

静岡営業所

静岡市伝馬町16の3番地/明治生命静岡支社  
☎420-静岡(0542)54-4681代表

長崎営業所

長崎市丸尾町7番8号/長崎底曳会館  
☎852-長崎(0958)23-6101代表

岡山営業所

岡山市駅前町1丁目9番15号/明治生命ビル  
☎700-岡山(0862)25-5171

---

編者との申し合わせに  
より検印を省略します

79 三菱半導体データブック  
マイクロコンピュータ関連LSI編

NDC 548

昭和54年5月15日 第1版発行©

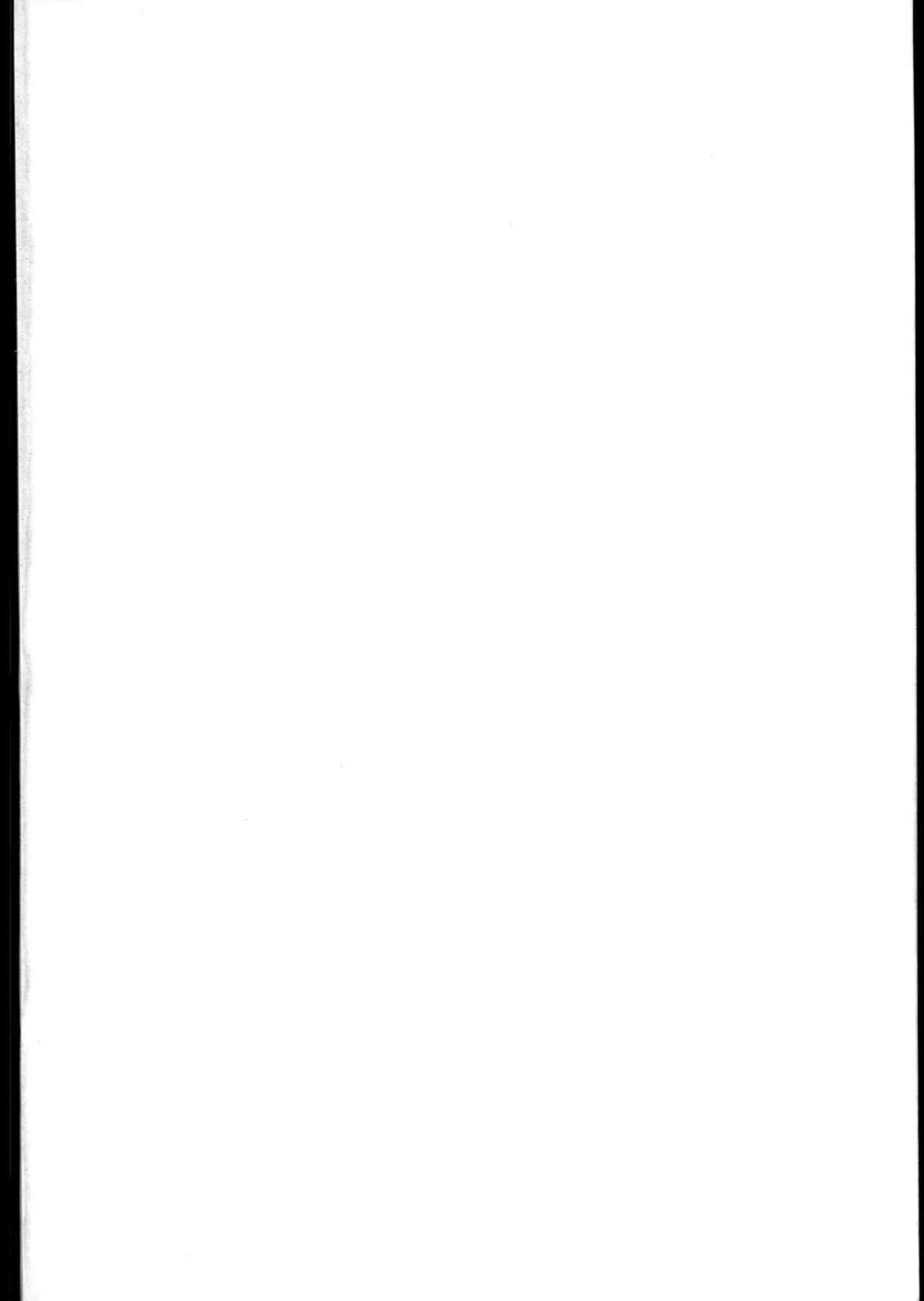
定価 2,700円

編 者 三菱電機半導体データブック編集委員会  
発 行 者 三菱電機(株)半導体事業部  
発 売 元 暨 誠 文 堂 新 光 社  
東京都千代田区神田錦町1の5  
郵便番号 101  
電 話 (292) 1 2 1 1 (代表)  
振替口座 東京 7-6294

制作・総美企画 印刷・(株)東都工芸印刷

落丁乱丁本はお取り替えます Printed in Japan





'79三菱半導体データブック■マイクロコンピュータ関連LSI編 <HB-0001>

定価 2,700円

 三菱電機株式会社

3055 — 3854