

フェランティ  
データコンバータ

ZN404

ZN425

ZN432

ZN440

# Data Converters Voltage References

ZN450

ZN450J

ZN450B

ZN4REF

データ・ブック  
アプリケーション・ノート



# ZN400/500シリーズ データ コンバータ

フェランティ社ではモノリシックの各種A/DおよびD/AコンバータICを製造しております。

本データ・ブック/アプリケーション・ノートにはこれらの内の6・8・10ビットA/Dコンバータ、4・8ビットD/Aコンバータおよび3½桁DVM・ICのデータを記載し、さらにデータ変換の原理およびマイクロプロセッサとのインターフェイスを中心とするアプリケーションに付いて述べてあります。

ここで取り上げておりますコンバータおよび精密基準電圧ICの概要は次の通りです。

## (1) ZN404 2.45V精密基準電圧

ZN404は70°Cにおける出力ドリフトが、1000時間当たり±10ppmと非常に安定性の高い精密基準電圧です。また、パッケージは2端子のキャンで、平滑用コンデンサを外付する必要はありません。

## (2) ZN423 1.26V精密基準電圧

ZN423はベース・エミッタ接合のエネルギー・バンド・ギャップ電圧を利用して精密で安定した1.26Vの基準電圧を発生するICです。このICの温度係数は従来のツェナー・ダイオードと違い電流に関係なく一定で、100ppm/°Cです。

## (3) ZN425 8ビット モノリシックD/AおよびA/Dコンバータ

ZN425は段階またはランプ方式(Staircase or Ramp)による8ビットのA/DまたはD/Aの両変換に使えるコンバータで、原理上A/D時の変換速度は遅く1mS、またD/A時のセントリング時間は1μSです。本方式のA/D・D/Aコンバータは応用範囲が広くランプ・ゼネレータ、ピーク検出、チャンネル選択等に使用できます。

## (4) ZN426 8ビット モノリシックD/Aコンバータ

ZN426は前述のZN425のD/A部分のみを内蔵したICで、仕様はZN425のD/Aに相当する部分と同じですがパッケージは14端子DILです。(ZN425は16端子DIL)

## (5) ZN427 8ビット モノリシックA/Dコンバータ

ZN427は逐次比較方式(Successive Approximation)による8ビットA/Dコンバータで変換速度が比較的速く900kHzのクロックで10μSです。+2.5Vの精密基準電圧発生回路を内蔵しており、8ビットのデジタル出力は3ステートになっております。

## (6) ZN428 8ビット モノリシックD/Aコンバータ

ZN428は8ビットD/Aコンバータでセトリング時間800nS、+2.5Vの精密基準電圧発生回路を内蔵しています。デジタル入力はラッチ付となっており、前述のZN427(A

/D)と対になるD/Aコンバータです。

(7) ZN429 8ビット モノリシックD/Aコンバータ

ZN429は前述のZN428を簡単化した8ビットのD/Aコンバータで、精密基準電圧発生回路およびデジタル入力部のラッチ機能は有りません。セトリング時間は $1\mu\text{S}$ でパッケージは14端子DILまたはSO-14です。(ZN428は16端子DIL)

(8) ZN432 10ビット モノリシックA/Dコンバータ

ZN432は逐次比較方式(Successive Approximation)による10ビットA/Dコンバータで変換速度は550kHzのクロックで $20\mu\text{S}$ です。 $+2.5\text{V}$ の精密基準電圧発生回路を内蔵しており、デジタル出力はパラレル/シリアル両出力が取り出せます。

(9) ZN433 10ビット モノリシックA/Dコンバータ

ZN433は追従比較方式(Tracking)による10ビットのA/Dコンバータで1MHzのクロックを使用した場合1LSB当り $1\mu\text{S}$ で連続的に追従できます。 $+2.5\text{V}$ の精密基準電圧発生回路を内蔵しており、デジタル出力はパラレル/シリアル両出力が取り出せます。

(10) ZN434 4ビット モノリシックD/Aコンバータ

ZN434は4ビットD/Aコンバータでセトリング時間は300nSです。 $V_{\text{cc}}/2$ の基準電圧発生回路を内蔵しており、外付部品なしでも動作します。

(11) ZN435 8ビット モノリシック 多機能データ コンバータ

ZN435はセトリング時間800nSのD/Aコンバータ、8ビット・アップ/ダウン・カウンタ、 $+2.5\text{V}$ の精密基準電圧発生回路およびクロック発生回路を内蔵した多機能データ・コンバータです。応用範囲は広く追従型A/Dコンバータ、V/Fコンバータ、ランプ/ノコギリ波発生回路、VCO、サンプル・ホールド回路等に使用できます。

(12) ZN436 6ビット モノリシックD/Aコンバータ

ZN436は6ビットD/Aコンバータで、R-2Rラダー回路と精密バイポーラ・スイッチを内蔵しています。セトリング時間は $1\mu\text{S}$ です。

(13) ZN437 8ビット 8チャンネルデータ収集システム

ZN437は、ほとんどのマイクロプロセッサとのインターフェイスが容易な、8ビット8チャンネルのデータ収集システムで、A/Dコンバータの他に、マルチプレクサ、RAM等も内蔵しています。

(14) ZN438 8ビット 出力バッファ付D/Aコンバータ

ZN438は、共通データ・バスに接続可能な入力ラッチと、低アナログ出力インピータンスのバッファ・アンプを内蔵したモノリシック8ビットD/Aコンバータです。



(15) ZN439 8ビット ダブルバッファ付A/Dコンバータ

ZN439は逐次比較方式の8ビットA/Dコンバータで、変換時間は5 $\mu$ Sです。このコンバータは、ダブルバッファ出力バッファを内蔵しているため、コンバータの状態に関係なくいつでもデータを読み出すことができます。

(16) ZN440 6ビット モノリシックA/Dコンバータ

ZN440は並列変換方式(Parallel)による6ビットA/Dコンバータで変換速度は速く最大サンプリング周波数は最小値16MHzです。基準電圧用の抵抗回路を6個内蔵しており、8ビットおよび8ビットに容易に拡張できます。

(17) ZN454 トリプル 4ビット・ビデオD/Aコンバータ

ZN454は3つの4ビットD/Aコンバータを内蔵したICで、グラフィック・ディスプレイのピクセル・カラー発生に適しています。アップデート・レートは100MHzなので、1024 $\times$ 1280ピクセルの分解能を持つモニタにインターフェイスできます。

(18) ZN447/ZN448/ZN449 8ビット モノリシックA/Dコンバータ

ZN447/ZN448/ZN449は逐次比較方式(Successive Approximation)による8ビットA/Dコンバータで変換速度が比較的速く1MHzのクロックで9 $\mu$ Sです。+2.5Vの精密基準電圧発生回路とクロック発生回路を内蔵しており、8ビットのデジタル出力は3ステートになっております。

(19) ZN450 シングルチップ 3 $\frac{1}{2}$ 桁 DVM

ZN450は電荷平衡方式(Charge-balancing)による3 $\frac{1}{2}$ 桁(1999)DVM・ICで液晶を直接駆動できます。精密基準電圧発生回路、クロック発生回路を内蔵しており、デジタル・オートゼロ、アンダ・レンジ/オーバ・レンジ表示等の機能も持っています。

(20) ZN458 2.45V精密基準電圧

ZN458は基本的にはZN404と同一の回路ですが、スロープ抵抗および出力電圧のバラツキが良くなっています。また、全動作温度範囲における最大電圧変化によって3品種(ZN458、ZN458AおよびZN458B)ございます。

(21) ZN501/ZN502 10ビット  $\mu$ PコンパチブルA/Dコンバータ

ZN501/ZN502は逐次比較方式によるA/Dコンバータで、変換速度は15 $\mu$ Sです。デジタル出力はスリー・ステートになっているので、8または12ビットのマイクロプロセッサのデータ・バスに直接接続できます。

(22) ZN503/ZN504 10ビット 逐次比較A/Dコンバータ

ZN503/504は、3端子によるプログラムで入力電圧範囲を設定でき、わずか2個の外付部品で10ビットADコンバータを作ることができます。このICの調整は必要なく、シリアル・データ出力を有しているため、高分解能のリモート・センシング用に最適なデバイスです。

**(23) ZN509/ZN510 8ビット シリアル出力A/Dコンバータ**

ZN509およびZN510は、8ビット・シリアル出力、逐次比較型ADコンバータです。+5V単一電源で動作し、小型の8端子D.I.L.パッケージにて供給されます。チップ選択端子は、変換開始、変換モード（連続または1回）そして3ステート出力を制御します。

**(24) ZN558 8ビット モノリシックD/Aコンバータ**

ZN558は8ビットD/Aコンバータで、セトリング時間は800nSです。+2.5Vの精密基準電圧発生回路を内蔵しており、デジタル入力はラッチ付になっています。また、このICはDACの標準的IC・558と同一端子配置になっています。

**(25) ZNREFシリーズ 低消費電力精密基準電圧**

ZNREFシリーズは2.5V(ZNREF025)から10V(ZNREF100)までの精密で安定した基準電圧用ICです。このICは150 $\mu$ A以上の電流で動作し、広い動作温度範囲および動作電圧範囲を有しています。また、出力電圧を微調整する機能も有しています。

**(26) REF25/REF25Z 2.5V低消費電力精密基準電圧**

REF25/REF25Zは、バンドギャップ電圧を利用して、外付のコンデンサ無しで2.5Vの精密で安定した基準電圧を出力するモノリシックICです。本ICは、2端子のTO-18キャンと低価格の3端子プラスチックTO-92の2種類のパッケージで支給されます。

**(27) REF50/REF50Z 5.0V低消費電力精密基準電圧**

REF50/REF50Zは、バンドギャップ電圧を利用して、外付のコンデンサ無しに5.0Vの精密で安定した基準電圧を出力するモノリシックICです。本ICは、2端子のTO-18キャンと低価格の3端子プラスチックTO-92の2種類のパッケージで供給されます。

A/D・D/AコンバータICに関してはこれら IC 以外に次のようなものを製造しており、これらについては別にデータ/アプリケーション(英文)を準備してあります。

- ZNA116 3  $\frac{1}{2}$  桁 二重積分方式 DVM IC(+1999 コントロール ロジック部)
- ZNA216 3  $\frac{3}{4}$  桁 二重積分方式 DVM IC(+3999 コントロール ロジック部)
- ZNPCM1 シングル チャンネル コーデック(A law PCM)
- ZNPCM2 デルタ シグマ モジュレータ/デモジュレータ(ZNPCM1 と組で使用)
- ZNPCM3 シングルチップ 同期コーデック(ZNPCM1 およびZNPCM2 の特長と送受フィルタ、タイム・スロット・アサイメント機能を持つ)

© FERRANTI LTD. 1988

*The copyright in this work is vested in Ferranti Limited and this document is issued for the purpose only for which it is supplied. No licence is implied for the use of any patented feature. It must not be reproduced in whole or in part, or used for tendering or manufacturing purposes except under an agreement or with the consent in writing of Ferranti Ltd. and then only on the condition that this notice is included in any such reproduction. Information furnished is believed to be accurate but no liability in respect of any use of it is accepted by Ferranti Ltd.*

# ADコンバータ セレクション ガイド

型名	分解能 ビット	精度 %FS	変換時間	出力	入力範囲	リニアリテ ィ・エラー	ゲイン 温度範囲	動作 温度範囲	電源	パッケージ	特 徴	頁
ZN432J -10 ZN432BJ-10 ZN432CJ-10	10	±0.05	15μS	バイナリ または オフセット・ バイナリ	±10Vまで 選択可	± $\frac{1}{2}$ LSB	10ppm/°C	-55~+125°C -40~+85°C 0~+70°C	±5V	28ピン D I L	逐次比較方式	29
ZN433J -10 ZN433BJ-10 ZN433CJ-10	10	±0.05	1μS/LSB	バイナリ または オフセット・ バイナリ	±10Vまで 選択可	± $\frac{1}{2}$ LSB	10ppm/°C	-55~+125°C -40~+85°C 0~+70°C	±5V	28ピン D I L	追従比較方式	35
ZN501AJ ZN502CJ ZN502E	10	±0.05	15μS	バイナリ または オフセット・ バイナリ	±10Vまで 選択可	± $\frac{1}{2}$ LSB ±1LSB ±1LSB	20ppm/°C	-55~+125°C 0~+70°C 0~+70°C	±5V	28ピン D I L	逐次比較方式 μpコンバーチブル	124
ZN503AJ ZN504CJ ZN504E	10	±0.05	15μS	バイナリ または オフセット・ バイナリ	0~+2.5V または 0~+5.0V または -2.5~+2.5V	± $\frac{1}{2}$ LSB	60ppm/°C	-55~+125°C 0~+70°C 0~+70°C	±5V	28ピン D I L	逐次比較方式 μpコンバチ 外部部品2個	133
ZN425J -8 ZN425E-8	8	±0.2	1mS	バイナリ	±10Vまで 選択可	± $\frac{1}{2}$ LSB	5ppm/°C	-55~+125°C 0~+70°C	+5V	16ピン D I L	5MHz・8ビット ・カウンタ内蔵 ランブ/コンバ 変換方式	2
ZN427J -8 ZN427E-8	8	±0.2	10μS	スリーステート・ バイナリ または オフセット バイナリ	±10Vまで 選択可	± $\frac{1}{2}$ LSB	2.5ppm/°C	-55~+125°C 0~+70°C	+5V -3~-30V	18ピン D I L	スリーステート出力 逐次比較方式	10
ZN435J ZN435E	8	±0.2	1μS/LSB	バイナリ	±10Vまで 選択可	± $\frac{1}{2}$ LSB	4ppm/°C	-55~+125°C 0~+70°C	+5V	18ピン D I L	追従比較方式 (外付コンバ レータ使用)	41
ZN437J -8 ZN437E-8 ZN437J -7 ZN437E-7	8	±0.2	16μS	バイナリ または オフセット バイナリ	±10Vまで 選択可	± $\frac{3}{4}$ LSB ± $\frac{3}{4}$ LSB ±1LSB ±1LSB	±10ppm/°C	-55~+125°C 0~+70°C -55~+125°C 0~+70°C	+5V -3~-30V	28ピン D I L	8ビット・8チ ヤネル データ収集 システム	54
ZN439J -9 ZN439E-9 ZN439J -8 ZN439E-8 ZN439J -7 ZN439E-7	8	±0.2	5μS	バイナリ または オフセット バイナリ	±10Vまで 選択可	± $\frac{1}{4}$ LSB ± $\frac{1}{2}$ LSB ±1LSB	10ppm/°C	-55~+125°C 0~+70°C -55~+125°C 0~+70°C -55~+125°C 0~+70°C	+5V -3~-30V	22ピン D I L	逐次比較方式 ダブル・バッフ ア・ラッチ付	74
ZN447J ZN447E ZN448J ZN448E ZN449J ZN449E	8	±0.2	9μS	バイナリ または オフセット バイナリ	±10Vまで 選択可	± $\frac{1}{4}$ LSB ± $\frac{1}{2}$ LSB ±1LSB	2.5ppm/°C	-55~+125°C 0~+70°C -55~+125°C 0~+70°C -55~+125°C 0~+70°C	+5V -3~-30V	18ピン D I L	逐次比較方式 クロック内蔵	93
ZN509J ZN509E ZN510J ZN510E	8	±0.2	8μS	バイナリ または オフセット バイナリ	-0.5~+3.5V	± $\frac{1}{2}$ LSB ± $\frac{1}{2}$ LSB ±1LSB ±1LSB	±10ppm/°C	-55~+125°C 0~+70°C -55~+125°C 0~+70°C	+5V -3~-30V	8ピン D I L	シリアル入力 μpコンバーチ ブル 小型	140
ZN440CJ ZN441CJ	8	±0.8	16MHz 12MHz	バイナリ	-4.2~+1.4V	± $\frac{1}{4}$ LSB	—	0~+70°C 0~+70°C	±5V +2V	24ピン D I L	並列変換方式	88

注) 1. 全製品ともTTL/CMOSコンバーチブル  
2. ZN429/ZN440以外は基準電圧内蔵

3. サフィックスJ:セラミック・パッケージ  
E:プラスチック・パッケージ

## DAコンバータ セレクション ガイド

型名	分解能 ビット	精度 %FS	セトリング 時間	出力	出力範囲	リニアリテ イ・エラー	ゲイン 温度係数	動作 温度範囲	電源	パッケージ	特徴	頁
ZN425J-8 ZN425E-8	8	±0.2	1μS	電圧	0~+2.5V	±½LSB	3ppm/°C	-55~+125°C 0~+70°C	+5V	16ピン DIL	5MHz 8ビット カウンタ内蔵	2
ZN426J-8 ZN426E-8	8	±0.2	1μS	電圧	0~+2.5V	±½LSB	3ppm/°C	-55~+125°C 0~+70°C	+5V	14ピン DIL	ローパワー 25mW	6
ZN428J-8 ZN428E-8	8	±0.2	0.8μS	電圧	0~+2.5V	±½LSB	2ppm/°C	-55~+125°C 0~+70°C	+5V	16ピン DIL	ラッチ付入力 ZN427と対になる	18
ZN429J ZN429E ZN429D	8	±0.2	1μS	電圧	0~+2.5V	±½LSB	3ppm/°C	-55~+125°C 0~+70°C 0~+70°C	+5V	16ピン DIL SO-14	ミニフラット・ パッケージにて も供給	24
ZN435J ZN435E	8	±0.2	0.8μS	電圧	0~+2.5V	±½LSB	4ppm/°C	-55~+125°C 0~+70°C	+5V	18ピン DIL	クロック内蔵 アップ/ダウン・ カウンタ内蔵	44
ZN438J ZN438E	8	±0.2	1.25μS	電圧 (バッファ付)	0~+2.7V	±½LSB	60ppm/°C	-55~+125°C 0~+70°C	±5V	16ピン DIL	高速バッファ・ アンプ付出力	68
ZN558J ZN558E	8	±0.2	0.8μS	電圧	0~+2.5V	±½LSB	2ppm/°C	-55~+125°C 0~+70°C	+5V	16ピン DIL	ラッチ付入力	147
ZN559J ZN559E	8	±0.2	1μS	電圧	0~+2.5V	±1LSB	2ppm/°C	-55~+125°C 0~+70°C	+5V	16ピン DIL	ZN558のロー・ コスト・タイプ	—
ZN436J ZN436E	6	±0.8	1μS	電圧	0~+2.5V	±½LSB	3ppm/°C	-55~+125°C 0~+70°C	+5V	8ピン DIL	ローコスト	51
ZN434BE ZN434E	4	±3.2	0.3μS	電圧	0~+2.5V	±½LSB	3ppm/°C	-40~+85°C 0~+70°C	+5V	8ピン DIL	ローコスト	41
ZN454CJ	4	±3.2	8nS	電圧	0~-1V	±½LSB	500ppm/%	0~+70°C	±5V	28ピン DIL	4ビットDA3回路内蔵 カラー・グラフィック用	118

- 注) 1. 全製品ともTTL/CMOSコンパチブル  
 2. ZN429/ZN440以外は基準電圧内蔵  
 3. サフィックスJ:セラミック・パッケージ  
 E:プラスチック・パッケージ

# 精密基準電圧 セレクション ガイド

## 出力電圧固定型

型 名	出力電圧 (V)	初期精度 (%)	温度係数 (ppm/°C)	動作電流(mA)		スロープ抵抗 (Ω)	動作温度範囲	頁
				min	max			
ZN423	1.26	4.7	30	1.5	12	1.0	-55~+125°C	156
ZN404	2.45	2.8	146	2.0	120	0.4	0~+ 70°C	154
ZN458	2.45	-1.2,+1.6	99	2.0	120	0.2	-20~+ 70°C	159
ZN458A	2.45	-1.2,+1.6	50	2.0	120	0.2	-20~+ 70°C	159
ZN458B	2.45	-1.2,+1.6	29	2.0	120	0.2	-20~+ 70°C	159
REF12	1.26	1	47	0.09	2.5	4.0	-55~+125°C	-
REF12Z	1.26	2	47	0.09	2.5	4.0	-40~+ 85°C	-
REF25	2.50	1	25	0.06	5.0	1.5	-55~+125°C	174
REF25Z	2.50	2	35	0.06	5.0	2.0	-40~+ 85°C	174
REF50	5.00	1	30	0.06	5.0	3.5	-55~+125°C	177
REF50Z	5.00	2	40	0.06	5.0	3.5	-40~+ 85°C	177
SR25D	2.50	2	35	0.08	5.0	1.2	0~+ 70°C	180

注) 1. SR25DはSOパッケージの製品

## 微調整機能付

型 式	出力電圧 (V)	微調範囲 (%)	温度係数 (ppm/°C)	動作電流(mA)		スロープ抵抗 (Ω)	動作温度範囲	頁
				min	max			
ZNREF025A	2.50	±5	50	0.15	10	2	-55~+125°C	164
ZNREF025C	2.50	±5	50	0.15	10	2	0~+ 70°C	164
ZNREF040A	4.01	±5	50	0.15	75	3	-55~+125°C	166
ZNREF040C	4.01	±5	50	0.15	75	3	0~+ 70°C	166
ZNREF050A	4.90	±5	50	0.15	60	2	-55~+125°C	168
ZNREF050C	4.90	±5	50	0.15	60	2	0~+ 70°C	168
ZNREF062AB	6.17	±5	40	0.15	60	3	-55~+125°C	170
ZNREF062C	6.17	±5	50	0.15	60	3	0~+ 70°C	170
ZNREF100A	9.80	±2.5	50	0.15	50	4	-55~+125°C	172
ZNREF100C	9.80	±2.5	50	0.15	50	4	0~+ 70°C	172

# ZN400/500 シリーズ

データ・コンバータ / 精密基準電圧

## セクション 1 データ・ブック

### データ・コンバータ

1-1	ZN425	8ビット	モノリシックD/AおよびA/Dコンバータ	2
1-2	ZN426	8ビット	モノリシックD/Aコンバータ	6
1-3	ZN427	8ビット	モノリシック逐次比較A/Dコンバータ	10
1-4	ZN428	8ビット	モノリシックD/Aコンバータ	18
1-5	ZN429	8ビット	モノリシックD/Aコンバータ	24
1-6	ZN432	10ビット	モノリシック逐次比較A/Dコンバータ	29
1-7	ZN433	10ビット	モノリシック追従比較A/Dコンバータ	35
1-8	ZN434	4ビット	モノリシックD/Aコンバータ	41
1-9	ZN435	8ビット	モノリシック多機能データ コンバータ	44
1-10	ZN436	6ビット	モノリシックD/Aコンバータ	51
1-11	ZN437	8ビット	8チャンネルデータ収集システム	54
1-12	ZN438	8ビット	出力バッファ付D/Aコンバータ	68
1-13	NZ439	8ビット	ダブル・バッファA/Dコンバータ	74
1-14	ZN440	6ビット	モノリシック並列変換A/Dコンバータ	88
1-15	ZN447/ZN448/ZN449	8ビット	モノリシック逐次比較A/Dコンバータ	93
1-16	ZN450	シングルチップ	3½桁DVM	104
1-17	ZN454	トリプル	4ビット・ビデオD/Aコンバータ	118
1-18	ZN501/ZN502	10ビット	マイコン・コンパチブルA/Dコンバータ	124
1-19	ZN503/ZN504	10ビット	逐次比較A/Dコンバータ	133
1-20	ZN509/510	8ビット	シリアル出力A/Dコンバータ	140
1-21	ZN558	8ビット	モノリシックD/Aコンバータ	147

## 精密基準電圧

1—22	ZN404	2.45V精密基準電圧	154
1—23	ZN423	1.26V精密基準電圧	156
1—24	ZN458	2.45V精密基準電圧	159
1—25	ZNREFシリーズ	低消費電力精密基準電圧	162
1—26	ZNREF025	2.5V低消費電力精密基準電圧	164
1—27	ZNREF040	4.0V低消費電力精密基準電圧	166
1—28	ZNREF050	4.9V低消費電力精密基準電圧	168
1—29	ZNREF062	6.2V低消費電力精密基準電圧	170
1—30	ZNREF100	9.8V低消費電力精密基準電圧	172
1—31	REF25/25Z	2.5V低消費電力精密基準電圧	174
1—32	REF50/50Z	5.0V低消費電力精密基準電圧	177
1—33	SR25D	2.5V精密基準電圧(SOパッケージ)	180

## セクション 2 アプリケーション・ノート

2—1	データ変換の原理	184	
2—2	ZN425	8ビットD/A・D/Aコンバータ	199
2—3	ZN427	8ビットA/Dコンバータ	
	8085A	マイクロプロセッサとのインターフェイス	218
2—4	ZN428	8ビットD/Aコンバータ	
	8085A	マイクロプロセッサとのインターフェイス	223
2—5	ZN427/ZN428	8ビットA/D・D/Aコンバータ	
	6800	マイクロプロセッサとのインターフェイス	227
2—6	ZN427/ZN428	8ビットA/D・D/Aコンバータ	
	ダイレクトバス	インターフェイス	233
2—7	ZN427	8ビットA/Dコンバータ	
	シリアル・インターフェイス		237
2—8	ZN439	8ビットA/Dコンバータ	
	6500ファミリ・マイクロプロセッサとのインターフェイス		241
2—9	ZN447/8/9	8ビットA/Dコンバータ	
	Z80PIOを使ったZ80uPとのインターフェイス		255



# セクション 1

データ・ブック

データ・コンバータ

# ZN425

## 8ビット モノリシック D/Aおよび A/Dコンバータ

ZN425は、精密バイポーラ・スイッチ付きR-2Rラダー回路、カウンタ、2.5V精密基準電圧を内蔵したモノリシック・8ビットD-Aコンバータである。カウンタは、クロックを入力するだけで、精密な階段状出力を出す機能を持っている。

ZN425は、デュアル・モードで、A-D変換も可能である。

基準電圧は、内蔵のものを使用しても、外部のもので置き換えてもよい。

A-D変換は、内蔵の8ビット・バイナリ・カウンタにコンパレータ (ZN424) とクロック禁止ゲート (7400) を外付すれば実行できる。また、カウンタにクロックを印加するだけで、精密ランプ発生回路として使用することもできる。

入力選択スイッチは、制御信号がハイかローかによって、精密スイッチの入力をバイナリ・カウンタと外部からのデジタル入力の間で切り換える。

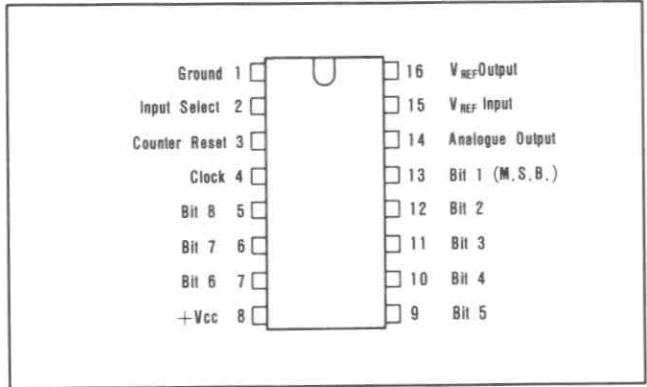
DAコンバータは、図2のように電圧スイッチとR-2Rラダー回路から成り立っている。

各2R素子は、低オフセット電圧 (1mV TYP.) のトランジスタ・スイッチによって、0V か  $V_{REF}$  に接続される。2進加重電圧は、ビット入力の値にしたがって、R-2Rラダーで発生する。

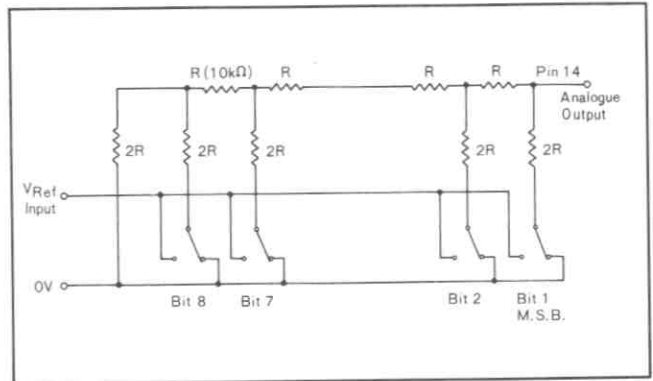
### 特徴

- TTL/5VCMOSコンパチブル
- 5V単一電源
- セトリング時間 (D-A) 1  $\mu$ S<sub>TYP.</sub>
- 変換時間 (A-D) 1 mS<sub>TYP.</sub> (ランプ・コンパア変換方式)

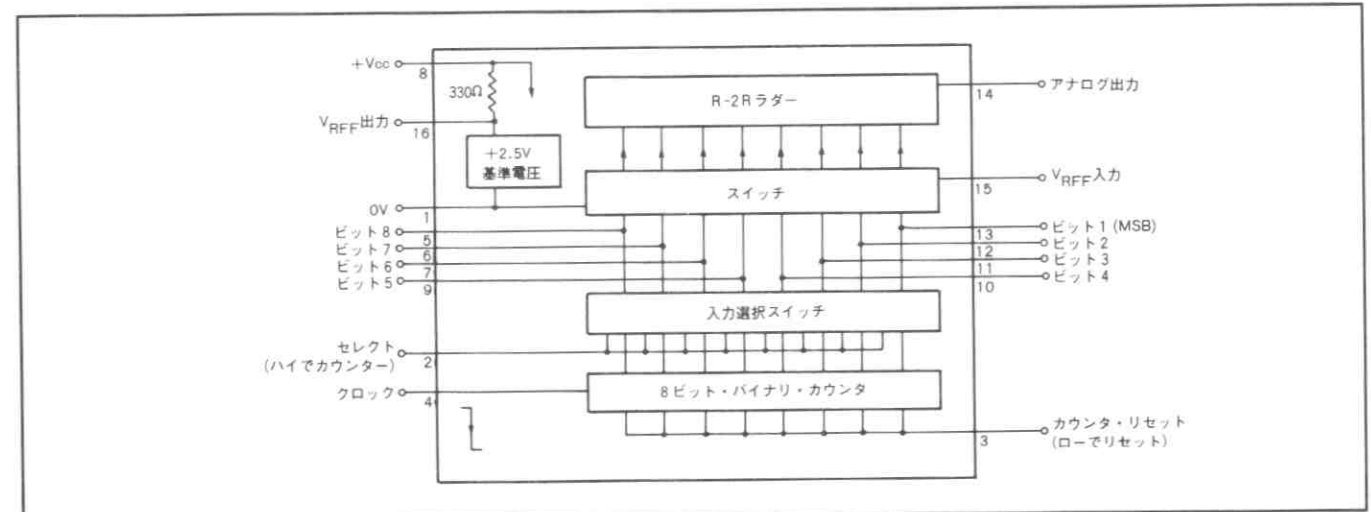
- 外付部品 D-A: 基準電圧用コンデンサ (電圧出力、出力抵抗10K $\Omega$ )
- A-D: コンパレータ、ゲート、クロック、基準電圧用コンデンサ



端子接続(上面より)



第2図 R-2Rラダー回路



第1図 システム図

## 電気的特性

テスト条件 (特に注記なき限り)

電源電圧  $V_{CC}=+5V$ 、周囲温度  $T_{amb}=25^{\circ}C$

### 内蔵基準電圧

特 性	シンボル	数 値			単 位	条 件
		Min.	Typ.	Max.		
出力電圧	$V_{REF}$	2.4	2.55	2.7	V	$I = 7.5\text{mA}$
スロープ抵抗	$R_s$	—	2	4	$\Omega$	$I = 7.5\text{mA}$
$V_{REF}$ 温度係数		—	40	—	ppm/ $^{\circ}C$	$I = 7.5\text{mA}$

(注) 内蔵基準電圧を使用する場合、端子1と16の間に0.22 $\mu F$ の安定用コンデンサを接続する。

### 8ビットDAコンバータとカウンタ

特 性	シンボル	数 値			単 位	条 件
		Min.	Typ.	Max.		
分解能		8	—	—	ビット	
ノン・リニアリティ		—	—	$\pm 0.5$	LSB	注3
ダイフェレンシャル・ノン・リニアリティ		—	$\pm 0.5$	—	LSB	注6
セトリング時間		—	1.0	—	$\mu S$	1 LSB変化
		—	1.5	2.5	$\mu S$	全ビット '1' から '0' 又は '0' から '1'
オフセット電圧	$V_{os}$					注3
ZN425J-8		—	8	12	mV	全ビット '0'
ZN425E-8		—	3	8	mV	
フルスケール出力		2.545	2.550	2.555	V	全ビット '1' Ext. $V_{REF}=2.56V$
フルスケール温度係数		—	3	—	ppm/ $^{\circ}C$	Ext. $V_{REF}=2.56V$
ノン・リニアリティ・エラー温度係数		—	7.5	—	ppm/ $^{\circ}C$	FSに関して
アナログ出力抵抗	$R_o$	—	10	—	K $\Omega$	
外部基準電圧		0	—	3.0	V	
電源電圧	$V_{CC}$	4.5	—	5.5	V	注3
電源電流	$I_s$	—	25	35	mA	
ハイ・レベル入力電圧	$V_{IH}$	2.0	—	—	V	注1・2
ロー・レベル入力電圧	$V_{IL}$	—	—	0.7	V	
ハイ・レベル入力電流	$I_{IH}$	—	—	10	$\mu A$	$V_{CC}=5.5V$ 、 $V_I=2.4V$
		—	—	100	$\mu A$	$V_{CC}=5.5V$ 、 $V_I=5.5V$
ロー・レベル入力電流 (ビット入力)	$I_{IL}$	—	—	-0.68	mA	$V_{CC}=5.5V$ 、 $V_I=0.3V$
ロー・レベル入力電流 (クロック・リセット、入力セレクト)	$I_L$	—	—	-0.18	mA	
ハイ・レベル出力電流	$I_{OH}$	—	—	-40	$\mu A$	
ロー・レベル出力電流	$I_{OL}$	—	—	1.6	mA	
ハイ・レベル出力電圧	$V_{OH}$	2.4	—	—	V	$V_{CC}=4.5V$ 、 $Q=1$ 、 $I_{LOAD}=-40\mu A$
ロー・レベル出力電圧	$V_{OL}$	—	—	0.4	V	$V_{CC}=4.5V$ 、 $Q=0$ 、 $I_{LOAD}=1.6mA$
最大クロック周波数	$f_c$	3	5	—	MHz	注5
リセット・パルス幅	$t_r$	200	—	—	nS	注4

(注1) ビット端子 (5,6,7,9,10,11,12,13,) が駆動されている時、入力セレクト端子2はロー・レベルに保持する。

(注2) ビット端子からカウンタ出力を得る場合、入力セレクト端子2は1K $\Omega$ の抵抗を通して+ $V_{CC}$ に接続する。

(注3) ZN425JとZN425Eの違いは、次の通りである。

(a) ZN425Jは、温度範囲 $-55^{\circ}C \sim 0^{\circ}C$ 及び $+70^{\circ}C \sim +125^{\circ}C$ の間で、リニアリティ・エラーの最大値が $\pm 1$  LSBに増加する。

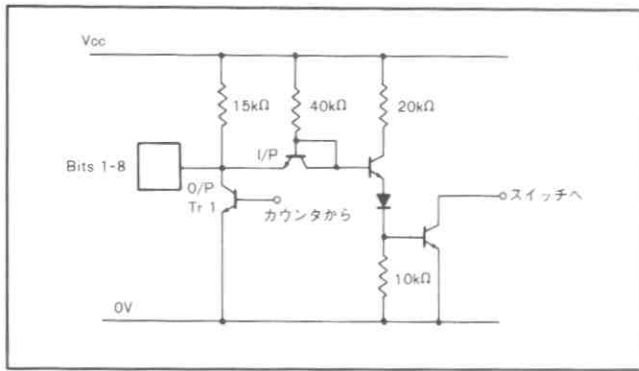
(b)  $70^{\circ}C$ と $125^{\circ}C$ の間では、電源電圧の最大値は5.0Vになる。

(c) 電気的特性表に示す通り、オフセット電圧が異なる。この違いは、パッケージのリード抵抗の違いによって生じる。しかし、オフセット電圧は、ZN425の調整中に補正されるし、オフセットの温度係数は小さいので、精度に与える影響はほとんどない。

(注4) カウンタは、フルになるとリセットされる。

(注5) AD変換では、Fmaxは300KHzである。

(注6) 全動作温度範囲でモノトニックである。



第3図 ビット入力/出力

## 応用例

### 1. 8ビット DAコンバータ

ZN425は、端子14から直接アナログ電圧出力を取り出せるので、電流-電圧変換増幅器は必要ない。出力電圧ドリフトは、アナログ出力抵抗 $R_o$ の温度係数により変化し、 $R_o$ に650K $\Omega$ 以上の値を使用した場合、0.004%/ $^{\circ}\text{C}$  (1LSB/100 $^{\circ}\text{C}$ )以下になる。

オフセット電圧を補正し、コンバータの調整を行なうために、バッファ・アンプが必要となる。図4は、内蔵基準電圧を使用した場合の代表的回路である。温度ドリフトを最小にするために、オペ・アンプの反転入力ソース抵抗を約6K $\Omega$ とする。調整手順は次の通りである。

(i) 全ビットを '0' に設定し、 $V_{out}=0.000\text{V}$ になるように $R_2$ を調整する。

(ii) 全ビットを '1' に設定し、 $V_{out}=FS-1\text{LSB}$ になるように $R_1$ を調整する。

(iii) iとiiを繰り返す。

たとえば、 $FS=3.840\text{V}$ とすると、

$$1\text{LSB} = \frac{3.84}{256} = 15.0\text{mV}$$

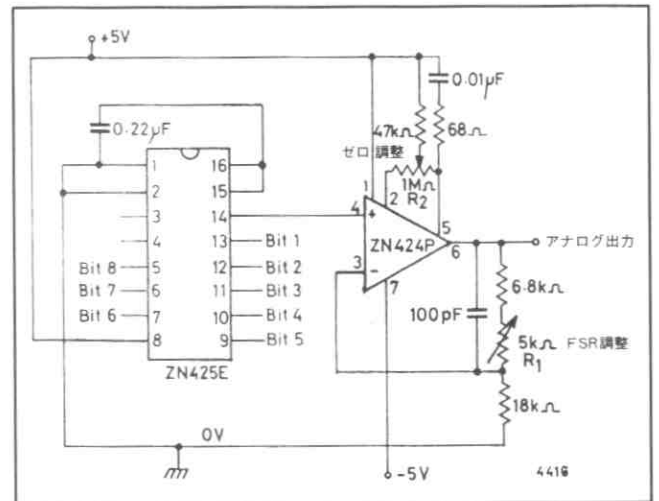
したがって、iiでは、 $3.84\text{V} - 1\text{LSB} = 3.825\text{V}$ に調整する。

### 2. 8ビット ADコンバータ

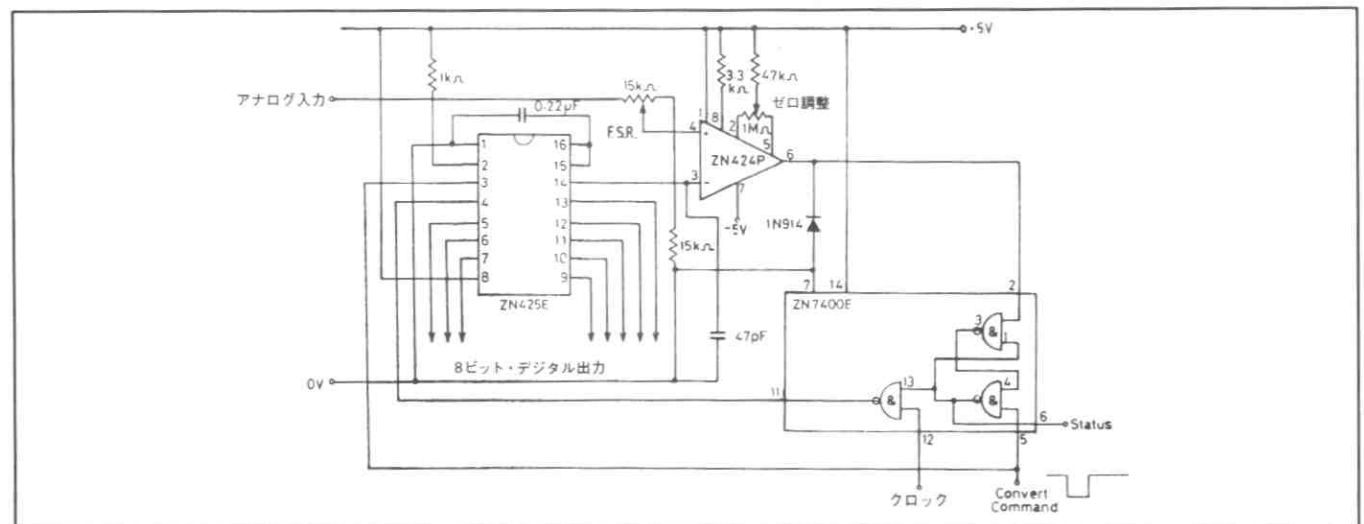
カウンタ型ADコンバータは、図5のように電圧コンパレ

ータとラッチを外付することによって作成できる。CONVERT COMMANDパルス(15 $\mu\text{smin.}$ )の立下りでカウンタは '0' に、STATUSラッチは '1' にセットされる。そして、このパルスの立上りでゲートは開き、ZN425のカウンタ入力にクロック・パルスが送られる。ZN425に入力する負のクロック・パルスの幅は、最小100nSとする。また、ZN425のアナログ出力は、コンパレータのもう一方の入力の電圧と等しくなるまで増加する。そして、電圧が一致した時点でコンパレータの出力はローになり、これ以上クロック・パルスが出ないようにSTATUSラッチをリセットする。STATUSラッチが '0' になったということは変換が終了し、アナログ入力電圧に相当する値が8ビット・デジタル出力に出ていることを示している。 **P** ZN425の出力に小さなコンデンサ(47PF)を接続し、出力中のグリッチがSTATUSラッチをリセットするのを防ぐ。この容量はZN425の出力容量(20~30PF)と並列で、ZN425の出力抵抗(10K $\Omega$ )と合わせて時定数を算出できる。この時定数はクロック周波数の最大値を限定し、高速のコンパレータを使っても300KHzが最大となる。コンパレータにZN424Pを使った場合、この値は100KHzとなる。変換時間は入力電圧によって異なり、フルスケール入力の時に最大となる。

$$\text{変換時間最大値} = \frac{256}{\text{クロック周波数}[\text{Hz}]} \text{ [秒]}$$



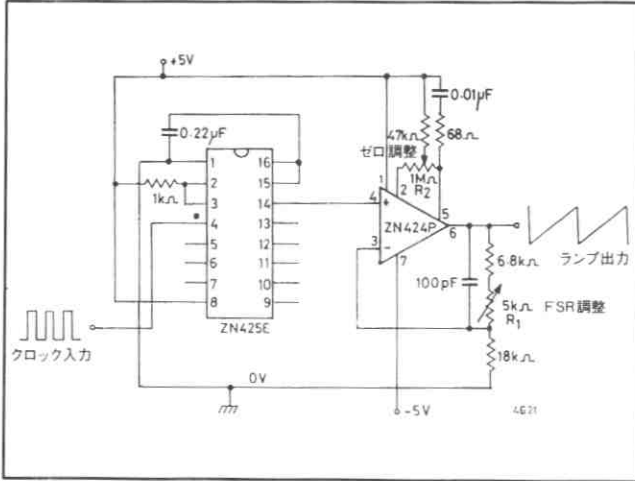
第4図 8ビット DAコンバータ



第5図 8ビット ADコンバータ

### 3. 精密ランプ・ジェネレータ

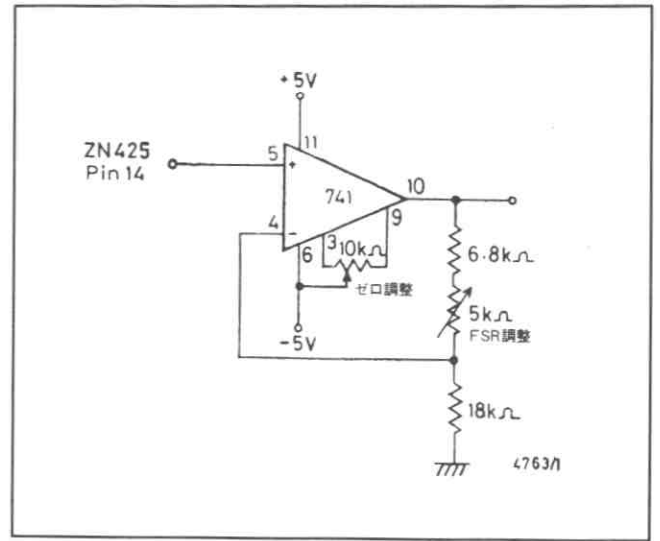
ZN425は8ビット・バイナリ・カウンタを内蔵している  
ので、容易にランプ・ジェネレータを作ることができる。  
図6のランプ・ジェネレータ回路は、DAコンバータと同  
様のバッファ段を持っている。また、調整手順も同じであ  
る。もし、ランプの最大電圧を正確に設定する必要がない  
場合、バッファ段は取り除き、端子14から直接ランプ出力  
を取り出す。



第6図 精密ランプ・ジェネレータ

### 4. 741を使った出力バッファ

次の回路はオペアンプ741を使った出力バッファで、図  
4の8ビットDACと図6の精密ランプ・ジェネレータの  
出力段に使用できる。

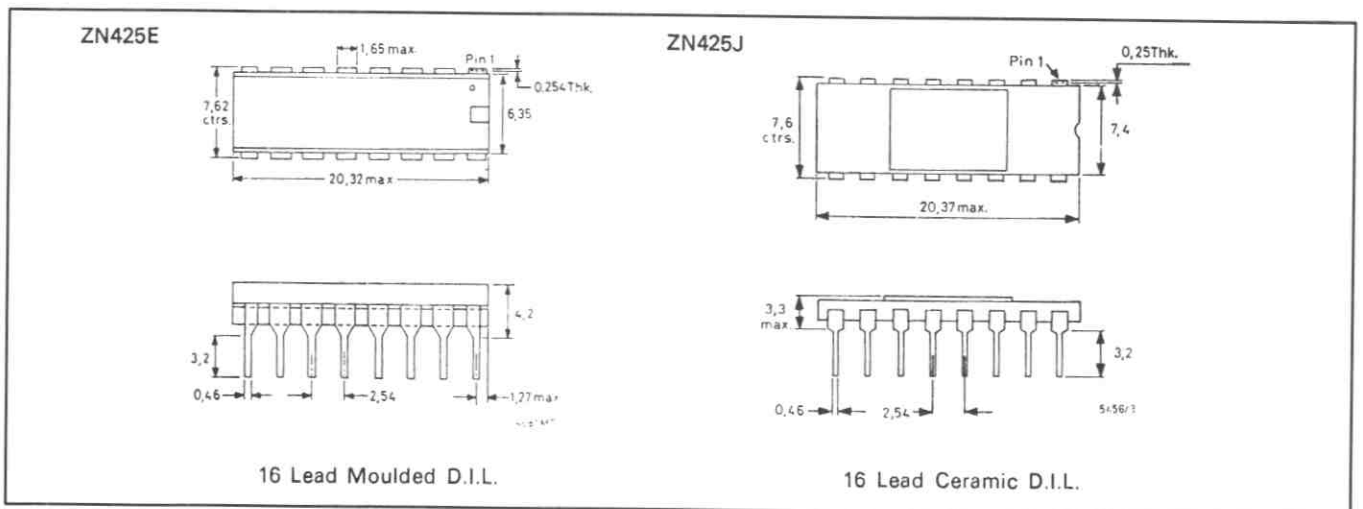


第7図 741を使った出力バッファ回路

## 最大絶対定格

電源電圧 $V_{cc}$	+7.0V
印加電圧 (ロジック入力及 び $V_{REF}$ 入力)	+5.5V (3 ページ 注 3)
動作周囲温度	0°C ~ +70°C (ZN425E-8) -55°C ~ +125°C (ZN425J-8)
貯蔵温度	-55°C ~ +125°C

## パッケージ寸法 単位 mm



### ZN426

### 8ビット モノリシック D/Aコンバータ

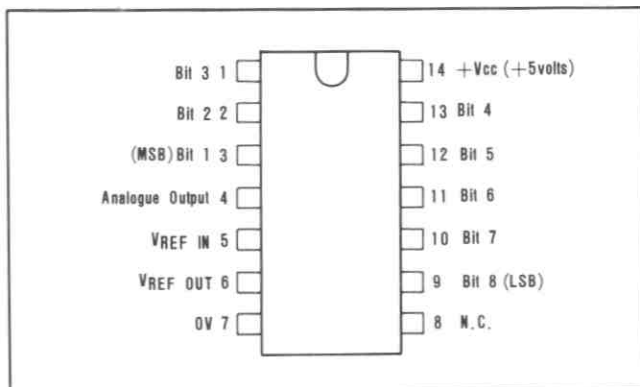
ZN426は、8ビットDAコンバータで、R-2Rラダー回路、精密バイポーラ・スイッチ、2.5V精密基準電圧を内蔵している。基準電圧は、内蔵のものを使用しても、外部のもので代用してもよい。しかし、外部基準電圧を使用する場合、 $R_{REF}$ と $C_{REF}$ を接続する必要はない。

コンバータは、図2のように電圧スイッチとR-2Rラダー回路から成り立っている。

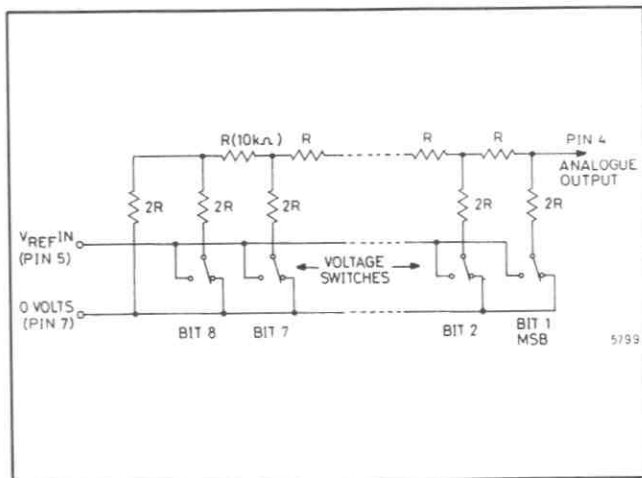
各2R素子は、低オフセット電圧(1mV TYP.)のトランジスタ・スイッチによって、0Vか $V_{REF}$ に接続される。2進加重み電圧は、ビット入力の値にしたがって、R-2Rラダーで発生する。

#### 特徴

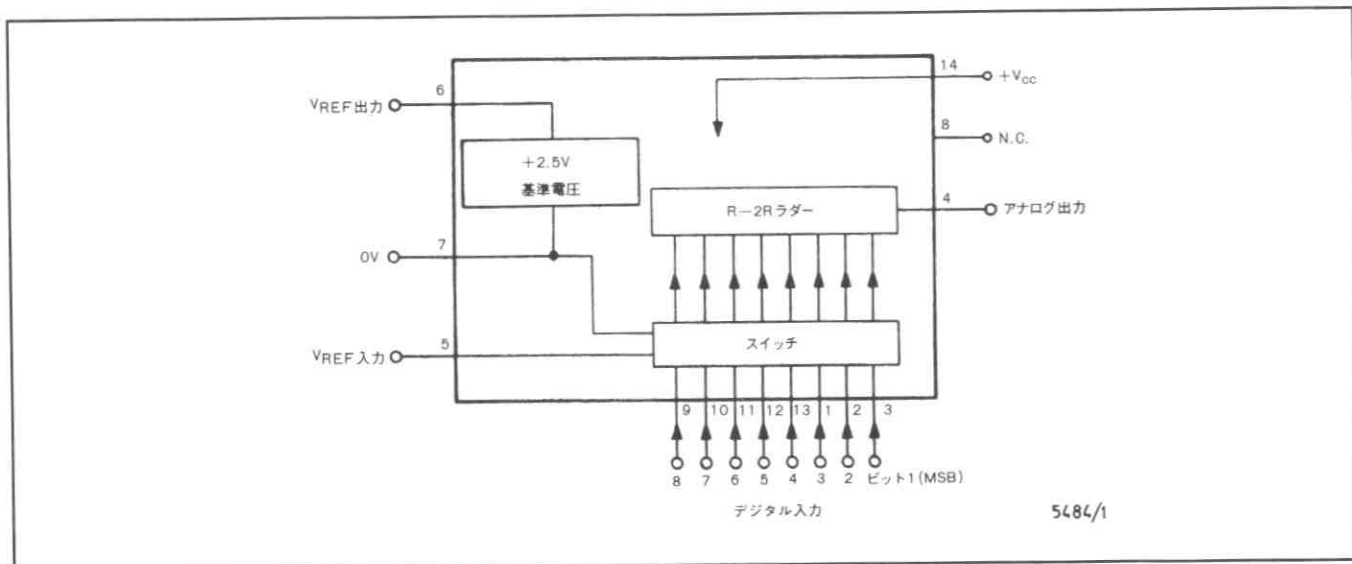
- TTL/5 VCMOSコンパチブル
- 5 V単一電源
- セトリング時間 1  $\mu$ S TYP.
- 外付部品 基準電圧用コンデンサ、抵抗



端子接続(上面より)



第2図 R-2Rラダー回路



第1図 システム図

## 電気的特性

テスト条件 (特に注記なき限り)

電源電圧  $V_{CC} = +5V$ 、周囲温度  $T_{amb} = 25^\circ C$

特 性	シンボル	数 値			単 位	条 件
		Min.	Typ.	Max.		
コンバータ						
分解能		8	—	—	ビット	
ノン・リニアリティ		—	—	$\pm 0.5$	LSB	注1
ディフェレンシャル・ノン・リニアリティ		—	$\pm 0.5$	—	LSB	注2
セトリング時間		—	1.0	—	$\mu S$	1 LSB変化
		—	2.0	—		全ビット '1' から '0' 又は '0' から '1'
オフセット電圧	$V_{os}$					注1
ZN426J-8		—	5.0	8.0	mV	全ビット '0'
ZN426E-8		—	3.0	5.0	mV	
$V_{os}$ 温度係数		—	5	—	$\mu V/^\circ C$	
フルスケール出力		2.545	2.550	2.555	V	全ビット '1' Ext. $V_{REF} = 2.560V$
フルスケール温度係数		—	3	—	ppm/ $^\circ C$	Ext. $V_{REF} = 2.560V$
ノン・リニアリティ温度係数		—	7.5	—	ppm/ $^\circ C$	FSに関して
アナログ出力抵抗	$R_o$	—	10	—	K $\Omega$	
外部基準電圧		0	—	3.0	V	
電源電圧	$V_{CC}$	4.5	—	5.5	V	
電源電流	$I_s$	—	5	9	mA	
ハイ・レベル入力電圧	$V_{IH}$	2.0	—	—	V	
ロー・レベル入力電圧	$V_{IL}$	—	—	0.7	V	
ハイ・レベル入力電流	$I_{IH}$	—	—	10	$\mu A$	$V_{CC} = 5.5V, V_I = 2.4V$
		—	—	100	$\mu A$	$V_{CC} = 5.5V, V_I = 5.5V$
ロー・レベル入力電流	$I_{IL}$	—	—	-0.18	mA	$V_{CC} = 5.5V, V_I = 0.3V$
内蔵基準電圧						
出力電圧	$V_{REF}$	2.475	2.55	2.625	V	$R_{REF} = 390\Omega$ 注3
スロープ抵抗	$R_s$	—	1	2	$\Omega$	$R_{REF} = 390\Omega$
$V_{REF}$ 温度係数		—	40	—	ppm/ $^\circ C$	$R_{REF} = 390\Omega$

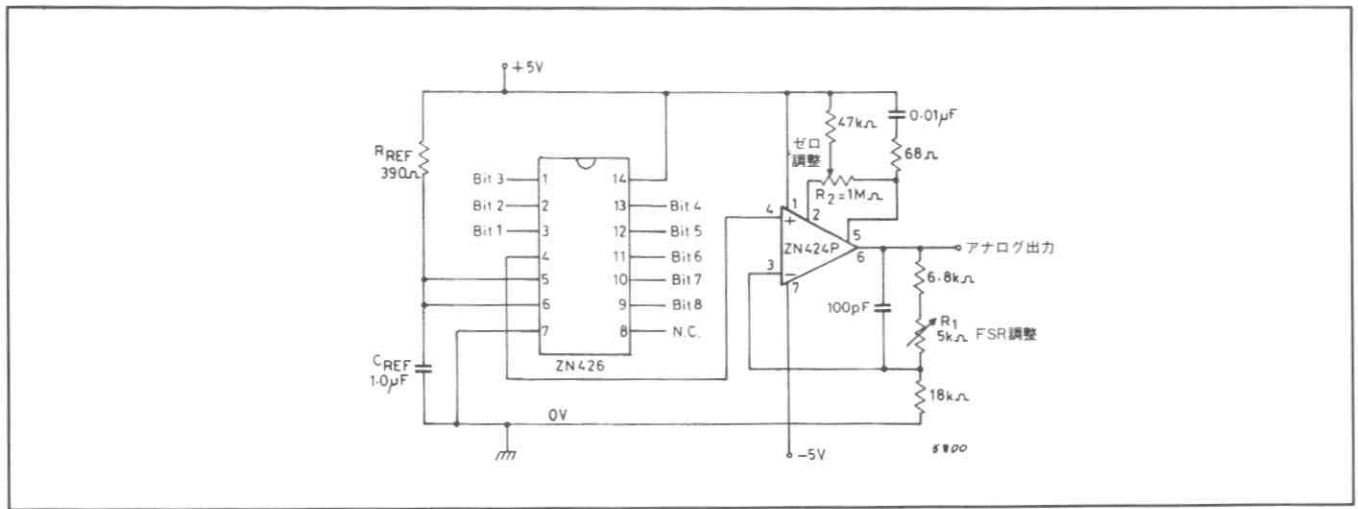
(注1) ZN426J-8とZN426E-8の違いは次の通りである。

(a) ZN426J-8は、温度範囲 $-55^\circ C \sim 0^\circ C$ 及び $+70^\circ C \sim +125^\circ C$ の間で、リニアリティ・エラーの最大値が $\pm 1$ LSB ( $\pm 0.4\%$ FSR)に増加する。

(b) 電気的特性表に示す通り、オフセット電圧が異なる。この違いは、パッケージのリード抵抗の違いによって生じる。しかし、オフセット電圧は、ZN426の調整中に補正されるし、オフセットの温度係数は小さいので、精度に与える影響はほとんどない。

(注2) 全動作温度範囲でモノトニックである。

(注3) 内蔵基準電圧を使用する場合、端子7と6の間に $1\mu F$ の安定用コンデンサ( $C_{REF}$ )と端子14と6の間に $390\Omega$ の抵抗( $R_{REF}$ )を接続する。



第3図 8ビット DAコンバータ

## 応用例

### 1. 8ビット DAコンバータ

ZN426は、端子4から直接アナログ電圧出力を取り出せるので、電流-電圧変換増幅器を必要としない。出力電圧ドリフトは、アナログ出力抵抗 $R_o$ の温度係数により変化し、 $R_L$ に650kΩの値を使用した場合、0.004%/°C (1 LSB/100°C)以下になる。

オフセット電圧を補正し、コンバータの調整を行なうために、バッファ・アンプが必要となる。図3は、内蔵基準電圧を使用した場合の代表的回路である。温度ドリフトを最小にするために、オペ・アンプの反転入力ソース抵抗を約6kΩとする。調整手順は次の通りである。

- (i) 全ビットを '0' に設定し、 $V_{OUT}=0.000V$  になるように  $R_2$  を調整する。
- (ii) 全ビットを '1' に設定し、 $V_{OUT}=FS-1LSB$  になるように  $R_1$  を調整する。
- (iii) i と ii を繰り返す。

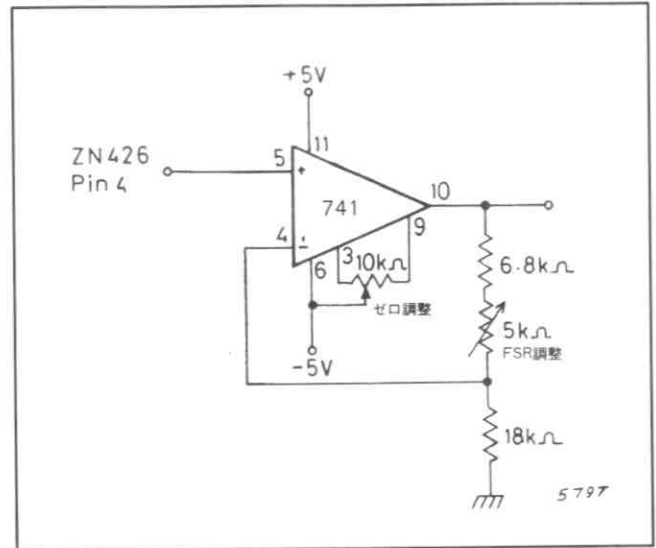
たとえば、 $FS=3.840V$  とすると、

$$1 \text{ LSB} = \frac{3.84}{256} = 15.0 \text{ mV}$$

ii では、 $3.84V - 1 \text{ LSB} = 3.825V$  に調整する。

### 2. 741を使った出力バッファ

次の回路はオペ・アンプ741を使った出力バッファで、図3のZN424Pのかわりに使用できる。



第4図 741を使った出力バッファ回路

## 最大絶対定格

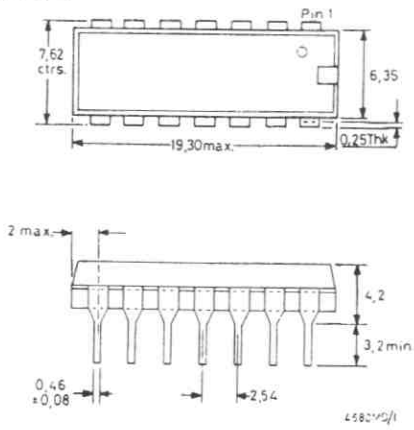
電源電圧 $V_{CC}$	+7.0V
印加電圧 (ロジック入力及び $V_{REF}$ 入力)	+5.5V
動作周囲温度	0°C ~ +70°C (ZN426E-8)
	-55°C ~ +125°C (ZN426J-8)
貯蔵温度	-55°C ~ +125°C



パッケージ寸法

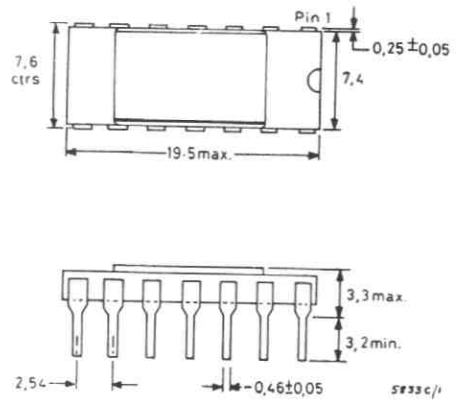
単位 mm

ZN426E



14 Lead Moulded D.I.L.

ZN426J



14 Lead Ceramic D.I.L.

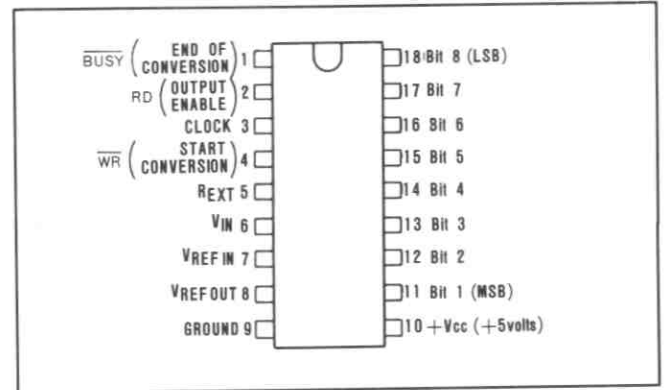
### ZN427

### 8ビット モノリシック逐次比較A/Dコンバータ

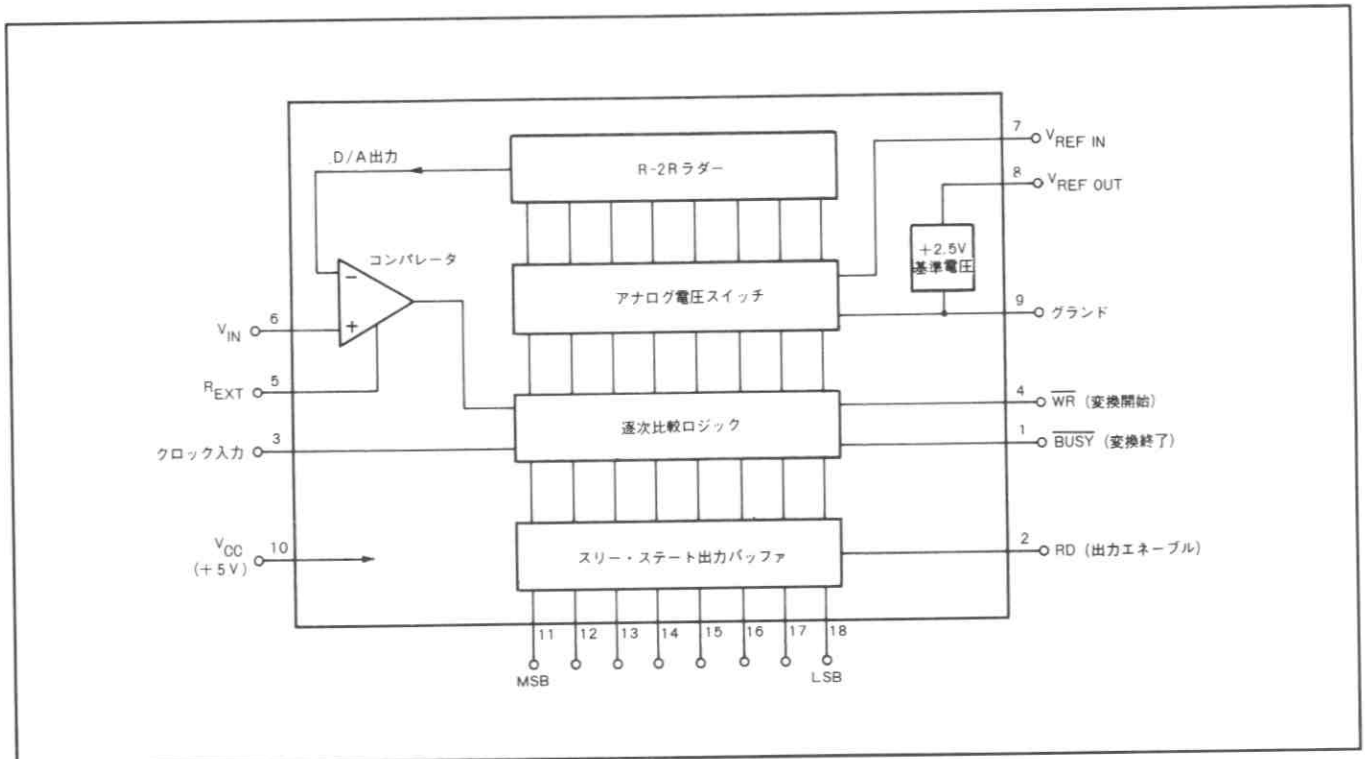
ZN427は、共通データ・バスとのインターフェイスが容易なスリー・ステート出力を持つ、8ビット逐次比較型コンバータである。このICは、電圧スイッチ型DAC・高速コンパレータ・逐次比較ロジック・2.56V精密基準電圧を内蔵している。基準電圧は、柔軟性を持たせるために、内蔵のものを使用しても、外部基準電圧を使用してもよいようになっている。また、このICの駆動に、能動部品は必要ない。

### 特 徴

- マイクロプロセッサとのインターフェイスが容易
- 高速：変換時間10 $\mu$ S保証
- 全動作温度範囲でミスコードなし
- スリー・ステートTTLコンパチブル・データ出力  
他の入出力は、TTL/CMOSコンパチブル
- 基準電圧内蔵（外部基準電圧の使用も可能）
- ユニポーラ又はバイポーラ入力
- ZN428・DACとコンプリメンタリ



端子接続（上面より）



第1図 システム図

## 電気的特性

テスト条件 (特に注記なき限り)

電源電圧  $V_{CC} = 5V$ 、周囲温度  $T_{amb} = 25^\circ C$

特 性	数 値			単 位	テ ス ト 条 件
	Min.	Typ.	Max.		
<b>コンバータ</b>					
分解能	8	—	—	ビット	
リニアリティ・エラー	—	—	±0.5	LSB	
ディフェンシャル・ノンリニアリティ	—	±0.5	—	LSB	
リニアリティ・エラー温度係数	—	±3	—	ppm/°C	
ディフェンシャル・ノンリニアリティ温度係数	—	±6	—	ppm/°C	
フルスケール(ゲイン)温度係数	—	±2.5	—	ppm/°C	外部基準電圧2.5V 使用
ゼロ温度係数	—	±8	—	μV/°C	
ゼロ トランジション 00000000から 00000001へ	12	15	18	mV	$V_{REFIN} = 2.560V$
フルスケール トランジション 11111110から 11111111へ	2.545	2.550	2.555	V	$V_{REFIN} = 2.560V$
変換時間	—	—	10	μS	注1
外部基準電圧	1.5	—	3.0	V	
電源電圧 ( $V_{CC}$ )	4.5	—	5.5	V	
電源電流	—	25	40	mA	
消費電力	—	125	—	mW	
<b>コンパレータ</b>					
入力電流	—	1	—	μA	$V_{IN} = 3V, R_{EXT} = 82K\Omega$
入力抵抗	—	100	—	KΩ	$V_- = -5V$
テイル電流 $I_{EXT}$	25	—	150	μA	
負電源 $V_-$	-3.0	—	-30.0	V	コンパレータの項参照 (14ページ)
入力電圧	-0.5	—	3.5	V	
<b>内部基準電圧</b>					
出力電圧	2.475	2.560	2.625	V	$R_{REF} = 390\Omega \quad C_{REF} = 4.7\mu F$
スロープ抵抗	—	0.5	2	Ω	
$V_{REF}$ 温度係数	—	50	—	ppm/°C	
基準電流	4	—	15	mA	基準電圧の項参照 (14ページ)
<b>ロジック</b> (全動作温度範囲で)					
ハイ・レベル入力電圧 $V_{IH}$	2	—	—	V	
ロー・レベル入力電圧 $V_{IL}$	—	—	0.8	V	
WR、RD入力端子の ハイ・レベル入力電流 $I_{IH}$	—	—	50	μA	$V_{IN} = 5.5V, V_{CC} = 5.5V$
	—	—	15	μA	$V_{IN} = 2.4V, V_{CC} = 5.5V$
クロック入力端子の ハイ・レベル入力電流 $I_{IH}$	—	—	100	μA	$V_{IN} = 5.5V, V_{CC} = 5.5V$
	—	—	30	μA	$V_{IN} = 2.4V, V_{CC} = 5.5V$
ロー・レベル入力電流 $I_{IL}$	—	—	-5	μA	$V_{IN} = 0.4V, V_{CC} = 5.5V$
ハイ・レベル出力電流 $I_{OH}$	—	—	-100	μA	
ロー・レベル出力電流 $I_{OL}$	—	—	1.6	mA	
ハイ・レベル出力電圧 $V_{OH}$	2.4	—	—	V	$I_{OH} = -100\mu A, V_{CC} = 4.5V$
ロー・レベル出力電圧 $V_{OL}$	—	—	0.4	V	$I_{OL} = 1.6mA, V_{CC} = 4.5V$
Disable時出力リーケージ	—	—	2	μA	$V_o = 2.4V$
入力クランプ・ダイオード電圧	—	—	-1.5	V	
READ入力データ出力遅延時間	—	—	250	nS	図8 参照
Enable/Disable遅延時間 $t_{RD}$	—	180	250	nS	
スタート・パルス幅 $t_{WR}$	250	160	—	nS	
$\overline{WR} - \overline{BUSY}$ プロパゲーション・ デレイ $t_{BD}$	—	—	250	nS	
クロック・パルス幅	500	—	—	nS	
最大クロック周波数	900	1000	—	KHz	注1

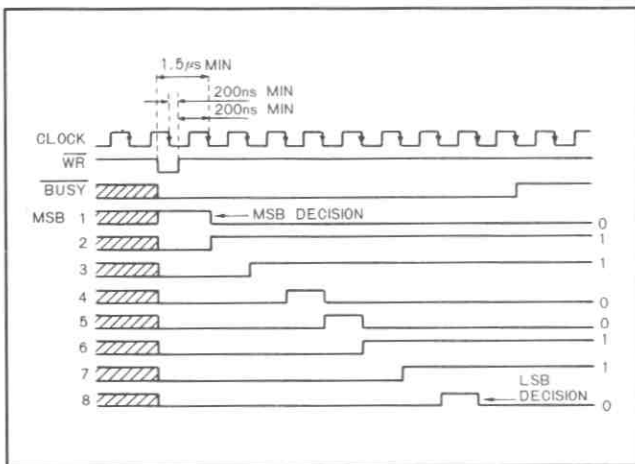
(注1) 900KHzのクロックを使用した場合、変換時間は10μSとなる(9クロック期間)。

## 動作概要

ZN427は、逐次比較方式のADCである。 $\overline{WR}$ 入力に負パルスを加えると、 $\overline{BUSY}$ 出力はロー・レベルになりMSBは'1'に、他の全てのビットは'0'にセットされる。この結果、DACから $V_{REF}/2$ の電圧が発生し、この電圧は入力電圧 $V_{IN}$ と比較される。この判定は次のクロックの立ち下りで行なわれ、もし $V_{REF}/2 > V_{IN}$ であればMSBは'0'にリセットされ、 $V_{REF}/2 < V_{IN}$ であれば'1'に保持される。同じクロック・エッジでBit 2は'1'にセットされ、MSBの状態によって、 $V_{REF}/4$ 又は $V_{REF}/2 + V_{REF}/4$ の電圧をDACから出力する。この電圧は $V_{IN}$ と比較され、次のクロックのエッジでBit 2の判定を行い、同時にBit 3を'1'にセットする。この手順は、全ての8つのビットについて繰り返される。そして、9番目のクロックの立ち下りで $\overline{BUSY}$ はハイ・レベルになり、変換の終了を示す。

変換の間、RD入力は通常ロー・レベルに保持し、スリー・ステート・バッファを高インピーダンス状態にする。データは、RDをハイ・レベルにすることによって、読出し可能になるが、この読出し動作によって、データは失なわれない。また、データが有効となった時に、自動的に出力可能となるように、 $\overline{BUSY}$ 出力とRD入力を接続してもよい。

コンバータを確実に動作させるために、 $\overline{WR}$ 入力に印加するスタート・パルスは、コンバータ・クロックに対して特定のタイミングで入力する。このタイミングを、図2に示す。



第2図 タイミング図

### タイミング図

- このタイミング図は、デジタル値'01100110'について述べたものである。動作を明らかにするために、スリー・ステート出力は変換中出力enable状態になっているが、通常は変換が完了するまで出力disableの状態にしておく。
- $\overline{BUSY}$ 出力は、変換中はロー・レベルになる。変換が終了して $\overline{BUSY}$ がハイ・レベルになった時、出力データは有効となる。マイクロプロセッサ・システムでは、この $\overline{BUSY}$ 出力は変換が終了した時の割込み要求信号発生

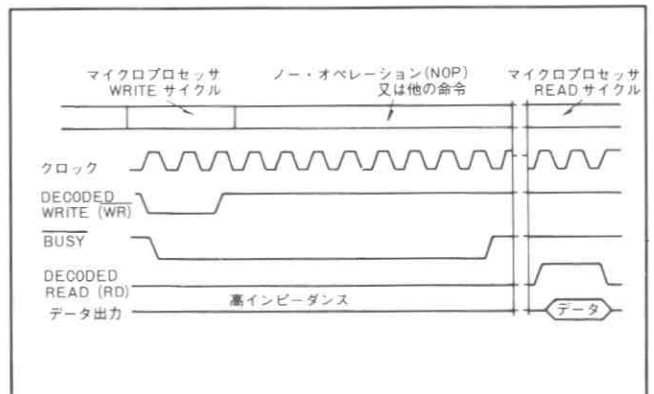
用に使用できる。

- タイミング図中の斜線の部分では、出力はハイ・ローどちらのレベルでもよい。
- スタート・パルスは、クロックと非同期に発生し、MSB出力を'1'に、他の全てのビットと変換終了フラグを'0'にセットする。このセッティングは、スタート・パルスの立ち下りで行なわれ、 $\overline{WR}$ がロー・レベルである限り、変換は禁止される。変換は、 $\overline{WR}$ 入力がハイ・レベルに戻った後の最初のクロックの立ち下りで開始し、MSBを決定する。また、スタート・パルスは、次の条件を満たさなければならない。
  - コンバータ・ロジック回路の確実にリセットを行なうためには、スタート・パルスの幅を最小250nSとする。
  - スタート・パルスの幅は、どんなに大きくてもよい。
  - MSBを決定するには、スタート・パルスの立ち下りが最初の有効クロックより、少なくとも1.5µS先行しなければならない。
  - 確実なクロック動作を行うために、スタート・パルスの立上りは、クロック・パルスの立ち下りの±200nS以内に生じてはならない。スタート・パルスの立上りは、クロック・パルスの立上りと一致させるのが最もよい。また、この1つの例として、スタート・パルスをクロックの立ち下りと同期させて発生させてもよい。

### クロックと同期回路

クロック信号を発生し、変換開始パルスをそれに同期させる(又はその逆)方法は、ZN427の周辺回路によって異なる。

マイクロプロセッサと共に使用する場合、ZN427はRAMと同様に扱い、アドレス・デコーダを使って1つのメモリ番地を割合てる。マイクロプロセッサのクロックでZN427を駆動し、マイクロプロセッサのWRITEパルスが前に述べたZN427のクロックに関するタイミングを満足するならば、スタート・パルスは単に解読アドレス信号とマイクロプロセッサのWRITEパルスのゲートで発生できる。変換を行っている間、マイクロプロセッサは他の命令を実行するか、ノー・オペレーション(NOP)状態にする。そして、変換が終了した時、解読アドレス信号とREADパルスのゲートによって出力をデータ・バス上へ送り出す。このタイミングを図に示す。



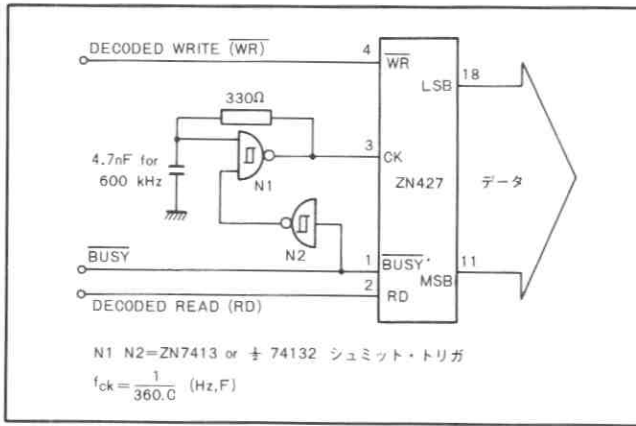
第3図 µPクロックとWRITEパルスを使った回路のタイミング図

マイクロプロセッサ・クロックを使う利点は、マシン・サイクルの周期によって変換時間を正確に計算できることである。変換は、 $\overline{WR}$ パルス後の9番目のクロックで終了するので、データ出力は少なくとも変換が終了するまでの一定の遅れを持って読出す。また、読出し動作は、割込み要求信号を発生するための $\overline{BUSY}$ 出力を使って開始してもよい。

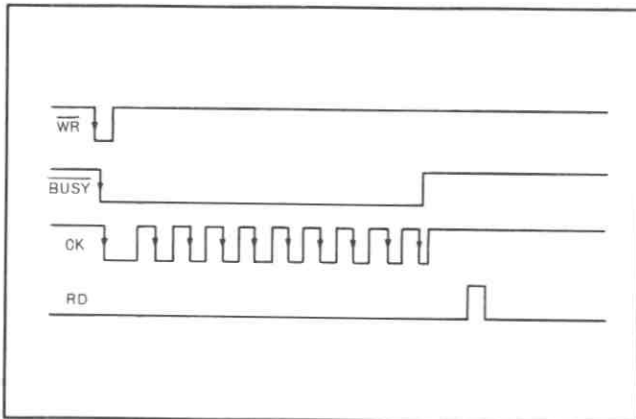
この方法は、次の理由によって8048等のシステムでは実行できない。

- (a)MPUクロックを外部に取出しできない。
- (b)クロック周波数が高すぎる。
- (c)WRITEパルスを変換開始パルスとして直接使用できない。

もし、この条件のどれかに該当する場合、図4(a)のクロック発生回路の使用を推奨する。



第4図(a) クロック発生回路



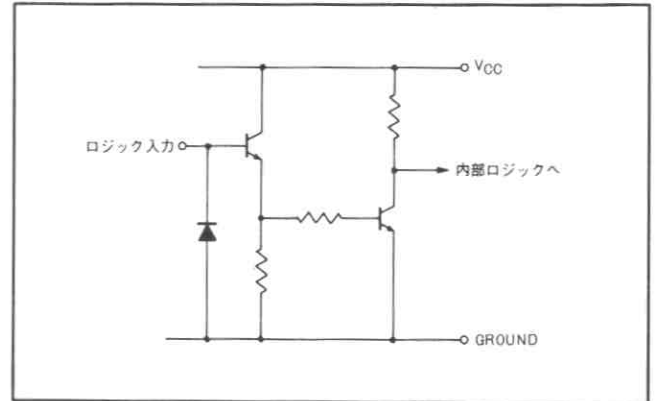
第4図(b) 図4(a)の回路のタイミング図

N1は単安定マルチバイブレータとして動作し、 $\overline{BUSY}$ 出力がハイ・レベルの時は、N2の出力によってその一方の入力がロー・レベルになるので、出力が禁止される。変換開始パルスは $\overline{BUSY}$ フラグをリセットし、N1は発振を始める。そして、変換が終了した時 $\overline{BUSY}$ はハイ・レベルになり、クロックは再び禁止される。

変換開始パルスに与えられる制限としては、250nS以上の長さであること、最初のクロック・パルスより少なくとも200nS短いことである。実際、最初のクロック・パルスは、後に続くパルスよりも長くなる。なぜならば、第2パルス以後のクロック・サイクルでは、Cはシュミット・トリガの上下のスレッシュ・ホールド ( $V_{T+}$ と $V_{T-}$ ) の間で充放電を繰り返すが、最初Cは十分に充電された状態になっているからである。

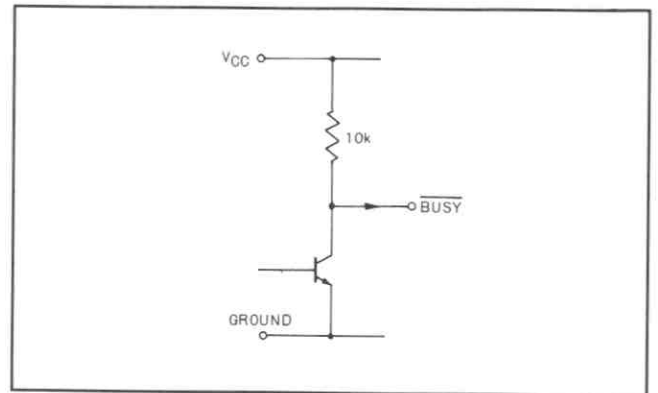
## ロジック入力・出力

ZN427のロジック入力は、図5に示すエミッタ・フォロ回路である。これは、TTLだけでなくCMOSともコンパチブルになるように、非常に低入力電流に設計されている。



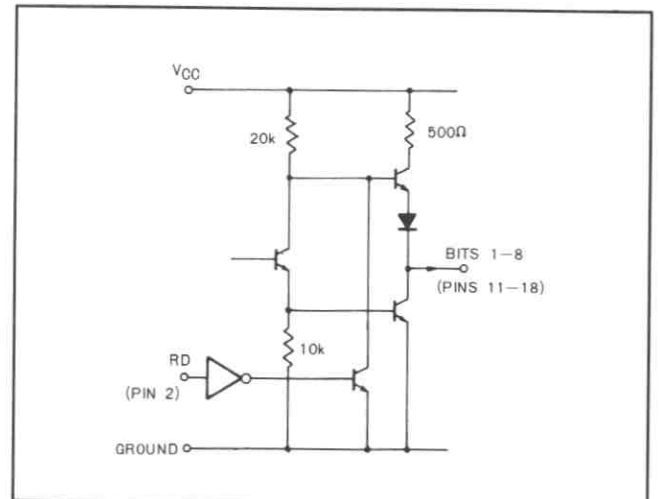
第5図 全ての入力の等価回路

$\overline{BUSY}$ 出力は、図6に示すように、TTL/CMOSコンパチブルになるようにプル・アップされている。



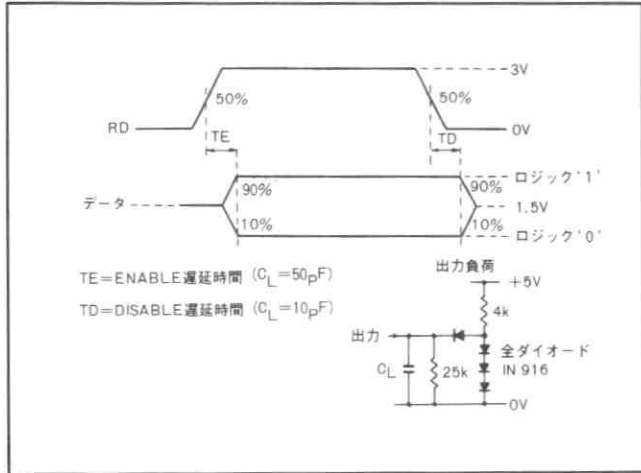
第6図  $\overline{BUSY}$ 出力等価回路

データ出力は、スリー・ステート出力になっている。この等価回路を図7に示す。RD入力がロー・レベルの間、2つの出力トランジスタはオフになり、出力は高インピーダンス状態になる。そして、RDがハイ・レベルの時、データ出力は適当なロジック状態(0又は1)になる。



第7図 データ出力等価回路

‘出力enable/disable遅れ’の試験回路とタイミング図を図8に示す。



第8図 出力enable/disableタイミング図

## アナログ回路

### D/Aコンバータ

コンバータは、図9に示すように電圧スイッチとR-2Rラダー回路から成り立っている。各2R素子は、低オフセット電圧 (<1mV) のトランジスタ・スイッチによって、0VかV<sub>REF IN</sub>に接続される。

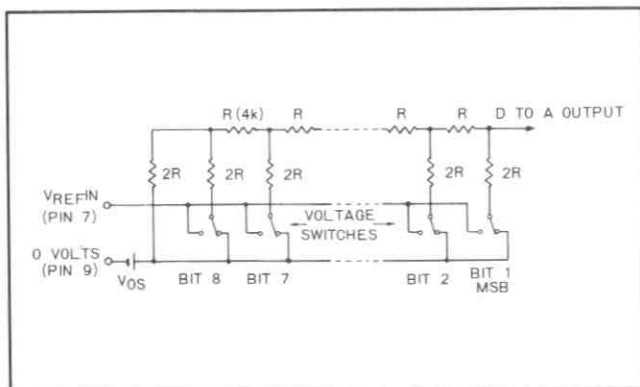
2進加重電圧は、R-2Rラダーで発生する。

$$DA \text{ 出力} = \frac{n}{256} (V_{REF IN} - V_{OS}) + V_{OS}$$

ただし、nは逐次比較ロジックからDAコンバータに出力されるデジタル値

V<sub>OS</sub>は、パッケージのリード抵抗で電源電流が流れることによって生じる小さなオフセット電圧である。V<sub>OS</sub>の値は、ZN427E-8では代表値2mV (4mV、ZN427J-8)である。このオフセットは、通常ZN427の調整中に補正することができるし、オフセットの温度係数は小さい (8μV/°C) ので、精度に与える影響はほとんどない。

D-Aコンバータの出力範囲は0-V<sub>REF IN</sub>で、出力抵抗は4KΩである。



第9図 R-2Rラダー回路

## 基準電圧

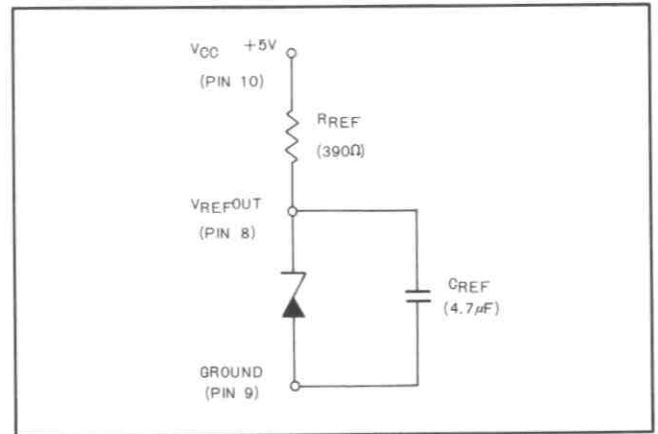
### (a)内蔵基準電圧

ZN427に内蔵の基準電圧は、スロープ抵抗の非常に小さい、2.5Vツェナー・ダイオードと同等のバンド・ギャップ

回路で発生している (図10. 参照)。抵抗R<sub>REF</sub>は、端子8と10の間に接続する。R<sub>REF</sub>に推奨値の390Ωを使った場合、基準電流は (5.0 - 2.5) / 0.39 = 6.4mAとなる。また、デカップリング/安定用コンデンサC<sub>REF</sub> (4.7μF) が、端子8と9の間に必要となる。この内蔵基準電圧を使用する場合、V<sub>REF OUT</sub> (端子8) とV<sub>REF IN</sub> (端子7) を接続する。

1つの内蔵基準電圧で最大5つのZN427に基準電圧を供給できる。この時R<sub>REF</sub>の値を変える必要はない。また、この特徴によって、消費電力を少なくし、各コンバータ間のゲインをそろえることができる。

この基準電圧を外部回路の基準電圧として使用することも可能である。この場合、最大3mAのソース又はシンク電流を流すことができる。



第10図 内蔵基準電圧

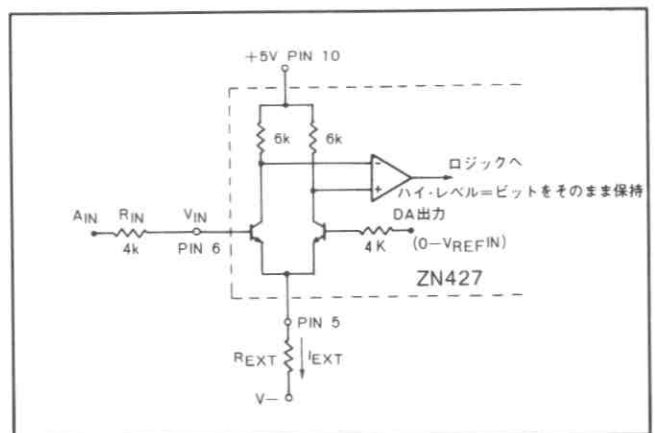
### (b)外部基準電圧

外部基準電圧を使う場合、+1.5から+3.0Vの範囲の基準電圧をV<sub>REF IN</sub>に接続する。この基準電圧のスロープ抵抗は、 $\frac{2.5\Omega}{n}$ 以下でなければならない (nは基準電圧を供給するコンバータの数)。

コンバータの出力が、電源電圧の変動とともに変化する場合、外部基準電圧も同じ電源で駆動するようにする。また、V<sub>REF IN</sub>が1.5V以下でもZN427は動作するが、変換時間は増加する。

## コンパレータ

ZN427が内蔵している高速コンパレータの入力等価回路を図11に示す。



第11図 コンパレータ等価回路

ZN427は-3から-30Vの範囲の負電源で使用できる。また、ZN427は25 $\mu$ Aから150 $\mu$ Aの $I_{EXT}$ で使用できる。しかし、 $I_{EXT}$ は65 $\mu$ Aとするのが良く、したがって $R_{EXT}$ の値は、

$$R_{EXT} = |V_-| / 15K\Omega$$

より得ることができる。

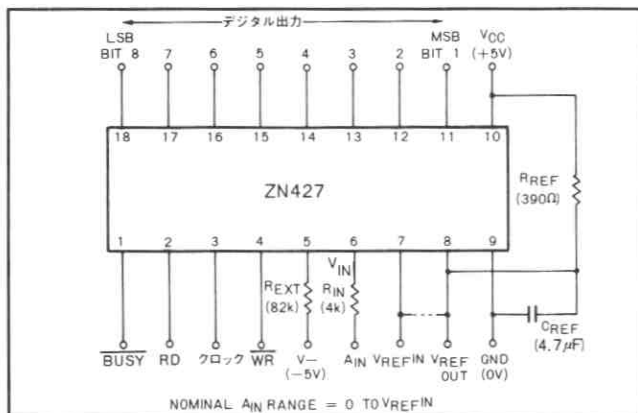
$V_-$ (V)	$R_{EXT}$ ( $\pm 10\%$ )
-3	47 K $\Omega$
-5	82 K $\Omega$
-10	150 K $\Omega$
-12	180 K $\Omega$
-15	220 K $\Omega$
-20	330 K $\Omega$
-25	390 K $\Omega$
-30	470 K $\Omega$

DAコンバータの出力は、4 K $\Omega$ のラダー抵抗を通してコンパレータの一方の入力に接続されている。変換されるアナログ入力、コンパレータのもう一方の入力( $V_{IN}$ 、端子6)に直接接続できるが、温度に対する安定性を考えた場合、ラダー抵抗とマッチさせるためにソース抵抗( $R_{IN} = 4$  K $\Omega$ )を通して入力したほうがよい。

### アナログ入力範囲

ZN427の基本的な接続を図12に示す。この場合、アナログ入力範囲は0から $V_{REF IN}$ であるが、これ以上の入力電圧範囲が必要な時はコンパレータ入力に減衰器を付加する。また、もっと狭い範囲で使用する時は、適当なレベルまで入力信号を増幅する。

バイポーラ入力を使う場合、アナログ入力にオフセットを持たせ、コンパレータの入力電圧がいつも正になるようにする。



第12図 ZN427の外付部品

### ユニポーラ動作

ユニポーラ動作時の概略接続を図13に示す。

$R_1$ と $R_2$ は、アナログ入力( $A_{IN}$ )がフル・スケールの時 $V_{IN} = V_{REF IN}$ となるように選ぶので、フル・スケールの値は次

式で示される：

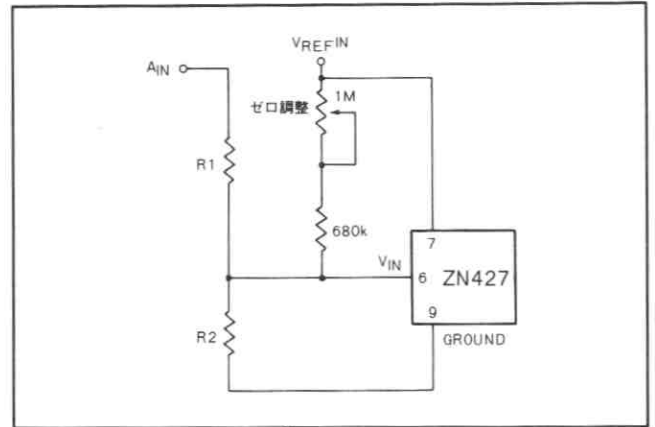
$$A_{IN} FS = \left(1 + \frac{R_1}{R_2}\right) \cdot V_{REF IN} = G \cdot V_{REF IN}$$

ラダー抵抗とマッチさせるために、 $R_1 // R_2 (\approx R_{IN}) = 4$  K $\Omega$ とする。

したがって、 $R_1$ と $R_2$ の値は次式で求めることができる。

$$R_1 = 4G \quad K\Omega$$

$$R_2 = \frac{4G}{G-1} \quad K\Omega$$



第13図 ユニポーラ動作

この関係を使い、 $V_{REF IN} = 2.5V$ の時の $R_1$ と $R_2$ の値を求めると次のようになる。

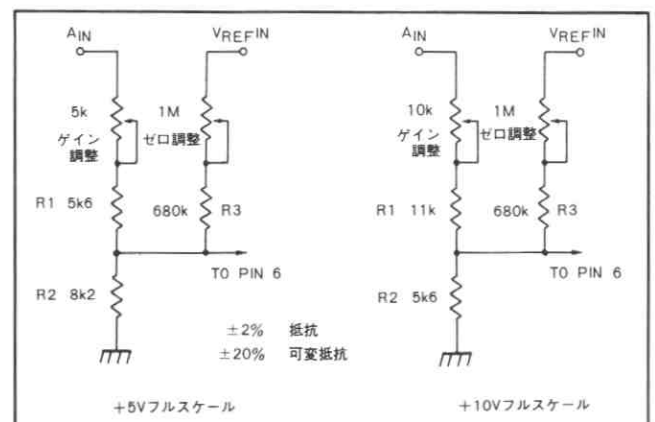
入力電圧範囲	G	$R_1$	$R_2$
+5V	2	8K $\Omega$	8K $\Omega$
+10V	4	16K $\Omega$	5.33K $\Omega$

### ゲイン調整

$R_1$ と $R_2$ のバラツキ及び $V_{REF}$ とDACのゲイン・エラー(フルスケール・エラー)のバラツキによって生じるコンバータのフルスケール誤差は、 $R_1$ で調整する。内蔵基準電圧と2%の抵抗を使用する場合、 $R_1$ は少なくとも $\pm 5\%$ 微調できるようにする。

### ゼロ調整

DACやコンパレータ等の持つオフセットのため、0から1への変化は、基準電圧2.56Vで+1 $\frac{1}{2}$ LSBに相当する15mV $TYP$ がコンパレータに加わった時に起こる。したが



第14図 ユニポーラ動作一部品値

て、この変化が正しく  $\pm 1/2$  LSB 又は  $5\text{mV}$  (基準電圧  $2.56\text{V}$ ) で起こるように調整しなければならない。この調整は、 $R_2$  と  $R_3$  でコンパレータのオフセットを調整することによって達成できる。図の  $R_2$  と  $R_3$  の値を使用すれば、 $V_{REF\ IN}$  の  $1.5$  倍以上の入力電圧範囲で使用できる。

入力電圧範囲  $\pm 5\text{V}$ 、 $\pm 10\text{V}$  の場合の、ゼロ及びゲイン調整回路を図14に示す。

## ユニポーラ動作 調整手順

- (i) 変換時間以上の間隔で  $SC$  パルスを連続的に印加し、デジタル出力を観測する。
- (ii)  $A_{IN}$  に (フルスケール  $-1/2$  LSB) の電圧を加え、ビット  $8$  が  $0$  と  $1$  のフリッカー状態、他の全てのビットが  $1$  になるように調整する。
- (iii)  $A_{IN}$  に  $1/2$  LSB の電圧を加え、ビット  $8$  が  $0$  と  $1$  のフリッカー状態、他の全てのビットが  $0$  になるように調整する。

## ユニポーラ動作 セッティング・ポイント

入力範囲 (+FS)	$1/2$ LSB	FS - $1/2$ LSB
$\pm 5\text{V}$	$9.8\text{mV}$	$4.9707\text{V}$
$\pm 10\text{V}$	$19.5\text{mV}$	$9.9414\text{V}$

$$1\text{LSB} = \frac{FS}{256}$$

## ユニポーラ動作 ロジック・コード

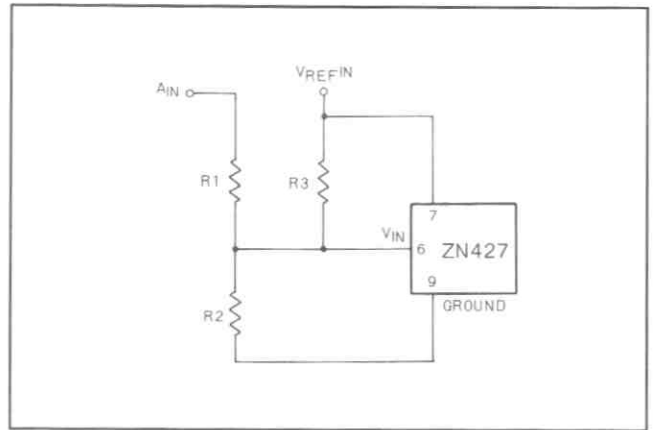
アナログ入力 ( $A_{IN}$ )	出力コード (バイナリ)
FS - $1\text{LSB}$	11111111
FS - $2\text{LSB}$	11111110
$3/4$ FS	11000000
$1/2$ FS + $1\text{LSB}$	10000001
$1/2$ FS	10000000
$1/4$ FS - $1\text{LSB}$	01111111
$1/4$ FS	01000000
$1\text{LSB}$	00000001
$0$	00000000

## バイポーラ動作

バイポーラ動作では、 $V_{REF\ IN}$  と  $V_{IN}$  の間に抵抗  $R_3$  を接続して、 $ZN427$  の入力にフルスケール時に入力に加わる電圧の半分の値のオフセットを与える。

$A_{IN} = -FS$  の時、 $V_{IN}$  は  $0$  になるようにする。又、 $A_{IN} = +FS$  の時、 $V_{IN}$  は  $V_{REF\ IN}$  になるようにする。したがって、フルスケールが  $\pm G \cdot V_{REF\ IN}$  の時、

$$R_1 = (G - 1) \cdot R_2, R_1 = G \cdot R_3 \text{ となる。}$$



第15図 バイポーラ動作

ラダー抵抗とマッチさせるため、

$$R_1/R_2/R_3 (=R_{IN}) = 4K\Omega$$

ゆえに、 $R_1$ 、 $R_2$ 、 $R_3$  は次式で表わせる。

$$R_1 = 8GK\Omega, R_2 = 8G/(G-1)K\Omega, R_3 = 8K\Omega$$

たとえば、入力電圧範囲  $\pm V_{REF\ IN}$  で使った場合

(これは、ユニポーラ動作の  $0 \sim +V_{REF\ IN}$  に相当する)

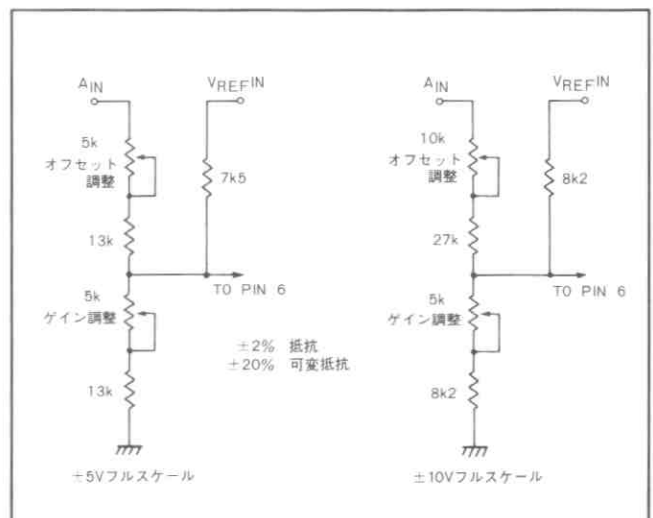
$$R_1 = R_3 = 8K\Omega, R_2 = \infty \text{ となる。}$$

$V_{REF\ IN} = 2.5\text{V}$ 、入力電圧範囲  $\pm 5\text{V}$  及び  $\pm 10\text{V}$  の場合の抵抗値を下表に示す。

入力電圧範囲	G	R1	R2	R3
$\pm 5\text{V}$	2	$16K\Omega$	$16K\Omega$	$8K\Omega$
$\pm 10\text{V}$	4	$32K\Omega$	$10.66K\Omega$	$8K\Omega$

マイナス・フルスケール (オフセット) は、 $R_3$  に対する  $R_1$  の値を調整することによってセットする。また、プラス・フルスケール (ゲイン) は、 $R_1$  に対する  $R_2$  の調整にてセットする。

図16に回路例を示す。



第16図 バイポーラ動作一部品値

$\pm 5\text{V}$  入力の場合、 $R_3$  を  $7.5K\Omega$  ( $\pm 10\text{V}$  入力では  $8.2K\Omega$ ) にすれば、標準のポテンショメーターで調整できる。



## バイポーラ動作 調整手順

- (i) 変換時間以上の間隔でSCパルスを連続的に印加し、デジタル出力を観測する。
- (ii)  $A_{IN}$ に $-(FS - \frac{1}{2}LSB)$ の電圧を加え、ビット8 (LSB) が0と1のフリッカー状態、他の全てのビットが0になるように調整する。
- (iii)  $A_{IN}$ に $+(FS - 1\frac{1}{2}LSB)$ の電圧を加え、ビット8が0と1のフリッカー状態、他の全てのビットが1になるように調整する。
- (iv) ステップ(ii)を繰り返す。

## バイポーラ動作セッティング・ポイント

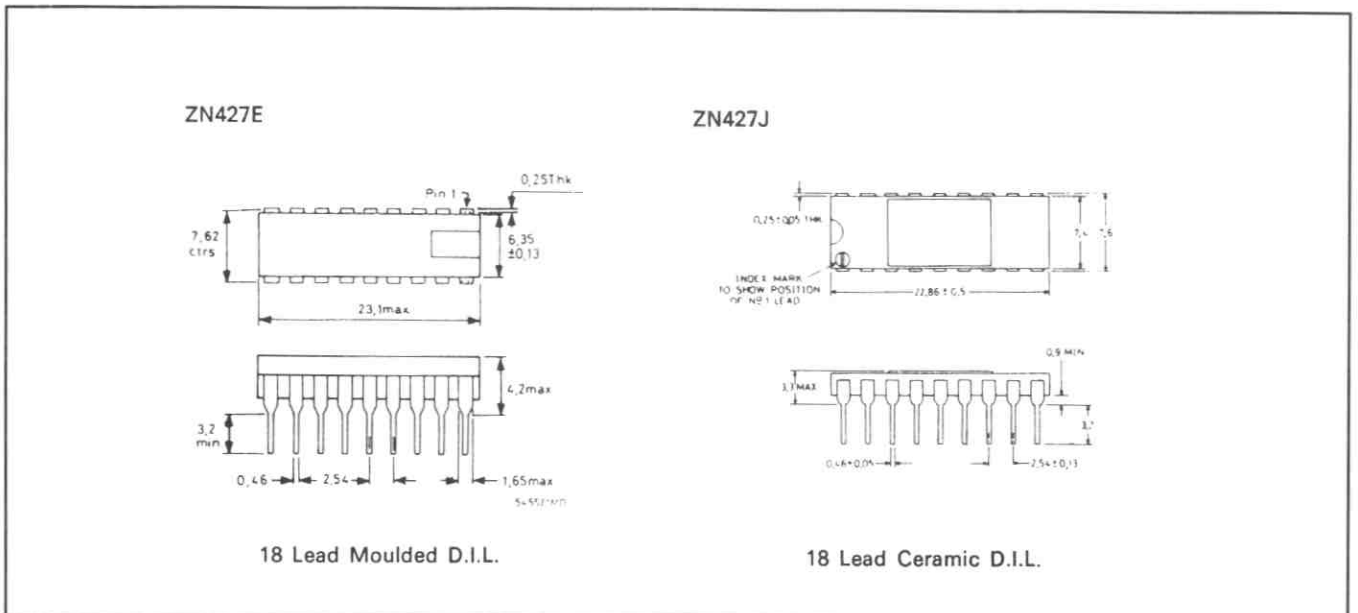
入力電圧範囲(±FS)	$-(FS - \frac{1}{2}LSB)$	$+(FS - 1\frac{1}{2}LSB)$
± 5V	-4.9805V	+4.9414V
±10V	-9.9609V	+9.8828V

$$1\text{ LSB} = \frac{2FS}{256}$$

## バイポーラ動作ロジック・コード

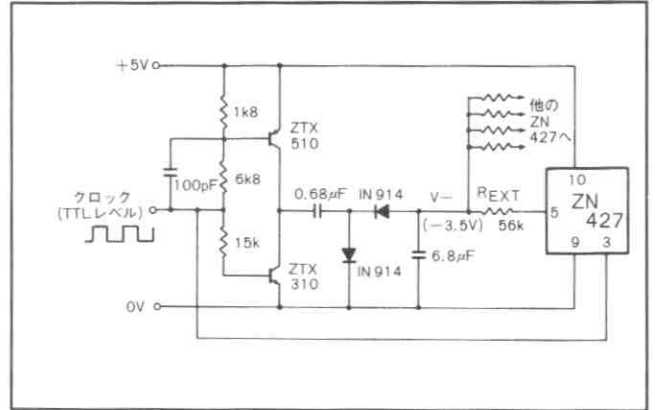
アナログ入力 ( $A_{IN}$ )	出力コード (オフセット・バイナリ)
$+(FS - 1\text{ LSB})$	11111111
$+(FS - 2\text{ LSB})$	11111110
$+\frac{1}{2}FS$	11000000
$+1\text{ LSB}$	10000001
0	10000000
$-1\text{ LSB}$	01111111
$-\frac{1}{2}FS$	01000000
$-(FS - 1\text{ LSB})$	00000001
$-FS$	00000000

## パッケージ寸法 単位 mm



## 単一5V電源による駆動回路

ZN427の負電源の消費電力は非常に小さいので、ダイオード・ポンプ回路を使って容易に負電源を発生することができる。図17の回路は、10KHzから1MHzのクロック周波数で動作し、最高5つのZN427を駆動できる。



第17図 単一5V電源動作

## 最大絶対定格

電源電圧 $V_{CC}$	+7.0V
印加電圧 (ロジック入力及び $V_{REF}$ 入力)	$V_{CC}$
動作周囲温度	0°C ~ +70°C (ZN427E-8) -55°C ~ +125°C (ZN427J-8)
貯蔵温度	-55°C ~ +125°C

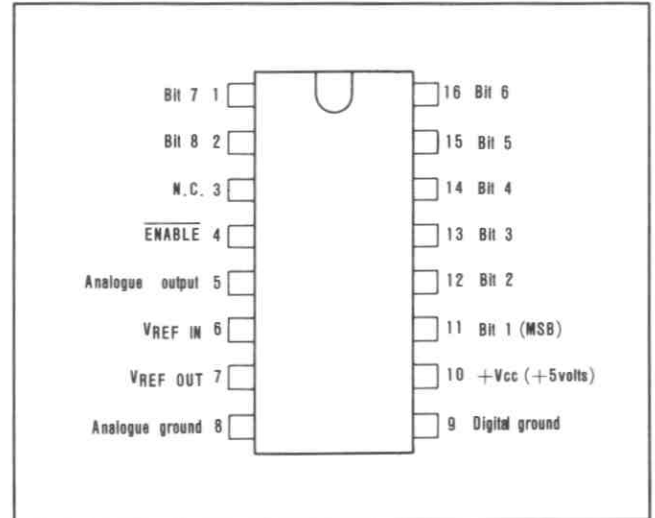
# ZN428

## 8ビット モノリシック D/A コンバータ

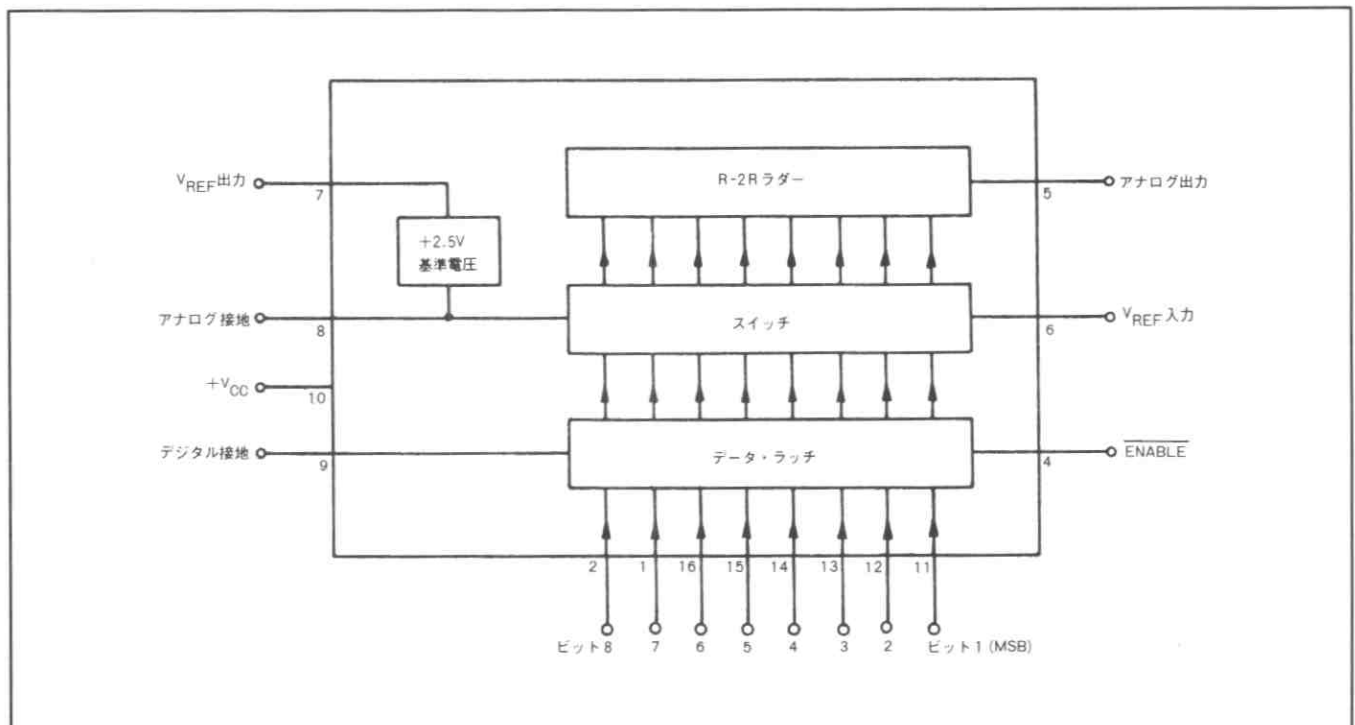
ZN428は、データ・バスと直結できる入力ラッチ付きモノリシック・8ビットD/Aコンバータである。ラッチは、ENABLEがロー・レベルの時データ入力可能となり、ENABLEがハイ・レベルの時はそのデータを保持する。また、ZN428は2.5Vの基準電圧を内蔵している。しかし、この基準電圧を使用しないで、外部基準電圧を使用してもよい。

### 特 徴

- データ・ラッチ、基準電圧内蔵
- 全動作温度範囲でモノトニック
- 5V単一電源
- マイクロプロセッサ・コンパチブル
- TTL/5VCMOSコンパチブル
- セトリング時間 800nS
- ZN427・ADCとコンプリメンタリ



端子接続 (上面より)



第1図 システム図

## 電気的特性

テスト条件 (特に注記なき限り)

電源電圧  $V_{CC} = +5V$ 、周囲温度  $T_{amb} = 25^{\circ}C$

特 性	数 値			単 位	テ ス ト 条 件
	Min.	Typ.	Max.		
<b>内蔵基準電圧</b>					
出力電圧	2.475	2.550	2.625	V	} $R_{REF} = 390\Omega$ $C_{REF} = 1\mu F$
スロープ抵抗	—	0.5	2	$\Omega$	
$V_{REF OUT}$ 温度係数	—	50	—	ppm/ $^{\circ}C$	
基準電流	4	—	15	mA	注 1
<b>DAコンバータ</b>					
リニアリティ誤差	—	—	$\pm 0.5$	LSB	} $2.0V \leq V_{REF IN} \leq 3.0V$
ディフェレンシャル・ノン・リニアリティ	—	$\pm 0.5$	—	LSB	
リニアリティ誤差温度係数	—	$\pm 3$	—	ppm/ $^{\circ}C$	
ディフェレンシャル・ノン・リニアリティ温度係数	—	$\pm 6$	—	ppm/ $^{\circ}C$	
オフセット電圧	—	2	5	mV	全ビット '0'
オフセット電圧温度係数	—	$\pm 6$	—	$\mu V/^{\circ}C$	
フルスケール出力	2.545	2.550	2.555		} 外部基準電圧使用 $V_{REF IN} = 2.560V$ 全ビット '1'
フルスケール出力温度係数	—	2	—	ppm/ $^{\circ}C$	
アナログ出力抵抗	—	4	—	K $\Omega$	
外部基準電圧	0	—	3.0	V	
セットリング時間 (許容誤差0.5LSB)	—	800	—	nS	1 LSB変化 (注 2)
	—	1.25	—	$\mu S$	全ビットオンからオフ 又はオフからオン (注 2)
動作周囲温度					
ZN428E-8	0	—	70	$^{\circ}C$	
ZN428J-8	-55	—	125	$^{\circ}C$	
電源電圧 ( $V_{CC}$ )	4.5	5.0	5.5	V	
電源電流	—	20	30	mA	注 3
消費電力	—	100	—	mW	
<b>ロジック</b> (全動作温度範囲で)					
ハイ・レベル入力電圧	2.0	—	—	V	
ロー・レベル入力電圧	—	—	0.8	V	
ハイ・レベル入力電流	—	—	60	$\mu A$	$V_{IN} = 5.5V$ 、 $V_{CC} = 5.5V$
	—	—	20	$\mu A$	$V_{IN} = 2.4V$ 、 $V_{CC} = 5.5V$
ロー・レベル入力電流	—	—	-5	$\mu A$	$V_{IN} = 0.4V$ 、 $V_{CC} = 5.5V$
入力クランプ・ダイオード電圧	—	-1.5	—	V	$I_{IN} = -8mA$
ENABLE パルス幅	100	—	—	nS	
データ・セットアップ時間	150	—	—	nS	注 4
データ・ホールド時間	10	—	—	nS	注 5

(注 1) 20ページ「基準電圧」参照。

(注 2)  $R_L = 10M\Omega$ 、 $C_2 = 10pF$

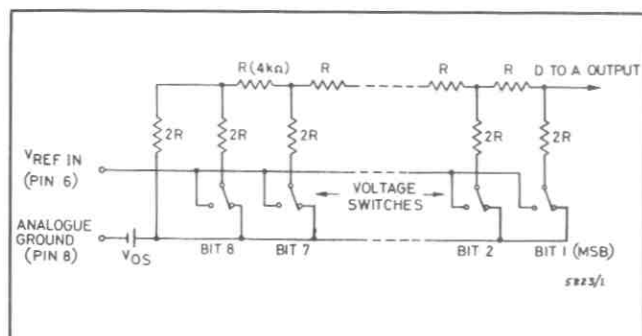
(注 3) 全入力ハイ ( $V_{IN} = 3.5V$ ) の場合。

(注 4)  $\overline{ENABLE}$  をハイにする前のセット・アップ時間。

(注 5)  $\overline{ENABLE}$  をハイにした後のホールド時間。

## 動作概要

コンバータは、図2に示すように電圧スイッチとR-2Rラダー回路から成り立っている。各2R素子は、低オフセット電圧 (< 1 mV) のトランジスタ・スイッチによって、0 Vから $V_{REF IN}$ に接続される。そして、2進加重み電圧はR-2Rラダーで発生する。

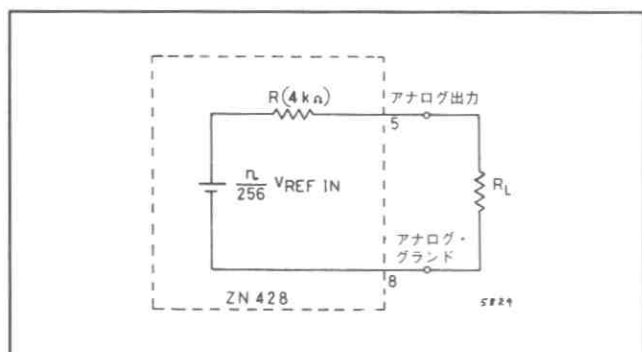


第2図 R-2Rラダー回路

$$\text{アナログ出力} = \frac{n}{256} (V_{REF IN} - V_{OS}) + V_{OS}$$

ただし、nはデータ・ラッチからDAコンバータに出力されるデジタル値

$V_{OS}$ は、DAスイッチ電流がパッケージのリード抵抗で流れることによって生ずる小さなオフセット電圧である。 $V_{OS}$ の値は代表値1 mVである。また、このオフセット電圧は、通常ZN428の調整中に補正することができるし、オフセットの温度係数は非常に小さい ( $\pm 6 \mu\text{V}/^\circ\text{C}$ ) ので、精度に与える影響はほとんどない。



第3図 アナログ出力等価回路

図3は、出力の等価回路である ( $V_{OS}$ は無視している)。出力抵抗Rの温度係数は、 $+0.2\%/^\circ\text{C}$ である。したがって、ゲイン・ドリフトは、 $\frac{0.2R}{R+R_L} \%/^\circ\text{C}$ となる。

$R_L$ は、ゲイン・ドリフトを小さくするために、できるだけ大きな値を選ぶ。たとえば、 $R_L = 400\text{K}\Omega$ の場合、周囲温度 $100^\circ\text{C}$ の変化に対して $0.2\%$ 以下のゲインドリフトとなる。また、ZN428の出力に増幅器を取り付けてパッファしてもよい。

## 基準電圧

### (a)内蔵基準電圧

内蔵基準電圧は、スロープ抵抗の非常に小さい、 $2.5\text{V}$ ツェナー・ダイオードと同等のバンド・ギャップ回路で発生している (図4参照)。抵抗 $R_{REF}$ は、端子7と $V_{CC}$  (端子10)の

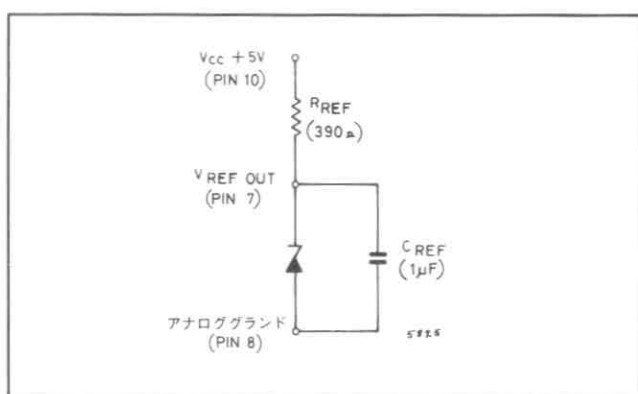
間に接続する。 $R_{REF}$ に推奨値の $390\Omega$ を使った場合、基準電流は  $(5.0 - 2.5) / 0.39 = 6.4\text{mA}$ となる。また、デカップリング/安定用コンデンサ $C_{REF}$  ( $1\mu\text{F}$ )が、端子7と8の間に必要となる。この内部基準電圧を使用する場合、 $V_{REF OUT}$  (端子7)と $V_{REF IN}$  (端子6)を接続する。

1つの内蔵基準電圧で最大5つのZN427に基準電圧を供給できる。この時 $R_{REF}$ の値を変える必要はない。また、この特徴によって、消費電力を少なくし、各コンバータ間のゲインをそろえることができる。

### (b)外部基準電圧

外部基準電圧を使用する場合、それを $V_{REF IN}$ 端子に接続する。この基準電圧は、スロープ抵抗が $\frac{2.5}{n}\Omega$ 以下のものを使用する (ただし、nは接続するコンバータの数とする)。

$V_{REF IN}$ は0から+3 Vの値で使用できるが、単調性の保証範囲は2 V以上である。



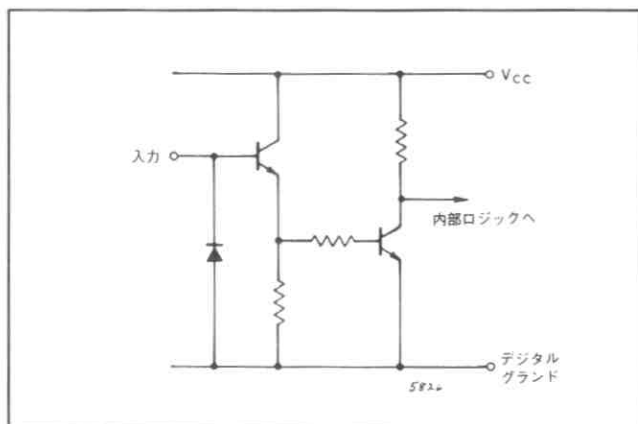
第4図 内蔵基準電圧

## ロジック

入力コードは、ユニポーラ動作ではバイナリ、バイポーラ動作ではオフセット・バイナリである。またENABLE入力がロー・レベルの時、入力データは直接DAコンバータを駆動し、ハイ・レベルの時、入力データはラッチされる。

データ及びクロック入力の等価回路を図5に示す。

ZN428は、デジタルとアナログの2つの接地端子を持っている。この2つの接地端子間の電圧は、最大 $\pm 200\text{mV}$ とする。



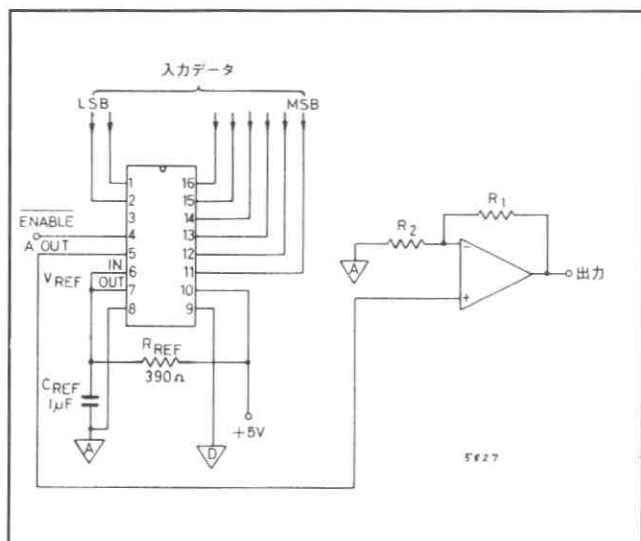
第5図 全入力の等価回路

# 応用例

## ユニポーラ動作

ZN428の出力電圧範囲は0から $V_{REF IN}$ で、出力抵抗は4K $\Omega$ である。しかし、増幅器を使えば、これ以上の出力範囲も容易に得ることができる。

図6の回路は、入力バイアス電流が1.5 $\mu A$ 以下の増幅器を使用する場合に適している。



第6図 ユニポーラ動作

フルスケールは次式で表わされる。

$$V_{OUT} FS = \left(1 + \frac{R_1}{R_2}\right) V_{REF IN} = G \cdot V_{REF IN}$$

反転入力インピーダンスは、 $R_1 // R_2$ であり、温度に対するドリフトを最小にするためラダー抵抗(4K $\Omega$ )と同じ値にする。したがって、 $R_1$ と $R_2$ は次式で表わされる。

$$R_1 = 4GK\Omega, R_2 = 4G / (G - 1) K\Omega$$

この関係を使って、 $V_{REF IN} = 2.5V$ の時の $R_1$ 、 $R_2$ の値を求めると次のようになる。

出力電圧範囲	G	R1	R2
+5V	2	8K $\Omega$	8K $\Omega$
+10V	4	16K $\Omega$	5.33K $\Omega$

出力範囲+5V、+10Vの回路例(増幅器調整用部品を含む)を図7に示す。ゲインを調整するため、 $R_1$ は可変にする。また、この回路のセトリング時間は、1.5 $\mu s_{TYP.}$ である。

## ユニポーラ動作 調整手順

(i)  $\overline{ENABLE}$  をロー・レベルにし、全てのビットを '0' に設定する。そして、 $V_{OUT} = 0.0000V$  になるまでゼロ調整をする。

(ii) 全てのビットを '1' に設定し、 $V_{OUT} = FS - 1 LSB$  になるまでゲイン調整をする。

## ユニポーラ動作 セッティング・ポイント

出力電圧範囲(+FS)	LSB	FS-1LSB
+5V	19.5mV	4.9805V
+10V	39.1mV	9.9609V

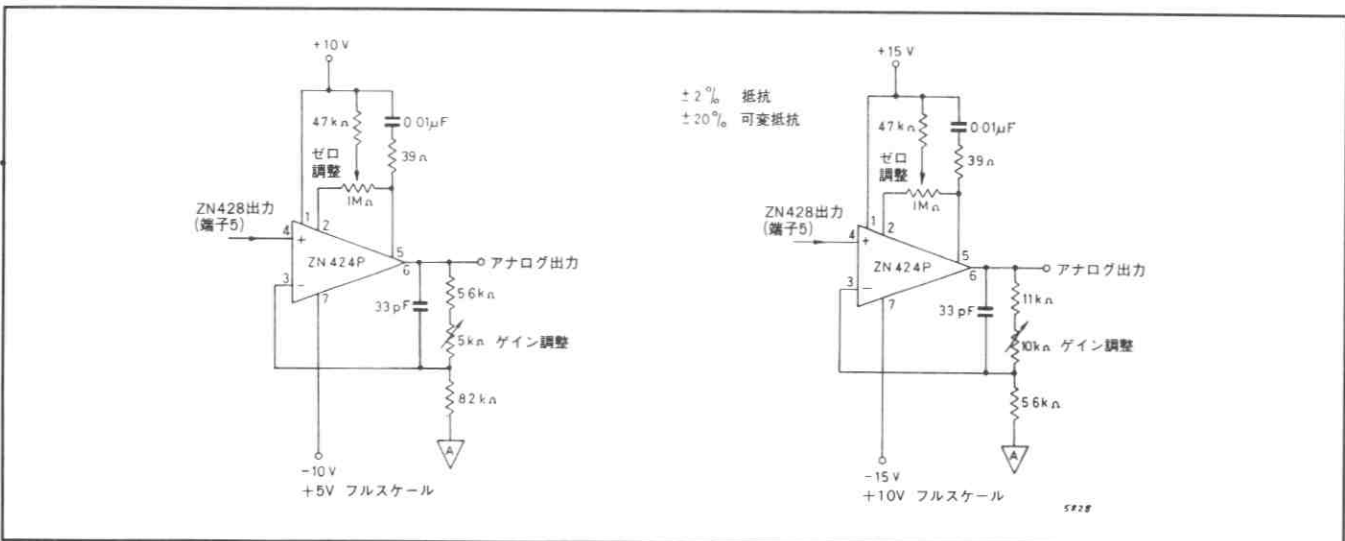
$$1 LSB = \frac{FS}{256}$$

## ユニポーラ動作 ロジック・コード

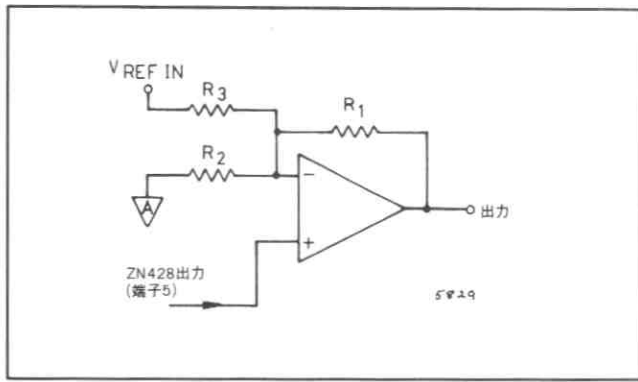
入力コード (バイナリ)	アナログ出力
11111111	FS-1LSB
11111110	FS-2LSB
11000000	$\frac{3}{4}FS$
10000001	$\frac{1}{2}FS + 1LSB$
10000000	$\frac{1}{2}FS$
01111111	$\frac{1}{2}FS - 1LSB$
01000000	$\frac{1}{4}FS$
00000001	1LSB
00000000	0

## バイポーラ動作

バイポーラ動作では、 $V_{REF IN}$  とバッファ・アンプの反転入力に間に抵抗 $R_3$ を接続して、ZN428の出力に、フルスケール時の半分の電圧のオフセットを与える。



第7図 ユニポーラ動作 部品値



第8図 バイポーラ動作

ZN428のデジタル入力が‘0’の時、アナログ出力は‘0’に、増幅器出力は-FSとなる。また、全ビットが‘1’の時、ZN428の出力は $V_{REF IN}$ に、増幅器出力は+FSとなる。そして、 $R_1$ 、 $R_2$ 、 $R_3$ の並列抵抗はラダー抵抗とマッチするように、 $4K\Omega$ にする。

この条件を満たすように、 $R_1$ 、 $R_2$ 、 $R_3$ を計算すると次のようになる。

$$R_1 = 8G K\Omega, R_2 = 8G / (G - 1) K\Omega, R_3 = 8K\Omega$$

この結果、出力範囲は $\pm G \cdot V_{REF IN}$ になる。

バイポーラ出力範囲 $\pm V_{REF IN}$  (ユニポーラ出力 $0 \sim V_{REF IN}$ に相当する)を得るためには、 $R_1 = R_3 = 8K\Omega$ 、 $R_2 = \infty$ となる。

$V_{REF IN} = 2.5V$ 、出力電圧範囲 $\pm 5V$ 、 $\pm 10V$ の場合の抵抗値は次のようになる。

出力電圧範囲	G	R1	R2	R3
$\pm 5V$	2	16K $\Omega$	16K $\Omega$	8K $\Omega$
$\pm 10V$	4	32K $\Omega$	10.66K $\Omega$	8K $\Omega$

マイナス・フルスケール (オフセット) は、 $R_3$ に対する $R_1$ の値を調整することによってセットする。また、プラス・フルスケール (ゲイン) は、 $R_1$ に対する $R_2$ の値

を調整することによってセットする。

図9に、応用回路例を示す。フルスケール $\pm 5V$ の場合、 $R_3$ を $7.5K\Omega$  (フルスケール $\pm 10V$ では $8.2K\Omega$ ) にすれば、標準のポテンショメーターで調整できる。また、セトリング時間は $1.5\mu S_{TYP.}$ である。

### バイポーラ動作 調整手順

- (i)  $\overline{ENABLE}$  をロー・レベルにし、全てのビットを‘0’に設定する。そして、増幅器出力が-FSになるように調整する。
- (ii) 全てのビットを‘1’に設定し、増幅器出力が+ (FS-1 LSB) になるように調整する。

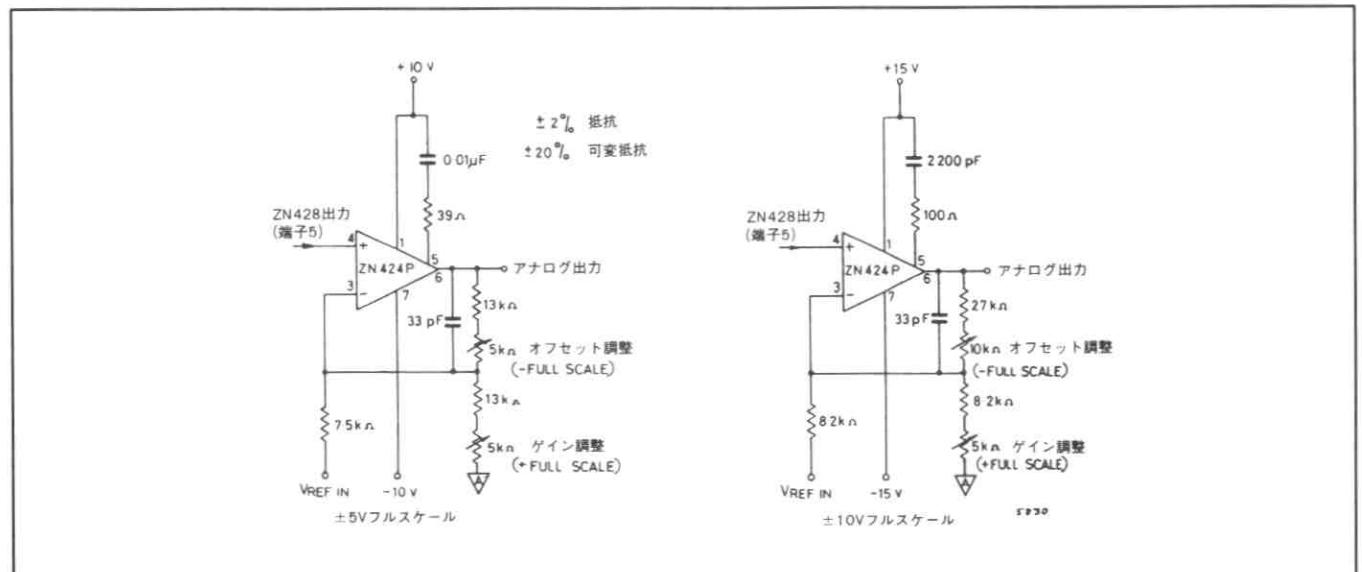
### バイポーラ動作 セットアップ・ポイント

出力電圧範囲 ( $\pm FS$ )	LSB	-FS	+(FS-1LSB)
$\pm 5V$	39.1mV	-5.0000V	+4.9609V
$\pm 10V$	78.1mV	-10.0000V	+9.9219V

$$1 \text{ LSB} = \frac{2FS}{256}$$

### バイポーラ動作 ロジック・コード

入力コード (オフセット・バイナリ)	アナログ出力
11111111	+(FS-1LSB)
11111110	+(FS-2LSB)
11000000	$+\frac{1}{2}FS$
10000001	+1LSB
10000000	0
01111111	-1LSB
01000000	$-\frac{1}{2}FS$
00000001	-(FS-1LSB)
00000000	-FS

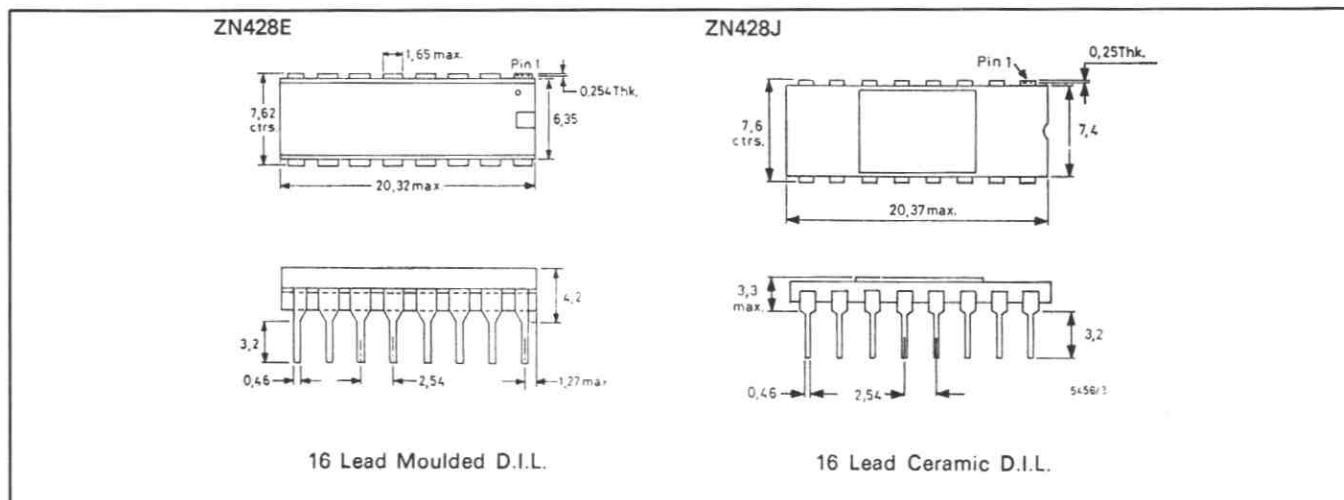


第9図 バイポーラ動作一部品値

# 最大絶対定格

電源電圧 $V_{CC}$	+7.0V
印加電圧 (ロジック入力) 及び $V_{REF}$ 入力)	+ $V_{CC}$
動作周囲温度	0°C ~ +70°C (ZN428E-8) -55°C ~ +125°C (ZN428J-8)
貯蔵温度	-55°C ~ +125°C
アナログ・デジタル 接地間電圧	±200mV

## パッケージ寸法 単位 mm



# ZN429

## 8ビット モノリシック D/A コンバータ

ZN429は、8ビット DA コンバータで、R-2Rラダー回路と精密バイポーラ・スイッチより成り立っている。

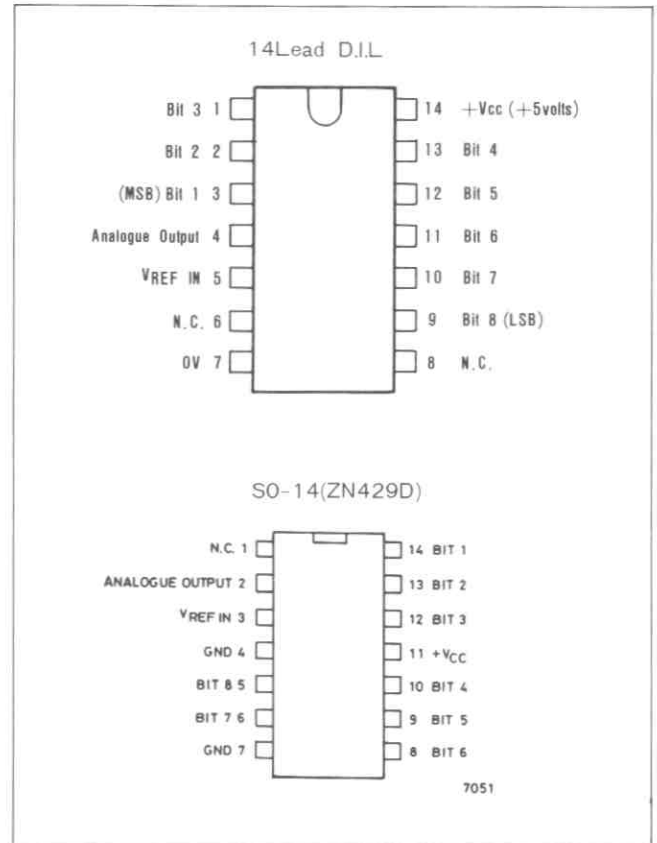
各2R素子は、低オフセット電圧(1mV<sub>typ</sub>)のトランジスタ・スイッチによって、0VかV<sub>REF</sub>に接続される。2進加重み電圧は、ビット入力の値にしたがって、R-2Rラダーで発生する。

外付する基準電圧のスロープ抵抗は、2Ω以下にする。フェランティ社のIC・ZN404及びZN458は、この基準電圧として使用できる。ZN404は5つのZN429を、ZN458は10個のZN429を駆動できる。

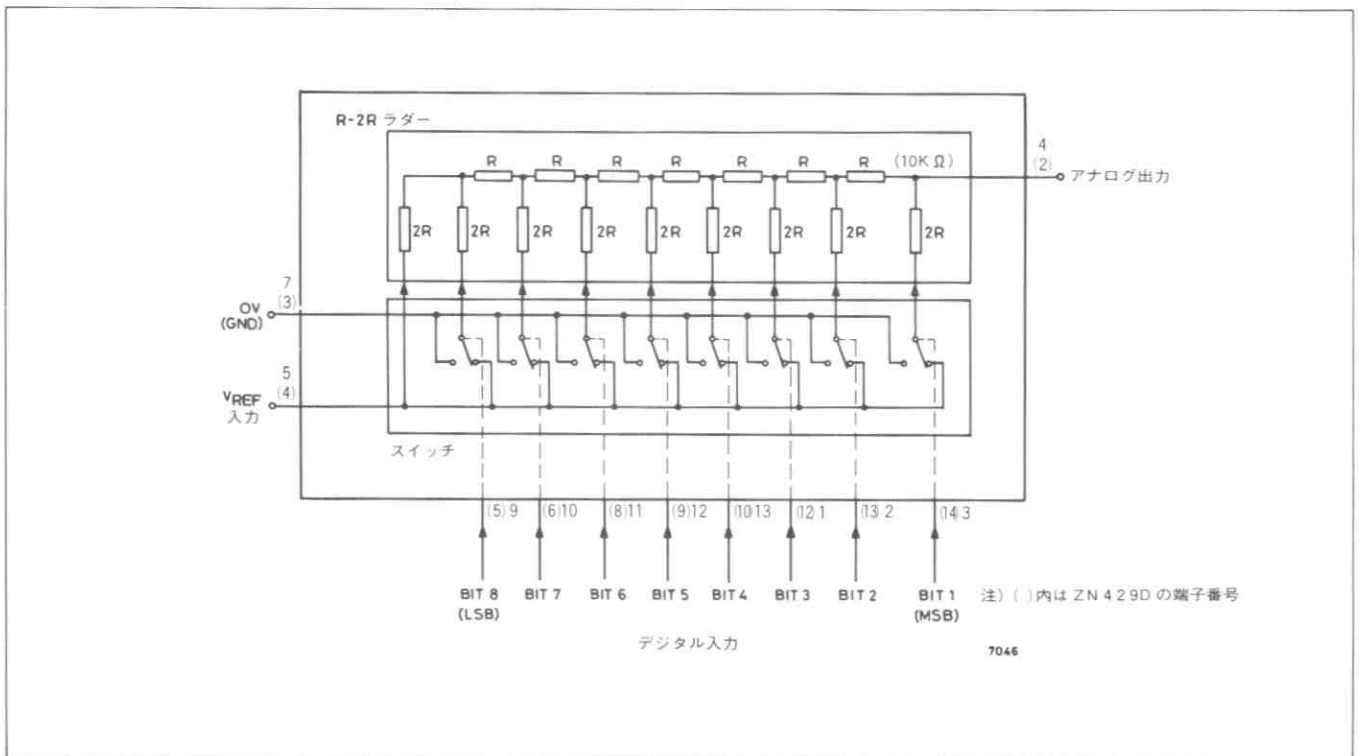
また、小型のミニフラット・パッケージ(SO-14)にての供給も可能なため、プリント基板の高密度化、自動実装そしてコストの低減をはかることができます。

### 特徴

- リニアリティ誤差 $\pm\frac{1}{2}$ LSB
- 5V単一電源
- 低消費電力 25mW typ.
- セットリング時間 1μS typ.
- TTL/5V CMOS コンパチブル
- ロー・コスト



端子接続 (上面より)



第1図 システム図



## 電気的特性

テスト条件 (特に注記なき限り)

電源電圧  $V_{CC} = +5V$ 、周囲温度  $T_{amb} = 25^{\circ}C$

特 性	シンボル	数 値			単 位	条 件
		Min.	Typ.	Max.		
コンバータ						
分解能		8	—	—	ビット	
精 度		8	—	—	ビット	$V_{REF}$ 入力=2.0~3.0V
ノン・リニアリティ		—	—	$\pm 0.5$	LSB	注1
ディフェレンシャル・ノン・リニアリティ		—	$\pm 0.5$	—	LSB	注2
セトリング時間		—	1.0	—	$\mu S$	1 LSB変化
		—	2.0	—	$\mu S$	全ビット '0' から '1' 又は '1' から '0'
オフセット電圧	$V_{os}$					注1
ZN429J		—	5.0	8.0	mV	全ビット '0'
ZN429E		—	3.0	5.0	mV	
ZN429D		—	3.0	5.0	mV	
$V_{os}$ 温度係数		—	5	—	$\mu V/^{\circ}C$	
フルスケール出力		2.545	2.550	2.555	V	全ビット '1' Ext. $V_{REF}=2.560V$
フルスケール温度係数		—	3	—	ppm/ $^{\circ}C$	Ext. $V_{REF}=2.560V$
ノン・リニアリティ温度係数		—	7.5	—	ppm/ $^{\circ}C$	FSRに関して
アナログ出力抵抗	$R_o$	—	10	—	$K\Omega$	
外部基準電圧		0	—	3.0	V	
電源電圧	$V_{CC}$	4.5	—	5.5	V	
電源電流	$I_s$	—	5	9	mA	
ハイ・レベル入力電圧	$V_{IH}$	2.0	—	—	V	
ロー・レベル入力電圧	$V_{IL}$	—	—	0.7	V	
ハイ・レベル入力電流	$I_{IH}$	—	—	10	$\mu A$	$V_{CC}=5.5V, V_I=2.4V$
		—	—	100	$\mu A$	$V_{CC}=5.5V, V_I=5.5V$
ロー・レベル入力電流	$I_{IL}$	—	—	-0.18	mA	$V_{CC}=5.5V, V_I=0.3V$

(注1) ZN429JとZN429Eの違いは次の通りである。

(a) ZN429Jは、温度範囲 $-55^{\circ}C \sim 0^{\circ}C$ 及び $+70^{\circ}C \sim +125^{\circ}C$ の間で、リニアリティ・エラーの最大値が $\pm 1$  LSB ( $\pm 0.3\%$  FSR) に増加する。

(b) 電気的特性表に示す通り、オフセット電圧が異なる。この違いは、パッケージのリード抵抗の違いによって生じる。しかし、オフセット電圧は、ZN429の調整中に補正されるし、オフセットの温度係数は小さいので、精度に与える影響はほとんどない。

(注2) 全動作温度範囲でモノトニックである。

# 応用

## (1)ユニポーラDAコンバータ

ZN429の出力電圧範囲は、10KΩの負荷抵抗に対して0からVREF INであるが、増幅回路を外付することによってこれ以外の出力電圧範囲も簡単に得ることができる。

第3図の回路のフル・スケール出力電圧は、次式で表わされる。

$$V_{OUT FS} = (1 + \frac{R_1}{R_2}) V_{REF IN} = G \cdot V_{REF IN}$$

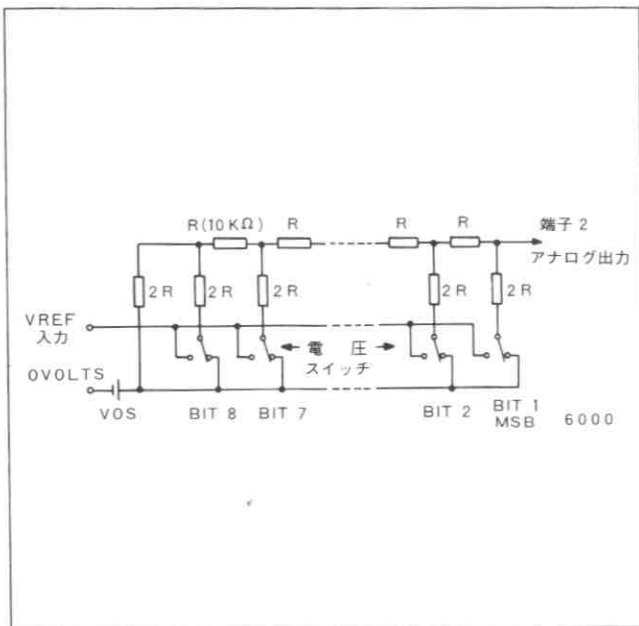
オペ・アンプの反転入力インピーダンスは、R1//R2であり、温度に対するドリフトを小さくするために、この並列抵抗の値はラダー抵抗の値(10KΩ)と等しくなければならない。したがってR1とR2は次のようになる。

$$R_1 = 10GK\Omega, R_2 = 10G / (G - 1)K\Omega$$

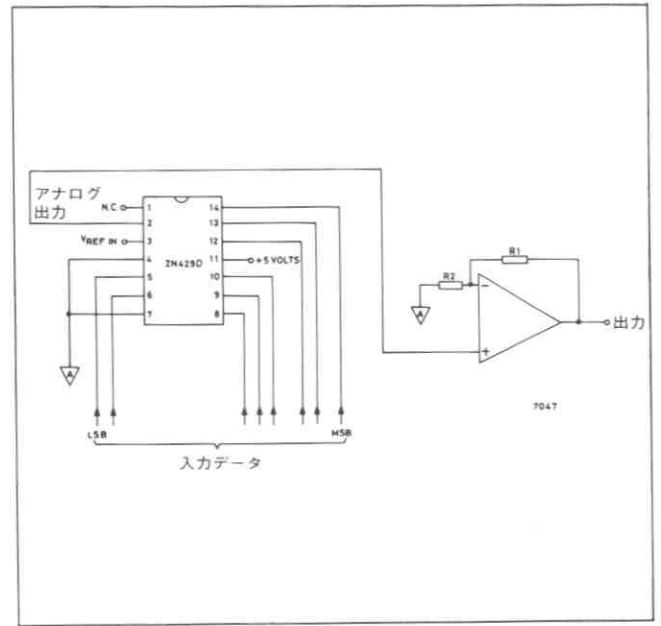
この関係を使って、VREF IN=2.5Vに対するR1とR2の値は次のように算出される。

出力範囲	G	R <sub>1</sub>	R <sub>2</sub>
+ 5V	2	20kΩ	20kΩ
+10V	4	40kΩ	13.33kΩ

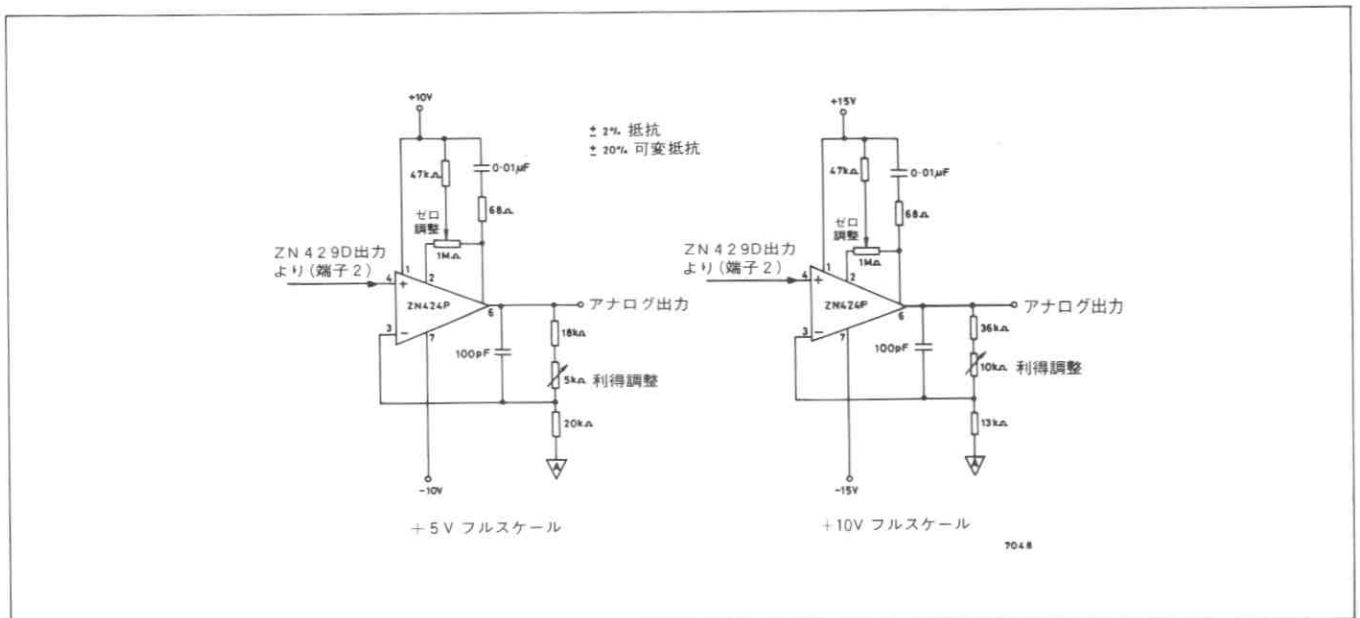
利得調整はR1によって行うことができる。出力電圧範囲+5Vおよび+10Vの場合の実際の回路(オペ・アンプの調整用部品を含む)を第4図に示す。この回路では、出力電圧の大きな変化に対するセトリング時間は、代表値2.5μsとなる。



第2図 R-2Rラダー回路



第3図 ユニポーラ動作 基本回路



第4図 ユニポーラ動作 部品値

## ユニポーラ動作 調整手順

- (i) 全てのビットを '0' (ロー) に設定し、 $V_{OUT}=0.0000$  V になるまでゼロ調整をする。
- (ii) 全てのビットを '1' (ハイ) に設定し、 $V_{OUT}=FS - 1\text{LSB}$  になるまで利得調整をする。

## ユニポーラ動作 セッティング・ポイント

出力電圧範囲(+FS)	LSB	FS-1 LSB
+5V	19.5mV	4.9805V
+10V	39.1mV	9.9609V

$$1\text{LSB} = \frac{FS}{256}$$

## ユニポーラ動作 ロジック・コード

入力コード (バイナリ)	アナログ出力
11111111	FS-1 LSB
11111110	FS-2 LSB
11000000	$\frac{3}{4}FS$
10000001	$\frac{1}{2}FS + 1\text{LSB}$
10000000	$\frac{1}{2}FS$
01111111	$\frac{1}{2}FS - 1\text{LSB}$
01000000	$\frac{1}{4}FS$
00000001	1 LSB
00000000	0

## (2)バイポーラDAコンバータ

バイポーラ動作の場合、ZN429の出力にフルスケールの $\frac{1}{2}$ のオフセットを持たせるために、抵抗R3を $V_{REF\ IN}$ とバッファ・アンプの反転入力に接続する(第5図参照)。

ZN429のデジタル入力が0の時、アナログ出力は0となり、増幅器出力は-(フルスケール)にならない。全ビット1の入力に対しては、ZN429の出力は約 $V_{REF\ IN}$ となり、増幅器出力は+(フルスケール)にならない。また、ラダー抵抗とマッチさせるため、R1、R2、R3の並列抵抗値は $10\text{k}\Omega$ とする。

これらの条件に合ったR1、R2、R3の値は、次のように表わされる。

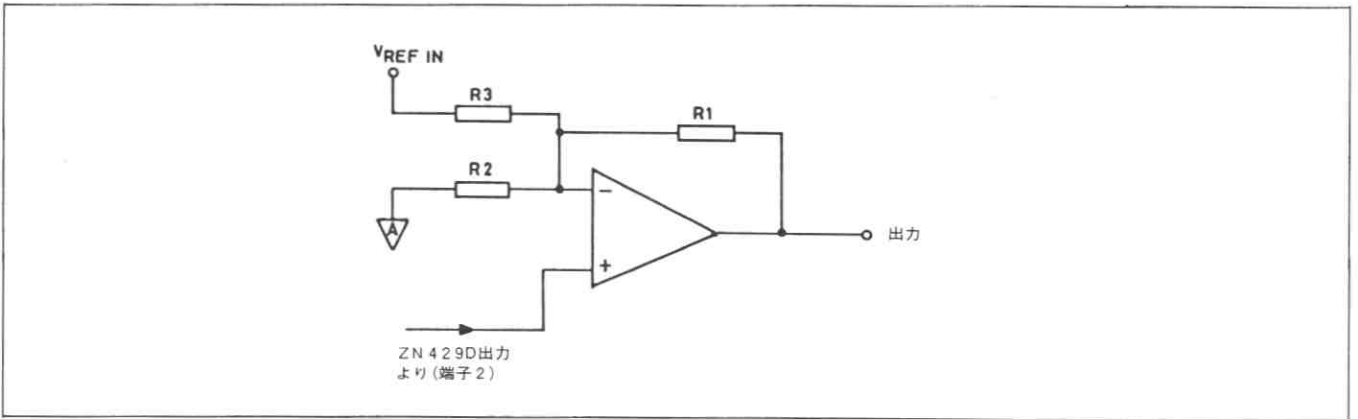
$R1 = 20\text{G}\text{K}\Omega$ 、 $R2 = 20\text{G} / (\text{G}-1)\text{K}\Omega$ 、 $R3 = 20\text{K}\Omega$   
ただし、出力電圧範囲は $\pm\text{G} \cdot V_{REF\ IN}$ とする。

$V_{REF\ IN} = 2.5\text{V}$ とすると、出力電圧範囲 $\pm 5\text{V}$ 、 $\pm 10\text{V}$ に対する抵抗値は次表のようになる。

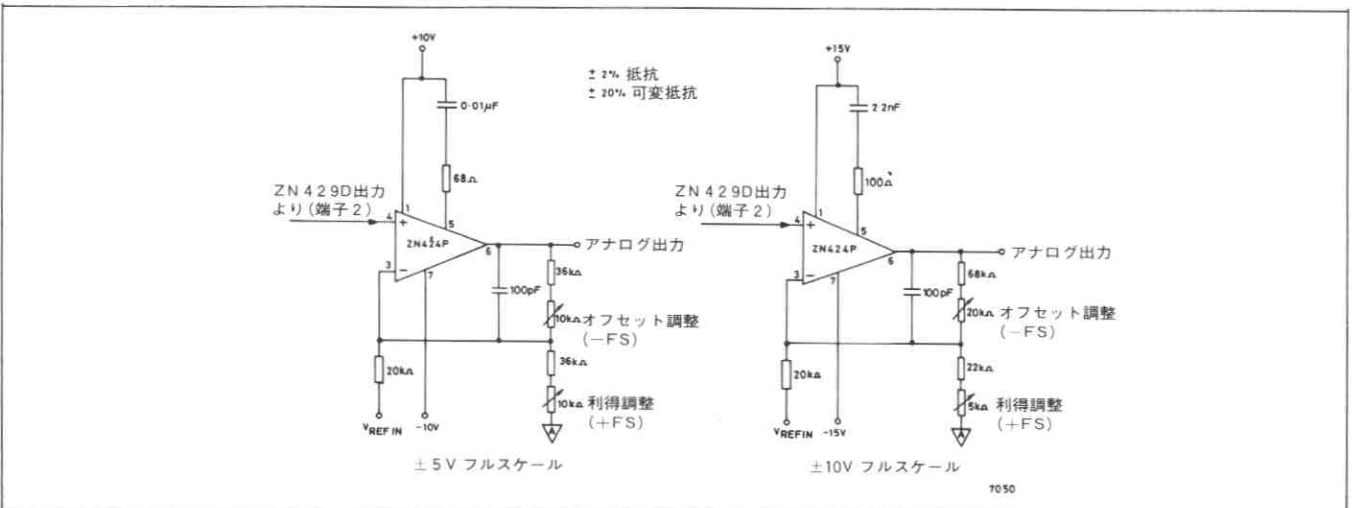
出力電圧範囲	G	R <sub>1</sub>	R <sub>2</sub>	R <sub>3</sub>
$\pm 5\text{V}$	2	$40\text{k}\Omega$	$40\text{k}\Omega$	$20\text{k}\Omega$
$\pm 10\text{V}$	4	$80\text{k}\Omega$	$26.67\text{k}\Omega$	$20\text{k}\Omega$

マイナス・フルスケール(オフセット)は、R3に対するR1の値を調整することによって設定する。また、プラス・フルスケール(利得)は、R1に対するR2の値を調整することによって設定する。

出力電圧の大きな変化に対するセトリング時間は、代表値 $2.5\mu\text{S}$ となる。



第5図 バイポーラ動作 基本回路



第6図 バイポーラ動作 部品値

## バイポーラ動作 調整手順

- (i) 全てのビットを '0' (ロー) に設定し、増幅器出力が - (フルスケール) になるようにオフセット調整する。
- (ii) 全てのビットを '1' (ハイ) に設定し、増幅器出力が + (フルスケール - 1 LSB) になるように利得調整する。

## バイポーラ動作 セットアップ・ポイント

出力電圧範囲(FS)	LSB	±FS	+(FS-1LSB)
± 5V	39.1mV	-5.0000V	+4.9609V
±10V	78.1mV	-10.0000V	+9.9219V

$$1 \text{ LSB} = \frac{2 \text{ FS}}{256}$$

## バイポーラ動作 ロジック・コード

入力コード (オフセット・バイナリ)	アナログ出力
11111111	+(FS-1LSB)
11111110	+(FS-2LSB)
11000000	+½FS
10000001	+1LSB
10000000	0
01111111	-1LSB
01000000	-½FS
00000001	-(FS-1LSB)
00000000	-FS

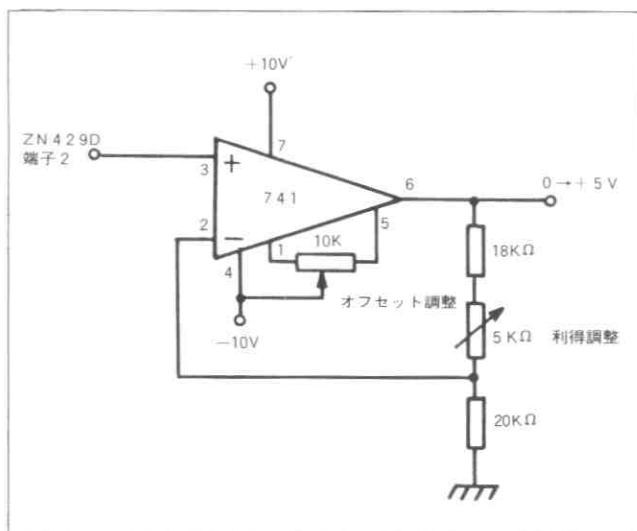
ユニポーラ動作およびバイポーラ動作において、741またはその他適当なオペ・アンプを出力バッファ用を使用できる。

フィードバック抵抗の値は、前章に述べた手順に従って決定する。

次の回路は、入力電圧範囲 0 ~ 5 V、基準電圧 2.5 V のユニポーラ動作で 741 を使用する場合の例である。

## 最大絶対定格

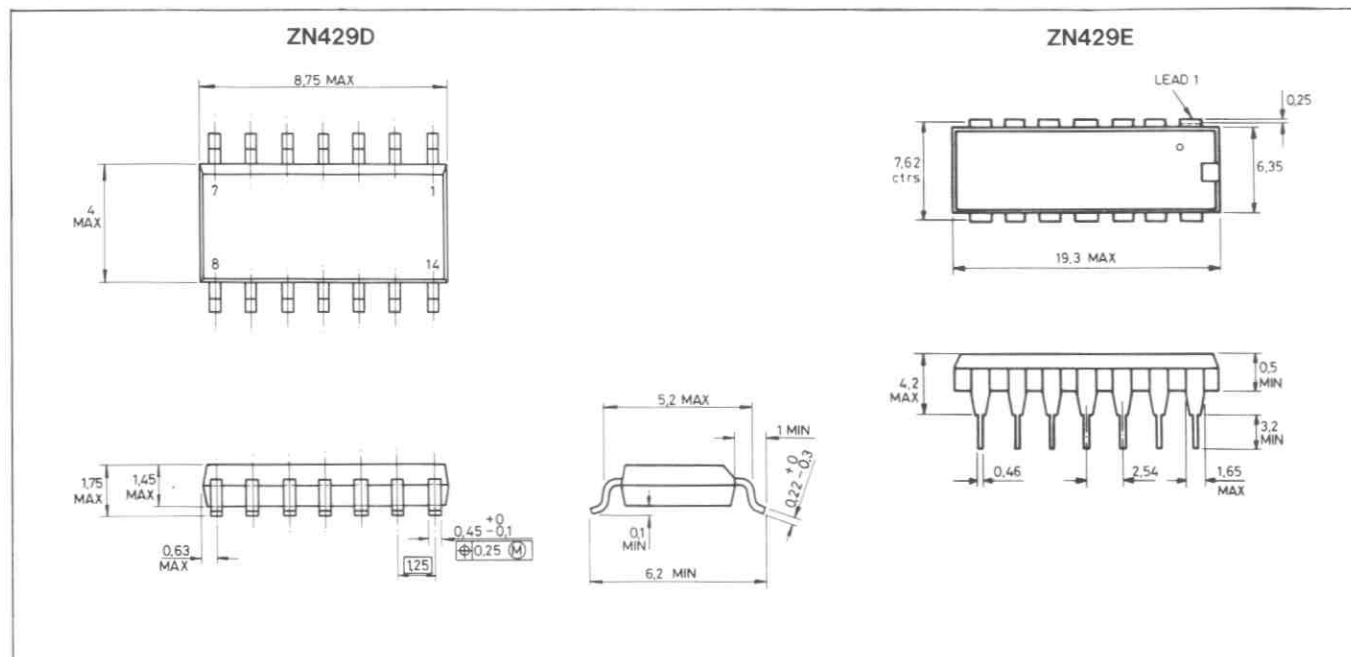
電源電圧 $V_{CC}$	+7.0V
印加電圧 (ロジック入力) 及び $V_{REF}$ 入力	+5.5 V
動作周囲温度	0 ~ +70°C (ZN 4 2 9E および ZN 4 2 9D) -55°C ~ +125°C (ZN 4 2 9J - 8)
貯蔵温度	-55°C ~ +125°C



第7図 ユニポーラ動作(+5Vフルスケール) 741の接続

## パッケージ寸法

単位 mm



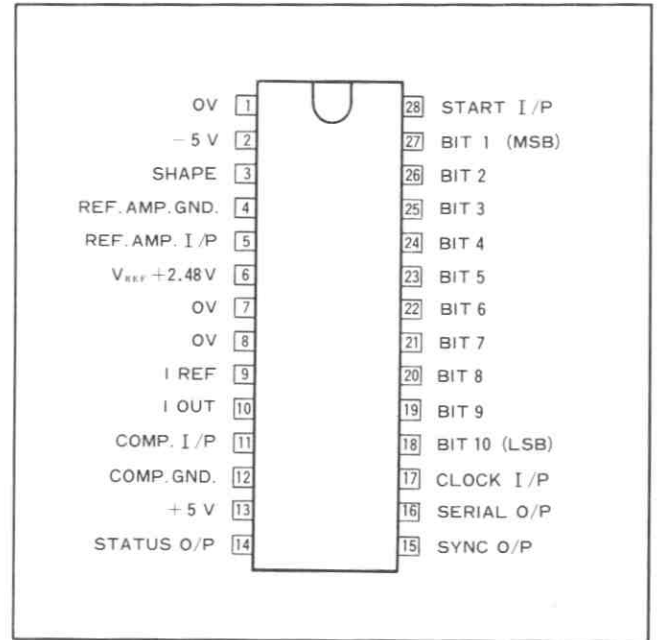
### ZN432

#### 10ビット モノリシック逐次比較A/Dコンバータ

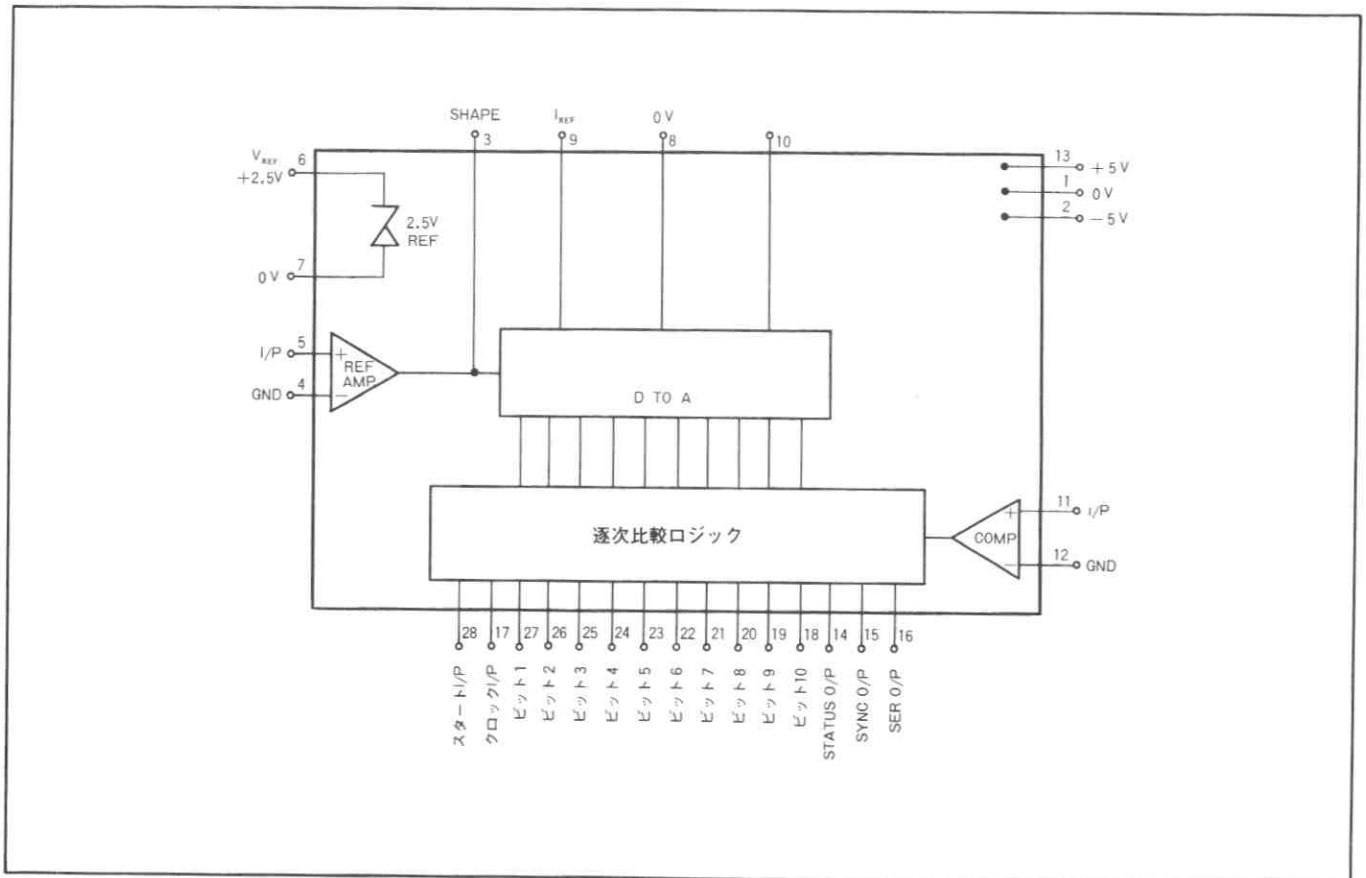
逐次比較型A/DコンバータZN432は、この機能をモノリシックIC化するためにいくつかの新しい技術を採用している。このチップは、拡散抵抗(トリミングを必要としない)のマトリックスを使った電流スイッチ・アレー、TTLインターフェイス付逐次比較ロジック、レファレンス・アンプ付2.5V精密基準電圧、過負荷に対して回復のよい高速コンパレータを内蔵している。また、ADコンバータ・システムとして見た場合、全動作温度範囲で、単調性を保っている。

#### 特徴

- 10、9、8ビット精度有り
- 動作温度範囲3種類有り
- 変換時間20 $\mu$ S保証
- 広い入力電圧範囲
- 電源電圧  $\pm 5$  V、TTL/CMOSコンバーチブル
- パラレル/シリアル両出力取出し可
- バイポーラ・モノリシックIC



端子接続 (上面より)



第1図 ブロック図

# 電気的特性

テスト条件 (特に注記なき限り)

電源電圧±5V、内部基準電圧使用

特 性	型 名	Tamb=+25℃			全動作温度範囲		単 位	テスト条件
		Min.	Typ.	Max.	Min.	Max.		
コンバータ 精度 (分解能)	ZN432J-10 } ZN432BJ-10 } ZN432CJ-10 }	10			10		ビット	注1
	ZN432J-9 } ZN432BJ-9 } ZN432CJ-9 }	9			9		ビット	
	ZN432J-8 } ZN432BJ-8 } ZN432CJ-8 }	8			8		ビット	
ノン・リニアリティ	全タイプ			±0.5			LSB	
ディフェレンシャル・ノン・リニアリティ	全タイプ		±0.5				LSB	注1
動作温度範囲	ZN432J-10 } ZN432J-9 } ZN432J-8 }				-55	+125	℃	
	ZN432BJ-10 } ZN432BJ-9 } ZN432BJ-8 }				-40	+85	℃	
	ZN432CJ-10 } ZN432CJ-9 } ZN432CJ-8 }				0	+70	℃	
D/Aコンバータ基準電流(端子9) I <sub>REF</sub>	全タイプ	0.25		1.0	0.25	1.0	mA	注6
変換時間	全タイプ		15	20		20	μs	注2
アナログ入力範囲	全タイプ	-2.5		+2.5			V	注3
電源リジェクション	全タイプ		0.1				%/V	
利得誤差	全タイプ		±0.05				%	注4
利得温度係数(注4)	ZN432J-10 } ZN432BJ-10 } ZN432CJ-10 }		10				ppm/℃	
	ZN432J-9 } ZN432BJ-9 } ZN432CJ-9 } ZN432J-8 } ZN432BJ-8 } ZN432CJ-8 }		20				ppm/℃	
ゼロ温度係数(フルスケールに対して)	ZN432J-10 } ZN432BJ-10 } ZN432CJ-10 }		7				ppm/℃	
	ZN432J-9 } ZN432BJ-9 } ZN432CJ-9 } ZN432J-8 } ZN432BJ-8 } ZN432CJ-8 }		15				ppm/℃	
電源電圧	全タイプ	±4.5	±5	±5.5	±4.5	±5.5	V	
電源電流	全タイプ		35				mA	
消費電力	全タイプ		350				mW	
内部基準電圧	全タイプ		2.480				V	
出力電圧	ZN432J-10 } ZN432BJ-10 } ZN432CJ-10 }			±1.5			%	
出力電圧精度(注5)	ZN432J-9 } ZN432BJ-9 } ZN432CJ-9 }			±2.0			%	
	ZN432J-8 } ZN432BJ-8 } ZN432CJ-8 }			±5.0			%	
スロープ抵抗	全タイプ		0.75				Ω	
最大負荷電流			±2				mA	

特 性	型 名	Tamb = +25°C			全動作温度範囲		単 位	テスト条件
		Min.	Typ.	Max.	Min.	Max.		
ロジック	全タイプ	2.0			2.0		V	$V_S = \pm 5.5V$ $V_I = 2.4V$ $V_S = \pm 5.5V$ $V_I = 5.5V$ $V_S = \pm 5.5V$ $V_I = 0.4V$ $I_{LOAD} = -40\mu A$ $I_{LOAD} = 1.6mA$
ハイ・レベル入力電圧				0.8		0.8	V	
ロー・レベル入力電圧		7					$\mu A$	
ハイ・レベル入力電流		50					$\mu A$	
ロー・レベル入力電流		1					$\mu A$	
ハイ・レベル出力電圧		2.4				2.4	V	
ロー・レベル出力電圧				0.4	0.4	V		

注1. 全動作温度範囲でミスコードなし。

注2. 1変換サイクル当り11クロック・パルス必要であるので、最大クロック周波数は550KHzとなる(タイミング図参照)。これは、45KHzの変換周波数に相当する。

注3. 入力抵抗の値を変えることによって、ユニポーラ入力又は他の入力電圧範囲でも使用できる。

注4. 基準電圧の変動は含まない。

注5. 温度特性を図6に示す。

注6. D/Aコンバータのフルスケール出力電流 $I_{OUT}$ は、 $I_{REF}$ の4倍である。 $I_{REF} = 0.5mA$ で最良の特性が得られる。

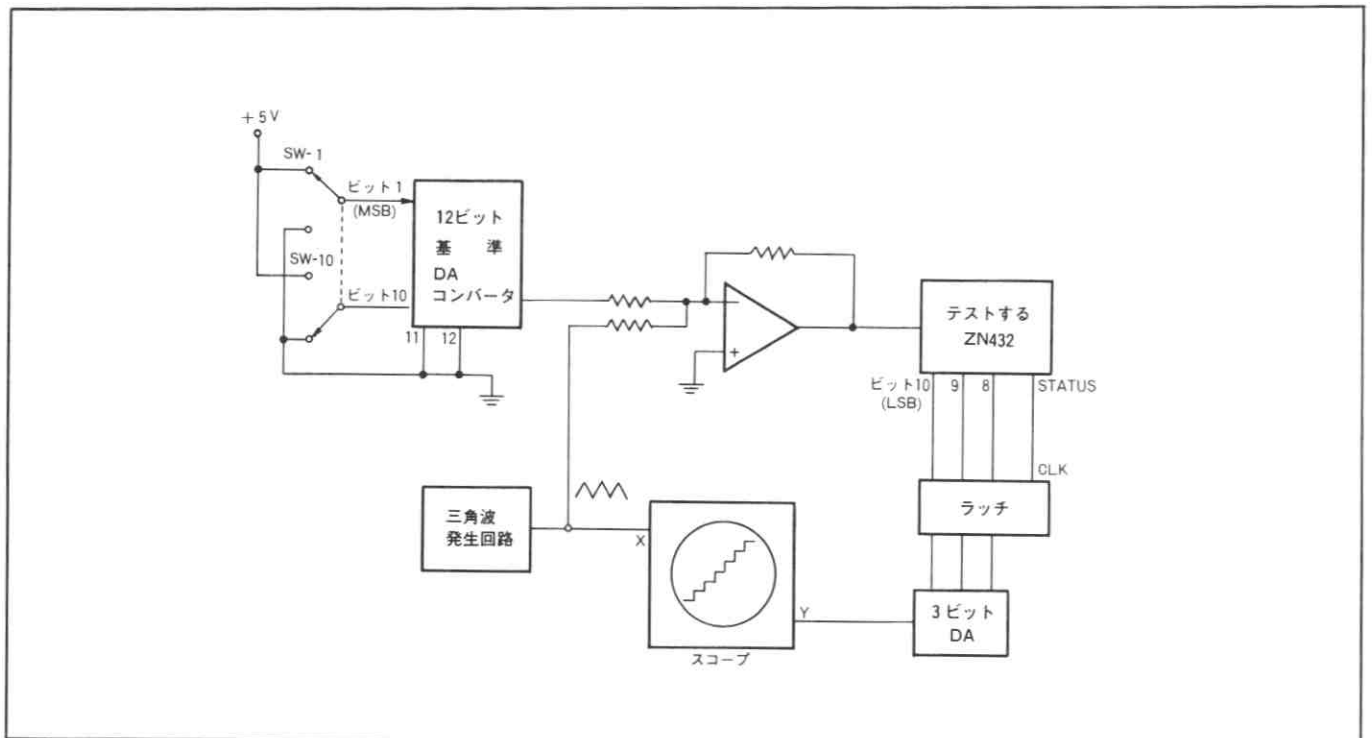
## テスト回路

スイッチSW-1からSW-10は、表示したい値に相当するデジタル・コードを選択する。たとえば、コード10000 0000はフルスケールの半分の値を表示する。

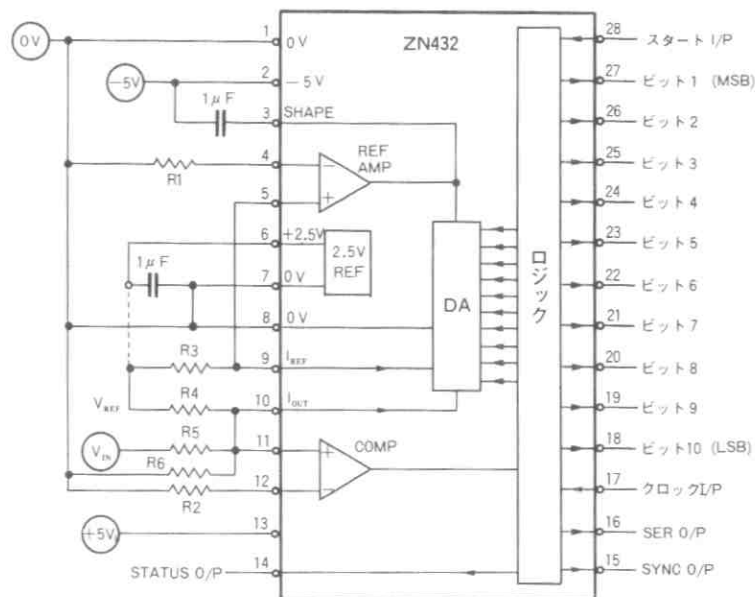
三角波発生回路の出力( $V_{p-p} = \pm 4 \times L.S.B.$ とする)は、オシロスコープのX軸に入力すると共に、サミング・アンプで基準DAコンバータのアナログ出力に加えられる。そし

て、この三角波を含んだアナログ信号は、テストするZN432の $V_{IN}$ に入力する。

ビット10、9、8の出力は、少なくとも6ビットの精度を持つ3ビットDAコンバータに入力し、このアナログ出力をオシロスコープのY軸入力に接続する。デフェレンシャル・ノン・リニアリティは、オシロスコープ上に他のものより長い又は短い水平線で表示される。



第2図 クロスビット精度試験



第3図 外付部品

外付抵抗の計算(図3参照)

1.  $R_3, R_4, R_5$  は、ゲインとオフセットの安定性に影響を与えるので、精度の高いものを使用する。
2.  $R_1$  と  $R_2$  は、レファレンス・アンプとコンパレータのバイアス電流が流れるので、

$$R_1 = R_3$$

$$R_2 = R_4, R_5, R_6 \text{ の並列抵抗}$$

3.  $I_{REF}$  を  $0.5\text{mA}$  とするために、

$$R_3 = \frac{V_{REF}}{0.5\text{mA}}$$

$I_{OUT FS}$  は、 $I_{REF}$  の4倍であるので、

$$I_{OUT FS} = 2\text{mA}$$

4. 回路の解析によって、次の結果が得られる。

$$R_4 = \frac{-V_{REF} R_5}{V_{in min}}$$

$$R_5 = \frac{V_{in max} - V_{in min}}{I_{OUT FS}}$$

ただし、 $V_{in max}$  はロジック出力が全ビット '1' になる入力電圧。

$V_{in min}$  はロジック出力が全ビット '0' になる入力電圧。

5.  $R_4, R_5, R_6$  の並列抵抗値が、DAコンバータの時定数と変換時間を決定するので、 $R_6$  は並列抵抗値が約  $1.25\text{K}\Omega$  になるように選択する。

6. この条件を満足するいくつかの例を次の表に示す。

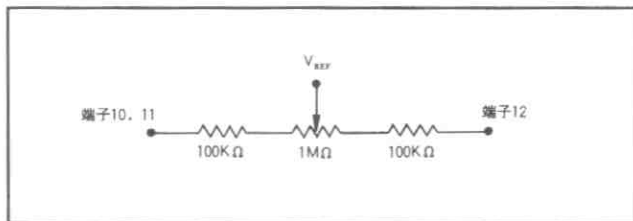
$V_{in max}$	$V_{in min}$	$V_{REF}$	$R_1^1$	$R_2^1$	$R_3$	$R_4$	$R_5$	$R_6^1$
+2.5	-2.5	2.5	5K $\Omega$	1.25K $\Omega$	5K $\Omega$	2.5K $\Omega$	2.5K $\Omega$	$\infty$
+2.5	-2.5	5*	10K $\Omega$	1.25K $\Omega$	10K $\Omega$	5K $\Omega$	2.5K $\Omega$	5K $\Omega$
+2.5	0	2.5	5K $\Omega$	1.25K $\Omega$	5K $\Omega$	$\infty$	1.25K $\Omega$	$\infty$
+5	0	2.5	5K $\Omega$	1.25K $\Omega$	5K $\Omega$	$\infty$	2.5K $\Omega$	2.5K $\Omega$
+4	-2	2.5	5K $\Omega$	1.25K $\Omega$	5K $\Omega$	3.75K $\Omega$	3K $\Omega$	5K $\Omega$
+4	-2	12*	24K $\Omega$	1.25K $\Omega$	24K $\Omega$	3.75K $\Omega$	3K $\Omega$	5K $\Omega$
+10	-10	2.5	5K $\Omega$	1.25K $\Omega$	5K $\Omega$	2.5K $\Omega$	10K $\Omega$	3.33K $\Omega$

注1.  $R_1, R_2, R_6$  は、標準系列より最も近い値の部品を選ぶ。

\*注2. 外部基準電圧使用。

7.  $R_4$  の調整でオフセットを、 $R_3$  の調整でゲインを設定する。

ユニポーラ動作で  $R_4$  が  $\infty$  に近づいた場合、 $R_4$  の代りに次のようなオフセット回路を使ってゼロ調整を行う。

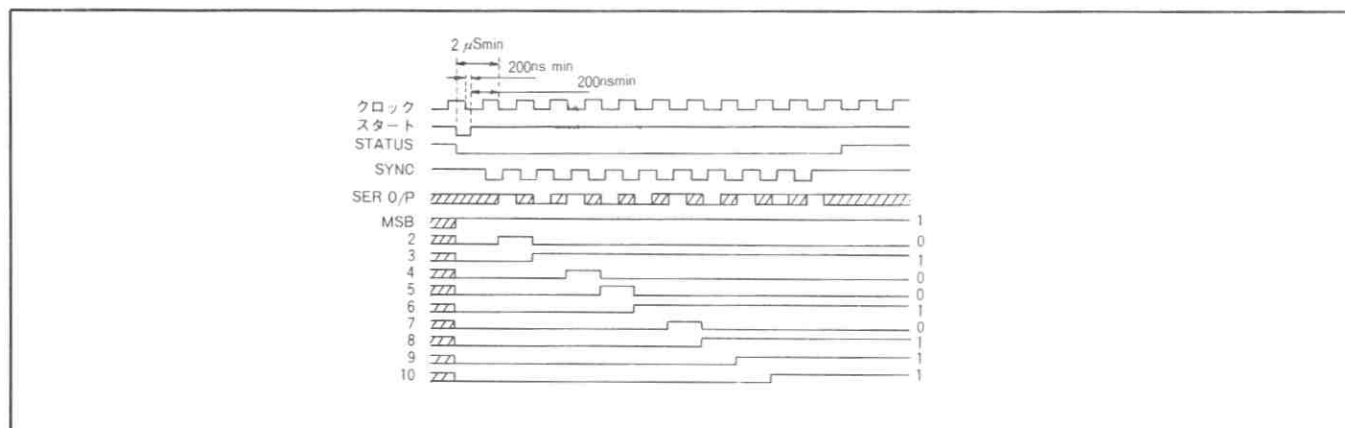


第4図 ユニポーラ動作オフセット回路



## タイミング図

1. 変換はスタート・パルスで始まり、同時にMSBは'1'に他の全てのビットは'0'に設定される。
2. スタート・パルスの立上り後のクロックの最初の立下りは、MSBを確実に設定するために、スタート・パルスの立下りの少なくとも $2\mu\text{s}$ 以内に生じないようにする。
3. クロックの立下りは、スタート・パルスの立上りの前後 $200\text{nS}$ 以内に生じないようにする。
4. 2. 3. の条件を満たす特別な例として、スタート・パルスがクロックの立下りと同時に始まり、同じ幅を持つ場合がある。
5. シリアル・データは、変換中にシリアル出力より得ることができる。10個のSYNCパルスが、データの転送を容易にするために発生される。また、シリアル・データは、SYNCパルスの立上りで有効になる。
6. 斜線の部分は、'1'又は'0'のどちらのレベルでもよく、シリアル出力の場合はデータが無効であることを示している。
7. このタイミング図は、デジタル値'1010010111'について示している。
8. パラレル出力データは、STATUS出力がハイになると有効になる。



第5図 タイミング図

## ロジック・コード

表1. ユニポーラ動作

アナログ入力 注 1, 2	デジタル出力コード	
	MSB	LSB
FS-1 LSB	1	1111111111
FS-2 LSB	1	1111111110
$\frac{3}{4}$ FS	1	1000000000
$\frac{1}{2}$ FS + 1 LSB	1	0000000001
$\frac{1}{2}$ FS	1	0000000000
$\frac{1}{2}$ FS - 1 LSB	0	1111111111
$\frac{1}{4}$ FS	0	1000000000
1 LSB	0	0000000001
0	0	0000000000

表2. バイポーラ動作

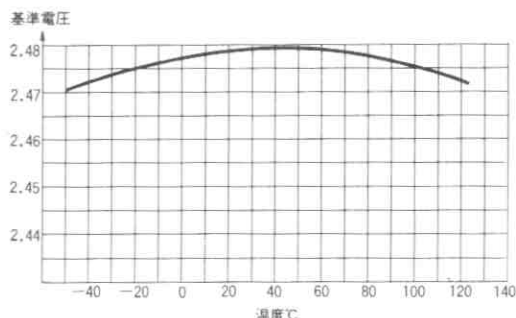
アナログ入力 注 1, 2	デジタル出力コード	
	MSB	LSB
+(FS-1 LSB)	1	1111111111
+(FS-2 LSB)	1	1111111110
+( $\frac{1}{2}$ FS)	1	1000000000
+(1 LSB)	1	0000000001
0	1	0000000000
-(1 LSB)	0	1111111111
-( $\frac{1}{2}$ FS)	0	1000000000
-(FS-1 LSB)	0	0000000001
-FS	0	0000000000

- 注) 1. アナログ入力の値は、デジタル・コードに対応する値の中心値を示す。  
2. "FS"は、フルスケールを示す。

## オフセットとゲインの設定

ユニポーラ動作では、 $\frac{1}{2}$  LSBの入力電圧で0000000000から0000000001に変化するように、(FS-1 $\frac{1}{2}$ LSB)で1111111111から1111111110に変化するように設定する。

バイポーラ動作では、-(FS- $\frac{1}{2}$ LSB)で0000000000から0000000001に変化するように、(FS-1 $\frac{1}{2}$ LSB)で1111111111から1111111110に変化するように設定する。

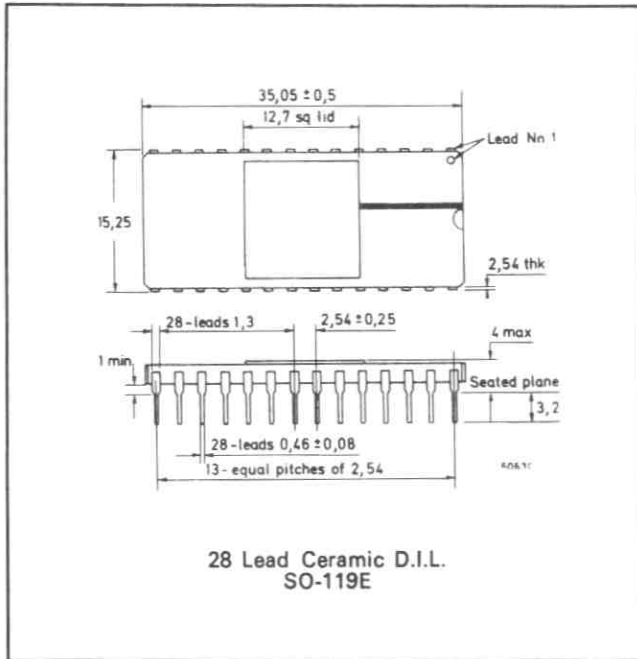


第6図 基準電圧の温度特性 (全タイプ)

## 最大絶対定格

電源電圧	$\pm 7\text{ V}$
ロジック入力電圧	$+V_{cc}$ と $0\text{ V}$
貯蔵温度	$-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$

## パッケージ寸法 単位 mm



### ZN433

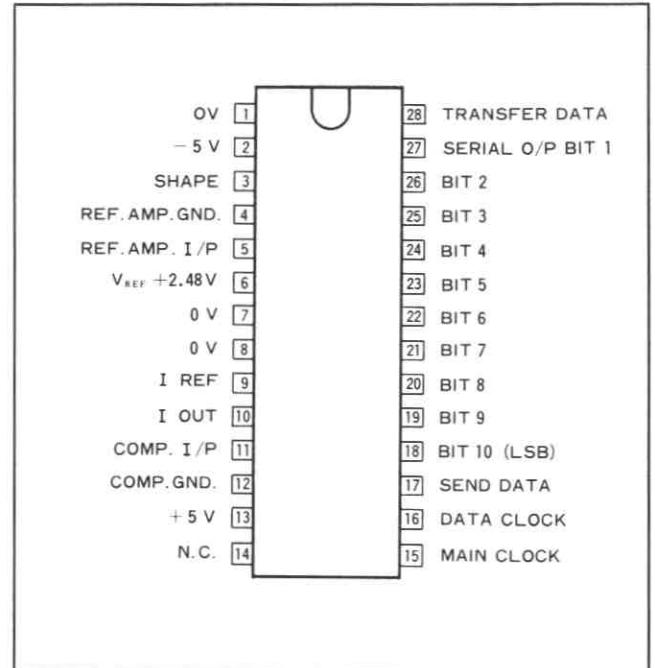
### 10ビット モノリシック追従比較A/Dコンバータ

追従比較型A/DコンバータのZN433は、この機能をモノリシックIC化するためにいくつかの新しい技術を採用している。このチップは、拡散抵抗（トリミングを必要としない）のマトリックスを使った電流スイッチ・アレー、TTLインターフェイス付追従比較ロジック、レファレンス・アンプ付2.5V精密基準電圧、過負荷に対して回復のよい高速ウインド・コンパレータを内蔵している。また、規定された精度では、全動作温度範囲でミス・コードがない。

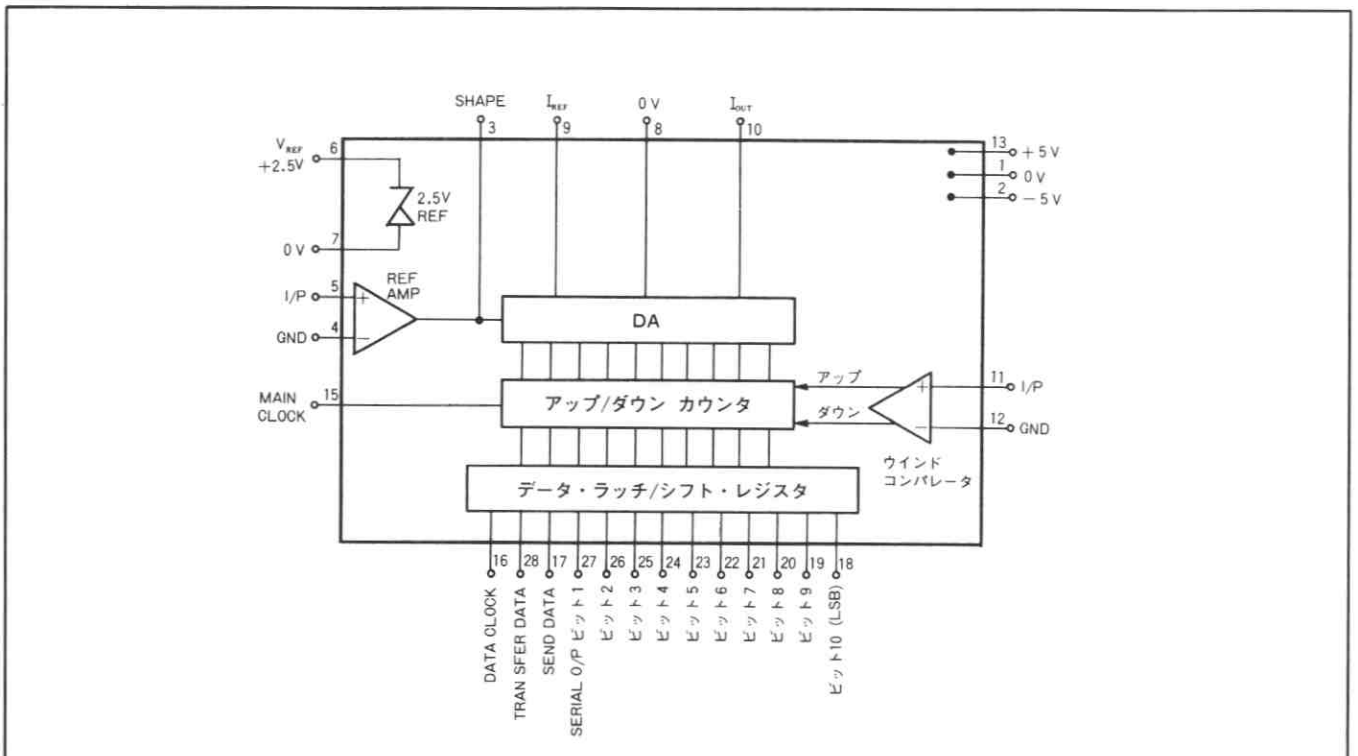
追従比較方式は、連続的に出力データを変化させるので、デジタル・トランスジューサのような単チャンネルの変換に適しており、サンプル・ホールド回路なしで使用できる応用もある。

#### 特徴

- 10、9、8ビット精度有り
- 動作温度範囲3種類有り
- 変換時間 1 $\mu$ S(連続追従)
- 広い入力電圧範囲
- 電源電圧  $\pm 5$  V、TTL/CMOSコンバーチブル
- パラレル/シリアル両出力取出し可
- バイポーラ・モノリシックIC



端子接続 (上面より)



第1図 ブロック図

# 電気的特性

テスト条件 (特に注記なき限り)

電源電圧±5V、内部基準電圧使用

特 性	型 名	Tamb=+25℃			全動作温度範囲		単 位	テスト条件
		Min.	Typ.	Max.	Min.	Max.		
コンバータ 精度 (分解能)	ZN433J-10 } ZN433BJ-10 } ZN433CJ-10 }	10			10		ビット	注1
	ZN433J-9 } ZN433BJ-9 } ZN433CJ-9 }	9			9		ビット	
	ZN433J-8 } ZN433BJ-8 } ZN433CJ-8 }	8			8		ビット	
ノン・リニアリティ	全タイプ			±0.5			LSB	
ディフェレンシャル・ノン・リニアリティ	全タイプ		±0.5				LSB	注1
動作温度範囲	ZN433J-10 } ZN433J-9 } ZN433J-8 }				-55	+125	℃	
	ZN433BJ-10 } ZN433BJ-9 } ZN433BJ-8 }				-40	+85	℃	
	ZN433CJ-10 } ZN433CJ-9 } ZN433CJ-8 }				0	+70	℃	
DAコンバータ基準電流 (端子9) I <sub>REF</sub>	全タイプ	0.8		1.2	0.8	1.2	mA	注2
最大クロック周波数	全タイプ	1	1.2		1		MHz	注3
アナログ入力範囲	全タイプ	-2.5		+2.5			V	注4
電源リジェクション	全タイプ		0.1				%/V	
利得温度係数 (注5)	ZN433J-10 } ZN433BJ-10 } ZN433CJ-10 }		10				ppm/℃	
	ZN433J-9 } ZN433BJ-9 } ZN433CJ-9 }		20				ppm/℃	
	ZN433J-8 } ZN433BJ-8 } ZN433CJ-8 }		7				ppm/℃	
ゼロ温度係数 (フルスケールに対して)	ZN433J-9 } ZN433BJ-9 } ZN433CJ-9 }		15				ppm/℃	
	ZN433J-8 } ZN433BJ-8 } ZN433CJ-8 }							
電源電圧	全タイプ	±4.5	±5	±5.5	±4.5	±5.5	V	
電源電流	全タイプ		50				mA	
消費電力	全タイプ		500				mW	
内部基準電圧								
出力電圧	全タイプ		2,480				V	
出力電圧精度 (注6)	ZN433J-10 } ZN433BJ-10 } ZN433CJ-10 }		2,480	±1.5			%	
	ZN433J-9 } ZN433BJ-9 } ZN433CJ-9 }			±2.0			%	
	ZN433J-8 } ZN433BJ-8 } ZN433CJ-8 }			±5.0			%	
スロープ抵抗	全タイプ		0.75				Ω	
最大負荷電流			±4				mA	

特 性	型 名	Tamb=+25℃			全動作温度範囲		単 位	テスト条件
		Min.	Typ.	Max.	Min.	Max.		
ロジック	全タイプ	2.0	7	0.8	2.0	0.8	V	V <sub>S</sub> =±5.5V V <sub>I</sub> =2.4V V <sub>S</sub> =±5.5V V <sub>I</sub> =5.5V V <sub>S</sub> =±5.5V V <sub>I</sub> =0.4V I <sub>LOAD</sub> = -40μA I <sub>LOAD</sub> = 1.6mA
ハイ・レベル入力電圧								
ロー・レベル入力電圧								
ハイ・レベル入力電流		1	2.4	2.4	V			
ロー・レベル入力電流								
ハイ・レベル出力電圧		0.4	0.4	V				
ロー・レベル出力電圧								

注1. 全動作温度範囲でミスコードなし。

注2. DAコンバータのフルスケール出力電流I<sub>OUT</sub>は、I<sub>REF</sub>の4倍である。I<sub>REF</sub>=1.0mAで最良の特性が得られる。

注3. メイン・クロックの波形については、図5を参照。1 LSB/μS以上の速さで変化しない入力信号は、サンプル・ホールド回路なしで連続的に追従できる。これは、フルスケールまで振れる信号に対して300Hzの帯域幅に相当する。振幅を減らせば、もっと高い周波数を追従できる。たとえば、振幅をフルスケールの半分にすれば、帯域帯は600Hzになる。

注4. 入力抵抗の値を変えることによって、ユニポーラ入力又は他の入力電圧範囲でも使用できる。

注5. 基準電圧の変動は含まない。

注6. 温度特性を図6に示す。

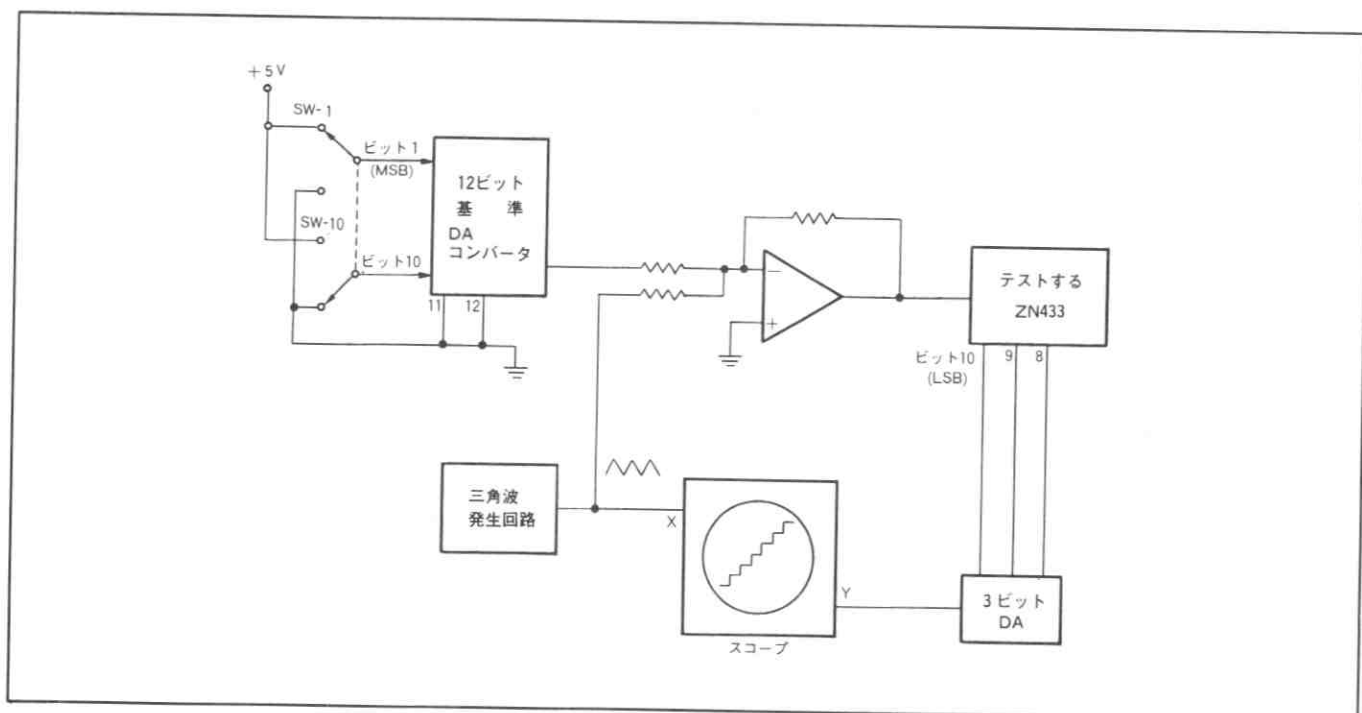
## テスト回路

スイッチSW-1からSW-10は、表示したい値に相当するデジタル・コードを選択する。たとえば、コード100000000000はフルスケールの半分の値を表示する。

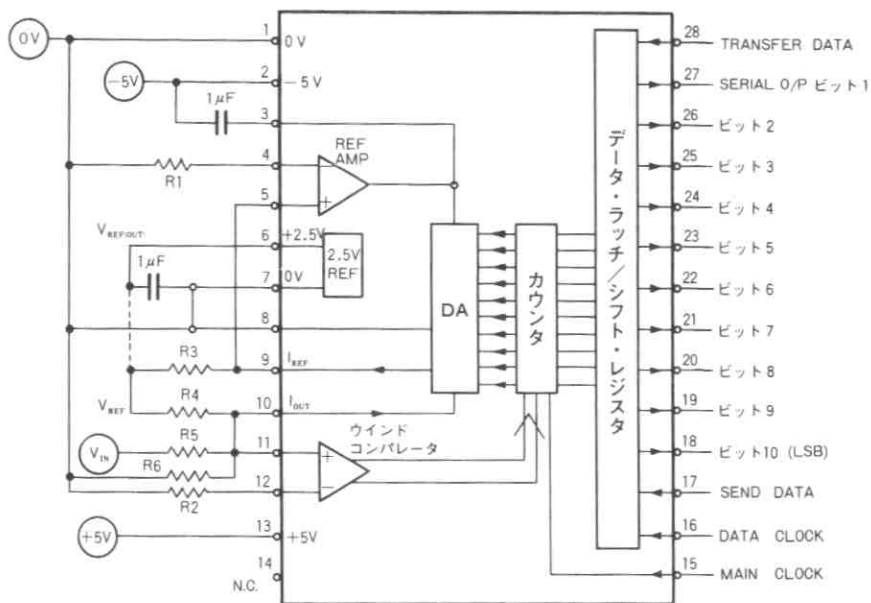
三角波発生回路の出力(V<sub>p-p</sub>=±4×L. S. B.とする)は、オシロスコープのX軸に入力すると共に、サミング・アンプで基準DAコンバータのアナログ出力に加えられる。

そして、この三角波を含んだアナログ信号は、テストするZN432のV<sub>IN</sub>に入力する。

ビット10、9、8の出力は、少なくとも6ビットの精度を持つ3ビットDAコンバータに入力し、このアナログ出力をオシロスコープのY軸入力に接続する。デフェレンシャル・ノン・リニアリティは、オシロスコープ上に他のものより長い又は短い水平線が表示される。



第2図 クロスビット精度試験



第3図 外付部品

内部基準電圧を使用する場合、図のように $V_{REFOUT}$  (端子6)と $R_3$ 、 $R_4$ を接続する。また、外部基準電圧を使用することもでき、レシオメトリック動作をさせた場合±20%変化できる。

5.  $R_4$ 、 $R_5$ 、 $R_6$ の並列抵抗がDAコンバータの時定数と変換時間を決定するので、 $R_6$ はこの値が約625Ωになるように選択する。

6. 上記の条件の満足するいくつかの例を次の表に示す。

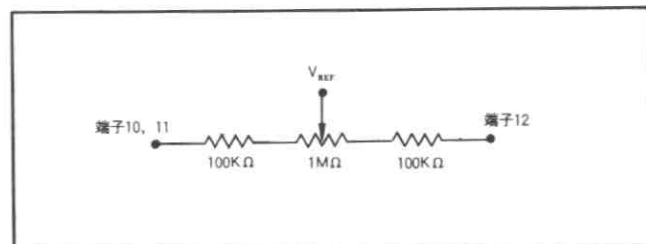
$V_{inmax}$	$V_{inmin}$	$V_{REF}$	$R_1^1$	$R_2^1$	$R_3$	$R_4$	$R_5$	$R_6^1$
+2.5	-2.5	2.5	2.5KΩ	625Ω	2.5KΩ	1.25KΩ	1.25KΩ	∞
+2.5	-2.5	5*	5KΩ	625Ω	5KΩ	2.5KΩ	1.25KΩ	2.5KΩ
+2.5	0	2.5	2.5KΩ	625Ω	2.5KΩ	∞	625Ω	∞
+5	0	2.5	2.5KΩ	625Ω	2.5KΩ	∞	1.25KΩ	1.25KΩ
+4	-2	2.5	2.5KΩ	625Ω	2.5KΩ	1.875KΩ	1.5KΩ	2.5KΩ
+4	-2	12*	12KΩ	625Ω	12KΩ	1.875KΩ	1.5KΩ	2.5KΩ
+10	-10	2.5	2.5KΩ	625Ω	2.5KΩ	1.25KΩ	5KΩ	1.67KΩ

注1.  $R_1$ 、 $R_2$ 、 $R_6$ は、標準系列より最も近い値の部品を選ぶ。

\*注2. 外部基準電圧使用。

7.  $R_4$ の調整でオフセットを、 $R_3$ の調整でゲインを設定する。

ユニポーラ動作で $R_4$ が∞に近づいた場合、 $R_4$ の代りに次のようなオフセット回路を使ってゼロ調整を行う。



第4図 ユニポーラ動作オフセット回路

### 外付抵抗の計算(図3参照)

1.  $R_3$ 、 $R_4$ 、 $R_5$ は、ゲインとオフセットの安定性に影響を与えるので、精度の高いものを使用する。

2.  $R_1$ と $R_2$ は、バーチャル・アース・モードで動作するレファレンス・アンプとコンパレータのバイアス電流が流れるので、

$$R_1 = R_3$$

$$R_2 = R_4, R_5, R_6 \text{ の並列抵抗}$$

3.  $I_{REF}$ は0.8mAから1.2mAまで変化するが、1.0mAで最も特性が良くなるので、

$$R_3 = \frac{V_{REF}}{1.0mA}$$

$I_{OUT FS}$ は $I_{REF}$ の4倍であるので、4mAとなる(ゼロ入力では0mA)。

4. 回路の解析によって、次の結果が得られる。

$$R_4 = \frac{-V_{REF} R_5}{V_{in min}}$$

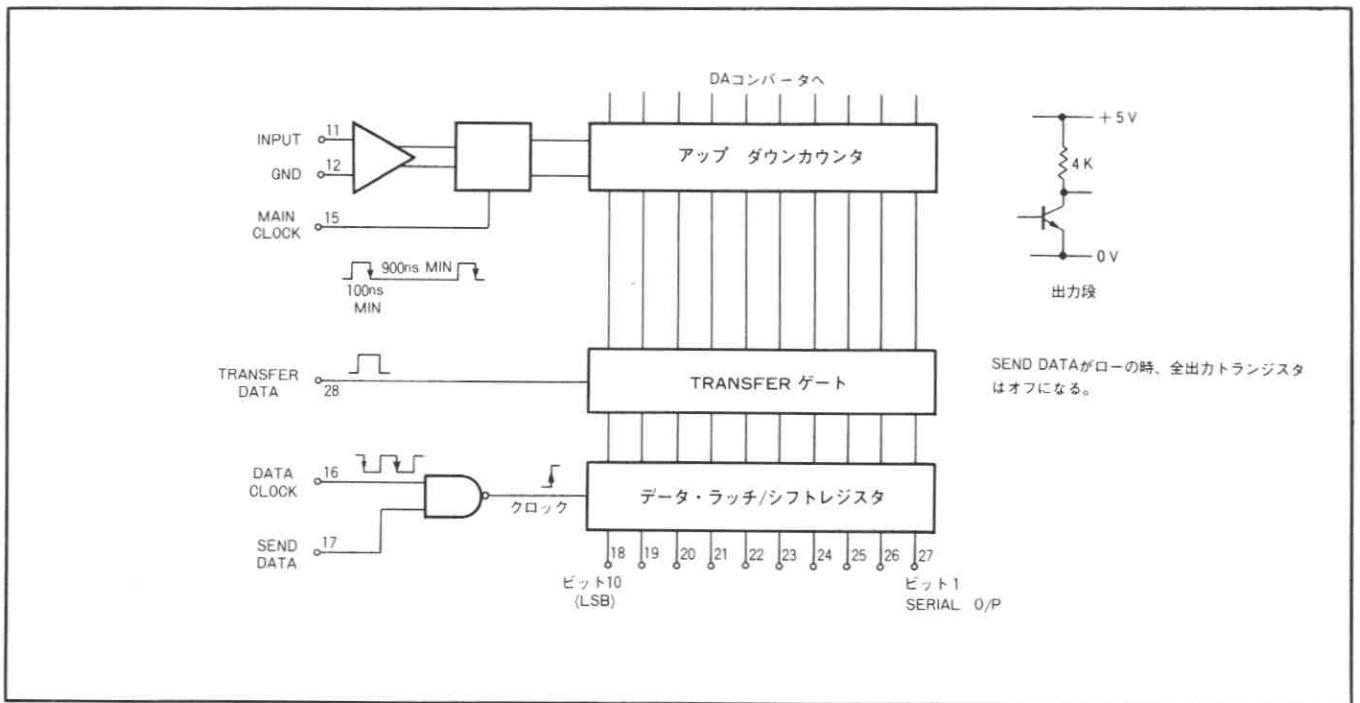
$$R_5 = \frac{V_{in max} - V_{in min}}{I_{OUT FS}}$$

ただし、 $V_{in max}$ はロジック出力が全ビット‘1’になる入力電圧。 $V_{in min}$ はロジック出力が全ビット‘0’になる入力電圧。

## ロジック図

1. ウィンド・コンバータと制御ロジックは、メイン・クロックの立下りでカウンタをアップさせるか、ダウンさせるか、同じ値に保つか決定する。
2. アップ/ダウン・カウンタの平行出力は、TRANSFER DATA入力が高い時、出力データ・ラッチ/シフト・レジスタにロードされる。TRANSFER DATAは、メイン・クロックの立下り後150ns以上経ってからハイにし、次のメイン・クロックの立上りにローにする。TRANSFER DATAパルスの最小幅は50nsである。

3. シリアル出力データ (MSBから順に出力される) は、DATA CLOCK端子 (端子16) に最大周波数1 MHz、最小パルス幅100nsのクロックを入力することによりMSB出力 (端子27) より得られる。
4. SEND DATA端子 (端子17) をローにした場合、DATA CLOCK端子からクロックを入力していても、全出力トランジスタはオフになり、全ビット出力はハイになる。



第5図 ロジック図

## ロジック・コード

表1 ユニポーラ動作

アナログ入力 注 1, 2	デジタル出力コード	
	MSB	LSB
FS-1 LSB	1	11111111
FS-2 LSB	1	11111110
$\frac{3}{4}$ FS	1	10000000
$\frac{1}{2}$ FS+1 LSB	1	00000001
$\frac{1}{2}$ FS	1	00000000
$\frac{1}{2}$ FS-1 LSB	0	11111111
$\frac{1}{4}$ FS	0	10000000
1 LSB	0	00000001
0	0	00000000

表2 バイポーラ動作

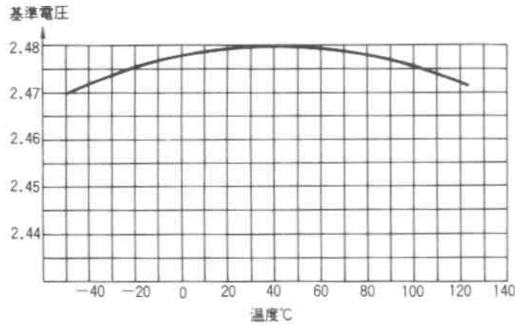
アナログ入力 注 1, 2	デジタル出力コード	
	MSB	LSB
+(FS-1 LSB)	1	11111111
+(FS-2 LSB)	1	11111110
+( $\frac{1}{2}$ FS)	1	10000000
+(1 LSB)	1	00000001
0	1	00000000
-(1 LSB)	0	11111111
-( $\frac{1}{2}$ FS)	0	10000000
-(FS-1 LSB)	0	00000001
-FS	0	00000000

- 注) 1. アナログ入力の値は、デジタル・コードに対応する値の中心値を示す。  
2. "FS"はフルスケールを示す。

## オフセットとゲインの設定

ユニポーラ動作では、 $\frac{1}{2}$  LSBの入力電圧で0000000000から0000000001に変化するように、 $(FS - 1 \frac{1}{2} \text{LSB})$ で1111111111から1111111110に変化するように設定する。

バイポーラ動作では、 $-(FS - \frac{1}{2} \text{LSB})$ で0000000000から0000000001に変化するように、 $(FS - 1 \frac{1}{2} \text{LSB})$ で1111111111から1111111110に変化するように設定する。

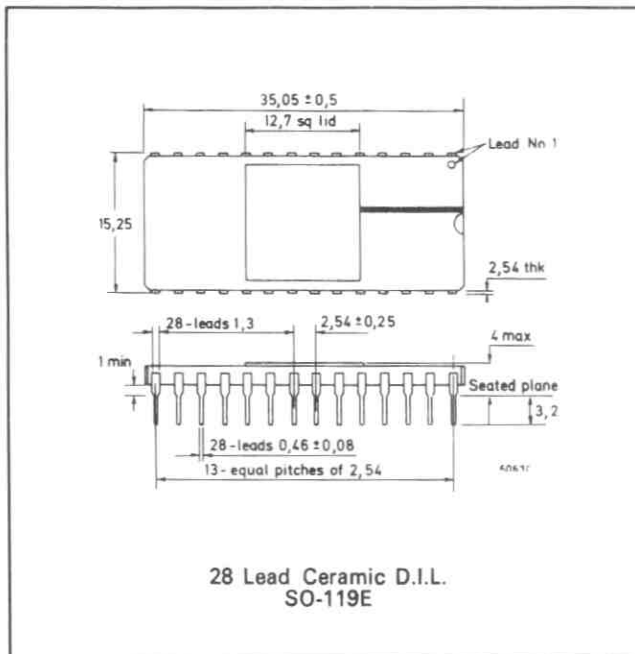


第6図 基準電圧の温度特性 (全タイプ)

## 最大絶対定格

電源電圧	$\pm 7 \text{ V}$
ロジック入力電圧	$+V_{cc}$ と $0 \text{ V}$
貯蔵温度	$-55^\circ\text{C} \sim +125^\circ\text{C}$

## パッケージ寸法 単位 mm





# ZN434

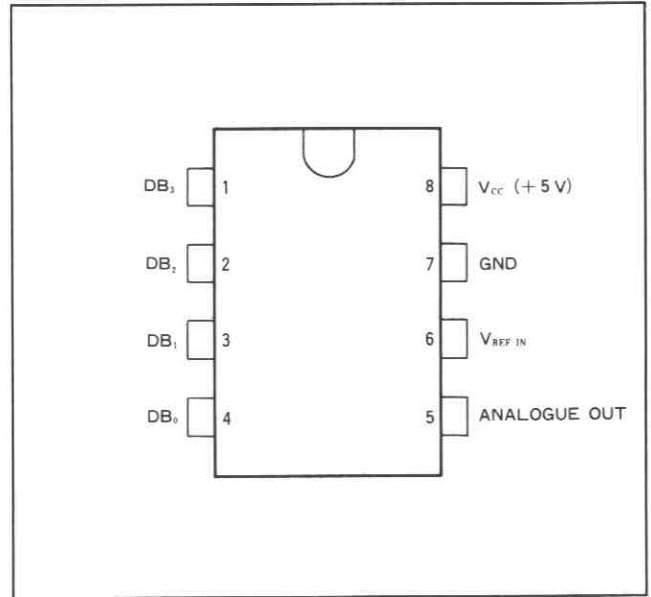
## 4ビット D/Aコンバータ

### ADVANCE INFORMATION

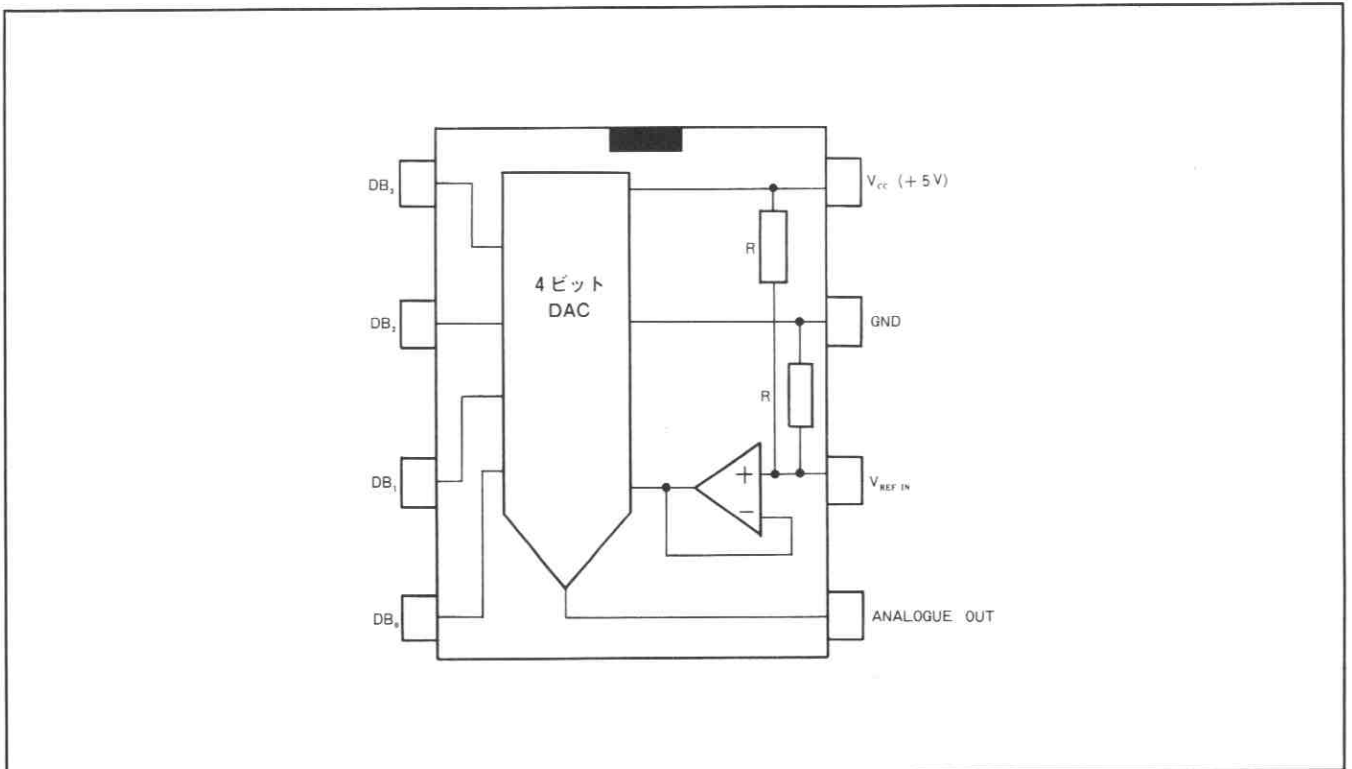
ZN434は、拡散抵抗のR-2Rラダー回路と精密バイポーラ・スイッチを内蔵した4ビットDAコンバータである。また、このICは $\frac{V_{CC}}{2}$ の基準電圧を供給するためのレファレンス・アンプと抵抗を内蔵しているため、外付部品なしで動作する。

### 特徴

- 4ビット 分解能
- $\frac{1}{4}$  LSB リニアリティ
- 電圧出力
- 300nS セトリング時間
- TTL/CMOSコンバータブル
- 5V単一電源
- 基準電圧 $\frac{V_{CC}}{2}$ 内蔵
- 0℃～70℃又は-40℃～+85℃の動作温度範囲



端子接続 (上面より)



第1図 ブロック図

## 電気的特性

テスト条件 (特に注記なき限り)

電源電圧  $V_{CC} = +5V$ 、周囲温度  $T_{amb} = 25^{\circ}C$

特 性	Min.	Typ.	Max.	単 位	条 件	
<b>DAコンバータ</b>						
分解能	4	—	—	ビット	} $1.5V \leq V_{REF IN} \leq 3V$	
リニアリティ・エラー	—	—	$\pm 0.25$	LSB		
ディフェレンシャル・リニアリティ・エラー	—	—	$\pm 0.25$	LSB		
リニアリティ・エラー温度係数	—	$\pm 3$	—	ppm/ $^{\circ}C$		
ディフェレンシャル・リニアリティ・エラー温度係数	—	$\pm 6$	—	ppm/ $^{\circ}C$		
ゼロ・エラー	—	3.0	5.0	mV		
ゼロ・エラー温度係数	—	+6	—	$\mu V/^{\circ}C$		
フルスケール出力 ( $V_{CC}$ と $V_{REF IN}$ を接続)	2.235	2.345	2.456	V		
フルスケール出力 (外部基準電圧)	0.922	0.938	0.954	$V_{REF IN}$		$1.5V \leq V_{REF IN} \leq 3V$
フルスケール温度係数	—	$\pm 3$	—	ppm/ $^{\circ}C$		
アナログ出力抵抗	1.75	2.5	3.25	K $\Omega$		
アナログ出力容量	—	15	—	pF		
セトリング時間 (0.5LSB以内)	—	200	300	nS		0000 $\rightarrow$ 1111 又は 1111 $\rightarrow$ 0000
電源電圧	+4.5	+5	+5.5	V	1 LSB ステップ	
電源電流	—	100	150	nS		
<b>内蔵レファレンス・アンプ</b>						
出力電圧	$\frac{V_{CC}}{2} \times 0.97$	$\frac{V_{CC}}{2}$	$\frac{V_{CC}}{2} \times 1.03$	V		
入力電流	—	1	—	$\mu A$		
オフセット電圧	—	$\pm 10$	—	mV		
入力抵抗	9	18	27	K $\Omega$		
<b>ロジック入力</b>						
ハイ・レベル入力電圧 $V_{IH}$	2.0	—	—	V		
ロー・レベル入力電圧 $V_{IL}$	—	—	0.8	V		
ハイ・レベル入力電流 $I_{IH}$	—	—	10	$\mu A$	$V_{CC} = 5.5V, V_I = 2.4V$	
—	—	—	100	$\mu A$	$V_{CC} = V_I = 5.5V$	
ロー・レベル入力電流 $I_{IL}$	—	—	180	$\mu A$	$V_{CC} = 5.5V, V_I = 0.3V$	

## 動作概要

### DAコンバータ

ZN434は、拡散抵抗のR-2Rラダーと低オフセット電圧の精密バイポーラ・スイッチから成る4ビットDAコンバータである。ラダーは電圧切換えモードで動作し、次式で表わされる電圧を発生する。

$$V_{OUT} = \frac{n}{16}(V_{REF IN} - V_{OS}) + V_{OS}$$

ただし、 $n$  = ビット入力のデジタル・コード

$V_{OS}$  = グランド端子のリード抵抗に電源電流が流れることによって生ずる小さなオフセット電圧。

### 内蔵レファレンス・アンプ

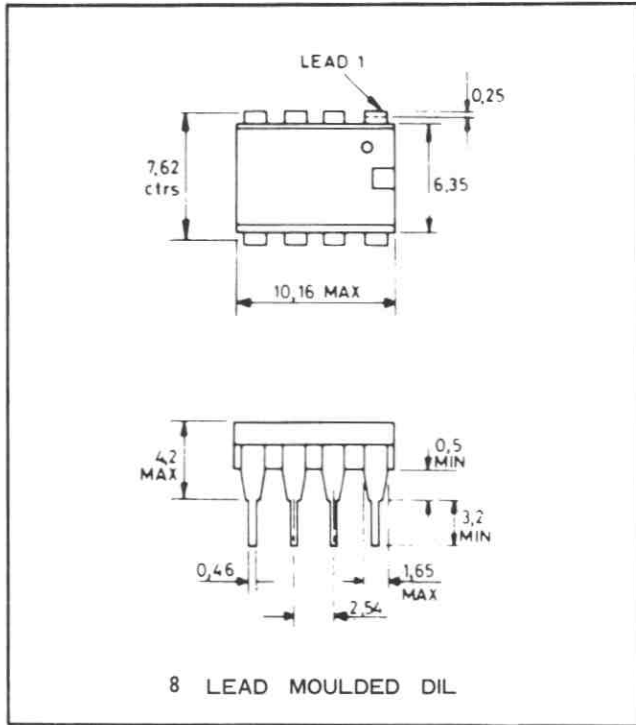
ZN434は、外付部品なしで $\frac{V_{CC}}{2}$ の基準電圧を供給するレ

ファレンス・アンプとアッテネータを内蔵している。アッテネータの誤差、アンプの入力電流とオフセット電圧そしてDAコンバータの利得誤差を考慮すると、フルスケール出力は $0.369 \times V_{CC}$ の $\pm \frac{1}{2}$ LSB以内になる。したがって、正確で安定した電源を使用すれば、ZN434は外部の基準電圧なしで使用できる。また、1つのシステムでいくつかのZN434を使用する場合、 $V_{REF}$ のマッチングを良くするため $V_{REF IN}$ を互いに接続する。 $\frac{V_{CC}}{2}$ 以外の基準電圧が必要な場合、基準電圧の入力抵抗より小さい値の抵抗を並列に接続するか、バンドギャップなどの基準電源を使用する。

## 最大絶対定格

電源電圧 $V_{CC}$	+7.0V
ロジックおよび $V_{REF}$ 入力	0 ~ + $V_{CC}$
動作温度範囲	0°C ~ +70°C (ZN434E) -40°C ~ +85°C (ZN434BE)
貯蔵温度	-55°C ~ +125°C

## パッケージ寸法 単位 mm



### ZN435

### 8ビット多機能データ・コンバータ

### ADVANCE INFORMATION

ZN435は、汎用・多機能8ビット・データコンバータで、1チップ上に電圧出力DAコンバータ、8ビット・アップ/ダウン・カウンタ、2.5Vバンドギャップ基準電圧そしてクロック発生回路を内蔵している。

#### 特徴

##### ■多機能(応用例)

- DAコンバータ
- ADコンバータ
- 追従型ADコンバータ
- 電圧一周波数変換器
- ランプ/のこぎり波発生回路
- 非線形波発生回路
- 電圧制御発振器
- サンプル・ホールド回路

##### ■8ビット 精度

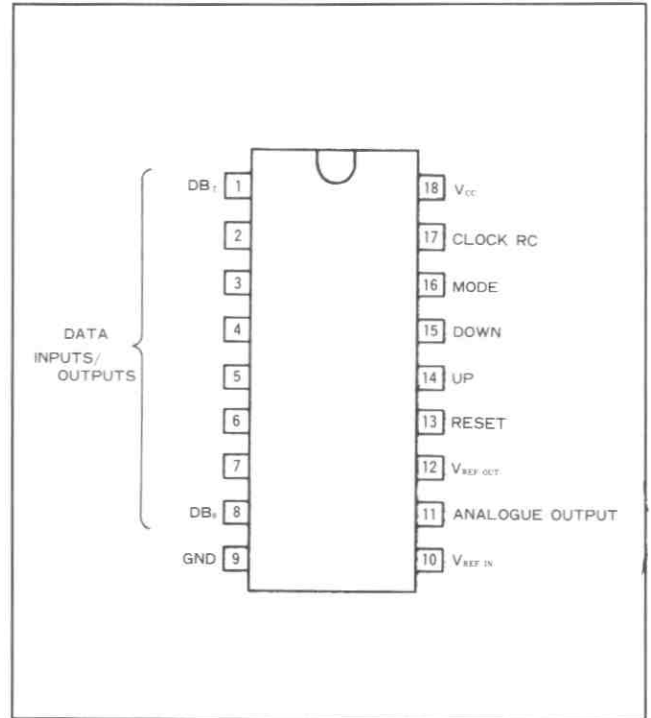
##### ■800nS DAコンバータ・セトリング時間

##### ■アップ・ダウン・カウンタ内蔵

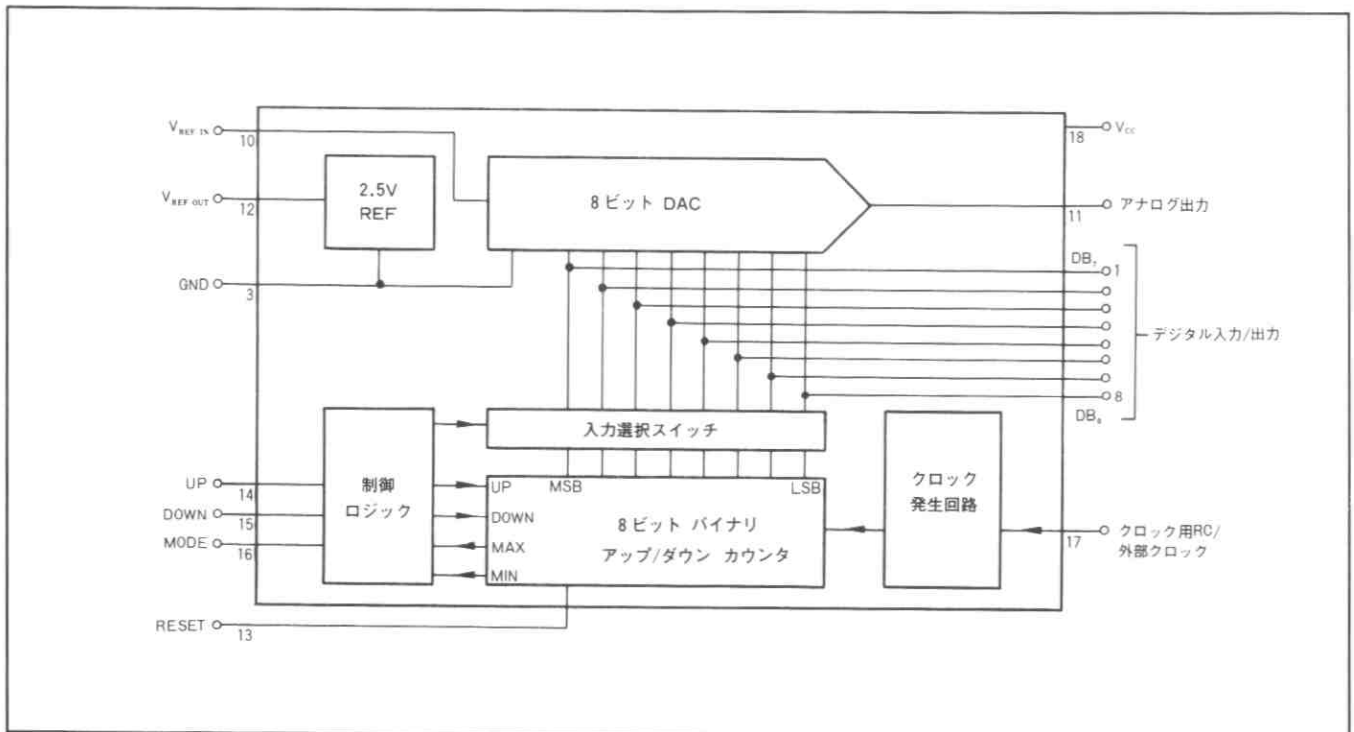
##### ■クロック内蔵

##### ■基準電圧内蔵

##### ■5V単一電源



端子接続 (上面より)



第1図 ブロック図

# 電気的特性

テスト条件 (特に注記なき限り)

電源電圧  $V_{CC} = +5V$ 、 $V_{REF} = 1.5 \sim 3.0V$ 、周囲温度  $T_{amb} = 25^\circ C$

特 性	Min.	Typ.	Max.	単 位	条 件
<b>DAコンバータ</b>					
分解能	8	—	—	ビット	
リニアリティ・エラー	—	$\pm 0.25$	$\pm 0.5$	LSB	
ディフェレンシャル・リニアリティ・エラー	—	$\pm 0.25$	$\pm 1$	LSB	$T_{min}$ $T_{amb}$ $T_{max}$
ゼロ・エラー	—	3.0	5.0	mV	ZN435E } 全ビットオフ
	—	5.0	10.0	mV	ZN435J }
セトリング時間 (許容誤差0.5LSB)	—	500	—	nS	1 LSB変化
	—	800	—	nS	全ビットオフからオン またはオンからオフ
フルスケール出力	2.545	2.550	2.555	V	全ビットオン $V_{REF} = 2.56V$
出力抵抗	—	4	—	K $\Omega$	
フルスケール温度係数	—	4	—	ppm/ $^\circ C$	外部 $V_{REF} = 2.56V$
基準電圧	0	—	3	V	
<b>内蔵基準電圧</b>					
出力電圧	2.4	2.59	2.7	V	$R_{REF} = 390\Omega$
スロープ抵抗	—	2	4	$\Omega$	$C_{REF} = 220n$
$V_{REF}$ 温度係数	—	50	—	ppm/ $^\circ C$	
基準電流	4	—	15	mA	
<b>カウンタ</b>					
最大クロック周波数 (外部クロック)	1	1.5	—	MHz	
<b>内蔵クロック</b>					
最大周波数	500	—	—	KHz	
クロック周波数温度係数	—	100	—	ppm/ $^\circ C$	
クロック周波数のバラツキ	—	—	1	%	同じ R と C を使った場合
クロック抵抗	3	—	100	K $\Omega$	
クロック容量	100	—	—	pF	
ハイレベル・スレッシュホールド電圧 $V_{TH}$	—	4.6	—	V	
ローレベル・スレッシュホールド電圧 $V_{TL}$	—	1.7	—	V	
電源リジエクション	—	0.8	—	%/V	
<b>ロジック回路</b>					
<b>ビット入力</b>					
ハイ・レベル入力電圧 $V_{IH}$	2.0	—	—	V	
ロー・レベル入力電圧 $V_{IL}$	—	—	0.8	V	
ハイ・レベル入力電流 $I_{IH}$	—	—	-100	$\mu A$	$V_{IN} = 2.4V$
ロー・レベル入力電流 $I_{IL}$	—	—	-220	$\mu A$	$V_{IN} = 0.4V$
<b>ビット出力</b>					
ハイ・レベル出力電圧 $V_{OH}$	—	5.0	—	V	} 無負荷
ロー・レベル出力電圧 $V_{OL}$	—	0.1	—	V	
ハイ・レベル出力電流 $I_{OH}$	125	—	—	$\mu A$	$V_{OUT} = 2.4V$
ロー・レベル出力電流 $I_{OL}$	-3.0	—	—	mA	$V_{OUT} = 0.4V$
<b>制御入力</b>					
ハイ・レベル入力電圧 $V_{IH}$	2	—	—	V	
ロー・レベル入力電圧 $V_{IL}$	—	—	0.8	V	
ハイ・レベル入力電流 $I_{IH}$	—	—	-25	$\mu A$	$V_{IN} = 2.4V$
ロー・レベル入力電流 $I_{IL}$	—	—	-95	$\mu A$	$V_{IN} = 0.4V$
リセットパルス幅	200	—	—	nS	
<b>電源</b>					
電源電圧	4.5	5	5.5	V	
電源電流	—	35	45	mA	$V_{CC} = 5.5V$

リセット	モード	ダウン	アップ	機能	アナログ波形
1	1	1	1	カウンタ ストップ	
1	1	1	0	カウント アップ	
1	1	0	1	カウント ダウン	
1	1	0	0	カウント アップ、FSで反転 カウント ダウン、ゼロで反転	
1	0	1	1	カウンタ ストップ	
1	0	1	0	カウント アップ、FSでストップ	
1	0	0	1	カウント ダウン、ゼロでストップ	
×	0	0	0	DAコンバータ モード、カウンタ出力は無効。リセット入力をローにすればカウンタはリセットされる。	
0	×	×	×	カウンタ リセット。DAコンバータモードの場合、アナログ出力は変化しない。	

表1 制御入力の真理値表

## 動作概要

ZN435は、電圧スイッチ型R-2Rラダー回路を使った8ビットDAコンバータを内蔵しており、このラダーの基準電圧は内蔵の精密バンドギャップ・レファレンスまたは外部基準電圧のどちらかで供給する。

ZN435は、8ビット・アップ/ダウンカウンタと制御ロジックも内蔵している。カウンタのデジタル出力は、DAコンバータのデジタル入力に入り、同時に8ビットI/Oポートにも出力される。また、カウンタ出力をインヒビットし、I/Oポートを使って直接DAコンバータを駆動することもできる。

内蔵発振回路は、アップ/ダウン・カウンタのクロック入力を駆動する。また、これに代って外部クロック信号で駆動することもできる。

## アップ/ダウン・カウンタおよび制御ロジック

カウンタは高速、同期アップ/ダウン型で、その動作は4つの制御端子で決定する。アップ、ダウンそしてリセット入力の機能はその名前のとおりである。モード入力はカウンタがゼロまたはフル・スケールになった時の動作を決定する。たとえば、モード入力がハイの場合、カウンタがアップしフル・スケールを越えた時カウンタはゼロにリセットされ、カウンタがダウンしゼロを越えた時カウンタは255にリセットされる。また、モード入力がローの場合、カウンタはゼロまたはフル・スケールに達した時にストップする。

通常無効である、アップ・ダウン両入力が同時にローになる状態もZN435では使用される。モード入力がハイでア

ップ・ダウン両入力がローの場合、カウンタはフル・スケールおよびゼロで出力を反転しアップ/ダウンを繰り返す。また、3つの入力がローの場合、カウンタの出力は無効となり、DAコンバータの入力はI/Oポートからアクセスされる。

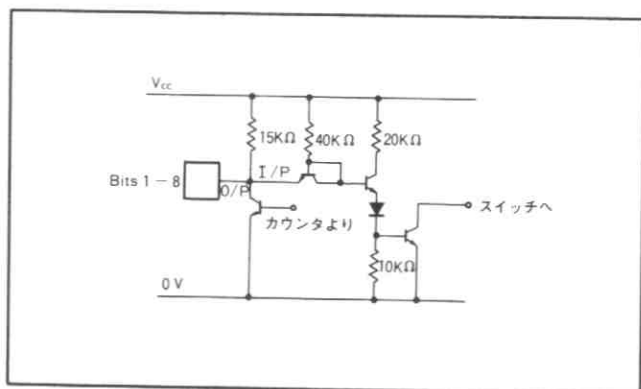
制御入力の真理値表を表1に示す。

## データポート

データ・ポートの1つを図2に示す。入力/出力端子はカウンタ出力バッファとDAコンバータ入力バッファの接続点である。

通常DAコンバータはカウンタで駆動され、そのバイナリ・データはポートからも出力される。しかし、カウンタ出力が無効にされると出力トランジスタはオフになり、DAコンバータの入力はデータ・ポートからアクセスされる。

データ・ポートはBシリーズCMOSまたは全てのTTLファミリで駆動できる。



第2図 ビット入力/出力

## クロック回路

ZN435の内蔵クロック回路を図3に示す。外付のコンデンサ $C_T$ は外付抵抗 $R_T$ を通してコンパレータの上側のスレッシュホールド ( $V_{CC}=+5V$ で約 $+4.5V$ )まで充電される。そして、コンパレータは $C_T$ を放電するためにトランジスタをオンにし、同時にそのスレッシュホールドを下側の値(約 $1.5V$ )に切換える。 $C_T$ の電圧がこのレベルまで下がるとコンパレータはトランジスタをオフにし、このサイクルを繰り返す。

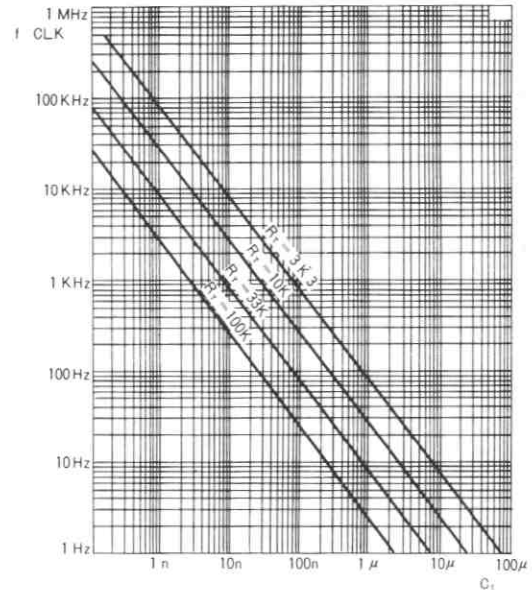
クロック出力はコンパレータ出力からではなく、スレッシュホールドの上下値がそれぞれ $2V$ と $1.6V$ であるシュミット・トリガから取り出される。そして、 $C_T$ の電圧がスレッシュホールドを通過するたびに、シュミット・トリガはパルスを内部回路に出力する。

このやや複雑な回路は、駆動電圧のハイ・レベル $V_{OH}$ が $4.5V$ を越えないならば放電用トランジスタをオンせずに外部クロックで駆動できるという長所を持っている。また、この回路は図4 aに示すように、TTLトーンボール出力で直接駆動できる。オープンコレクタ出力またはCMOSゲートを使う場合、図4 bと図4 cに示すように $V_{OH}$ が $4.5V$ 以下になるようにしなければならない。

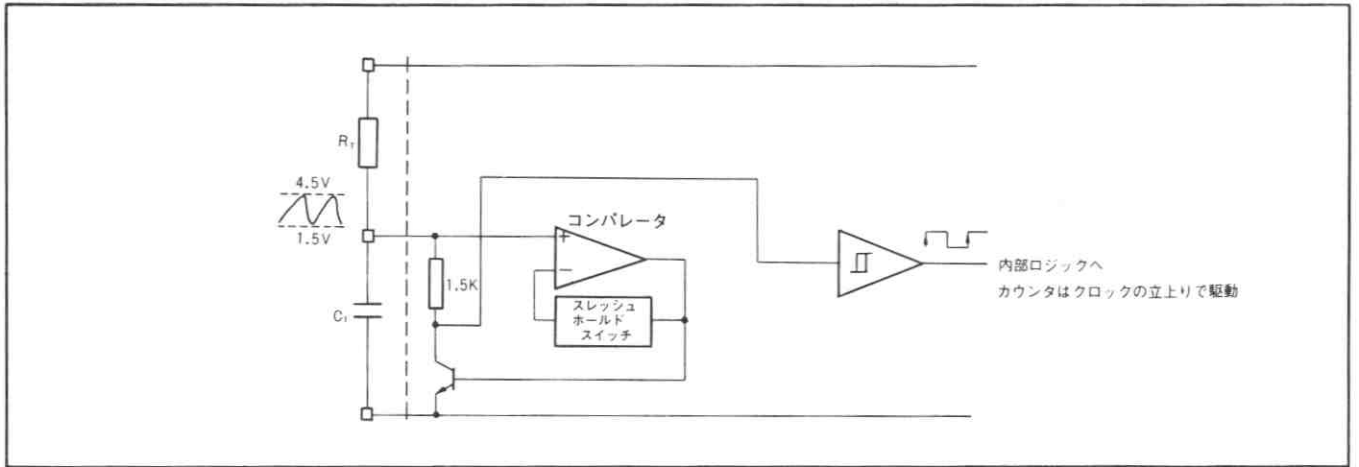
クロックの周波数は次式で与えられる。

$$f_{CLK} = \frac{1}{4 R_T C_T} \quad (\text{Hz, } \Omega, \text{ F})$$

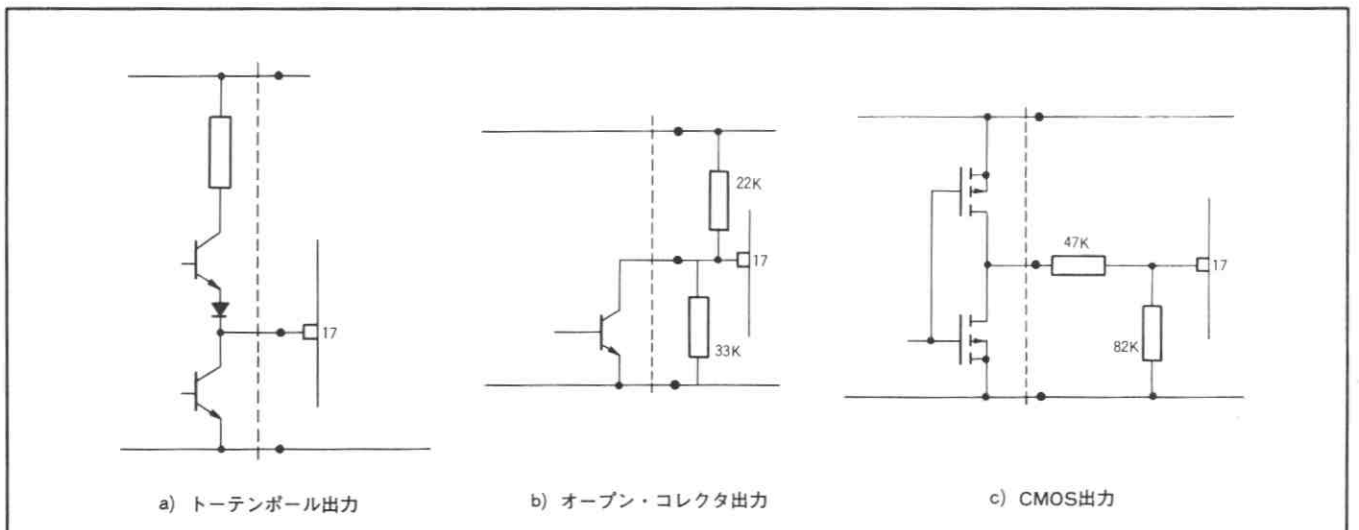
抵抗およびコンデンサの値に対する発振周波数のグラフを図5に示す。



第5図 内蔵クロックの発振周波数



第3図 内蔵クロック回路



第4図 クロック入力の外部駆動

DAコンバータ

DAコンバータは電圧スイッチ型で、図6に示すようなR-2Rラダー回路を採用している。

各2R素子は特に低オフセット電圧(< 1 mV)に設計されたトランジスタ電圧スイッチで0VまたはV<sub>REF IN</sub>に接続される。2進加重み電圧はR-2Rラダーの出力で発生する。

$$V_{OUT} = \frac{n}{256}(V_{REF IN} - V_{OS}) + V_{OS}$$

ここで、nはカウンタまたはデータ・ポートからのデジタル入力とする。また、V<sub>OS</sub>は電源電流がパッケージの端子抵抗に流れることによって生じる小さなオフセット電圧である。V<sub>OS</sub>の値はZN435Eでは代表値3 mV、ZN435Jでは5 mVである。しかし、このオフセットは調整中に補正できるし、オフセットの温度係数は小さいので、ゼロ・ドリフトは小さい。また、DAコンバータの出力は出力抵抗4KΩで、出力範囲は0からV<sub>REF IN</sub>と考えることができる。

基準電圧

(a) 内蔵基準電圧

内蔵基準電圧は、非常にスロープ抵抗の小さい2.5Vのツェナー・ダイオードと等価のバンドギャップ回路である(図7参照)。基準電圧をバイアスするために端子10と8の間に抵抗(R<sub>REF</sub>)を外付しなければならない。また、安定/デカップリング用コンデンサ(C<sub>REF</sub>=4.7μF)が端子8と9の間に必要である。

この内蔵基準電圧を使用するには、V<sub>REF OUT</sub>(端子12)とV<sub>REF IN</sub>(端子10)を接続する。R<sub>REF</sub>に390Ωの抵抗を使用すれば6.4mA<sub>Typ</sub>の基準電流を供給できるので、最大5個のZN435の基準電圧入力を駆動できる。このように、いくつかのZN435を1つのシステムで使う場合、消費電力を減らし、各コンバータ間のゲインをそろえることができるだけでなく、最大4個の抵抗とコンデンサを節約できる。

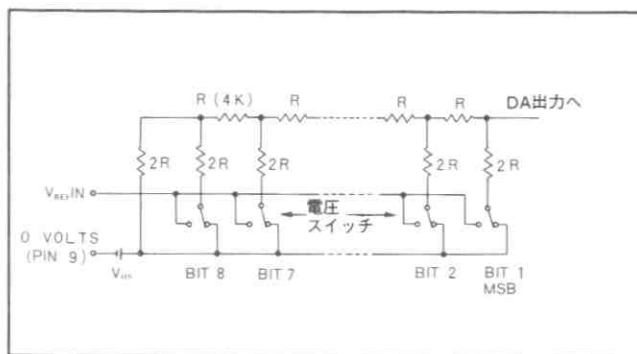
応用

ZN435の応用は非常に多く、このデータ・シートに全て記載することはできないが、いくつかの基本的な例を述べる。

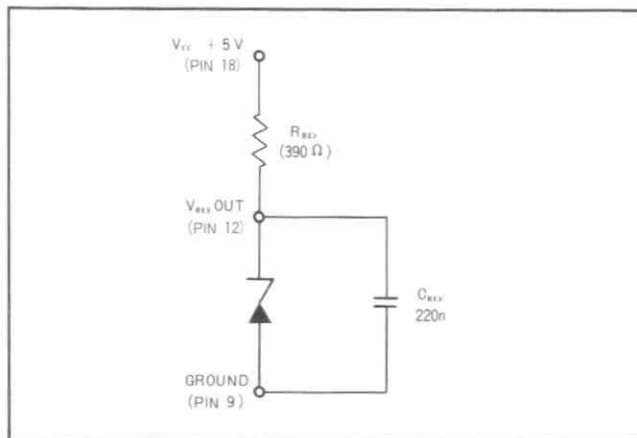
波形発生回路

低周波波形発生回路を図8に示す。

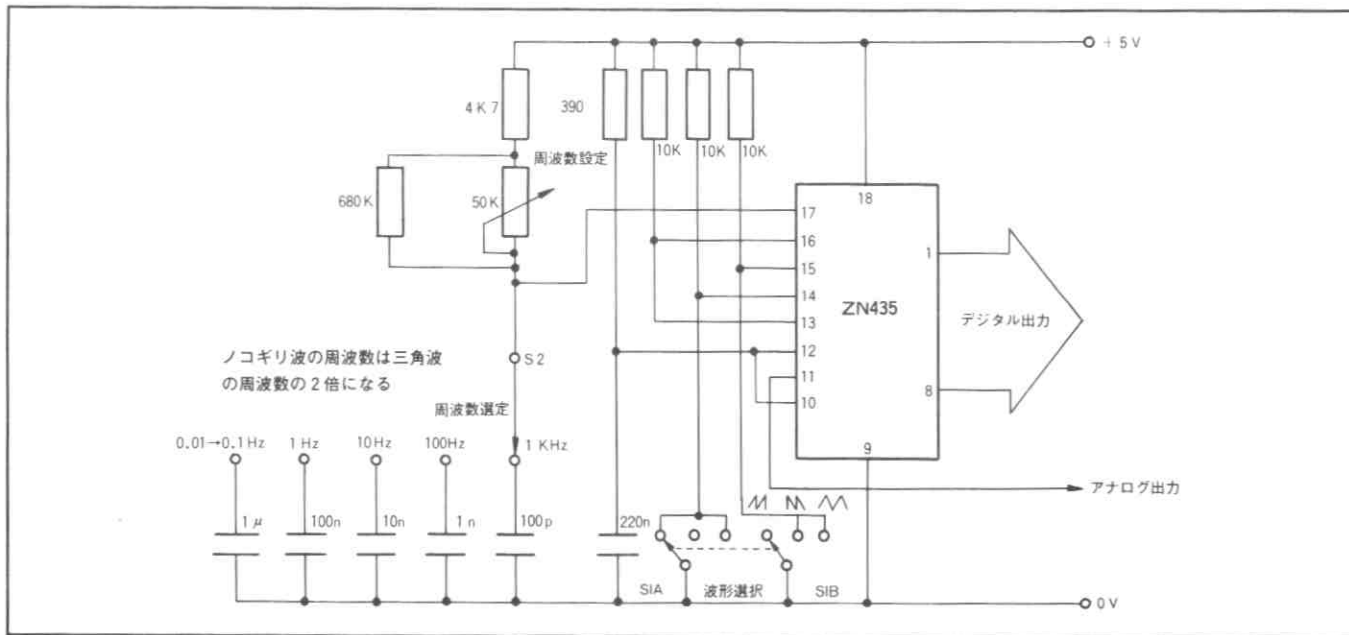
この回路は、安定で直線性の良いノコギリ波および三角形を発生する。



第6図 R-2Rラダー回路



第7図 内蔵基準電圧



第8図 波形発生回路



## ランプ/コンペア ADコンバータ

簡単なランプ/コンペア ADコンバータは、図9に示すようにZN435とコンパレータを使って作ることができる。

カウンタはゼロからアップするように設定し、その結果アナログ出力はしだいに増加する。このランプ電圧がアナログ入力を越えるとコンパレータ出力はローになり、クロックをインビビットしカウンタを止める。この時ZN435のデジタル・ポートに残ったデジタル値がアナログ入力電圧に相当する。そして、カウンタはリセット入力に印加されるパルスの立下りでリセットされ、再びスタートする。

基本的にはアナログ入力範囲は $0 \sim V_{REF}$ であるが、コンパレータの入力にアッテネータを付けることによってこれ以外の範囲でも使用できる。ゼロ調整はコンパレータのオフセット調整によって行う。また、この回路ではカウンタがフルスケールでストップするように、モード入力をローにしておく。これによって、入力がオーバーした時にカウンタがリセットされるのを防ぐ。

## 追従型ADコンバータ

ZN435はアップ/ダウン・カウンタを内蔵しているので、図10に示すようにコンパレータを外付すれば、簡単に追従

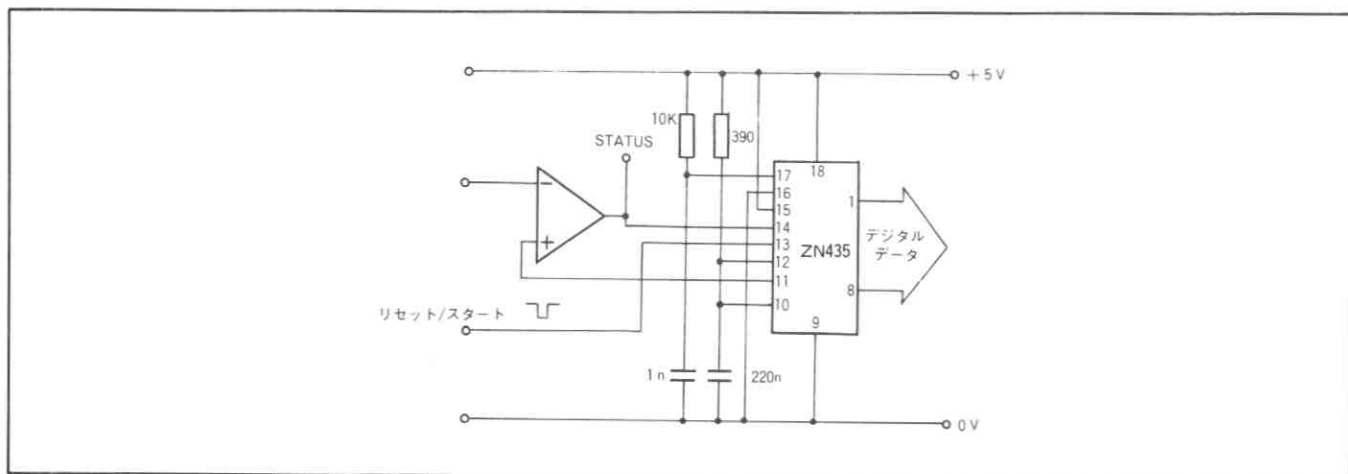
型ADコンバータを作ることができる。

この回路で2個のオペ・アンプZN424はウインド・コンパレータの機能を果たしている。これらのコンパレータにはDAコンバータの1LSB(10mV)に等しい不動作帯があり、これはA1のスレッシュホールドがA2のスレッシュホールドより10mV大きくなるようにオフセットを調整することによって設定する。

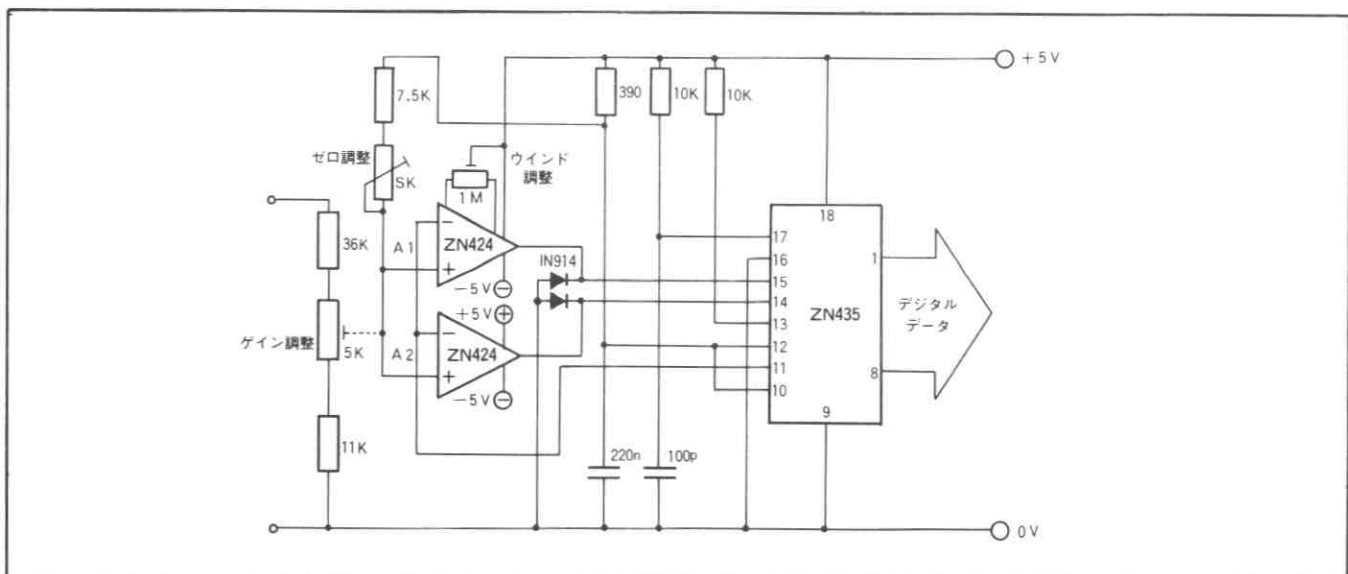
アナログ電圧がA1のスレッシュホールドより大きい時は、いつでもDAコンバータの出力がアナログ電圧に従って増加するようにカウンタはアップする。また、アナログ電圧がA2のスレッシュホールドより小さい時は、いつでもDAコンバータの出力がアナログ電圧に従って減小するようにカウンタはダウンする。アナログ電圧が2つのスレッシュホールドの間の場合、A1とA2の出力はローになりカウンタは停止する。

この回路のアナログ入力範囲は $\pm 10V$ であるが、入力抵抗を適当に選ぶことによって他の範囲でも使用できる。

この回路ではモード入力はローに保持し、アナログ入力がフルスケールを越えてカウンタがフルスケールまたはゼロに達した時に停止するようにする。このようにモード入力をローにしておかないと、オーバーフローが生じた時にカウンタは誤った値を出力する。



第9図 ランプ/コンペア ADコンバータ

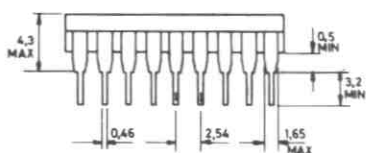
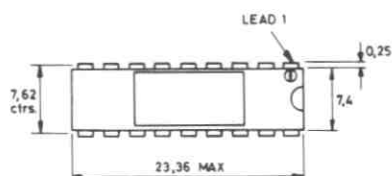
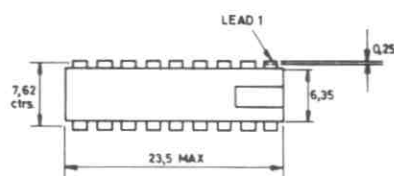


第10図 追従型ADコンバータ

# 最大絶対定格

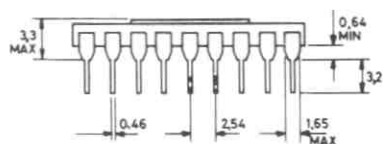
電源電圧 $V_{CC}$	+7.0V
印加電圧(ロジックおよび $V_{REF}$ 入力)	$V_{CC}$
動作周囲温度	0 ~ 70°C (ZN435E) -55°C ~ +125°C (ZN435J)
貯蔵温度	-65°C ~ +150°C

## パッケージ寸法 単位 mm



S455/2MD

18 LEAD MOULDED DIL



S499/1

18 LEAD CERAMIC DIL

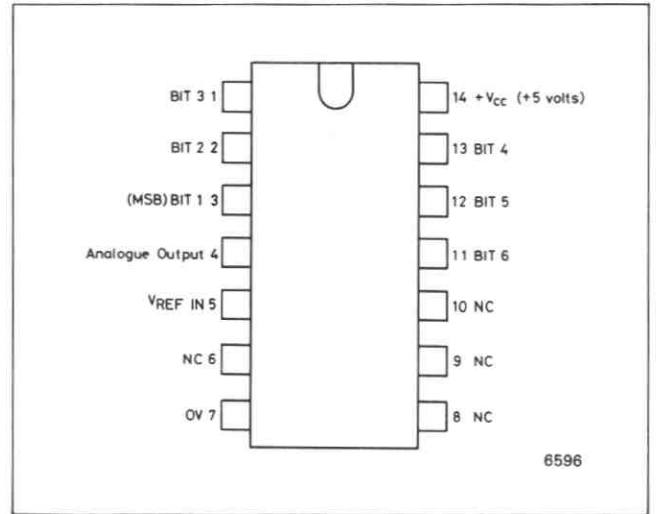
### ZN436

### 6ビット モノリシック D/Aコンバータ

ZN436は、6ビットのDAコンバータで、R-2Rラダー回路と精密バイポーラ・スイッチをモノリシック・チップ上に内蔵している。ラダー回路は、特別な設計を採用しているので、通常の拡散抵抗で6ビットの精度を得ることができる。コンバータの出力は電圧型で、第2図に示されるR-2Rラダー回路を使用している。

各2R素子は、低オフセット電圧 ( $1\text{mV}_{\text{TYP}}$ ) のトランジスタ・スイッチによって、0V か  $V_{\text{REF}}$  に接続される。2進加重み電圧は、ビット入力の値にしたがって、R-2Rラダーで発生する。

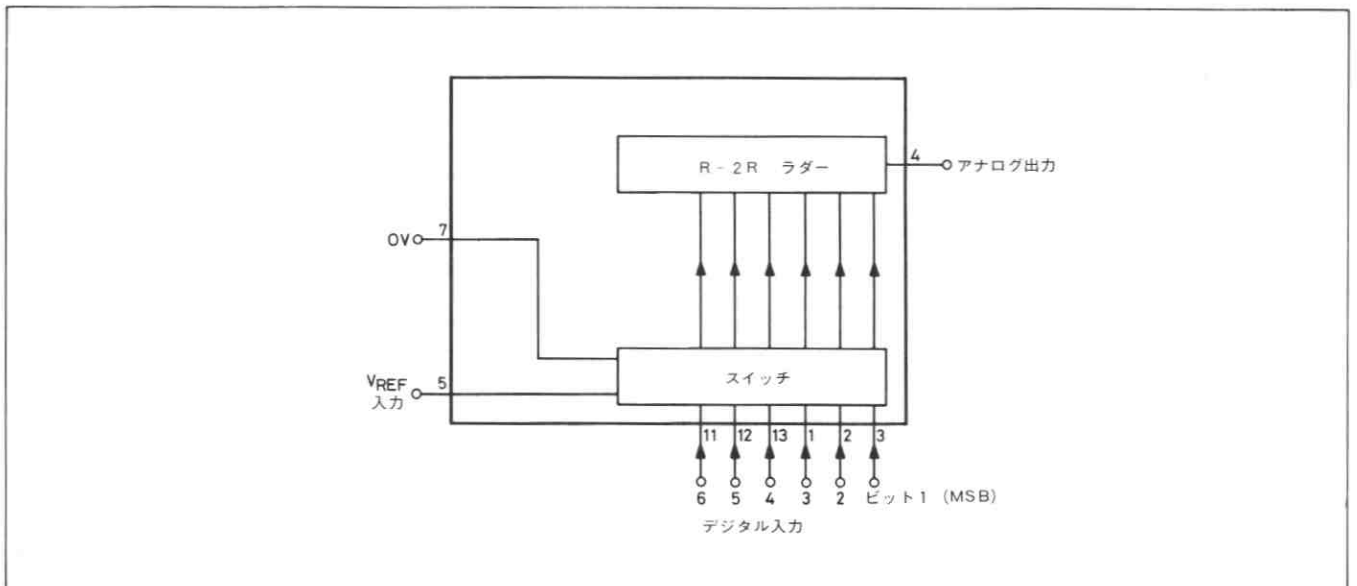
外付する基準電圧のスロープ抵抗は、 $2\Omega$  以下にしなければならない。フェランティ社の精密基準電圧用IC・ZN404およびZN458は、この基準電圧として使用できる。ZN404は5つのZN436を、ZN458は10個のZN436を駆動できる。



端子接続 (上面より)

### 特徴

- 6ビット精度
- 動作温度範囲 ZN436E  $0 \sim +70^\circ\text{C}$   
ZN436J  $-55^\circ\text{C} \sim +125^\circ\text{C}$
- TTL / 5V CMOS コンバーチブル
- +5V 単一電源
- セトリング時間  $1\mu\text{S}_{\text{TYP}}$ .
- ロー・コスト



第1図 システム図

## 電氣的特性

テスト条件 (特に注記なき限り)

電源電圧  $V_{CC}=+5\text{V}$ 、周囲温度  $T_{amb}=+25^{\circ}\text{C}$

特 性	シンボル	数 値			単 位	条 件
		Min.	Typ.	Max.		
分解能		6	—	—	ビット	
精 度		6	—	—	ビット	$V_{REF}$ 入力=2.0~3.0V
ノン・リニアリティ		—	—	$\pm 0.5$	LSB	注1
ディフェレンシャル・ノン・リニアリティ		—	$\pm 0.5$	—	LSB	注2
セトリング時間		—	1.0	—	$\mu\text{S}$	1 LSB変化
		—	2.0	—	$\mu\text{S}$	全ビット0から1 または1から0
オフセット電圧	$V_{OS}$					
ZN436J		—	5.0	8.0	mV	全ビット1
ZN436E		—	3.0	5.0	mV	注1
$V_{OS}$ 温度係数		—	5	—	$\mu\text{V}/^{\circ}\text{C}$	
フルスケール出力		2.510	2.520	2.530	V	全ビット1 Ext. $V_{REF}=2.560\text{V}$
フルスケール温度係数		—	3	—	ppm/ $^{\circ}\text{C}$	Ext. $V_{REF}=2.560\text{V}$
ノン・リニアリティ温度係数		—	7.5	—	ppm/ $^{\circ}\text{C}$	フルスケールに対して
アナログ出力抵抗	$R_o$	—	10	—	k $\Omega$	
外部基準電圧		0	—	3.0	V	
電源電圧	$V_{CC}$	4.5	—	5.5	V	
電源電流	$I_S$	—	5	9	mV	
ハイ・レベル入力電圧	$V_{IH}$	2.0	—	—	V	
ロー・レベル入力電圧	$V_{IL}$	—	—	0.7	V	
ハイ・レベル入力電流	$I_{IH}$	—	—	10	$\mu\text{A}$	$V_{CC}=\text{Max}$ 、 $V_I=2.4\text{V}$
		—	—	100	$\mu\text{A}$	$V_{CC}=\text{Max}$ 、 $V_I=5.5\text{V}$
ロー・レベル入力電流	$I_{IL}$	—	—	-0.18	mA	$V_{CC}=\text{Max}$ 、 $V_I=0.3\text{V}$

(注1) ZN436JとZN436Eの違いは次の通りである。

(i) ZN436Jは、温度範囲 $-55^{\circ}\text{C} \sim 0^{\circ}\text{C}$ および $+70^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の間で、リニアリティ・エラーの最大値が $\pm 1\text{LSB}$  ( $\pm 0.4\%$ FSR)に増加する。

(ii) オフセット電圧の違いは、パッケージのリード抵抗の違いによって生じる。しかし、オフセット電圧は、ZN436の調整中に補正されるし、オフセットの温度係数は小さいので、精度に与える影響はほとんどない。

(注2) 全動作温度範囲でモノトニックである。

# 応用例

## 1. 6ビット DA コンバータ

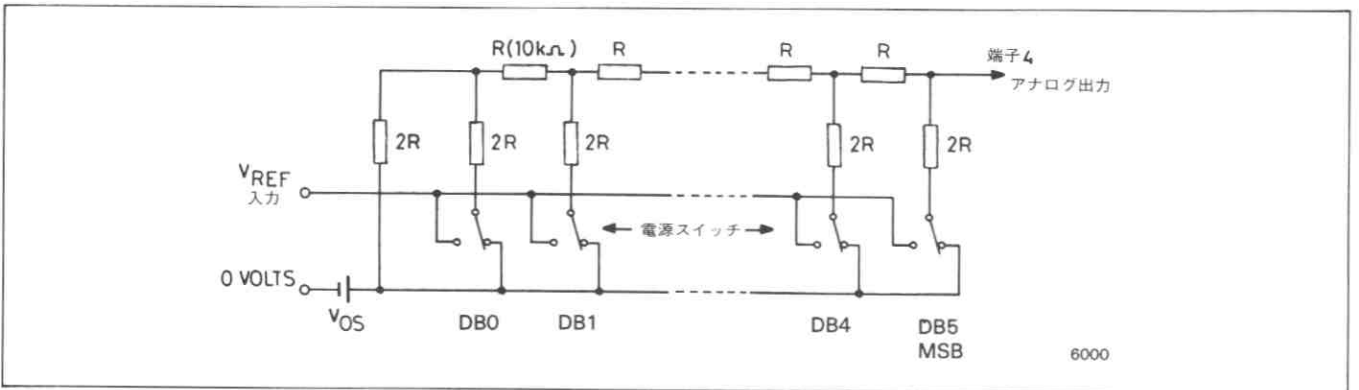
ZN436は、端子4から直接アナログ電圧を出力することができるので、電流-電圧コンバータは必要ない。出力電圧のドリフトは、アナログ出力抵抗 $R_0$ の温度係数により、変化し、 $R_L$ を650K $\Omega$ 以上にすればこの値は0.004%/ $^{\circ}\text{C}$  (1LSB/ $100^{\circ}\text{C}$ )以下にすることができる。

オフセット電圧を取り除き、コンバータの較正を行うために、バッファ・アンプが必要となる。第3図に内部基準電圧を使用した代表的応用回路を示す。この回路または他

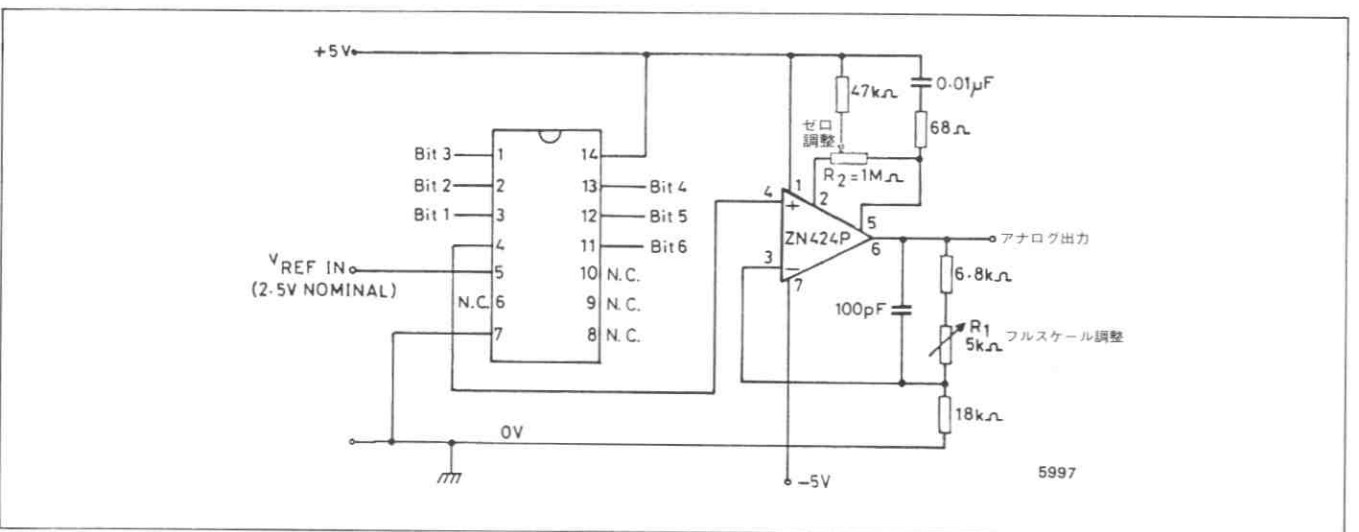
の応用においても、温度ドリフトを最小にするために、オペ・アンプの反転入力ソース抵抗は約6K $\Omega$ にしなければならない。調整手順は次のようになる：

- (i) 全ビットを‘0’ (ロー・レベル) に設定し、 $V_{OUT} = 0.000\text{V}$ になるまで $R_2$ を調整する。
- (ii) 全ビットを‘1’ (ハイ・レベル) に設定し、 $V_{OUT} =$ フルスケール-1LSBになるまで $R_1$ を調整する。
- (iii) iとiiを繰り返す。 (iii)

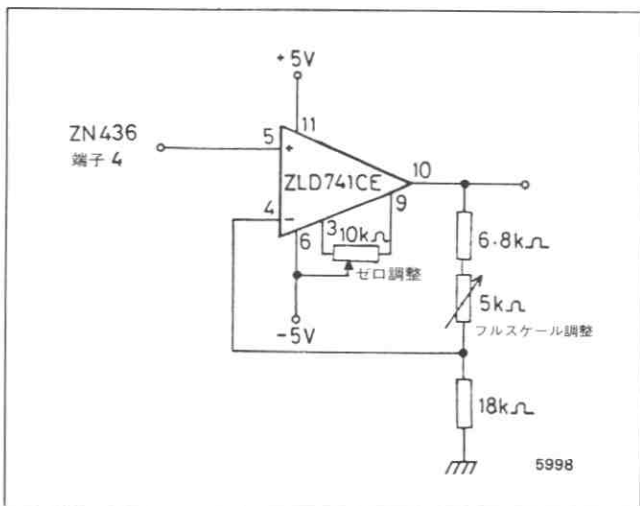
オペ・アンプ741を使った第4図のような回路を、出力バッファとして使用できる。



第2図 R-2Rラダー回路



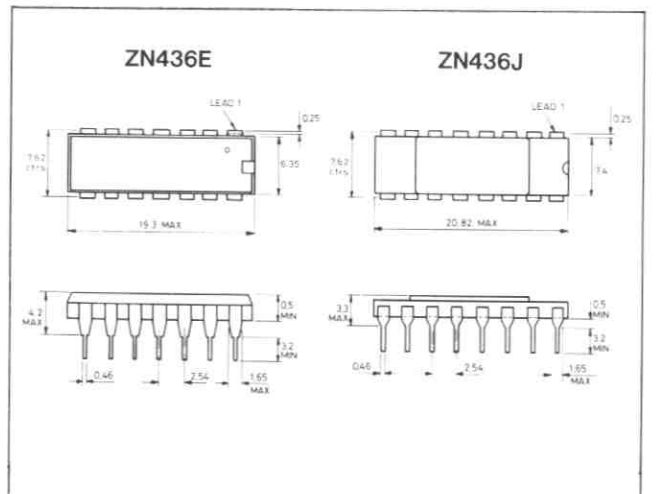
第3図 6ビットDAコンバータ



第4図 出力バッファに741を使用した例

## パッケージ寸法

単位 mm



### ZN437

## マイクロプロセッサ・コンパチブル 8ビット 8チャンネル データ収集システム ADVANCE INFORMATION

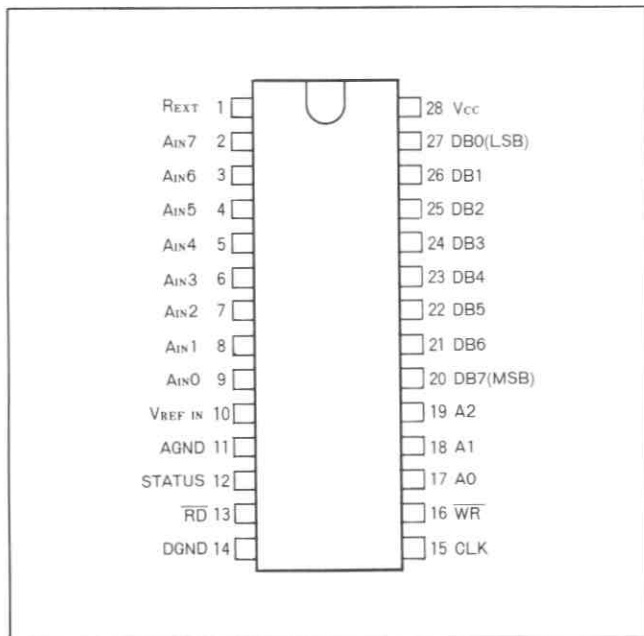
ZN437は、ほとんどのマイクロプロセッサとのインターフェイスが容易な、8ビット8チャンネルのデータ収集システムで、次の回路から構成されている。

8ビット逐次比較ロジック、ADコンバータ、8チャンネル・マルチプレクサ、8×8ビットRAM、アドレス・ラッチ、クロック・プリディバイダ、制御ロジック、3ステート出力付ダブルバッファ・ラッチ。

ZN437は、次の4つのモードの内のどれかにプログラムすることができる。

- ・指定したチャンネルを1回変換
- ・指定したチャンネルを連続変換
- ・全てのチャンネルを1回変換
- ・全てのチャンネルを連続変換

逐次比較型ADコンバータによって変換された結果は、8×8ビットRAMの正しい位置にロードされる。アドレス・バス(A<sub>2</sub>~A<sub>0</sub>)は、読み出すチャンネルを選択するために使用し、データはダブル・バッファ・ラッチから出力される。

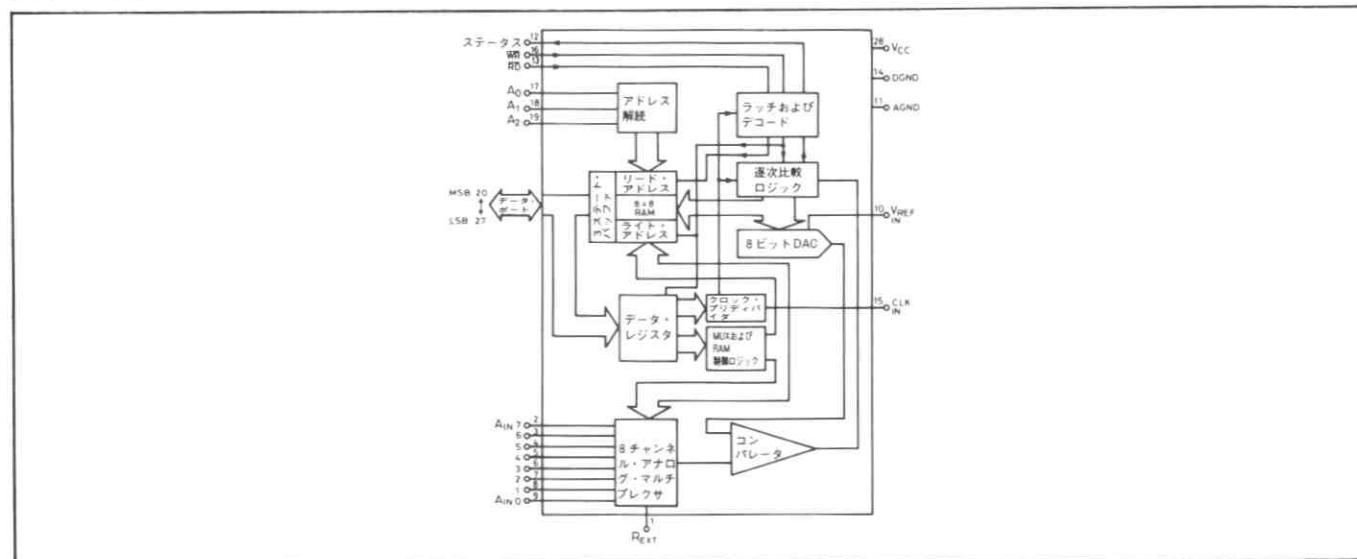


端子接続 (上面より)

### 特 徴

- リニアリティ: ±1/2 LSB-ZN437-8  
±1 LSB-ZN437-7
- 変換時間 16μS
- 8アナログ入力
- 8×8ビットRAM内蔵
- 4つの変換モード

- ダブル・バッファ出力ラッチ付でマイクロプロセッサとのインターフェイスが容易
- μP、TTL、CMOSコンパチブル
- 4MHz最大のマイクロプロセッサ・クロックを直接入力可能
- ROMタイプの動作可能
- 28端子DILパッケージ



第1図システム図

## 電気的特性

テスト条件 (特に注記なき限り)

電源電圧  $V_{CC}=+5V$ 、周囲温度  $T_{amb}=25^{\circ}C$ 、クロック周波数  $f_{CLK}=500KHz$

特 性	$T_{amb}=+25^{\circ}C$			全動作温度範囲		単 位	条 件
	Min.	Typ.	Max.	Min.	Max.		
<b>ZN437-8</b>							
リニアリティ・エラー	—	—	$\pm 1/2$	—	$\pm 1/2$	LSB	
ディフェレンシャル・リニアリティ・エラー	—	—	$\pm 3/4$	—	$\pm 3/4$	LSB	
<b>ZN437-7</b>							
リニアリティ・エラー	—	—	$\pm 1$	—	$\pm 1$	LSB	
ディフェレンシャル・リニアリティ・エラー	—	—	$\pm 1$	—	$\pm 1$	LSB	
<b>全タイプ</b>							外部基準電圧 =2.56V
ゼロ・トランジション ( 00000000 → 00000001 )	—	10	—	—	—	mV	'E' パッケージ 'J' パッケージ
フルスケール・トランジション ( 11111110 → 11111111 )	—	10	—	—	—	mV	
フルスケール・トランジション ( 11111110 → 11111111 )	—	2.550	—	—	—	V	'E' パッケージ 'J' パッケージ
	—	2.550	—	—	—	V	
リニアリティ温度係数			$\pm 3$ typ.			ppm/ $^{\circ}C$	外部基準電圧 =2.50V
ディフェレンシャル・リニアリティ温度係数			$\pm 6$ typ.			ppm/ $^{\circ}C$	
ゲイン温度係数			$\pm 10$ typ.			ppm/ $^{\circ}C$	
オフセット温度係数			$\pm 7$ typ.			ppm/ $^{\circ}C$	
分解能	8	—	—	—	—	ビット	チャンネル当り  出力は高インピー ダンス状態
変換時間	16	—	—	—	—	$\mu S$	
電源除去比	—	0.2	—	—	—	%/V	
電源電圧	4.5	5.0	5.5	4.5	5.5	V	
電源電流	—	45	—	—	—	mA	
消費電力	—	225	—	—	—	mW	
基準電圧入力範囲	1.5	—	3.0	—	—	V	
ラダー出力インピーダンス	—	2.7	—	—	—	K $\Omega$	
<b>マルチプレックス入力 (アナログ入力)</b>							
入力電流	—	10	—	—	—	nA	$V_{in}=+3V$ 、 $R_{ext}=1.8k\Omega$
入力抵抗	—	10	—	—	—	M $\Omega$	
テイル電流	—	1.1	—	—	—	mA	$R_{ext}=1.8k\Omega$ 、 $V_{FE}=-5V$
負電源	-3	-5	-30	-3	-30	V	
入力電圧 $V_{in}$	-0.5	—	+3.5	-0.5	+3.5	V	
<b>外部基準電圧</b>							
出力電圧	1.5	—	3.0	—	—	V	注 1
スロープ抵抗	—	0.75	—	—	—	$\Omega$	
$V_{REFIN}$ から ZN437 へのドレイン電流	—	—	1.0	—	—	mA	
出力電圧温度係数	—	50	—	—	—	ppm/ $^{\circ}C$	
<b>外部クロック</b>							
クロック周波数	—	—	4.0	—	4.0	MHz	内部ディバイダを ÷8 に設定
ハイ・レベル入力電圧 $V_{IH}$	2.0	—	—	2.0	—	V	
ロー・レベル入力電圧 $V_{IL}$	—	—	0.8	—	0.8	V	$V_{CC}=+5.5V$ $V_{IN}=+4V$ $V_{CC}=+5.5V$ $V_{IN}=+0.8V$
ハイ・レベル入力電流 $I_{IH}$	—	200	—	—	—	$\mu A$	
ロー・レベル入力電流 $I_{IL}$	—	-160	—	—	—	$\mu A$	

特 性	Tamb=+25°C			全動作温度範囲		単 位	条 件
	Min.	Typ.	Max.	Min.	Max.		
ロジック $\overline{WR}$ 、 $\overline{RD}$ 、 $A_2$ 、 $A_1$ 、 $A_0$ 入力							
ハイ・レベル入力電圧 $V_{IH}$	2.0	—	—	2.0	—	V	
ロー・レベル入力電圧 $V_{IL}$	—	—	0.8	—	0.8	V	
ハイ・レベル入力電流 $I_{IH}$	—	220	—	—	—	$\mu A$	$V_{CC}=+5.5V$ $V_{IN}=+5.5V$
ハイ・レベル入力電流 $I_{IH}$	—	35	—	—	—	$\mu A$	$V_{CC}=+5.5V$ $V_{IN}=+2.4V$
ロー・レベル入力電流 $I_{IL}$	—	-200	—	—	—	$\mu A$	$V_{CC}=+5.5V$ $V_{IN}=+0.4V$
データ入力/出力							
ハイ・レベル入力電圧 $V_{IH}$	2.0	—	—	2.0	—	V	
ロー・レベル入力電圧 $V_{IL}$	—	—	0.8	—	0.8	V	
ハイ・レベル入力電流 $I_{IH}$	—	40	—	—	—	$\mu A$	$V_{CC}=+5.5V$ $V_{IN}=+5.5V$
ハイ・レベル入力電流 $I_{IH}$	—	10	—	—	—	$\mu A$	$V_{CC}=+5.5V$ $V_{IN}=+2.4V$
ロー・レベル入力電流 $I_{IL}$	—	-100	—	—	—	$\mu A$	$V_{CC}=+5.5V$ $V_{IN}=+0.4V$
ハイ・レベル出力電圧 $V_{OH}$	2.4	—	—	2.4	—	V	$I_{OH\ MAX}$
ロー・レベル出力電圧 $V_{OL}$	—	—	0.4	—	0.4	V	$I_{OL\ MAX}$
ハイ・レベル出力電流 $I_{OH}$	—	—	-800	—	—	$\mu A$	
ロー・レベル出力電流 $I_{OL}$	—	—	2.0	—	—	mA	
スリー・ステート・ディスエーブル時リーク電流	—	—	2.0	—	—	$\mu A$	$V_{OUT}=0.4V$
エネーブル/ディスエーブル遅延時間							
TE1	90	—	220	—	—	nS	第9図参照
TE0	60	—	120	—	—	nS	
TD1	80	—	160	—	—	nS	
TD0	60	—	110	—	—	nS	
ライト・パルス幅	135	—	—	—	—	nS	
$\overline{WR}$ 入カーステータス出力ハイ遅延時間	—	280	360	—	—	nS	
リード・パルス幅	220	—	—	—	—	nS	
$\overline{RD}$ ハイステータス出力ハイ遅延時間	—	240	400	—	—	nS	
$\overline{WR}$ がローになる前のデータ・セットアップ時間	-55	—	—	—	—	nS	
$\overline{WR}$ がハイになった後のデータ・ホールド時間	10	—	—	—	—	nS	
$\overline{RD}$ がローになる前のアドレス入力安定時間	10	—	—	—	—	nS	
$\overline{RD}$ がハイになった後のアドレス入力安定時間	10	—	—	—	—	nS	

注1) バイポーラ動作の場合、外付部品の接続によって基準電圧から流れる電流は増加する。バイポーラ動作の項参照。

## 動作概要

ZN437は、8系統のアナログ信号を入力でき、8ビットの制御ワードによって、次の4つの動作モードのうちのどれかにプログラムすることができる。

- 指定したチャンネルを1回変換 —モード1
- 指定したチャンネルを連続変換 —モード2
- 全てのチャンネルを1回変換 —モード3
- 全てのチャンネルを連続変換 —モード4

各チャンネルは、逐次比較法によって8ビットのバイナリ・ワードに変換され、 $8 \times 8$ ビットRAMの適当な位置にロードされる。制御ワードは、 $\overline{WR}$ 入力パルスの立下りでZN437にロードされ、変換モード、入力チャンネル(モー

ド1および2のみ)そしてクロック・プリディバイダが設定される。ステータス出力は、変換の開始を示すためにハイ・レベルになり、DAC入力MSBに設定される。マルチプレクサは、変換が実行される時に(制御ワードに従って)1つの入力チャンネルを選択する。DACの出力は、コンパレータによってアナログ入力と比較される。もし、アナログ入力のほうが大きければ、MSBはそのまま保持され、そうでなければMSBはリセットされる。2番目のクロック・パルスでもこの手順は次のビットに対して実行され、全ての8つのビットが比較されるまで繰り返される。8番目の負のクロック・エッジでステータス出力はローになり、変換が終了しRAMの書き換えが行われたことを示す。

ZN437のデータの読み出しは、 $A_0$ 、 $A_1$ 、 $A_2$ 端子を適当な



チャンネルに設定し、 $\overline{RD}$ をローにすることによって行われる。 $\overline{RD}$ パルスの立下りで指定されたRAMはパワー・アップされ、3ステータス出力をイネーブルする。RAMはアクセスされるまで、低消費電力のスタンバイ状態に維持される。ダブル・バッファ出力ラッチを内蔵しているため、出力は変換の状態に関係なくイネーブルでき、有効なデータを常にデータ・バスに出力できる。したがって、 $\overline{RD}$ 信号はステータスと完全に非同期で良い。データ・ポートは、双方向の入力/出力ポートであるため、バス上でデータの衝突が起きないように $\overline{WR}$ と $\overline{RD}$ を同時にアクティブにしてはならない。

## 制御ロジック

電源投入時にZN437を正しく動作させるために、“初期化”ワードをデバイスに入力し、 $\overline{START}$ 、 $\overline{SQ}$ そして $\overline{CY}$ をハイ・レベルに設定しなければならない。この初期化によって、デバイスがすぐ動作できる状態にセット・アップする。

	DB0	DB1	DB2	DB3	DB4	DB5	DB6	DB7
制御ワード	アナログ入力			$\overline{SQ}$	$\overline{CY}$	クロック・プリディバイダ	$\overline{START}$	
初期化ワード	×	×	×	1	1	×	×	1

ZN437の全ての動作は、制御ワードによって設定される。

**アナログ入力:** アナログ入力を選択するための3ビット・コード。指定した入力を変換する場合のみ使用する。

**シークエンス $\overline{SQ}$ :** アクティブ・ロー。8つの全てのチャンネルの順次変換を行う。

**サイクリング $\overline{CY}$ :** アクティブ・ロー。1つまたは全てのチャンネルを連続的に変換する。

**クロック・プリディバイダ:** クロック周波数の分周比を、1、2、4または8に設定する2ビット・コード。

**$\overline{START}$ :** ハイからロー・レベルの立下りで変換を開始する。

$\overline{WR}$ 信号は、現在データ・バス上にある制御ワードをデバイスにラッチするために使用する。データは、 $\overline{WR}$ 信号の立上りでラッチされる。新しい制御ワードを入力する時や変化させる時には、 $\overline{WR}$ 信号を常に使用しなければならない。

DB 6	DB 5	分 周 比
1	1	1
0	1	2
1	0	4
0	0	8

クロック・プリディバイダの選択

## 変換タイミング

ZN437に負の $\overline{WR}$ パルスを入力することによって、“制御ワード”がロードされ、変換が開始する。 $\overline{WR}$ パルスはクロックに対して完全に非同期で良く、クロックと $\overline{WR}$ パルスのタイミングによって8から9クロック・サイクル後に

有効なデータを出力する。第2図に変換のタイミング図を示す。

$\overline{WR}$ パルス幅は最小150nSで、最大値の規定はないが、 $\overline{WR}$ がローの間制御ワードを変化させたり、 $\overline{RD}$ をローにしてはならない。また、MSBは判定が行われる少なくとも2.0 $\mu$ S以上前にセットされなければならない。短い $\overline{WR}$ パルスの場合にもこの条件を満足するために、ZN437は $\overline{WR}$ パルスがハイに戻ってもクロックの立下りまで変換を開始しない。したがって、MSBは最小1クロック期間または500KHzのクロック周波数の場合で2.0 $\mu$ Sの設定時間を与えられる。

## 変換モード

ZN437は、次の4つの変換モードで動作させることができる。

1. 指定したアナログ入力を1回変換
2. 指定したアナログ入力を連続変換
3. 全ての8つのチャンネルを1回変換
4. 全ての8つのチャンネルを連続変換

4つのモードの選択は、制御ワードの $\overline{SQ}$ および $\overline{CY}$ ビットによって行うことができる。

### 1. 指定したアナログ入力を1回変換

DB0	DB1	DB2	DB3	DB4	DB5	DB6	DB7
アナログ入力			1	1	クロック・プリディバイダ	0	
チャンネル選択			$\overline{SQ}$	$\overline{CY}$	分周比設定	$\overline{START}$	

制御ワードモード1

1回の変換は、 $\overline{START}$  (DB7)をロー・レベルにすることによって指定したチャンネルに対して開始される。ステータス出力はハイになり、内部クロックがスタートする。変換の終わりでステータス出力はローに戻り、内部ロジックは $\overline{SQ}$ と $\overline{CY}$ がハイであることを検出して内部クロックをストップする。この時点で、制御ワードは自動的に全ビット1にリセットされる(変換をスタートするにはDB7を1から0にしなければならないため)。したがって、デバイスは新しい制御ワードを入力可能な待ち受け状態と言える。

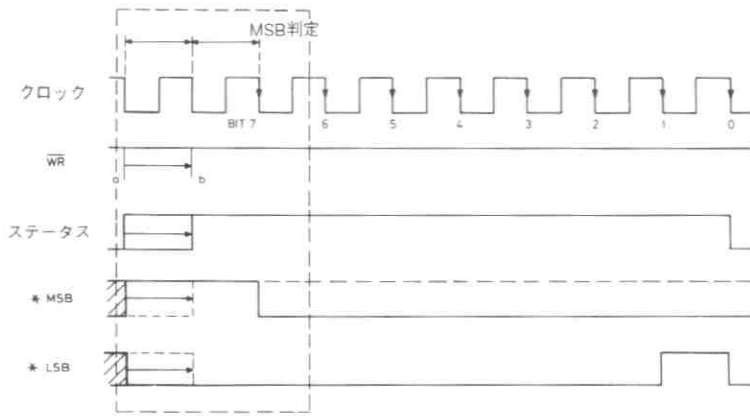
このモードのタイミング図を、第3図に示す。

### 2. 指定したアナログ入力を連続変換

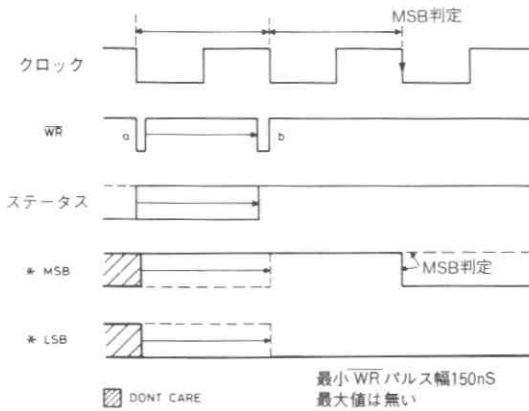
DB0	DB1	DB2	DB3	DB4	DB5	DB6	DB7
アナログ入力			1	0	クロック・プリディバイダ	0	
チャンネル選択			$\overline{SQ}$	$\overline{CY}$	分周比設定	$\overline{START}$	

制御ワードモード2

連続変換は、 $\overline{START}$  (DB7)をロー・レベルにすることによって指定したチャンネルに対して開始される。そして、ステータス出力はハイになり、内部クロックがスタートする。各変換の終わりで、内部ロジックは $\overline{CY}$ が0のままであるかチェックし、もしそうであれば次の変換を続ける。変換を止めるには、 $\overline{SQ}$ と $\overline{CY}$ が両方ともハイである新しい制御ワードを書き込まなければならない。これは変換サイクルのどこで行っても良く、デバイスは現在の変換を最後まで行ってからストップする。



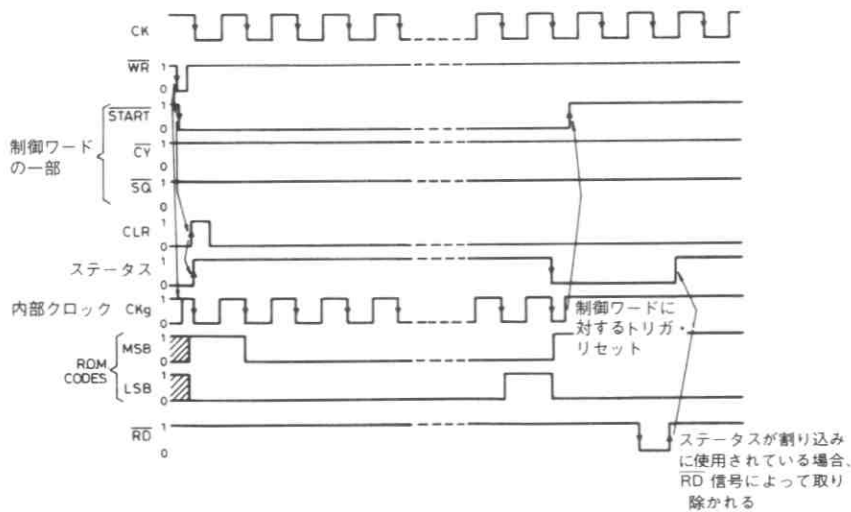
第2図 a



\*注：これらの信号は、内部逐次比較レジスタのMSBおよびLSB

第2図 b

第2図 タイミング図



第3図 指定したチャンネルを1回変換

DB0	DB1	DB2	DB3	DB4	DB5	DB6	DB7
アナログ入力	1	1	クロック・プリディバイダ	1			1
無変化	SQ	CY	無変化	START			

ストップ  
制御ワード  
モード2

変換の終わり、制御ワードは自動的に全ビット1にリセットされる。このモードのタイミング図を、第4図に示す。

### 3. 全ての8つのチャンネルを1回変換

DB0	DB1	DB2	DB3	DB4	DB5	DB6	DB7
アナログ入力	0	1	クロック・プリディバイダ	0			0
このモードでは使用しない	SQ	CY	分周比設定	START			

制御ワード  
モード3

変換は、START (DB7) をロー・レベルにすることによって開始される。ステータス出力はハイになり、内部クロックがスタートする。SQがロー・レベルになっている

ので、チャンネル0に始ってチャンネルが7まで全ての8つのチャンネルを変換する。チャンネル7の変換が終了するとデバイスは自動的にストップし、制御ワードを全て1にリセットして次の制御ワードの待ち受け状態になる。

このモードのタイミング図を、第5図に示す。

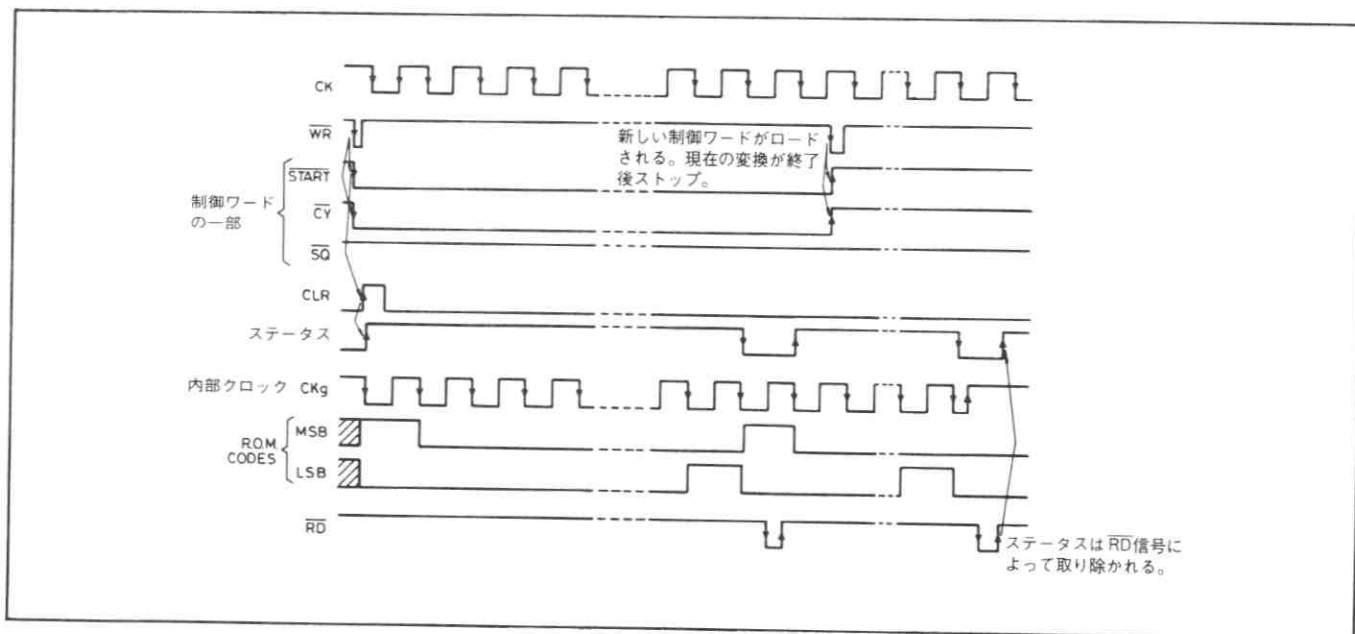
### 4. 全てのチャンネルを連続変換

DB0	DB1	DB2	DB3	DB4	DB5	DB6	DB7
アナログ入力	0	0	クロック・プリディバイダ	0			0
このモードでは使用しない	SQ	CY	分周比設定	START			

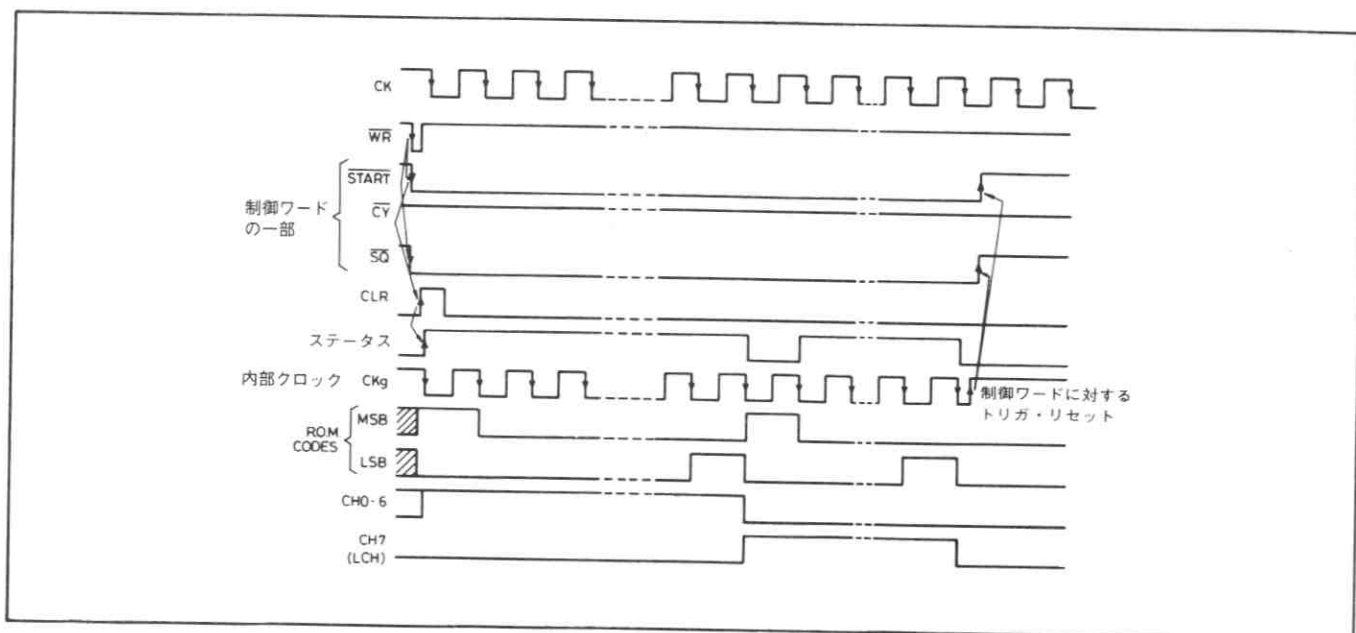
制御ワード  
モード4

変換は、START (DB7) をロー・レベルにすることによって開始される。ステータス出力は、ハイになる。このモードでは、チャンネル0に始って各チャンネルを順に変換する。チャンネル7の変換が終了すると、変換はチャンネル0に戻り、再びスタートする。

この変換を終了させるには、次の2つの方法がある：



第4図 指定したチャンネルを連続変換



第5図 全チャンネルを1回変換

A.  $\overline{SQ}$ と $\overline{CY}$ がハイである新しい制御ワードを、デバイスに書き込む。これによって、デバイスは現在変換を行っているチャンネルの変換が終了し、全ての交換を停止する。

DB0	DB1	DB2	DB3	DB4	DB5	DB6	DB7	
アナログ入力	1	1	クロック・プリディバイダ	1	ストップ制御ワード	モード4		
使用しない	$\overline{SQ}$	$\overline{CY}$	変化なし	$\overline{START}$				

B.  $\overline{SQ} = 0$ 、 $\overline{CY} = 1$ である新しい制御ワードを、デバイスに書き込む。この場合、デバイスはチャンネル7の変換が終了するまで変換を続け、その時点で自動的にストップし、制御ワードを全て1にして次の制御ワードを待ち受ける（モード3と同様の動作）。

DB0	DB1	DB2	DB3	DB4	DB5	DB6	DB7	
アナログ入力	0	1	クロック・プリディバイダ	1	ストップ制御ワード	モード4		
使用しない	$\overline{SQ}$	$\overline{CY}$	変化なし	$\overline{START}$				

このモードのタイミング図を、第6図に示す。

### 読み出しチャンネル選択

第1表にアドレス入力 ( $A_2, A_1, A_0$ ) の真理値表を示す。入力アドレスは、 $\overline{RD}$ がローの時に使用され、 $\overline{RD}$ がハイの時はロックされる。

$A_2$	$A_1$	$A_0$	読み出されるチャンネル
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

### アナログ入力チャンネルの選択

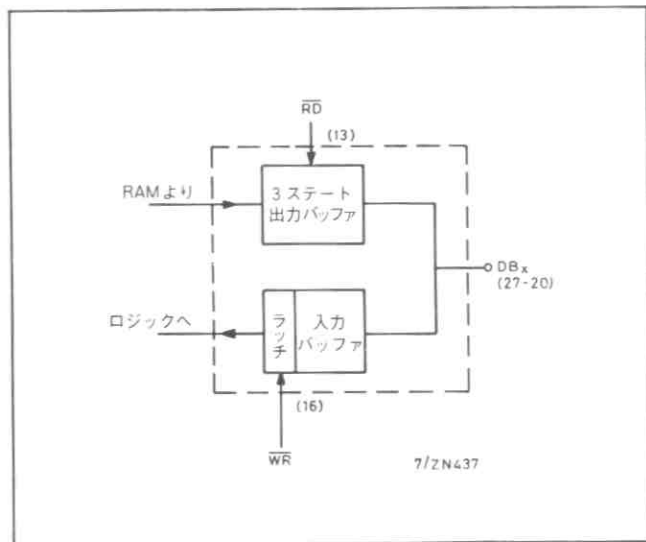
DB0	DB1	DB2	選択されるチャンネル
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

### データ・ポート

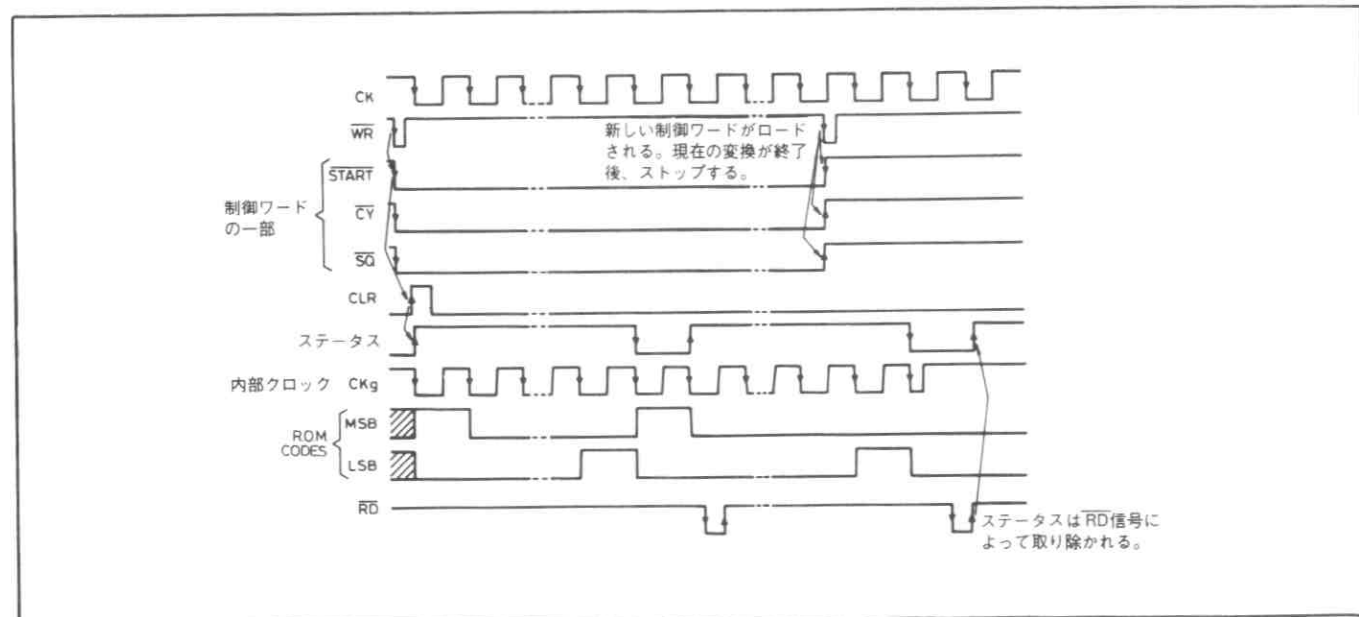
ZN437は、8つのデータ・ポートを持っている。これらは、双方向性の入力/出力ポートである（第7図参照）。

データ出力は、共通データ・バスに接続できるように、3ステートのバッファを内蔵している。この等価回路を第8図に示す。

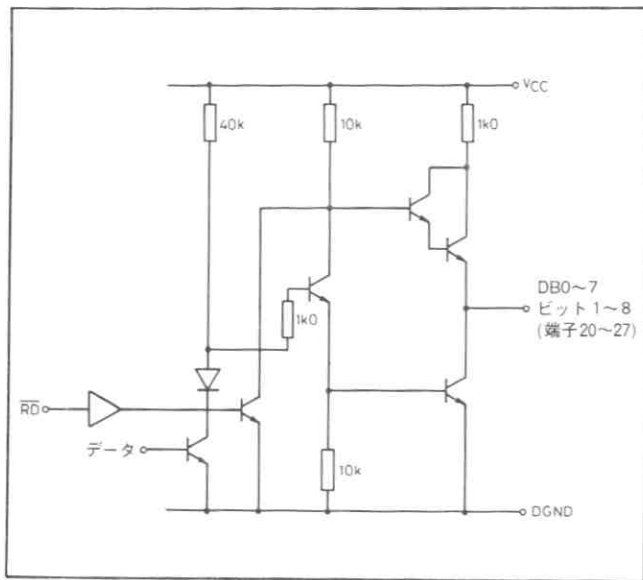
$\overline{RD}$ 入力がハイの間、両出力はオフとなる。



第7図 ZN437 データ・ポート



第6回 全チャンネルを連続変換



第8図 データ出力

## クロック入力

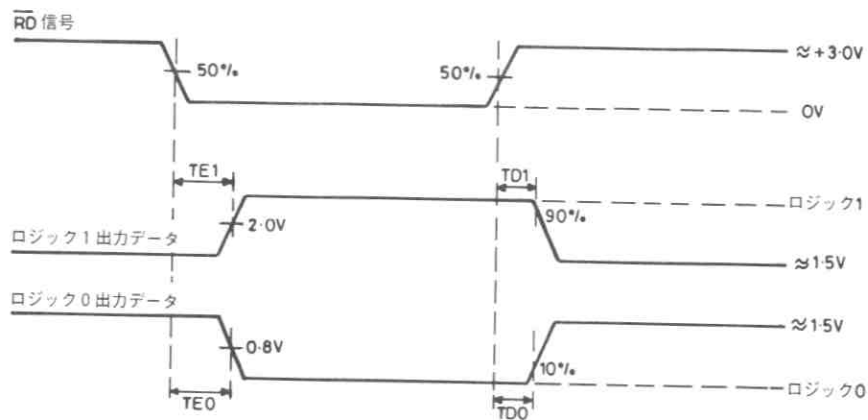
ZN437のクロック入力は、外部よりTTL/CMOSコンパレーブルの信号によって駆動される。また、クロック・プリディバイダを $\div 8$ に設定しておけば、最大4MHzのマイクログロッサ・クロックを入力できる。

## アナログ回路

### 基準電圧

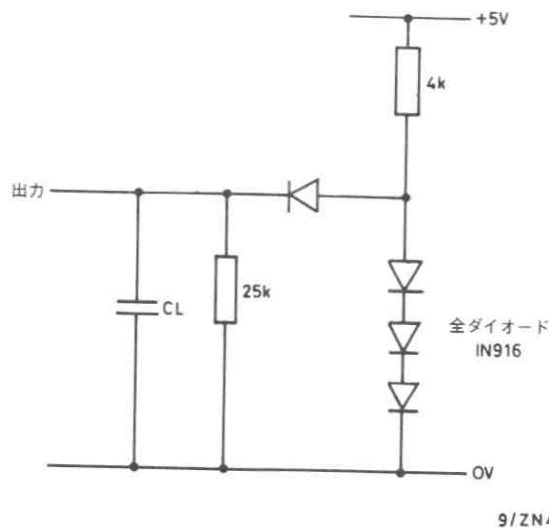
ZN437には、+1.5から+3.0Vの外部基準電圧が必要で、VREFIN (端子10)とアナログ・グランド (端子11)の間に接続する。この基準電圧のスロープ抵抗の値は、 $2.5\Omega$ 以下またはnを基準電圧を供給するコンバータの数とした場合 $2.5\Omega/n$ 以下にしなければならない。

適当な基準電圧用デバイスとしては、動作温度範囲が $0\sim+70^\circ\text{C}$ ではREF25Z、 $-55\sim+125^\circ\text{C}$ ではZNFREF025A1が推奨される。



TE = RD イネーブル遅延時間 (CL = 50pF)  
 TD = RD ディスエーブル遅延時間 (CL = 10pF)

第9図a 出力イネーブル/ディスエーブル遅延



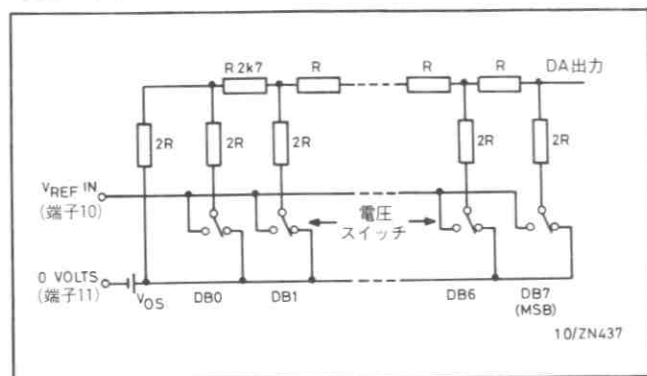
第9図b 出力負荷回路

## レシオメトリック動作

トランスジューサからの出力が、電源電圧によって変化する場合、ZN437の外部基準電圧も同じ電源で駆動しなければならない。外部基準電圧は、+1.5Vから+3.0Vまで変化させることができる。ZN437は、1.5V以下の $V_{REF IN}$ でも動作するが、コンパレータのオーバードライブが減少するため遅延時間が長くなり、変換時間も長くなってしまふ。

## DAコンバータ

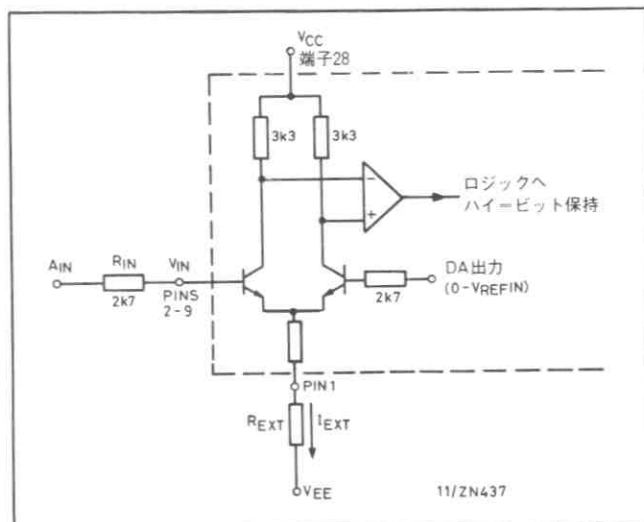
コンバータは、電圧スイッチ型のもので、第10図に示すようなR-2Rラダー回路を使用している。各2R素子は、特に低オフセット電圧(1mV)に設計されたトランジスタ電圧スイッチによって0Vまたは $V_{REF IN}$ に接続される。



第10図 R-2Rラダー回路

に示す。

$V_{EE}$ (V)	$R_{EXT}$ (K $\Omega$ )
-3	—
-5	1.8
-10	6.2
-12	7.5
-15	11
-20	15
-25	20
-30	24



第11図 アナログ入力等価回路 (1チャンネル)

バイナリに重みづけされた電圧は、R-2Rラダーの出力に発生する：

$$DA \text{ 出力} = \frac{n}{256} (V_{REF IN} - V_{OS}) + V_{OS}$$

ここで、nは逐次比較レジスタから入力されるDACへのデジタル値とする。

$V_{OS}$ は、パッケージのリード抵抗に電源電流が流れることによって生じる小さなオフセット電圧である。このオフセットは、通常ZN437の調整中に補正することができるし、オフセットの温度係数は小さいので(7ppm/°C)、精度に与える影響はほとんどない。

DAコンバータの出力電圧範囲は0~( $V_{REF IN} - 1 \text{ LSB}$ )で、出力抵抗はR (2.7K $\Omega$ )である。

## マルチプレックス入力とコンパレータ

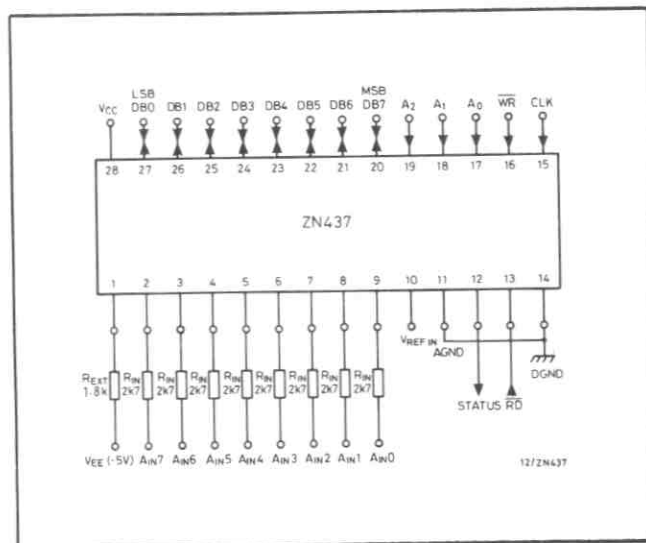
ZN437は8つのアナログ入力端子を持っており、マルチプレクサに接続されている。指定されたチャンネルはここで選択され、コンパレータに接続される。マルチプレクサは、制御ワード(OB0~DB4)の情報に従って、デジタル的に制御される。これによって、マルチプレクサは以前に述べた4種類のシステム動作モードのどれかで動作する。

ZN437は高速のコンパレータを内蔵しており、入力の等価回路を第11図に示す。入力段にテイル電流を供給するために、負の電源電圧が必要になる。このテイル電流は、 $V_{EE} = -5 \text{ V}$ 、 $R_{EXT} = 1.8 \text{ K}\Omega$ で通常1.1mAである。

いくつかの電源電圧に対する適当な外付抵抗値を次の表

## アナログ入力範囲

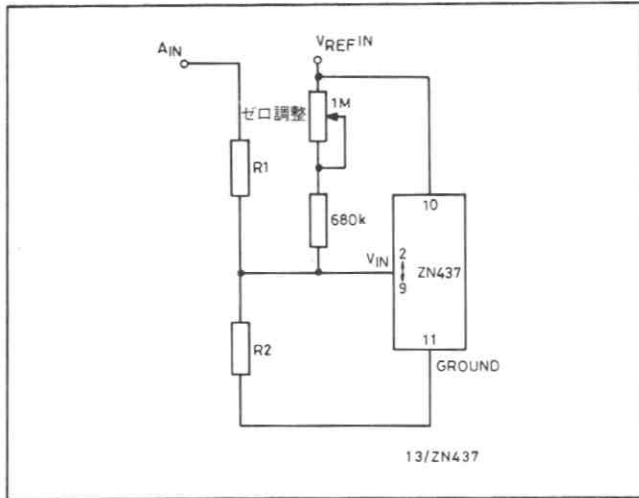
ZN437の基本的な接続を第12図に示す。アナログ入力範囲は0Vから $V_{REF}$ で、いくつかの応用ではここまでに示した信号処理/駆動回路で使用できる。これ以上の入力電圧範囲が必要な場合、コンパレータ入力に減衰用抵抗を接続する。また、これより小さい入力電圧範囲で使用する場合、信号を適当なレベルまで増幅しなければならない。



第12図 ZN437の外付部品

## ユニポラ動作

ユニポラ動作の基本接続を第13図に示す。



第13図 ユニポラ動作入力回路

$R_1$ と $R_2$ の値は、アナログ入力( $A_{IN}$ )がフルスケールの時、 $V_{IN}=V_{REF IN}$ となるように選ぶ。この結果、フルスケール・レンジは次の式で与えられる：

$$A_{IN} FR = \left(1 + \frac{R_1}{R_2}\right) \cdot V_{REF IN} = G \cdot V_{REF IN}$$

ラダー抵抗とマッチさせるために、 $R_1 // R_2$  ( $R_{IN}$ ) = 2.7 K $\Omega$ とする。したがって、 $R_1$ と $R_2$ の値は次式で求めることができる。

$$R_1 = 2.7G \text{ K}\Omega$$

$$R_2 = \frac{2.7G}{G-1} \text{ K}\Omega$$

この関係を使い、 $V_{REF IN}=2.5V$ の時の $R_1$ と $R_2$ の値を求めると次のようになる。

入力電圧範囲	G	$R_1$	$R_2$
+5V	2	5.4K $\Omega$	5.4K $\Omega$
+10V	4	10.8K $\Omega$	3.6K $\Omega$

## ゲイン調整

$R_1$ と $R_2$ のパラツキおよび $V_{REF}$ とDAコンバータの利得誤差(フルスケール誤差)のパラツキによって生じるコンバータのフルスケール誤差は、 $R_1$ で調整する。誤差2%の抵抗を使用する場合、 $R_1$ は少なくとも $\pm 5\%$ 調整できるようにする。

## ゼロ調整

ゼロ・トランジション(00000000から00000001に変化する点)を $+\frac{1}{2}$ LSBに設定するために、ゼロ調整が必要になる。これは、P2と $R_3$ によってコンバータ入力にかかる正のオフセット電圧を調整することによって行う。

入力電圧範囲+5Vおよび+10Vの場合の、ゼロおよびゲイン調整回路を第14図に示す。

## ユニポラ動作 調整手順

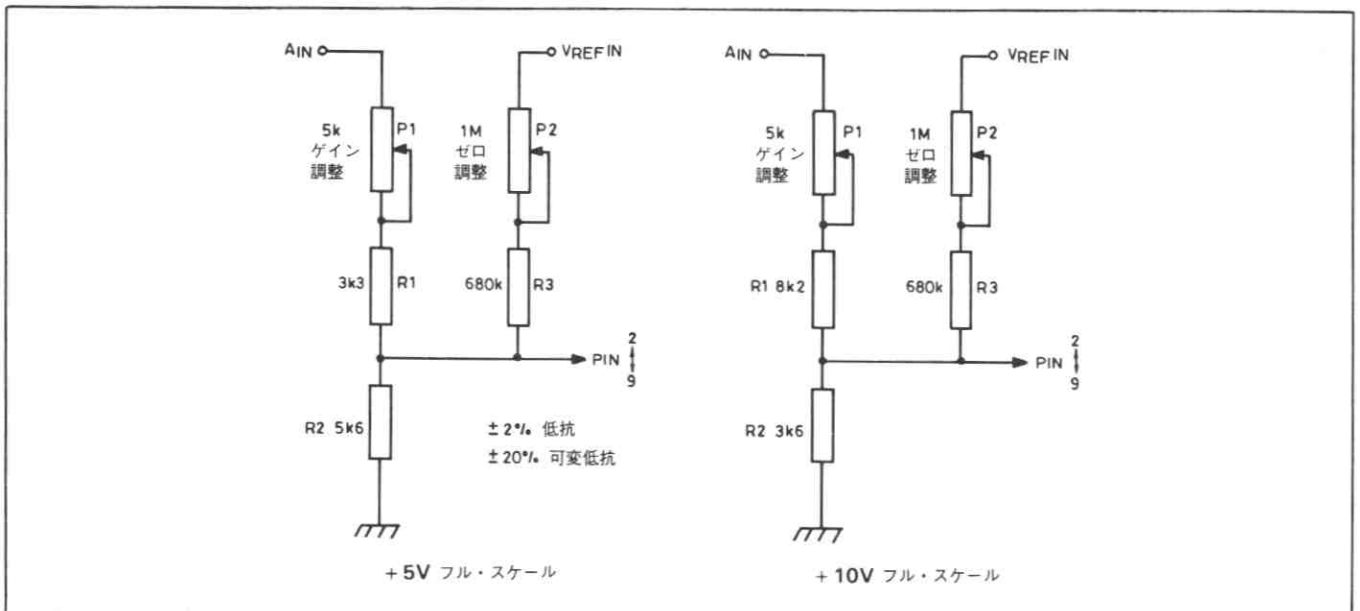
- (i) 調整したいチャンネルを選択し、連続変換を行う。そして、デジタル出力を観測する(この時、アドレス入力は正しいチャンネルを選択し、RDパルスを繰り返し入力しなければならない)。

## オフセット調整

- (ii)  $A_{IN}$ に $\frac{1}{2}$ LSBの電圧を加え、DBO (LSB)が0と1のフリッカー状態、他の全てのビットが0になるようにP2を調整する。つまり、00000000と00000001の遷移点。

## ゲイン調整

- (iii)  $A_{IN}$ に(フルスケール- $1\frac{1}{2}$ LSB)の電圧を加え、DBO (LSB)が0と1のフリッカー状態、他の全てのビットが1になるようにP1を調整する。つまり、11111111



第14図 ユニポラ動作外付部品値

と11111110の遷移点。

入力電圧範囲(+FS)	1/2LSB	FS-1 1/2LSB
+5V	9.8mV	4.9707V
+10V	19.5mV	9.9414V

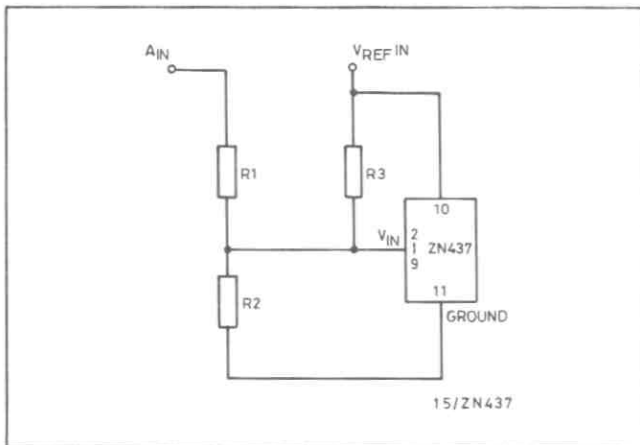
$$1 \text{ LSB} = \frac{\text{FS}}{256}$$

## ユニポーラ動作 ロジック・コード

アナログ入力 (A <sub>IN</sub> )	出力コード (バイナリ)
FS - 1 LSB	11111111
FS - 2 LSB	11111110
3/4 FS	11000000
1/2 FS + 1 LSB	10000001
1/2 FS	10000000
1/2 FS - 1 LSB	01111111
1/4 FS	01000000
1 LSB	00000001
0	00000000

## バイポーラ動作

バイポーラ動作では、V<sub>REF IN</sub>とV<sub>IN</sub>の間に抵抗R<sub>3</sub>を接続して、ZN437の入力にフルスケール入力電圧の半分値のオフセットを与える(第15図)。



第15図 バイポーラ動作入力回路

A<sub>IN</sub> = -FS の時、V<sub>IN</sub> = 0

A<sub>IN</sub> = +FS の時、V<sub>IN</sub> = V<sub>REF IN</sub> となる必要がある。

もし、FS = ±G · V<sub>REF IN</sub> とすると、

$$R_1 = (G - 1) \cdot R_2$$

$$R_1 = G \cdot R_3$$

ラダー抵抗とマッチさせるために、

$$R_1 \parallel R_2 \parallel R_3 (=R_{IN}) = 2.7K\Omega$$

したがって、R<sub>1</sub>、R<sub>2</sub>、R<sub>3</sub>の値は次のように表わされる。

$$R_1 = 5.4G \text{ K}\Omega, R_2 = 5.4G / (G - 1) \text{ K}\Omega, R_3 = 5.4K\Omega$$

たとえば、入力電圧範囲±V<sub>REF IN</sub>で使用した場合(これはユニポーラ動作の0 ~ +V<sub>REF IN</sub>に相当する)、

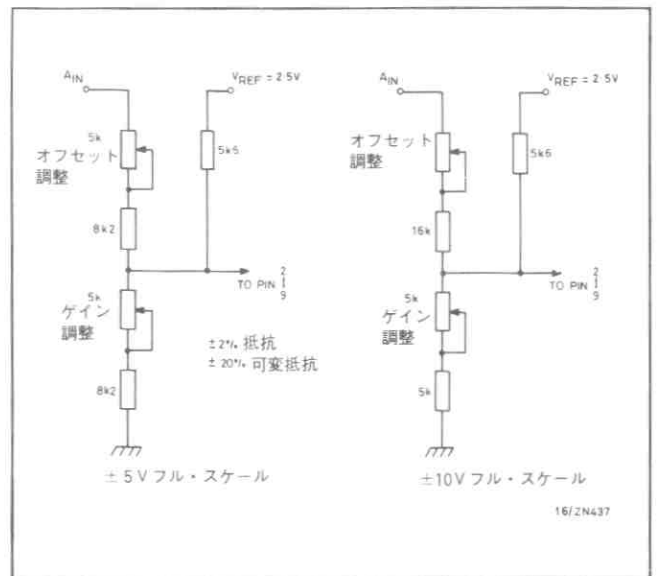
$$R_1 = R_3 = 5.4K\Omega, R_2 = \infty \text{ となる。}$$

V<sub>REF IN</sub> = 2.5V、入力電圧範囲±5Vおよび±10Vの場合の抵抗値を次に示す。

入力電圧範囲	G	R <sub>1</sub>	R <sub>2</sub>	R <sub>3</sub>
±5V	2	10.8KΩ	10.8KΩ	5.4KΩ
±10V	4	21.6KΩ	7.2KΩ	5.4KΩ

マイナス・フルスケール(オフセット)は、R<sub>3</sub>に対するR<sub>1</sub>の値を調整することによって設定する。また、プラス・フルスケール(ゲイン)は、R<sub>1</sub>に対するR<sub>2</sub>の調整によって設定する。第16図に、実際の回路例を示す。

R<sub>3</sub>には基準電源からV<sub>REF IN</sub>に必要なとされる電流以外にシンク電流が流れる。したがって、基準電源用部品を選択する時にこの電流を考慮しなければならない。



第16図 バイポーラ動作外付部品値

## バイポーラ動作 調整手順

- (i) 調整したいチャンネルを選択し、連続変換を行う。そして、デジタル出力を観測する(この時、アドレス入力は正しいチャンネルを選択し、RDパルスを繰り返し入力しなければならない)。

### オフセット調整

- (ii) A<sub>IN</sub>に-(FS - 1/2LSB)の電圧を加え、DBO (LSB) が0と1のフリッカー状態、他の全てのビットが0になるように調整する。つまり、00000000と00000001の遷移点。

### ゲイン調整

- (iii) A<sub>IN</sub>に+(FS - 1/2LSB)の電圧を加え、DBO (LSB) が0と1のフリッカー状態、他の全てのビットが1になるように調整する。つまり、11111111と11111110の遷移点。



## バイポーラ動作 セットティング・ポイント

入力電圧範囲(±FS)	-(FS - 1/2LSB)	+(FS - 11/2LSB)
± 5 V	-4.9805V	+4.9414V
±10V	-9.9609V	+9.8828V

$$1 \text{ LSB} = \frac{2 \text{ FS}}{256}$$

## バイポーラ動作 ロジック・コード

アナログ入力 (A <sub>IN</sub> )	出力コード (オフセット・バイナリ)
+(FS - 1 LSB)	11111111
+(FS - 2 LSB)	11111110
+1/2 FS	11000000
+1 LSB	10000001
0	10000000
-1 LSB	01111111
-1/2 FS	01000000
-(FS - 1 LSB)	00000001
-FS	00000000

## 8086 マイクロプロセッサとのインターフェイス

8086マイクロプロセッサとZN437のインターフェイスに必要な代表的回路図を、第17図に示す。ZN437は、標準のアドレス解読回路を用いたI/Oメモリ・マップの中に割り当てられる。アドレス解読出力は、ZN437が実行しているサイクルによって、マイクロプロセッサのRDまたは、WRを駆動する。

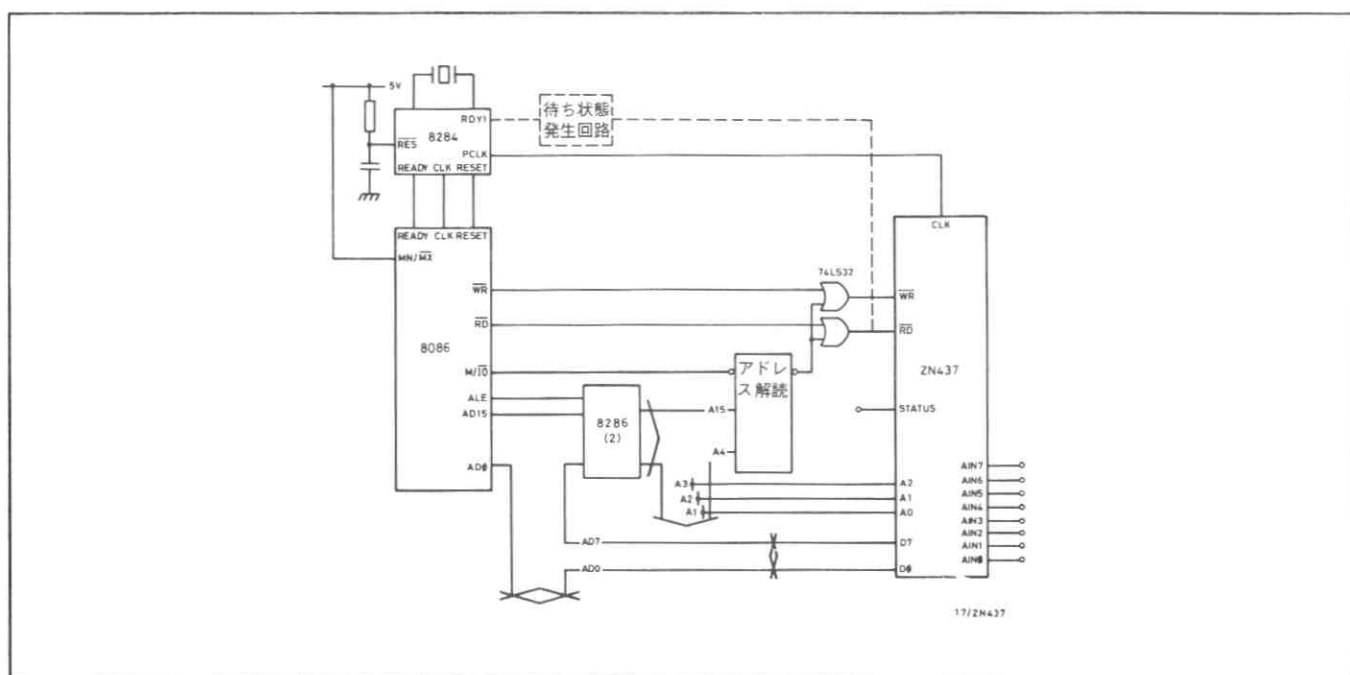
ZN437は、マイクロプロセッサ・クロックの半分の周波数を出力する8284クロック発生回路のPCLK出力で駆動する。また、ZN437のADコンバータは、最大500KHzのクロック周波数で動作する。制御レジスタのクロック・プリデ

イバイダ・ビットを÷8に設定した場合、5MHz8086に対しては312KHzのコンバータ・クロック周波数、8MHz8086-2に対しては500KHzになる。10MHz8086-1を使用する場合、8284クロック発生回路のPCLK出力は、フリップ・フロップ・ディバイダを使ってさらに2分周しなければならない。これによって、コンバータ・クロック周波数は、312KHzとなり、ZN437の最大動作周波数以内になる。

ZN437は8ビットのデバイスであるので、16ビット・バスの下位8ビット(AD0~AD7)に接続する。したがって、各ZN437RAMのロケーションは、偶数アドレス上になければならない。なぜなら、8086は奇数アドレスからデータを読み出す時、AD8~AD15をアクセスするからである。同様に、ZN437の制御ワードの書き込みは、アドレス解読ロジックによって選択された時にI/Oライトを偶数アドレスに実行することによって行われる。8つの偶数アドレスのどれかに書き込みを行うことによって、制御ワードは制御レジスタに書き込まれる。なぜなら、ZN437のアドレス入力の状態は、ZN437のライト・サイクルの間不定となるからである。

第17図の回路で、アドレス解読ロジックが100XH(Xは16進数のいずれかの値とする)のI/Oアドレスに対してアクティブ・ローの出力を出すと仮定すると、ZN437RAMのアドレスは次のようになる。

I/O アドレス	ZN437RAMアドレス	入力チャンネル
1000	0	A <sub>IN</sub> 0
1002	1	A <sub>IN</sub> 1
1004	2	A <sub>IN</sub> 2
1006	3	A <sub>IN</sub> 3
1008	4	A <sub>IN</sub> 4
100A	5	A <sub>IN</sub> 5
100C	6	A <sub>IN</sub> 6
100E	7	A <sub>IN</sub> 7



第17図 ZN437-8086インターフェイス

したがって、I/Oアドレス1004からの読み出しは、アナログ入力2からの変換データの読み出しになる。

また、ZN437は8ビットのデバイスであるので、8086のAD0およびBHE信号を解読する必要はない。

## 高速インターフェイス

8086-2および8086-1は、それぞれ130nsおよび125nsの最小アクセス時間を持っている。ZN437をこれらのマイクロプロセッサにインターフェイスするには、ZN437のリード・サイクルに待ち状態を発生させなければならない。第17図では、これは破線で示されている。

## 8088 インターフェイス

第18図は、ZN437を8088にインターフェイスするために必要な代表的回路である。図からわかるように、この回路は8086のインターフェイス回路と非常によく似ている。主な相違は、ZN437RAMのアドレスである。データ・バスは、この場合8ビットであるので、アドレスが偶数であろうと奇数であろうと全てのマイクロプロセッサ・リード・サイクルでAD0~AD7からデータを読み出すことができる。したがって、各ZN437RAMのロケーションは偶数である必要はなく、連続したアドレスにすることができる。

8086とのインターフェイスの場合、アドレス解読ロジックはI/Oアドレス100XH(Xは16進数のいずれかの値とする)でアクティブ・ローの出力パルスを発生するが、この場合AD3も解読されるので、AD3はロー・レベルでなければならない。ZN437RAMのアドレスを次に示す。

I/Oアドレス	ZN437RAMアドレス	入力チャンネル
1000	0	A <sub>IN</sub> 0
1001	1	A <sub>IN</sub> 1
1002	2	A <sub>IN</sub> 2
1003	3	A <sub>IN</sub> 3
1004	4	A <sub>IN</sub> 4
1005	5	A <sub>IN</sub> 5
1006	6	A <sub>IN</sub> 6
1007	7	A <sub>IN</sub> 7

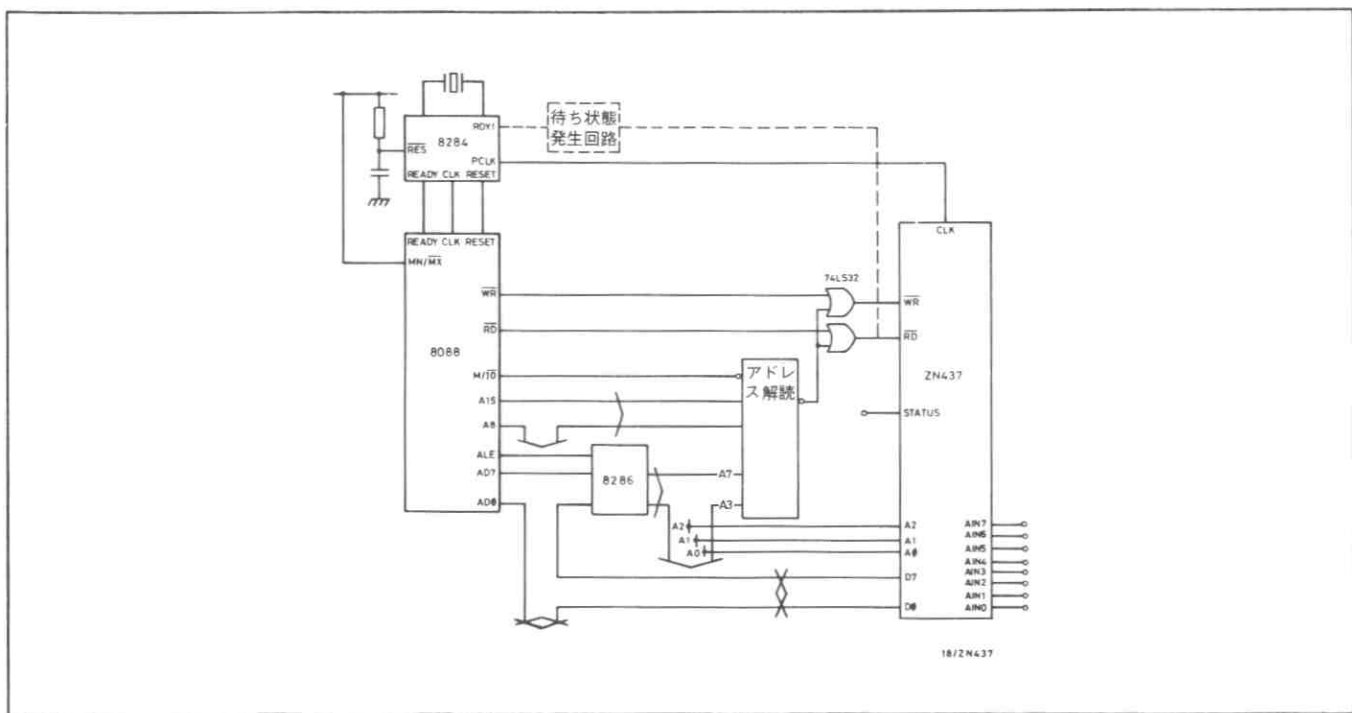
8086の高速バージョン(8MHz8088-2)を使用する場合、待ち状態をZN437のリード・サイクルに発生させなければならない。

## Z80マイクロプロセッサ・インターフェイス

第19図に示すように、ZN437はZ80、Z80AおよびZ80Bマイクロプロセッサと簡単にインターフェイスすることができる。

マイクロプロセッサのデータ・ラインは、ZN437のDB0~DB7に直接接続して、双方向のデータ転送を行う。下位8つのアドレス・ラインのいくつかは、必要に応じてRDおよびWR信号をアクティブにするために、I/ORQラインとともに解読される。解読されたWR信号は、ZN437に制御ワードをラッチするために使用する。また、解読されたRD信号は、ZN437のアドレス入力A<sub>0</sub>、A<sub>1</sub>、A<sub>2</sub>によって選択された8×8ビットRAMのデータをデータ・バスに出力するために使用する。

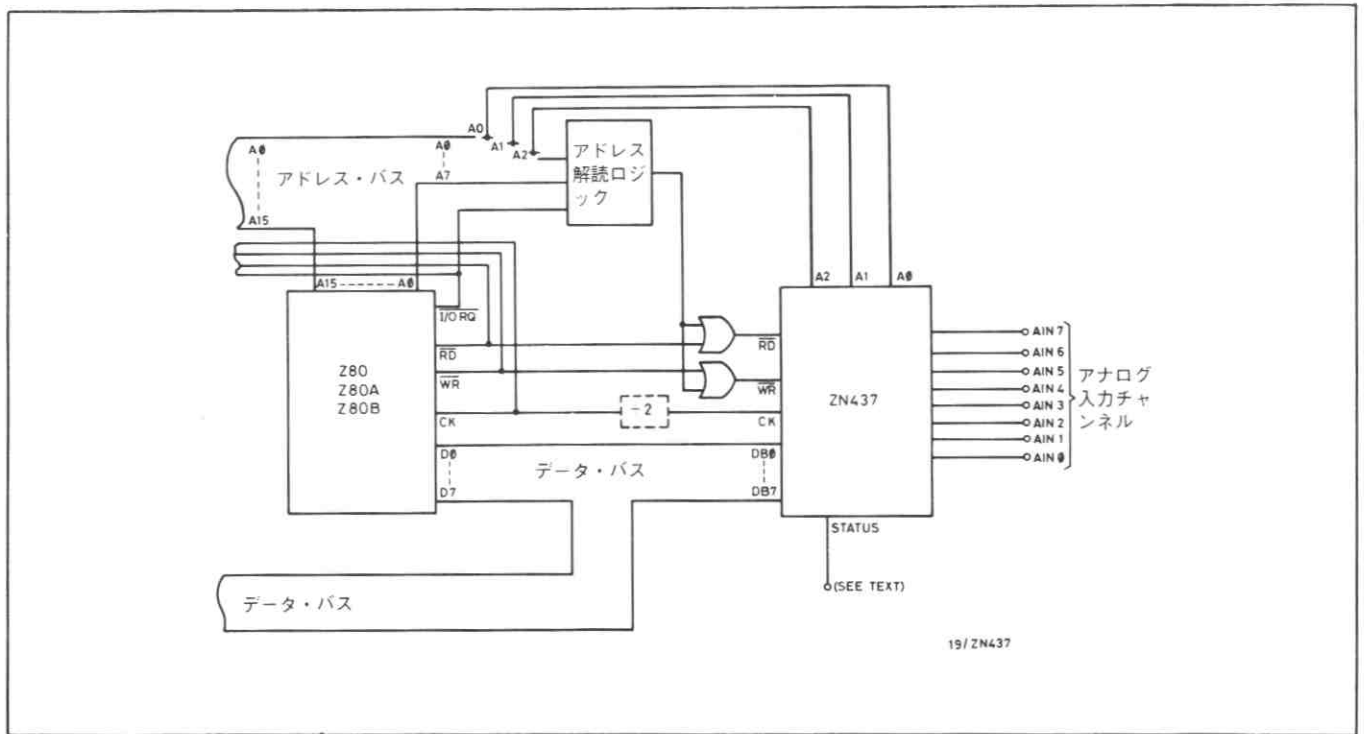
Z80およびZ80Aを使用する場合、マイクロプロセッサ・



第18図 ZN437-8088インターフェイス

クロックは直接 ZN437 のクロック入力に接続する。Z 80 B の場合、 $\div 2$  の分周回路を外付する必要がある。ZN437 に入力されるクロックは、制御ワードにしたがって分周し、内部クロックは 500KHz またはそれ以下になるようにしなければならない。

ステータス出力は、変換が終了するとロー・レベルになる。この出力は、割り込み信号を発生したり、ポーリング用のフラグをセットするために使用できる。また、ステータス出力はオープンのままにしておき、ソフトウェアによる遅延で変換終了を待つこともできる。

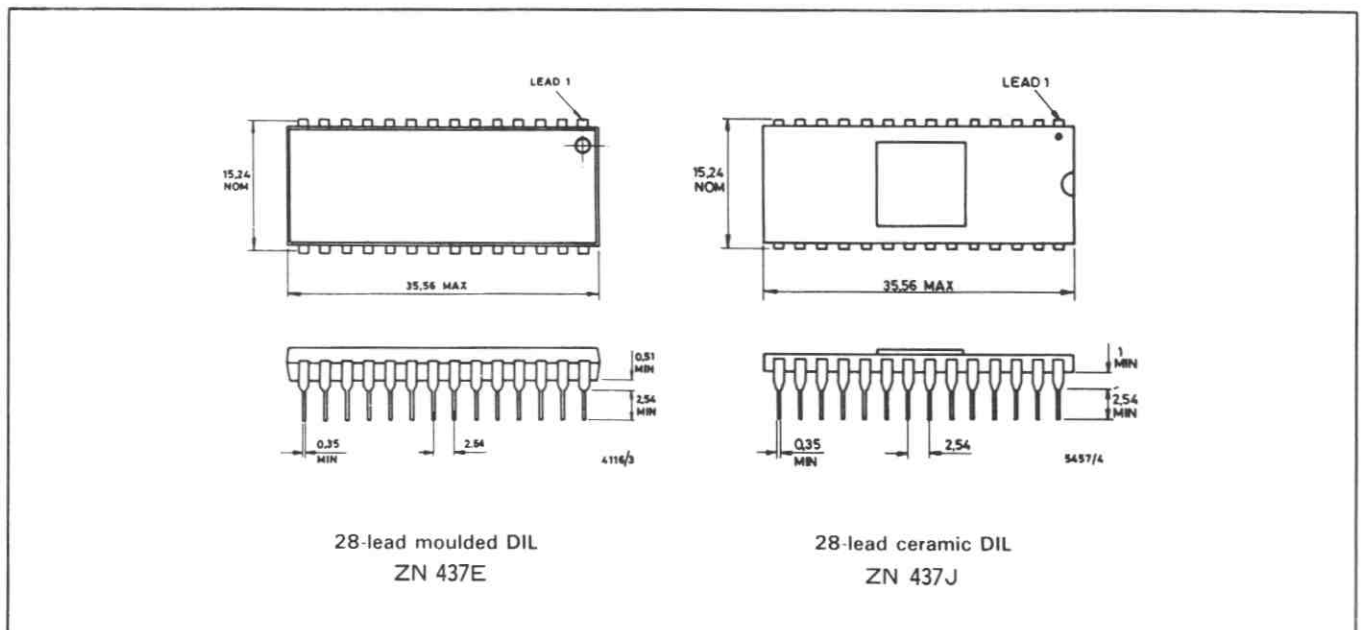


第19図 ZN437-Z80インターフェイス

### 最大絶対定格

電源電圧 $V_{CC}$	+ 7 V
印加電圧(ロジックおよび $V_{REF}$ 入力)	$V_{CC}$
動作周囲温度	0 °C ~ +70 °C (ZN437E)
保存温度	-55 °C ~ +125 °C (ZN437J)
保存温度	-55 °C ~ +125 °C

### パッケージ寸法 単位mm



**ZN438**

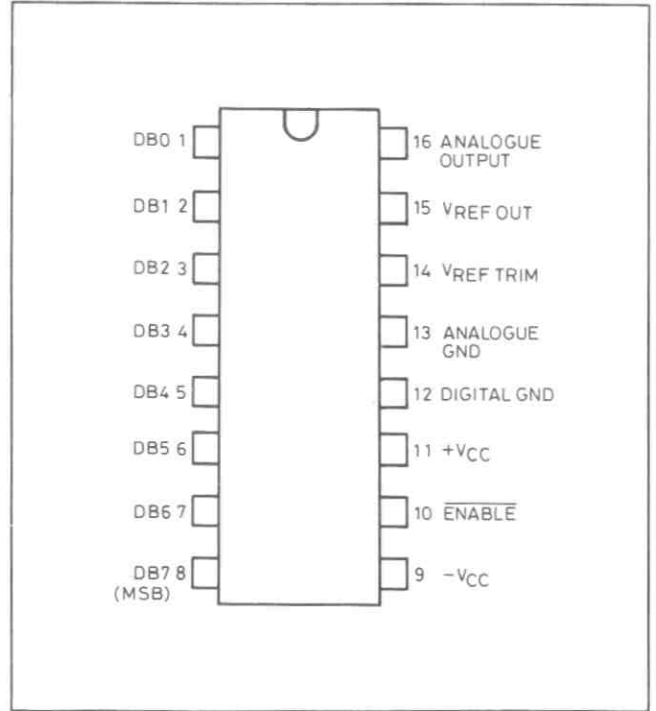
8ビット マイクロプロセッサ・コンパチブル DAコンバータ  
(出力バッファ・アンプ内蔵)

ZN438は、共通データ・バスに接続可能な入力ラッチと低アナログ出力インピーダンスのバッファ・アンプを内蔵したモノリシック8ビットDAコンバータである。イネーブルがロー・レベルの間ラッチは書き換え可能になり、イネーブルがハイ・レベルの間データは保持される。

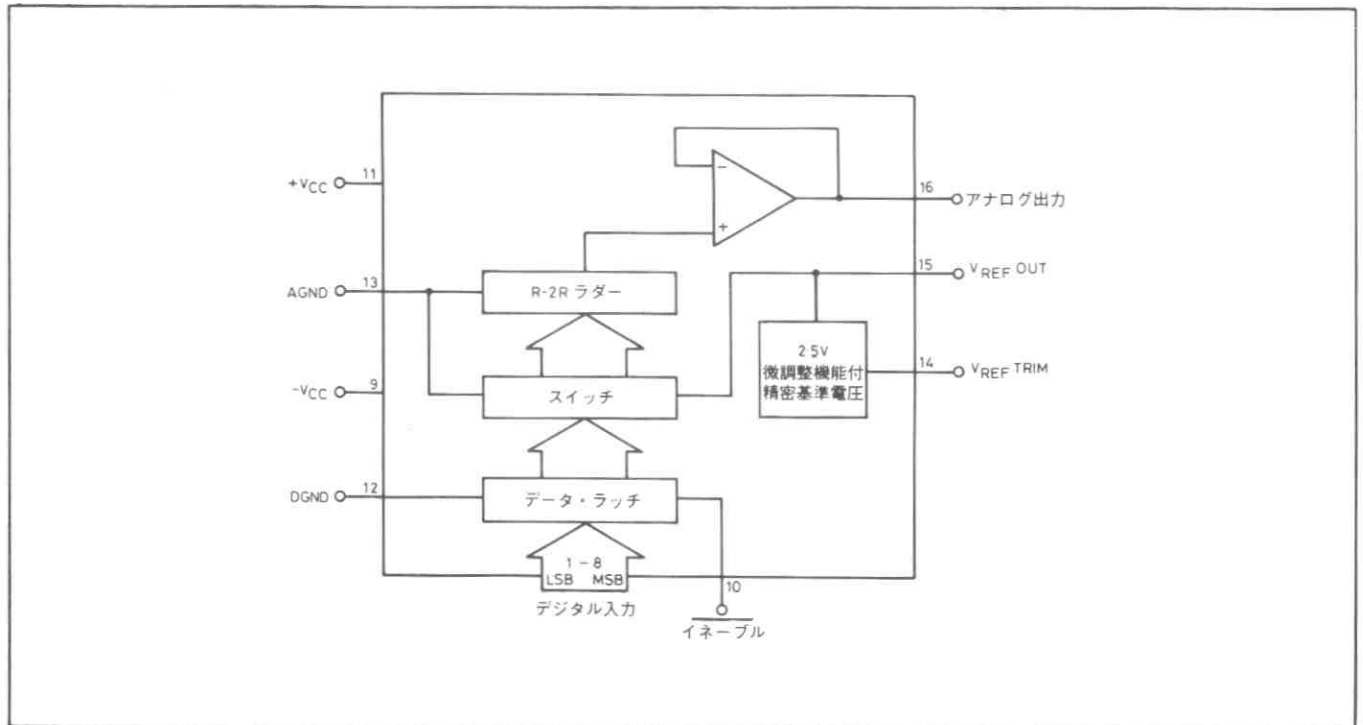
また、ZN438は、内部でR-2Rラダー回路とV<sub>REF OUT</sub>に接続された微調整可能な2.5Vの精密基準電圧を内蔵している。

**特 徴**

- 高速出力バッファ・アンプ内蔵
- セトリング時間 1.25 μS (±1/2 LSB以内まで)
- 微調整可能なバンドギャップ精密基準電圧
- マイクロプロセッサ、TTL および 5 VCMOS コンパチブル
- 全動作温度範囲で単調性保証
- 動作温度範囲 Eタイプ: 0°C ~ 70°C  
Jタイプ: -55°C ~ +125°C
- 16端子プラスチックまたはセラミック・パッケージ



端子接続 (上面より)



第1図 システム図

## 電気的特性

テスト条件 (特に注記なき限り)

電源電圧  $+V_{CC} = 5\text{V}$ 、 $-V_{CC} = -5\text{V}$ 、周囲温度  $T_{amb} = +25^{\circ}\text{C}$ 、内部基準電圧使用

特 性	$T_{amb} = +25^{\circ}\text{C}$			全動作温度範囲内		単 位	条 件
	Min.	Typ.	Max.	Min.	Max.		
<b>DAコンバータ</b>							
分解能	8	—	—	8	—	ビット	
精 度	8	—	—	8	—	ビット	
リニアリティ・エラー	—	—	$\pm 1/2$	—	$\pm 1/2$	LSB	
ディフェレンシャル・リニアリティ・エラー	—	$\pm 1/2$	—	—	$\pm 1$	LSB	
リニアリティ・エラー温度係数	—	$\pm 3$	—	—	—	ppm/ $^{\circ}\text{C}$	
ディフェレンシャル・リニアリティ・エラー温度係数	—	$\pm 6$	—	—	—	ppm/ $^{\circ}\text{C}$	
オフセット誤差	—	$\pm 1/5$	$\pm 1/2$	—	$\pm 1$	LSB	ZN438J
	—	$\pm 1/5$	$\pm 1/2$	—	$\pm 7/10$	LSB	ZN438E
オフセット誤差温度係数	—	$\pm 8$	—	—	—	$\mu\text{V}/^{\circ}\text{C}$	
ゲイン誤差	—	—	$\pm 1/2$	—	—	LSB	} $V_{REF} = 2.50\text{V}$ 注 1
ゲイン温度係数	—	60	—	—	150	ppm/ $^{\circ}\text{C}$	
アナログ出力電圧	0	—	+2.7	0	+2.7	V	
電 流	-3	—	+4	-3	+4	mA	$V_{OUT} = 0 \sim V_{REF}$
アナログ出力インピーダンス	—	6	10	—	—	$\Omega$	
<b>セットリング時間 (1/2 LSB以内まで)</b>							$V_{REF} = 2.50\text{V}$ $C_{LOAD} = 470\text{pF}$ $R_L = 690\Omega$
	—	1.25	—	—	—	$\mu\text{S}$	1 LSBメジャー・ トランジション 全ビット・オンから 全ビット・オフ 全ビット・オフから 全ビット・オン
	—	2	—	—	—	$\mu\text{S}$	
	—	2	—	—	—	$\mu\text{S}$	
<b>内部基準電圧</b>							
出力電圧	2.450	2.500	2.550	—	—	V	$R_L = 1.5\text{K}\Omega$ $C_L = 100\text{nF}$
最大微調範囲	—	—	$\pm 5$	—	—	%	$R_{TRIM} = 10\text{K}\Omega$
出力電圧温度係数	—	30	100	—	—	ppm/ $^{\circ}\text{C}$	
基準電流	1	—	5	1	5	mA	
スロープ抵抗	—	0.75	2	—	—	$\Omega$	
<b>デジタル入力</b>							
ハイ・レベル入力電圧	2	—	—	—	—	V	$V_{IN} = 5.5\text{V}$ $V_{CC} = \text{Max.}$ $V_{IN} = 2.4\text{V}$ $V_{CC} = \text{Max.}$ $V_{IN} = 0.4\text{V}$ $V_{CC} = \text{Max.}$
ロー・レベル入力電圧	—	—	0.8	—	—	V	
ハイ・レベル入力電流	—	—	60	—	—	$\mu\text{A}$	
ハイ・レベル入力電流	—	—	20	—	—	$\mu\text{A}$	
ロー・レベル入力電流	—	—	-50	—	—	$\mu\text{A}$	
入力クランプ・ダイオード電圧	—	-1.5	—	—	—	V	
イネーブル・パルス幅 $t_w$	100	—	—	—	—	nS	} 第 7 図参照
データ・セット・アップ時間 $t_{ds}$	150	—	—	—	—	nS	
データ・ホールド時間 $t_{dh}$	10	—	—	—	—	nS	
<b>電 源</b>							
電源電圧 (+ $V_{CC}$ )	4.5	5	5.5	4.5	5.5	V	
電源電圧 (- $V_{CC}$ )	-4.5	-5	-5.5	-4.5	-5.5	V	
電源電流 (+ $I_{CC}$ )	—	35	—	—	—	mA	
電源電流 (- $I_{CC}$ )	—	12	—	—	—	mA	
消費電力	—	235	—	—	—	mW	

注 1)  $-50^{\circ}\text{C}$  以下の動作の時、 $V_{CC}$  が 5 V 以下になるとフルスケール温度係数は著しく悪くなることもある。

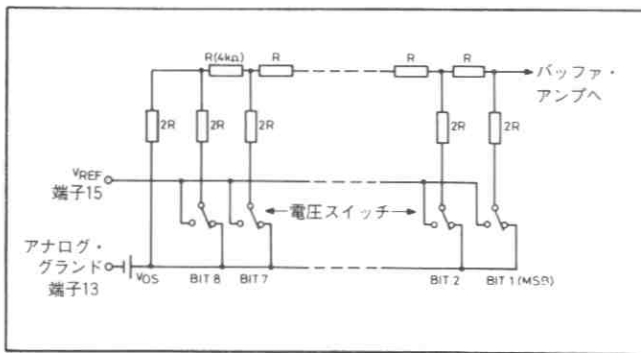
## DAコンバータ

コンバータは、第2図に示すように電圧スイッチとR-2Rラダー回路から成り立っている。各2R素子は、低オフセット電圧 (< 1mV) のトランジスタ・スイッチによって、OVかV<sub>REF IN</sub>に接続される。そして、2進加重み電圧はR-2Rラダーで発生する。

$$DA \text{ 出力} = \frac{n}{256} (V_{REF \text{ IN}} - V_{OS}) + V_{OS}$$

ただし、nはデータ・ラッチからDAコンバータに入力されるデジタル値。

V<sub>OS</sub>は、DAスイッチ電流がパッケージのリード抵抗に流れることによって生ずる小さなオフセット電圧である。V<sub>OS</sub>の値は、代表値1mVである。また、このオフセット電圧は、通常ZN438の調整中に補正することができる。

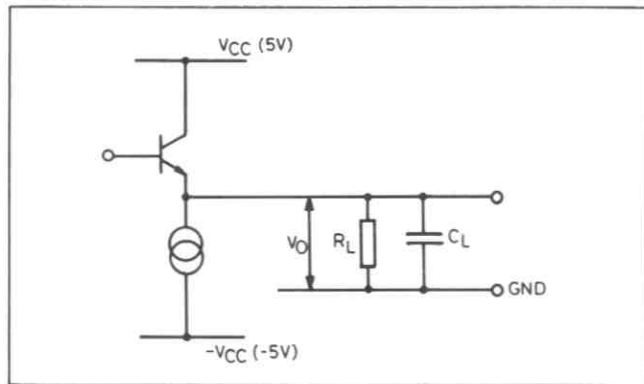


第2図 R-2Rラダー回路

## 出力バッファ・アンプ

DAコンバータ出力は、オフセット誤差の小さい、ユニティ・ゲインの非反転型オペアンプでバッファされる。このバッファ・アンプは、外部負荷に代表値2.50Vの電圧を発生し、スピードの減小なく470pFまでの容量負荷を駆動できる。また、アンプ出力のシンク電流は3mA、ソース電流は4mAである。このアンプの出力段はV<sub>CC</sub>ラインからのバイポーラ・トランジスタでできており、電流は-V<sub>CC</sub>(出力アンプの負電源)に流れる。この出力段を第5図に示す。

電源電圧を高くすることによって、いくつかの特性(スイッチング速度等)を改善することができる。



第5図 出力段

## 基準電圧

内蔵基準電圧はバンドギャップ回路で、非常にスロープ抵抗の小さい2.5Vのツェナー・ダイオードと等価である(第3図参照)。抵抗R<sub>REF</sub>を、+V<sub>CC</sub>(端子11)と端子15の間に接続しなければならない。推奨部品値である1.5KΩを使用した場合、基準電流は(5-2.5)/1500=1.7mAとなる。また、安定/デカップリング用コンデンサC<sub>REF</sub>=0.1μFが、端子15と13の間に必要である。

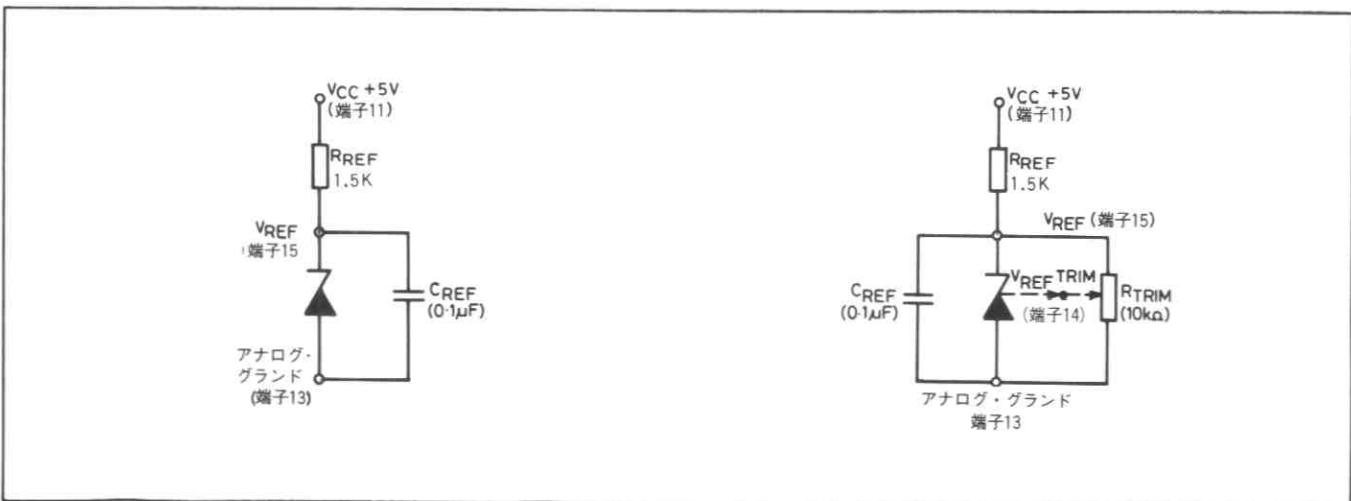
基準電圧は、10KΩの変可抵抗を接続することにより、±5%微調整することができる(第4図参照)。

## ロジック

入力コードは、ユニポーラ動作ではバイナリ、バイポーラ動作ではオフセット・バイナリである。イネーブル入力がある時、入力データは直接DAコンバータを駆動し、ハイ・レベルの時、入力データはラッチされる。

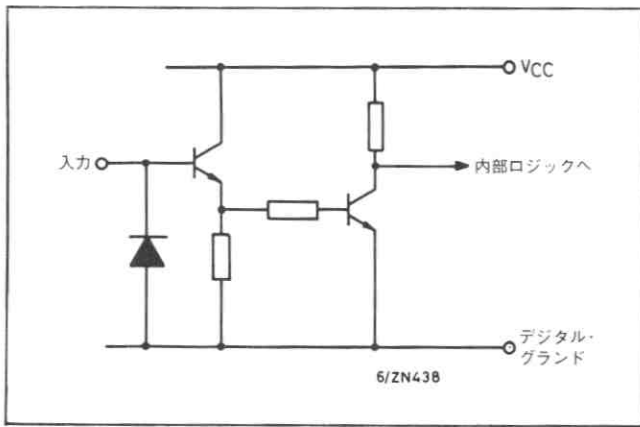
データおよびクロック入力の等価回路は、第6図に示す通りである。

ZN438には、デジタルおよびアナログの2つの接地端子がある。この2つの接地端子間の電位差は、±200mV以内にならなければならない。



第3図 内部基準電圧

第4図 基準電圧微調回路



第6図 全入力の等価回路

### タイミングおよび制御

ZN438は、マイクロプロセッサのデータ・バスとの接続を容易にするために入力データ・ラッチを内蔵している。イネーブル端子は、ラッチの状態を制御するために使用する。イネーブルがロー・レベルの時、ラッチはトランスペアレントとなり、DAコンバータはデジタル入力に従って電圧を発生する。そして、イネーブルをハイ・レベルにすると、ラッチはイネーブルがハイ状態になる直前のデジタル入力の値を保持する。イネーブルがハイ・レベルの間、アナログ出力はラッチに保持されたデータに相当する電圧を出力する。

第1表に、この動作を示す。

入力データ	イネーブル	ラッチ出力	ラッチ状態
0	0	0	トランスペアレント
1	0	1	トランスペアレント
0	⌄	0	ラッチ
1	⌄	1	ラッチ
×	1	前のデータ	ラッチ

×=どちらでも良い ⌄ =ローからハイ・レベルへ変化

第1表 ZN438制御ロジック機能

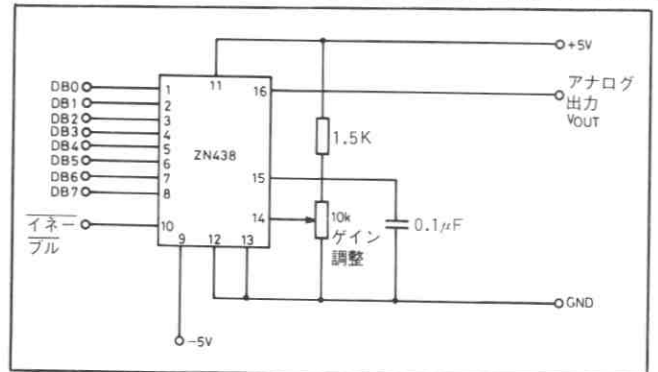
### 接 地

アナログ接地とデジタル接地間の交流または過度電圧は、アナログ出力（端子13）に雑音を発生させる。デジタル・システムは雑音の発生源になるが、ZN438またはZN438のできるだけ近くでAGNDとDGNDを接続することによって、この雑音を取り除くことができる。また、AGNDとDGND間の電位差が、200mVを越えないようにすることが重要である。

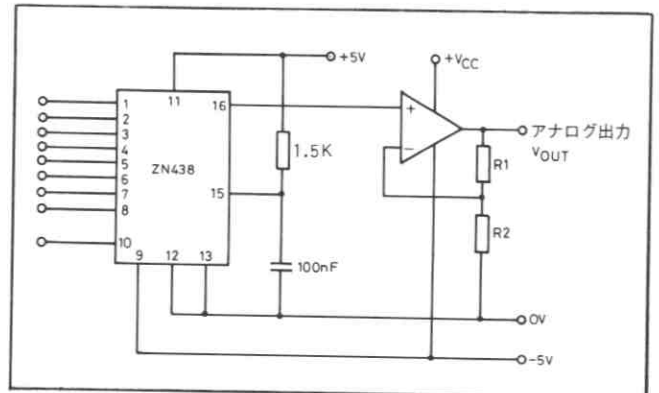
#### (1) ユニポーラ動作

ZN438の出力電圧範囲は、 $V_{REF}$ を2.50V<sub>TYP</sub>とすると0Vから( $V_{REF}-1LSB$ )である。出力電圧がこの範囲で、外付部品が最少である回路を、第8図に示す。基準電圧微調回路は、ゲインを調整するために使用し、内部基準電圧の±5%の変化を補正できる。

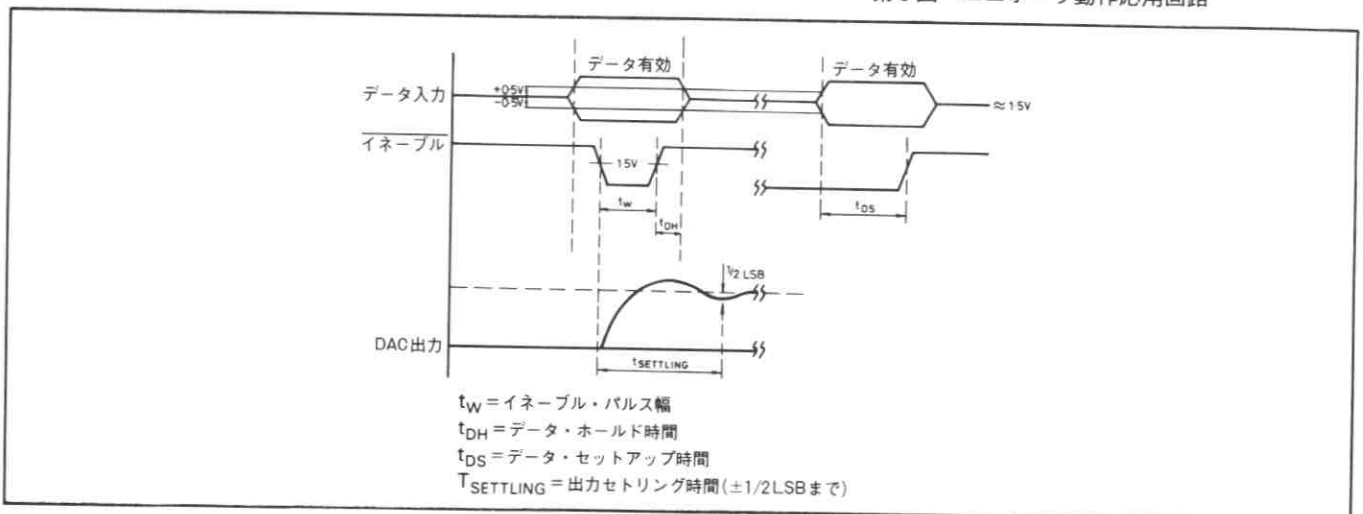
2.5V以上のユニポーラ出力範囲では、増幅回路を外付する必要がある。この一般的な回路図を、第9図に示す。



第8図 ユニポーラ動作基本回路



第9図 ユニポーラ動作応用回路



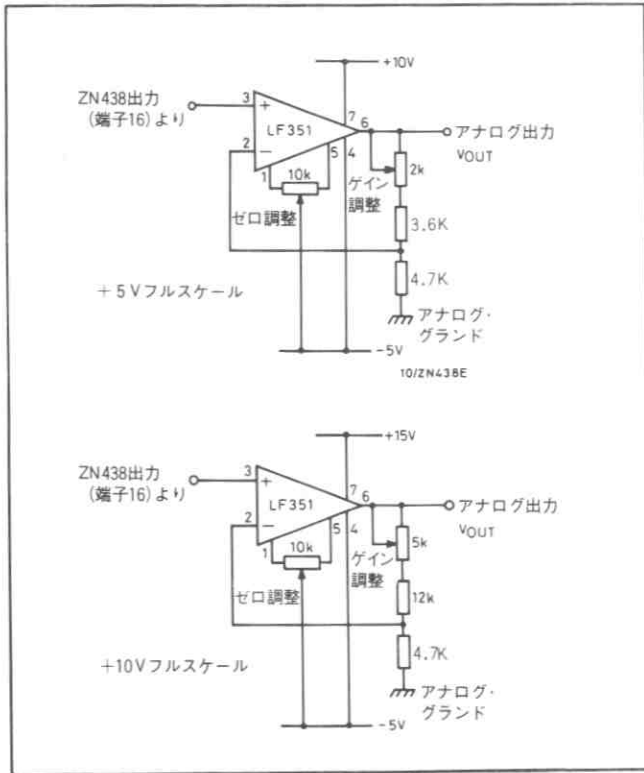
第7図 タイミング図

第9図のフルスケールは、次式で表わされる：

$$V_{OUT\text{-}FS} = \left(1 + \frac{R_1}{R_2}\right) \times (V_{REF} - 1\text{LSB})$$

$$= G (V_{REF} - 1\text{LSB})$$

第10図の回路は、+5Vおよび+10Vのフルスケール出力に対する推奨部品値を示している。ゼロ・オフセット調整は、オペ・アンプのオフセット・ナール機能を使って行っている。ゲイン調整は、R1の値を変えることによって行っている。



第10図 ユニポーラ動作部品値

LF351は、741とピン・コンパチブルのロー・コストJFETオペ・アンプである。このICの特徴は、134/ $\mu$ Sの高スルー・レートであり、10Vフルスケール出力で全ビット・オンから全ビット・オフ（またはその逆）のセトリング時間は、代表値2 $\mu$ Sである。高セトリング時間が必要とされない場合、741を直接LF351に置き換えることができる。この場合、同じ条件でセトリング時間は20 $\mu$ Sとなる。

フルスケールを表わす式からわかるように、この値はフィード・バック抵抗の相対的な値で決定され、絶対値では決定されない。ここに示された値は、オペ・アンプLF351の出力のリングングが最小になるように選択されている。全ての高スルー・レートのオペ・アンプは、高スルー・レートを達成するために内部補正を最小にするので、リングングの問題が生ずることがある。スルー・レートの比較的低いオペ・アンプでは、この問題はあまり生じないので、もし必要であればフィードバック抵抗の値を大きくすることができる。

この回路では、 $V_{REF}$ 微調用可変抵抗は必要ない。なぜなら、ゲイン調整は、オペ・アンプのフィードバック抵抗R1を変化させることによって行うことができるからである。

## ユニポーラ動作調整手順

- (i) 全ビットをオフ（ロー）にし、イネーブルをローにして、 $V_{OUT} = 0.0000\text{V}$ になるまでゼロ調整を行う（第8図の回路ではオフセット調整機能がないので、この調整を行うことはできない）。
- (ii) 全ビットをオン（ハイ）にし、 $V_{OUT} = FS - 1\text{LSB}$ になるまでゲイン調整を行う。

### ユニポーラ動作セッティング・ポイント

出力電圧範囲(+FS)	LSB	FS-1LSB
+2.50V	9.8mV	2.4902V
+5V	19.5mV	4.9805V
+10V	39.1mV	9.9609V

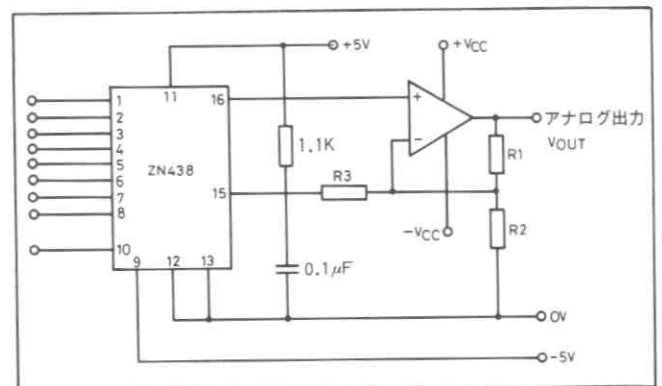
$$1\text{LSB} = \frac{FS}{256}$$

### ユニポーラ動作ロジック・コード

入力コード (バイナリ)	アナログ出力
11111111	FS - 1LSB
11111110	FS - 2LSB
11000000	3/4FS
10000001	1/2FS + 1LSB
10000000	1/2LSB
01111111	1/2LSB - 1LSB
01000000	1/4LSB
00000001	1LSB
00000000	0

## (2)バイポーラ動作

バイポーラ動作では、 $V_{REF\text{OUT}}$ とオペ・アンプの反転入力に間に抵抗を接続して、ZN438の出力にフルスケールの半分の電圧のオフセットを与える。一般的接続方法を第11図に示す。



第11図 バイポーラ動作基本回路

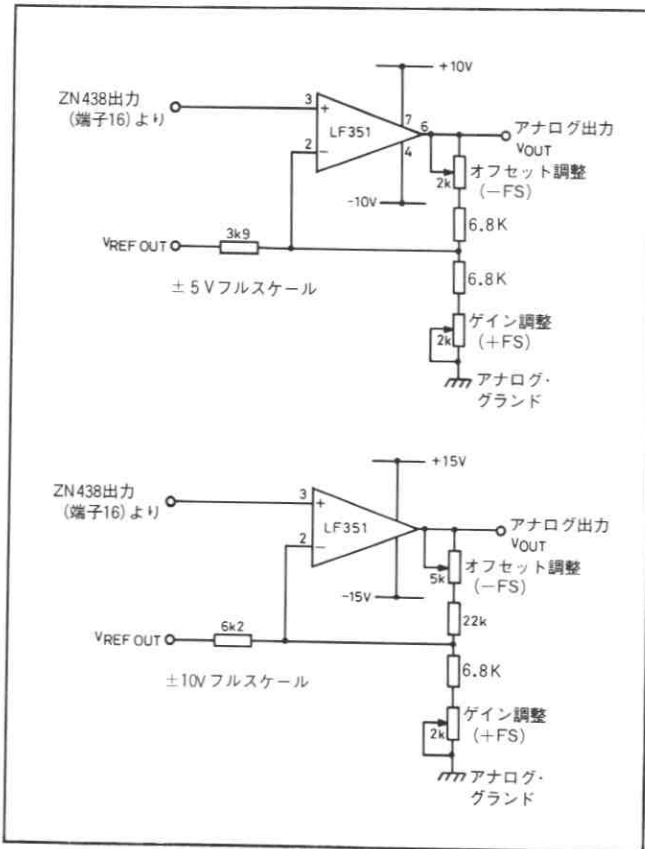
ZN438のデジタル入力が‘0’の時、アナログ出力は‘0’となり、その結果オペ・アンプの出力は-FSとなる。また、全ビットが‘1’の時、ZN438の出力は+( $V_{REF} - 1\text{LSB}$ )に、オペ・アンプの出力は+(FS - 1LSB)になる。

実際の回路図を第12図に示す。部品値は、 $\pm 5$ および $\pm$



10Vフルスケールに対する代表値である。バイポーラ動作回路では、オペ・アンプのフィードバック抵抗電流を供給するために、 $V_{REF}$ ドロップ低抗を1.5K $\Omega$ から1.1K $\Omega$ に減小していることに注意する。マイナス・フルスケール（オフセット）は、R3に対するR1の値を調整することによってセットする。また、プラス・フルスケール（ゲイン）は、R1に対するR2の値を調整することによってセットする。

$\pm V_{REF}$ のバイポーラ出力範囲（ユニポーラ動作の0～ $V_{REF}$ に相当）は、 $R1 = R3 = 3.9K\Omega$ 、 $R2 = \infty$ の時に得ることができる。



第12図 バイポーラ動作部品値

## バイポーラ動作調整手順

- (i) イネーブルをロー・レベルにし、全てのビットをオフ（ロー）に設定する。そして、オペ・アンプの出力が $-FS$ になるまでオフセットを調整する。
- (ii) 全てのビットをオン（ハイ）に設定し、オペ・アンプの出力が $+(FS - 1LSB)$ になるまでゲインを調整する。

### バイポーラ動作セッティング・ポイント

出力電圧範囲( $\pm FS$ )	LSB	$-FS$	$+FS - 1LSB$
$\pm 2.50V$	19.5mV	$-2.5000V$	$+2.4805V$
$\pm 5V$	39.1mV	$-5.0000V$	$+4.9609V$
$\pm 10V$	78.1mV	$-10.0000V$	$+9.9219V$

$$1 \text{ LSB} = \frac{2FS}{256}$$

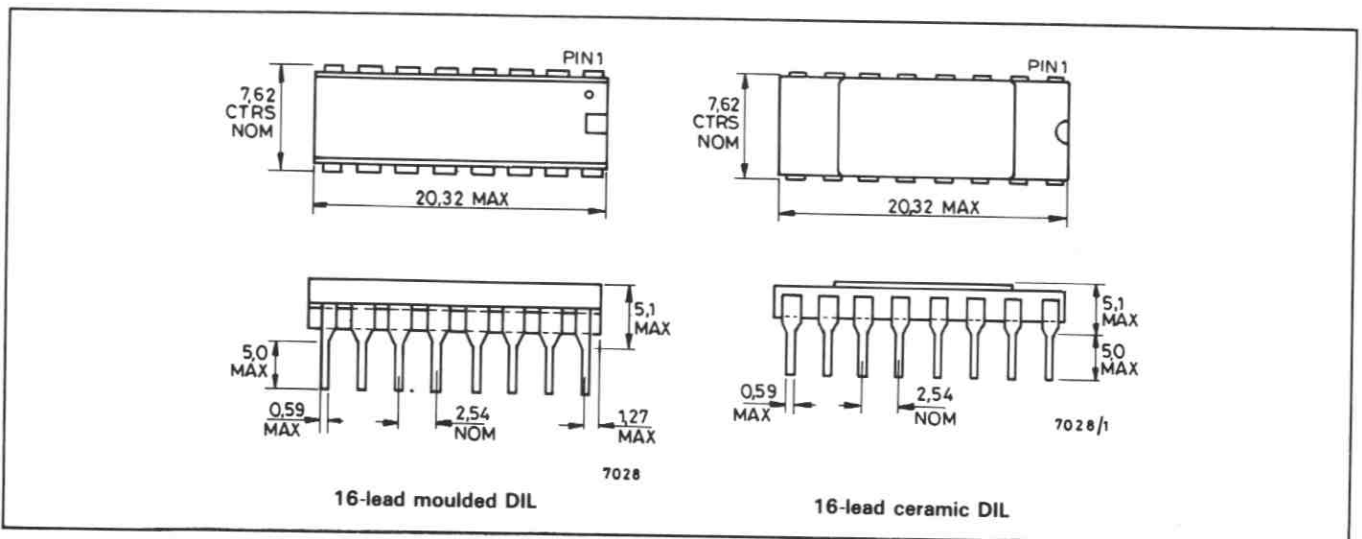
### バイポーラ動作ロジック・コード

入力コード (オフセット・バイナリ)	アナログ出力
11111111	$+(FS - 1LSB)$
11111110	$+(FS - 2LSB)$
11000000	$+1/2FS$
10000001	$+1LSB$
10000000	0
01111111	$-1LSB$
01000000	$-1/2LSB$
00000001	$-(FS - 1LSB)$
00000000	$-FS$

## 最大絶対定格

電源電圧 $+V_{cc}$	$+7V$
$-V_{cc}$	$-9V$
ロジック入力電圧	$+V_{cc}$
動作周囲温度	$0^{\circ}C \sim +70^{\circ}C$ (ZN438E) $-55^{\circ}C \sim +125^{\circ}C$ (ZN438J)
保存温度	$-55^{\circ}C \sim +125^{\circ}C$
アナログ-デジタル・グラウンド間電圧	$\pm 200mV$

## パッケージ寸法 単位mm



# ZN439

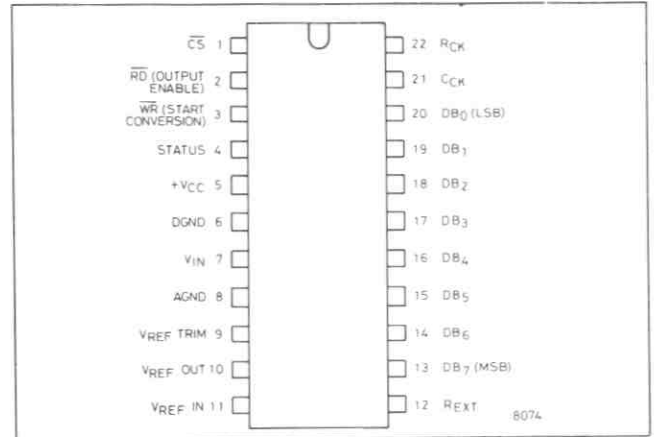
## 8ビット $\mu$ Pコンパチブル ADコンバータ

ZN439は、マイクロプロセッサとのインターフェイスが容易な8ビット逐次比較型ADコンバータである。このICは、クロック発生回路、2.5V精密基準電圧、制御ロジックそしてスリー・ステート出力付のダブル・バッファ・ラッチを含む全ての能動回路をワンチップ上に内蔵している。

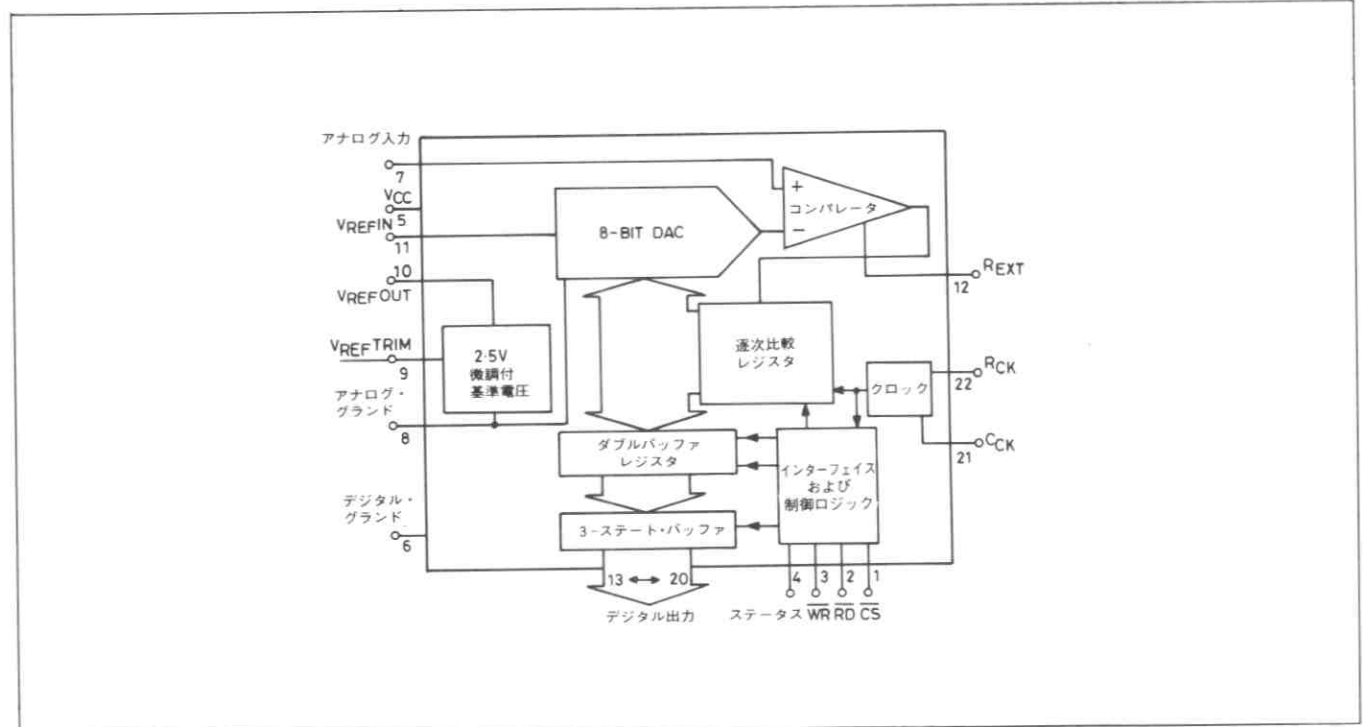
このため、ZN439は少ない外付部品で、様々な用途に応用できる。たとえば、わずか3つの入力でADコンバータの全ての動作を制御できるし、ダブル・バッファ出力ラッチを内蔵しているためコンバータの状態に関係なくデータを読み出すこともできる。

### 特徴

- リニアリティによって3品種  
 $\frac{1}{4}$ LSB-ZN439-9,  $\frac{1}{2}$ LSB-ZN439-8, 1LSB-ZN439-7
- 変換時間 5 $\mu$ S
- $\mu$ P, TTL, CMOSコンパチブル
- クロック発生回路内蔵
- バンドギャップ型基準電圧の微調整可能
- ダブル・バッファ出力ラッチにより、マイクロプロセッサとのインターフェイスが容易
- 動作温度範囲によって2品種  
 Eタイプ-0 $\sim$ 70 $^{\circ}$ C, Jタイプ-55 $^{\circ}$ C $\sim$ +125 $^{\circ}$ C
- 22端子DIPパッケージ



端子接続(上面より)



第1図 システム図

## 電気的特性

テスト条件 (特に注記なき限り)

電源電圧  $V_{CC}=+5V$ 、周囲温度  $T_{amb}=+25^{\circ}C$ 、クロック周波数  $f_{CLK}=1.6MHz$

特 性	$T_{amb}=+25^{\circ}C$			全動作温度範囲		単 位	テ ス ト 条 件
	Min.	Typ.	Max.	Min.	Max.		
<b>ZN439-9</b>							
リニアリティ・エラー	—	—	$\pm 1/4$	—	$\pm 1/4$	LSB	
ディフェレンシャル・リニアリティ・エラー	—	—	$\pm 1/2$	—	$\pm 1/2$	LSB	
<b>ZN439-8</b>							
リニアリティ・エラー	—	—	$\pm 1/2$	—	$\pm 1/2$	LSB	
ディフェレンシャル・リニアリティ・エラー	—	—	$\pm 3/4$	—	$\pm 3/4$	LSB	
<b>ZN439-7</b>							
リニアリティ・エラー	—	—	$\pm 1$	—	$\pm 1$	LSB	
ディフェレンシャル・リニアリティ・エラー	—	—	$\pm 1$	—	$\pm 1$	LSB	
<b>全タイプ</b>							
ゼロ・トランジション (00000000→00000001)	—	7	—	—	—	mV	プラスチック“E”
	—	7	—	—	—	mV	セラミック“J”
フルスケール・トランジション (11111110→11111111)	—	2.550	—	—	—	V	プラスチック“E”
	—	2.550	—	—	—	V	セラミック“J”
リニアリティ温度係数			$\pm 3$ typ.			ppm/ $^{\circ}C$	外部基準電圧使用
ディフェレンシャル・リニアリティ温度係数			$\pm 6$ typ.			ppm/ $^{\circ}C$	
利得温度係数			$\pm 10$ typ.			ppm/ $^{\circ}C$	
オフセット温度係数			$\pm 7$ typ.			ppm/ $^{\circ}C$	
分解能	8	—	—	—	—	ビット	出力コード 00000000
変換時間	—	—	5	—	—	$\mu S$	
電源リジェクション	—	0.25	—	—	—	%/V	
電源電圧	4.5	5.0	5.5	4.5	5.5	V	
電源電流	—	30	45	—	—	mA	
消費電力	—	150	225	—	—	mW	
基準電圧入力範囲	1.5	—	3.0	—	—	V	
<b>コンパレータ</b>							
入力電流	—	1.0	—	—	—	$\mu A$	$V_{in}=+3V, R_{ext}=82K\Omega$
入力抵抗	—	100	—	—	—	K $\Omega$	
テイル電流	25	—	150	25	150	$\mu A$	$R_{ext}=82K\Omega, V_{-}=-0.5V$
負電源	-3	-5	-30	-3	-30	V	
入力電圧	-0.5	—	+3.5	-0.5	+3.5	V	
<b>内蔵基準電圧</b>							
出力電圧	—	2.588	—	—	—	V	$R_{REF}=1.6K\Omega,$ $C_{REF}=0.4\mu F$
出力電圧精度	—	—	$\pm 3$	—	—	%	
スロープ抵抗	—	0.75	—	—	—	$\Omega$	
基準電流	0.25	—	5.2	0.25	5.2	mA	
調整範囲	—	—	$\pm 5$	—	$\pm 5$	%	
出力電圧温度係数	—	70	—	—	—	ppm/ $^{\circ}C$	動作電流 5 mA (最悪値) 2.0mAでは25ppm

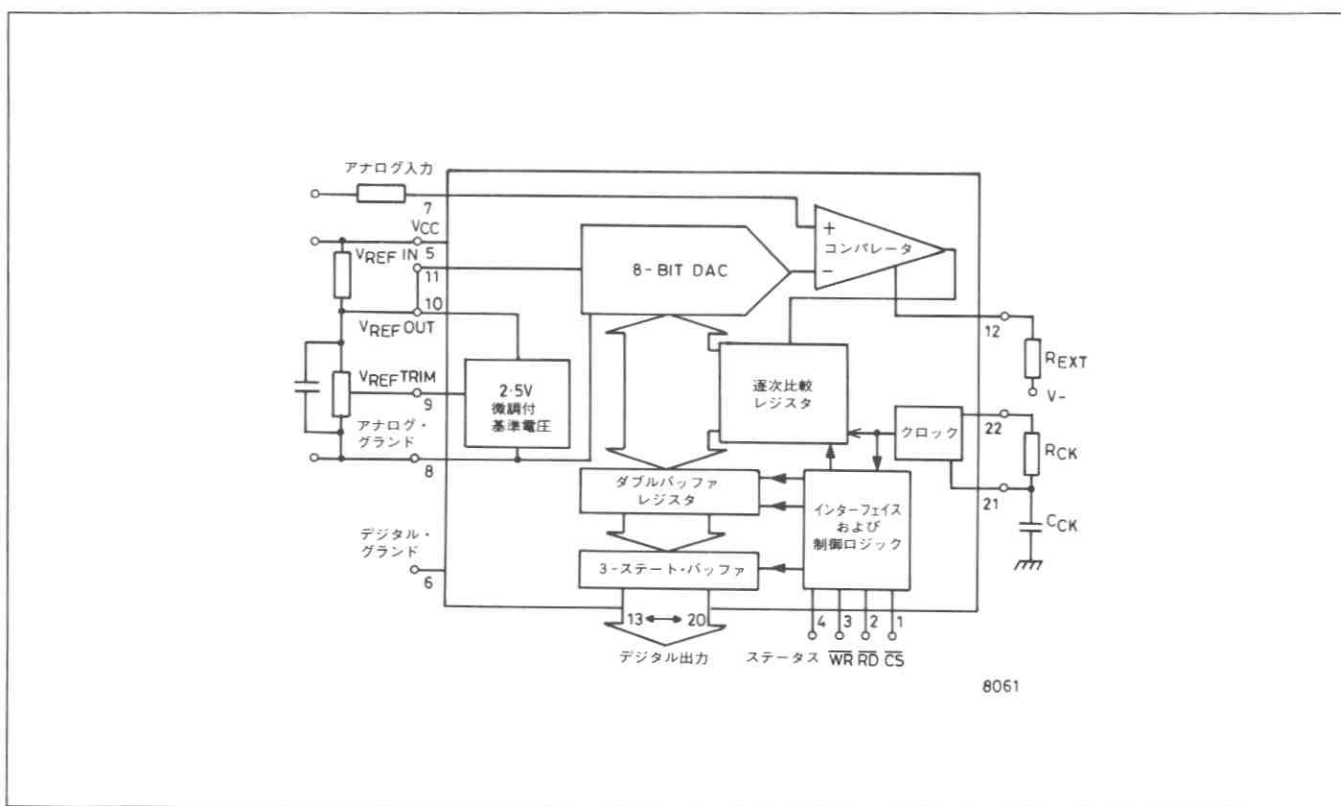
特 性	T <sub>amb</sub> =+25°C			全動作温度範囲		単 位	テ ス ト 条 件
	Min.	Typ.	Max.	Min.	Max.		
<b>クロック</b>							
最大内蔵クロック周波数	—	1.6	—	—	—	MHz	R <sub>clk</sub> =1.5KΩ, C <sub>clk</sub> =100pF (第13図参照)
クロック周波数温度係数	—	-0.1	—	—	—	%/°C	
クロック・コンデンサ	100	—	—	—	—	pF	
クロック抵抗	1.0	—	—	—	—	KΩ	
最大外部クロック周波数	—	—	2	—	2	MHz	
クロック・パルス幅	250	—	—	—	—	nS	
ハイ・レベル入力電圧 V <sub>IH</sub>	4	—	—	4	—	V	
ロー・レベル入力電圧 V <sub>IL</sub>	—	—	0.8	—	0.8	V	
ハイ・レベル入力電流 I <sub>IH</sub>	—	1	—	—	—	μA	
ロー・レベル入力電流 I <sub>IL</sub>	—	10	—	—	—	nA	
電源リジェクション	—	3.5	—	—	—	%/V	
<b>ロジック (<math>\overline{WR} + \overline{CS}</math>) 入力</b>							
ハイ・レベル入力電圧	2.4	—	—	2.4	—	V	
ロー・レベル入力電圧	—	—	0.8	—	0.8	V	
ハイ・レベル入力電流	—	40	—	—	—	μA	V <sub>CC</sub> =+5.5V, V <sub>IN</sub> =+5.5V
ハイ・レベル入力電流	—	20	—	—	—	μA	V <sub>CC</sub> =+5.5V, V <sub>IN</sub> =+2.4V
ロー・レベル入力電流	—	-50	—	—	—	μA	V <sub>CC</sub> =+5.5V, V <sub>IN</sub> =+0.4V
<b>ロジック <math>\overline{RD}</math> 入力</b>							
ハイ・レベル入力電圧	2.4	—	—	2.4	—	V	
ロー・レベル入力電圧	—	—	0.8	—	0.8	V	
ハイ・レベル入力電流	—	220	—	—	—	μA	V <sub>CC</sub> =+5.5V, V <sub>IN</sub> =+5.5V
ハイ・レベル入力電流	—	120	—	—	—	μA	V <sub>CC</sub> =+5.5V, V <sub>IN</sub> =+2.4V
ロー・レベル入力電流	—	-370	—	—	—	μA	V <sub>CC</sub> =+5.5V, V <sub>IN</sub> =+0.4V
ハイ・レベル出力電圧 V <sub>OH</sub>	2.4	—	—	2.4	—	V	V <sub>CC</sub> =+5V
ロー・レベル出力電圧 V <sub>OL</sub>	—	—	0.4	—	0.4	V	
ハイ・レベル出力電流 I <sub>IH</sub>	—	—	-800	—	—	μA	
ロー・レベル出力電流 I <sub>IL</sub>	—	—	2	—	—	mA	
スリー・ステート DISABLE 時リーク電流	—	—	2.0	—	—	μA	V <sub>OUT</sub> =1.3V
RD 入力データ出力遅延時間	—	200	250	—	—	nS	
Enable/Disable 遅延時間							
T <sub>E1</sub>	180	240	300	—	—	nS	
T <sub>E0</sub>	60	100	130	—	—	nS	
T <sub>D1</sub>	80	120	160	—	—	nS	
T <sub>D0</sub>	60	80	110	—	—	nS	
変換開始パルス幅 ( $\overline{WR}$ )	150	—	—	—	—	nS	
$\overline{WR}$ -STATUS 遅延時間	—	280	350	—	—	nS	
$\overline{RD}$ パルス幅	150	—	—	—	—	nS	
$\overline{RD}$ ハイ-STATUS ハイ 遅延時間	—	240	400	—	—	nS	

## 動作概要

ZN439は、逐次比較型の8ビットADコンバータである。 $\overline{WR}$ 端子に入力される負パルスの立下りでステータス出力はハイになり、DAコンバータ入力MSBにセットされる。この結果生じるアナログ出力は、コンパレータでアナログ入力と比較される。アナログ入力のほうが大きい場合MSBはそのまま保持され、そうでない場合MSBはリセットされる。2番目のクロック・パルスでは、この手順はMSBの次のビットに対して行なわれ、8ビット終了するまで繰り返される。そして、8番目のクロックの立下り

でステータス出力はローになり、変換が終了したことを示す。

ダブル・バッファ・レジスタを内蔵しているため、変換の状態に関係なくいつでも出力から有効なデータを読み出すことができる。したがって、 $\overline{RD}$ 信号はステータス出力と完全に非同期で良い。データは、 $\overline{RD}$ をローにし、スリー・ステート出力をイネーブ爾することによって読み出すことができる。また、 $\overline{RD}$ をローに接続しておく、コンバータは変換の終りで出力を新しく書き替えることができないので注意する。



第2図 外部接続

## 変換タイミング

ZN439の変換開始パルス ( $\overline{WR}$ ) は、クロックと同期させる必要のない負のパルスで、クロックと変換パルスのタイミングによってその8から9クロック・パルスの後に有効なデータを出力する。このタイミング図を第3図に示す。

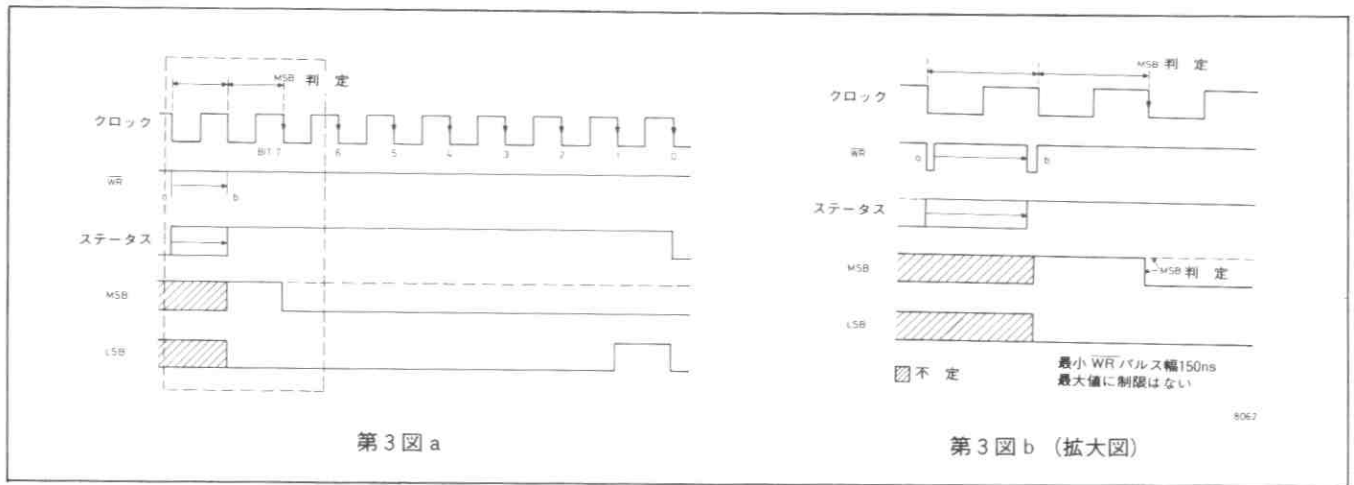
ZN439は、まず $\overline{CS}$  (chip select) 端子をローにすることによって選択される。変換は変換パルス ( $\overline{WR}$ ) の立下りでクリアされ、同時にMSBとステータスをセットし、他の全てのビットをリセットする。この時 $\overline{WR}$ 入力をローに保持しても、変換を停止させることはできない。

変換パルス ( $\overline{WR}$ ) は最小150nsの短いパルスで良いが、MSBは判定が行なわれる少なくとも625ns前にセットされなければならない。短いパルスの場合にもこの基準を満足するために、変換パルスがハイに戻っても次のクロックの立下りまで変換を開始しない。このため、MSBは少なくと

も1クロック期間 (最大クロック周波数の場合625ns)の時間を与えられる。また、 $\overline{WR}$ 入力をローにすれば、変換はいつでも再開される。変換の間入力信号をロックするには、 $\overline{CS}$ 入力をハイに戻せば良い。この状態では、コンバータは周囲の信号から隔離される。

ステータス出力は変換の終りでローになり、新しいデータが有効であることを示す。IC内部のロジックは $\overline{WR}$ 入力をモニタしており、変換の終りで $\overline{WR}$ 入力がハイであればクロック信号をロックし、DAコンバータの入力を10000000にセットして次の変換パルス ( $\overline{WR}$ ) を待つ。

もし、 $\overline{WR}$ 入力がローであれば、クロック信号はロックされることなく次の変換サイクルを続ける。スリー・ステート出力はダブル・バッファしてあるため、 $\overline{RD}$ 入力はコンバータと完全に非同期に動作させることができるし、いつでも有効なデータを出力することができる。 $\overline{RD}$ 入力をローに接続しておく、コンバータは変換の終りで出力を書き替えることができないので注意する。



第3図 a

第3図 b (拡大図)

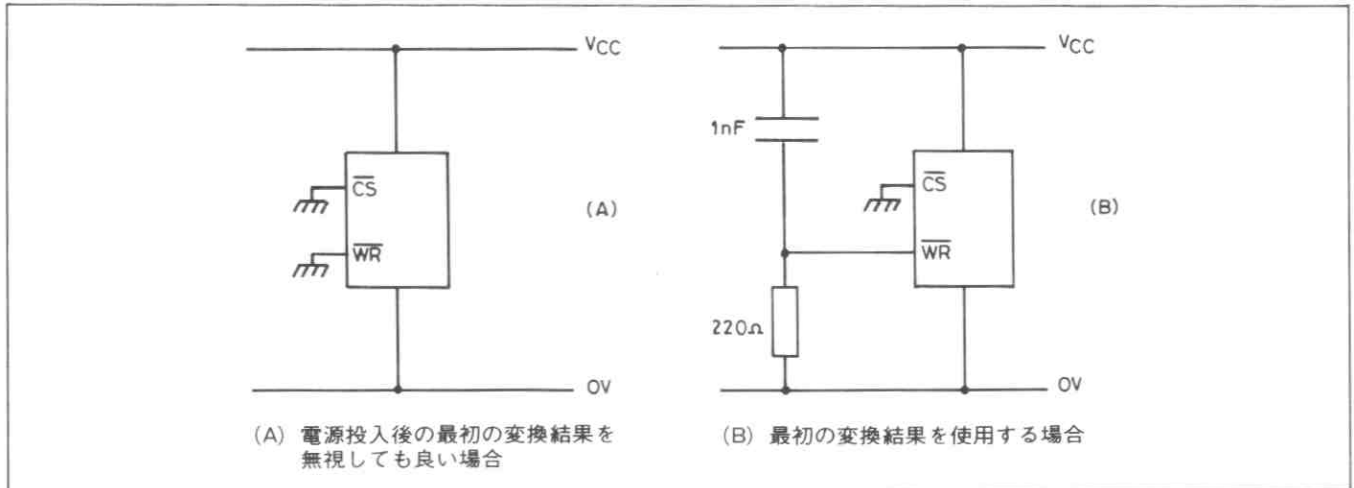
第3図 タイミング図

### 連続変換

ZN439は、 $\overline{CS}$ と $\overline{WR}$ 入力をローに接続しておくだけで、連続的に変換を繰り返す。電源投入後の最初の変換結果を無視してもかまわない場合、このモードでコンバータ

を動作させるのに他に部品を外付する必要はない。しかし、最初の変換結果が必要な場合、 $\overline{WR}$ 入力が確実にハイからローに立下り、正しく変換が開始されるようにRとCを外付しなければならない。

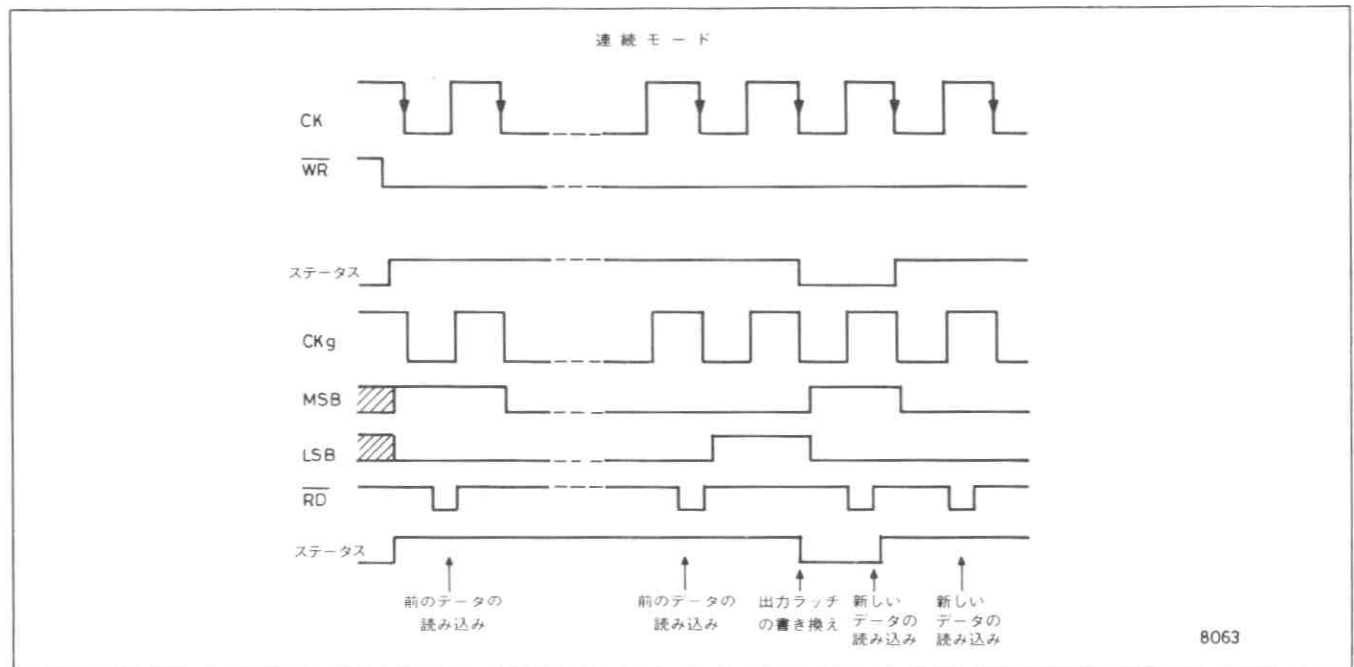
連続変換モードのタイミング図を第5図に示す。



(A) 電源投入後の最初の交換結果を無視しても良い場合

(B) 最初の変換結果を使用する場合

第4図 連続変換回路



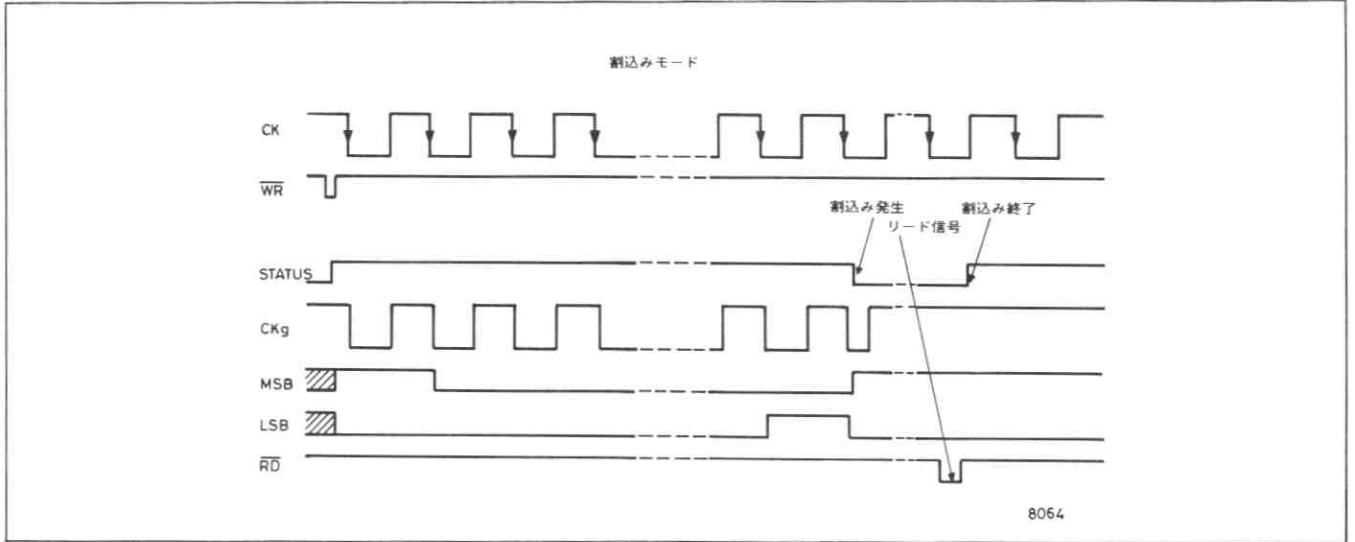
第5図 連続変換のタイミング

## インタラプト・モード

ZN439は、ステータス出力を使用してインタラプト・モードで使用することもできる。 $\overline{WR}$ パルスは変換を開始させ、ステータス出力をハイにする。ハイからローになることによって変換の終了を知らせるステータス出力は、マイクロプロセッサの割り込み信号として使用できる（マイ

クロプロセッサに変換が終了したことを知らせる)。マイクロプロセッサは割り込み信号を受け取ると、 $\overline{RD}$ パルスを送り新しいデータを取り込む。そして、 $\overline{RD}$ パルスの立上りでデータはマイクロプロセッサにラッチされる。この時、ZN439の制御ロジックはステータス出力をハイに戻し、割り込み信号を取り付けす。

インタラプト・モードのタイミング図を第6図に示す。



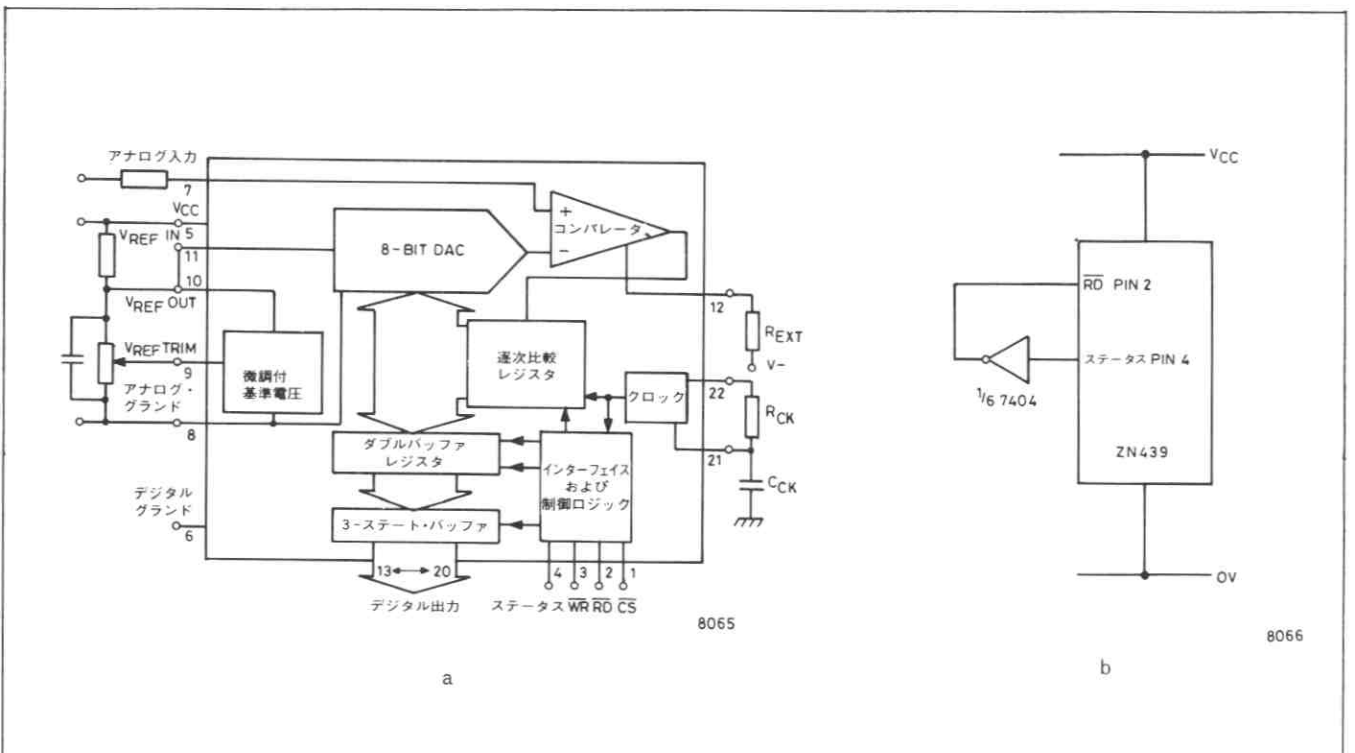
第6図 インタラプト・モードのタイミング

## 独立モード

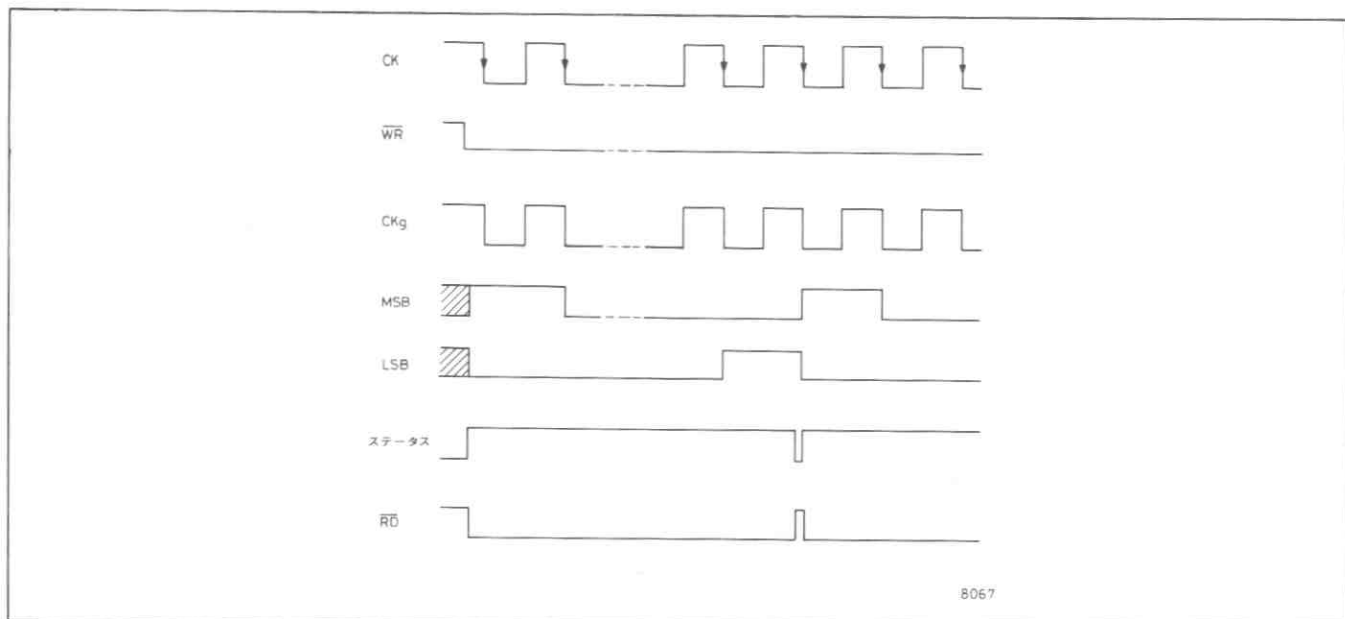
ZN439は、クロック発生回路と2.5Vの微調整回路付バンドギャップ基準電圧を内蔵しており、独立したADコンバータとしても適している。ユニポーラ入力で使用した場合の代表的回路を第7図aに示す。

$\overline{WR}$ と $\overline{CS}$ 入力をローに接続することによって、ZN439は連続的に変換を行うことができる。また、ステータス出力を反転して $\overline{RD}$ 入力に接続すれば、ZN439は各変換サイクルの終りでデータを、書き直し、出力バッファを制御信号なしでイネーブルすることができる。

タイミング図を第8図に示す。



第7図 独立モード応用回路



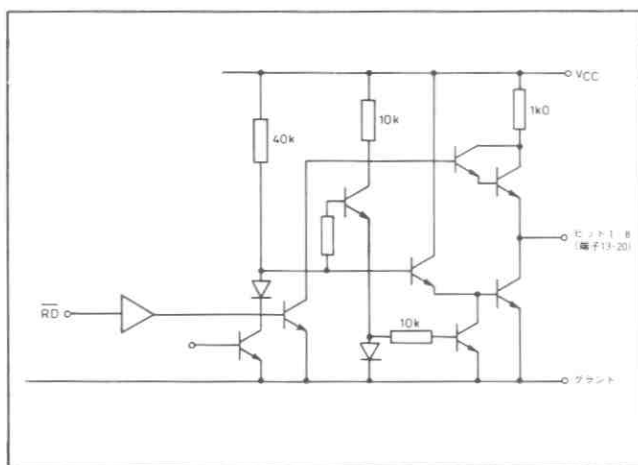
第8図 独立モードのタイミング

## データ出力

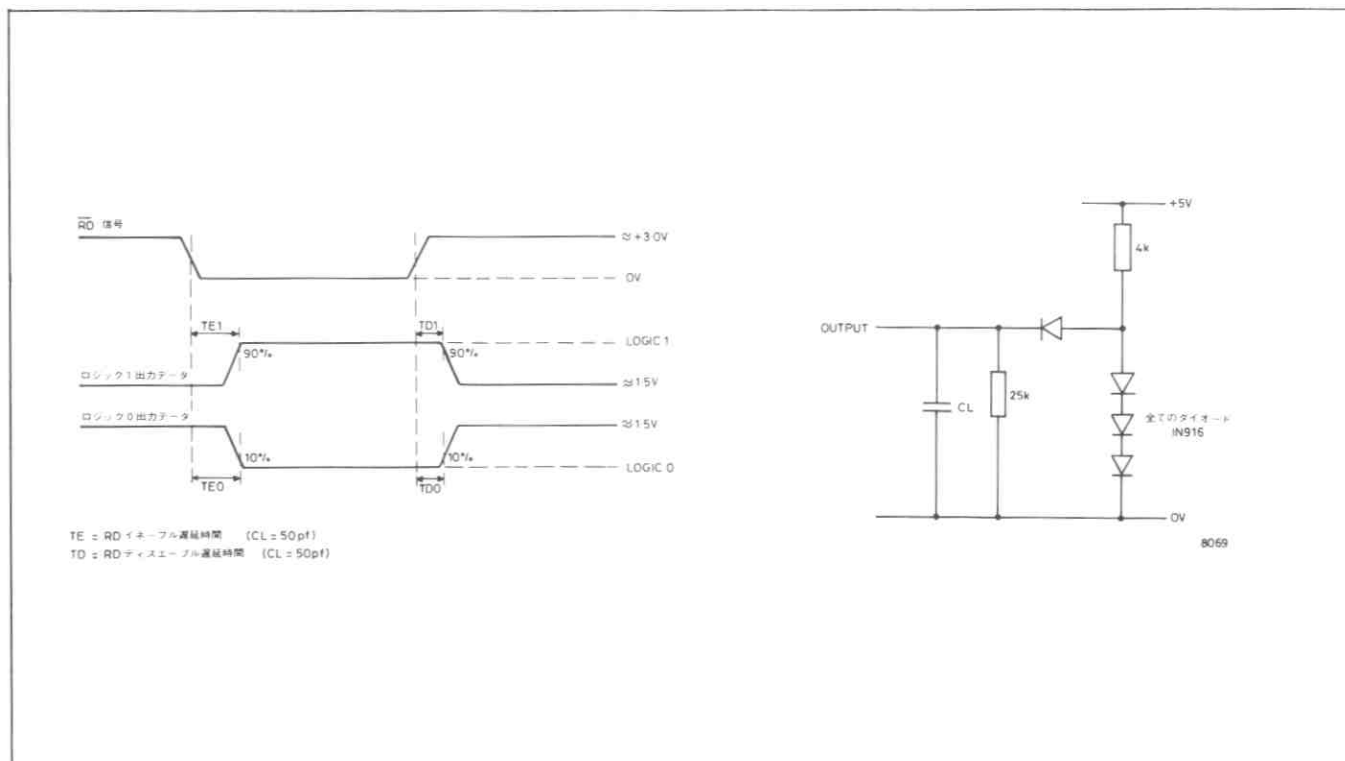
データ出力は、共通データ・バスに接続できるようにスリー・ステートになっている。この等価回路を第9図に示す。 $\overline{RD}$  入力が高いの間2つの出力トランジスタはオフになり、出力はハイ・インピーダンス状態になる。 $\overline{RD}$  がローの時データ出力はダブル・バッファ・レジスタの出力をそのまま出力する。

出力イネーブル/ディスエーブル遅延のテスト回路とタイミング図を第10図に示す。

ステータス出力は、CMOS/TTL コンパチブルとするためにデータ出力と同様のアクティブ・プルアップを行っている。

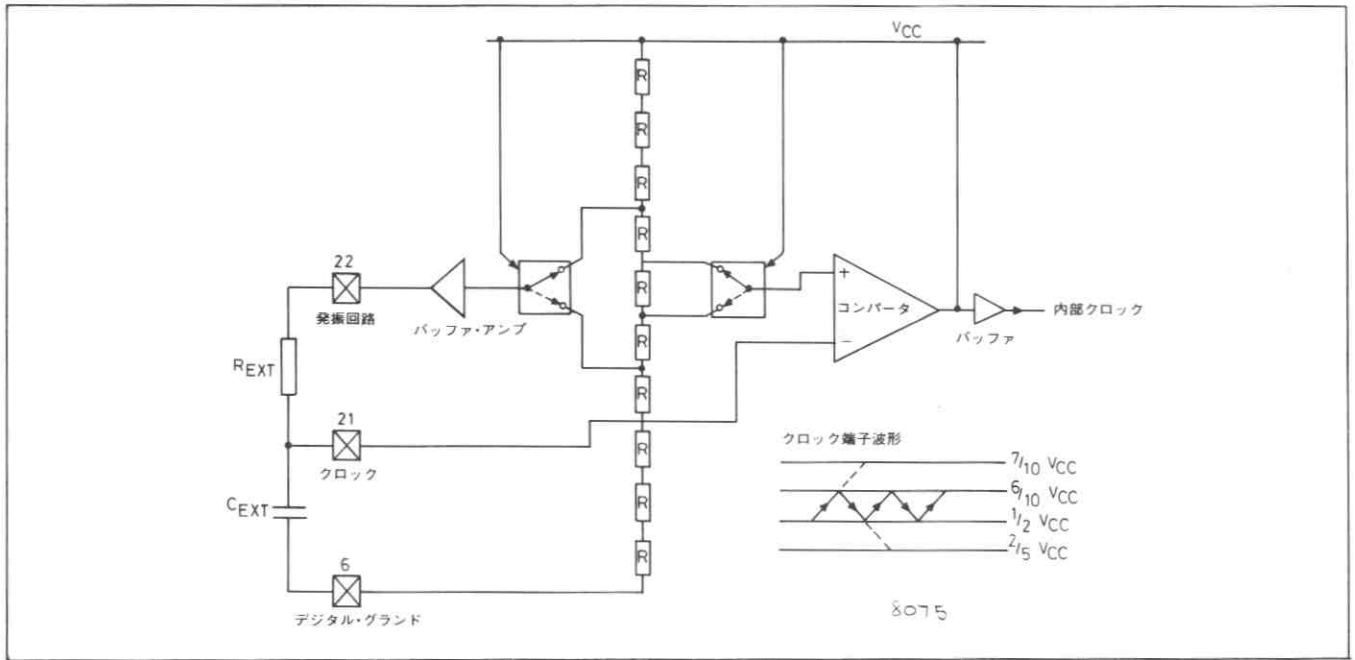


第9図 データ出力



第10図 出力イネーブル/ディスエーブル遅延





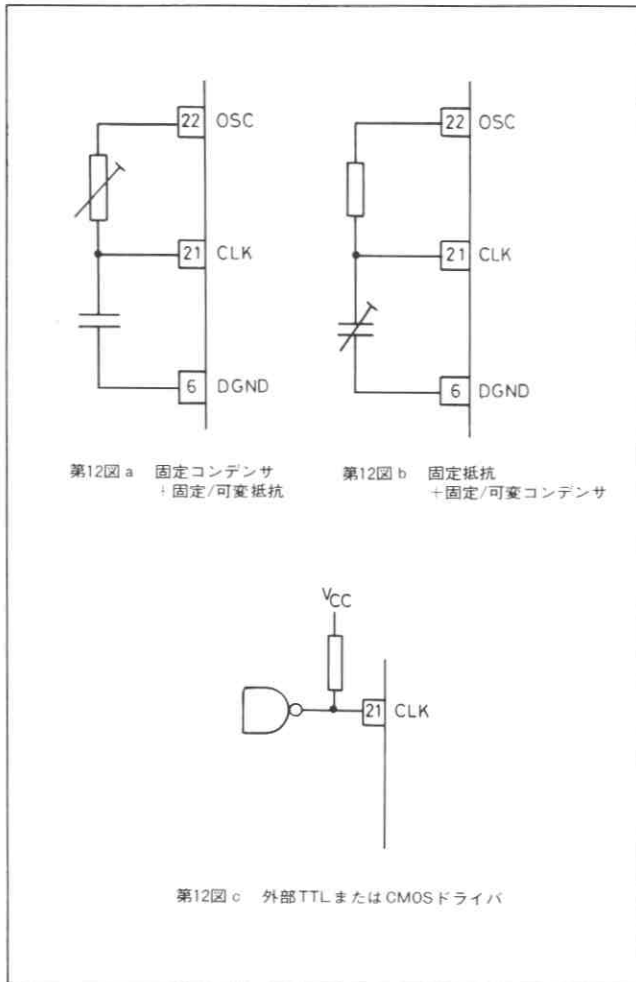
第11図 クロック発生回路

### クロック発生回路

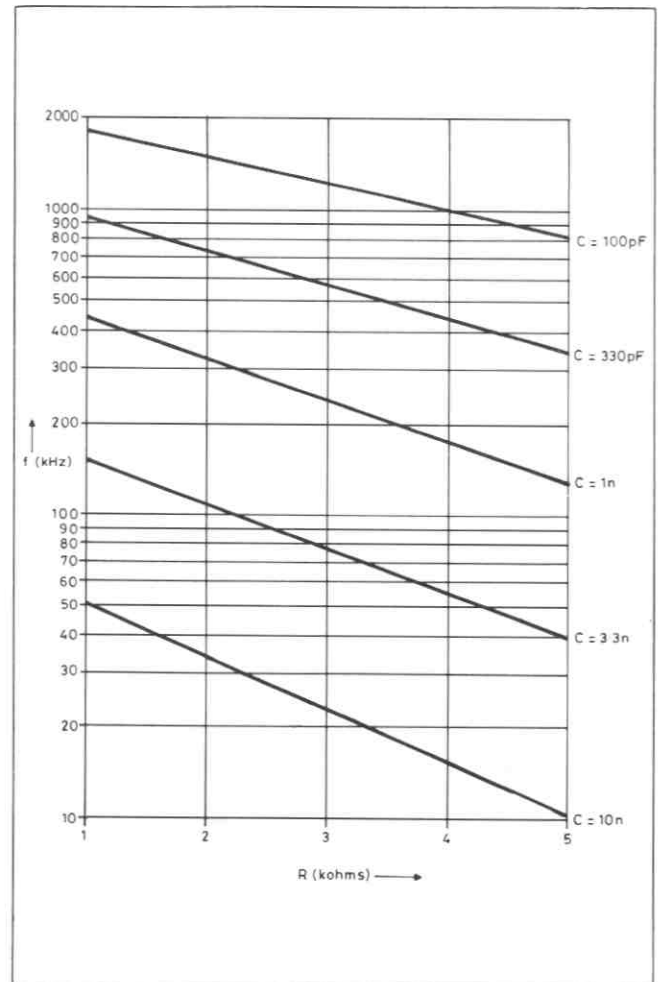
ZN 439に内蔵しているクロック発生回路は、端子21と22の間に接続する抵抗と端子21と6の間のコンデンサというわずか2つの外付部品で動作させることができる。クロック発生回路と外付部品の接続を第11図に示す。

発振周波数は、第12図aと第12図bに示すように可変抵抗または可変容量コンデンサを使って変化させることができる。また、第12図cに示すようにTTLまたはCMOSゲートのクロック信号で外部から駆動することもできる。

コンデンサと抵抗の値に対する発振周波数のグラフを第13図に示す。



第12図 クロック回路外付部品



第13図 クロック周波数 vs RとCの値(代表値)

## アナログ回路

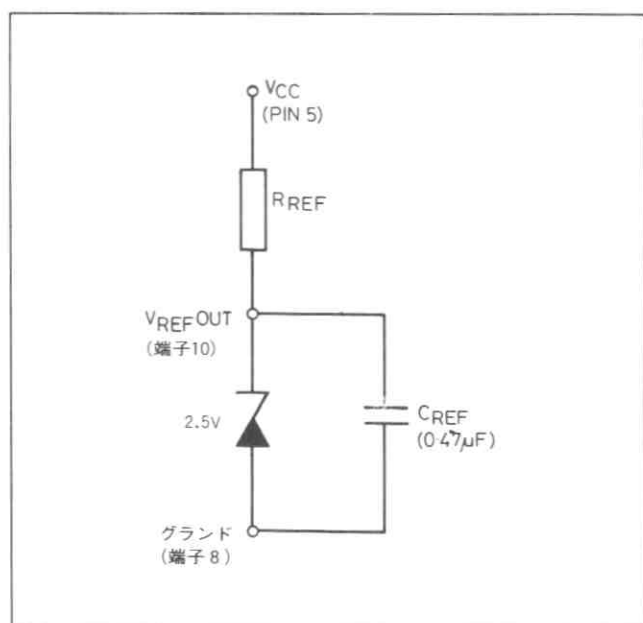
### 精密基準電圧

#### (a)内蔵基準電圧

内蔵基準電圧は2.5Vのツェナー・ダイオードと同様のバンドギャップ回路で、スロープ抵抗は非常に小さい(第14図参照)。抵抗( $R_{REF}$ )をVCCとVREF OUTの間に接続し、デカップリング用コンデンサ $C_{REF}$  ( $0.47\mu\text{F}$ )をVREF OUTとA GNDの間に接続する。そして、IC内部に基準電圧を供給するためにVREF OUTとVREF INを接続する。

ZN 439を1個駆動するのに必要な最小電流は1.5mAであるので、 $1.6\text{K}\Omega$ の $R_{REF}$ を接続する [(5 - 2.56)/1.6K = 1.5mA]。

内蔵基準電圧で1個以上のZN 439を駆動する必要がある場合、基準電流を増加しなければならない。たとえば、 $R_{REF} = 470\Omega$ とした場合基準電流は(5 - 2.56)/0.47 = 5.2 mA となり、1つの基準電圧で最大4個のZN 439を駆動できる。この特徴により、全体の消費電力を減らすことができ、各コンバータ間の利得をそろえることもできる。



第14図 内蔵基準電圧

### コンパレータ

ZN 439は高速のコンパレータを内蔵している。コンパレータの入力の等価回路は第15図に示す通りである。負電源はコンパレータのテイル電流を供給するために必要になる。しかし、この電流はわずか25から150  $\mu\text{A}$  であり高安定である必要はないので、クロック端子(端子22)で駆動する簡単なダイオード・ポンプ回路で供給できる。この回路を第16図に示す。この回路はコンバータのどの動作モー

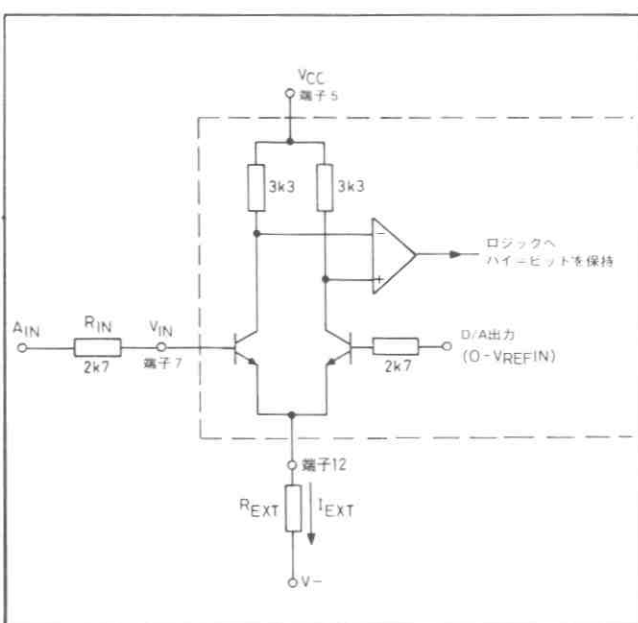
この基準電圧を他の回路の基準電圧として使用することも可能である。この場合、最大2 mAのソースまたはシンク電流を流すことができる。

#### (b)外部基準電圧

外部基準電圧を使用する場合、+1.5Vから+3.0Vの基準電圧をVREF INに接続する。ただし、この基準電圧のスロープ抵抗は、 $\frac{2.5\Omega}{n}$  (nは基準電圧を供給するコンバータの数)以下でなければならない。

### レシオメトリック動作

トランスジューサの出力が電源電圧の変動によって変化する場合、外部基準電圧も同じ電源で駆動しなければならない。基準電圧は+1.5Vから+3.0Vまで変化させることができる。ZN 439はVREF INが+1.5V以下でも動作するが、コンパレータの遅延時間が長くなるため変換時間は増加する。



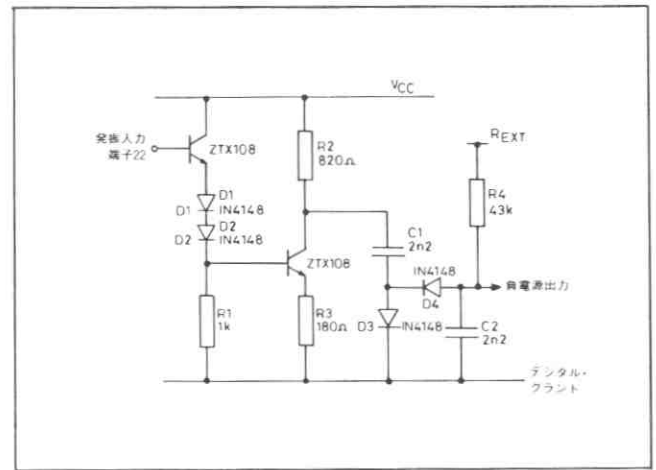
第15図 コンパレータ等価回路

ドでも使用できる。第16図に示されるダイオード・ポンプ回路は内蔵のクロック(端子22)で駆動され、R 4に約-3 Vを供給する。したがって、コンパレータにテイル電流を供給できる。

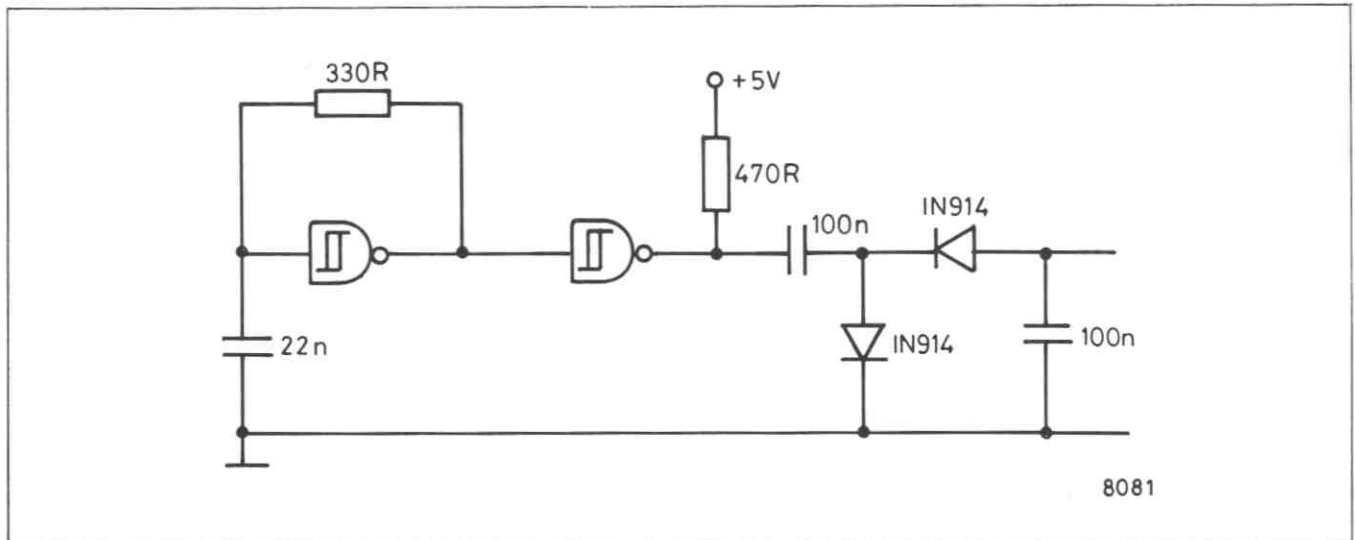
複数のZN 439がシステム中で使用される場合、第17図の自己発振型ダイオード・ポンプ回路を使用する。また、システム中に負電源がある場合はそれを利用する。負の電源電圧に対する適当な抵抗の値を第1表に示す。

V- (Volts)	R <sub>EXT</sub> (KΩ)
3	47
5	82
10	150
12	180
15	220
20	330
25	390
30	470

表1 負電源に対する外付抵抗値



第16図 ダイオード・ポンプ回路



第17図 最大5個のZN439を駆動できるダイオード・ポンプ回路

## DAコンバータ

コンバータは電圧スイッチ型で第18図に示すR-2Rラダー回路を使用している。各素子は特に低オフセット電圧(1 mV)に設計されたトランジスタ電圧スイッチによって、OVまたはV<sub>REF IN</sub>に接続される。

2進化重み電圧はR-2Rラダーの出力で発生する。

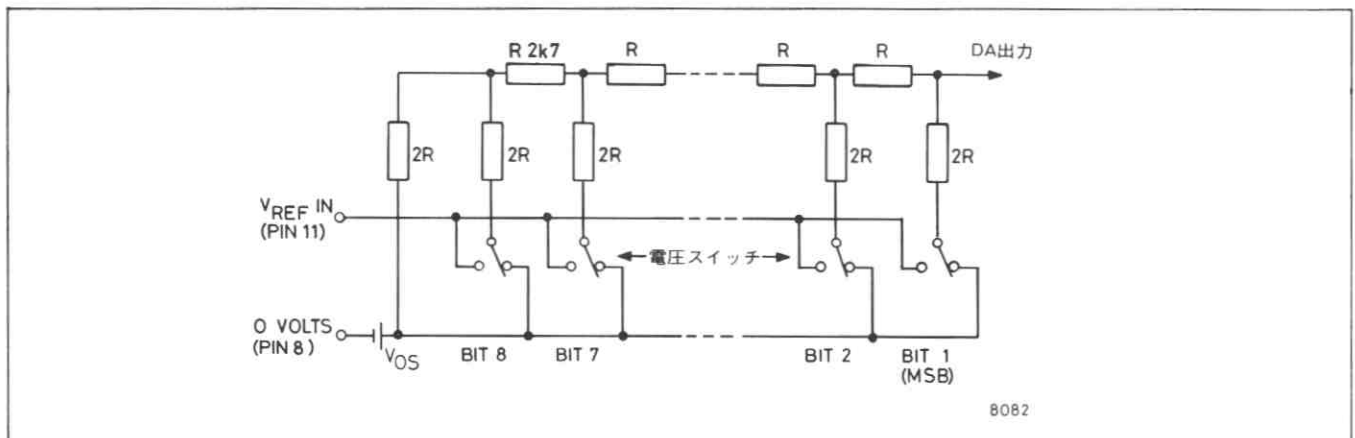
$$DA \text{ 出力} = \frac{n}{256} (V_{REF \text{ IN}} - V_{OS}) + V_{OS}$$

ただし、nは逐次比較ロジックからDAコンバータに出

力されるデジタル値。

V<sub>OS</sub>はパッケージのリード抵抗に電源電流が流れることによって生ずる小さなオフセット電圧である。このオフセットは通常ZN439の調整中に補正することができるし、オフセットの温度係数は小さい(7 ppm/°C)ので精度に与える影響はほとんどない。

また、DAコンバータの出力範囲は0~V<sub>REF IN</sub>で、出力抵抗は2.7KΩ (R)である。

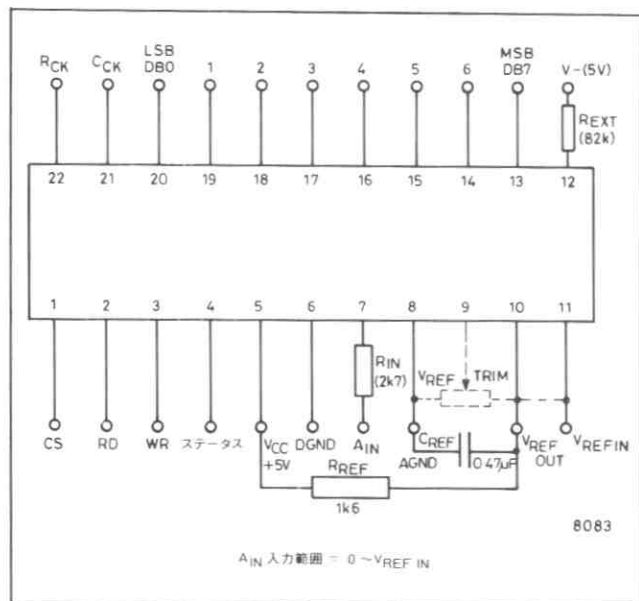


第18図 R-2Rラダー回路

## アナログ入力範囲

ZN439の基本的接続を第19図に示す。この回路のアナログ入力範囲は0から $V_{REF IN}$ であるが、応用によっては入力の前に信号処理/レベル変換回路が必要になる。これ以上の入力電圧範囲が必要な場合はコンパレータ入力に抵抗を接続しなければならないし、これより狭い入力電圧範囲では適当なレベルまで入力信号を増幅しなければならない。

バイポーラ（両極性）入力で使用する場合、アナログ入力にオフセットを持たせコンパレータの入力電圧が常に正になるようにする。



第19図 基本回路の外付部品

## ユニポーラ動作

ユニポーラ動作時の一般的接続を第20図に示す。

$R_1$ と $R_2$ の値はアナログ入力 ( $A_{IN}$ ) がフルスケール時に  $V_{IN} = V_{REF IN}$  になるように選択する。フルスケールは次式で表わされる。

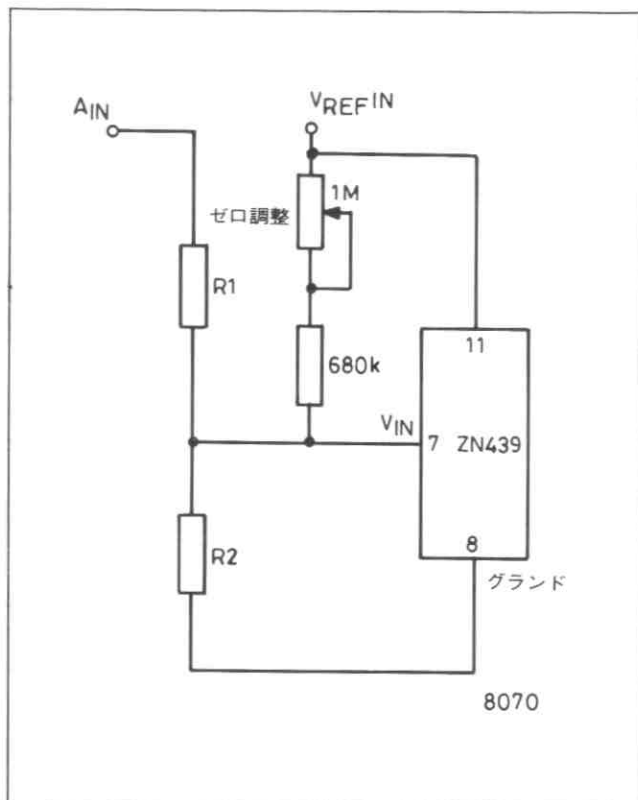
$$A_{IN} FS = \left(1 + \frac{R_1}{R_2}\right) \cdot V_{REF IN} = G \cdot V_{REF IN}$$

ラダー抵抗とマッチさせるために、 $R_1 // R_2$  ( $R_{IN}$ ) = 2.7 K $\Omega$  したがって、 $R_1$ と $R_2$ の値は次式で表わすことができる：

$$R_1 = 2.7G \text{ (K}\Omega\text{)} \quad R_2 = \frac{2.7G}{G-1} \text{ (K}\Omega\text{)}$$

この関係を使用して  $V_{REF IN} = 2.5V$  の時の $R_1$ と $R_2$ の値を求めると次のようになる。

入力範囲	G	$R_1$	$R_2$
+5V	2	5.4K	5.4K
+10V	4	10.8K	3.6K



第20図 ユニポーラ動作入力回路

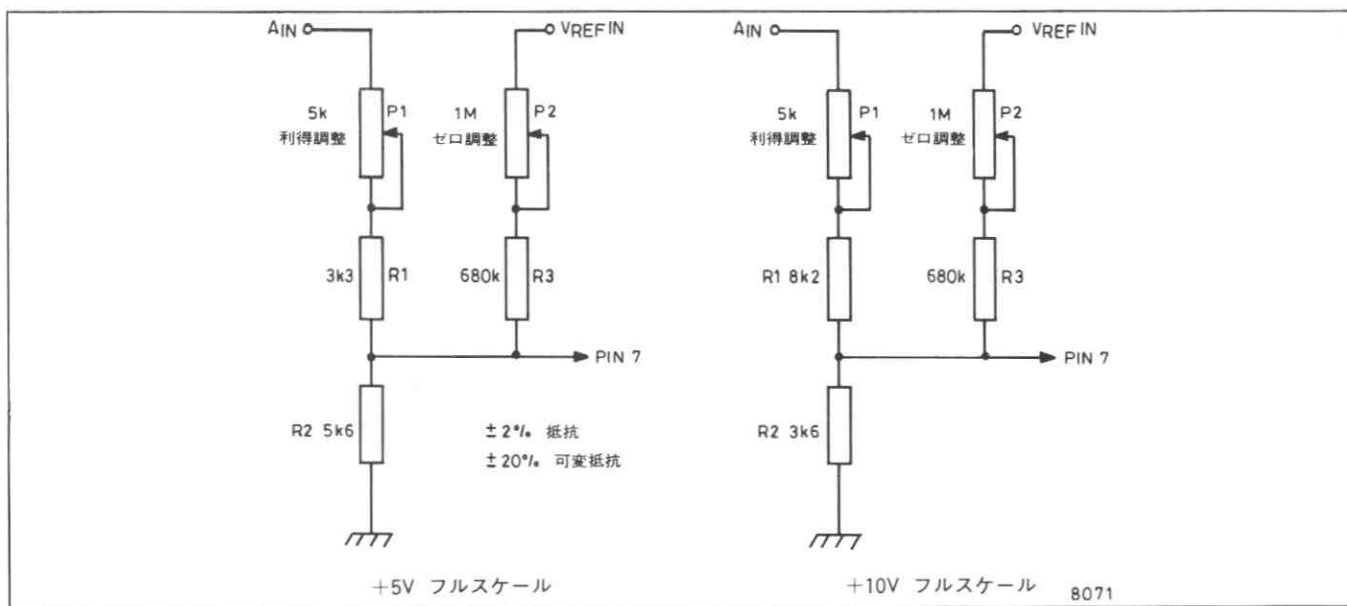
## 利得調整

$R_1$ と $R_2$ のバラツキおよびDAコンパレータの $V_{REF}$ と利得（フルスケール）誤差のバラツキがあるので、フルスケールを補正するために $R_1$ を調整できるようにしておかなければならない。内蔵基準電圧と誤差2%の抵抗を使用する場合、 $R_1$ は少なくとも $\pm 5\%$ 調整できるようにする。

## ゼロ調整

基準電圧2.5Vの場合出力の0から1の変化が $+\frac{1}{2}$ LSB (5mV) で起こるようにゼロ調整しなければならない。この調整はP2と $R_3$ でコンパレータのオフセットを調整することによって行う。図に示された値を使用すれば、フルスケールが $V_{REF IN}$ の1.5倍以上の場合に使用できる。

入力電圧範囲+5Vと+10Vの場合のゼロおよび利得調整回路を第21図に示す。



第21図 ユニポーラ動作部品値

### ユニポーラ動作 調整手順

- (i) 変換時間以上の間隔でWRパルスを連続的に印加し、デジタル出力を観測する。
- (ii) オフセット調整  
AINに $\frac{1}{2}$ LSBの電圧を加え、ビット8 (LSB) が0と1のフリッカー状態、他の全てのビットが0になるように調整する。  
(00000000と00000001の遷移点)
- (iii) 利得調整  
AINに(フルスケール- $1\frac{1}{2}$ LSB)の電圧を加え、ビット8が0と1のフリッカー状態、他のすべてのビットが1になるように調整する。

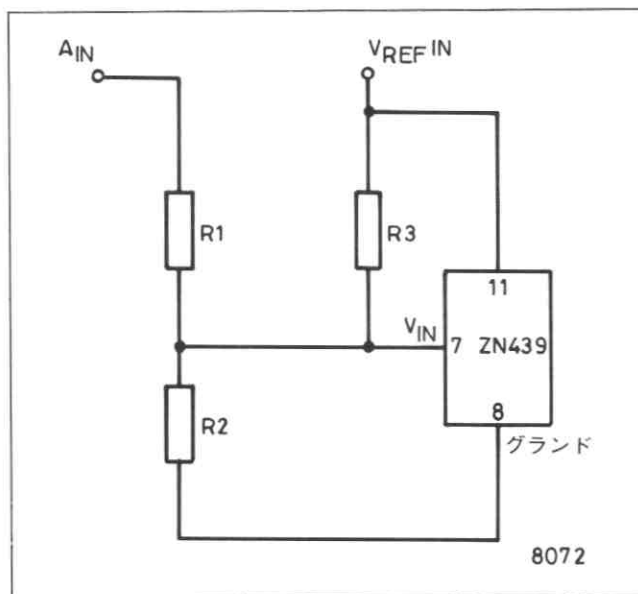
### ユニポーラ動作 セットティング・ポイント

入力電圧範囲(+FS)	$\frac{1}{2}$ LSB	FS- $1\frac{1}{2}$ LSB
+5V	9.8mV	4.9707V
+10V	19.5mV	9.9414V

$$1 \text{ LSB} = \frac{FS}{256}$$

### ユニポーラ動作 ロジック・コード

アナログ入力(AIN)	出力コード (バイナリ)
FS-1LSB	11111111
FS-2LSB	11111110
$\frac{3}{4}$ FS	11000000
$\frac{1}{2}$ FS+1LSB	10000001
$\frac{1}{2}$ FS	10000000
$\frac{1}{2}$ FS-1LSB	01111111
$\frac{1}{4}$ FS	01000000
1LSB	00000001
0	00000000



第22図 バイポーラ動作入力回路

### バイポーラ動作

バイポーラ動作ではVREF INとVIN(端子7)の間に抵抗R3を接続して、ZN439の入力にフルスケール入力電圧の半分のオフセットを与える。したがって、

$$A_{IN} = -FS \text{ の時、} V_{IN} = 0$$

$$A_{IN} = +FS \text{ の時、} V_{IN} = V_{REF IN}$$

フルスケールが $\pm G \cdot V_{REF IN}$ の場合、 $R_1 = (G-1)R_2$ 、 $R_1 = G \cdot R_3$ は上記条件を満足する。また、ラダー抵抗とマッチさせるために、

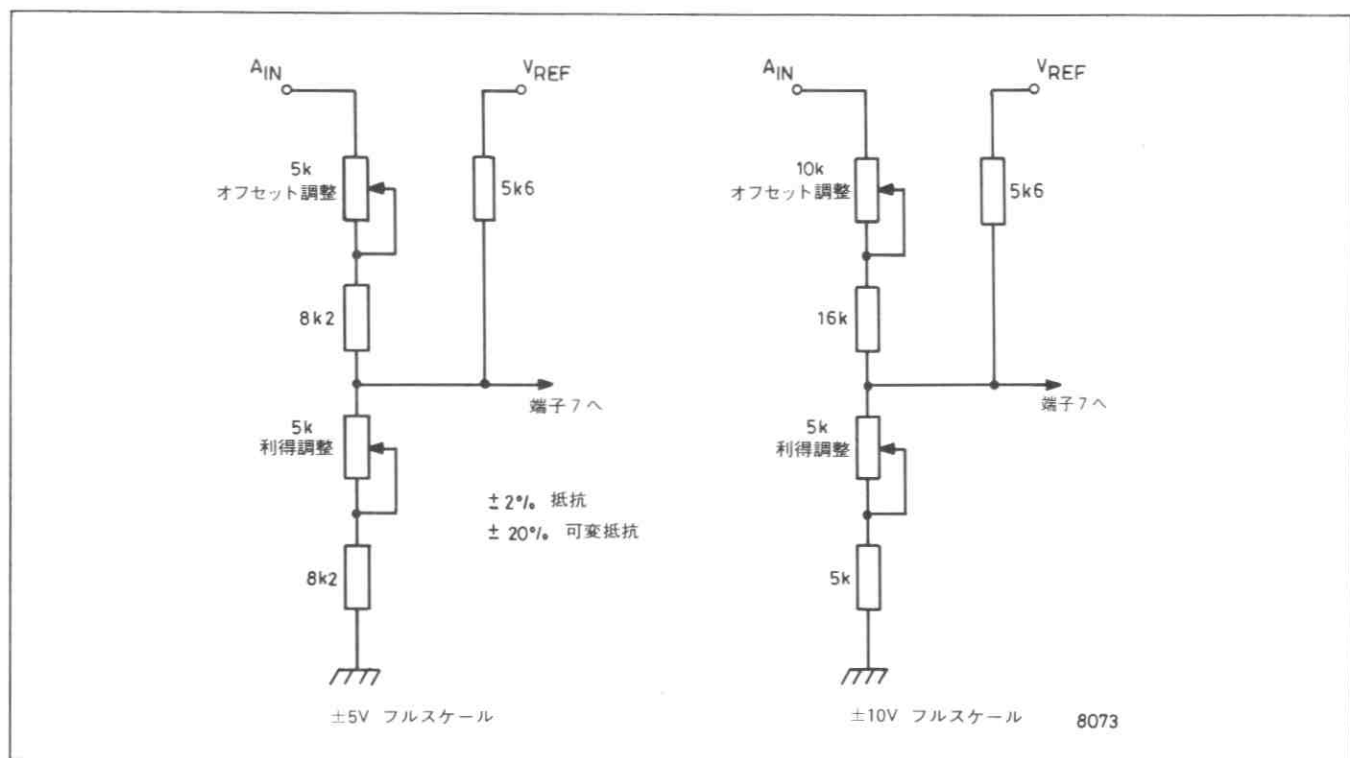
$$R_1/R_2/R_3 (=R_{IN}) = 2.7K\Omega \text{ とする。}$$

したがって、R1、R2、R3の値は次式で表わされる：

$$R_1 = 5.4G \text{ K}\Omega, R_2 = 5.4G / (G-1) \text{ K}\Omega, R_3 = 5.4 \text{ K}\Omega$$

入力電圧範囲を $\pm V_{REF IN}$ (これはユニポーラ動作の0~VREF INに相当する)とした場合、 $R_1 = R_3 = 5.4K\Omega$ 、 $R_2 = \infty$ となる。

VREF IN = 2.5Vとした場合の入力電圧範囲 $\pm 5V$ および $\pm 10V$ に対する抵抗値を次表に示す。



第23図 バイポーラ動作部品値

入力電圧範囲	G	R <sub>1</sub>	R <sub>2</sub>	R <sub>3</sub>
±5V	2	10.8K	10.8K	5.4K
±10V	4	2.6K	7.2K	5.4K

マイナス・フルスケール（オフセット）はR<sub>3</sub>に対するR<sub>1</sub>の値を調整することによって設定する。また、プラス・フルスケール（利得）はR<sub>1</sub>に対するR<sub>2</sub>の調整にて設定する。実際の回路を第23図に示す。

### バイポーラ動作 調整手順

(i) 変換時間以上の間隔でWRパルスを連続的に印加し、デジタル出力を観測する。

(ii) オフセット調整

A<sub>IN</sub> に-(フルスケール-½LSB)の電圧を加え、ビット8 (LSB) が0と1のフリッカー状態、他の全てのビットが0になるように調整する。

(00000000と00000001の遷移点)

(iii) 利得調整

A<sub>IN</sub> に+(フルスケール-½LSB)の電圧を加え、ビット8 (LSB) が0と1のフリッカー状態、他の全てのビットが1になるように調整する。

(11111111と11111110の遷移点)

### バイポーラ動作 セットアップ・ポイント

入力電圧範囲(±FS)	-(FS-½LSB)	+(FS-½LSB)
±5V	-4.9805V	+4.9414V
±10V	-9.9609V	+9.8828V

### バイポーラ動作 ロジック・コード

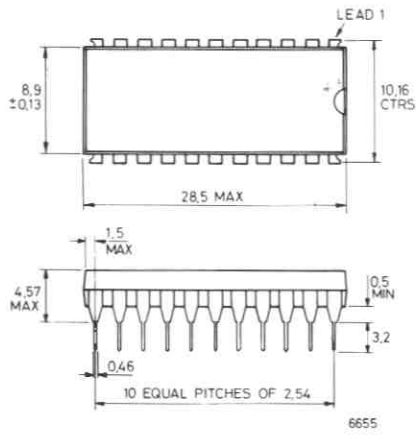
アナログ入力(A <sub>IN</sub> )	出力コード (オフセット・バイナリ)
+(FS-1LSB)	11111111
+(FS-2LSB)	11111110
+½FS	11000000
+1LSB	10000001
0	10000000
-1LSB	01111111
-½LSB	01000000
-(FS-1LSB)	00000001
-FS	00000000

型名	直線性誤差 (LSB)	動作温度範囲	パッケージ
ZN439E-9	¼	0~70℃	プラスチック
ZN439J-9	¼	-55~+125℃	セラミック
ZN439E-8	½	0~70℃	プラスチック
ZN439J-8	½	-55~+125℃	セラミック
ZN439E-7	1	0~70℃	プラスチック
ZN439J-7	1	-55~+125℃	セラミック

$$1 \text{ LSB} = \frac{2FS}{256}$$

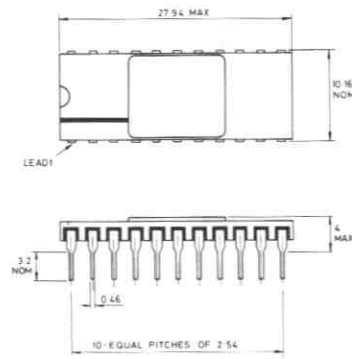
PACKAGE DETAILS

ZN439E



22-Lead Moulded D.I.L.

ZN439J



22-Lead Ceramic D.I.L.

All Dimensions in millimetres

# ZN440

## 6ビット モノリシック 超高速A/Dコンバータ

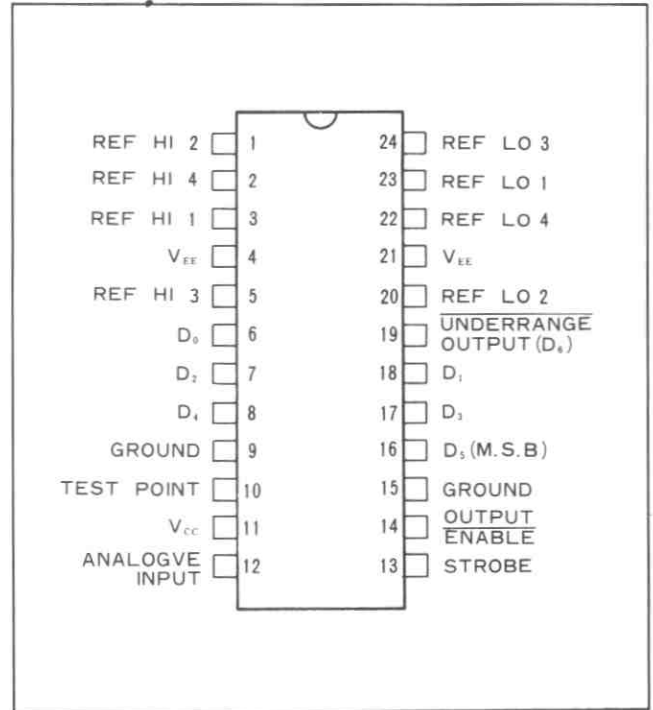
### PROVISIONAL INFORMATION

ZN440は、DCから18メガサンプル/秒の速さでアナログ信号をデジタル化する高速、6ビット、並列変換方式ADコンバータで、数MHzまでの交流信号を外付のサンプル・ホールド回路なしで、正確にデジタル化できる。また、2または4個のZN440を組合せることによって、少ない外付部品で7または8ビットに拡張できる。

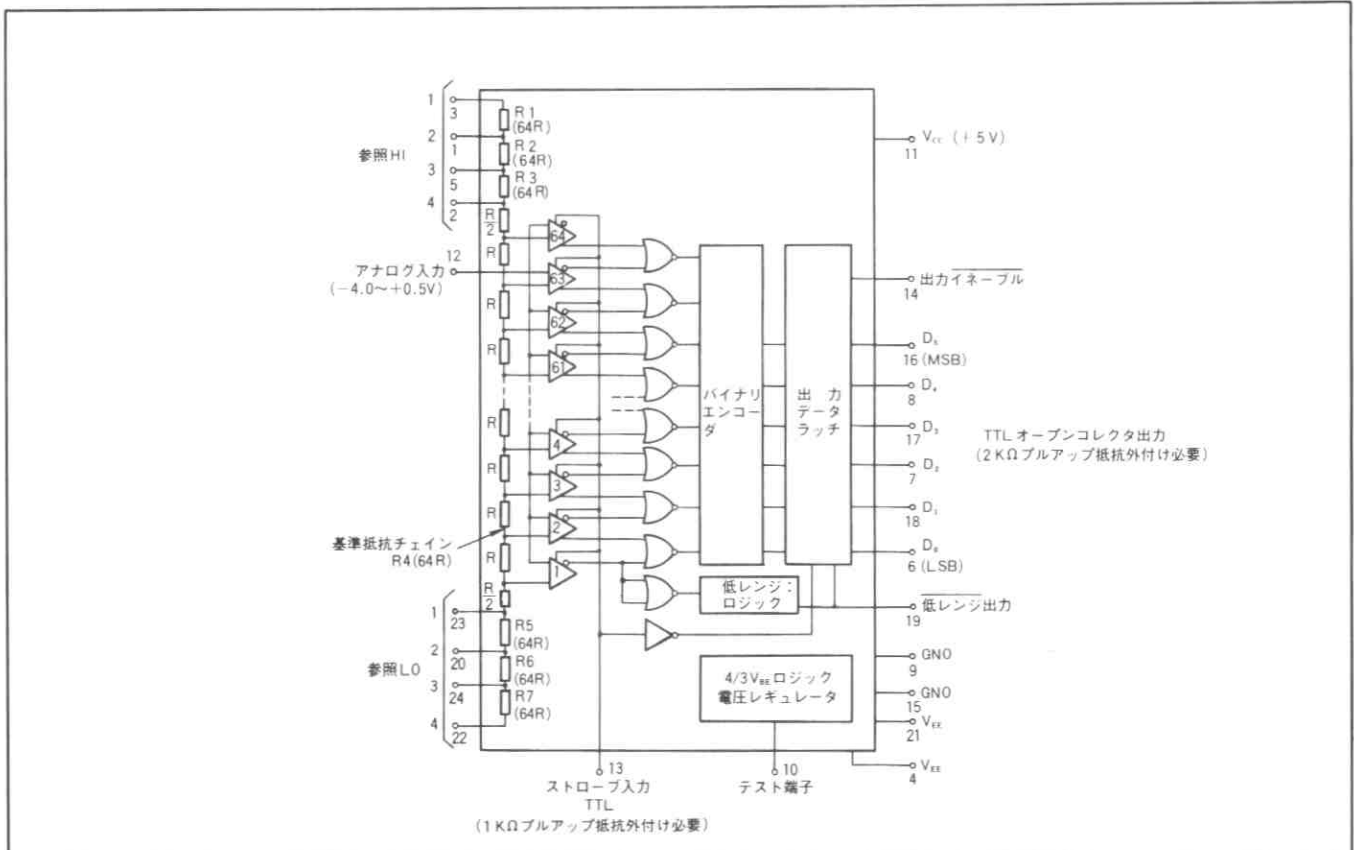
応用としては、高速データ収集、ビデオ/レーダ・データ変換、デジタル信号ストレージ、画像処理等がある。

### 特徴

- 最大サンプリング周波数 18MHz
- 分解能 6ビット
- 7または8ビットに拡張可能
- リニアリティ ±1LSB
- サンプル・ホールド回路不要
- ユニポーラまたはバイポーラ入力にて使用可能
- TTLコンパチブル
- 電源電圧 ±5V
- 消費電力 1W



端子接続 (上面より)



ZN440 システム図



## 電気的特性

テスト条件 (特に注記なき限り)

電源電圧  $\pm 5\text{ V}$ 、周囲温度  $T_{\text{amb}} = +25^\circ\text{C}$ 、出力負荷は図1の通り

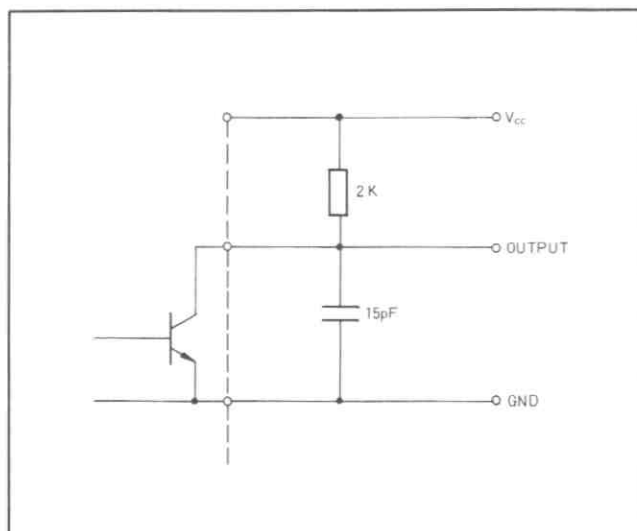
特 性	数 値			単 位	テ ス ト 条 件
	Min.	Typ.	Max.		
<b>電源</b>					
電源電圧					
$V_{\text{CC}}$	+4.75	+5	+5.25	V	
$V_{\text{EE}}$	-4.75	-5	-5.25	V	
電源電流					
$I_{\text{CC}}$	—	95	150	mA	
$I_{\text{EE}}$	—	55	80	mA	
<b>アナログ</b>					
コンバータ・チェーンの両端にかかる基準電圧 $-V_{\text{REF}}$	—	—	1	V	0 ~ 70°C
基準抵抗 R	—	0.3	—	$\Omega$	
分解能	6	—	—	ビット	
リニアリティ・エラー	—	—	$\pm 0.25$	LSB	$V_{\text{REF}} = 1\text{ V}$
	—	—	$\pm 0.5$	LSB	$V_{\text{REF}} = 0.5\text{ V}$
入力信号範囲	-4.0	—	+0.5	V	
入力抵抗 $R_{\text{IN}}$	8	—	—	K $\Omega$	
入力容量 $C_{\text{IN}}$	—	—	100	pF	
入力バイアス電流 $I_{\text{BIAS}}$	—	—	90	$\mu\text{A}$	
<b>デジタル (静特性)</b>					
ハイ・レベル入力電圧 $V_{\text{IH}}$	1.4	—	—	V	
ロー・レベル入力電圧 $V_{\text{IL}}$	—	—	0.8	V	
ハイ・レベル入力電流 $I_{\text{IH}}$	—	—	4.0	$\mu\text{A}$	
ロー・レベル入力電流 $I_{\text{IL}}$	—	—	-1.6	mA	
ハイ・レベル出力電圧 $V_{\text{OH}}$	2.4	—	—	V	$I_{\text{OH}} = 400\ \mu\text{A}$
ロー・レベル出力電圧 $V_{\text{OL}}$	—	—	0.4	V	$I_{\text{OL}} = -1.6\text{ mA}$
<b>(動特性)</b>					
変換パルス幅 $T_{\text{H}}$	20	—	—	nS	注1
ストローク・ロー期間 $T_{\text{L}}$	—	40	—	nS	
最大サンプリング周波数	16	18	—	MHz	
デジタル出力遅延時間					
$t_1$	55	65	100	nS	図2参照
$t_2$	120	130	180	nS	
$t_3$	40	50	70	nS	
$t_4$	65	75	100	nS	
アパーチャ・ディレイ $T_{\text{ad}}$	—	20	—	nS	
過渡応答(フル・スケール ステップ入力からの回復時間)	—	15	—	nS	
出力 ENABLE 遅延時間					
$T_{\text{D1}}$	8	10	15	nS	
$T_{\text{D2}}$	65	70	80	nS	
$T_{\text{E1}}$	16	20	30	nS	
$T_{\text{E2}}$	40	45	80	nS	

注1. ストローク入力はTTLコンパチブルであるが、高速動作を確実にするためにハイ・レベルを+3 V以上にする。  
このためトータンプールTTL出力で端子13を駆動する場合、1 K $\Omega$ のプルアップ抵抗を付ける。

## 動作概要

ZN440は、並列にならべた64個のコンパレータとエンコーディング・ロジックから成る超高速並列変換方式（フラッシュ）ADコンバータである。

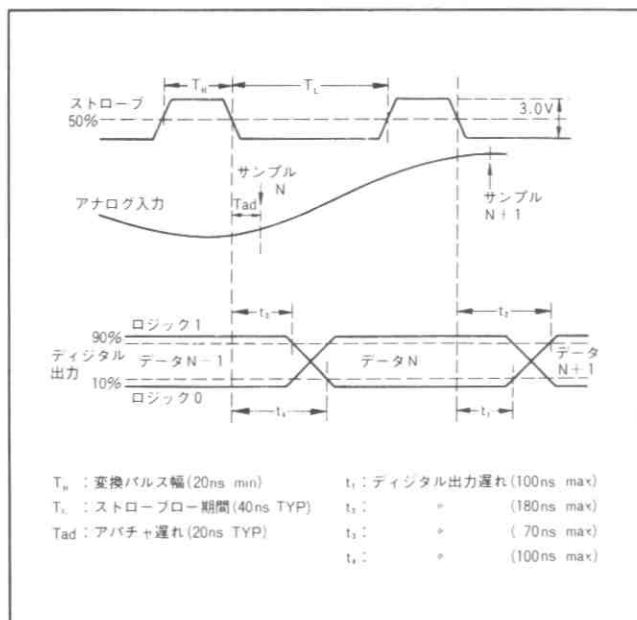
抵抗チェーンにかかる基準電圧によって、63の量子化レベルとオーバ・レンジ、アンダ・レンジが決まる。各コンパレータの一方の入力は抵抗チェーンに接続され、もう一方の入力はアナログ入力に接続されている。アナログ電圧が全てのコンパレータに入力された時、基準電圧のほうがアナログ入力より小さいコンパレータのみその出力を反転する。たとえば、入力電圧が $\frac{n}{64} V_{REF}$ であればn個のコンパレータが反転する。コンパレータの出力はNORゲートによって64出力のうち1個が選ばれ、さらに高速ROMによってバイナリにエンコードされる。



第1図 出力テスト回路

## ストロブ入力

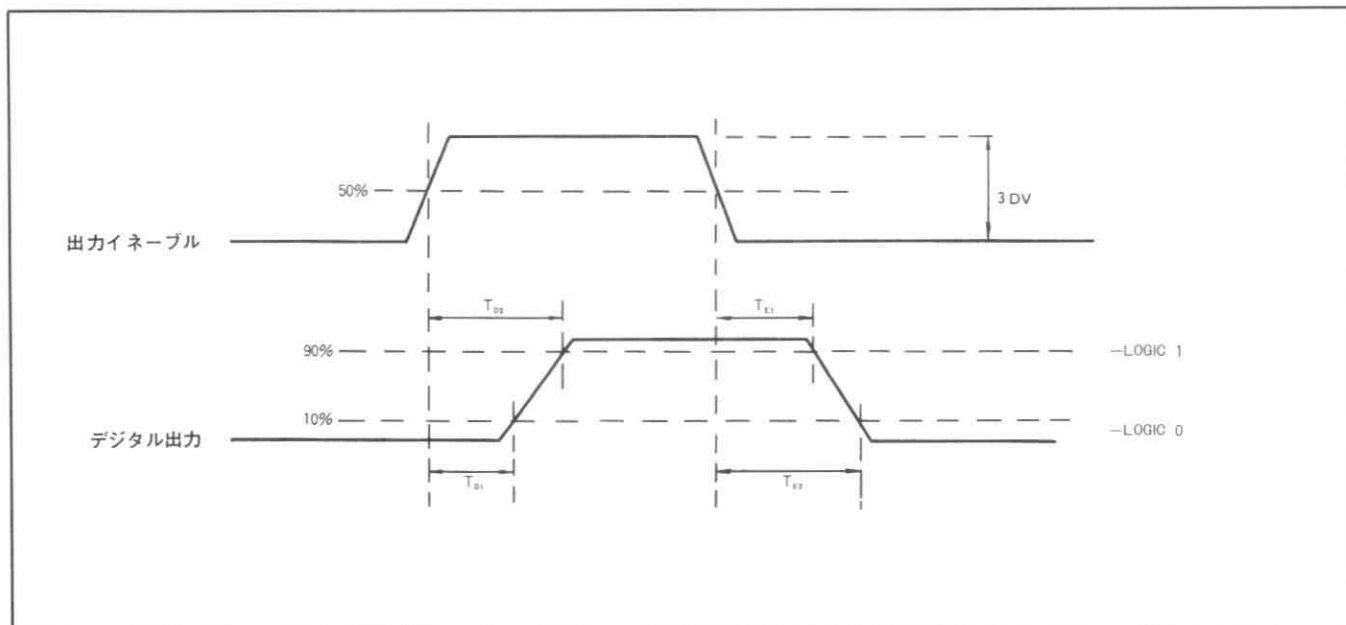
ストロブ入力はコンパレータと出力データ・ラッチを制御する。ストロブがハイの時コンパレータは入力信号をサンプリングし、ストロブがローになるとコンパレータの出力はその時の状態にラッチされる。この出力は出力データ・ラッチにも入り、新しくサンプリングされたデータとしてデータ出力に現われるが、ラッチはされない。次にストロブが再びハイになるとこの値はデータ出力にラッチされ、コンパレータは次のアナログ入力のサンプリングを行う。このように、ストロブ・パルスの負エッジ付近以外では、常にデータが出力に現われる。



第2図 ストロブパルスとアナログ入力およびデジタル出力の関係

## 出力イネーブル

ZN440の全てのロジック出力はオープン・コレクタで、2K $\Omega$ のプルアップ抵抗を外付する必要がある。また、データ出力のトランジスタはイネーブル端子をハイにすることによってオフにできる。このタイミングを図3に示す。



第3図 出力イネーブルのタイミング

## アンダ・レンジ/オーバ・レンジ

アナログ入力電圧がコンパレータ1のスレッシュホールドより小さい時、データ出力はオフになりアンダ・レンジ出力はローになる。同様に、アナログ入力電圧がコンパレータ64のスレッシュホールドより大きい時も、出力はオフになる。また、入力電圧がコンパレータ1よりも大きい時はいつでも、アンダ・レンジ出力はハイになる。

## スタッキング(拡張)

アンダ・レンジ出力があることおよび基準抵抗チェーンの両端が接続可能になっていることによって、2個または4個のZN440は容易に7または8ビットに拡張できる。理論上ZN440の基準抵抗チェーンを2個または4個直列に接続すれば、コンパレータ128個の7ビット分解能およびコンパレータ256個の8ビット分解能を得ることができる。しかし、実際には各ICの抵抗の絶対値が異なるため各基準抵抗チェーンにおける電圧降下が異なり、直線性誤差が発生する。この問題を解決するためにZN440は基準抵抗チェーンの両端に各64Rの抵抗を3個ずつ内蔵している。また、このよ

うな接続を行なうために各ZN440は7ビットに拡張する場合は全基準電圧の半分で、8ビットに拡張する場合は全基準電圧の4分の1で動作する。7および8ビットに拡張する場合のユニポーラ、バイポーラ両動作に対する基準抵抗チェーンの接続方法を図4と図5に示す。

基準抵抗のマッチングは十分に正確であり、7および8ビットに拡張した場合に直線性が悪くなることはない。

このように拡張する場合の基準電圧は、基準抵抗( $R_1$ )1個当たり0.5~1.0Vが適当であるので、8ビット・ユニポーラ動作の場合基準電圧は2~4Vになる。

また、拡張する場合の下位6ビットは全コンパレータの $D_6$ から $D_0$ を接続するだけで得ることができる。7ビットに拡張する場合のMSB( $D_7$ )は、図6のように2番目のコンパレータのアンダ・レンジ出力から得る。この出力を他の6つの出力( $D_6 \sim D_0$ )と同様の出力にするため、1番目のコンパレータの出力とワイヤードANDする。

8ビットにするためには、図7に示すようにアンダ・レンジ出力を2つのEx-ORゲートでデコードすることによってビット7およびビット8を得る。したがって、外付けEx-ORの遅れ分だけビット7および8の出力は遅れる。

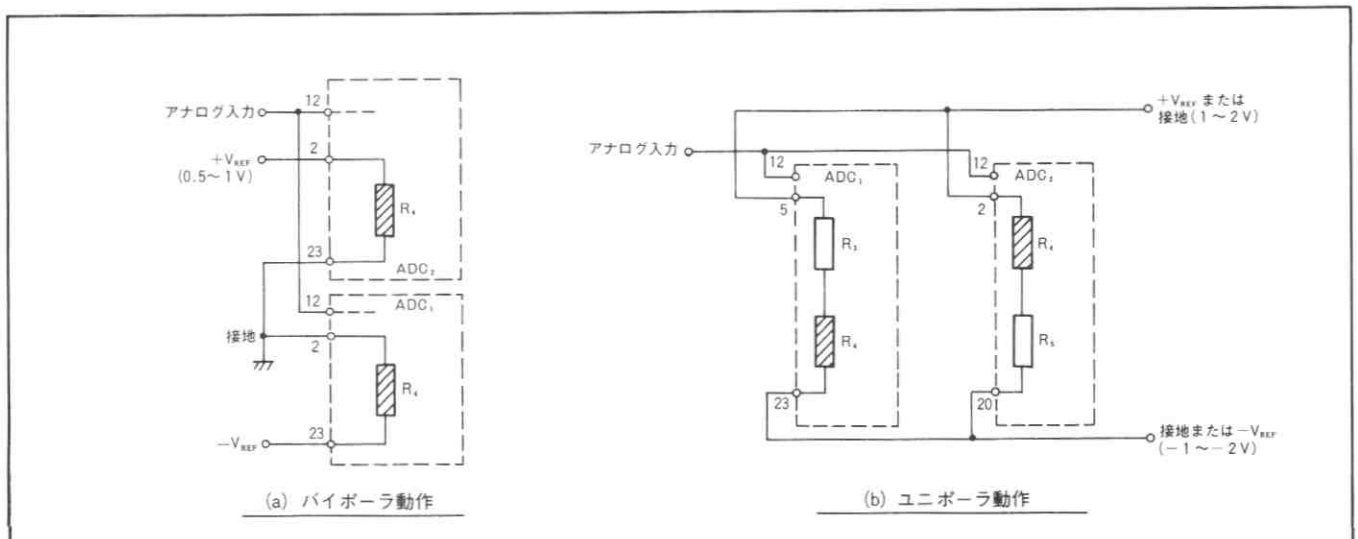


図4 7ビットの場合の基準抵抗の接続

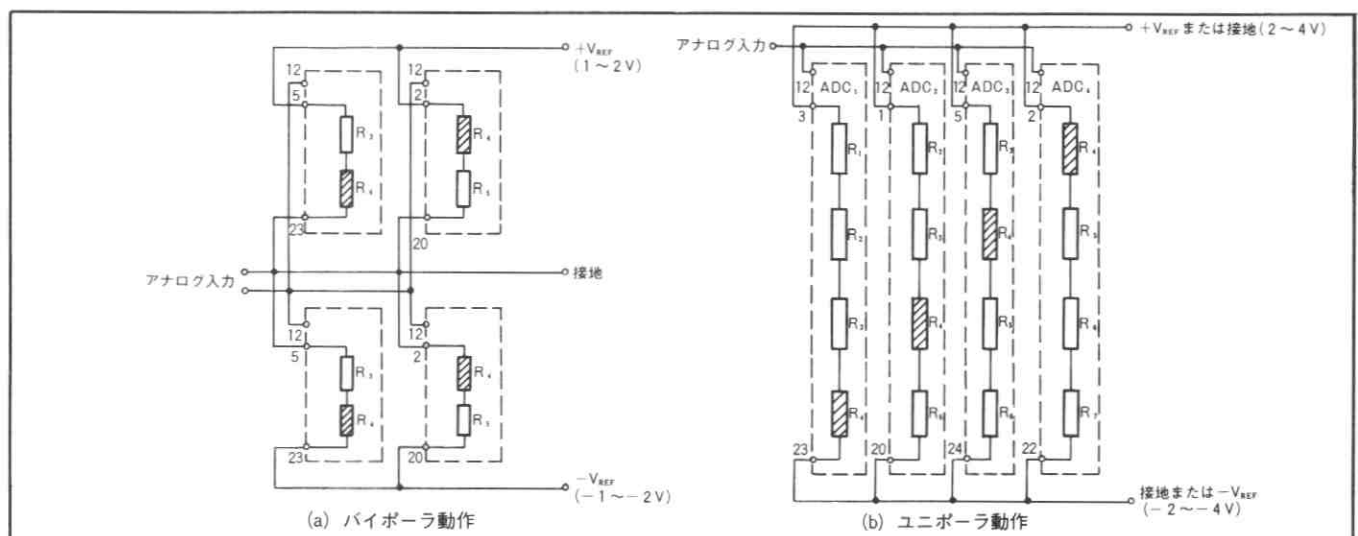


図5 8ビットの場合の基準抵抗の接続

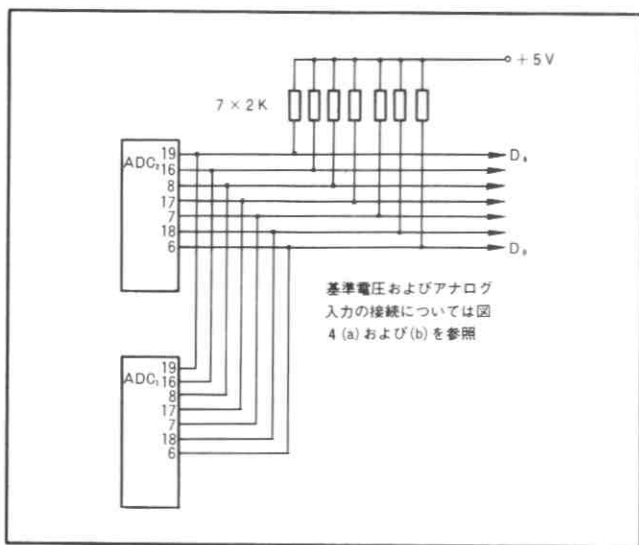


図6 7ビットに拡張の場合のデジタル出力側の接続

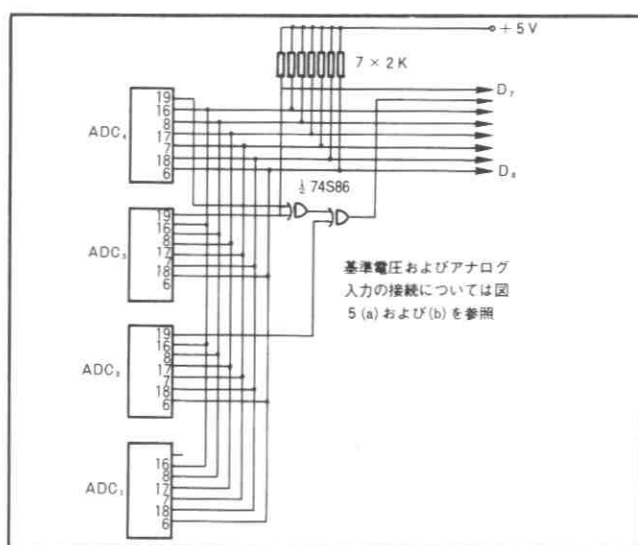


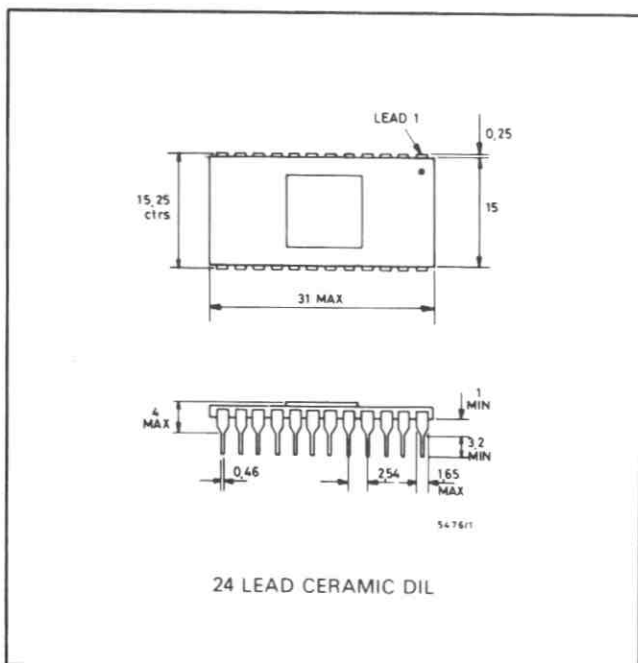
図7 8ビットに拡張の場合のデジタル側の接続

## 最大絶対定格

$V_{CC}$	0 ~ +5.5 V
$V_{EE}$	0 ~ -5.5 V
入力(デジタル)	0 ~ +5 V
入力(アナログ信号)	-4.2 V ~ +1.4 V
基準抵抗チェーンに流れる電流	50 mA
動作温度範囲	0 ~ 70 °C
貯蔵温度	-55 °C ~ +125 °C

## パッケージ寸法

単位 mm



### ZN447 / ZN448 / ZN449

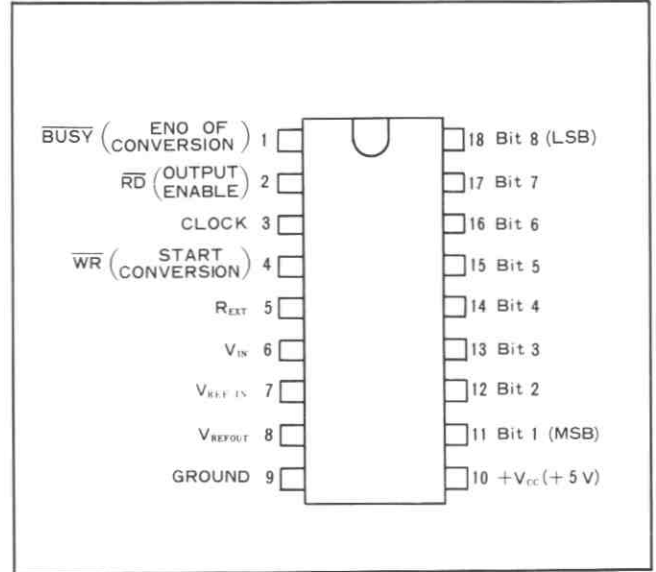
## 8ビット マイコン・コンパチブル ADコンバータ ADVANCE INFORMATION

ZN447、ZN448、ZN449は、マイクロプロセッサとのインターフェイスが容易な8ビット逐次比較型ADコンバータで、クロック発生器、2.5Vバンドギャップ基準電圧を含むすべての能動回路を内蔵している。

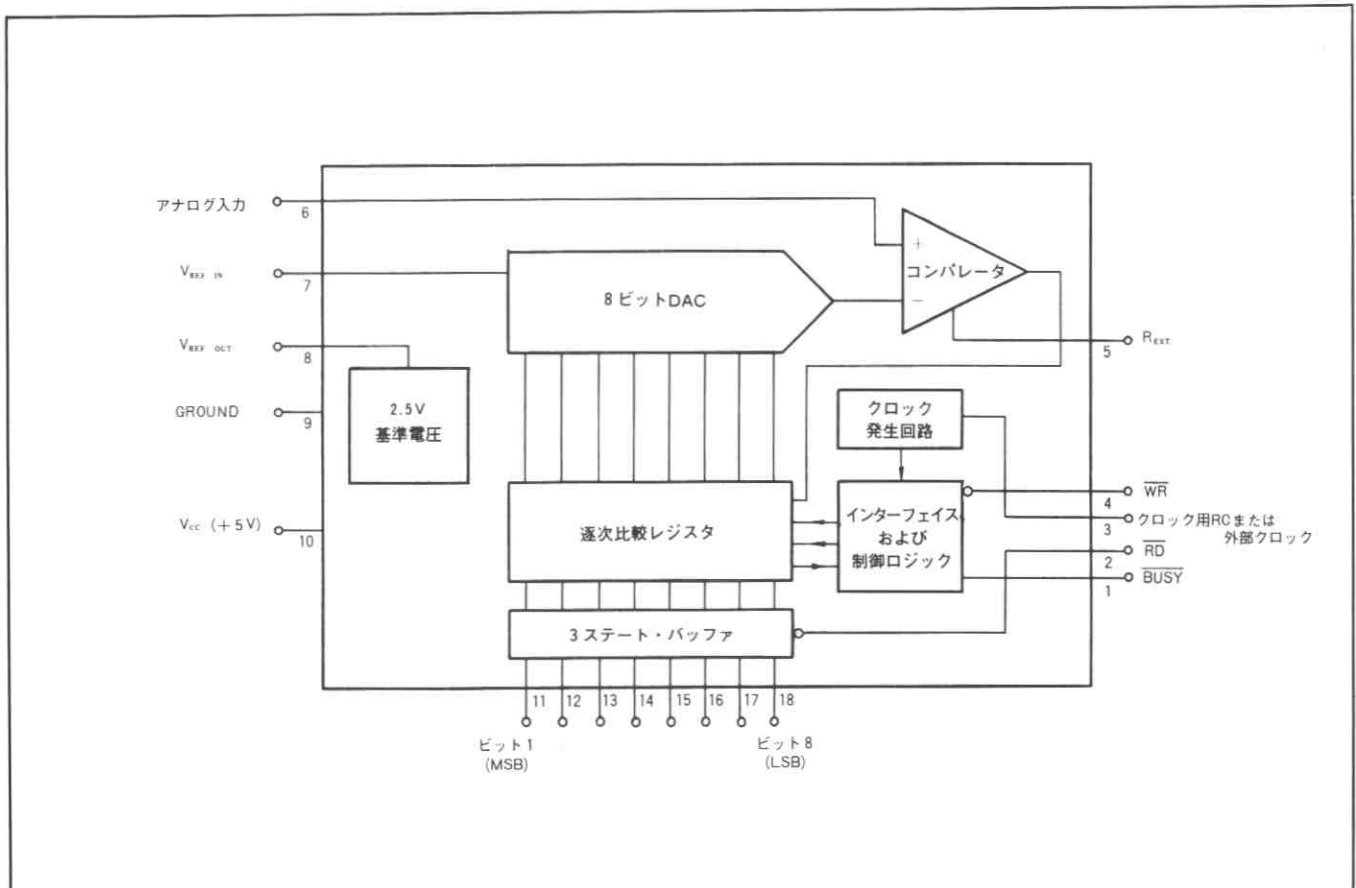
ユニポーラおよびバイポーラ入力で動作させるためには、基準電圧用抵抗およびコンデンサ、クロック用抵抗およびコンデンサそして入力抵抗が必要である。

### 特徴

- マイクロプロセッサとのインターフェイスが容易
- 高速 変換時間 9  $\mu$ S 保証
- リニアリティによって3種類  
 $\frac{1}{4}$  LSB - ZN447    $\frac{1}{2}$  LSB - ZN448   1 LSB - ZN449
- クロック内蔵
- 基準電圧内蔵 (外部基準電圧の使用も可能)
- ユニポーラまたはバイポーラ入力



端子接続 (上面より)



第1図 ブロック図

## 電気的特性

テスト条件 (特に注記なき限り)

電源電圧  $V_{CC} = +5V$ 、周囲温度  $T_{amb} = 25^{\circ}C$ 、クロック周波数  $f_{CLK} = 900KHz$

特 性	Min.	Typ.	Max.	単 位	条 件
<b>ZN447</b>					
リニアリティ・エラー	—	—	$\pm 1/4$	LSB	
ディフェレンシャル・リニアリティ・エラー	—	—	$\pm 1/2$	LSB	
ゼロ トランジション ( 00000000 → 00000001 )	13.5	15	16.5	mV	'E' パッケージ
フルスケール トランジション ( 11111110 → 11111111 )	2.548	2.550	2.552	V	$V_{REF} = 2.560V$
<b>ZN448</b>					
リニアリティ・エラー	—	—	$\pm 1/2$	LSB	
ディフェレンシャル・リニアリティ・エラー	—	—	$\pm 1$	LSB	
ゼロ トランジション ( 00000000 → 00000001 )	12	15	18	mV	'E' パッケージ
フルスケール トランジション ( 11111110 → 11111111 )	2.545	2.550	2.555	V	$V_{REF} = 2.560V$
<b>ZN449</b>					
リニアリティ・エラー	—	—	$\pm 1$	LSB	
ディフェレンシャル・リニアリティ・エラー	—	—	$\pm 2$	LSB	
ゼロ トランジション ( 00000000 → 00000001 )	10	15	20	mV	'E' パッケージ
フルスケール トランジション ( 11111110 → 11111111 )	2.542	2.550	2.558	V	$V_{REF} = 2.560V$
<b>全タイプ</b>					
分解能	8	—	—	ビット	
リニアリティ温度係数	—	$\pm 3.0$	—	ppm/ $^{\circ}C$	
ディフェレンシャル・リニアリティ温度係数	—	$\pm 6.0$	—	ppm/ $^{\circ}C$	
フルスケール温度係数	—	$\pm 2.5$	—	ppm/ $^{\circ}C$	
ゼロ温度係数	—	$\pm 8.0$	—	$\mu V/^{\circ}C$	
基準電圧入力範囲	1	—	3	V	
電源電圧	4.5	5	5.5	V	
電源電流	—	25	40	mA	
消費電力	—	125	—	mW	
<b>コンパレータ</b>					
入力電流	—	1	—	$\mu A$	$V_{IN} = +3V, R_{EXT} = 82k\Omega$
入力抵抗	—	100	—	$K\Omega$	
テイル電流	25	65	150	$\mu A$	$V_{-} = -5V$
負電源	-3	-5	-30	V	
入力電圧	-0.5	—	+3.5	V	
<b>内蔵基準電圧</b>					
出力電圧 ZN447	2.530	2.550	2.570	V	$R_{REF} = 390\Omega$
ZN448	2.520	2.550	2.580	V	$C_{REF} = 4.7\mu F$
ZN449	2.500	2.550	2.600	V	
スロープ抵抗	—	0.5	2	$\Omega$	
$V_{REF}$ 温度係数	—	50	—	ppm/ $^{\circ}C$	
基準電流	4	—	15	mA	

特 性	Min.	Typ.	Max.	単 位	条 件
<b>クロック</b>					
内蔵クロック周波数	—	—	1	MHz	
クロック周波数温度係数	—	+0.5	—	%/°C	
クロック抵抗	—	—	2.0	KΩ	
最大外部クロック周波数	1	0.9	—	MHz	
クロック・パルス幅	500	—	—	nS	
ハイ・レベル入力電圧 $V_{IH}$	4.0	—	—	V	
ロー・レベル入力電圧 $V_{IL}$	—	—	0.8	V	
ハイ・レベル入力電流 $I_{IH}$	—	—	800	μA	$V_{IN}=+4.0V, V_{CC}=MAX$
ロー・レベル入力電流 $I_{IL}$	—	—	-500	μA	$V_{IN}=+0.8V, V_{CC}=MAX$
<b>ロジック (全動作温度範囲にわたって)</b>					
変換入力 (CONVERT INPUT)					
ハイ・レベル入力電圧 $V_{IH}$	2	—	—	V	
ロー・レベル入力電圧 $V_{IL}$	—	—	0.8	V	
ハイ・レベル入力電流 $I_{IH}$	—	300	—	μA	$V_{IN}=+2.4V, V_{CC}=MAX$
ロー・レベル入力電流 $I_{IL}$	—	±10	—	μA	$V_{IN}=+0.4V, V_{CC}=MAX$
<b><math>\overline{RD}</math>入力 (<math>\overline{RD}</math> INPUT)</b>					
ハイ・レベル入力電圧 $V_{IH}$	2.0	—	—	V	
ロー・レベル入力電圧 $V_{IL}$	—	—	0.8	V	
ハイ・レベル入力電流 $I_{IH}$	—	-150	—	μA	$V_{IN}=+2.4V, V_{CC}=MAX$
ロー・レベル入力電流 $I_{IL}$	—	-300	—	μA	$V_{IN}=+0.4V, V_{CC}=MAX$
ハイ・レベル出力電圧 $V_{OH}$	2.4	—	—	V	$I_{OH}=MAX, V_{CC}=MIN$
ロー・レベル出力電圧 $V_{OL}$	—	—	0.4	V	
ハイ・レベル出力電流 $I_{OH}$	—	—	-100	μA	
ロー・レベル出力電流 $I_{OL}$	—	—	1.6	mA	
スリーステートDisable時 リーク電流	—	—	2	μA	$V_{OUT}=+2.0V$
入力クランプ・ダイオード電圧	—	—	-1.5	V	
RD入力-データ出力遅延時間	—	180	250	nS	
Enable/Disable遅延時間					
$T_{E1}$	180	210	260	nS	
$T_{E0}$	60	80	100	nS	
$T_{D1}$	80	110	140	nS	
$T_{D0}$	60	80	100	nS	
変換パルス幅 $T_{WR}$	200	—	—	nS	
$\overline{WR}$ 入力- $\overline{BUSY}$ 出力遅延時間 $T_{BD}$	—	—	250	nS	

## 動作概要

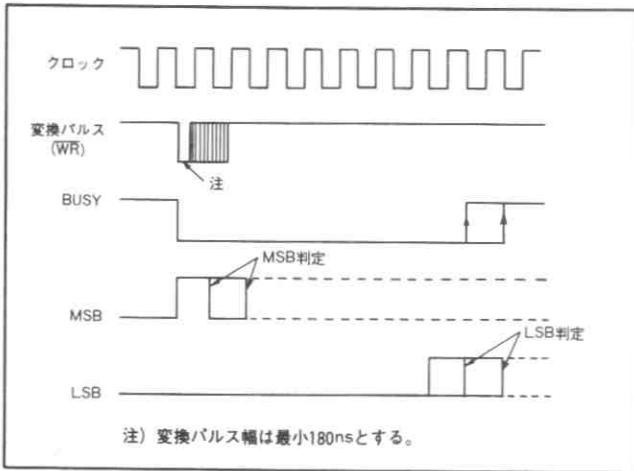
ZN447は逐次比較方式のADコンバータである。 $\overline{WR}$ 入力の立下りで $\overline{BUSY}$ 出力は、ロー・レベルになり、MSBは‘1’に他の全てのビットは‘0’にセットされる。この結果、DAコンバータから $V_{REF}/2$ の電圧が発生し、この電圧は入力電圧 $V_{IN}$ と比較される。この判定は次のクロックの立下りで行なわれ、もし $V_{REF}/2 > V_{IN}$ であればMSBは‘0’にリセットされ、 $V_{REF}/2 < V_{IN}$ であれば‘1’に保持される。そして、同じクロック・エッジでビット2は‘1’にセットされ、MSBの状態によって $V_{REF}/4$ または $V_{REF}/2 + V_{REF}/4$ の電圧をDAコンバータから出力する。この電圧は再び $V_{IN}$ と比較され、次のクロックのエッジでビット2の判定を行い、同時にビット3を‘1’にセットする。この手順は全ての8つのビットについて繰り返され、9番目の

クロックの立下りで $\overline{BUSY}$ はハイ・レベルになり変換の終了を示す。

変換の間、 $\overline{RD}$ 入力は通常ハイ・レベルに保持し、スリーステート・バッファを高インピーダンス状態にする。データは $\overline{RD}$ 入力をロー・レベルにすることによって読出し可能になるが、この読出し動作によってデータは失なわれない。

## 変換タイミング

ZN447の変換パルス( $\overline{WR}$ )はクロックと同期させる必要はなく、クロックと変換パルスのタイミングによってその立下り後7 $\frac{1}{2}$ から8 $\frac{1}{2}$ の間に変換は終了する。このタイミングを図2に示す。



第2図 タイミング図

変換パルスの立下りでMSBはセットされ、他の全てのビットと $\overline{BUSY}$ フラグはリセットされる。そして、変換パルスがローの間DAコンバータのMSB出力はアナログ入力と連続的に比較されるが、ハイの間はコンバータはインヒビットされる。変換パルスがローからハイに戻った後でMSBの判定は行なわれ、つづいて逐次比較サイクルを行う。

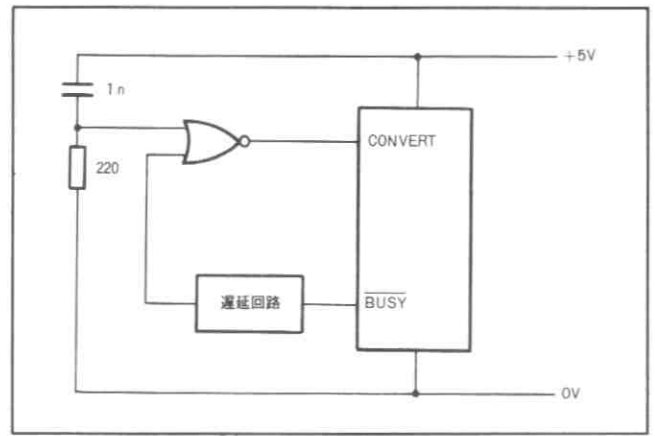
変換パルス( $\overline{WR}$ )は最小200nSの短いパルスでも良いが、MSBは判定が行なわれる少なくとも550nS以上前にセットしなければならない。短いパルスの場合にもこの基準を満足するために、ZN447は変換パルスがハイに戻ってもクロックの立上りまで変換を開始しない。そして、同じクロックの立下りでMSBは決定される。したがって、MSBは少なくともクロック期間の半分つまり最大クロック周波数の場合で550nSの設定時間を与えられる。また、変換中にコンバータはロックされないので、変換入力がローになればいつでも変換は開始される。

## 連続変換

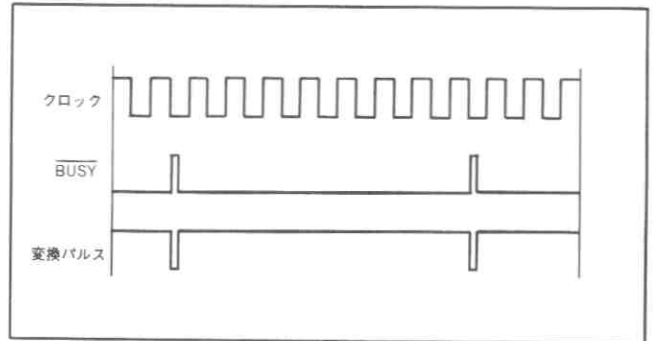
変換を繰り返し行う必要がある場合、 $\overline{BUSY}$ 出力を反転して変換入力( $\overline{WR}$ )に接続すればコンバータは変換サイクルを繰り返す。電源投入時に確実に変換を開始するには、最初にスタート・パルスが必要になる。このため、インバータの代わりにNORゲートを用い、この一方の入力に電源投入時にパルスが1つ出る簡単なRC回路によって正パルスを入力し、他の入力には $\overline{BUSY}$ 端子を接続する。

ADコンバータは8クロック期間で変換を終了し、 $\overline{BUSY}$ 出力をハイにする。このハイの時間はNORゲートの遅延時間によって決まり、この間にデータをラッチに記憶できる。データを記憶させる時間は、 $\overline{BUSY}$ 出力とNORゲートの間に遅延回路を置くことによって長くすることができる。

連続変換モードの回路図とタイミングを図3aと3bに示す。



第3図a 連続変換モード回路図



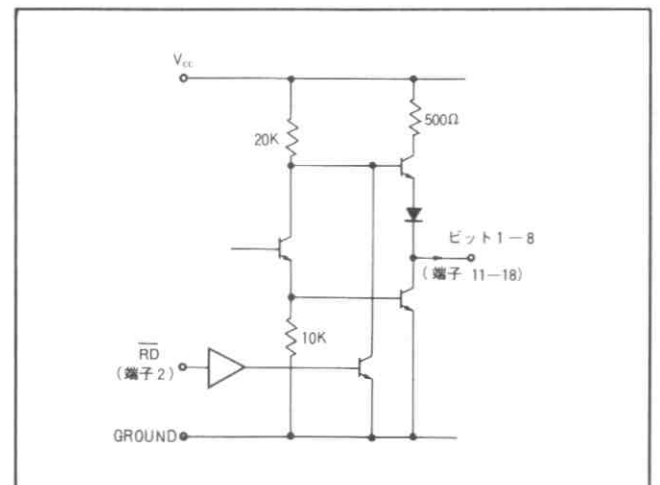
第3図b タイミング図

$\overline{BUSY}$ 出力は内部でプル・アップしてあるので、出力の立上り時間(RISE TIME)はプル・アップ抵抗と負荷容量のRC時定数によって決まる。連続変換モードでは、時定数を小さくしロジック'1'レベルを確実にするために、4.7K $\Omega$ のプル・アップ抵抗を外付する。

## データ出力

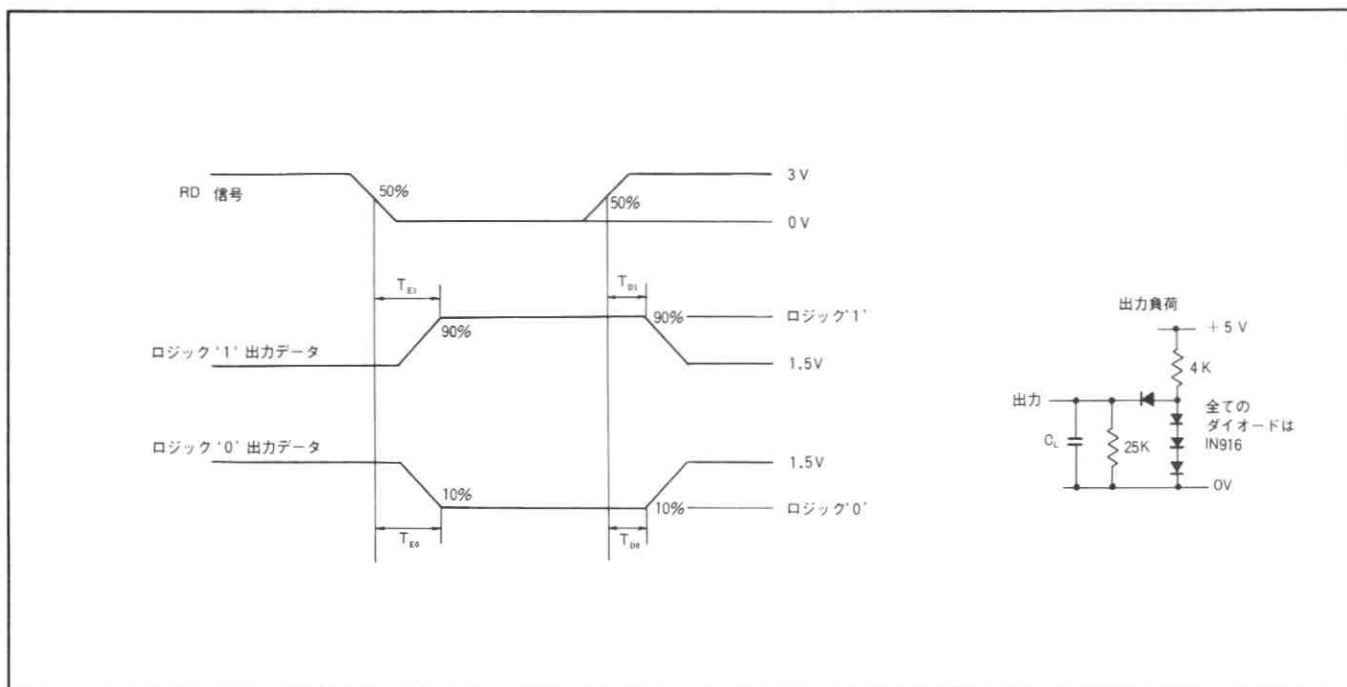
データ出力は共通データ・バスに接続できるように、スリー・ステート出力になっている。この等価回路を図4に示す。 $\overline{RD}$ 入力がハイ・レベルの間、2つの出力トランジスタはオフになり、出力は高インピーダンス状態になる。そして、 $\overline{RD}$ がローの時、データ出力は逐次比較レジスタの値を出力する。

テスト回路と出力enable/disable遅延のタイミングを図5に示す。



第4図 データ出力の等価回路





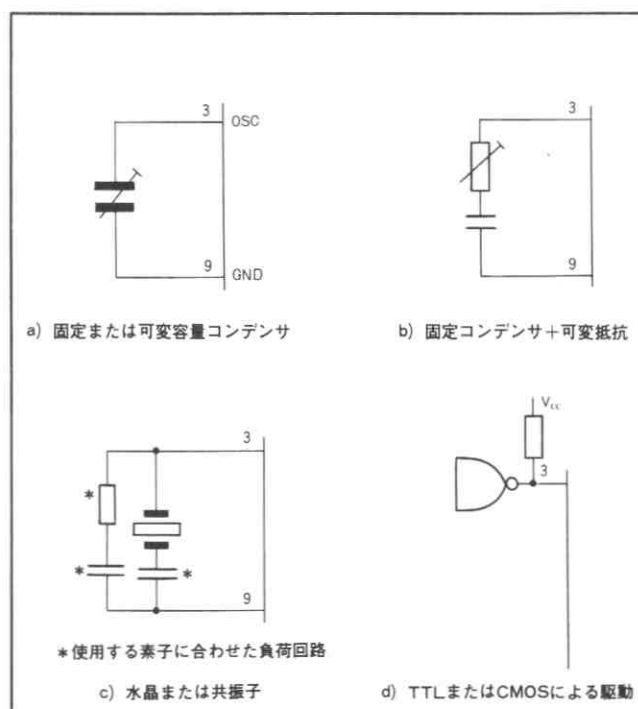
第5図 出力enable/disableタイミング図

## BUSY出力

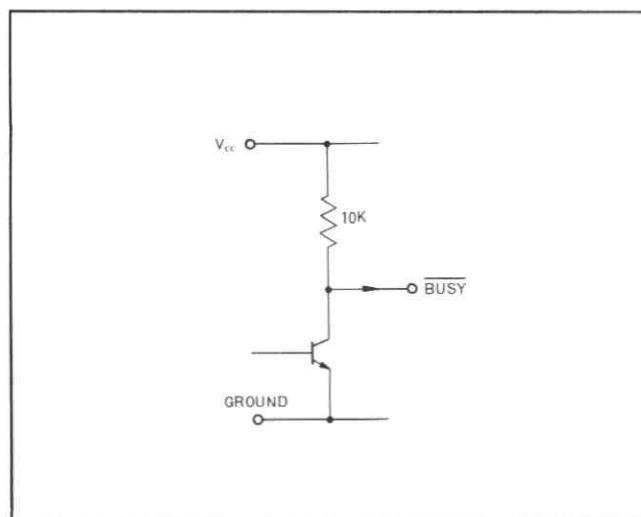
BUSY出力は、図6に示すように、CMOS/TTLコンパレータブルとなるようにプル・アップしてある。また、最大4つのBUSY出力をワイヤANDして、共通割込み線を作ることができる。

## 内蔵クロック

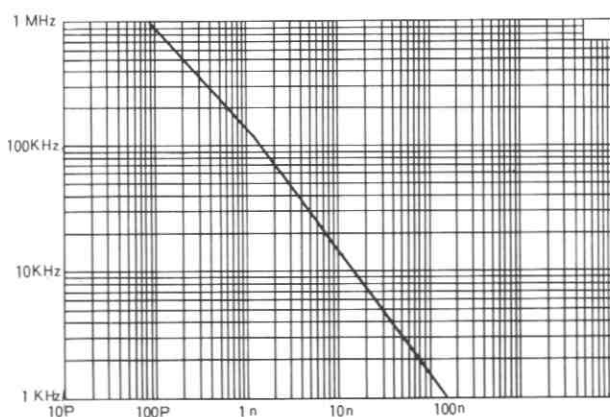
内蔵クロックは、図7aに示すように、端子3とグランドの間にコンデンサを1つ外付するだけで動作する。このコンデンサの値に対する発振周波数のグラフを図8に示す。発振周波数は、図7bに示すように、コンデンサと直列に抵抗を接続することによって微調できる。微調回路を用いず正確で安定な発振周波数を得たい場合、図7cに示すように、水晶またはセラミック共振子を用いる。そして、図7dに示すように、TTLまたはCMOSゲートの外部クロック信号で発振入力を駆動することもできる。



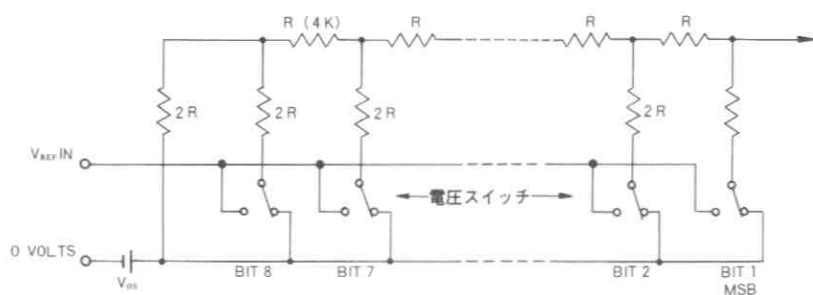
第7図 クロック回路外付部品



第6図 BUSY出力



第8図 発振周波数 ( $R_{CK}=0$ )



第9図 R-2Rラダー回路

## アナログ回路

### DAコンバータ

コンバータは図9に示すように電圧スイッチとR-2Rラダー回路から成り立っている。各2R素子は低オフセット電圧(1mV)のトランジスタ・スイッチによって0VかV<sub>REF IN</sub>に接続される。そして、2進加重み電圧はR-2Rラダーで発生する。

$$\text{DA出力} = \frac{n}{256} (V_{\text{REF IN}} - V_{\text{OS}}) + V_{\text{OS}}$$

ただし、nは逐次比較ロジックからDAコンバータに出力されるデジタル値

V<sub>OS</sub>はパッケージのリード抵抗に電源電流が流れることによって生じる小さなオフセット電圧である。このオフセットは、通常Z<sub>N</sub>447の調整中に補正することができるし、オフセットの温度係数は小さい(8μV/℃)ので、精度に与える影響はほとんどない。

また、DAコンバータの出力範囲は0～V<sub>REF IN</sub>で、出力抵抗は4KΩである。

### 基準電圧

#### (a) 内蔵基準電圧

内蔵基準電圧はスロープ抵抗の非常に小さい2.5Vツェナー・ダイオードと同等のバンド・ギャップ回路で発生する(図10参照)。抵抗R<sub>REF</sub>を端子8と10の間に接続する。R<sub>REF</sub>に推奨値の390Ωを使った場合、基準電流は(5.0-2.5)/0.39=6.4mAとなる。また、デカップリング/安定用コンデンサを端子8と9の間に接続する。そして、この内蔵基準電圧を使用する場合、V<sub>REF OUT</sub>(端子8)とV<sub>REF IN</sub>(端子7)を接続する。

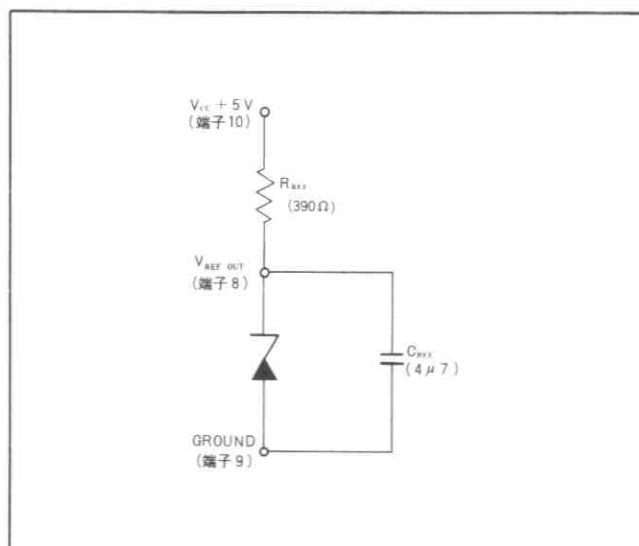
1つの内蔵基準電圧で最大5つのZ<sub>N</sub>447に基準電圧を供給できる。この時R<sub>REF</sub>の値を変える必要はない。また、この特長によって、消費電力を少なくし、各コンバータ間のゲインをそろえることができる。

この基準電圧を他の回路の基準電圧として使用することも可能である。この場合、最大3mAのソースまたはシンク電流を流すことができる。

#### (b) 外部基準電圧

外部基準電圧を使う場合、+1.5から3.0Vの間の基準電圧をV<sub>REF IN</sub>に接続する。この基準電圧のスロープ抵抗は、 $\frac{2.5\Omega}{n}$ (nは基準電圧を供給するコンバータの数)以下でなければならない。

トランスジューサの出力が電源電圧の変動で変化する場合、外部基準電圧も同じ電源で駆動する。また、V<sub>REF IN</sub>が1.5V以下でもZ<sub>N</sub>447は動作するが、変換時間は増加する。



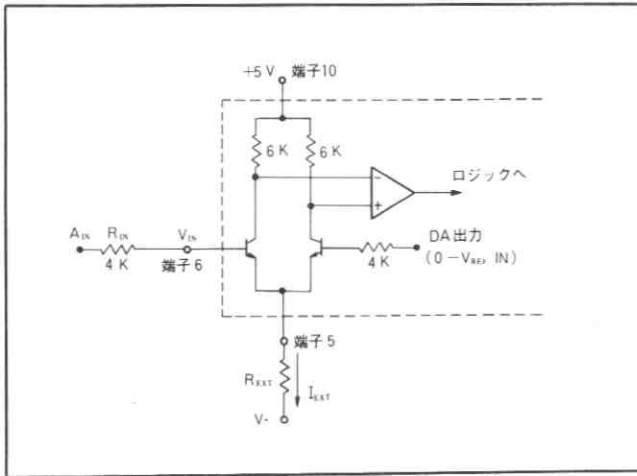
第10図 内蔵基準電圧

## コンパレータ

ZN447の入力等価回路は図11に示す通りであり、高速のコンパレータを内蔵している。負電源にはコンパレータのテイル電流を供給する必要がある。しかし、この電流はわずか25から150 $\mu$ Aであり非常に安定である必要はないので、 $\overline{\text{BUSY}}$ 出力で駆動する簡単なダイオード・ポンプ回路で供給できる。

このいくつかの例を図12に示す。いずれの場合も動作原理は同じである。 $\overline{\text{BUSY}}$ 出力がハイの間C1は4~4.5Vに充電される。変換が行なわれている間 $\overline{\text{BUSY}}$ 出力はローになるので、C1の上側もローに引っぱられる。したがって、C1の下側はR2に対して約-4Vとなり、コンパレータにテイル電流を与える。時定数R2・C1は、コンデンサ電圧の減少が変換に影響を与えないように、クロック周波数によって決める。

この種の回路を使う時に問題になるのは、 $\overline{\text{BUSY}}$ 出力がハイの間にC1を充電しなければならないことである。も



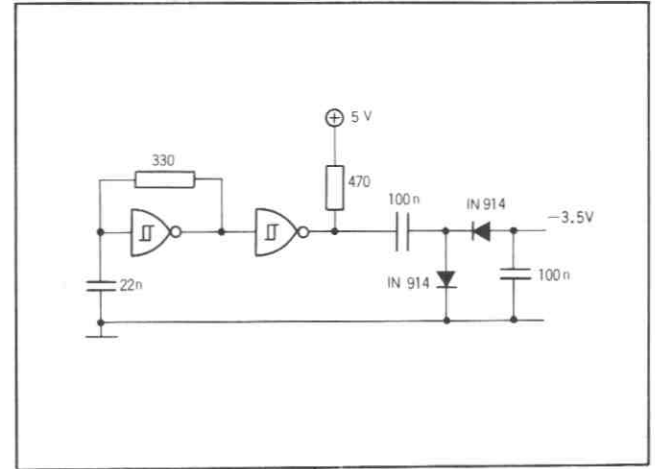
第11図 入力等価回路

し、 $\overline{\text{BUSY}}$ 出力がハイである時間が1コンバータ・クロック期間より長い場合、図12 aの回路で十分であるが、連続変換モードのように $\overline{\text{BUSY}}$ 出力が短い場合、図12 b・12 cのような回路でコンデンサに電流を流し込む。

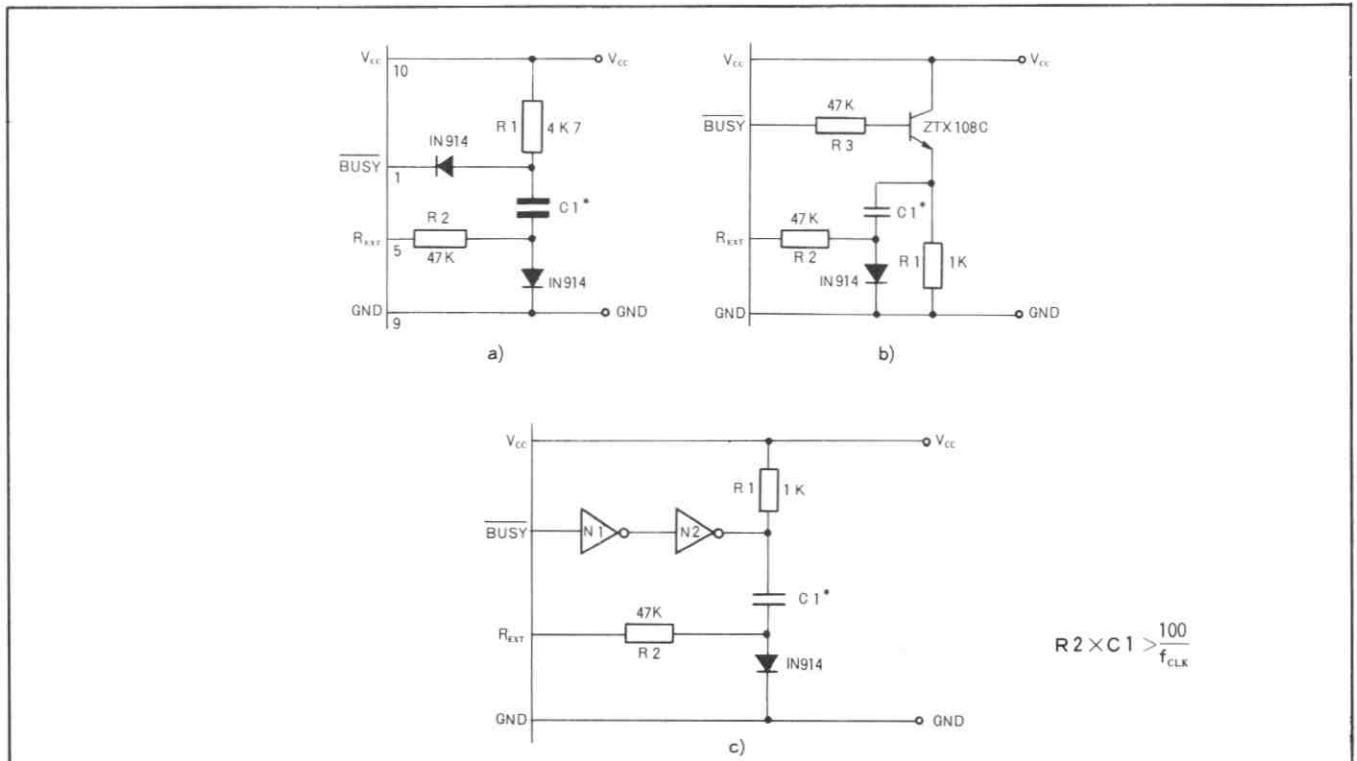
1つのシステムでいくつかのZN447を使用する場合、図13の自己発振ダイオード・ポンプ回路を使用すると良い。また、システム中に負電源がある場合はそれを使用する。いくつかの負電源に対する適当な外付抵抗値を表1に示す。

V- (Volts)	R <sub>EXT</sub> (K $\Omega$ )
3	47
5	82
10	150
12	180
15	220
20	330
25	390
30	470

表1 負電源に対する外付抵抗値



第13図 自己発振ダイオード・ポンプ回路



第12図 ダイオード・ポンプ回路

## アナログ入力範囲

ZN447の基本的な接続を図14に示す。アナログ入力範囲は0から $V_{REF IN}$ であるが、これ以上の入力電圧範囲が必要な場合はコンパレータ入力に抵抗を付加する。また、もっと狭い入力電圧範囲で使用する場合は、適当なレベルまで入力信号を増幅する。

バイポーラ入力で使用する場合、アナログ入力にオフセットを持たせ、コンパレータの入力電圧が常に正になるようにする。

## ユニポーラ動作

ユニポーラ動作時の概略接続を図15に示す。

$R_1$ と $R_2$ はアナログ入力( $A_{IN}$ )がフルスケールの時 $V_{IN} = V_{REF IN}$ となるように選択するので、フルスケールの値は次式で表わされる：

$$A_{IN FS} = \left(1 + \frac{R_1}{R_2}\right) \cdot V_{REF IN} = G \cdot V_{REF IN}$$

ラダー抵抗とマッチさせるために、 $R_1 // R_2$  ( $R_{IN} = 4 K\Omega$ )とする。

したがって、 $R_1$ と $R_2$ の値は次式で求めることができる。

$$R_1 = 4 G \quad K\Omega$$

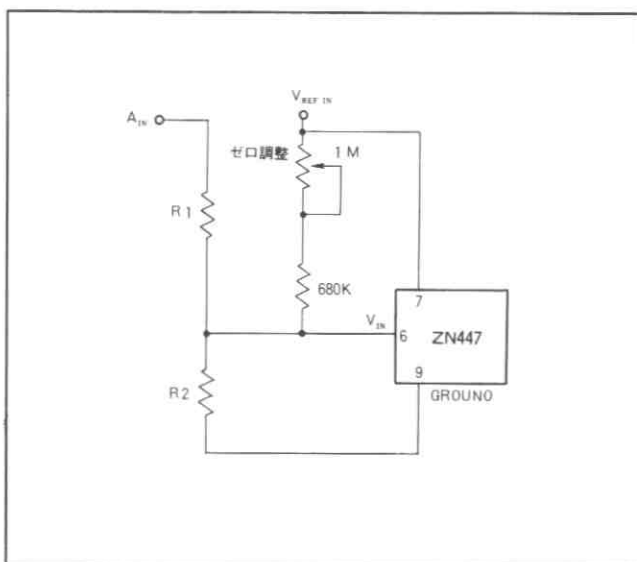
$$R_2 = \frac{4 G}{G - 1} \quad K\Omega$$

この関係を使い、 $V_{REF IN} = 2.5V$ の時の $R_1$ と $R_2$ の値を求めると次のようになる。

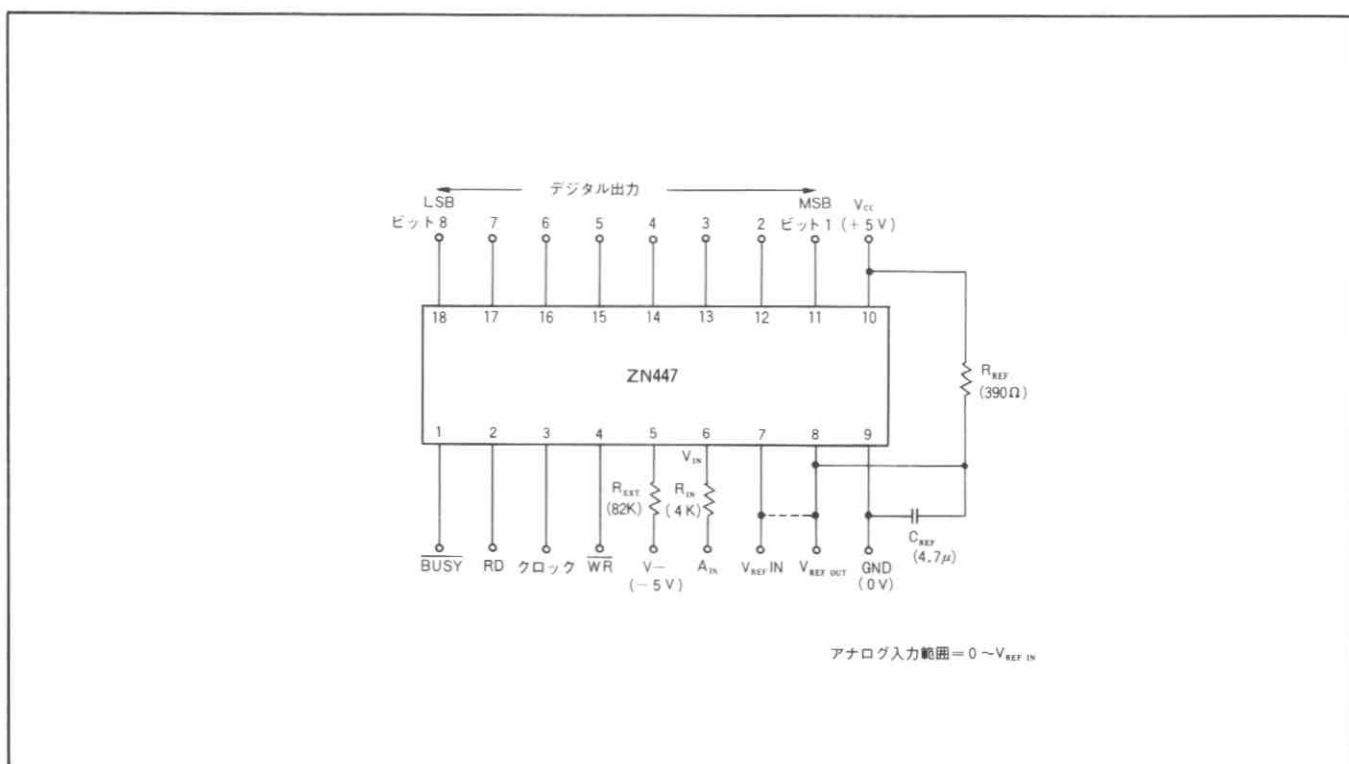
入力電圧範囲	G	$R_1$	$R_2$
+ 5 V	2	8 k	8 k
+10 V	4	16 k	5.33 k

## ゲイン調整

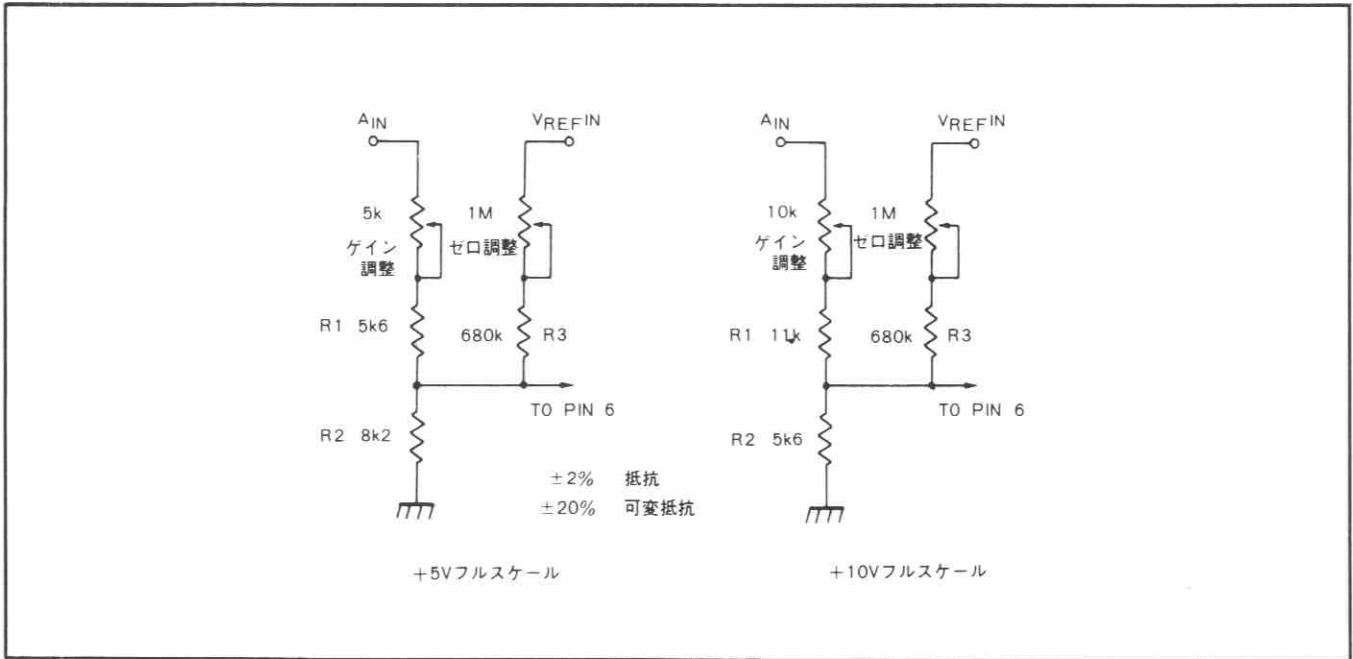
$R_1$ と $R_2$ のバラツキおよび $V_{REF}$ とDAコンバータの利得誤差(フルスケール誤差)のバラツキによって生じるコンパレータのフルスケール誤差は $R_1$ で調整する。内蔵基準電圧と誤差2%の抵抗を使用する場合、 $R_1$ は少なくとも±5%調整できるようにする。



第15図 ユニポーラ動作



第14図 ZN447の外付部品



第16図 ユニポーラ動作調整回路

### ゼロ調整

DAコンバータやコンパレータの持つオフセットのため、基準電圧2.56Vの場合0から1への変化は $+1\frac{1}{2}$  LSBに相当する約15mVがコンパレータに加わった時に起こる。したがって、この変化が正しく $+1\frac{1}{2}$  LSB(5mV)で起こるように調整しなければならない。この調整はR2とR3でコンパレータのオフセットを調整することによって行う。図のR2とR3の値を使用すれば、 $V_{REF IN}$ の1.5倍以上の入力電圧範囲で使用できる。

入力電圧範囲+5Vと+10Vの場合のゼロおよびゲイン調整回路を図16に示す。

### ユニポーラ動作 調整手順

- (i) 変換時間以上の間隔でSCパルスを連続的に印加し、デジタル出力を観測する。
- (ii)  $A_{IN}$ に(フルスケール $-1\frac{1}{2}$  LSB)の電圧を加え、ビット8が0と1のフリッカー状態、他の全てのビットが1になるように調整する。
- (iii)  $A_{IN}$ に $\frac{1}{2}$  LSBの電圧を加え、ビット8が0と1のフリッカー状態、他の全てのビットが0になるように調整する。

### ユニポーラ動作 セッティング・ポイント

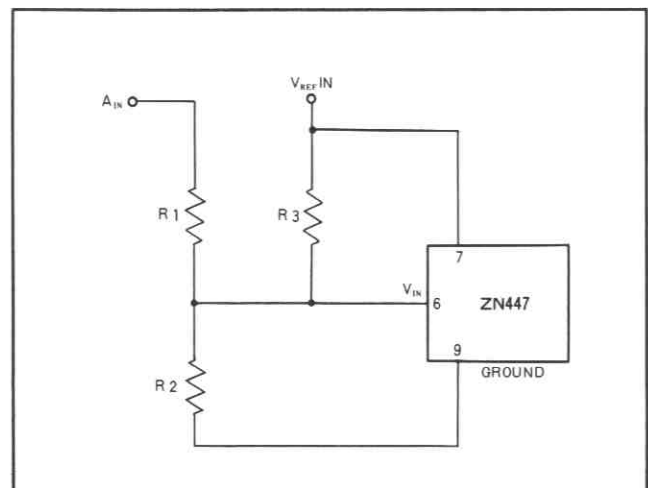
入力電圧範囲(+FS)	$\frac{1}{2}$ LSB	FS $-1\frac{1}{2}$ LSB
+5V	9.8mV	4.9707volts
+10V	19.5mV	9.9414volts

### ユニポーラ動作 ロジック・コード

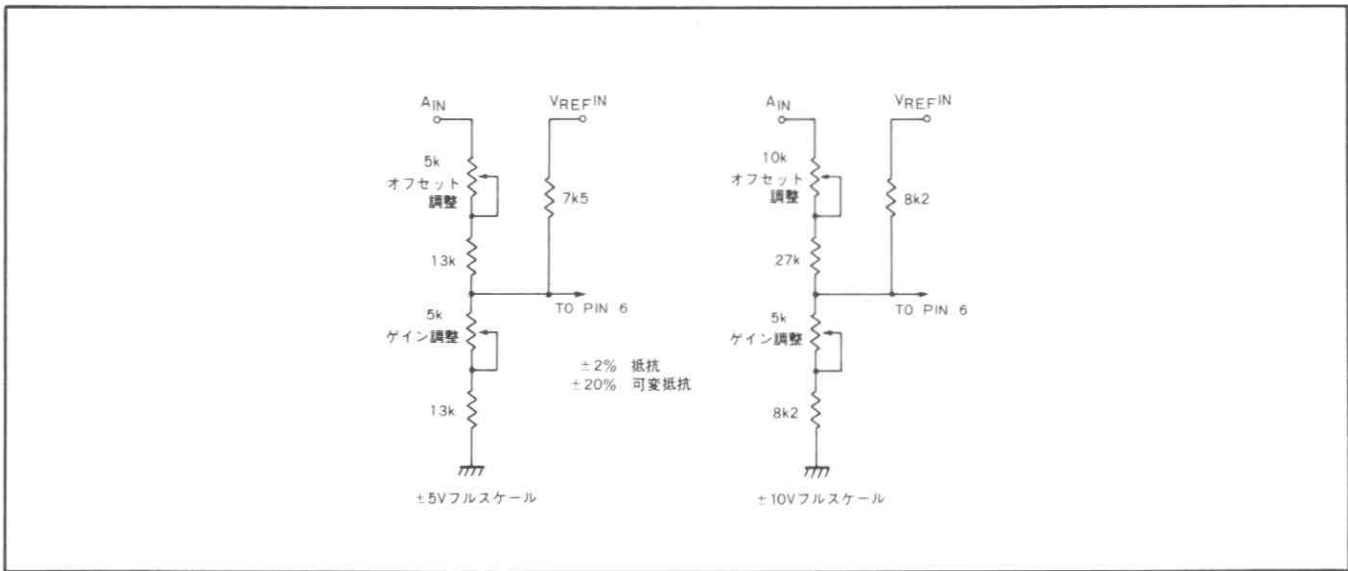
アナログ入力 ( $A_{IN}$ )	出力コード (バイナリ)
FS $-1$ LSB	11111111
FS $-2$ LSB	11111110
$3/4$ FS	11000000
$1/2$ FS $+1$ LSB	10000001
$1/2$ FS	10000000
$1/2$ FS $-1$ LSB	01111111
$1/4$ FS	01000000
1 LSB	00000001
0	00000000

### バイポーラ動作

バイポーラ動作では、 $V_{REF IN}$ と $V_{IN}$ の間に抵抗R3を接続して、ZN447の入力にフルスケール入力電圧の半分の値のオフセットを与える。



第17図 バイポーラ動作



第18図バイポーラ動作調整回路

$A_{IN} = -FS$ の時、 $V_{IN} = 0$

$A_{IN} = +FS$ の時、 $V_{IN} = V_{REF IN}$

したがって、フルスケール $= \pm G \cdot V_{REF IN}$ の時、

$R_1 = (G - 1) \cdot R_2$ 、 $R_1 = G \cdot R_3$ となる。

ラダー抵抗とマッチさせるため、

$R_1/R_2/R_3 (=R_{IN}) = 4 K\Omega$

ゆえに、 $R_1$ 、 $R_2$ 、 $R_3$ は次式で表わされる。

$R_1 = 8 G K\Omega$ 、 $R_2 = 8 G / (G - 1) K\Omega$ 、 $R_3 = 8 K\Omega$

たとえば、入力電圧範囲 $\pm V_{REF IN}$ で使用した場合、(これはユニポーラ動作の0 $\sim$ + $V_{REF IN}$ に相当する)

$R_1 = R_3 = 8 K\Omega$ 、 $R_2 = \infty$ となる。

$V_{REF IN} = 2.5V$ 、入力電圧範囲 $\pm 5 V$ および $\pm 10 V$ の場合の抵抗値を下表に示す。

入力電圧範囲	G	$R_1$	$R_2$	$R_3$
$\pm 5 V$	2	16 k	16 k	8 k
$\pm 10 V$	4	32 k	10.66 k	8 k

マイナス・フルスケール(オフセット)は、 $R_3$ に対する $R_1$ の値を調整することによって設定する。また、プラス・フルスケール(ゲイン)は、 $R_1$ に対する $R_2$ の調整にて設定する。

図18に回路例を示す。

$\pm 5 V$ 入力の場合、 $R_3$ を7.5K $\Omega$ ( $\pm 10 V$ 入力では8.2K $\Omega$ )にすれば標準の可変抵抗で調整できる。

### バイポーラ動作 調整手順

- (i) 変換時間以上の間隔で変換開始パルスを連続的に印加し、デジタル出力を観測する。
- (ii)  $A_{IN}$ に $-(FS - \frac{1}{2} LSB)$ の電圧を加え、ビット8 (LSB) が0と1のフリッカー状態、他の全てのビットが0になるように調整する。
- (iii)  $A_{IN}$ に $+(FS - \frac{1}{2} LSB)$ の電圧を加え、ビット8が0と1のフリッカー状態、他の全てのビットが1になるように調整する。
- (iv) ステップ(ii)から繰り返す。

### バイポーラ動作 セットアップ・ポイント

入力電圧範囲( $\pm FS$ )	$-(FS - 1/2 LSB)$	$+(FS - 1/2 LSB)$
$\pm 5 V$	-4.9805 V	+4.9414 V
$\pm 10 V$	-9.9609 V	+9.8828 V

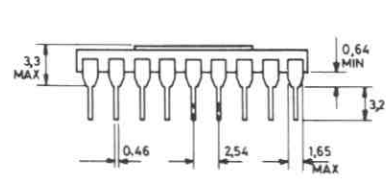
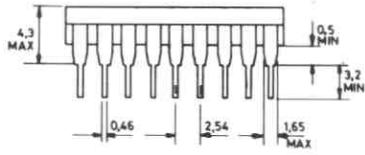
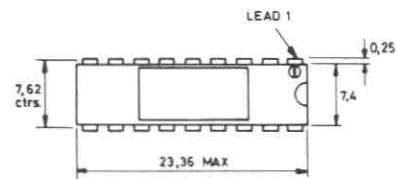
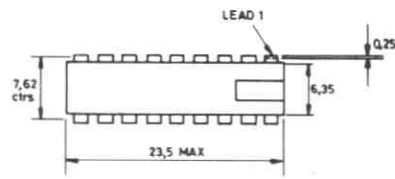
$$1 LSB = \frac{2FS}{256}$$

### バイポーラ動作 ロジック・コード

アナログ入力 ( $A_{IN}$ )	出力コード (オフセット・バイナリ)
$+(FS - 1 LSB)$	11111111
$+(FS - 2 LSB)$	11111110
+1/2 FS	11000000
+1 LSB	10000001
0	10000000
-1 LSB	01111111
-1/2 FS	01000000
$-(FS - 1 LSB)$	00000001
-FS	00000000

型名	直線性(LSB)	動作温度範囲	パッケージ
ZN447E	1/4	0 $^{\circ}C$ to +70 $^{\circ}C$	Moulded
ZN447J	1/4	-55 $^{\circ}C$ to +125 $^{\circ}C$	Ceramic
ZN448E	1/2	0 $^{\circ}C$ to +70 $^{\circ}C$	Moulded
ZN448J	1/2	-55 $^{\circ}C$ to +125 $^{\circ}C$	Ceramic
ZN449E	1	0 $^{\circ}C$ to +70 $^{\circ}C$	Moulded
ZN449J	1	-55 $^{\circ}C$ to +125 $^{\circ}C$	Ceramic

パッケージ寸法 単位 mm



S455/2MD

S499/1

18 LEAD MOULDED DIL

18 LEAD CERAMIC DIL

### ZN450

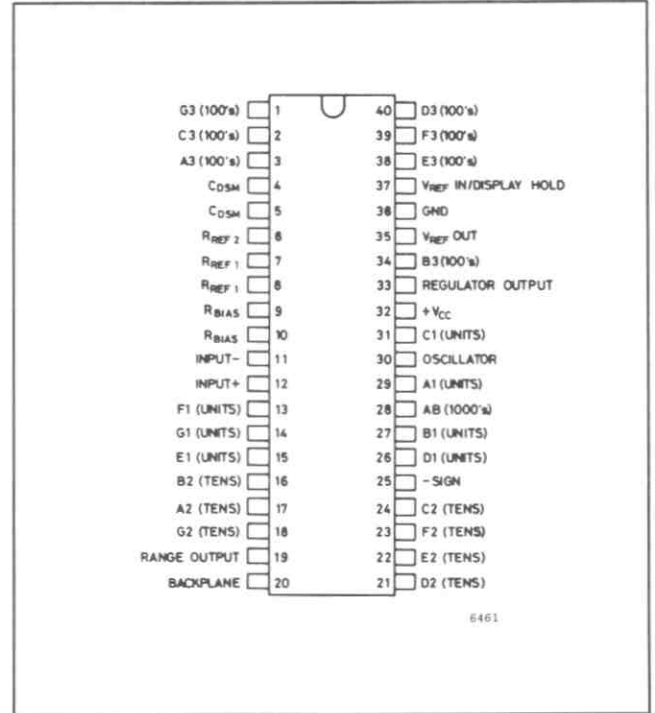
### シングル・チップ 3½桁 DVM IC

ZN450は、モノリシック・デジタルボルトメータで、動作に必要な外付部品は10個の受動素子だけである。本ICは従来この種のICに多く使用されている二重積分方式に代えて電荷平衡方式を採用することにより、直線性を改善している。また、オートゼロ機能はデジタル化されており、誤差電圧蓄積用のコンデンサを必要としない。

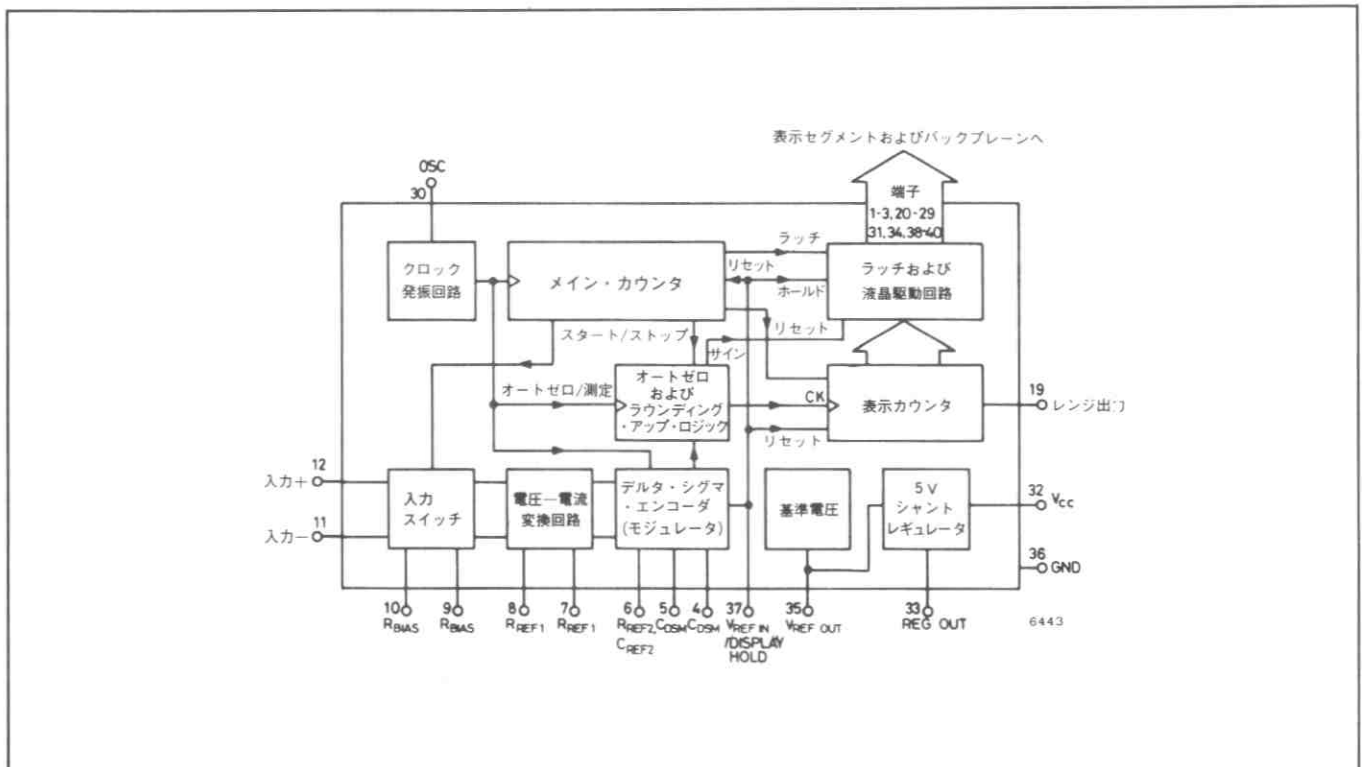
ZN450は汎用性にも富み、デジタル・ボルトメータやマルチメータのベースとしてだけでなく、デジタル温度計のような測定器にも応用できる。

### 特徴

- フルスケール 199.9mV
- デジタル・オート・ゼロ機能
- 差動入力
- 液晶(LCD)直接駆動可能
- クロック、精密基準電圧内蔵
- アンダ・レンジ/オーバ・レンジ表示
- 低消費電力 35mW以下
- 5V単一電源
- 必要とする能動部品は全て内蔵



端子接続 (上面より)



第1図 システム図



## 電気的特性

特 性	Min.	Typ.	Max.	単 位	条 件
フルスケール ゼロ表示 ロールオーバー誤差	-1999 -000.0	— ±000.0	+1999 +000.0		$V_{IN} = 0, V_{FS} = 200mV$ $-V_{IN} = +V_{IN} = \pm 200mV$ 変換時間 $\geq 0.5$ 秒
直線性	-1	0	+1	カウント	$V_{FS} = 200mV$ , 変換時間 $\geq 0.5$ 秒
コモンモード レンジ	1.8	—	3.8	V	
コモンモード リジエクシオン	—	120	—	$\mu V/V$	
電源リジエクシオン	—	100	—	$\mu V/V$	
入力オフセット電流	—	100	1000	pA	入力バイアス抵抗のマッチングは0.1%
入力抵抗	7	10	13	M $\Omega$	10M $\Omega$ の入力抵抗を接続
ゼロ温度係数	—	—	1	$\mu V/^{\circ}C$	
フルスケール温度係数	外付抵抗により変化				Ref T.C. = 0 ppm/ $^{\circ}C$
発振器周波数範囲	—	—	300	KHz	
変換時間(48,000クロック期間)	0.25			秒	
<b>基準電圧</b>					
出力電圧	1.26	1.3	1.35	V	
温度係数	—	50	80	ppm/ $^{\circ}C$	
Knee Current	—	—	150	$\mu A$	
最大シンク電流	1	2	—	mA	
<b>電源電圧</b>					
(a)直接接続	4.5	5	5.5	V	
(b)内蔵シャント・レギュレータ使用	6.0	—	—	V	
(c)NPNトランジスタ外付	6.5	—	—	V	
(d)トランジスタ2個のレギュレータ使用	5.5	—	—	V	
<b>電源電流</b>	—	4	6.5	mA	
<b>シャント・レギュレータ</b>					
出力電圧	4.5	5	5.5	V	
シンク電流	—	—	15	mA	
<b>ディスプレイ出力</b>					
ピーク電圧	—	$\pm V_{CC}$	—		
直流成分	—	—	$\pm 25$	mV	
バックプレーン周波数	—	$\frac{1}{2000}$	—	発振周波数	

## 動作概要

ZN450は従来この種のICに多く使用されている二重積分方式に比べていくつかの長所を持つ電荷平衡方式を採用している。

たとえば、変換時間はアナログ入力に関係なく一定であり、オートゼロは完全にデジタル化されている。また本方式の入力は本質的にバイポーラ動作である。二重積分方式では浮遊容量に起因するゼロ付近での問題があることがあるが、本方式では全入力レンジにわたって直線性が改善されている。さらに、二重積分方式の変換時間は信号積分、基準電圧積分、オートゼロの3つの期間に区分されるが、本方式では測定とオートゼロの2期間である。

ZN450の中心部はデルタ・シグマ・エンコーダであり、図2に等価回路を示す。

ZN450のデルタ・シグマ・エンコーダは、T1とT2からなる電圧-電流変換器、基準電流発生回路A1/T5そして

高速コンパレータ、Dフリップ・フロップ、電流スイッチT3・T4から成るフィードバック・ループから成り立っている。これらはフリップ・フロップの状態に従って、T1・T2のどちらかのコレクタ回路に  $I_{REF} = \frac{V_{REF}}{R_{REF2}}$  の電流を切替える。フリップ・フロップは、コンデンサ  $C_{DSM}$  の極性をモニタするためにクロック・パルスが入るたびにコンパレータの出力をサンプルする。そして、フリップ・フロップの出力は  $I_{REF}$  をT1、T2のどちらかのコレクタ回路に切替えて、現在の  $C_{DSM}$  の極性を反対にする。つまり、 $C_{DSM}$  に蓄積される平均電荷をゼロに維持し、回路の平衡を保つ。

T1とT2のベース間電圧がゼロであればコレクタ電流は等しくなり、この回路は完全に対称であると仮定できる。その結果、 $C_{DSM}$  に蓄積される電荷は  $I_{REF}$  による増加分だけになる。したがって、フリップ・フロップはクロック・パルスごとに出力を反転させ、 $C_{DSM}$  は  $+I_{REF} T_C$  と  $-I_{REF} T_C$  ( $T_C$ はクロック期間とする) に交互に充電されるので、正味の蓄積電荷はゼロになる。このように、フリップ・フロップ

ブの出力はデューティ・サイクル50%の方形波になる。

測定期間では、測定される電圧はT1とT2のベース間に供給され、 $R_{REF1}$ に流れる電流 $I_{IN} = \frac{V_{IN}}{R_{REF1}}$ に変換される。このためT1とT2のコレクタ電流は $2I_{IN}$ の差を生じ、 $C_{DSM}$ に蓄積される電荷はもはや極性が反対で絶対値が等しくはなく( $\pm I_{REF} T_C$ )、 $T_4$ がオンの時は $(I_{REF} - 2I_{IN}) T_C$ に $T_3$ がオンの時は $(-I_{REF} - 2I_{IN}) T_C$ になる。そして、電荷の平衡を保つためにフリップ・フロップはクロック・パルスごとに出力を反転せず、ある期間一定に保たれる。

したがって、

$$N_1 = \text{フリップ・フロップの出力がハイの時のクロック・パルス数}$$

$$N = \text{測定期間のクロック・パルスの総数}$$

また、Nは量子化誤差が無視できるほど大きいと仮定すると、

$$N_1 T_C (I_{REF} - 2I_{IN}) + (N - N_1) T_C (-I_{REF} - 2I_{IN}) = 0$$

となる。ゆえに、

$$N_1 (I_{REF} - 2I_{IN}) = (N - N_1) (-I_{REF} - 2I_{IN})$$

ここで、DSM(デルタ・シグマ・モジュレータ)は $I_{IN}$ が $\pm \frac{I_{REF}}{2}$ の時飽和する(デューティ・サイクル0%又は100%)ことに注意する。

シリーズ・モード・リジエクシオンに対する過負荷マージンを取るために、ZN450のDSMはマイナス・フルスケールで10%、プラス・フルスケールで90%( $I_{IN} = \pm \frac{2}{5} I_{REF}$ )のデューティ・サイクルとなるように動作し、その結果過負荷マージンはフルスケール入力電圧の25%になる。

ここで、 $\frac{2N_1 - N}{N} = \frac{2I_{IN}}{I_{REF}}$ であるので、

$$N_1 - \frac{N}{2} = \frac{NI_{IN}}{I_{REF}} = \frac{NV_{IN} R_{REF2}}{R_{REF1} V_{REF}}$$

つまり、 $-\frac{N}{2}$ にプリセットしてあり、 $N_1$ までカウントできるアップ・カウンタが、 $V_{IN}$ に比例した数だけカウントする(ただし、 $N$ 、 $R_{REF1}$ 、 $R_{REF2}$ 、 $V_{REF}$ は一定であるとする)。そして、これらのパラメータを適当に選ぶことによって、 $N_1 - \frac{N}{2}$ が $V_{IN}$ (V又はmV)と等しくすることができる。さらに、システムのゼロ誤差分だけ $\frac{N}{2}$ を大きく又は小さくプリセットすることによってデジタル・オート・ゼロ機能とすることができる。

ZN450は、デューティ・サイクルが90%で $I_{IN} = \frac{2}{5} I_{REF}$ の時に正のオーバ・レンジを表示するが、この時のカウント数は+2000である。したがって、

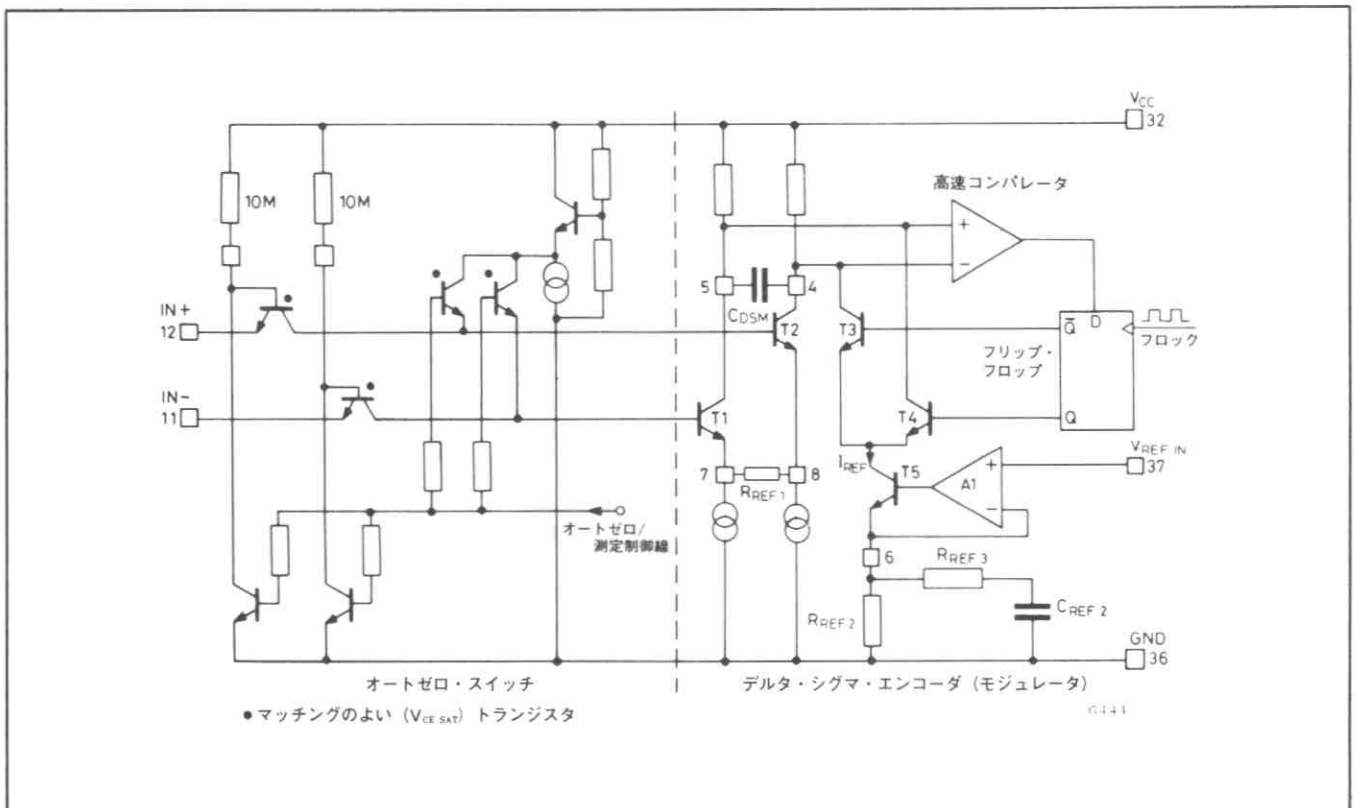
$$N_1 - \frac{N}{2} = 2000, \quad \frac{I_{IN}}{I_{REF}} = \frac{2}{5} \text{より } 2000 = \frac{2}{5} N$$

$$\therefore N = 5000$$

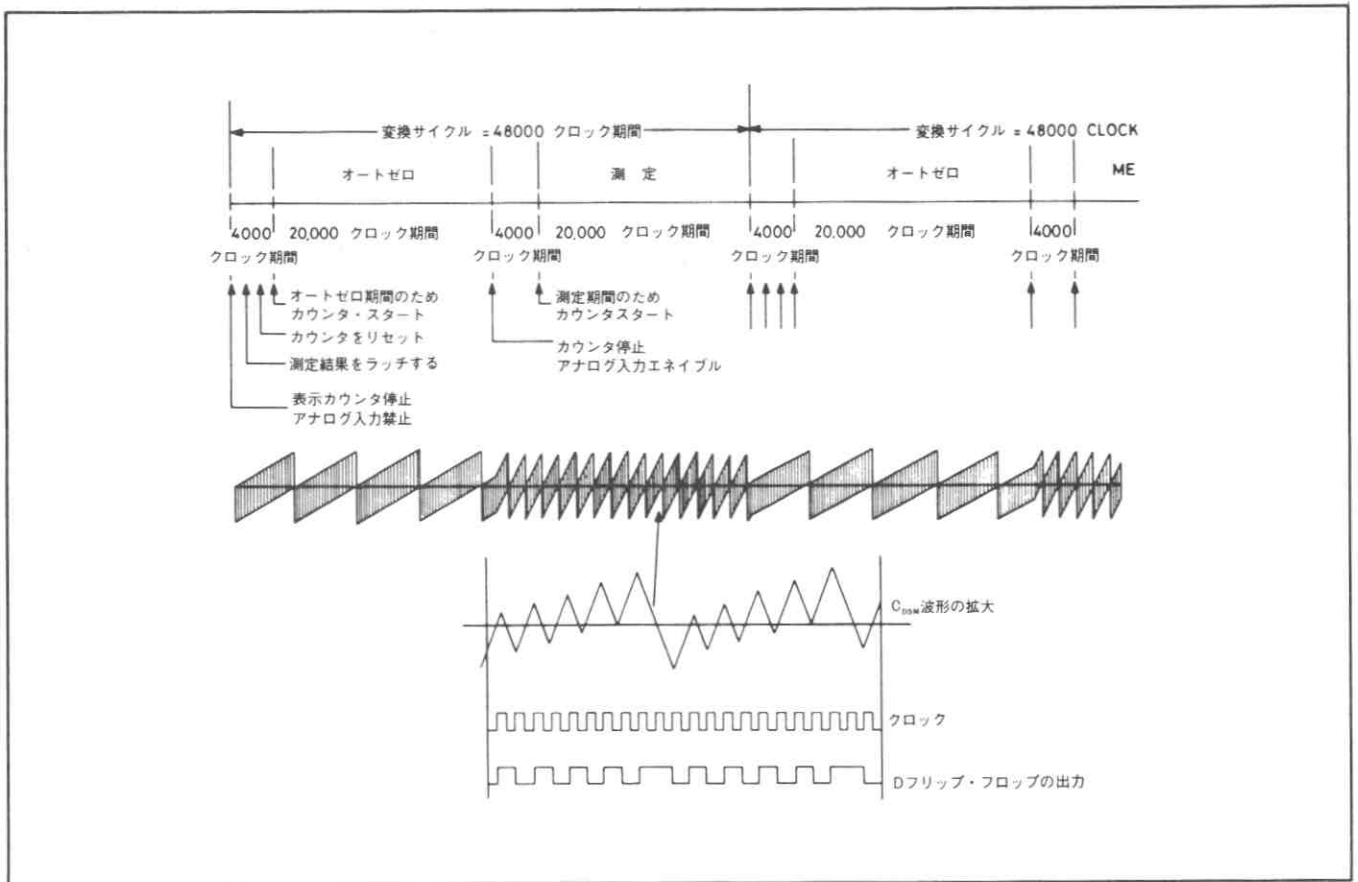
となる。

実際には、クロック・パルスはオートゼロ・ロジックの一部であらかじめ4分周されるので、表示カウンタに5000パルス出力するには測定期間を20,000クロック期間にしなければならない。

ZN450の表示カウンタは-5000から+5000までカウントできるが、次章で述べるような理由により、オートゼロ期間にプリセットされる。



第2図 入力スイッチとデルタ・シグマ・エンコーダ



第3図 タイミング図

## オート・ゼロ

デルタ・シグマ・エンコーダのオフセットや素子の mismatching によって、ゼロ入力電圧に対する表示は必ずしもゼロにはならない。この誤差を取り除き 0 V 入力に対してゼロを表示するように、ZN450 はオート・ゼロ機能を有している。この動作は全てデジタル化されており、いくつかの二重積分方式の場合のように誤差をアナログ電圧としてコンデンサに蓄積する必要がない。

ZN450 のタイミング図を図 3 に示す。1 変換サイクルは 48,000 クロック期間で、その 2 つの主要な期間は各々 20,000 クロック期間を有する測定とオート・ゼロ期間である。各期間は入力スイッチ設定のための 4000 クロック期間のすきまによって分離されている。これはまた電荷平衡型の長所でもある。なぜならば、デルタ・シグマ・エンコーダは飽和しないので動作は連続的であり、その平均デューティ・サイクルは常に入力電圧に比例する。したがって、測定開始前にシステム・カウンタを動作させ、入力スイッチを設定することができる。

一方、二重積分型 DVM では、積分コンデンサは入力電圧が接続されると同時に電荷を蓄積し始めるので、システム・カウンタは入力電圧が接続される瞬間に正確にスタートしなければならない。したがって、入力スイッチは高速でノイズに強くなければならない。さらに、二重積分型では測定期間の終了をコンパレータがゼロ・クロスをも 1 回検知

することによって決定するので、コンパレータや他の部分のノイズが誤差の原因となるが、電荷平衡型では何度もゼロ・クロスが起こるのでノイズは打ち消される。

オート・ゼロ・システムの動作は、測定期間に 0 V が入力される場合のオート・ゼロ期間の動作を考えるとわかり易い。オート・ゼロ期間の間、DSM の入力はアナログ入力から切り離され DVM のコモンモード・レンジ内の電圧に接続される。カウンタは -5000 にリセットされ、システムは、DSM 出力を反転して 20,000 クロック期間動作する。したがって、カウントされるパルス数は  $N_1$  ではなくて  $(N - N_1)$  となる。そして、続くゼロ入力に対する測定期間で  $N_1$  がカウントされ、全カウント数は  $(N - N_1) + N_1 = N$  (5000) となる。このように、表示カウンタは -5000 からゼロまでカウントし、ゼロを表示する。

どのデジタル計測にもつきものの量子化誤差によって、ゼロ入力に対する測定結果はオート・ゼロの結果と 1 カウント異なり、 $\pm 1$  デジットのゼロ誤差を生じることがある。この問題を解決するために、ZN450 は表示カウンタの前に分周器 ( $\div 4$ ) とラウンディング・アップ・ロジックという 2 つのガード・ビットを持っている。つまり、表示の分解能が  $\pm 2000$  分の 1 であっても、実際の測定の分解能はこの 4 倍である。したがって、2 つのガード・ビット中のゼロ誤差は表示には表われず、しかもゼロの状態は正しい極性の +0000 又は -0000 に細分される。また、このために表示器の最終デジットのフリッカーは少なくなる。

## 入力抵抗

ZN450の入力抵抗は、2つの10MΩバイアス抵抗、 $R_{REF1}$ の値そしてトランジスタT1・T2の $h_{fe}$ と $r_e$ によって決まる。図4の入力等価回路より、入力抵抗は $h_{fe}(R_{REF1} + 2r_e)$ と2つの10MΩ入力抵抗から成る20MΩが並列になっている。

T1とT2の $h_{fe}$ は約100で $r_e$ は約2.5KΩである。したがって、

$$R_{IN} = \frac{100(R_{REF1} + 5K) \times 20M}{100(R_{REF1} + 5K) + 20M}$$

フルスケール200mVの場合、 $R_{REF1} = 200K\Omega$ とすると入力抵抗は約10MΩとなる。

## レファレンス・ループと電源レギュレータ

基準電流ループを図5に示す。

A1の非反転入力に印加される基準電圧は、A1の反転入力力が非反転入力と同じ電位になり、 $\frac{V_{REF IN}}{R_{REF2}}$ の電流が $R_{REF2}$ に流れるようにT5にバイアスをかける。T5のベース電流と同じ大きさのバイアス電流をA1に流すために、このベース電流がA1の反転入力に流れるようにする。したがって、T5のコレクタに流れる基準電流は $R_{REF2}$ に流れる電流とほぼ等しくなる。この基準電流ループ(Reference Loop)は $C_{REF2}$ と $R_{REF3}$ によって安定化される。

約1.28Vの高安定バンドギャップ基準電源を内蔵しており、 $V_{REF OUT}$ と $V_{REF IN}$ を接続することによって使用できる。この時基準電圧はA1の非反転入力に接続されている150μAの電流源によってバイアスされる。また、内蔵基準電圧は $C_{REF1}$ によって安定化される。そして、内蔵基準電源は、電源レギュレータA2の基準電圧も供給する。A2は $V_{REF}$ と $\frac{V_{CC}}{4}$ を比較し、両者が等しくなるようにトランジスタT6によって $V_{CC}$ を制御する(したがって、 $V_{CC}$ は約5Vとなる)。

電源レギュレータはわずかな数の部品を外付するだけでシャント又はシリーズ・レギュレータとして使用できる。また、内蔵基準電圧は使用しないが( $V_{REF OUT}$ と $V_{REF IN}$ を接続しない)電源の安定化が必要な場合、内蔵基準電圧を22KΩの抵抗で $V_{CC}$ に接続しバイアスしなければならない。

## フルスケール・レンジの設定

前に述べたように、電荷平衡型コンバータでは次式が成立する。

$$\frac{N V_{IN} \cdot R_{REF2}}{V_{REF} \cdot R_{REF1}} = N_1 - \frac{N}{2}$$

したがって、

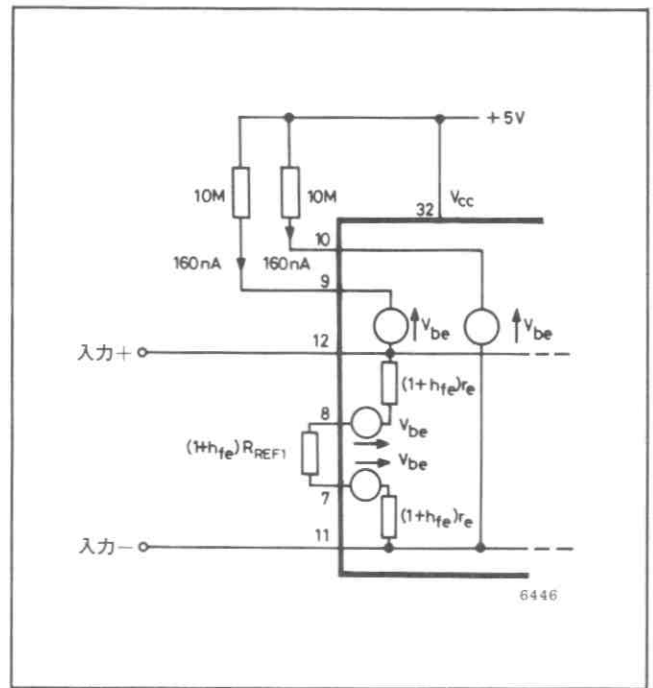
$$\text{表示} = \frac{N V_{IN} \cdot R_{REF2}}{V_{REF} \cdot R_{REF1}}$$

そして、 $N = 5000$ であるから、

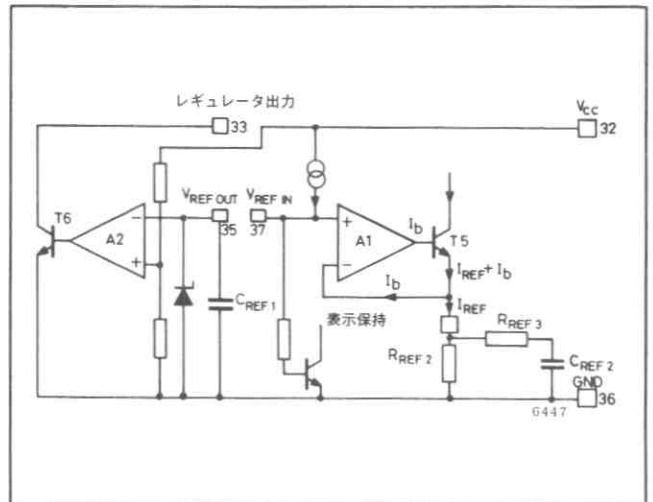
$$\text{表示} = 5000 \cdot \frac{V_{IN} \cdot R_{REF2}}{V_{REF} \cdot R_{REF1}}$$

表示を最大値の±1999とすると、

$$\begin{aligned} V_{IN}(\text{フルスケール}) &= \frac{\pm 1999 \cdot V_{REF} \cdot R_{REF1}}{5000 \cdot R_{REF2}} \\ &\approx \frac{\pm 0.4 V_{REF} \cdot R_{REF1}}{R_{REF2}} \end{aligned}$$



第4図 入力の等価回路



第5図 基準電流ループと電源レギュレータ

実際には、レファレンス・アンプは約±5mVのオフセット電圧を持っているので、 $I_{REF}$ は正確に $\frac{V_{REF}}{R_{REF2}}$ とはならない。したがって上式は正確ではない。また、電圧-電流変換器のT1・T2の $r_e$ (5KΩ<sub>TYP.</sub>)が $R_{REF2}$ と直列に存在する。しかし、この内蔵基準電圧のパラツキは校正時に補正されるので問題にはならない。

1.26~1.35Vの内蔵基準電圧を使用する場合、フルスケール199.9mVに対する部品の推奨値は次のようになる。

$$R_{REF1} = 200K\Omega$$

$$R_{REF2} = 500K\Omega(\text{Min.}), 520K\Omega(\text{Max.})$$

$R_{REF2}$ を470KΩの抵抗とこれに直列の100KΩの可変抵抗で作れば、 $R_{REF1}$ と $R_{REF2}$ に誤差2%の抵抗を使っても十分に校正できる。また、フルスケール・レンジを200mV以下にする場合、 $R_{REF1}$ の値を小さくすることによって小さな入力電圧に対してもフルスケール200mVの時と同じ大きさのフルスケール入力電流となるようにする。 $R_{REF1}$ の最小値は

電圧電流変換器の非直線性、オートゼロ・スイッチのオフセット、 $T_e$ の影響によって限定される。そして、これらの要素を考慮すると  $R_{REF1}$  の最小値は  $20\text{K}\Omega$  となる。

同様に  $R_{REF1}$  の値を変えることによって  $\pm 200\text{mV}$  以上のフルスケール・レンジでも使用できるが、入力電圧の最大値は差動入力のコモンモード・レンジによって規定される。また、両入力端子ともコモンモード・レンジを越えないならば、入力に印加できる最大差動入力約  $\pm 2\text{V}$  となる。

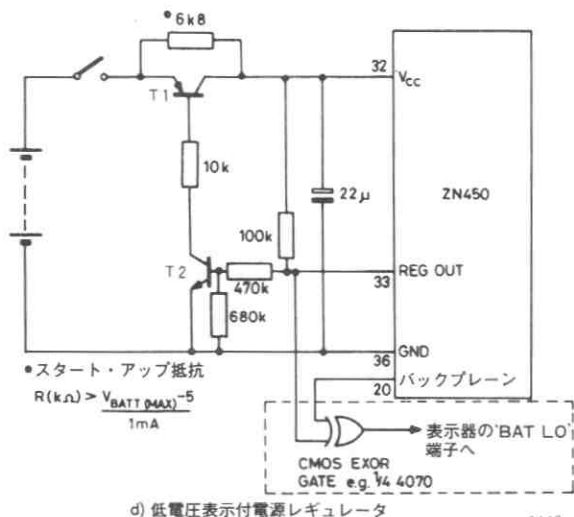
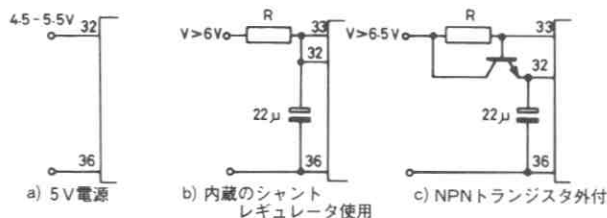
フルスケール・レンジは  $R_{REF2}$  を変えて基準電流を決めることによって調整できるので、校正は  $R_{REF2}$  と直列にプリセット抵抗を接続して行う。

内蔵基準電圧のかわりに外部の基準電圧を使用すれば  $I_{REF}$  を変えることができるので、レシオメトリック動作も可能である。

$I_{REF}$  の最大値は約  $3\mu\text{A}$  に規定されており、これ以上の値で使用すると電圧電流変換器が非直線になる。また、 $I_{REF}$  の最小値は、低コレクタ電流時の電流スイッチ  $T3$  と  $T4$  の特性の悪化によって決定されるのははっきり規定はしていないが約  $500\text{nA}$  である。したがって、この上限と下限はそれぞれ  $\frac{V_{REF}}{500\text{nA}}$  と  $\frac{V_{REF}}{3\mu\text{A}}$  となる。そして、 $V_{REF}$  の上下限は基準電流アンプ  $A1$  のコモン・モード・レンジによって決まり、 $1\sim 1.5\text{V}$  である。この限度内で  $V_{REF}$  を変化させるレシオメトリック動作では、 $I_{REF}$  が規定の限度を越えることはない。

## 電源電圧

ZN450は電源に関して非常に柔軟性があるように設計されており、4通りの方法で広い電圧範囲にわたって使用できるようにになっている。この4つの方法を図6に示す。



d) 低電圧表示付電源レギュレータ

第6図 電源回路

第1に内蔵のレギュレータを使用せず、外部で安定化した  $4.5\sim 5.5\text{V}$  の電圧を直接端子32に接続する方法がある。

次に  $6\text{V}$  以上の電源電圧に対しては、端子32と33を接続することによって内蔵のシャント・レギュレータ(端子33)を使用できる。このシャント・レギュレータを使用する場合、レギュレータの電流を制限するために図6bに示すように電源と直列に抵抗を接続しなければならない。この抵抗の値は次式によって与えられる：

$$R = \frac{V_{\text{SUPPLY}} - 5\text{V}}{5} \left( \text{K}\Omega, \frac{\text{V}}{\text{mA}} \right)$$

ICの消費電流は最大  $5\text{mA}$  となる。

この供給電圧が安定化されていない場合、 $R$  の値は供給電圧の最小値を使って計算する。この回路に流れる電流は、 $V_{CC}$  を  $5\text{V}$  に維持するために供給電圧とともに増加し、シャント・レギュレータに電流を流し込む。したがって、供給電圧の最大値はシャント・レギュレータの最大電流  $15\text{mA}$  によって決まり、DVM回路に流れる電流が非常に小さいと仮定すると、

$$V_{\text{max}} = 15(\text{mA}) \times R(\text{K}\Omega) + 5(\text{V}) \\ = (3 \cdot V_{\text{MIN}} - 10) \text{V}$$

シャント・レギュレータに流れる電流は供給電圧とともに増加するので、この回路は長い寿命が重要である電池による動作には推奨できない。新しい電池を使用した場合、シャント・レギュレータにはDVMの最大消費電流の3倍の電流が流れる。

電池による動作の場合、端子33で1又は2個の外付トランジスタを制御するシリーズ・レギュレータ回路を使用する。NPNトランジスタを1個使用し、 $6.5\text{V}$  以上で動作する最も簡単なシリーズ・レギュレータ回路を図6cに示す。この回路の消費電流は、DVMの消費電流にトランジスタのベース電流を加えたものである。

ベース抵抗は供給電圧が最小となった時に十分なベース電流を流せるように選択する。次のように仮定すると：

- (a) DVMの電流が最大  $6.5\text{mA}$
- (b) シャント・レギュレータの電圧が最大  $5.5\text{V}$
- (c) トランジスタのゲインが最小

$$\text{ベース電流 } I_b(\text{mA}) = \frac{V_{\text{min}} - V_{\text{REG}} - V_{\text{BE}T1}}{R_b}$$

$$\text{また、必要とされるベース電流} = \frac{6.5\text{mA}}{h_{fe(\text{min})}}$$

したがって、

$$R_b(\text{K}\Omega) = \frac{(V_{\text{min}} - V_{\text{REG}} - V_{\text{BE}T1}) \times h_{fe}}{6.5} \\ \approx \frac{(V_{\text{min}} - 6) \times h_{fe}}{6.5}$$

たとえば、ゲインの最小値が80のトランジスタを使用し、供給電圧の最小値が  $6.5\text{V}$  である場合、

$$R_b = \frac{(6.5 - 6) \times 80}{6.5} \\ = 6.1(\text{K}\Omega)$$

標準系列より最も近い  $5.6\text{K}\Omega$  の抵抗を使用する。

シャント・レギュレータの改良にもかかわらず、図6cの回路では電池の寿命を最大に活用できない。なぜならば、供給電圧の最小値はレギュレータ電圧より  $V_{\text{BE}T1}$  と  $R_b$  の電

圧降下分だけ大きくしなければならないからである。

電池の寿命の表示には、図6dの回路が使用できる。この回路は  $V_{REG} + V_{CE(SAT)T1}$  以上の供給電圧で動作し、電池がなくなったこと(レギュレータが正常に動作しなくなる点)を自動的に検知できる。

T1はPNPシリーズ・レギュレータ・トランジスタで、T2で反転された端子33の出力によって制御される。通常の状態では、T2のベース電流は数百ナノアンペアであるのでR1の電圧降下は小さく、端子33の電圧はT2のVbe(約0.6V)よりやや大きい値になる。

電池の電圧が  $V_{REG} + V_{CE(SAT)T1}$  以下になると、レギュレータ・アンプの非反転入力電圧は  $V_{REF}$  以下になりシャント・レギュレータ出力トランジスタをオフにする。そして、その結果端子33の電圧は電源の約80%の電圧に上昇する。

破線で示すように、端子33はCMOS EXORゲートから成る低電圧表示回路に接続する。端子33がローの時は、EXORゲートの出力はバックプレーンと同相でLOBATの表示は消えている。そして、端子33がハイになると出力はバックプレーンと位相がずれLOBATが表示される。

## 発振回路

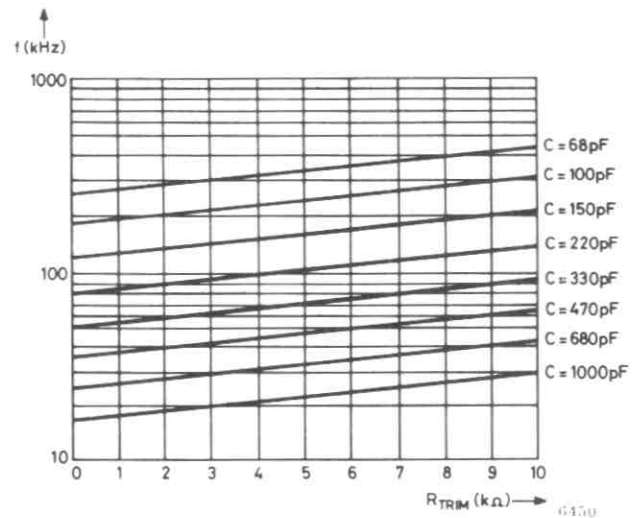
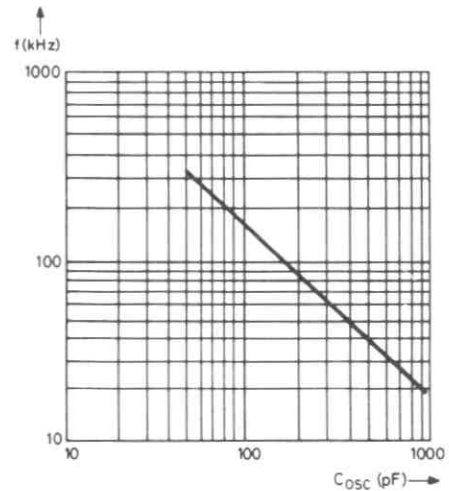
ZN450の内蔵発振回路は、図7に示すようにいくつかの方法で使用できる。この発振回路は固定又は可変容量コンデンサ1つだけでもするが、周波数微調用にコンデンサと直列に可変抵抗を接続してもよい。この時の発振周波数に対するコンデンサおよび抵抗値のグラフを図8に示す。また、正確な発振周波数が必要な場合は水晶およびセラミック共振子で周波数を決定する。

電源周波数の交流誘導電圧を除去するために、積分時間を電源周波数の整数倍にする。たとえば、100KHzの水晶を使用する場合、積分時間は200mSで電源周波数50Hzの10サイクル分、60Hzの12サイクル分となる。そして、全測定時間は480mSとなり、1秒間に約2回の割合で変換を行う。また、電源の誘導電圧が入力信号に入る場合、DSMの飽和を避けるためにその最大値がフルスケールの25%以上にならないようにしなければならない。もし、最大値が25%を越える場合、ローパス・フィルタを付加して電源リジェクションを良くする。

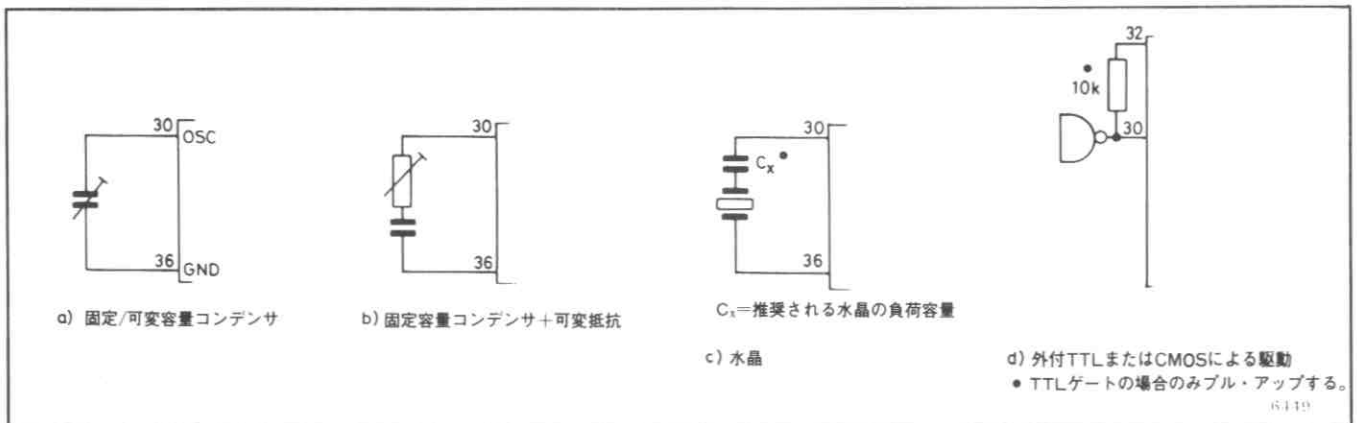
発振入力をTTLまたはCMOSゲートで駆動する回路を図7dに示す。

また、コンパレータを十分に駆動するために、 $C_{DSM}$ の値も発振周波数によって変えなければならない。適当な値を以下に示す。

発振周波数 (KHz)	$C_{DSM}$	
	Min.	Max.
50	200n	2 $\mu$
100	100n	1 $\mu$
150	68n	680n



第8図 外付コンデンサおよび抵抗に対する発振周波数



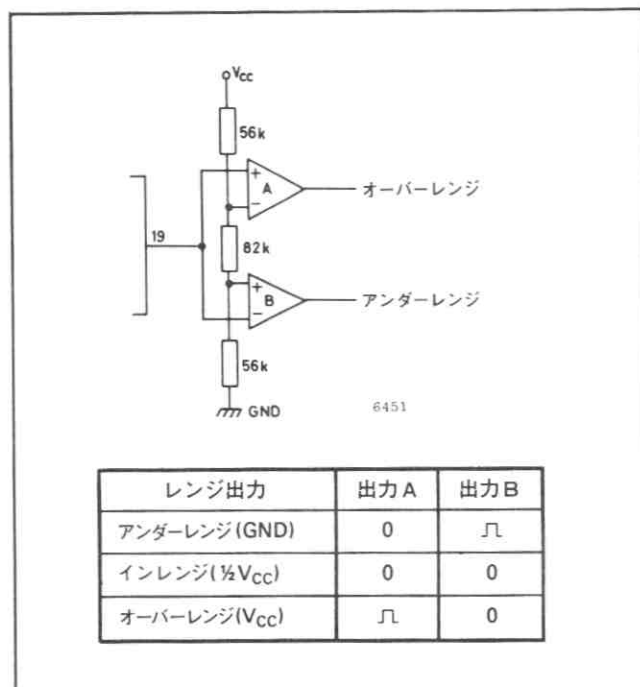
第7図 発振回路

## レンジ出力

オート・レンジ機能の設計を容易にするため、ZN450にはアンダーレンジ、オーバーレンジ検出回路が内蔵されている。オーバーレンジはカウントが1999を越えると出力され、アンダーレンジは150以下のカウントで出力される。また、アッテネータや他の信号回路などのミスマッチングによって生じるジッターを防ぐために各レンジ間にはヒステリシスがある。

このレンジ出力はスリーステートになっており、イン・レンジの場合端子19はソース抵抗約40KΩで $\frac{V_{CC}}{2} \pm 0.5[V]$ となる。オーバーレンジ計測時は、端子19から測定期間の最後のデータ・ストア・パルスと同期した1000クロック期間のハイ・パルスを出力する。アンダーレンジでは同様にロー・パルスを出力する。どちらの場合も出力抵抗は約80KΩである。

レンジ出力は図9に示すようにデュアル・コンパレータを使ってデコードする。また、オーバーレンジ入力時には表示器の最上位桁が“1”を表示し、他の全てのデジットはブランクとなる。



第9図 レンジ出力のデコード

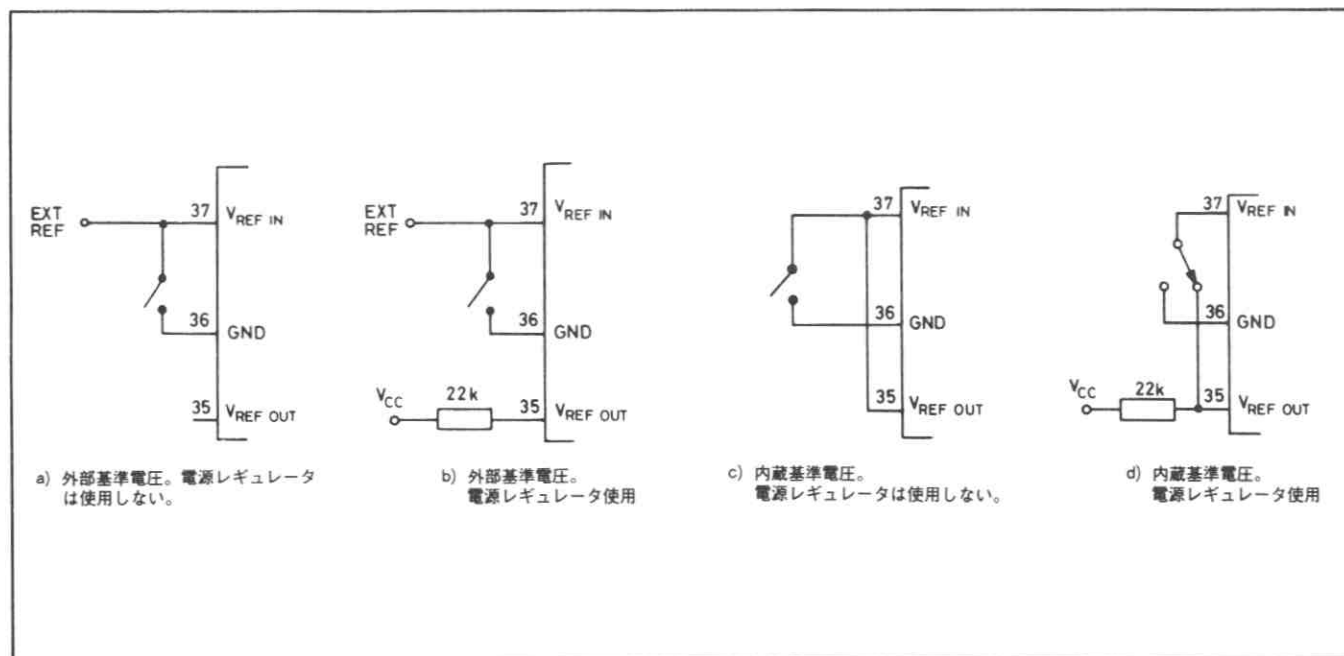
## 表示保持回路

基準電圧入力(端子37)は表示保持機能も兼用している。この端子がグラウンドに接続されると、グラウンドから離されるまで表示器は最後に計測した値を表示し続ける。また、表示保持回路はシステム・カウンタをリセットし、表示保持が解放されしだい測定を再開する。表示保持回路の使用方法は、内蔵基準電圧とシャント・レギュレータが使用されているかどうかによって違う。

外部基準電圧を使用している場合(端子35と37は未接続)、この基準電圧を他の回路で使用していないならば端子37を単極スイッチやトランジスタおよびオープン・コレクタ・ロジック等のゲートによってグラウンドすることによって表示を保持できる。内蔵レギュレータを使用している場合、

端子35は $V_{REF}$ がレギュレータに基準電圧を供給できるように22KΩの外付抵抗でバイアスしなければならない。また、内蔵基準電圧は使うがレギュレータは使用しない場合、同様に端子35と37の接続をグラウンドする。

しかし、内蔵基準電圧はレギュレータの基準電圧にもなっているため、レギュレータを使用している場合や電源電圧がゼロになる場合に端子35をグラウンドしてはならない。したがって、内蔵基準電圧とシャント・レギュレータの両方を使う場合、表示保持を行なう前に端子37を端子35から離さなければならない。このようすを図10に示す。端子37は通常内蔵基準電圧にバイアス電流を供給しているため、これらの端子が接続されない時は22KΩの抵抗からバイアス電流を供給する。



第10図 表示保持回路

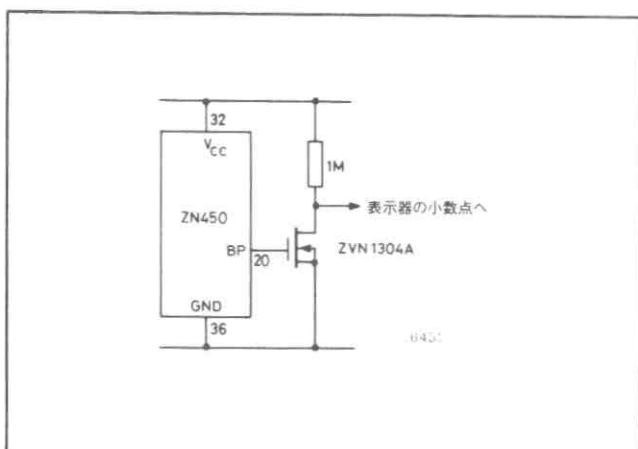


## バックプレーン出力

バックプレーン出力は、通常セグメント出力と同じ周波数で180°位相が違う方形波を出力する。この出力は液晶を駆動するのに必要である。また、バックプレーン出力をグラウンドすることによってセグメントのAC駆動はインヒビットされ、セグメント出力はアクティブ・ロー (TRUE = 0) 出力になる。この機能は、出力データを表示器駆動以外の目的に使う場合に有用である。液晶をDC駆動すると液晶を破壊する恐れがあるので、この状態のZN450を液晶に接続してはいけない。

## 小数点の駆動

ZN450は、3桁デジタリ液晶表示器を駆動するのに必要な全出力を備えている。しかし、小数点や電池切れ表示等を駆動するにはいくつかの部品を外付する必要がある。小数点を駆動するには、バックプレーン出力と周波数が同じで位相が180°違う信号が必要である。小数点固定の場合に



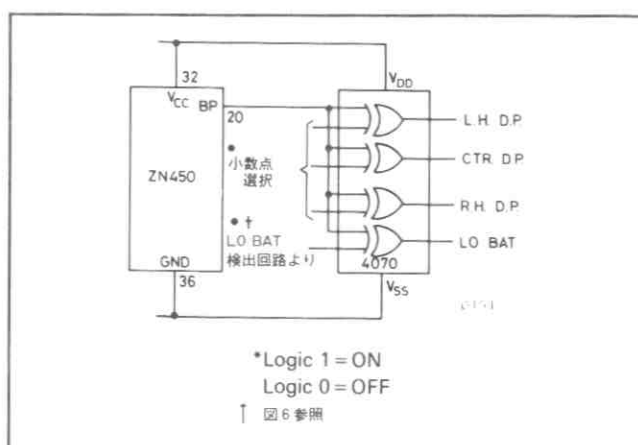
第11a図 固定小数点駆動回路

は、図11aのような簡単な反転回路が使用できる。

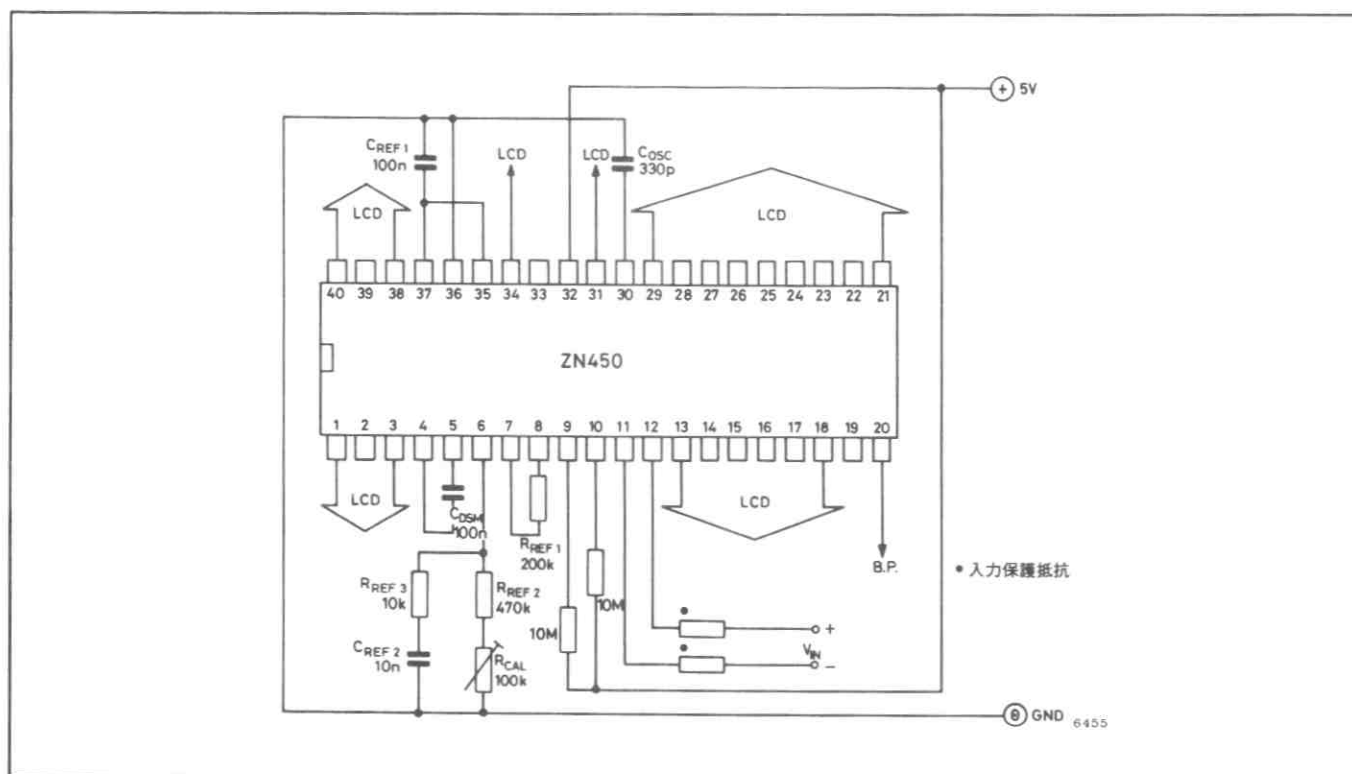
いくつかの小数点を切り替えて使う場合、使わない小数点の駆動信号をバックプレーン出力と同相にしてオフにしなければならない。これは図11bのようにEX-ORゲートを使って簡単に構成できる。ロジック'1'入力はバックプレーンと位相のずれた波形を出力し、小数点を点灯する。逆に、ロジック'0'ではバックプレーンと同相の出力となる。CMOSクウォードEX-ORゲート(4070) 1個で、3桁桁液晶表示器の3つの小数点と電池切れ表示を駆動することができる。電池切れ検出回路は図6dを参照。

## 外付部品

200mV DVMは、図12に示すように外付部品10個で作ることができる。これらの部品に加えて、過負荷時に入力電流を最大値の50mA以内に制限するための保護抵抗も必要であれば取り付ける。この抵抗の値は入力にかかる最大電圧によって決める。



第11b図 EX-ORゲートを使った小数点・LO BAT駆動回路



第12図 200mV DVM 外付部品



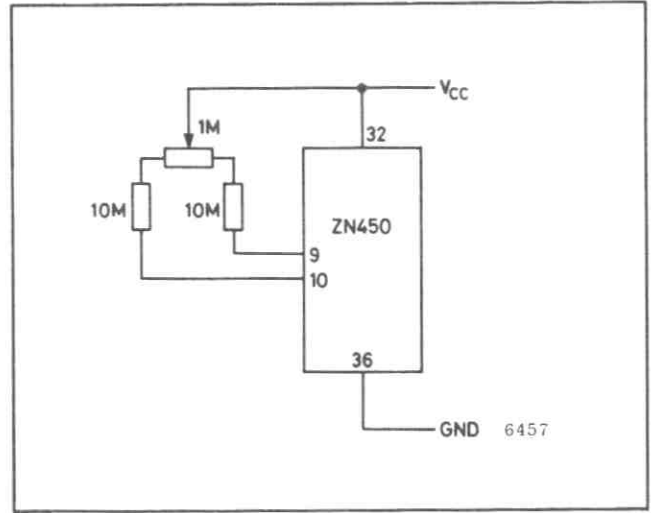
# 電圧測定

200mV以上の直流電圧は、スイッチ切替式減衰器によって電圧を調整する。ある1つのレンジで校正を行えば、他のレンジの精度は抵抗の精度に従った値となる。しかし、ZN450の入力抵抗は約10MΩであるので、減衰器のローディング効果を無視することはできない。これは、減衰器を全レンジで一定のソース抵抗を持った199.9mV（フルスケール）の電源と考えて一定の出力抵抗を持つ減衰器を設計することによって解決できる。

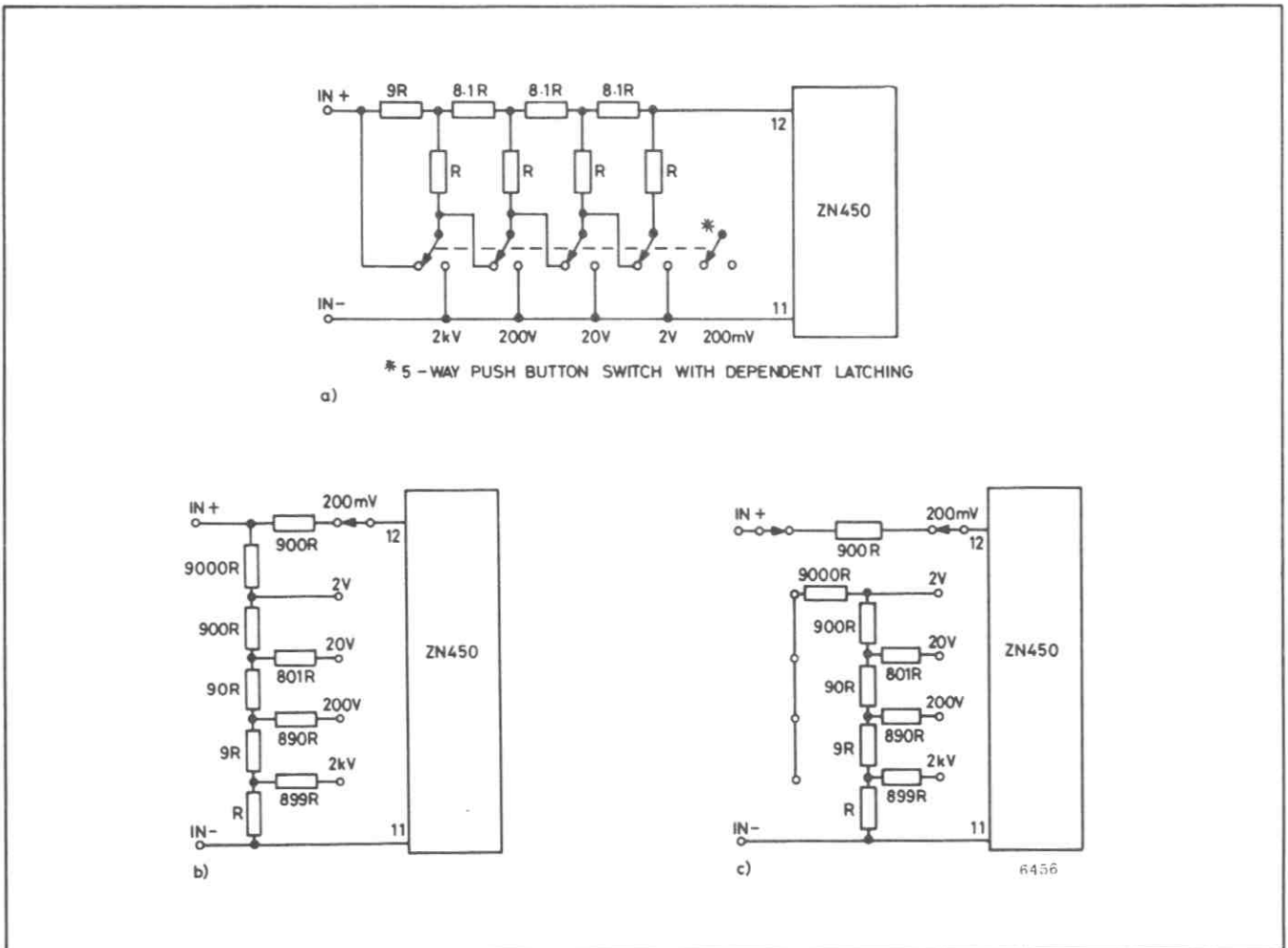
ラダー減衰器と2種類のT型減衰器を図13に示す。ラダー減衰器は入力抵抗が一定であり、3種類の抵抗のみで構成できるという長所があるが、切替えがやや複雑になる。図13bのT型減衰器は、単極スイッチで構成できるという長所があるが、抵抗値がはばになる。また、減衰器がZN450の入力抵抗と並列になるので、入力抵抗は200mVレンジで5MΩになる。この問題を解決するには、図13cに示すように200mVレンジでは減衰器が接続されないように双極スイッチを使用する。

ZN450の入力調整回路を設計する時に、入力オフセット電流で誤差が生じないように注意しなければならない。オフセット電流は、 $R_o$ を減衰器の出力抵抗とすると、 $I_{os} \times R_o$ の誤差電圧を生じる。オフセット電流を生じる原因は2

つある。第1はZN450自身によって生じるものであり代表値100pAである。第2に10MΩの入力抵抗のミスマッチングによって生じるもので、ミスマッチング1KΩ当り代表値150pAである。オフセット電流は誤差の少ない入力抵抗を使うことによって低減できるが、図14の回路を使えば全くゼロにすることができる。



第14図 オフセット電流補正回路



第13図 マルチレンジ電圧計の減衰器

## 電流測定

直流電流の測定も非常に簡単に実行できる。測定する電流がZN450の入力端子間に接続するシャント抵抗を流れるようにすれば、その電圧は電流とシャント抵抗の積に比例する。20 $\mu$ Aフルスケールの電流も測定できるが、この場合ZN450の入力抵抗とオフセット電流の影響に注意しなければならない。

マルチ・レンジ電流測定回路を図15に示す。この回路のフルスケール電圧は200mVであるが、ZN450の感度を上げることによって小さなフルスケール電圧で動作する電流計を設計することもできる。この変更により電流計の電圧損失は減少するので、低電圧回路の測定を行うのに便利である。また、シャント抵抗の消費電力を少なくすることができる。たとえば、フルスケール電圧200mVで20Aの測定を行う場合、必要とするシャント抵抗は $\frac{0.2}{20} = 10\text{m}\Omega$ となりフルスケール時の消費電力は4Wとなる。一方、フルスケール電圧20mVでは、必要とする抵抗は1m $\Omega$ となるので消費電力は400mWに減少する。

## トランスジューサ・ブリッジ回路

ZN450は高感度で差動入力であるので、トランスジューサとの使用に適している。特にブリッジ回路で使用するとその機能を最も活用できる。また、安定化された5V電源は、半導体圧力ゲージ・プラチナ抵抗温度計・半導体温度センサ等のトランスジューサにも安定した電圧を供給できる。

図16は、温度センサとしてシリコンダイオードを使った温度計回路である。このダイオードに一定の電流が流れている時、順方向電圧は1 $^{\circ}$ C当り約-2mV変化する。したがって、ブリッジ回路によってZN450の正入力に1 $^{\circ}$ C当り約1.28mVの電圧変化を生ずる。ZN450のフルスケールは256mVに設定されているので、1デジットは0.1 $^{\circ}$ Cに相当し、フルスケールは199.9 $^{\circ}$ Cになる。

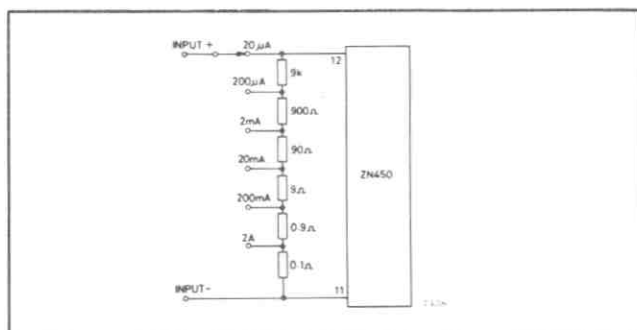
この回路の校正は、まず0 $^{\circ}$ Cで000.0を表示するようにP1を使ってダイオードの順方向電圧をゼロにする。次に、P2を調整して100 $^{\circ}$ Cで100.0を表示するようにする。

## コモンモード特性

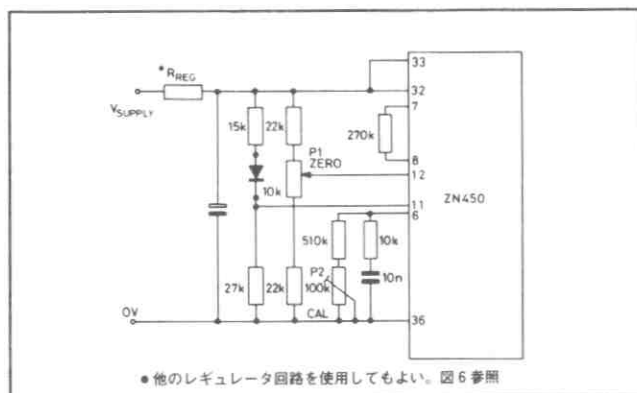
ZN450の入力は、コモンモード・レンジ1.3~1.8Vの差動入力であり、コモンモード・リジェクションは良い。しかし、差動入力に全レンジにわたって電圧がかかる時は、設計に注意しなければならない。

入力オープンの場合、ZN450の入力は約2.8Vにバイアスされる。入力に同相電圧がかかる時は、入力と同相電圧(減衰器、直列抵抗等)のインピーダンスが同じになるように注意しなければならない。さもないと、コモンモード・リジェクションは悪くなる。この様子を図17に示す。また、コモンモード・リジェクションを良くするために差動入力のインピーダンスをそろえることはもちろん重要である。

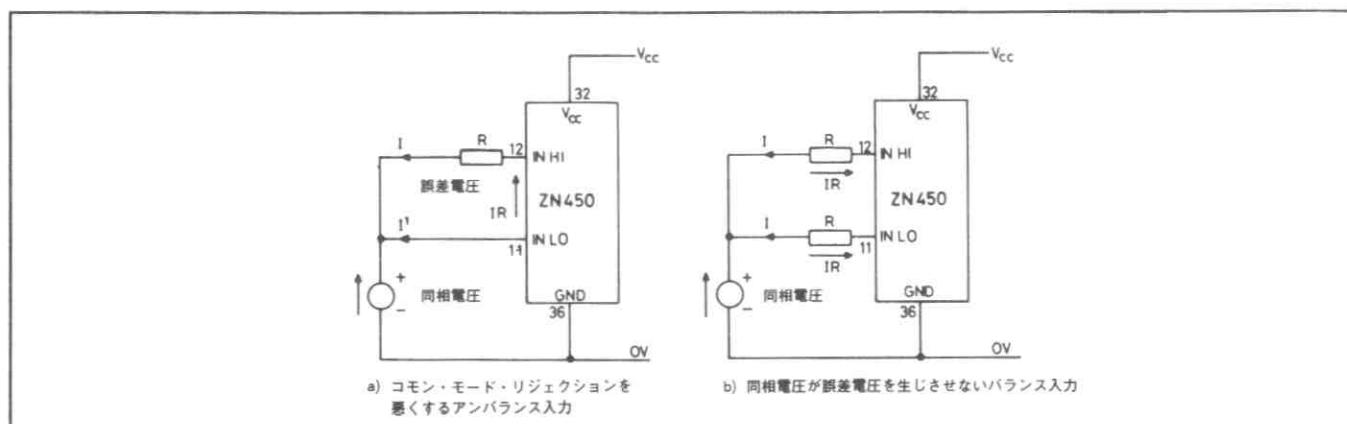
これは、一般的にZN450の電源グラウンドに対して電圧を測定するシステムで問題になる。電池動作の場合、ZN450の電源電圧はフローティング状態となるので、測定電圧と入力間にコモンモード電圧は存在しない。しかし、この場合にはACリジェクションに注意を払わなければならない。



第15図 マルチレンジ電流測定回路



第16図 デジタル温度計



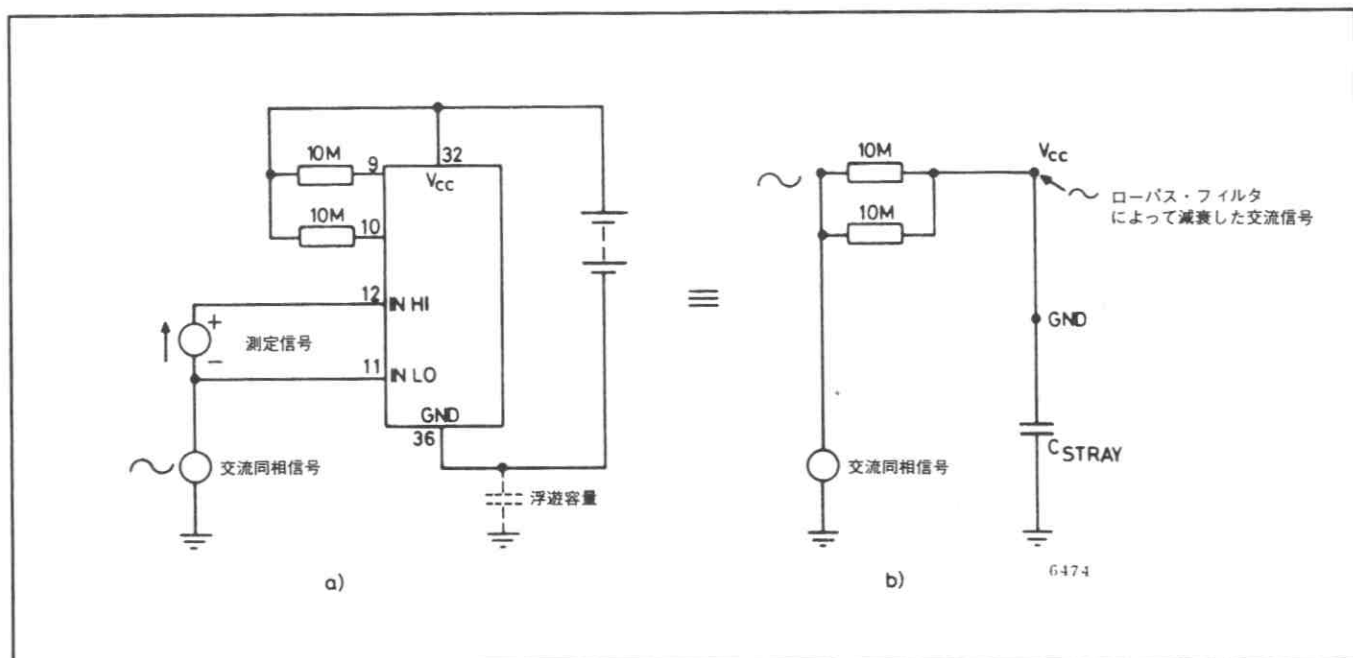
第17図 コモンモード特性

測定電圧に大きな交流同相成分が乗っている場合、ZN450の電源電圧は交流成分によって変動する。したがって、ZN450の入力をコモンモード・レンジ内に保たなければならない。しかし、入力交流信号とZN450の電源との間の抵抗は同相成分に対して $5\text{M}\Omega$ である。もし、ZN450の電源とグランドの間に大きな浮遊容量が存在する場合（たとえば、電池が接地された金属の表面の近くにある場合）、これは入力抵抗と共にローパス・フィルタを形成し、ZN450の電源は入力の交流同相電圧に追従しなくなる。このようすを図18に示す。

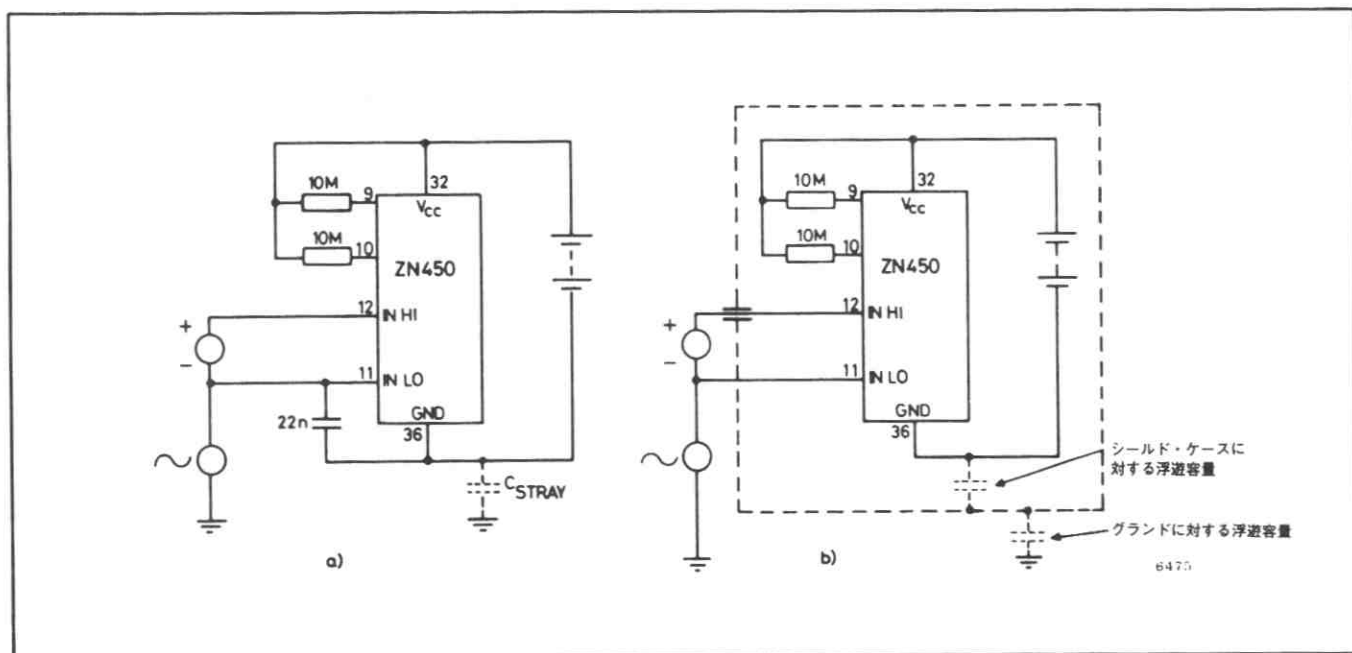
この問題を解決する方法は2つある。最も簡単な方法は、図19aに示すように、入力ローと電源グランドの間にコンデ

ンサを接続することである。これによって、電源が交流同相電圧に追従するように、これらの2点間に低インピーダンス交流パスを作る。このコンデンサの値は最大浮遊容量の数倍大きくしなければならない。しかし、電源投入時にこのコンデンサはZN450の $10\text{M}\Omega$ の入力抵抗を通して充電されるので、あまり大きすぎてもいけない。 $22\text{nF}$ ぐらいの値が適当である。

次に、DVMをシールド・ケースに入れ、そのケースを入力ローに接続する方法がある。これによってZN450の電源とケースの間に浮遊容量が生ずる。しかし、シールド・ケースの電位は一定ではなく、同相信号に追従するのでこのコンデンサの効果は打ち消される。



第18図 電池動作のZN450に大きな交流同相信号が乗った場合



第19図 電池動作回路で交流リジェクションを良くする方法

## 交流測定

交流電圧や電流を測定する場合、まずそれを直流電圧に変換しなければならない。最も簡単な方法は、減衰器とZN450の入力間に精密な能動整流回路を入れることである。しかし、このような回路で生ずる直流電圧は整流された電圧の平均値に比例する。したがって、RMS値の測定には、RMSコンバータを使わなければならない。整流回路はRMS値を読むことによって校正できるが、この場合入力信号は一定の波形成分を持っていないなければならない。

簡単な精密整流回路を図20に示す。この回路はA1のオフセット電圧が出力に出ないようにし、ゼロ調整を必要なくするために、C2・C3・C4によって完全に交流結合されている。A1のオフセット電圧をなくすことによって、入力信号がない時R3から100%の直流帰還がかかり、A1は飽和する。

R1とR2はA1の非反転入力に直流バイアスを与え、C2は交流入力インピーダンスを増加させる。

アンプA2は低インピーダンスのアナログ・コモンを作るために、ZN450のコモンモード・レンジの中間にバイアスされる。また、整流器の出力はR6とC5から成るローパス・フィルタに接続する。そして、ZN450の2つの入力に接する直流抵抗を等しくするために、R6は入力ロー端子に接続し、この値はR4+R5と等しくする。これがフィルタの特性に影響を与えることはない。この回路に示された部品値は正弦波入力に対してRMS値を示すように計算されているので、この種の波形を持つ入力と仮定すると、回路の機能は次のようになる。

入力信号が負からゼロを通過する時、A1の出力はD2が導通するまで正に振れ、A点の電圧は次式で示される値になる。

$$V_A = G \times V_{IN} \quad \text{ただし、} G = \frac{R_4 + R_5}{R_5}$$

そして、 $R_5 = R_4 + R_5$  であるので、

$$G = \frac{R_5}{R_5 - R_4}$$

$$R_4 = R_5 \times \frac{G - 1}{G}$$

この電圧はR6を通してC5を正に充電する。そして、信号が正からゼロを通過する時にA1の出力はD1が導通するまで負に振れ、B点の電圧は $-V_{IN}$ になる。この電圧はR6とR4を通してC5を負に充電する。

$R_5/C_5$ の時定数が入力波形より長い場合、C5の電圧は最終的に平衡に達する。この時、正の半サイクルの間にC5に流れる平均電流は、負の半サイクルの間にC5に流れる電流と等しくなければならない。したがって、

$$\frac{V_{A(\text{平均})} - V_C}{R_6} = \frac{-V_{B(\text{平均})} + V_C}{R_6 + R_4}$$

ここで、整流された正弦波信号の平均値が、RMS値の0.9倍とすると、

$$V_{A(\text{平均})} = 0.9G V_{IN(\text{RMS})}$$

そして、

$$V_{B(\text{平均})} = -0.9V_{IN(\text{RMS})}$$

$V_C$ と $V_{RMS}$ は等しくなければならないから、

$$V_A = 0.9G V_C$$

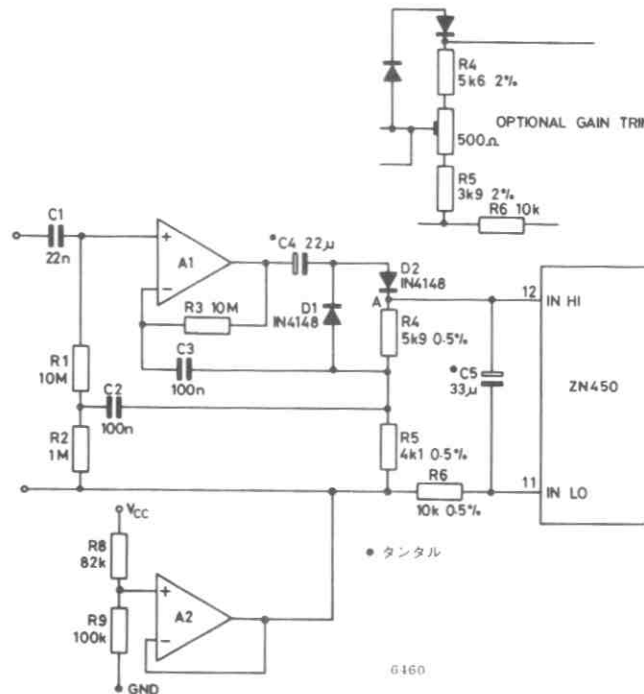
$$V_B = -0.9V_C$$

したがって、

$$\frac{V_C(0.9G - 1)}{R_6} = \frac{1.9V_C}{R_6 + R_4}$$

R4を代入し、 $V_C$ を消去する。

$$\frac{0.9G - 1}{R_6} = \frac{1.9}{R_6 + R_5 \frac{G - 1}{G}}$$



第20図 交流測定のための精密整流回路

R<sub>6</sub>を消去する。

$$0.9G - 1 = \frac{1.9G}{2G - 1}$$

$$(0.9G - 1)(2G - 1) = 1.9G$$

$$1.8G^2 - 4.8G + 1 = 0$$

この二次方程式を解くと

$$G = 2.439$$

$$R_4 = 0.59R_6$$

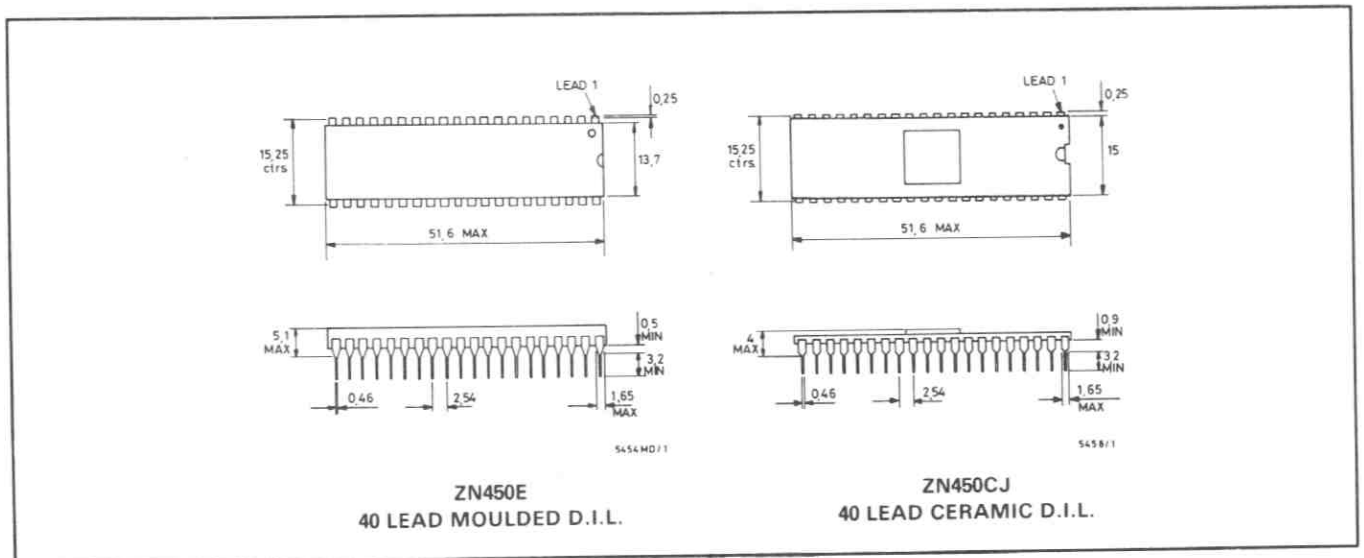
$$R_5 = \frac{R_6}{2.439}$$

この式は、フィルタ抵抗R<sub>6</sub>がどんな値であってもR<sub>4</sub>・R<sub>5</sub>の値を算出できる。図20に示された値で、周波数範囲40Hzから1 KHzにわたって約±1.5%の精度となる。

## 最大絶対定格

電源電圧 V <sub>cc</sub>	-0.5 ~ +7V
最大入力電圧 (全入力)	-0.5 ~ (V <sub>cc</sub> + 0.5) V
動作温度範囲	0 ~ 70°C
貯蔵温度	-55 ~ +125°C

## パッケージ寸法 単位 mm



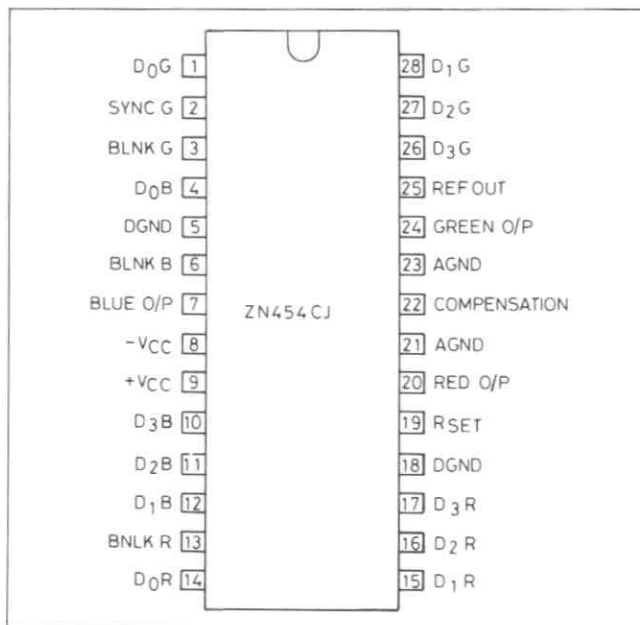
### ZN454CJ

#### トリプル 4ビット・ビデオD-Aコンバータ

ZN454CJは、3つの4ビットDAコンバータを内蔵しており、4096色のカラー・パターンを出力することができます。また、ロジック解読回路、制御ロジック、基準電源、レファレンス・アンプもワンチップ上に内蔵している。

各DAコンバータは、4ビット・デジタル・ビデオ・データとシンク/blank信号を直接TTLソースから入力でき、両端を75Ω負荷で終端された75Ωラインを直接駆動できるコンポジット・ビデオ信号を発生する。

ZN454CJは、4ビットの色分解能を必要とするグラフィック・ディスプレイ・システムのピクセル・カラー発生に理想的なICである。各DAコンバータの直線性は非常に良いので、色のコントラストは良くなる。また、変換速度が速いので、リフレッシュ・レートを60Hzとした場合1024×1280ピクセルの分解能を持つモニタにインターフェイスできる。

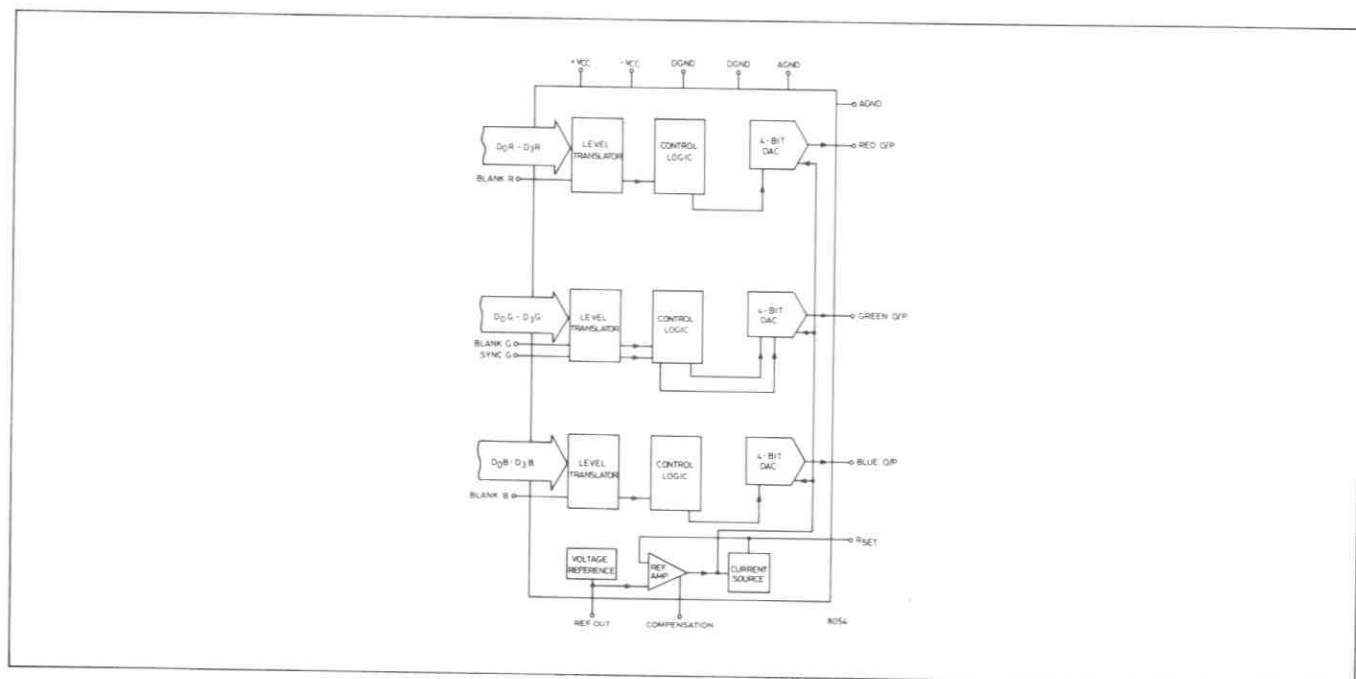


端子接続 (上面より)

### 特徴

- 3つのビデオDAコンバータ内蔵——カラー・グラフィックスに最適
- 高速 セトリング時間 8 nS
- アップデート・レート 100MHz
- 低グリッチ

- 直線性誤差  $\frac{1}{4}$ LSB
- 基準電源内蔵
- コンポジット・シンク/blank入力
- TTLコンバーチブル入力
- 両端を75Ω負荷で終端されたラインに標準のビデオ信号を出力
- 28端子DILパッケージ



第1図 システム図

# 電気的特性

テスト条件 (特に注記なき限り)

周囲温度  $T_{amb}=+25^{\circ}\text{C}$ 、電源電圧  $V_{cc}=\pm 5\text{V}$ 、 $R_L=37.5\Omega$ 、 $R_{SET}=180\Omega$

特 性	シンボル	数 値			単 位	テスト条件
		Min.	Typ.	Max.		
分解能		4	—	—	ビット	注 1
LSB (電流)			1.13		mA	
LSB (電圧)			43		mV	
<b>精度</b>						注 2
リニアリティ誤差			$\pm 0.25$	$\pm 0.5$	LSB	
ディフェレンシャル・リニアリティ誤差				$\pm 0.5$	LSB	
オフセット誤差			$-5.0$	$-15.0$	mV	
利得誤差				$\pm 5$	%FSR	
<b>速度特性—グレイスケール出力</b>						
立上り / 立下り時間 (電圧)			3	5	nS	最終値の10~90%
セトリング時間 (電圧)			8		nS	注 3
最大アップデート・レート			100		MHz	注 4
スルー・レート			180		V/ $\mu\text{S}$	最終値の10~90%
グリッチ・エネルギー			60		pV-S	注 5
<b>温度係数</b>						
オフセット				10	ppm/%	内部の値で測定
利得			500		ppm/%	
<b>データ・シンク / ブランク入力</b>						
ロジック		TTLコンパチブル				
ハイ・レベル入力電圧	$V_{IH}$	2.0	—	—	V	
ロー・レベル入力電圧	$V_{IL}$	—	—	0.8	V	
ハイ・レベル入力電流	$I_{IH(1)}$	—	—	+1	$\mu\text{A}$	$V_{cc}=\text{max}$ , $V_{in}=5.5\text{V}$
	$I_{IH(2)}$	—	—	$\pm 1$	$\mu\text{A}$	$V_{cc}=\text{max}$ , $V_{in}=2.4\text{V}$
ロー・レベル入力電流	$I_{IL}$	—	—	-1.6	mA	$V_{cc}=\text{max}$ , $V_{in}=0.4\text{V}$
コーディング (第2図参照)		コンプリメンタリ・バイナリ				
<b>出力—グレイ・スケール</b>						
電圧範囲			0.64		V	注 1
電流範囲			17		mA	
<b>出力—コンボジット・シンク</b>						
電圧範囲			286		mV	
電流範囲			7.6		mA	
<b>出力—コンボジット・ブランキング</b>						
電圧範囲			71		mV	
電流範囲			1.9		mA	
<b>出力電圧コンプライアンス</b>		0		1.5	V	
<b>内部基準電圧</b>						
出力電圧	$V_{REF}$		-1.22		V	0 ~ 70°C
出力電圧精度				$\pm 3.0$	%	
出力電圧温度係数			200		ppm/ $^{\circ}\text{C}$	
<b>電源</b>						
電源電圧	$+V_{cc}$	4.5	5.0	5.5	V	
	$-V_{cc}$	-4.5	-5.0	-5.5	V	
電源電流	$+I_{cc}$		35	50	mA	
	$-I_{cc}$		170	185	mA	

注1. LSB およびフル・スケール出力レベルは、 $R_{SET}$  で調整することができる。

注2. 全動作温度範囲内で単調性を保証。

注3. セトリング時間は、出力の立上り / 立下りのエッジから、出力が最終値の  $\pm \frac{1}{2}$  LSB 以内に落ち着くまでの時間である。ここに示された値は、白レベルから黒レベルまたはその反対に変化する時の値であり、入力の伝播遅延 (2 ~ 3 ns) は含まない。セトリング時間の測定についての項を参照。

注4. 最大アップデート・レートは、フル・スケールのセトリング時間によって限定される。

注5. グリッチ・エネルギーの測定については、後の章に詳述。

## 動作概要

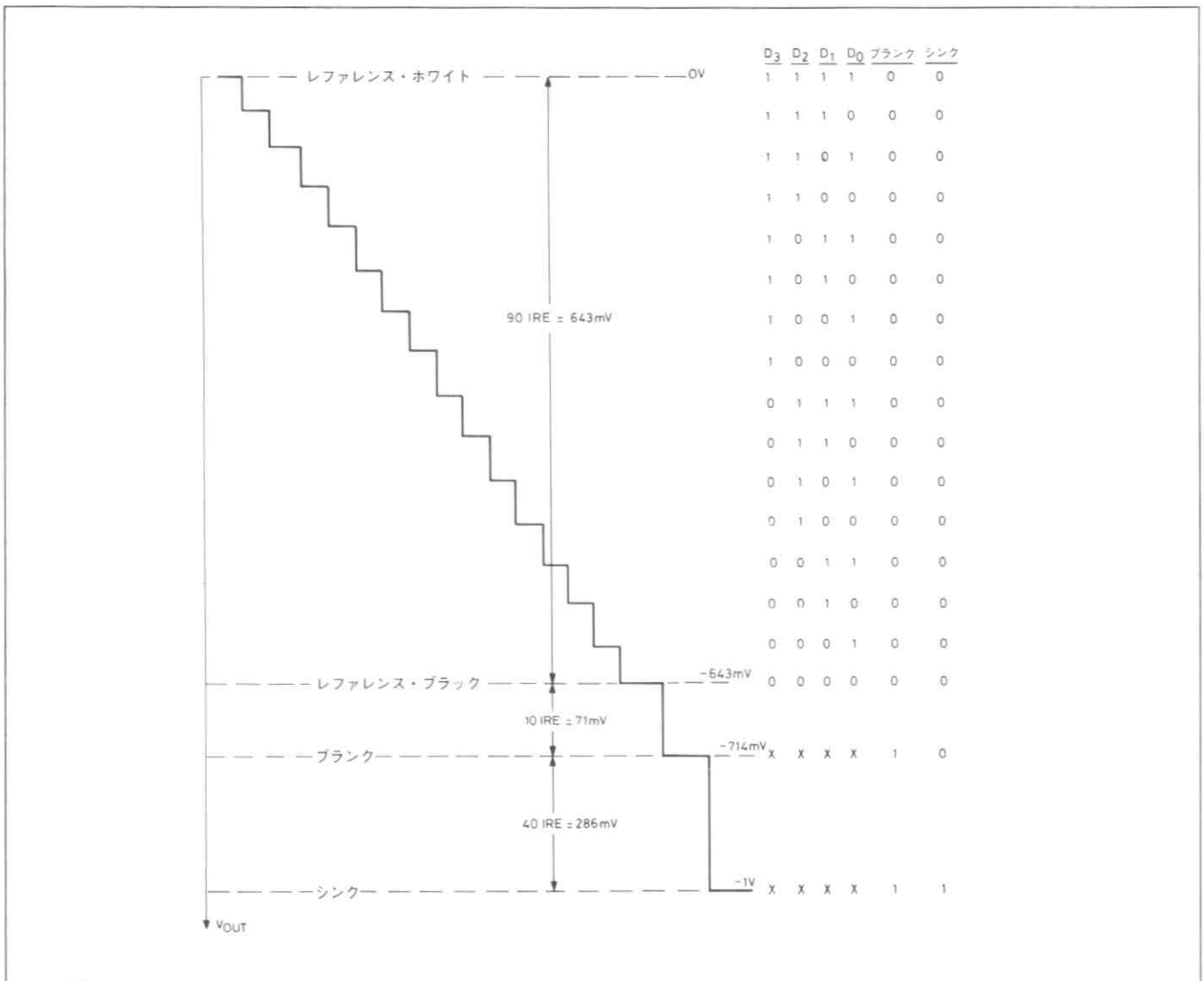
ZN454CJ の各 DA コンバータは、高速の電流スイッチを使用して精密電流ソースからの電流をデジタル入力に従ってアナログ・グランドまたはアナログ出力に切り換える (第3図参照)。アナログ出力電圧は、これらの電流を  $37.5 \Omega$  の負荷に流すことによって起こる電圧降下によって得ることができる。また、DA コンバータの利得は、 $R_{SET}$  によって調整することができる。

ZN454CJ は電流出力の DA コンバータを使用しているため、出力インピーダンスは高い。したがって、この高インピーダンスをシャントするために  $75 \Omega$  の抵抗 (各 DA コンバータ間で) が必要になり、ここでモニターで  $75 \Omega$  に終端された  $75 \Omega$  ラインを駆動できるインピーダンスに変換する。そして、 $1 V_{P-P}$  のコンポジット信号は、この  $37.5 \Omega$  の出力

インピーダンスで発生する。

各 DA コンバータのグレー・スケール (GREY SCALE) 出力電流は、0 から  $-17mA$  の16段階になる (第2図参照)。そして、これは  $37.5 \Omega$  の負荷インピーダンスで0 から  $-643 mV$  の16階調の電圧に変換される。白レベル (0 V) はデジタル入力コード '1 1 1 1' に対応し、黒レベル ( $-643mV$ ) は '0 0 0 0' に対応する。

ブランク (BLANK) 入力をロジック '1' にすると、データ入力の状態に関係なく出力を黒レベルより  $71mV$  負の値に駆動する。これは、ブランキング (BLANKING) レベルに相当する。また、ブランク入力を '1' にしたままシンク (SYNC) 入力をロジック '1' にすると、出力はブランキング・レベルよりさらに  $286mV$  負になる。この電圧 ( $-1 V$ ) は、シンク (SYNC) レベルに相当する。



第2図 代表的コンポジット・ビデオ出力波形



## 利得調整 ( $R_{SET}$ )

$R_{SET}$ は、電流ソースの電流値を調整する機能を有している。まず、レファレンス・アンプで $R_{SET}$ の電圧と基準電圧を比較する。 $R_{SET}$ を大きく(小さく)すると、アンプ出力は $R_{SET}$ に流れる電流を減少(増大)させ、( $R_{SET}$ にかかる電圧を基準電圧と同じ値に戻す。これはまた、各電流ソースの電流を減少(増大)させる(第3図参照)。このように、出力波形の大きさは希望するレベルに調整することができる。

## デジタル入力

デジタル入力は、高速のレベル解読回路である(第4図)。通常の動作では、ZN454CJの外付部品は非常に少ない。第5図に外付部品の接続を示す。

### プリント基板および回路設計上の注意

ZN454CJを使用する場合、この種の他のICと同様に、特性を最大限引き出すためにいくつか注意しなければならないことがある。そのうちのいくつかを次に示す：

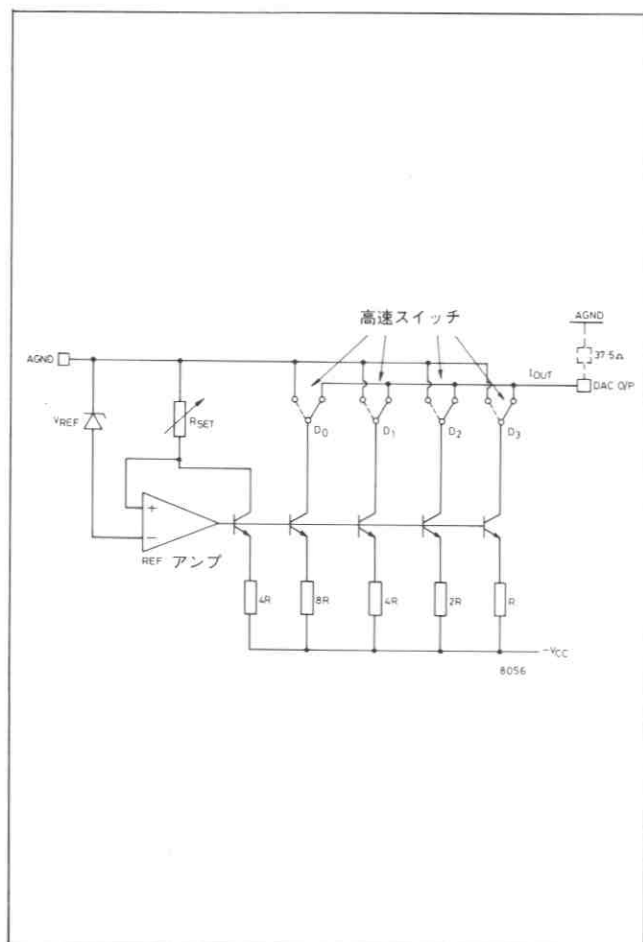
- 雑音を最小にするために、プリント基板のグランド面は十分広く取り、電源の接続は十分に行う。
- デカップリングを十分に行う。特に、全ての高速スイッチ回路の周辺と $+5V$ と $-5V$ 電源の $0.1\mu F$ のコンデンサはZN454CJのできるだけ近くに接続する。これらのコンデンサのグランドとの接続は隣接するようにする。
- クロストークを最小にするために、各デジタル入力間はなるべく離すようにする。

- 各入力間の時間的ひずみをなくするために、デジタル入力は十分にマッチするようにする。さもないと、コードの変更時にDAコンバータ出力にグリッチを生ずる。また、同様の理由により、このICを駆動するデバイスの出力も十分にマッチするようにする。
- $75\Omega$ ラインを適切なインピーダンスで駆動できるように、 $75\Omega$ の抵抗はDAコンバータ出力のできるだけ近くに接続する。

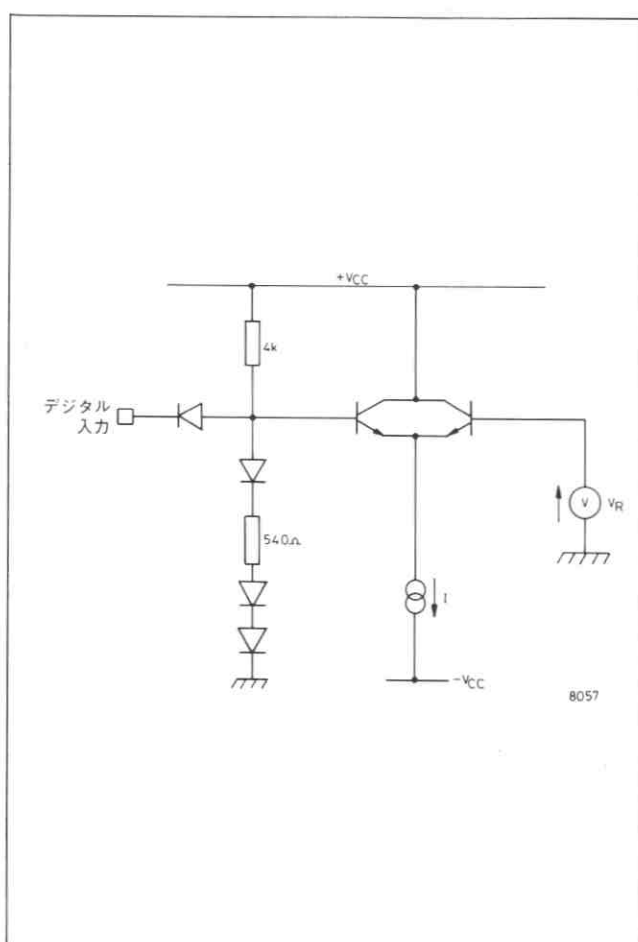
### セトリング時間とグリッチの測定

回路の設計が終わったら、ZN454CJは可能な限りの特性を得るために基板に直接はんだ付けする。しかし、評価時には、実際にはソケットを使用する必要がある。この場合、特性は多少悪くなるが、それでもなお十分な特性を得ることができる。

セトリング時間とグリッチの測定は容易ではない。まず、前に述べた注意事項を十分に守らなければならない。また、オシロスコープを使ってこれらの特性を測定する場合、アナログ出力を変化させないように注意しなければならない。たとえば、従来のプローブは反射のための誤差を生じることがあるので、そのまま出力に接続することはできない。その代わりに、ZN454CJの出力をICの近くで $75\Omega$ に終端し、ICの近くで接地した $75\Omega$ のケーブルとオシロスコープで終端した $75\Omega$ 線を接続する。最適なケーブルの長さは約6インチ(約15.24cm)であるが、微調整する必要がある。また、オシロスコープは、立上り/立下り時間に追従できるだけの帯域幅がなければならない。



第3図 電流ソース・アレー

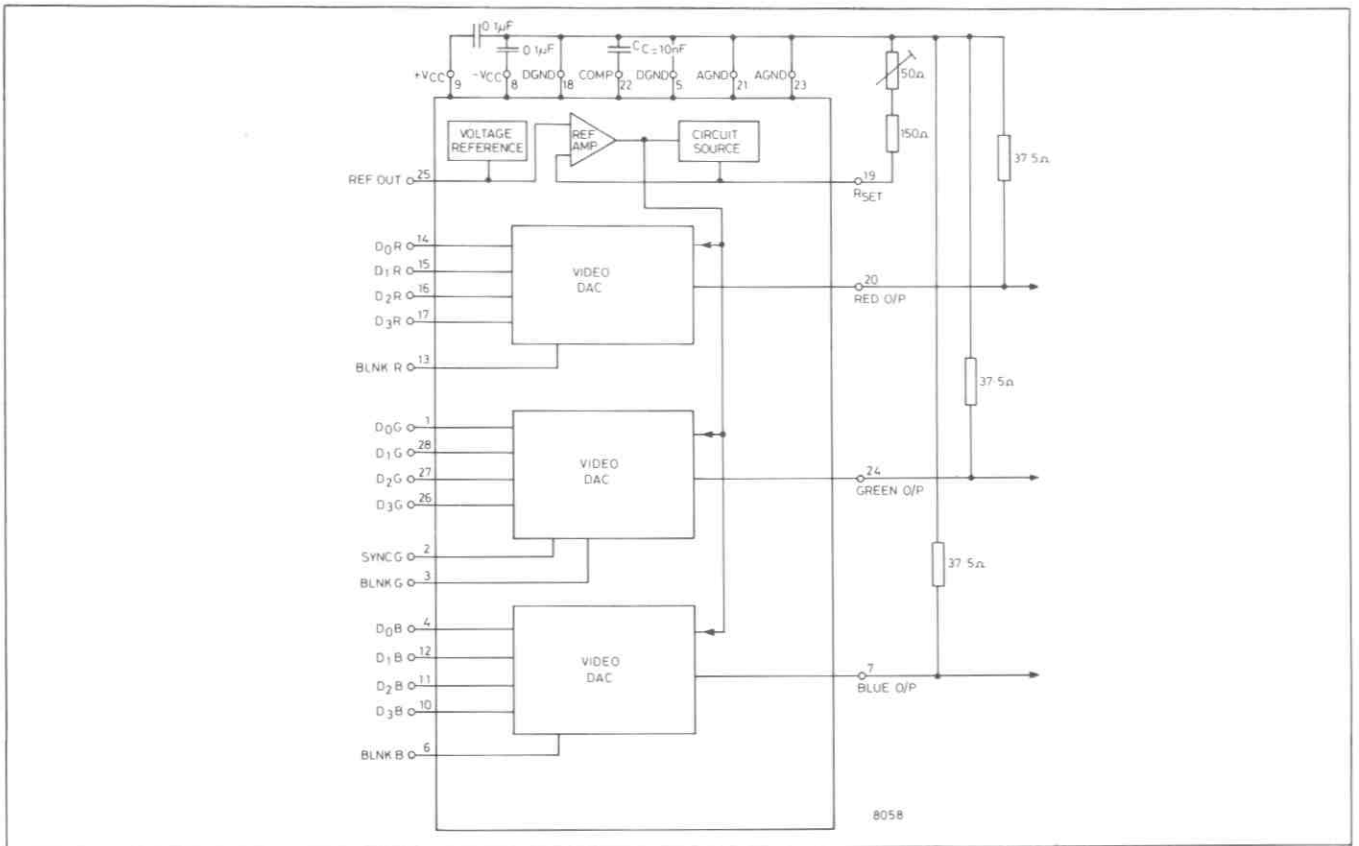


第4図 シンク、ブランク、データ入力の等価回路

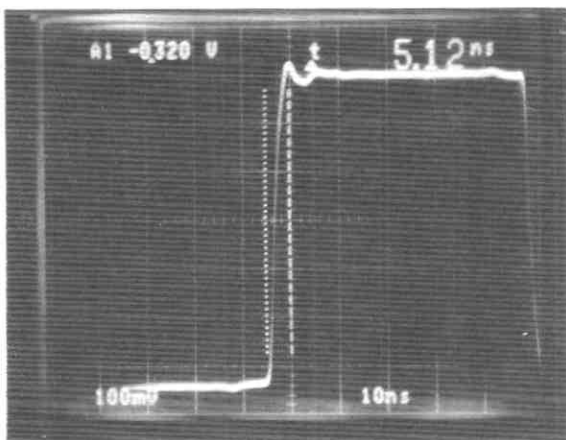
DAコンバータを駆動するデジタル回路は、雑音を含まないようにし、各ビット入力間の時間のずれも最小にする。これは、かなり結果に影響を与える。しかし、評価時にこれらの問題を最小にする方法は、デジタル入力を直接パルス発生回路で駆動することである。グレイ・スケールのフルスケール変化は、4ビットの入力を互いに接続し（50Ωで終端する）、パルス発生回路で駆動する。そして、各出力を順にテストする。この回路を第5図に示す。ただし、シンクとブランク入力はロー・レベルにする。また、DAコンバータ出力は37.5Ωで終端し、デジタル入力信号は上記のように供給する。第6図は、この手順を使って測定した実際のフルスケール（グレイ・スケール）出力変化である。5.12ナノ秒のセトリング時間を得ることができた。

大きな変化点でのグリッチも、パルス発生回路で直接デジタル入力を駆動することによって測定できる。しかし、

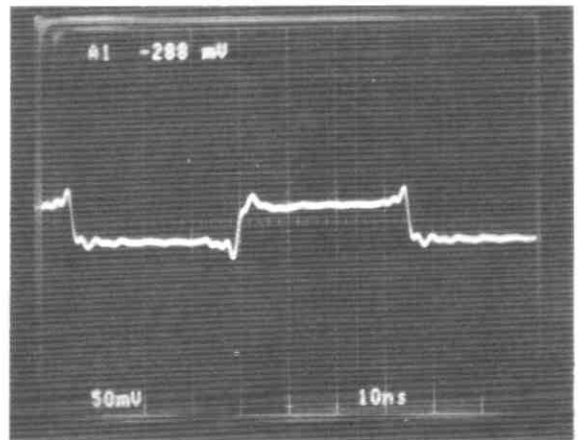
この場合良くマッチしたコンプリメンタリ出力が必要になる。また、パルス発生回路からデジタル入力までの各リード線の長さは同じでなければならない（そして50Ωで終端する）。なぜなら、この測定は特に入力信号間の時間のずれが問題になるからである。実際に、たとえ理想的DAコンバータであっても、入力信号が変化する時にタイミングのずれがあるとグリッチを生ずる。DAコンバータ出力にグリッチとして表われるこの時間のずれは、入力信号がデジタル入力スレッシユホールド（約1.5V）を通過する点を基準にする。したがって、駆動信号の特性はグリッチの大きさに影響を与えるので、この値が最小になるように注意して設計する。グリッチの測定回路は前に述べた通りであるが、デジタル入力は違ったコードで駆動する。第7図は、上記の手順に従って測定した実際のミッドスケール・グリッチである。



第5図 外部接続



第6図 フルスケール出力遷移—セトリング時間



第7図 ミッドスケール出力グリッチ

## ビデオ用語の説明

### ラスタースキャン (Raster Scan)

CRT を走査する方法。1 度に 1 ライン走査し、映像を表示する。

### コンポジット・ビデオ信号 (Composite Video Signal)

ビデオ信号とブランク/シンク信号を複合した信号。

### ビデオ信号 (Video Signal)

白レベルと黒レベルの間のグレー・スケール・レベルで変化するコンポジット・ビデオ信号の一部。目で見える部分に相当する。

### シンク信号 (Sync Signal)

ビデオ波形の一部で、ラスタ走査時に同期をとる。

### グレー・スケール (Grey Scale)

白レベルと黒レベルおよびその間のレベル。4 ビット DA コンバータの場合、16 レベルになる。

### ブランキング・レベル (Blanking Level)

ビデオ部分からシンク部分を切り離れたレベルで、通常フロント・ポーチまたはバック・ポーチと呼ばれる。このレベルの間は、電子銃はオフとなり、真っ暗な表示となる。

### シンク・レベル (Sync Level)

同期信号の底(最っも負)のレベル。

### 黒レベル (Reference Black Level)

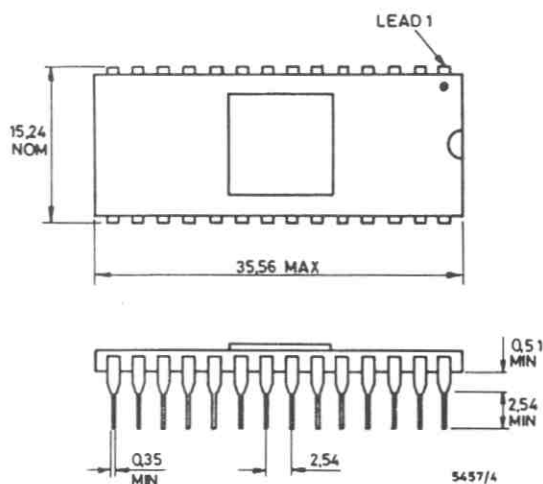
ビデオ信号の最っも負のレベル。

### 白レベル (Reference White Level)

ビデオ信号の最っも正のレベル。

## パッケージ寸法

単位 mm



Dimensions in millimetres  
28-Lead Ceramic D.I.L.

# ZN501/ZN502

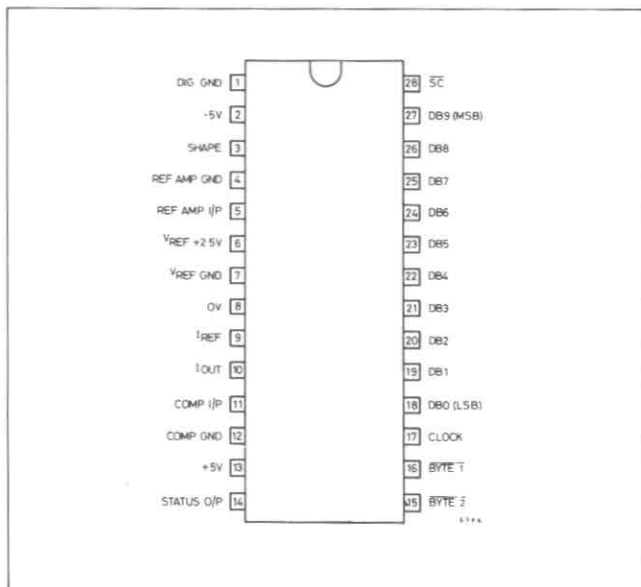
## 10ビット マイコン・コンパチブル ADコンバータ ADVANCE INFORMATION

ZN501、ZN502は、マイクロプロセッサとのインターフェイスが容易な10ビット逐次比較型ADコンバータで、電流スイッチ・アレー、逐次比較ロジック、2.5V基準電圧、レファレンス・アンプ、コンパレータ、スリース・テート出力を内蔵している。

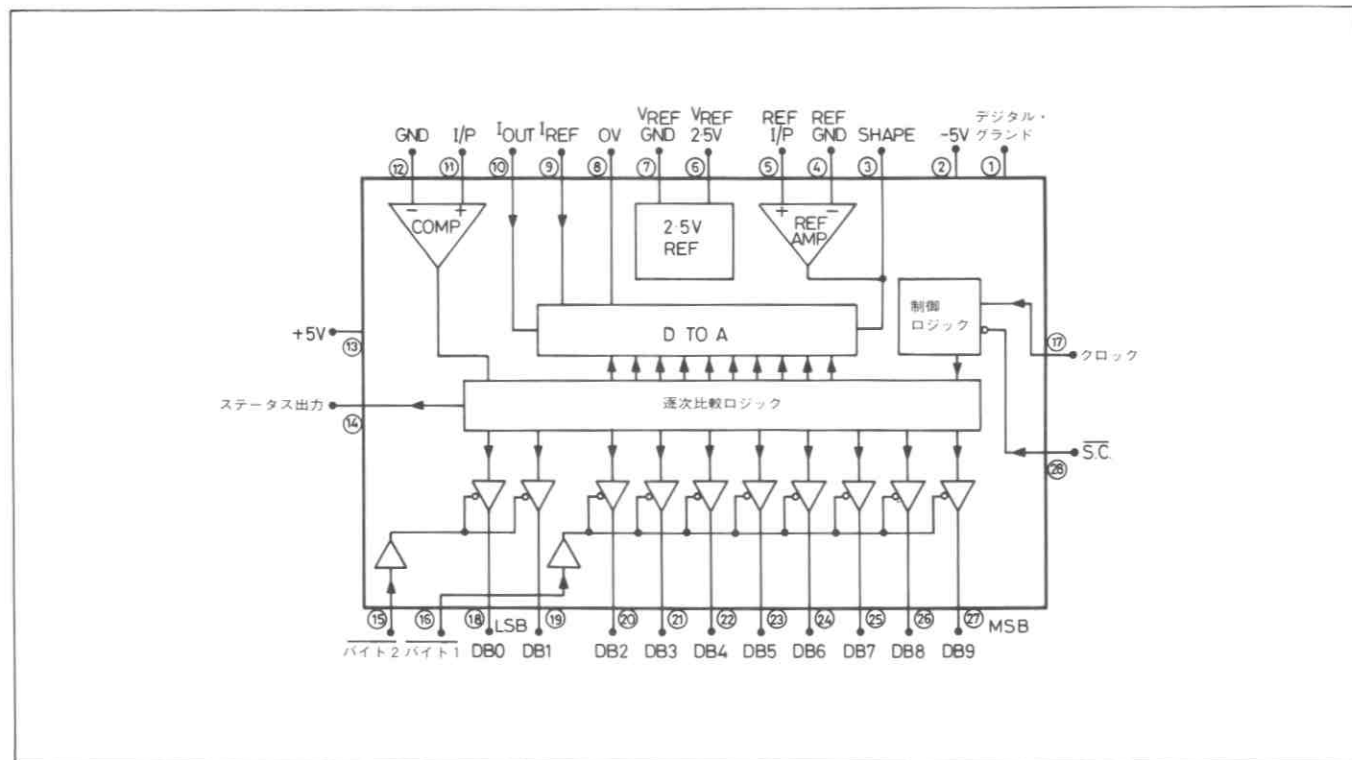
バイト1とバイト2端子を利用することによって、出力データは10ビット・ワードまたは8ビットと2ビット・ワードに分けて読み出すことができる。

### 特徴

- リニアリティにより2品種： $\frac{1}{2}$ LSB-ZN501、1LSB-ZN502
- スリー・ステート出力、TTLコンパチブル
- 変換時間 15 $\mu$ S（代表値）、20 $\mu$ S保証
- $\pm 5$ V電源、マイクロプロセッサ、TTL/CMOSコンパチブル
- 8または16ビット・マイクロプロセッサのデータ・バスとのインターフェイスが可能
- ユニポーラまたはバイポーラ入力



端子接続（上面より）



第1図 システム図

# 電気的特性

テスト条件 (特に注記なき限り)

電源電圧±5V、内蔵基準電圧使用

特 性	型 番	周囲温度Tamb=+25℃			全動作温度範囲		単 位	条 件	
		Min.	Typ.	Max.	Min.	Max.			
リニアリティ・エラー ディフェレンシャル・リニアリティ・エラー ユニポーラ・オフセット  バイポーラ・オフセット  利得誤差  温度係数(全動温範囲で) ユニポーラ・オフセット  バイポーラ・オフセット  利 得	ZN501AJ			±0.5		±0.5	LSB	セラミック・パッケージ	
				±0.5		±0.5	LSB	注1	
			±0.55	±1.0		±1.0	LSB	外部基準電圧	
			±0.55	±1.0		±1.0	LSB	内蔵基準電圧	
			±0.55	±1.0		±1.0	LSB	外部基準電圧	
			±0.55	±1.0		±1.0	LSB	内蔵基準電圧	
			±0.55	±1.0		±1.0	LSB	外部基準電圧(注4)	
			± 3				LSB	内蔵基準電圧(注4)	
				7 typ., 10max.				ppm/℃	外部基準電圧
				7 typ., 10max.				ppm/℃	内蔵基準電圧
		7 typ., 10max.				ppm/℃	外部基準電圧		
		7 typ., 10max.				ppm/℃	内蔵基準電圧		
		10typ.				ppm/℃	外部基準電圧		
		50typ.				ppm/℃	内蔵基準電圧		
リニアリティ・エラー ディフェレンシャル・リニアリティ・エラー ユニポーラ・オフセット  バイポーラ・オフセット  利得誤差  温度係数(全動作温度範囲で) ユニポーラ・オフセット  バイポーラ・オフセット  利 得	ZN502CJ			±1.0		±1.0	LSB	セラミック・パッケージ	
				±0.5		±0.5	LSB	注1	
			±0.55	±1.0		±1.0	LSB	外部基準電圧	
			±0.55	±1.0		±1.0	LSB	内蔵基準電圧	
			±0.55	±1.0		±1.0	LSB	外部基準電圧	
			±0.55	±1.0		±1.0	LSB	内蔵基準電圧	
			±0.55	±1.0		±1.0	LSB	外部基準電圧(注4)	
			± 3				LSB	内蔵基準電圧(注4)	
				15typ., 20max.				ppm/℃	外部基準電圧
				15typ., 20max.				ppm/℃	内蔵基準電圧
		15typ., 20max.				ppm/℃	外部基準電圧		
		15typ., 20max.				ppm/℃	内蔵基準電圧		
		20typ.				ppm/℃	外部基準電圧(注4)		
		50typ.				ppm/℃	内蔵基準電圧(注4)		
	ZN502E	上記特性については ZN502CJと同じ						プラスチック・パッケージ	
分解能 変換時間 DAC基準電流I <sub>REF</sub> アナログ入力範囲 電源リジエクシオン 電源電圧+V <sub>CC</sub> -V <sub>CC</sub> 電源電流+I <sub>CC</sub> -I <sub>CC</sub> 消費電力	全タイプ	10					ビット		
		10	15	20	15	20	μS	注2	
		0.25	0.5	1.0	0.25	1.0	mA	注5	
		-2.5		+2.5			V	注3	
			0.1				%/V		
		+4.5	+5	+5.5	+4.5	+5.5	V		
		-4.5	-5	-5.5	-4.5	-5.5	V		
			30	36			mA	+V <sub>CC</sub> =+5V	
			21	28			mA	-V <sub>CC</sub> =-5V	
			300	360			mW		
内蔵基準電圧 出力電圧 出力電圧バラツキ  V <sub>REF</sub> 温度係数 スロープ抵抗 最大負荷電流	全タイプ ZN501AJ ZN502CJ ZN502E 全タイプ	2.480		±3.0			V		
				±5.0			%		
				±5.0			%		
					26	50	ppm/℃		
		0.75					Ω		
		±2.0					mA		

特 性	型 番	周囲温度Tamb=+25℃			全動作温度範囲		単 位	条 件
		Min.	Typ.	Max.	Min.	Max.		
<b>ロジック</b> <b>変換開始入力SC</b> ハイ・レベル入力電圧V <sub>IN</sub> ロー・レベル入力電圧V <sub>IL</sub> ハイ・レベル入力電流I <sub>IH</sub>  ロー・レベル入力電流I <sub>IL</sub>  <b>バイト1と2</b> ハイ・レベル入力電圧V <sub>IH</sub> ロー・レベル入力電圧V <sub>IL</sub> ハイ・レベル入力電流I <sub>IH</sub>  ロー・レベル入力電流I <sub>IL</sub>	全タイプ	2.0		0.8	2.0	0.8	V	V <sub>CC</sub> =±5.5V V <sub>IN</sub> =5.5V V <sub>CC</sub> =±5.5V V <sub>IN</sub> =2.4V V <sub>CC</sub> =±5.5V V <sub>IN</sub> =0.4V
			18.0				μA	
			8.0				μA	
			4.0				μA	
		2.0		0.8	2.0	0.8	V	
							V	
			18.0				μA	
			12.0				μA	
			2.0				μA	
							μA	
<b>クロック</b> クロック・パルス幅 最大クロック周波数 ハイ・レベル入力電圧V <sub>IH</sub> ロー・レベル入力電圧V <sub>IL</sub> ハイ・レベル入力電流I <sub>IH</sub>  ロー・レベル入力電流I <sub>IL</sub>  ハイ・レベル出力電圧V <sub>OH</sub> ロー・レベル出力電圧V <sub>OL</sub> ハイ・レベル出力電流I <sub>OH</sub> ロー・レベル出力電流I <sub>OL</sub> スリー・ステート出力DISABLE時 出力漏れ電流 バイト入カーデータ出力遅延時間  出力ENABLE/DISABLE遅延時間 TE1 TE0 TD1 TD0 <b>SC</b> パルス幅 <b>SC</b> 入カーステータス出力遅延時間	全タイプ	0.5					μS	V <sub>CC</sub> =±5.5V V <sub>IN</sub> =5.5V V <sub>CC</sub> =±5.5V V <sub>IN</sub> =2.4V V <sub>CC</sub> =±5.5V V <sub>IN</sub> =0.4V V <sub>CC</sub> =±5V V <sub>OUT</sub> =1.3V  第 図参照
		550	730	1100	550	730	kHz	
		2.0			2.0		V	
				0.8		0.8	V	
			15.0				μA	
			5.0				μA	
			1.5				μA	
		2.4			2.4		V	
				0.4		0.4	V	
				-700			μA	
				2.0			mA	
				2.0			μA	
							nS	
							nS	
							nS	
							nS	
							nS	
					nS			

注1. 全動作温度範囲でミスコードなし。

注2. 1変換サイクルは11クロック期間かかるので、クロック周波数550kHzの場合、変換時間は20μSとなる（タイミング図参照）。したがって、変換周波数は45kHzとなる。

注3. 入力抵抗の値を変えることによって、ユニポーラ入力または他の入力電圧範囲でも使用できる。

注4. 利得誤差は、R<sub>3</sub>によってゼロに調整することができる。

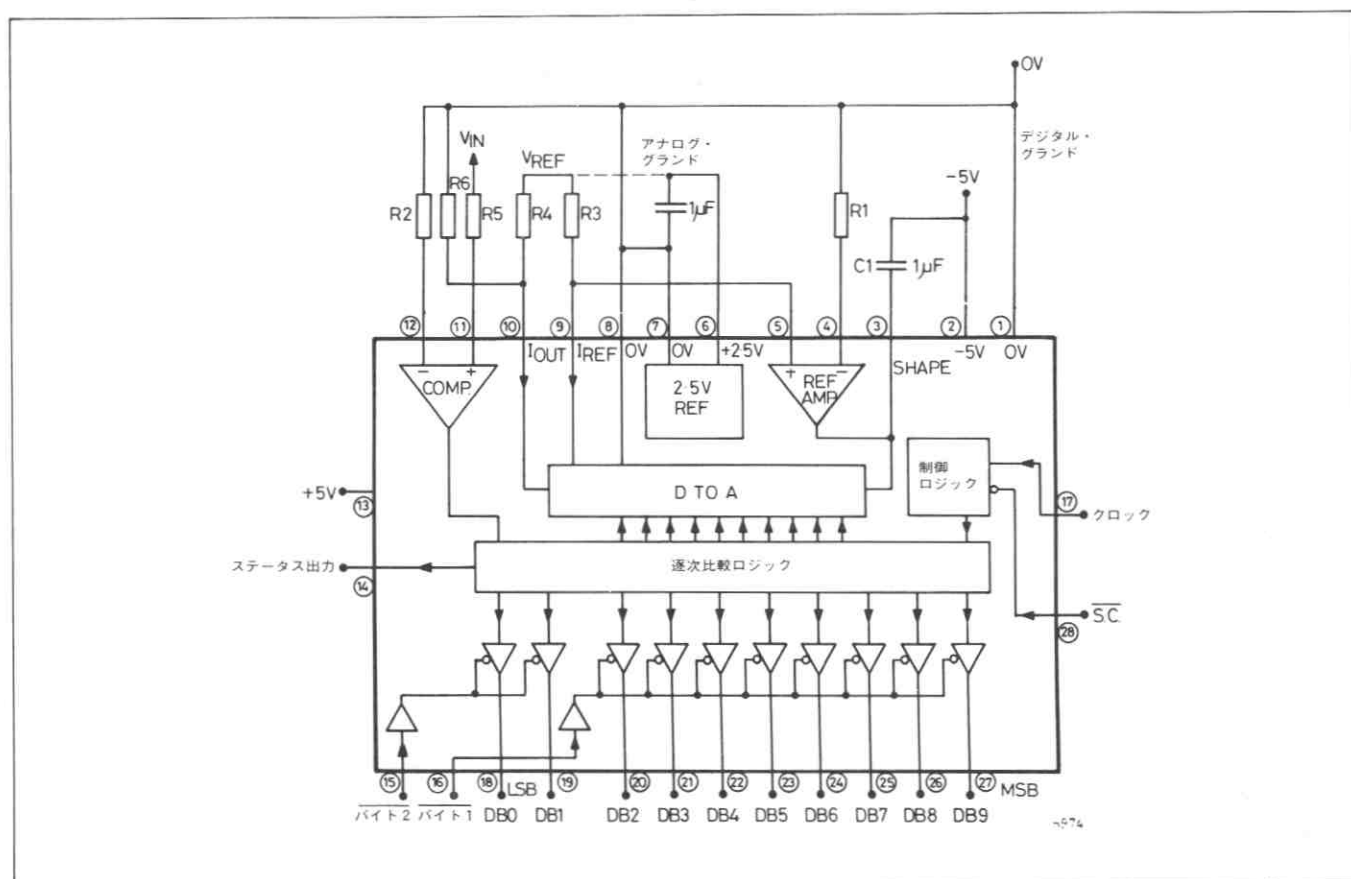
注5. DAコンバータのフルスケール出力電流I<sub>OUT</sub>は、I<sub>REF</sub>の4倍となる。I<sub>REF</sub>=0.5mAで最良の特性が得られる。

## 動作概要

ZN501は、逐次比較型のADコンバータである。 $\overline{SC}$  入力に負のパルスが入力されると、ステータス出力(STATUS)はローになり、DAコンバータ入力はMSBに設定される。この結果生じるアナログ出力は、コンパレータによって入力アナログ信号と比較される。もし、アナログ信号のほうが大きければ、MSBはそのまま保持され、そうでなければリセットされる。2番目のクロック・パルスでは、この手順は2番目のビットに対して行われ、同様に最下位

のビットまで繰り返される。11番目のクロックの立下りで、ステータス出力はハイになり、変換が終了したことを知らせる。

バイト1とバイト2は、通常変換の間はハイにしておき、スリー・ステート・バッファを高インピーダンス状態にする。データは、バイト1またはバイト2をローにすることによって、スリー・ステート出力より読み出すことができる。バイト1は上位8ビットを、バイト2は下位2ビットを制御している。



第2図 外部接続

## 変換タイミング

ZN501/502は、クロックと全く非同期の変換開始( $\overline{SC}$ )パルスの立下りで変換を開始し、クロックと変換開始パルスの相対的なタイミングによって、10.5から11.5クロック・パルスで変換を終了する。

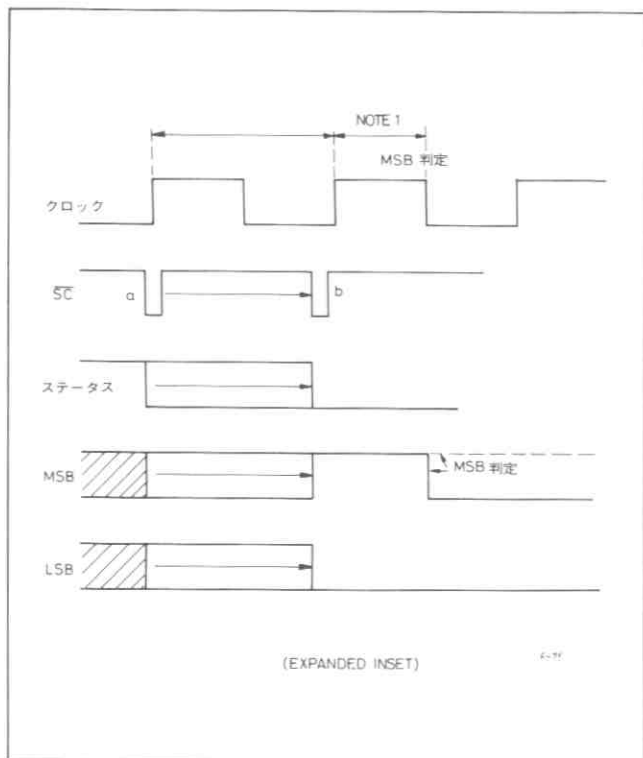
コンバータは、変換開始パルスの立下りでクリアされ、最上位ビットをハイにセットし、他の全てのビットとステータス出力をローにリセットする。変換開始パルスがローの間、DAコンバータのMSB出力はアナログ入力と連続的に比較され、変換開始パルスが再びハイに戻った後で、MSBの決定が行われる。そして逐次比較動作はLSBまで繰り返される。

$\overline{SC}$ パルスは最小値100nSであるが、MSBがハイにセ

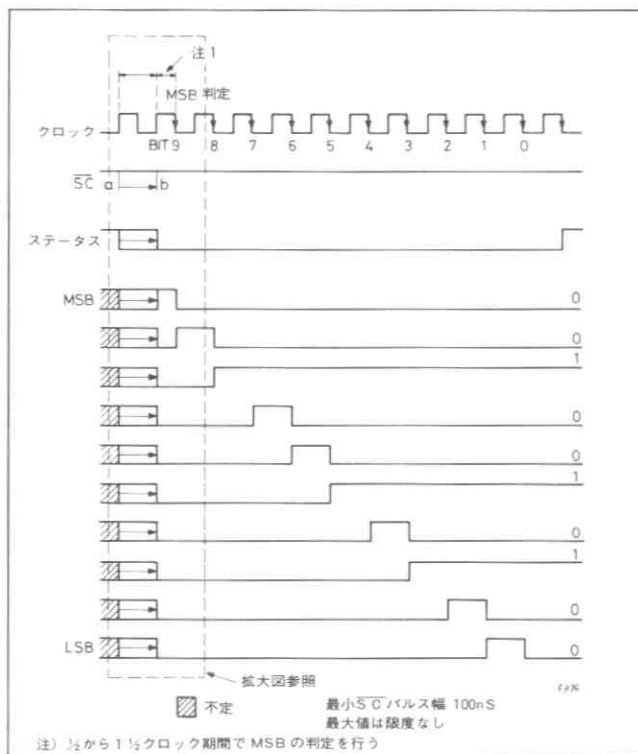
ットされてからMSBの決定が行われるまでに少なくとも、625nS必要である。したがって、短い $\overline{SC}$ パルスの場合にもこの時間を確保するために、コンバータは $\overline{SC}$ パルスがハイになった後も、クロックの立上りを検出するまで停止し、それに続くクロックの立下りでMSBの決定を行う。この結果、MSBがハイにセットされてからMSBの決定が行われるまで最小 $\frac{1}{2}$ クロック期間の時間が確保される。

変換が行われている間コンバータはロックされないので、変換開始入力がローになればいつでも変換は再開される。

変換終了の1クロック・サイクル後にステータス出力はハイになり、データが有効であることを示す。データは変換中にも読み出すことができるが、有効なデータはステータス出力の立上り以後に得ることができる。



第3図 タイミング図 (拡大)

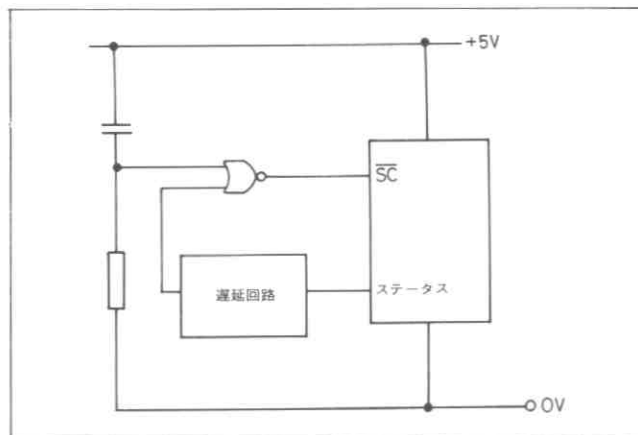


第4図 タイミング図

### 連続変換

ステータス出力を反転してSC入力にフィード・バックすることによって、AD変換を繰り返し行うことができる。電源投入時に確実に変換を開始するには、最初に変換開始パルスが必要になる。このため、インバータのかわりに、NORゲートを接続し、この一方の入力に電源投入時に正パルスが出る簡単なRC回路を接続することによって、確実に変換開始パルスを発生させることができる。

NORゲートの伝搬遅延時間によって、ステータス出力がハイになっている時間が決まり、この間にデータは出力ラッチに取り込まれる。この時間は、フィード・バック回路に遅延回路を挿入することによって増加することができる。



第5図 連続変換回路

### 外付抵抗の計算

Vin max を、全ビット '1' のロジック出力に対応する入力電圧とし、Vin min を全ビット '0' のロジック出力に対応する入力電圧とする。

$$I_{out} = IR_4 + I_{in}$$

$$= \frac{V_{ref}}{R_4} + \frac{V_{in}}{R_5}$$

$$I_{out} = 0 \text{ の場合 } \frac{V_{inmin}}{R_5} = -\frac{V_{ref}}{R_4}$$

$$R_4 = \frac{-V_{ref} \cdot R_5}{V_{inmin}}$$

$$I_{out} (F. S.) = 2mA$$

$$\frac{v_{inmax}}{R_5} + \frac{V_{ret}}{R_4} = I_{out} (F. S.)$$

$$-\frac{V_{inmin}}{R_5} + \frac{V_{inmax}}{R_5} = I_{out} (F. S.)$$

$$R_5 = \frac{V_{inmax} - V_{inmin}}{I_{out} (F. S.)}$$

Iout (F. S.) を 2mA に一定に保つことは、利得を安

定させるために重要である。これはレファレンス・アンプによって行うことができる。

$$I_{ref} = 0.5mA$$

$$R_3 = \frac{V_{ref}}{0.5mA}$$

Iout (F. S.) は、Iref の 4 倍である。

R3 は利得の安定度に影響を与えるので、高品質のものを使用する。また、この抵抗の微調整によって利得調整を行うことができる。

R4 と R5 はオフセットの安定度に影響を与えるので、高品質のものを使用する。また、R4 の微調整によってオフセット誤差を調整することができる。

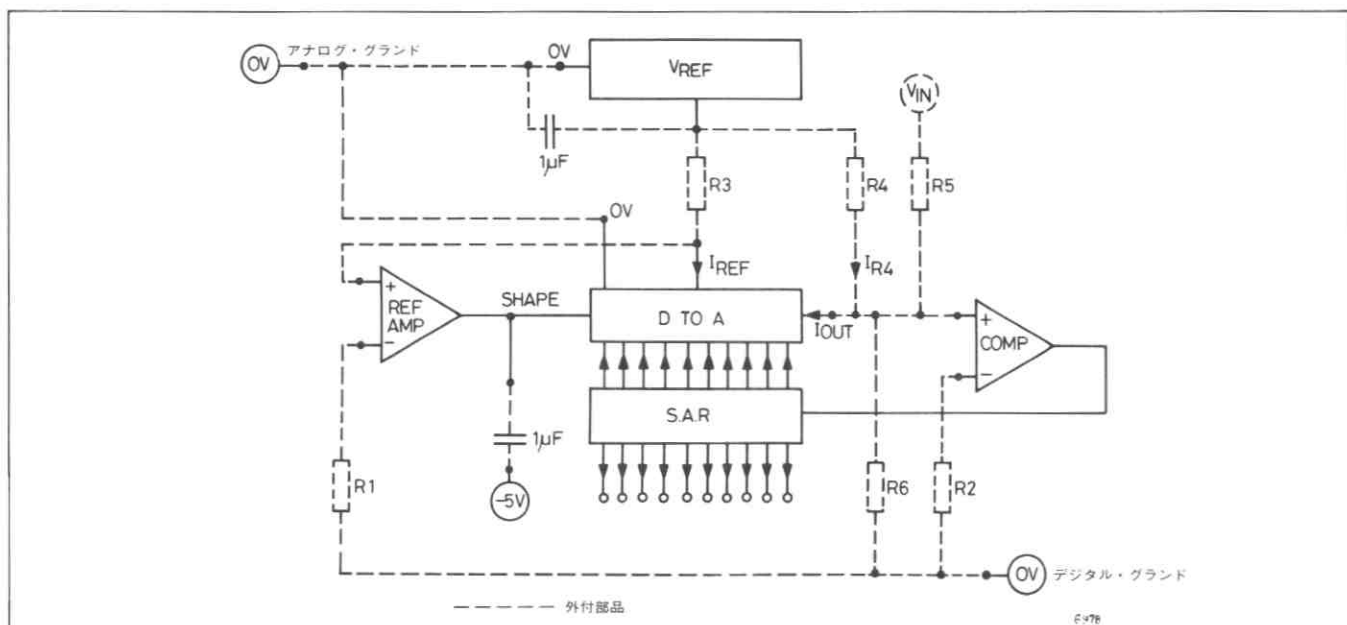
R1 と R2 で、レファレンス・アンプとコンパレータにバイアス電流を供給する。

$$\text{したがって、 } R_1 = R_3$$

$$\text{そして、 } R_2 = R_4, R_5, R_6 \text{ の合成抵抗}$$

R4, R5, R6 の合成抵抗値は、DA コンバータの時定数を決定する。したがって、変換時間もこの値によって決まるので、約 1.25KΩ になるようにする。





第6図 外部接続

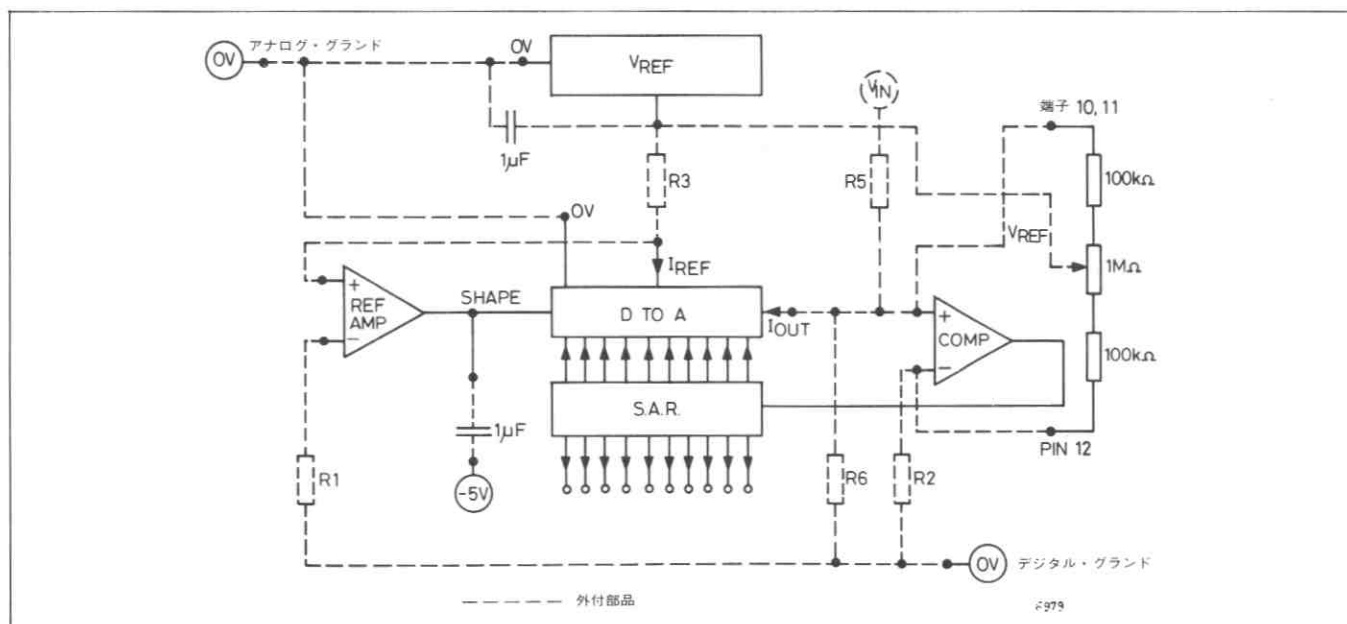
この条件を満足するいくつかの例を次の表に示す。

$V_{in\ max}$	$V_{in\ min}$	$V_{ref}$	R1 (1)	R2 (1)	R3	R4	R5	R6 (1)
+ 2.5	- 2.5	2.5	5 K	1.25K	5K	2.5K	2.5K	$\infty$
+ 2.5	- 2.5	5 *	10K	1.25K	10K	5.0K	2.5K	5.0K
+ 2.5	0	2.5	5K	1.25K	5K	$\infty$	1.25K	$\infty$
+ 5.0	0	2.5	5K	1.25K	5K	$\infty$	2.5K	2.5K
+ 4.0	- 2.0	2.5	5K	1.25K	5K	3.75K	3.0K	5.0K
+ 4.0	- 2.0	12 *	24K	1.25K	24K	3.75K	3.0K	5.0K
+10	-10	2.5	5K	1.25K	5K	2.5K	10K	3.33K
+10	0	2.5	5K	1.25K	5K	$\infty$	5K	1.66K

注1) R1、R2、R6は、標準系列よりもっとも近い値の部品を選ぶ。

\*注2) 外部基準電圧を使用。

ユニポーラ入力の場合、R4は無有限大になり、ゼロ調整ができなくなる。したがって、次の回路をR4の代りに用いてオフセット調整を行う。



第7図 ユニポーラ動作 オフセット回路

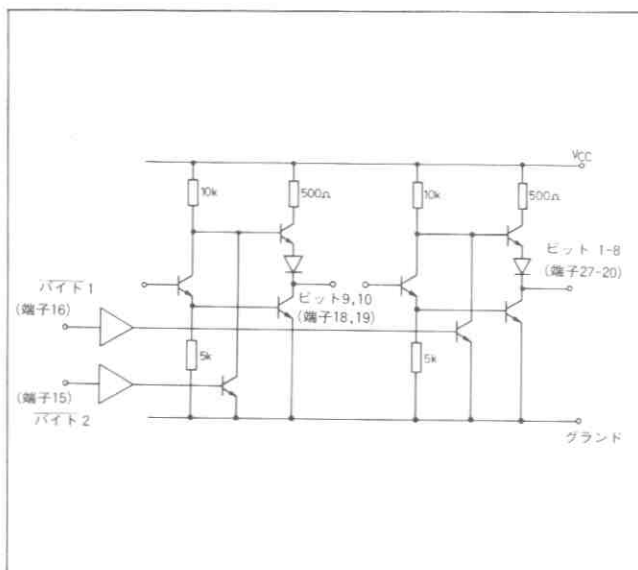
## データ出力

ZN501は、スリー・ステートの出力バッファを内蔵しているため、バッファやラッチを外付する必要がない。

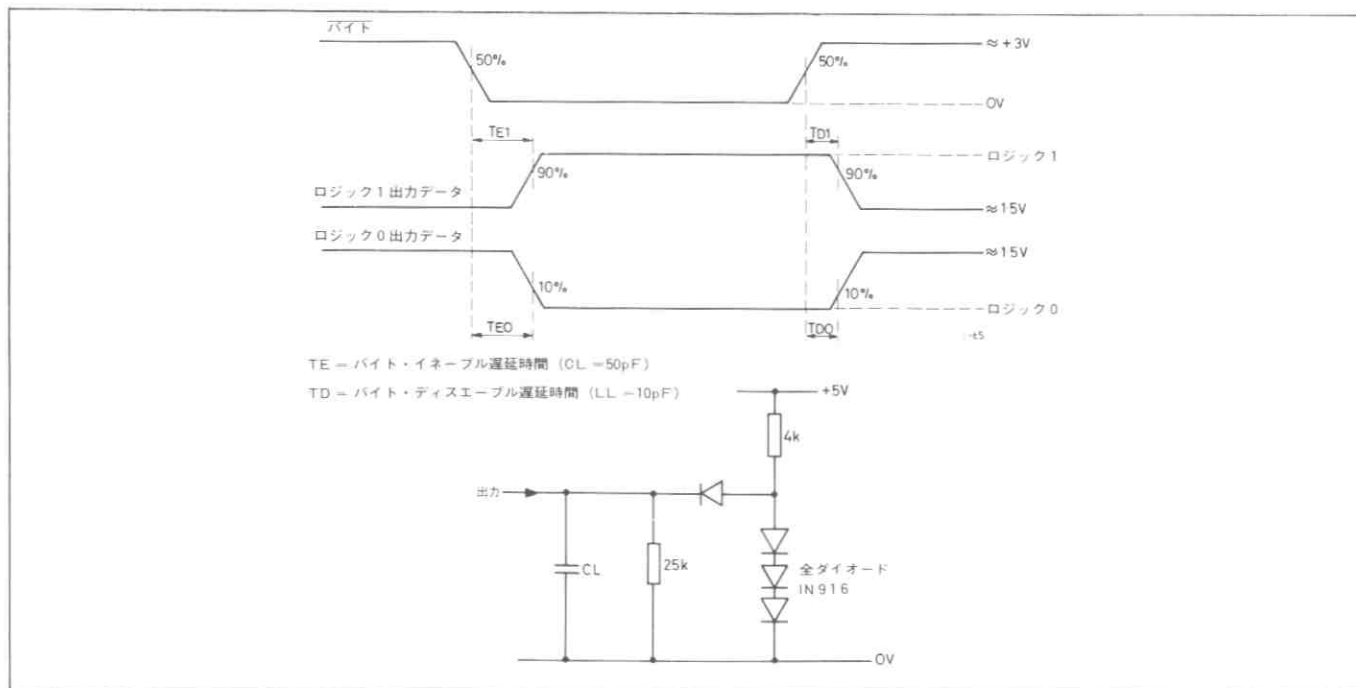
2つのバイト選択端子バイト1とバイト2は、各々出力DB 9からDB 2と出力DB 1からDB 0を制御する。

バイト1とバイト2は、通常変換の間ハイに保持し、スリー・ステート・バッファが高インピーダンス状態になるようにする。そして、ステータス出力がハイになり、データが有効になった時に、バイト1とバイト2をローにして簡単に読み出すことができる。テスト回路と出力イネーブル/ディスエーブルのタイミング図を第9図に示す。

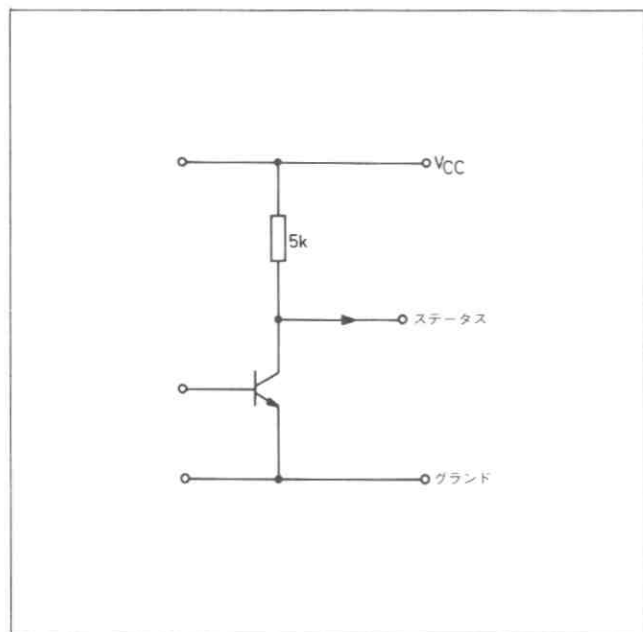
ステータス出力は、CMOS/TTLコンパチブルとなるように、5KΩのプルアップ抵抗を内蔵している。



第8図 データ出力



第9図 出力イネーブル/ディスエーブル遅延



第10図 ステータス出力

## データ・バスとの接続

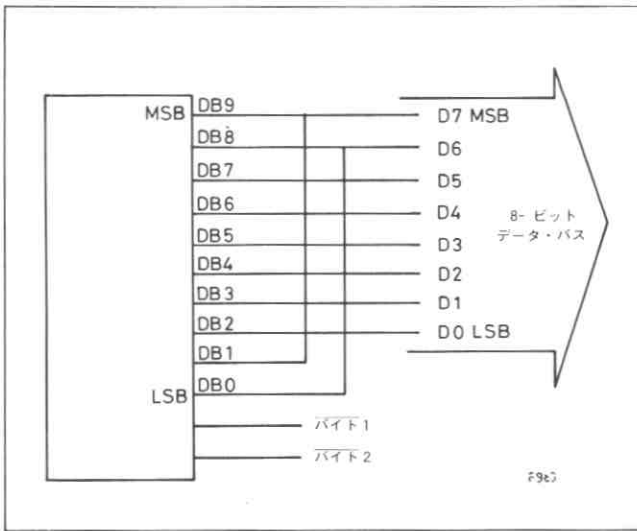
ZN501は、8ビットのマイクロプロセッサ・バスに直接接続することができる。この場合、最下位の2ビットは通常上位ビット（通常最上位の2ビット）に接続する。したがって、データはバイト1とバイト2の制御によって、2ワードに分けて読み出される。

16ビットのマイクロプロセッサと接続する場合、バイト1とバイト2を接続し、10ビット同時に読み出す。10ビット・ワードは、16ビット・バスの上位または下位の10ビットに出力される。

バイト 1	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2
	D7	D6	D5	D4	D3	D2	D1	D0

バイト 2	DB1	DB0	×	×	×	×	×	×
-------	-----	-----	---	---	---	---	---	---

データは2ワードに分けて出力される



第11図 データ・バス接続

### ユニポーラ動作 調整手順

(i) 変換時間以上の間隔で変換開始パルスを連続的に印加し、デジタル出力を観測する。

オフセット調整

(ii)  $V_{in}$  に  $\frac{1}{2}$  LSB の電圧を印加し、ビット10 (LSB) が0と1のフリッカー状態、他の全てのビットが0になるようにオフセット回路を調整する。

つまり、0000000000と0000000001の変化点

ゲイン調整

(iii)  $V_{in}$  に  $(FS - 1\frac{1}{2} \text{LSB})$  の電圧を印加し、ビット10 (LSB) が0と1のフリッカー状態、他の全てのビットが1になるように利得を調整する。

つまり、1111111111と1111111110の変化点

注) R3で利得調整する。

### ユニポーラ動作 セットティング・ポイント

入力電圧範囲 +FS	$\frac{1}{2}$ LSB	$FS - 1\frac{1}{2}$ LSB
+2.5V	1.22mV	2.4963V
+5.0V	2.441mV	4.9926V

$$1 \text{ LSB} = \frac{FS}{1024}$$

### ユニポーラ動作 ロジック・コード

アナログ入力 $V_{in}$ (中心値)	デジタル出力コード MSB LSM
$FS - 1 \text{ LSB}$	1111111111
$FS - 2 \text{ LSB}$	1111111110
$\frac{3}{4}FS$	1100000000
$\frac{1}{2}FS + 1 \text{ LSB}$	1000000001
$\frac{1}{2}FS$	1000000000
$\frac{1}{2}FS - 1 \text{ LSB}$	0111111111
$\frac{1}{4}FS$	0100000000
1 LSB	0000000001
0	0000000000

### バイポーラ動作 調整手順

(i) 変換時間以上の間隔で変換開始パルスを連続的に印加し、デジタル出力を観測する。

オフセット調整

(ii)  $V_{in}$  に  $-(FS - \frac{1}{2} \text{LSB})$  の電圧を加え、ビット10 (LSB) が0と1のフリッカー状態、他の全てのビットが0になるようにオフセット調整する。

つまり、0000000000と0000000001の変化点

注) R4でオフセット調整する。

ゲイン調整

(iii)  $V_{in}$  に  $+(FS - 1\frac{1}{2} \text{LSB})$  の電圧を加え、ビット10 (LSB) が0と1のフリッカー状態、他の全てのビットが1になるように利得を調整する。

つまり、1111111111と1111111110の変化点

注) R3で利得を調整する。

### バイポーラ動作 セットティング・ポイント

入力電圧範囲 ( $\pm FS$ )	$-(FS - \frac{1}{2} \text{LSB})$	$+(FS - 1\frac{1}{2} \text{LSB})$
$\pm 2.5 \text{ V}$	-2.4976 V	+2.4927 V
$\pm 5.0 \text{ V}$	-4.9951 V	+4.9854 V

$$1 \text{ LSB} = \frac{2 \text{LSB}}{1024}$$

### バイポーラ動作 ロジック・コード

アナログ入力 $V_{in}$ (中心値)	デジタル出力コード MSB LSB
$+(FS - 1 \text{ LSB})$	1111111111
$+(FS - 2 \text{ LSB})$	1111111110
$+(\frac{1}{2}FS)$	1100000000
$+(1 \text{ LSB})$	1000000001
0	1000000000
$-(1 \text{ LSB})$	0111111111
$-(\frac{1}{2}FS)$	0100000000
$-(FS - 1 \text{ LSB})$	0000000001
-FS	0000000000

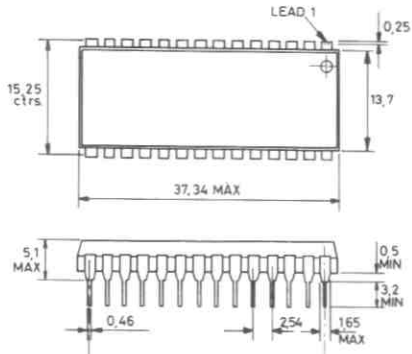
### 基準電圧発生回路

コンバータ全体の利得安定性を決定する基準電圧発生回路は、P型抵抗を使用した2.5Vの精密基準電源である。

# パッケージ寸法

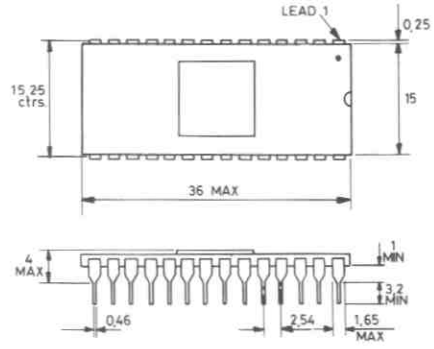
単位 mm

ZN502E



28 Lead Moulded D.I.L. 4116MD/2

ZN501J/ZN502J



28 Lead Ceramic D.I.L. 5457/3

# ZN503/ZN504

10ビット・マイクロプロセッサコンパチブルADコンバータ(パラレル/シリアル出力)

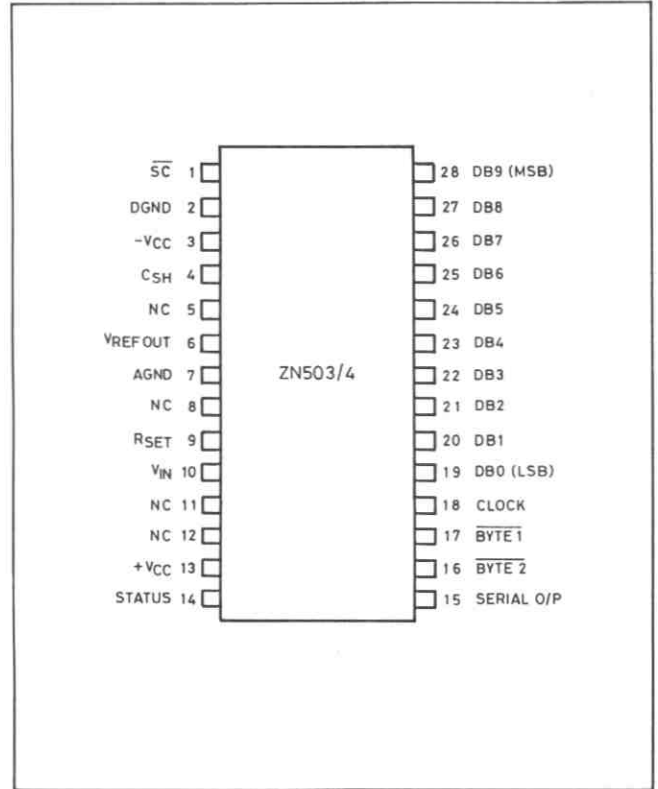
## ADVANCE INFORMATION

ZN503/504は、高速の逐次比較型ADコンバータで、電流スイッチ・アレー(トリミングを必要としない)、逐次比較ロジック、2.5V精密基準電圧、レザレンス・アンプ、コンパレータそして3ステートのパラレル/シリアル出力バッファから成り立っている。

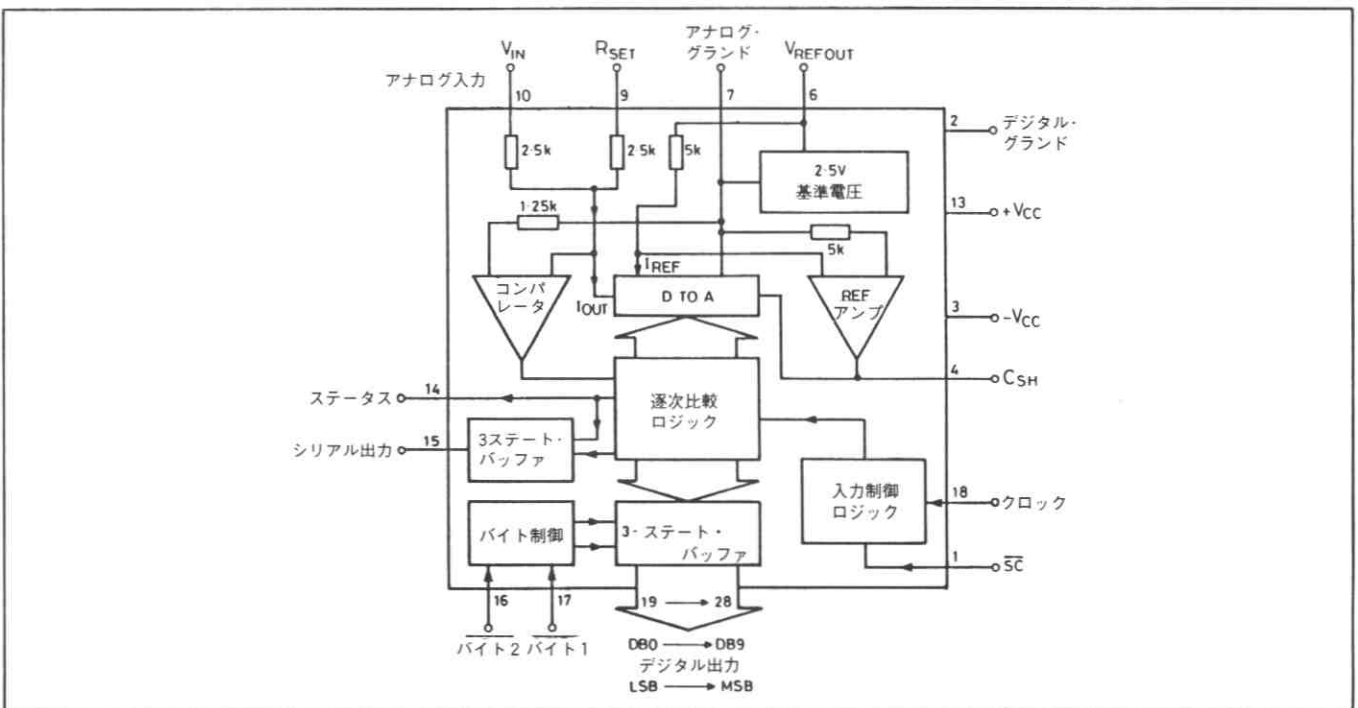
ZN503/504は、3端子によるプログラムで入力電圧範囲を設定でき、わずか2個の外付部品で10ビットADコンバータを作ることができる。このICの調整は必要なく、シリアル・データ出力を有しているので、高分解能のリモート・センシング用に最適なデバイスである。

### 特徴

- 直線性誤差により2品種： $\frac{1}{2}$ LSB-ZN503  
1LSB-ZN504
- 変換時間 20 $\mu$ S保証
- 3ステート・パラレル/シリアル出力
- 外付部品 2個
- 3端子による入力電圧範囲のプログラムが可能
- 非同期SC(変換開始)パルス
- マイクロプロセッサ、TTL/CMOSコンパチブル
- 8および16ビット・マイクロプロセッサ・バス・インターフェイス
- 28端子プラスチックおよびセラミックDILパッケージ



端子接続(上面より)



第1図 システム図

## 電気的特性

テスト条件 (特に注記なき限り)

電源電圧±5V、内部基準電圧使用

特 性	型 番	周囲温度Tamb=+25℃			全動作温度範囲		単 位	条 件
		Min.	Typ.	Max.	Min.	Max.		
リニアリティ・エラー ディフェレンシャル・リニアリティ・エラー ユニポーラ・オフセット バイポーラ・オフセット ゲイン・エラー 温度係数 (Tmin~Tmax) ユニポーラ・オフセット バイポーラ・オフセット ゲイン	ZN503AJ	—	—	±1/2	—	±1/2	LSB	セラミック
		—	—	±1/2	—	±1/2	LSB	注1
		—	±1.0	±2.0	—	±2.0	LSB	注2
		—	±1.0	±2.0	—	±2.0	LSB	注2
		—	±4.0	—	—	—	LSB	注2
		10typ., 15max.					ppm/℃	
		10typ., 15max. 60typ.					ppm/℃ ppm/℃	
リニアリティ・エラー ディフェレンシャル・リニアリティ・エラー ユニポーラ・オフセット バイポーラ・オフセット ゲイン・エラー 温度係数 (Tmin~Tmax) ユニポーラ・オフセット バイポーラ・オフセット ゲイン	ZN504CJ	—	—	±1.0	—	±1.0	LSB	セラミック
		—	—	±1/2	—	±1/2	LSB	注1
		—	±1.0	±2.0	—	±2.0	LSB	注2
		—	±1.0	±2.0	—	±2.0	LSB	注2
		—	±4.0	—	—	—	LSB	注2
		20typ., 30max.					ppm/℃	注2
		20typ., 30max. 60typ.					ppm/℃ ppm/℃	注2 注2
	ZN504E	ZN504CJの値と同じ						プラスチック
分解能 変換時間 (min) アナログ入力範囲 電源リジェクション 電源電圧+Vcc -Vcc 電源電流+Icc -Icc 消費電力	全タイプ	10	—	—	—	—	ビット	注4 注5、8 注6、8 注7、8 +Vcc=+5V -Vcc=-5V
		10	15	20	15	20	μS	
		0~+2.5					V	
		0~+5.0					V	
		-2.5~+2.5					V	
		—	0.1	—	—	—	%/V	
		+4.5	+5.0	+5.5	+4.5	+5.5	V	
		-4.5	-5.0	-5.5	-4.5	-5.5	V	
		—	36	44	—	—	mA	
		—	23	32	—	—	mA	
—	295	380	—	—	mW			
内部基準電圧 出力電圧 出力電圧精度 VREF温度係数 スロープ抵抗 最大外部負荷電流	全タイプ	—	2.480	—	—	—	V	
	ZN503AJ	—	—	±3.0	—	—	%	
	ZN504CJ	—	—	±3.0	—	—	%	
	ZN504E	—	—	±5.0	—	—	%	
	全タイプ	—	—	—	26	50	ppm/℃	
	—	0.75	—	—	—	—	Ω	
	—	±2.0	—	—	—	—	mA	

特 性	型 番	周囲温度 Tamb = +25°C			全動作温度範囲		単 位	条 件
		Min.	Typ.	Max.	Min.	Max.		
ロジック 変換開始 $\overline{SC}$ 入力	全タイプ							
ハイ・レベル入力電圧		2.0	—	—	2.0	—	V	V <sub>CC</sub> =±5.5V V <sub>IN</sub> =5.5V V <sub>CC</sub> =±5.5V V <sub>IN</sub> =2.4V V <sub>CC</sub> =±5.5V V <sub>IN</sub> =0.4V
ロー・レベル入力電圧		—	—	0.8	—	0.8	V	
ハイ・レベル入力電流		—	18	—	—	—	μA	
ハイ・レベル入力電流		—	8.0	—	—	—	μA	
ロー・レベル入力電流		—	4.0	—	—	—	μA	
ロジック バイト1および2入力	全タイプ							
ハイ・レベル入力電圧		2.0	—	—	2.0	—	V	V <sub>CC</sub> =±5.5V V <sub>IN</sub> =5.5V V <sub>CC</sub> =±5.5V V <sub>IN</sub> =2.4V V <sub>CC</sub> =±5.5V V <sub>IN</sub> =0.4V
ロー・レベル入力電圧		—	—	0.8	—	0.8	V	
ハイ・レベル入力電流		—	18	—	—	—	μA	
ハイ・レベル入力電流		—	12	—	—	—	μA	
ロー・レベル入力電流		—	2.0	—	—	—	μA	
クロック	全タイプ							
クロック・ハイ期間		0.5	—	—	—	—	μS	V <sub>CC</sub> =±5.5V V <sub>IN</sub> =5.5V V <sub>CC</sub> =±5.5V V <sub>IN</sub> =2.4V V <sub>CC</sub> =±5.5V V <sub>IN</sub> =0.4V
最大クロック周波数		550	730	1100	550	730	KHz	
ハイ・レベル入力電圧		2.0	—	—	2.0	—	V	
ロー・レベル入力電圧		—	—	0.8	—	0.8	V	
ハイ・レベル入力電流		—	15	—	—	—	μA	
ハイ・レベル入力電流		—	5.0	—	—	—	μA	
ロー・レベル入力電流		—	1.5	—	—	—	μA	
ハイ・レベル出力電圧	全タイプ	2.4	—	—	2.4	—	V	V <sub>CC</sub> =±5V
ロー・レベル出力電圧		—	—	0.4	—	0.4	V	
ハイ・レベル出力電流		—	—	—700	—	—	μA	V <sub>OUT</sub> =1.3V
ロー・レベル出力電流		—	—	2.0	—	—	mA	
3ステート・ディスエーブル時 出力漏れ電流		—	—	±2.0	—	—	μA	
イネーブル/ディスエーブル		—	—	—	—	—	—	
遅延時間TE1		100	220	260	—	—	nS	注3
TE0		60	80	100	—	—	nS	
TD1		100	120	140	—	—	nS	
TD0		30	60	100	—	—	nS	
$\overline{SC}$ パルス幅		100	—	—	—	—	nS	
$\overline{SC}$ 入力ステータス遅延時間		—	180	—	—	—	nS	

注1. 全動作温度範囲でミスコードなし。

注2. ゼロおよびゲイン誤差を外部より補正することはできない。

注3. 第9図参照。

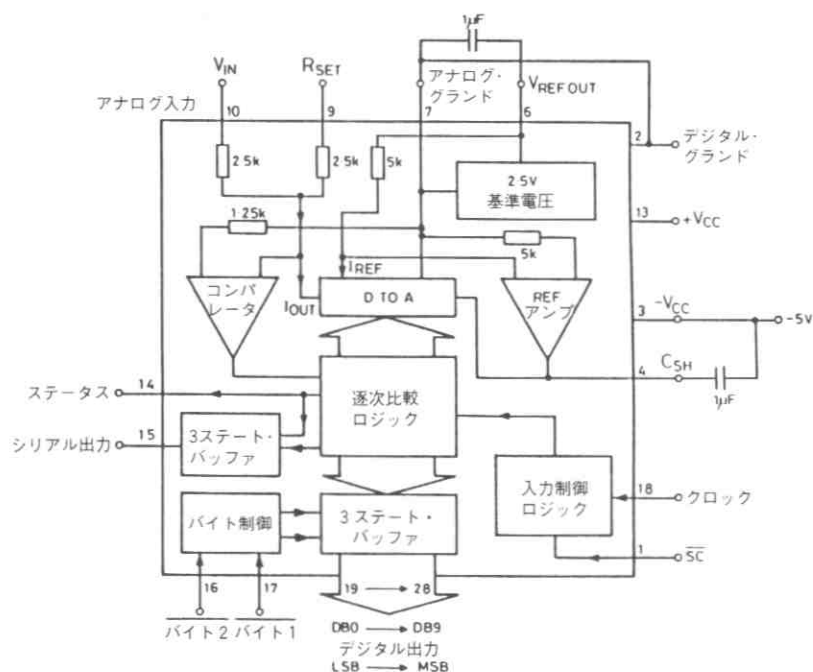
注4. 1変換サイクルは11クロック期間必要であるので、クロック周波数550KHzの場合変換時間は20μSとなる。したがって、変換周波数は50KHzとなる。

注5. RSET (端子9) は、アナログ入力 (端子10) と接続する。

注6. RSET (端子9) は、アナログ・グラウンド (端子7) と接続する。

注7. RSET (端子9) は、VREF OUT (端子6) と接続する。

注8. アナログ入力電圧を設定する3つのスケーリング抵抗は、ICに内蔵されているため、温度特性が揃っている。この3つの抵抗のマッチングは非常に良いが、絶対値のバラツキは代表値±30%である。



第2図 外付部品

## 動作概要

ZN503/504は、逐次比較型のADコンバータである。SC入力に負のパルスが入力されると、ステータス出力(STATUS)はローになり、DAコンバータ入力MSBに設定される。この結果生じるアナログ出力は、コンパレータによって入力アナログ信号と比較される。もし、アナログ信号のほうが大きければ、MSBはそのまま保持され、そうでなければリセットされる。2番目のクロック・パルスでは、この手順は2番目のビットに対して行われ、同様に最下位のビットまで繰り返される。11番目のクロックの立下りで、ステータス出力はハイになり、変換が終了したことを知らせる。

## パラレル/シリアル出力

ZN503/504は、マイクロプロセッサ・バス・コンパチブルで、2つのバイト制御端子でイネーブルされる3ステート・パラレル出力バッファを内蔵している。変換の間、バイト1とバイト2は通常ハイ・レベルにして、3ステート・バッファをハイ・インピーダンス状態に維持する。バイト1は上位8ビットを制御し、バイト2は下位2ビットを制御する。データを読み出しても、バッファの内容は破壊されない。

シリアル出力の動作は、パラレル出力と違い、ステータスがローの間(変換の間)3ステート出力バッファがイネーブルされる。データは各ビットの判定が行われた後にシリアル出力に表われ、クロックの次の立上りで有効となる。

\*変換の最後でステータスはハイに戻り、データはバイト1およびバイト2をローにしてデータ出力をイネーブルすることによって、パラレル・データ出力から読み出すことができる。

## 変換タイミング

ZN501/502は、クロックと全く非同期の変換開始(SC)パルスの立下りで変換を開始し、クロックと変換開始パルスの相対的なタイミングによって、10.5から11.5クロック・パルスで変換を終了する。

コンバータは、変換開始パルスの立下りでクリアされ、最上位ビットをハイにセットし、他の全てのビットとステータス出力をローにリセットする。変換開始パルスがローの間、DAコンバータのMSB出力はアナログ入力と連続的に比較され、変換開始パルスが再びハイに戻った後で、MSBの決定が行われる。そして逐次比較動作はLSBまで繰り返される。

SCパルスは最小値100nSであるが、MSBがハイにセットされてからMSBの決定が行われるまでに少なくとも、625nS必要である。したがって、短いSCパルスの場合にもこの時間を確保するために、コンバータはSCパルスがハイになった後も、クロックの立上りを検出するまで停止し、それに続くクロックの立下りでMSBの決定を行う。この結果、MSBがハイにセットされてからMSBの決定が行われるまで最小1/2クロック期間、または最大クロック周波数で625nSの時間が確保される。つまり、クロック・ハイ期間とSCパルス幅は、次の関係を満足しなければならない。



クロック・ハイ期間 + SC パルス幅  $\geq 625\text{ns}$

変換が行われている間コンバータはロックされないので、変換開始入力がローになればいつでも変換は再開される。

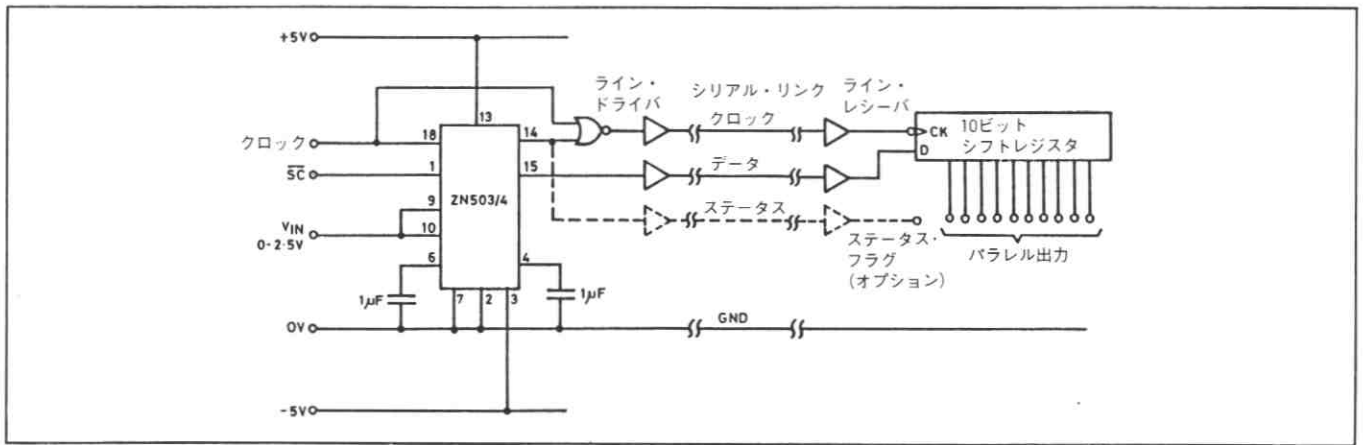
変換終了の1クロック・サイクル後にステータス出力はハイになり、データが有効であることを示す。データは変換中にも読み出すことができるが、有効なデータはステータス出力の立上り以後に得ることができる。

### シリアル出力

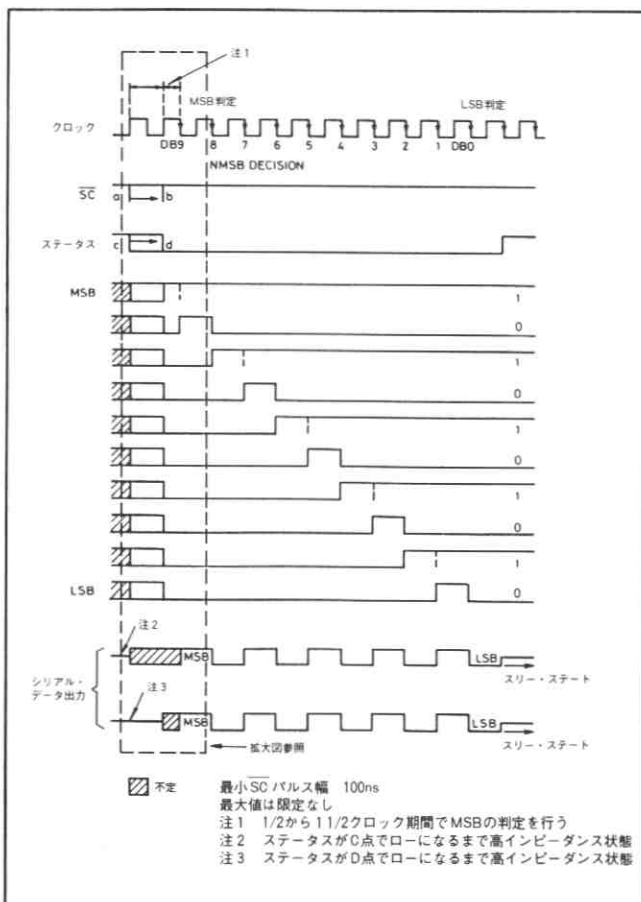
シリアル出力は、クロックと非同期に入力される変換開始(SCパルス)の立下りまで高インピーダンス状態を維持する。SCパルスの立下りでステータス出力はローになり、変換が開始したことを知らせる。SC入力をローに維持すると、シリアル出力は不確定な状態が続き、変換は禁止さ

れる。SC入力をハイに戻すと、MSBは $\frac{1}{2}$ から $1\frac{1}{2}$ クロック期間後に決定される。そして、シリアル出力データは、クロックの立上りでMSBから出力される。LSBの判定が終了すると、出力は次のクロックの立下りで高インピーダンス状態に戻り、ステータス出力はハイになる。変換は、クロックと変換開始パルスの相対的なタイミングによって、10.5から11.5クロック・パルスで終了する。

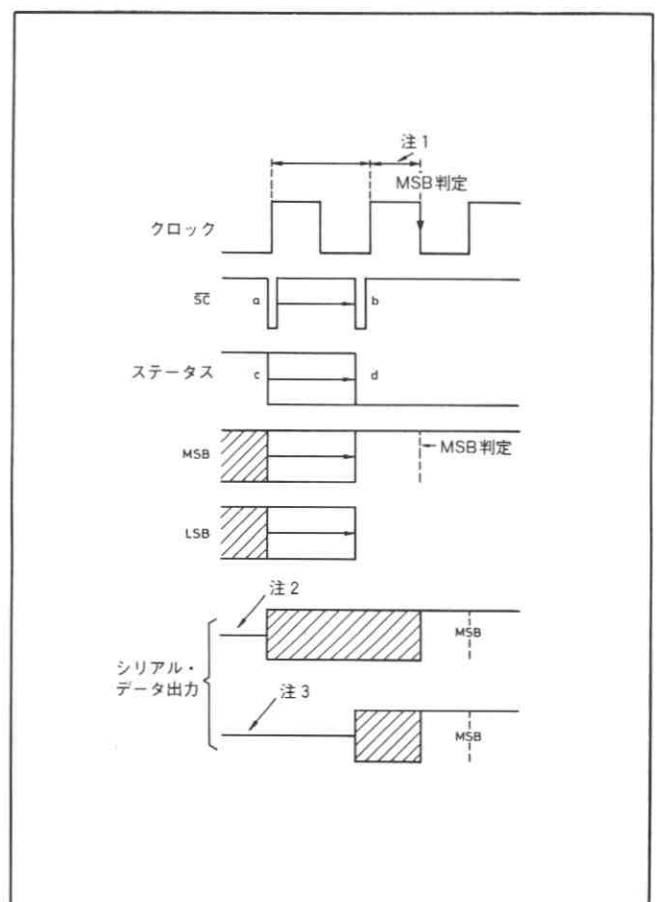
シリアル・データは、ステータス信号がローになった後のクロックの立上りで10ビット・シフトレジスタに簡単に転送できる。ステータス出力とコンバータ・クロックでシフトレジスタのクロック入力を駆動すれば、ステータスがハイに戻った後に、シフトレジスタに10ビット全ての有効なデータを転送することができる。代表的な回路図を第3図に示す。



第3図 シリアル出力の代表的応用



第4図 タイミング図

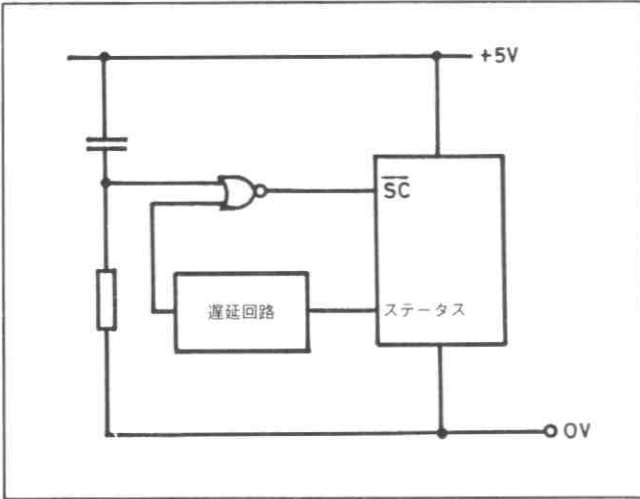


第5図 タイミング図 (拡大)

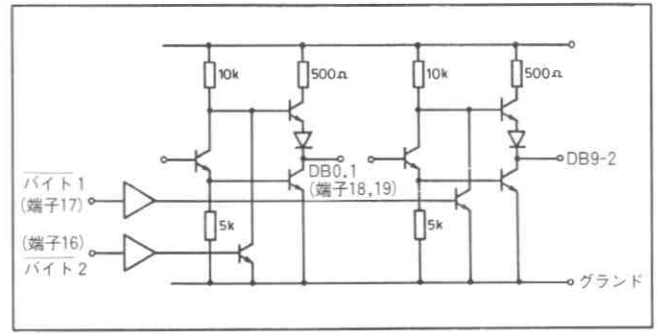
## 連続変換

ステータス出力を反転して  $\overline{SC}$  入力にフィード・バックすることによって、AD 変換を繰り返し行うことができる。電源投入時に確実に変換を開始するには、最初に変換開始パルスが必要になる。このため、インバータのかわりに、NOR ゲートを接続し、この一方の入力に電源投入時に正パルスが出る簡単な RC 回路を接続することによって、確実に変換開始パルスを発生させることができる。

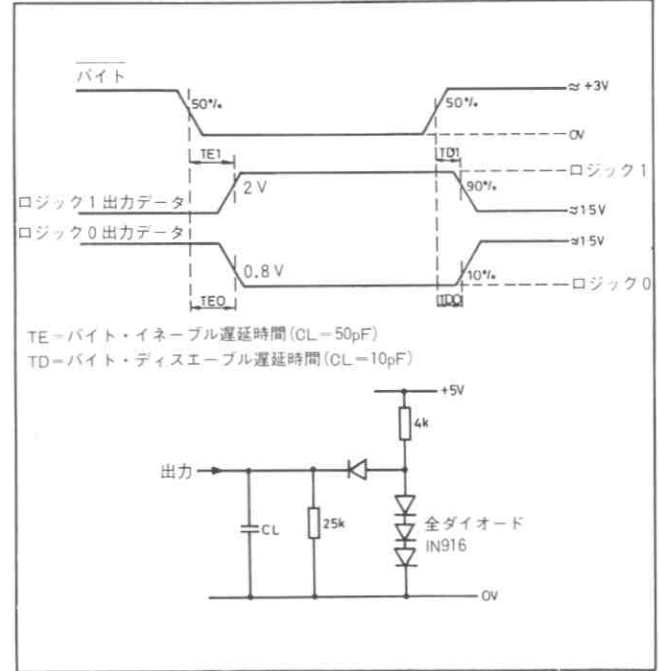
NOR ゲートの伝搬遅延時間によって、ステータス出力がハイになっている時間が決まり、この間にデータは出力ラッチに取り込まれる。この時間は、フィード・バック回路に遅延回路を挿入することによって増加することができる。



第6図 連続変換回路



第8図 データ出力



第9図 出力イネーブル/ディスエーブル遅延

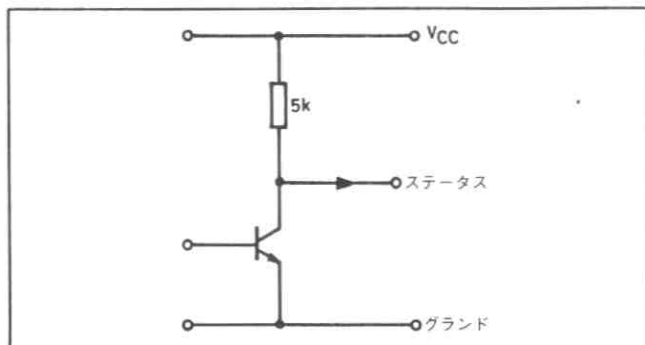
## データ出力

ZN503/504は、スリー・ステートの出力バッファを内蔵しているため、バッファやラッチを外付する必要がない。

2つのバイト選択端子バイト1とバイト2は、各々出力DB9からDB2と出力DB1からDB0を制御する。

バイト1とバイト2は、通常変換の間ハイに保持し、スリー・ステート・バッファが高インピーダンス状態になるようにする。そして、ステータス出力がハイになり、データが有効になった時に、バイト1とバイト2をローにして簡単に読み出すことができる。テスト回路と出力イネーブル/ディスエーブルのタイミング図を第9図に示す。

ステータス出力は、CMOS/TTLコンパチブルとなるように、5K $\Omega$ のプルアップ抵抗を内蔵している。

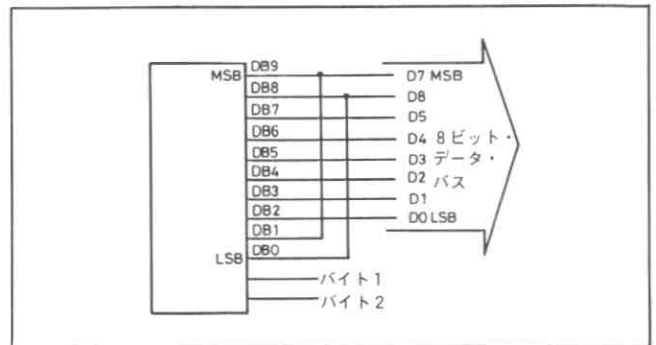


第7図 ステータス出力

## データ・バスとの接続

ZN503/504は、8ビットのマイクロプロセッサ・バスに直接接続することができる。この場合、最下位の2ビットは通常上位ビット(通常最上位の2ビット)に接続する。したがって、データはバイト1とバイト2の制御によって、2ワードに分けて読み出される。

16ビットのマイクロプロセッサと接続する場合、バイト1とバイト2を接続し、10ビット同時に読み出す。10ビット・ワードは、16ビット・バスの上位または下位の10ビットに出力される。



第10図 8ビット・データ・バス接続

バイト 1	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2
	D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0

バイト 2	DB1	DB0	×	×	×	×	×	×
-------	-----	-----	---	---	---	---	---	---

データは2ワードに分けて出力される

### バイポーラ動作 入力範囲

$V_{IN} = -2.5 \sim +2.5V$

### バイポーラ動作 ロジック・コード

アナログ入力 (中心値)	デジタル出力	
	MSB	LSB
+(FS-1LSB)	1	111111111
+(FS-2LSB)	1	111111110
+(1/2FS)	1	100000000
+(1LSB)	1	000000001
0	1	000000000
-(1LSB)	0	111111111
-(1/2LSB)	0	100000000
-(FS-1LSB)	0	000000001
-FS	0	000000000

### ユニポーラ動作 入力範囲

$V_{IN} = 0 \sim +2.5V, V_{IN} = 0 \sim +5V$

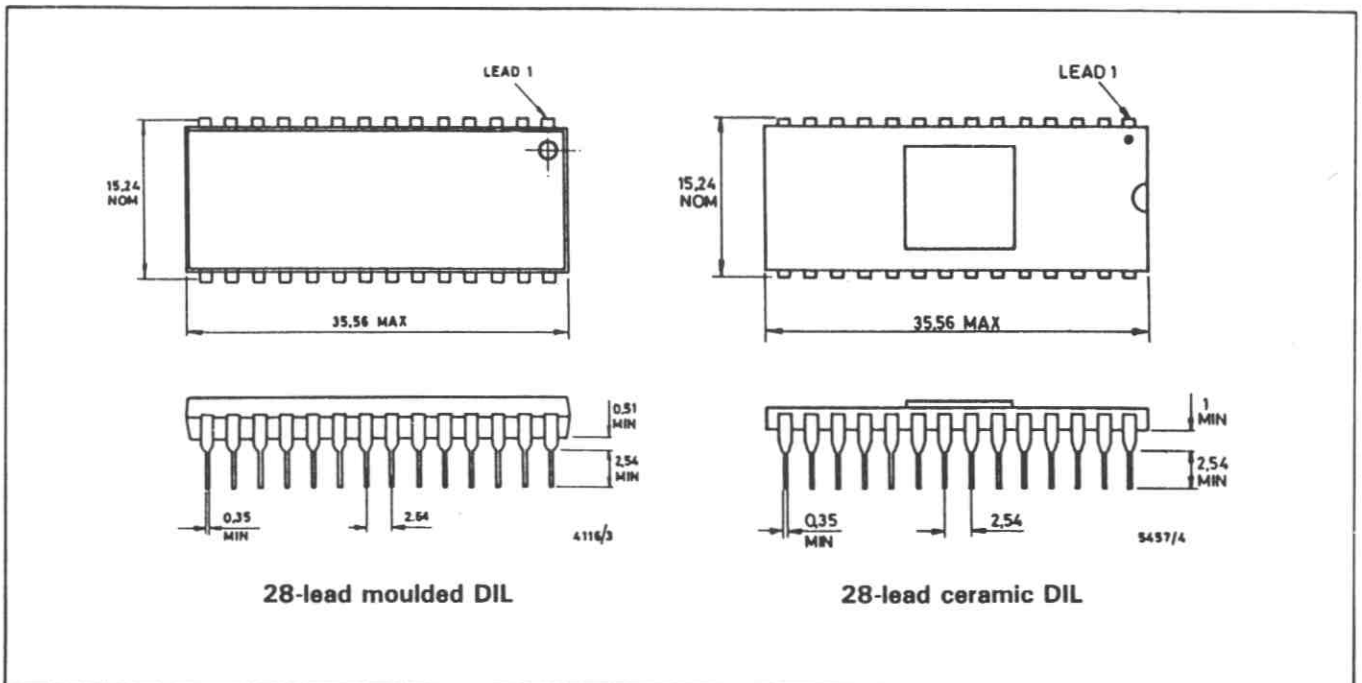
### ユニポーラ動作 ロジック・コード

アナログ入力 (中心値)	デジタル出力	
	MSB	LSB
FS-1LSB	1	111111111
FS-2LSB	1	111111110
3/4FS	1	100000000
1/2FS+1LSB	1	000000001
1/2FS	1	000000000
1/2FS-1LSB	0	111111111
1/4LSB	0	100000000
1LSB	0	000000001
0	0	000000000

### 最大絶対定格

電源電圧+Vcc	+7V
-Vcc	-7V
ロジック入力電圧	+Vcc および 0V
動作周囲温度	0°C ~ +70°C (EタイプおよびCJタイプ) -55°C ~ +125°C (AJタイプ)
保存温度	-55°C ~ +125°C

### パッケージ寸法 単位:mm



# ZN509/ZN510

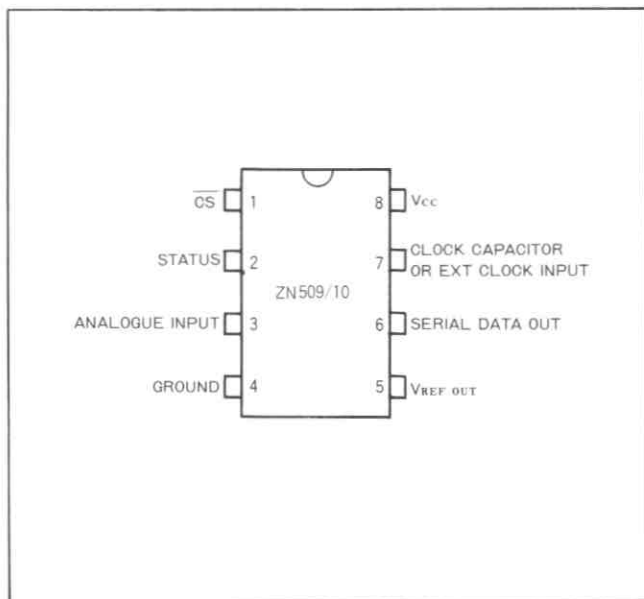
## 8ビット・シリアル出力ADコンバータ

### ADVANCE INFORMATION

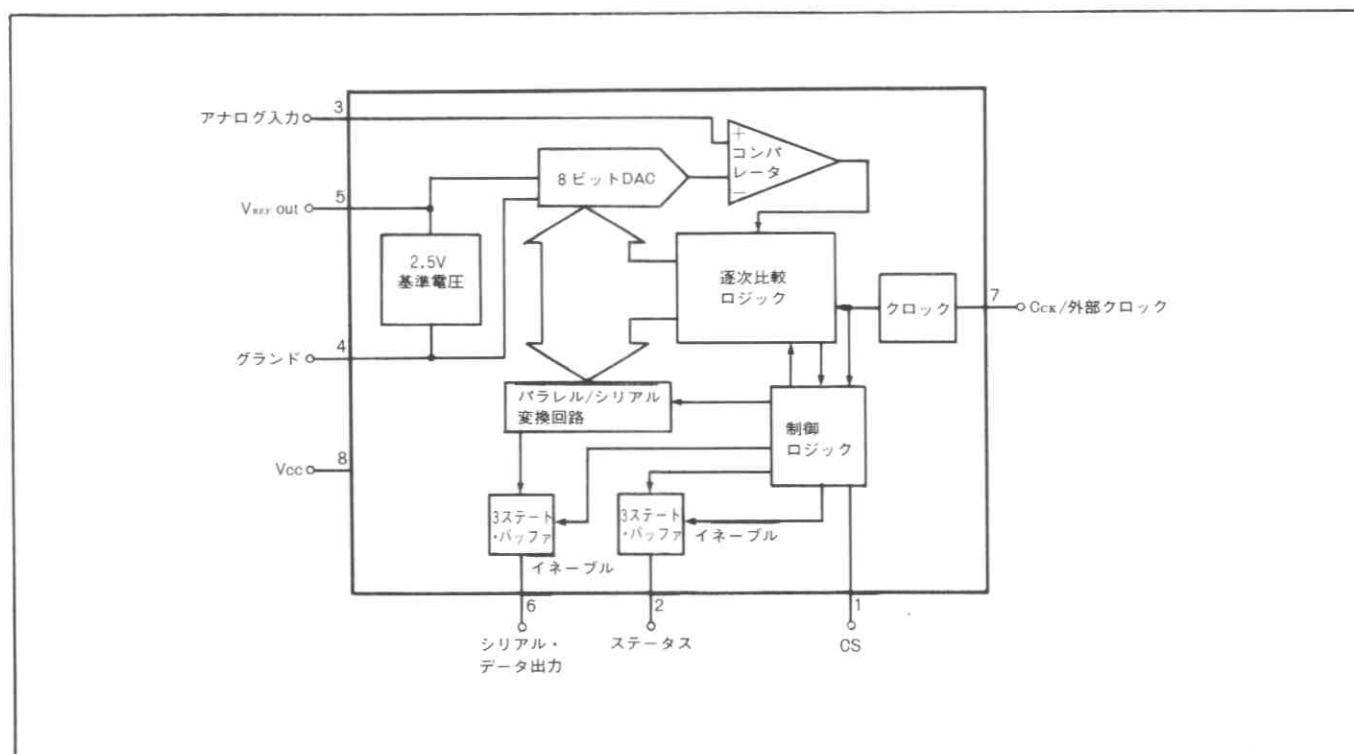
ZN509およびZN510は、8ビット・シリアル出力、逐次比較型ADコンバータである。このICは、外部クロックによって駆動することも可能なクロック発生回路、2.5V精密基準電圧そして3ステート出力バッファを内蔵している。また、+5V単一電源で動作し、小型の8端子D. I. L. パッケージにて供給される。チップ選択端子は、変換開始、変換モード（連続または1回）そして3ステート出力を制御する。

### 特徴

- リニアリティ  $\frac{1}{2}$ または1LSB
- 変換時間  $8\mu\text{S}$
- シリアル・データ出力—遠隔制御等に最適
- マイクロプロセッサとのインターフェイスが容易
- スタンド・アローンにも同様に適する
- +5V単一電源
- バンドギャップ基準電圧内蔵
- TTLおよびCMOSコンパチブル
- 動作温度範囲 Eタイプ：0～70℃  
Jタイプ：-55～+125℃
- 8端子DILパッケージ



端子接続（上面より）



第1図 ブロック図

## 電気的特性

テスト条件 (特に注記なき限り)

電源電圧  $V_{CC}=+5V$ 、周囲温度  $T_{amb}=+25^{\circ}C$ 、クロック周波数  $f_{CLK}=1.0MHz$

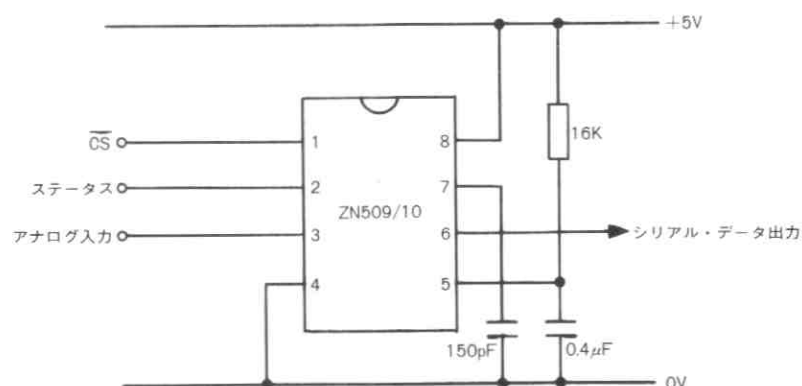
特 性	$T_{amb}=+25^{\circ}C$			全動作温度範囲		単 位	テスト条件
	Min.	Typ.	Max.	Min.	Max.		
<b>ZN509</b>							
リニアリティ・エラー	—	—	$\pm 1/2$	—	$\pm 1/2$	LSB	
ディフェレンシャル・リニアリティ・エラー	—	—	$\pm 3/4$	—	$\pm 3/4$	LSB	
<b>ZN510</b>							
リニアリティ・エラー	—	—	$\pm 1$	—	$\pm 1$	LSB	
ディフェレンシャル・リニアリティ・エラー	—	—	$\pm 1$	—	$\pm 1$	LSB	
<b>全タイプ</b>							
ゼロ・トランジション	—	15	—	—	—	mV	Eタイプ
( 00000000 → 00000001 )	—	15	—	—	—	mV	Jタイプ
フルスケール・トランジション	—	2.540	—	—	—	V	Eタイプ
( 11111110 → 11111111 )	—	2.540	—	—	—	V	Jタイプ
リニアリティ温度係数			$\pm 3$ typ.			ppm/ $^{\circ}C$	
ディフェレンシャル・リニアリティ温度係数			$\pm 6$ typ.			ppm/ $^{\circ}C$	
ゲイン温度係数			$\pm 10$ typ.			ppm/ $^{\circ}C$	
オフセット温度係数			$\pm 7$ typ.			ppm/ $^{\circ}C$	
分解能	8	—	—	—	—	ビット	
変換時間	8	—	—	—	—	$\mu S$	
電源リジェクション	—	0.2	—	—	—	%/V	
電源電圧	4.5	5.0	5.5	4.5	5.5	V	
電源電流	—	29	40	—	—	mA	
消費電力	—	145	200	—	—	mW	
ラダー出力インピーダンス	—	3	—	—	—	K $\Omega$	
<b>コンパレータ</b>							
アナログ入力電流	—	230	—	—	—	$\mu A$	
アナログ入力抵抗	—	13	—	—	—	K $\Omega$	
アナログ入力電圧	-0.5	—	+3.5	-0.5	+3.5	V	
<b>内蔵基準電圧</b>							
出力電圧	—	2.535	—	—	—	V	
出力電圧精度	—	—	$\pm 3$	—	—	%	
スロープ抵抗	—	0.75	2	—	—	$\Omega$	
基準電流	0.75	—	5.2	0.75	5.2	mA	
出力電圧温度係数	—	70	—	—	—	ppm/ $^{\circ}C$	
<b>クロック</b>							
最大内蔵クロック周波数	—	1.0	—	—	—	MHz	$C_{CK}=220pF$
クロック周波数温度係数	—	-0.125	—	—	—	%/ $^{\circ}C$	
最大外部クロック周波数	1.0	—	—	1.0	—	MHz	
クロック・パルス幅	250	—	—	—	—	nS	
ハイ・レベル入力電圧 $V_{IH}$	3.5	—	—	3.5	—	V	
ロー・レベル入力電圧 $V_{IL}$	—	—	0.8	—	0.8	V	
ハイ・レベル入力電流 $I_{IH}$	—	850	—	—	—	$\mu A$	$V_{CC}=5.5V$
ロー・レベル入力電流 $I_{IL}$	—	-880	—	—	—	$\mu A$	$V_{IN}=4V$
電源リジェクション	—	3.0	—	—	—	%/ $^{\circ}C$	$V_{CC}=5.5V$ $V_{IN}=0.8V$

特 性	Tamb=+25℃			全動作温度範囲		単 位	テスト条件
	Min.	Typ.	Max.	Min.	Max.		
<b>ロジックCS入力</b>							
ハイ・レベル入力電圧 V <sub>IH</sub>	2.4	—	—	2.4	—	V	V <sub>CC</sub> =+5.5V V <sub>IN</sub> =+5.5V V <sub>CC</sub> =+5.5V V <sub>IN</sub> =+2.4V V <sub>CC</sub> =+5.5V V <sub>IN</sub> =+0.4V
ロー・レベル入力電圧 V <sub>IL</sub>	—	—	0.8	—	0.8	V	
ハイ・レベル入力電流 I <sub>IH</sub>	—	250	—	—	—	μA	
ハイ・レベル入力電流 I <sub>HH</sub>	—	120	—	—	—	μA	
ロー・レベル入力電流 I <sub>IL</sub>	—	-350	—	—	—	μA	
<b>連続変換</b>							
データ出力							
遅延時間 T <sub>E0</sub>	—	100	125	—	150	nS	
T <sub>CD</sub>	—	265	310	—	390	nS	
ステータス出力							
遅延時間 T <sub>E1</sub>	—	250	300	—	430	nS	
T <sub>S0</sub>	—	165	210	—	260	nS	
T <sub>S1</sub>	—	220	270	—	370	nS	
<b>単一変換</b>							
データ出力							
遅延時間 T <sub>E0</sub>	—	100	125	—	150	nS	
T <sub>D0</sub>	—	200	260	—	310	nS	
T <sub>D1</sub>	—	200	260	—	310	nS	
T <sub>CD</sub>	—	265	310	—	390	nS	
ステータス出力							
遅延時間 T <sub>E1</sub>	—	250	300	—	430	nS	
T <sub>S0</sub>	—	220	270	—	300	nS	
T <sub>S1</sub>	—	230	280	—	320	nS	
T <sub>DS1</sub>	—	250	300	—	360	nS	

## 動作概要

ZN509/510は、逐次比較方式を使って8ビット・シリアル・デジタル・データを出力する。変換動作の初めに、DAコンバータの入力はMSBにセットされる。この結果出力されるDACのアナログ電圧は、コンパレータで入力電圧

と比較される。もし、入力電圧のほうが大きければMSBはそのまま保持され、そうでなければMSBはリセットされる。そして、次のクロック・パルスではこの手順は次のビットに対して行われ、8ビット全てが比較されるまで繰り返される。



第2図 代表的外部接続

## 変換タイミング

ZN509/510は、クロックと完全に非同期であるチップ選択 (CS) パルスを入力できる。このパルスは、3ステート出力をイネーブルし、変換を開始させる働きを持っている。有効なシリアル・データは、クロックとCS信号のタイミングによって、1または2クロック期間後に出力される (第3図および第4図参照)。

CSパルスが入力されると、ZN509/510はクリアされる。つまり、MSBとSTATUSが'1'にセットされ、他の全てのビットは'0'にリセットされる。CSパルス幅は、最小150nSで、変換中にパルスが入力されると、デバイスはクリアされ、変換は再スタートする。CS入力をロー・レベルに保持しても、デバイスの動作がインヒビットされることはない。

ステータスは、デバイスが連続モードで動作しているか、単一変換モードで動作しているかによって、違った出力を出す。

### 連続変換モード

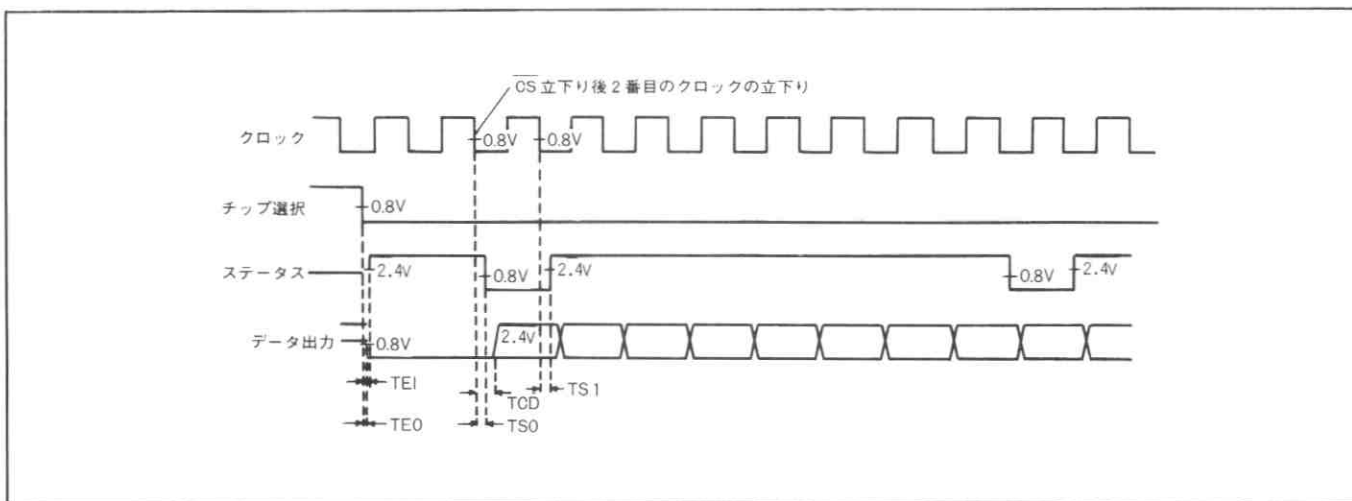
ZN509/510は、CS入力をロー・レベルに接続すれば、AD変換を繰り返す。第3図にタイミング図を示す。ここ

で注意すべきことは、電源投入後、基準電圧が安定するまで有効なデータは得られないことである。この時間は、基準電圧のデカップリング用コンデンサと負荷抵抗の値によって決まるが、1.6K $\Omega$ の抵抗と0.47 $\mu$ Fのコンデンサを使用した場合約2mSとなる。

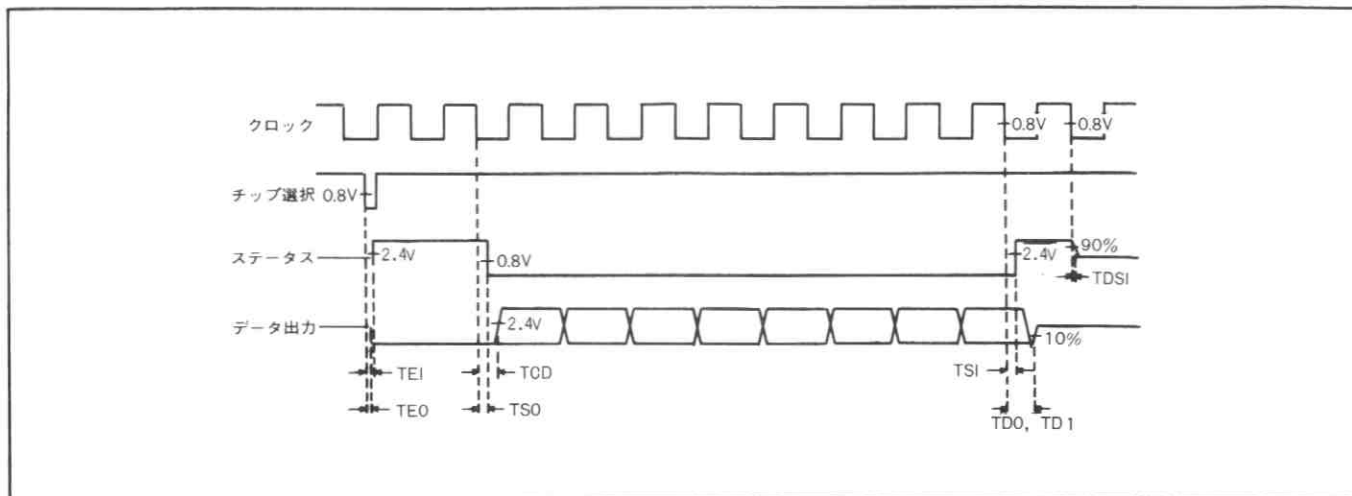
ステータス出力は、8クロックごとに1クロック期間だけ、クロックに同期してローになる。そして、この期間は、MSBデータ出力と一致している。

### 単一変換モード

CSパルス幅が、150nS以上で1クロック期間以内の場合、ZN509/510は単一変換モードであると判断する。1度このパルスが入力されると、ステータスおよびデータ出力は3ステート状態から、ステータス出力はハイ・レベルに、データ出力はロー・レベルになる。1クロック期間後および2クロック期間後の間に、MSBを最初にして有効なデータが出力される (ステータスはローになり、データが有効であることを示す)。8つ全てのデータが出力されると、データ出力は高インピーダンス状態になる。また、この時点でステータスはハイ・レベルになる。そして、1クロック期間後、ステータス出力も高インピーダンス状態になる。



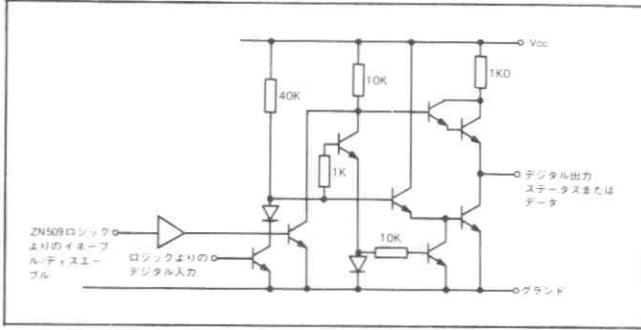
第3図 連続変換



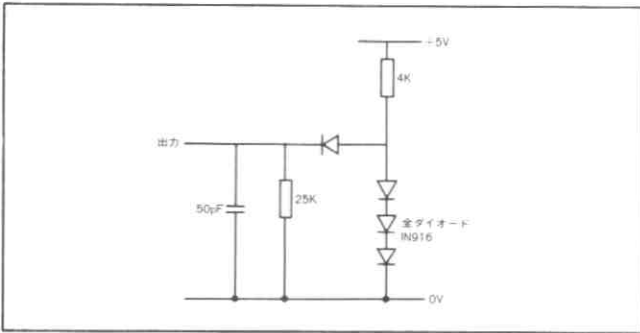
第4図 単一変換

## デジタル出力

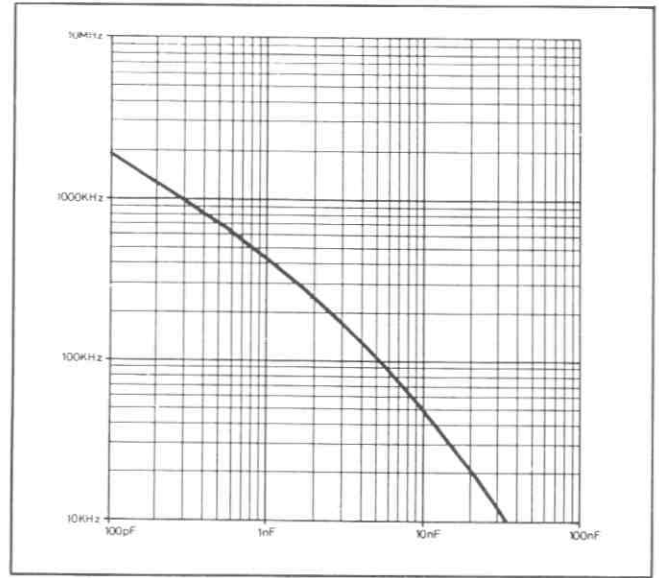
デジタル出力は、共通データ・バスに接続できるように、3状態になっている。等価回路を第5図に示す。ディセーブルされると、2つの出力トランジスタはオフになり、出力は高インピーダンス状態となる。また、イネーブルされると、出力は入力されるロジック値に従った値となる。



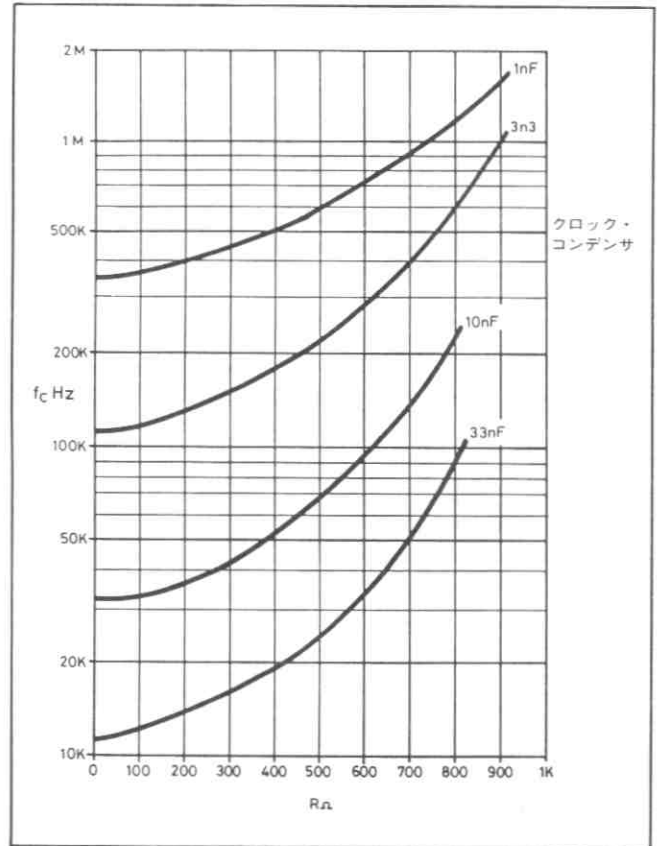
第5図 デジタル出力



第6図 出力負荷回路



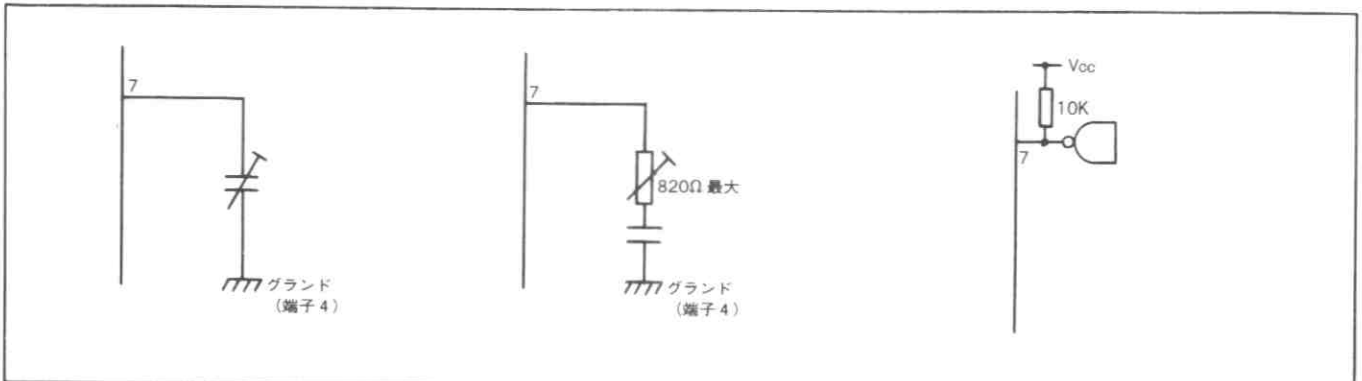
第8図(a) クロック周波数対コンデンサ



第8図(b) クロック周波数対抵抗とコンデンサ

## 内蔵クロック

内蔵のクロックは、第7図(a)に示すように端子7とグラウンドの間にコンデンサを1個外付するだけで動作する。発振周波数対コンデンサの値のグラフを第8図(a)に示す。発振周波数は、第7図(b)のようにコンデンサと直列に抵抗を接続することによって、微調性することができる。発振周波数対抵抗とコンデンサの値のグラフを第8図(b)に示す。また、第7図(c)に示すように、発振回路入力をTTLまたはCMOSのゲートで外部より駆動することもできる。



第7図(a) 固定/可変コンデンサ

第7図(b) 固定コンデンサと可変抵抗

第7図(c) 外部TTLまたはCMOSによる駆動



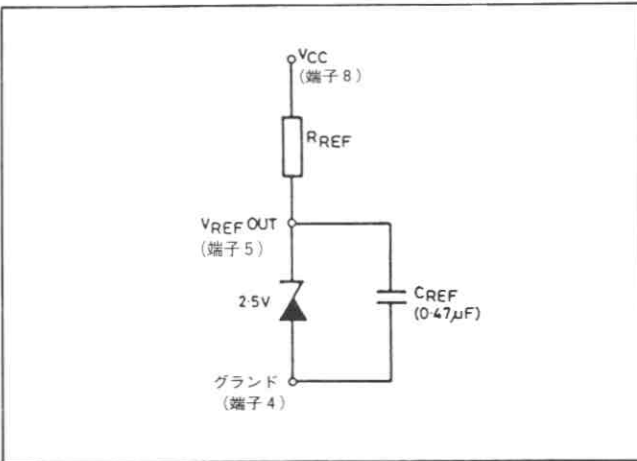
## アナログ回路

### 基準電圧

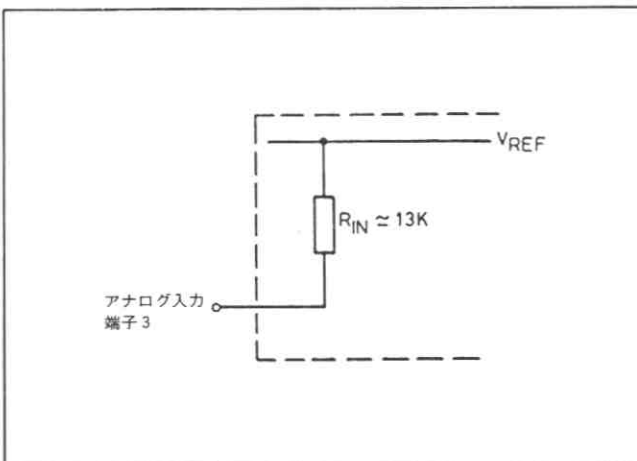
内蔵の基準電圧は、スロープ抵抗の非常に小さい、2.5Vのツェナー・ダイオードと等価なバンドギャップ回路である(第9図参照)。抵抗 $R_{REF}$ を $V_{CC}$ と $V_{REF OUT}$ の間に接続しなければならない。また、デカップリング用コンデンサ $C_{REF}$ ( $0.47\mu F$ )を $V_{REF OUT}$ とグランド間に接続する。

ZN509/510を駆動するのに適当な電流は通常2mAであるので、 $1.2K\Omega$ の $R_{REF}$ で供給することができる〔(5-2.535)/ $1.2K \approx 2mA$ 〕。

$R_{REF}=620\Omega$ の場合、ZN509/510の基準電圧は他の回路の基準電圧としても使用することができ、最大1.5mAのソースおよびシンク電流を流すことができる。



第9図 内蔵基準電圧



第10図 アナログ入力

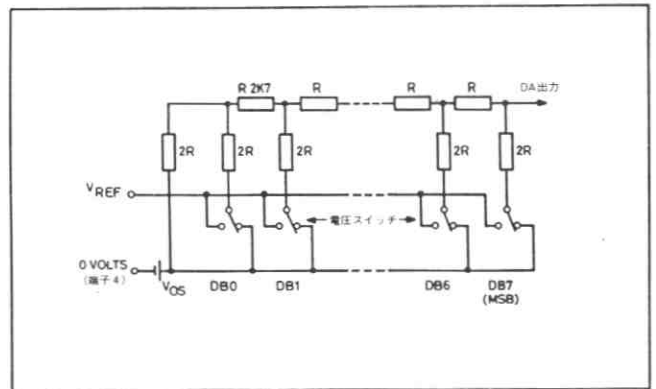
## DAコンバータ

コンバータは、第11図に示すような、電圧スイッチと $R-2R$ ラダー回路から成り立っている。各 $2R$ 素子は低オフセット電圧(1mV)のトランジスタ・スイッチによってOVか $V_{REF IN}$ に接続される。そして、2進加重電圧は、 $R-2R$ ラダーで発生する。

$$DA \text{ 出力} = \left(\frac{n}{256}\right)(V_{REF IN} - V_{OS}) + V_{OS}$$

ただし、 $n$ は逐次比較ロジックからDAコンバータに出力されるデジタル値。

$V_{OS}$ はパッケージのリード抵抗に電源電流が流れることによって生じる小さなオフセット電圧である。このオフセットは、通常デバイスの調整中に補正することができるし、オフセットの温度係数は小さい(7ppm/°C)ので、精度に与える影響はほとんどない。



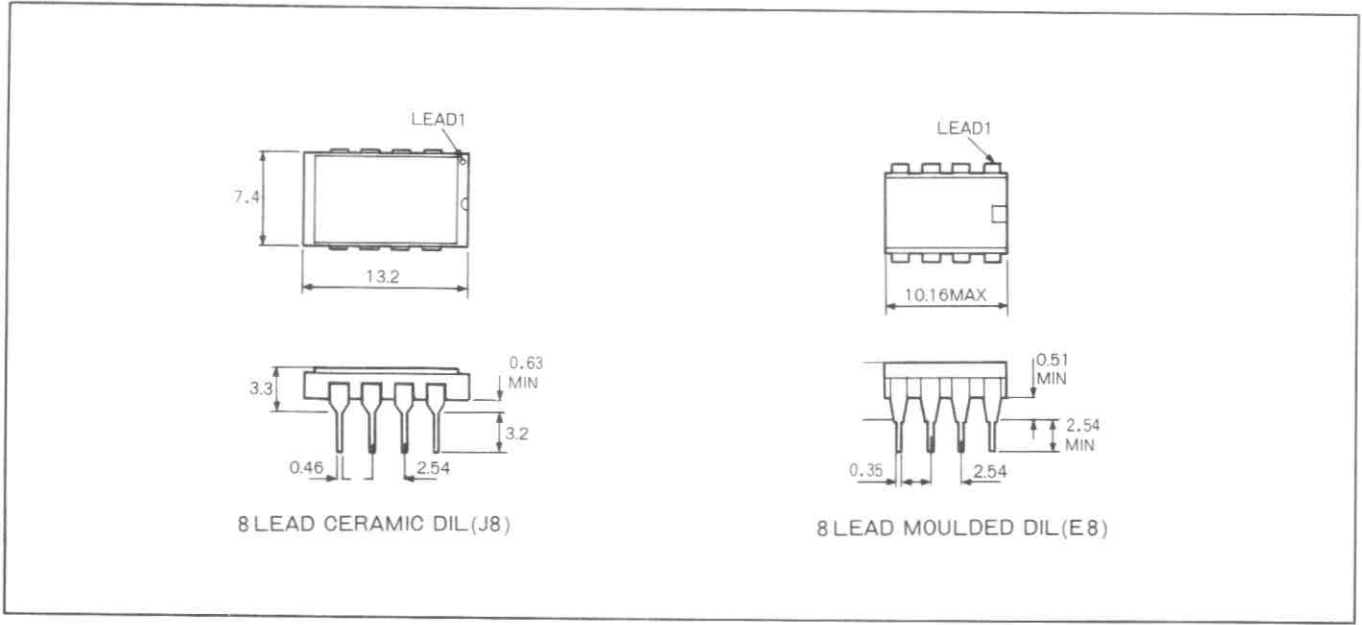
第11図 R-2Rラダー回路

型名	直線性(LSB)	動作温度範囲	パッケージ
ZN509E	1/2	0~+70°C	プラスチック
ZN509J	1/2	-55~+125°C	セラミック
ZN510E	1	0~+70°C	プラスチック
ZN510J	1	-55~+125°C	セラミック

## 最大絶対定格

電源電圧 $V_{CC}$	+7V
印加電圧(ロジック、 $V_{REF}$ 、 $A_{IN}$ )	$V_{CC}-0.5V$
動作周囲温度	0°C ~ +70°C (Eタイプ) -55°C ~ +125°C (Jタイプ)
保存温度	-55°C ~ +125°C

## パッケージ寸法 単位mm



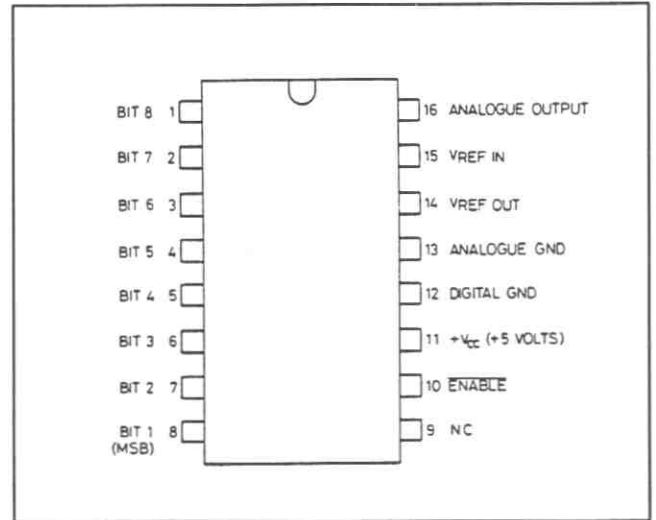
# ZN558

## 8ビット モノリシック D/A コンバータ

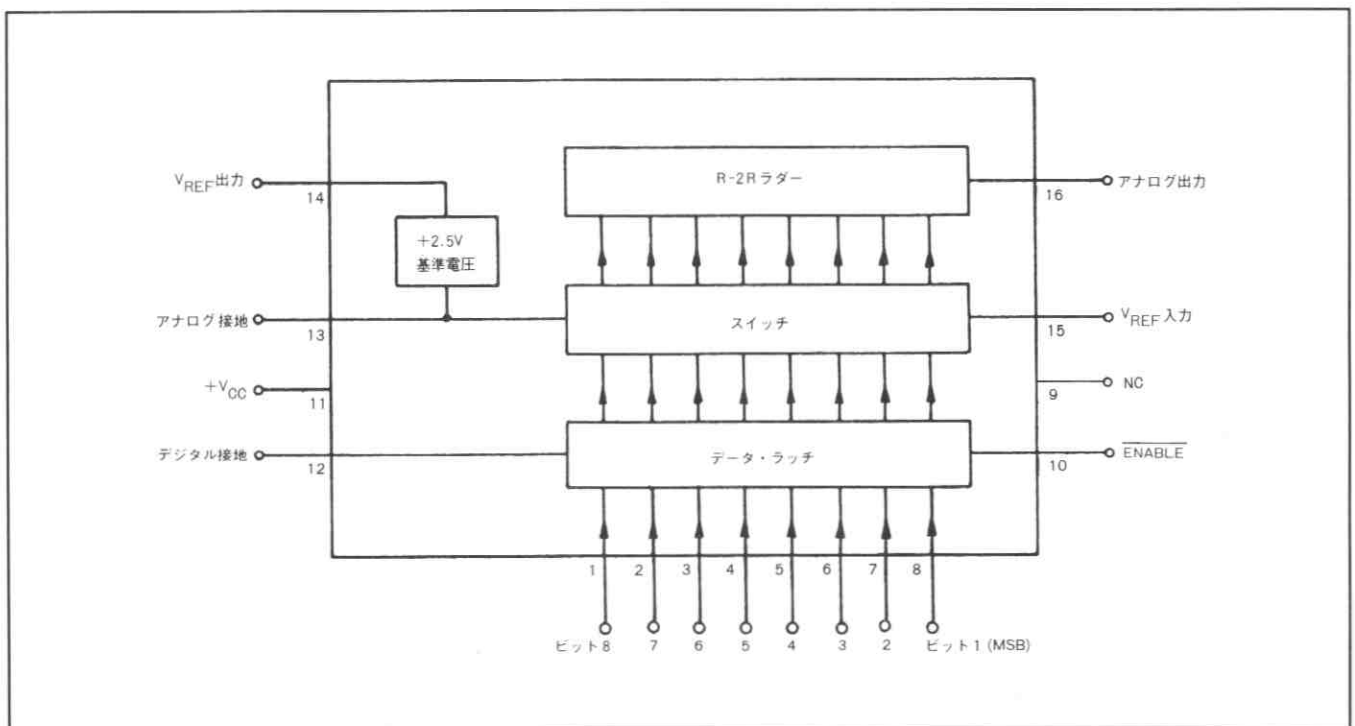
ZN558 は、データ・バスと直結できる入力ラッチ付きモノリシック・8ビットD/Aコンバータである。ラッチは、 $\overline{\text{ENABLE}}$  がロー・レベルの時データ入力可能となり、 $\overline{\text{ENABLE}}$  がハイ・レベルの時はそのデータを保持する。また、ZN558は2.5Vの基準電圧を内蔵している。しかし、この基準電圧を使用しないで、外部基準電圧を使用してもよい。

### 特徴

- データ・ラッチ、基準電圧内蔵
- 全動作温度範囲でモニトニック
- 5V単一電源
- マイクロプロセッサ・コンパチブル
- TTL/5VCMOSコンパチブル
- セトリング時間 800nS
- ZN447・ADCとコンプリメンタリ



端子接続 (上面より)



第1図 システム図

## 電気的特性

テスト条件 (特に注記なき限り)

電源電圧  $V_{CC} = +5V$ 、周囲温度  $T_{amb} = 25^{\circ}C$

特 性	数 値			単 位	テ ス ト 条 件
	Min.	Typ.	Max.		
<b>内蔵基準電圧</b>					
出力電圧	2.475	2.550	2.625	V	} $R_{REF} = 390\Omega$ $C_{REF} = 1\mu F$
スロープ抵抗	—	0.5	2	$\Omega$	
$V_{REF OUT}$ 温度係数	—	50	—	ppm/ $^{\circ}C$	
基準電流	4	—	15	mA	注 1
<b>DAコンバータ</b>					
リニアリティ誤差	—	—	$\pm 0.5$	LSB	} $2.0V \leq V_{REF IN} \leq 3.0V$
ディフェレンシャル・ノン・リニアリティ	—	$\pm 0.5$	—	LSB	
リニアリティ誤差温度係数	—	$\pm 3$	—	ppm/ $^{\circ}C$	
ディフェレンシャル・ノン・リニアリティ 温度係数	—	$\pm 6$	—	ppm/ $^{\circ}C$	
オフセット電圧	—	2	5	mV	全ビット '0'
オフセット電圧温度係数	—	$\pm 6$	—	$\mu V/^{\circ}C$	
フルスケール出力	2.545	2.550	2.555		} 外部基準電圧使用 $V_{REF IN} = 2.560V$ 全ビット '1'
フルスケール出力温度係数	—	2	—	ppm/ $^{\circ}C$	
アナログ出力抵抗	—	4	—	K $\Omega$	
外部基準電圧	0	—	3.0	V	
セトリング時間 (許容誤差0.5LSB)	—	800	—	nS	1 LSB変化 (注 2)
	—	1.25	—	$\mu S$	全ビットオンからオフ 又はオフからオン (注 2)
動作周囲温度					
ZN558E	0	—	70	$^{\circ}C$	
ZN558J	-55	—	125	$^{\circ}C$	
電源電圧 ( $V_{CC}$ )	4.5	5.0	5.5	V	
電源電流	—	20	30	mA	注 3
消費電力	—	100	—	mW	
<b>ロジック</b> (全動作温度範囲で)					
ハイ・レベル入力電圧	2.0	—	—	V	
ロー・レベル入力電圧	—	—	0.8	V	
ハイ・レベル入力電流	—	—	60	$\mu A$	$V_{IN} = 5.5V$ 、 $V_{CC} = 5.5V$
	—	—	20	$\mu A$	$V_{IN} = 2.4V$ 、 $V_{CC} = 5.5V$
ロー・レベル入力電流	—	—	-5	$\mu A$	$V_{IN} = 0.4V$ 、 $V_{CC} = 5.5V$
入力クランプ・ダイオード電圧	—	-1.5	—	V	$I_{IN} = -8mA$
ENABLE パルス幅	100	—	—	nS	
データ・セットアップ時間	150	—	—	nS	注 4
データ・ホールド時間	10	—	—	nS	注 5

(注 1) 115 ページ「基準電圧」参照。

(注 2)  $R_L = 10M\Omega$ 、 $C_L = 10pF$

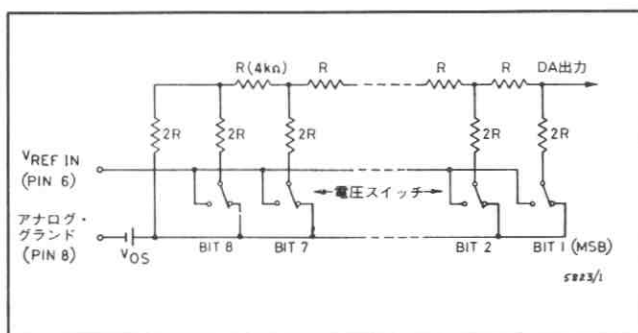
(注 3) 全入力ハイ ( $V_{IN} = 3.5V$ ) の場合。

(注 4)  $\overline{ENABLE}$  をハイにする前のセット・アップ時間。

(注 5)  $\overline{ENABLE}$  をハイにした後のホールド時間。

## 動作概要

コンバータは、図2に示すように電圧スイッチとR-2Rラダー回路から成り立っている。各2R素子は、低オフセット電圧 (< 1 mV) のトランジスタ・スイッチによって、0 Vか $V_{REF IN}$ に接続される。そして、2進加重み電圧はR-2Rラダーで発生する。

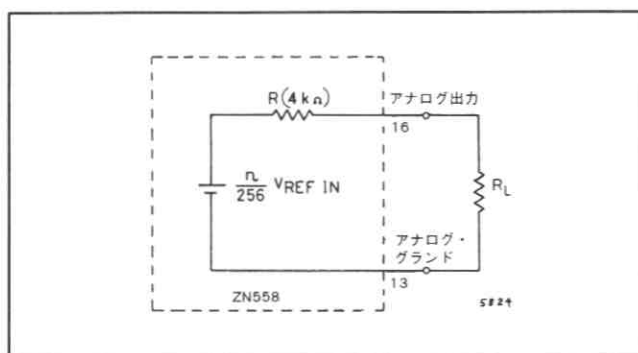


第2図 R-2Rラダー回路

$$\text{アナログ出力} = \frac{n}{256} (V_{REF IN} - V_{OS}) + V_{OS}$$

ただし、nはデータ・ラッチからDAコンバータに出されるデジタル値

$V_{OS}$ は、DAスイッチ電流がパッケージのリード抵抗で流れることによって生ずる小さなオフセット電圧である。 $V_{OS}$ の値は代表値1 mVである。また、このオフセット電圧は、通常Zn558の調整中に補正することができるし、オフセットの温度係数は非常に小さい ( $\pm 6 \mu\text{V}/^\circ\text{C}$ ) ので、精度に与える影響はほとんどない。



第3図 アナログ出力等価回路

図3は、出力の等価回路である ( $V_{OS}$ は無視している)。出力抵抗Rの温度係数は、 $+0.2\%/^\circ\text{C}$ である。したがって、ゲイン・ドリフトは、 $\frac{0.2R}{R+R_L} \%/^\circ\text{C}$ となる。

$R_L$ は、ゲイン・ドリフトを小さくするために、できるだけ大きな値を選ぶ。たとえば、 $R_L = 400 \text{K}\Omega$ の場合、周囲温度 $100^\circ\text{C}$ の変化に対して $0.2\%$ 以下のゲインドリフトとなる。また、Zn558の出力に増幅器を取り付けてバッファしてもよい。

## 基準電圧

### (a)内蔵基準電圧

内蔵基準電圧は、スロープ抵抗の非常に小さい、2.5Vツェ

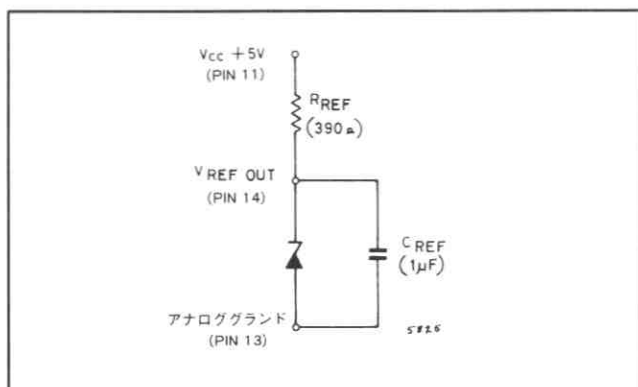
ナー・ダイオードと同等のバンド・ギャップ回路で発生している (図4参照)。抵抗 $R_{REF}$ は、端子14と $V_{CC}$  (端子11)の間に接続する。 $R_{REF}$ に推奨値の $390\Omega$ を使った場合、基準電流は  $(5.0 - 2.5) / 0.39 = 6.4 \text{mA}$ となる。また、デカップリング/安定用コンデンサ $C_{REF}$  ( $1 \mu\text{F}$ ) が、端子13と14の間に必要となる。この内部基準電圧を使用する場合、 $V_{REF OUT}$  (端子14)と $V_{REF IN}$  (端子15)を接続する。

1つの内蔵基準電圧で最大5つのZn558に基準電圧を供給できる。この時 $R_{REF}$ の値を変える必要はない。また、この特徴によって、消費電力を少なくし、各コンバータ間のゲインをそろえることができる。

### (b)外部基準電圧

外部基準電圧を使用する場合、それを $V_{REF IN}$ 端子に接続する。この基準電圧は、スロープ抵抗が $\frac{2.5}{n} \Omega$ 以下のものを使用する (ただし、nは接続するコンバータの数とする)。

$V_{REF IN}$ は0から+3Vの値で使用できるが、単調性の保証範囲は2V以上である。



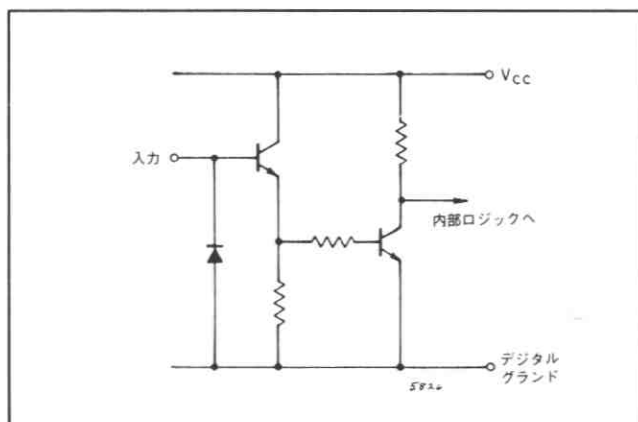
第4図 内蔵基準電圧

## ロジック

入力コードは、ユニポーラ動作ではバイナリ、バイポーラ動作ではオフセット・バイナリである。また $\overline{\text{ENABLE}}$ 入力がロー・レベルの時、入力データは直接DAコンバータを駆動し、ハイ・レベルの時、入力データはラッチされる。

データ及びクロック入力の等価回路を図5に示す。

Zn558は、デジタルとアナログの2つの接地端子を持っている。この2つの接地端子間の電圧は、最大 $\pm 200 \text{mV}$ とする。



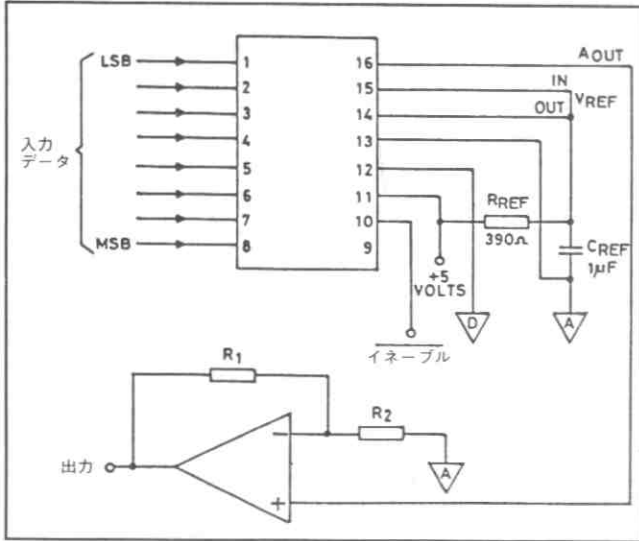
第5図 全入力の等価回路

# 応用例

## ユニポーラ動作

ZN558の出力電圧範囲は0から $V_{REF IN}$ で、出力抵抗は4K $\Omega$ である。しかし、増幅器を使えば、これ以上の出力範囲も容易に得ることができる。

図6の回路は、入力バイアス電流が1.5 $\mu$ A以下の増幅器を使用する場合に適している。



第6図 ユニポーラ動作

フルスケールは次式で表わされる。

$$V_{OUT FS} = (1 + \frac{R1}{R2}) V_{REF IN} = G \cdot V_{REF IN}$$

反転入力インピーダンスは、 $R1 // R2$ であり、温度に対するドリフトを最小にするためラダー抵抗(4K $\Omega$ )と同じ値にする。したがって、 $R1$ と $R2$ は次式で表わされる。

$$R1 = 4GK\Omega, R2 = 4G / (G - 1) K\Omega$$

この関係を使って、 $V_{REF IN} = 2.5V$ の時の $R1$ 、 $R2$ の値を求めると次のようになる。

出力電圧範囲	G	R1	R2
+5V	2	8K $\Omega$	8K $\Omega$
+10V	4	16K $\Omega$	5.33K $\Omega$

出力範囲+5V、+10Vの回路例(増幅器調整用部品を含む)を図7に示す。ゲインを調整するため、 $R1$ は可変にする。また、この回路のセトリング時間は、1.5 $\mu$ S<sub>typ.</sub>である。

## ユニポーラ動作 調整手順

- (i)  $\overline{ENABLE}$  をロー・レベルにし、全てのビットを '0' に設定する。そして、 $V_{OUT} = 0.0000V$ になるまでゼロ調整をする。
- (ii) 全てのビットを '1' に設定し、 $V_{OUT} = FS - 1LSB$ になるまでゲイン調整をする。

## ユニポーラ動作 セッティング・ポイント

出力電圧範囲(+FS)	LSB	FS-1LSB
+5V	19.5mV	4.9805V
+10V	39.1mV	9.9609V

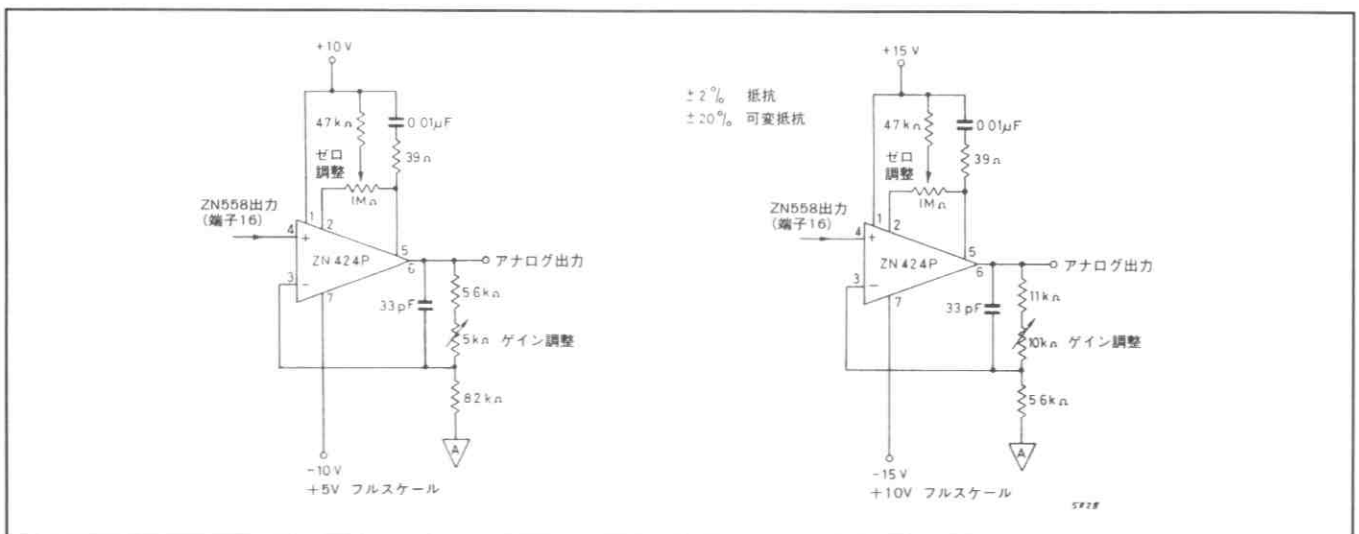
$$1LSB = \frac{FS}{256}$$

## ユニポーラ動作 ロジック・コード

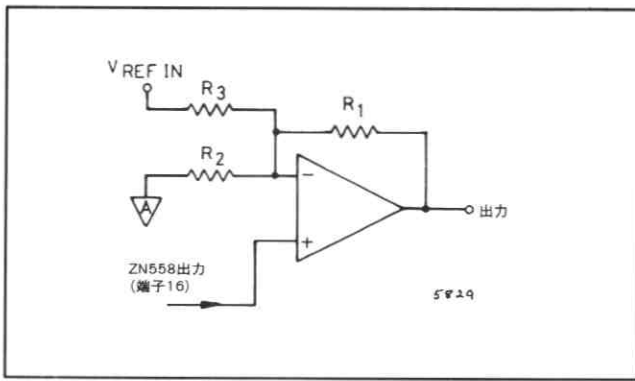
入力コード (バイナリ)	アナログ出力
11111111	FS-1LSB
11111110	FS-2LSB
11000000	$\frac{3}{4}FS$
10000001	$\frac{1}{2}FS + 1LSB$
10000000	$\frac{1}{2}FS$
01111111	$\frac{1}{2}FS - 1LSB$
01000000	$\frac{1}{4}FS$
00000001	1LSB
00000000	0

## バイポーラ動作

バイポーラ動作では、 $V_{REF IN}$ とバッファ・アンプの反転入力間に抵抗 $R3$ を接続して、ZN558の出力に、フルスケール時の半分の電圧のオフセットを与える。



第7図 ユニポーラ動作 部品値



第8図 バイポーラ動作

ZN558のデジタル入力が‘0’の時、アナログ出力は‘0’に、増幅器出力は $-FS$ となる。また、全ビットが‘1’の時、ZN558の出力は $V_{REF IN}$ に、増幅器出力は $+FS$ となる。そして、 $R_1$ 、 $R_2$ 、 $R_3$ の並列抵抗はラダー抵抗とマッチするように、 $4K\Omega$ にする。

この条件を満たすように、 $R_1$ 、 $R_2$ 、 $R_3$ を計算すると次のようになる。

$$R_1 = 8G K\Omega, R_2 = 8G / (G - 1) K\Omega, R_3 = 8K\Omega$$

この結果、出力範囲は $\pm G \cdot V_{REF IN}$ になる。

バイポーラ出力範囲 $\pm V_{REF IN}$  (ユニポーラ出力 $0 \sim V_{REF IN}$ に相当する)を得るためには、 $R_1 = R_3 = 8K\Omega$ 、 $R_2 = \infty$ となる。

$V_{REF IN} = 2.5V$ 、出力電圧範囲 $\pm 5V$ 、 $\pm 10V$ の場合の抵抗値は次のようになる。

出力電圧範囲	G	R1	R2	R3
$\pm 5V$	2	$16K\Omega$	$16K\Omega$	$8K\Omega$
$\pm 10V$	4	$32K\Omega$	$10.66K\Omega$	$8K\Omega$

マイナス・フルスケール (オフセット) は、 $R_3$ に対する $R_1$ の値を調整することによってセットする。また、プラス・フルスケール (ゲイン) は、 $R_1$ に対する $R_2$ の値

を調整することによってセットする。

図9に、応用回路例を示す。フルスケール $\pm 5V$ の場合、 $R_3$ を $7.5K\Omega$  (フルスケール $\pm 10V$ では $8.2K\Omega$ ) にすれば、標準のポテンショメーターで調整できる。また、セトリング時間は $1.5\mu S_{TYP.}$ である。

### バイポーラ動作 調整手順

- (i)  $\overline{ENABLE}$  をロー・レベルにし、全てのビットを‘0’に設定する。そして、増幅器出力が $-FS$ になるように調整する。
- (ii) 全てのビットを‘1’に設定し、増幅器出力が $+$  ( $FS-1LSB$ ) になるように調整する。

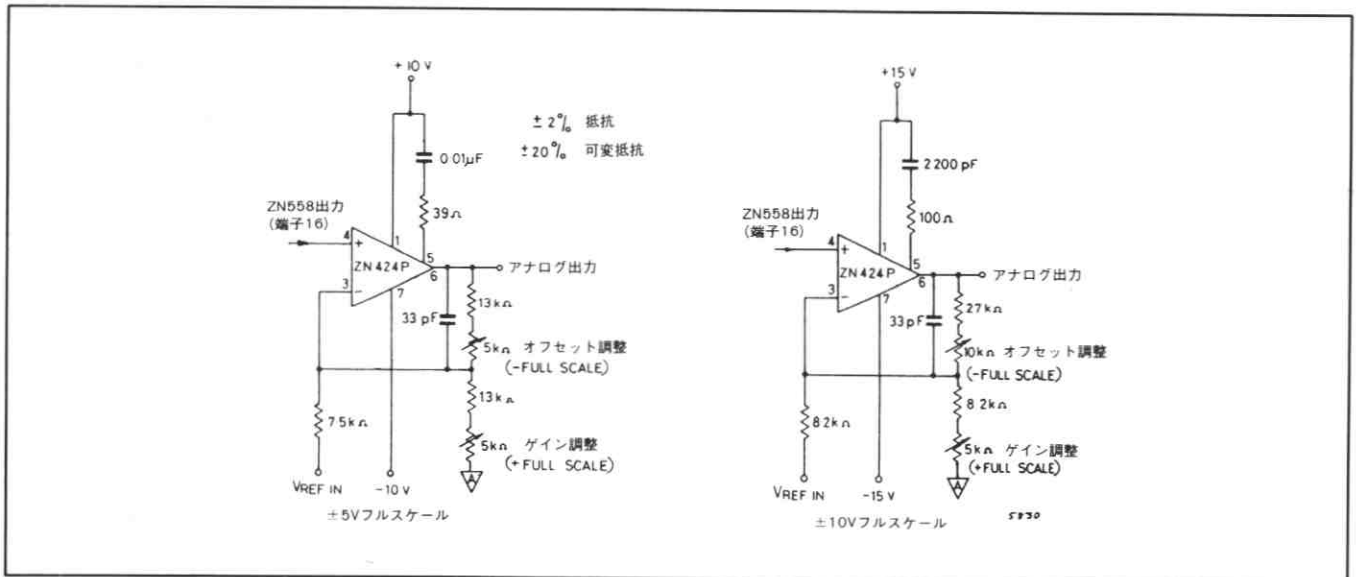
### バイポーラ動作 セッティング・ポイント

入力電圧範囲( $\pm FS$ )	LSB	$-FS$	$+(FS-1LSB)$
$\pm 5V$	$39.1mV$	$-5.0000V$	$+4.9609V$
$\pm 10V$	$78.1mV$	$-10.0000V$	$+9.9219V$

$$1LSB = \frac{2FS}{256}$$

### バイポーラ動作 ロジック・コード

入力コード (オフセット・バイナリ)	アナログ出力
11111111	$+(FS-1LSB)$
11111110	$+(FS-2LSB)$
11000000	$+\frac{1}{2}FS$
10000001	$+1LSB$
10000000	0
01111111	$-1LSB$
01000000	$-\frac{1}{2}FS$
00000001	$-(FS-1LSB)$
00000000	$-FS$



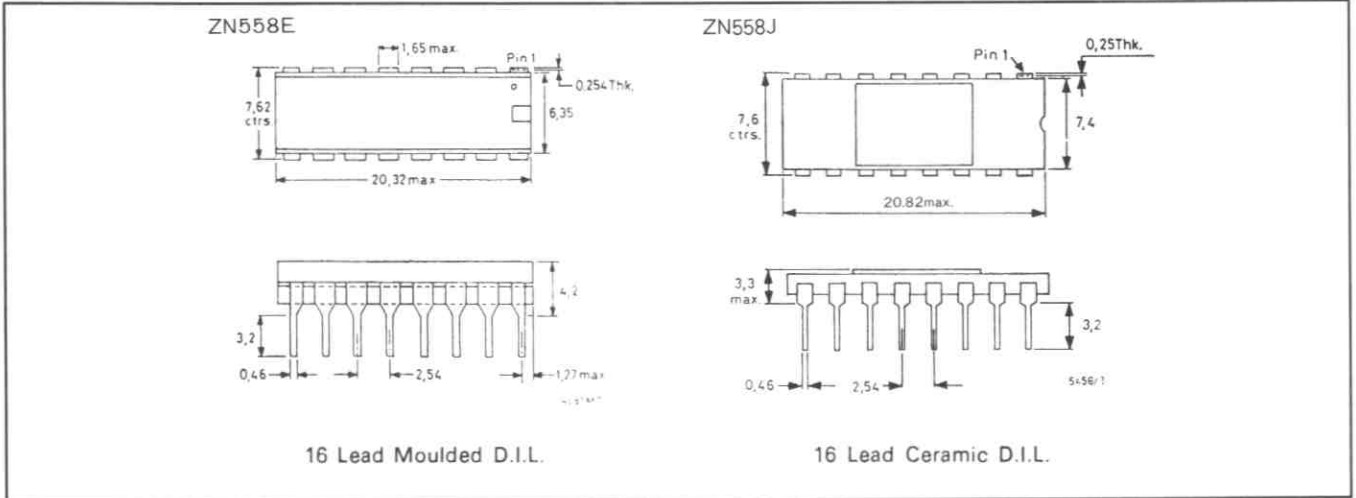
第9図 バイポーラ動作—部品値

# 最大絶対定格

電源電圧 $V_{cc}$	+7.0V
印加電圧 (ロジック入力 及び $V_{REF}$ 入力)	+ $V_{cc}$
動作周囲温度	0°C ~ +70°C (ZN558E-8) -55°C ~ +125°C (ZN558J-8)
貯蔵温度	-55°C ~ +125°C
アナログ・デジタル 接地間電圧	±200mV

# パッケージ寸法

単位 mm





# セクション 1

## データ・ブック

### 精密基準電圧

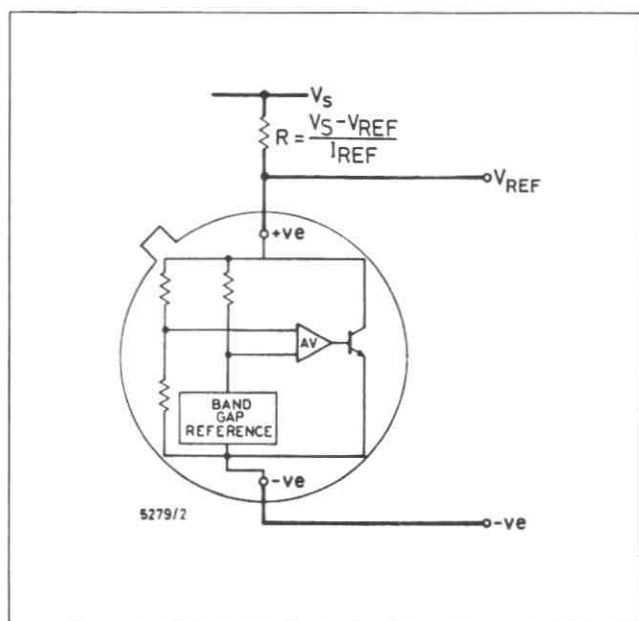
# ZN404

## 2.45V 精密基準電圧回路

ZN404は、2.45Vの精密で安定した基準電圧用モノリシックICである。このICは、2端子のキャン・パッケージに内蔵されており、平滑用のコンデンサを外付する必要はない。

### 特徴

- 低温度係数
- 低スロープ抵抗
- 非常に良い長時間安定性
- 低雑音
- 平滑回路内蔵
- バラツキが少ない
- 2端子のパッケージ



第1図 回路図

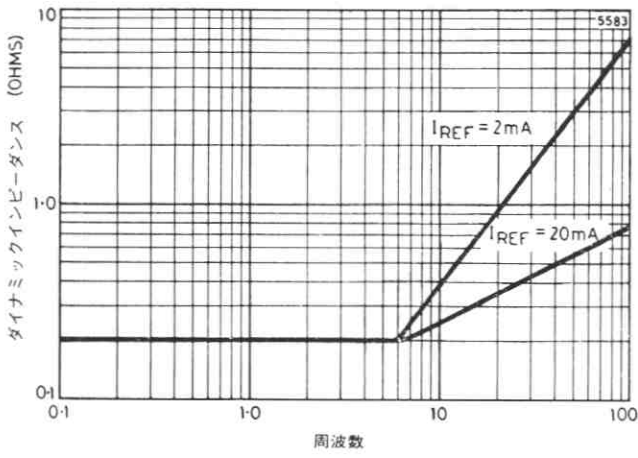
### 電気的特性

テスト条件 (特に注記なき限り)  
周囲温度25℃

特 性	シンボル	数 量			単 位	テ ス ト 条 件
		Min.	Typ.	Max.		
出力電圧	$V_{REF}$	2.38	2.45	2.52	V	$I_{REF} = 2 \text{ mA}$
スロープ抵抗	$R_{REF}$	—	0.2	0.4	$\Omega$	
動作電流	$I_{REF}$	2	—	120	mA	
$V_{REF}$ の最大変化	$\Delta V_{REF}$	—	6	25	mV	0 ~ +70℃
RMS雑音電圧 (1 Hz ~ 10 KHz)		—	10	—	$\mu\text{V}$	
$V_{REF}$ ドリフト		—	$\pm 10$	—	ppm/1000時間	70℃

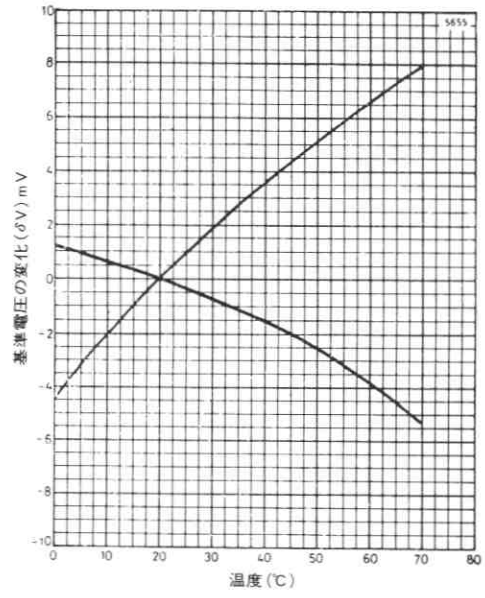
### 最大絶対定格

消費電力	300mW
動作温度範囲	0 ~ +70℃
貯蔵温度	-55 ~ +150℃

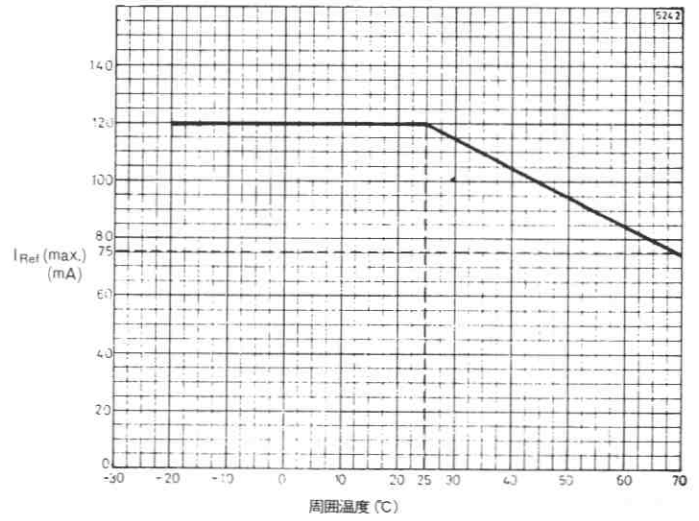
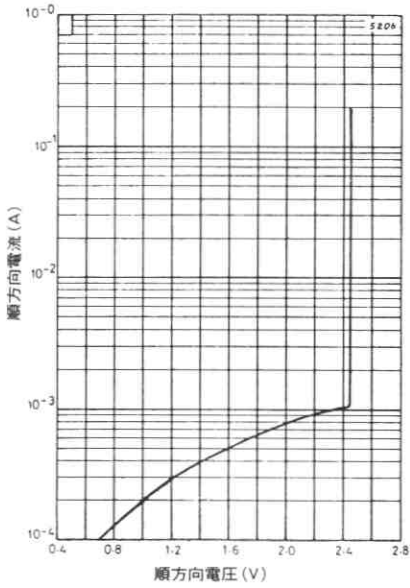


ダイナミックインピーダンス

温度特性 (代表値)

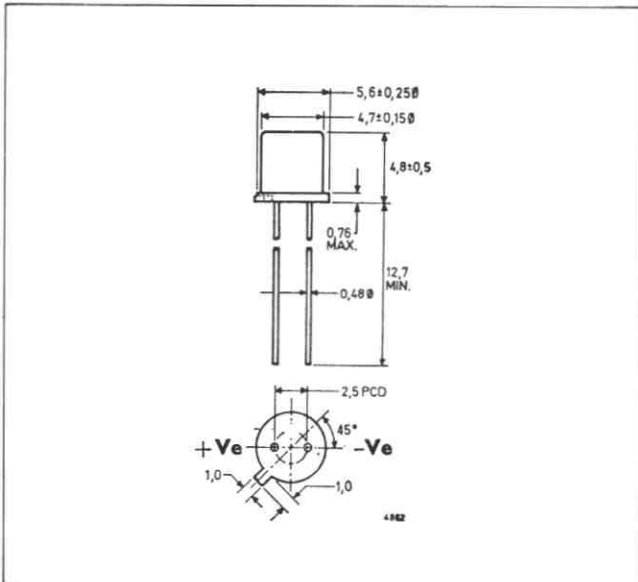


順方向特性 (代表値)



パッケージ寸法

単位 mm



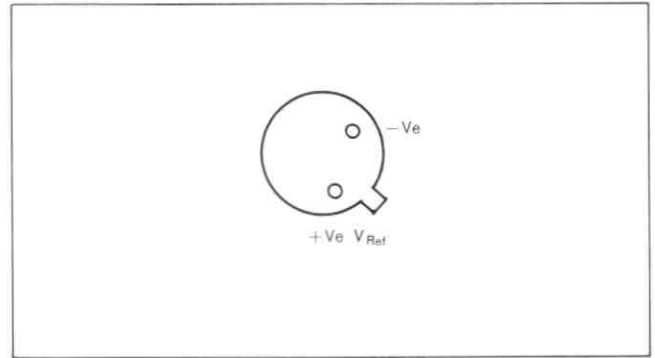
# ZN423

## 1.26V 精密基準電圧回路

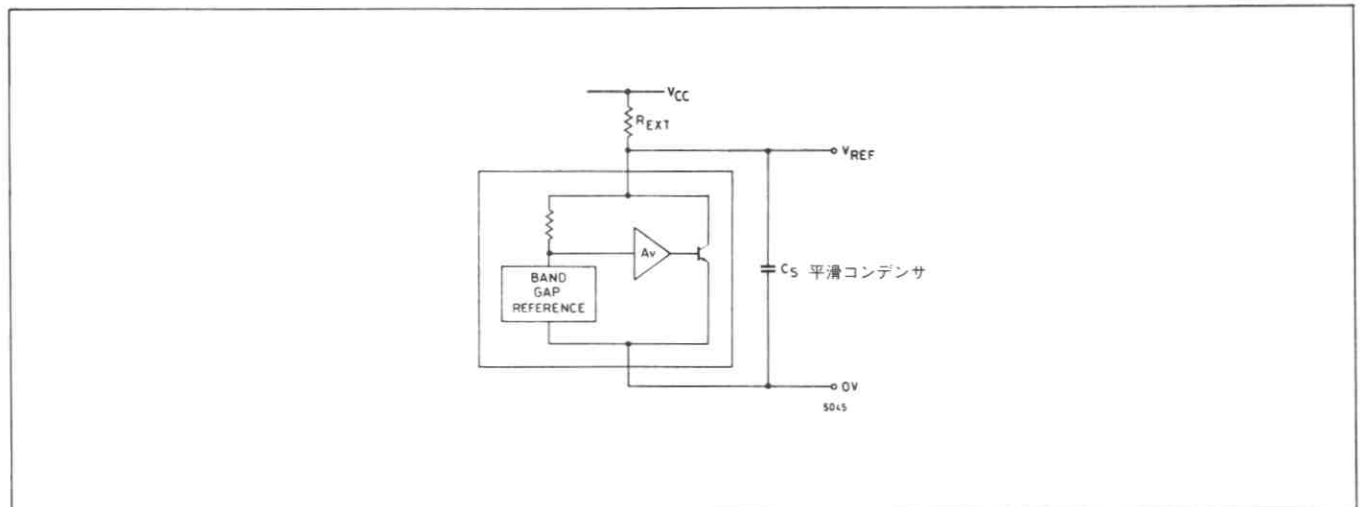
ZN423は、ベース-エミッタ接合のエネルギー・バンド・ギャップ電圧を利用して精密で安定した1.26Vの基準電圧を発生するモノリシックICである。この電圧は、ドロップ抵抗を介して1.5V以上の電源に接続することによって発生する。ZN423の温度係数は、従来のツェナー・ダイオードと違い電流に関係なく一定である。また、ブレークダウンに伴い発生する雑音は、かなり小さい。

### 特徴

- 低電圧
- 低温度係数
- 非常に良い長時間安定性
- 低スロープ抵抗
- 低RMSノイズ
- バラツキが少ない
- 高い電源除去比
- 2端子のパッケージ



端子接続 (下面より)



ブロック図

# 電気的特性

テスト条件 (特に注記なき限り)

周囲温度 25°C

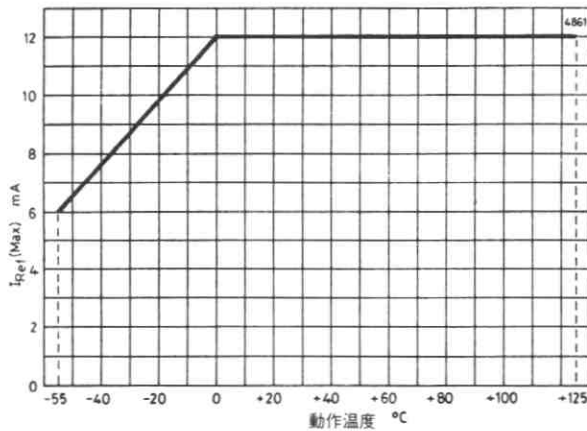
特 性	シンボル	数 値			単 位	テ ス ト 条 件
		Min.	Typ.	Max.		
出力電圧	$V_{REF}$	1.2	1.26	1.32	V	注 1
スロープ抵抗	$R_{REF}$		0.5	1.0	$\Omega$	
動作電流	$I_{REF}$	1.5		12	mA	
温度係数			100		ppm/°C	注 2
平滑コンデンサ	$C_S$	0.1			$\mu F$	
外付抵抗値	$R_{EXT}$	100			$\Omega$	注 3
RMS ノイズ電圧 (1 Hz~10KHz)			6		$\mu V$	
電源除去比	PSRR		60		dB	注 3
$V_{REF}=1.26V, I_{REF}=2.5mA$ $V_{CC}=5.0V$						
$V_{REF}$ ドリフト (125°Cにおいて)	$\Delta V_{REF}$		10			ppm/1000時間
			100			ppm/年

(注 1)  $I_{REF} = 5 \text{ mA}$

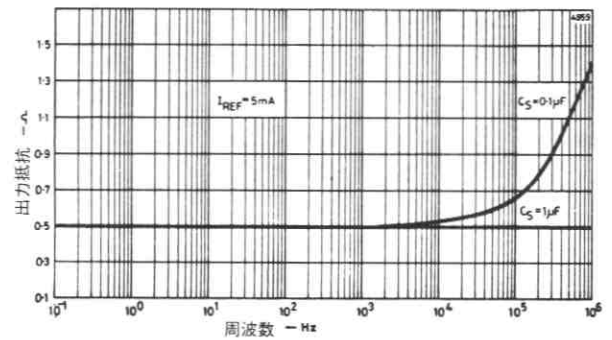
(注 2)  $R_{EXT} = (V_{CC} - V_{REF}) / I_{REF}$

(注 3)  $PSRR = R_{EXT} / R_{REF}$

基準電流  $I_{REF(max)}$  VS 動作温度



スロープ抵抗 VS 周波数 ( $I_{REF} = 5 \text{ mA}$ )



## 応 用

### 1. 5V、0.5A電源

この回路は、本来は定電流電源回路であるが、帰還抵抗  $R_2$  と  $R_3$  によって定電圧電源としている。

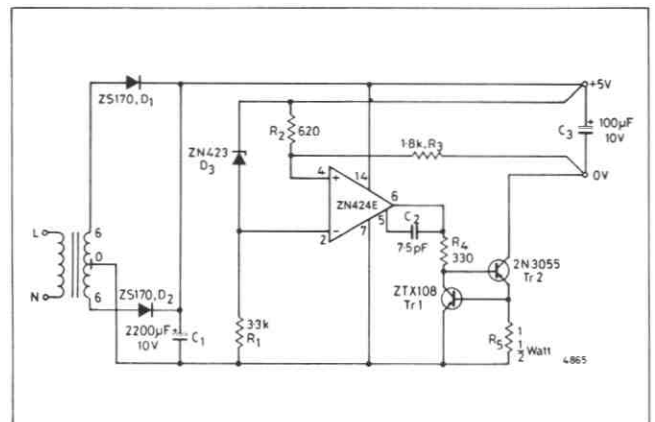
この簡単な回路で、次の特性を得ることができる。

出力雑音およびリップル(全負荷時) = 1 mVrms

負荷レギュレーション(0~0.5A) = 0.1%

温度係数 =  $\pm 100 \text{ ppm/}^\circ\text{C}$

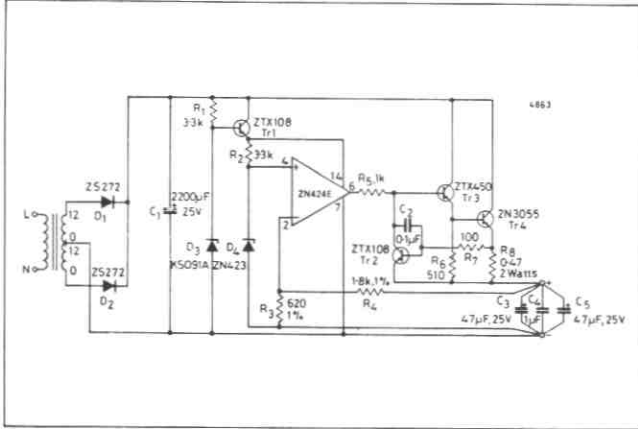
電流リミット = 0.65A



第 1 図 5V、0.5A電源

## 2. 5V、1.0A電源

第2図に示す回路は、第1図の回路の特性を改良したものである。基準電圧Zn423と誤差アンプZn424に、Tr<sub>1</sub>のエミッタ・ホロワ段より安定な電圧を供給することによってこの改良を行っている。電源除去比は、R<sub>1</sub>/R<sub>5</sub>の値を大きくすることによって良くすることができる(ただし、R<sub>5</sub>はD<sub>3</sub>のスロープ抵抗とする)。出力電圧は、 $\frac{R_3+R_4}{R_3} \cdot V_{REF}$ となり、R<sub>3</sub>を220Ωの固定抵抗と500Ωの可変抵抗にすることによって微調できる。出力は、Tr<sub>2</sub>で1.6Aに電流制限することによって、短絡保護を行っている。



第2図 5V、1.0A電源

## 3. 0~12V、1A電源

この回路は、電圧を連続的に可変でき非常に安定した、最大負荷電流1Aの電源回路である。出力電圧は次式で表わされる：

$$V_o = \frac{V_{R5} + V_{R6}}{R_4} \cdot V_{REF}$$

出力電圧は、可変抵抗V<sub>R5</sub>とV<sub>R6</sub>で制御されるので、ここには精度の高い部品を使用するようにする。エミッタ・ホロワ段のTr<sub>1</sub>とTr<sub>2</sub>は、出力段からバイアスと基準電圧をパツファする。負のラインによって、出力は0Vまで下げることが可能になっている。

電流制限回路は、R<sub>15</sub>を流れる出力電流をモニタする。そして、負荷電流の増加によってR<sub>15</sub>の電圧が高くなると、Tr<sub>4</sub>が導通しTr<sub>3</sub>にベース電流を供給する。その結果、ZN424Eの出力はTr<sub>3</sub>とTr<sub>5</sub>で分流される。

出力電圧の平滑は、出力デカップリング・コンデンサとC<sub>5</sub>とR<sub>8</sub>の回路で行っている。またこの回路は、100KHz以上の周波数でも出力抵抗が低く維持できるようにしている。

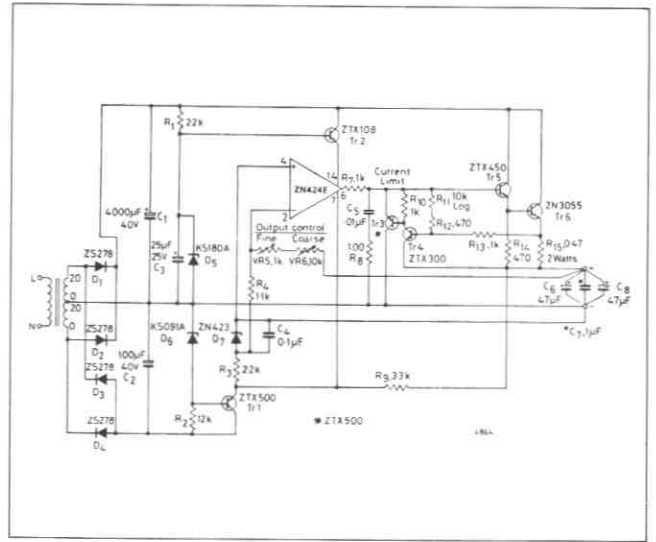
この電源回路の特性は、次のようになる：

- 出力雑音およびリップル(全負荷) < 100μVrms
- 出力抵抗(0~1A) 1mΩ
- 温度係数 ±100ppm/°C

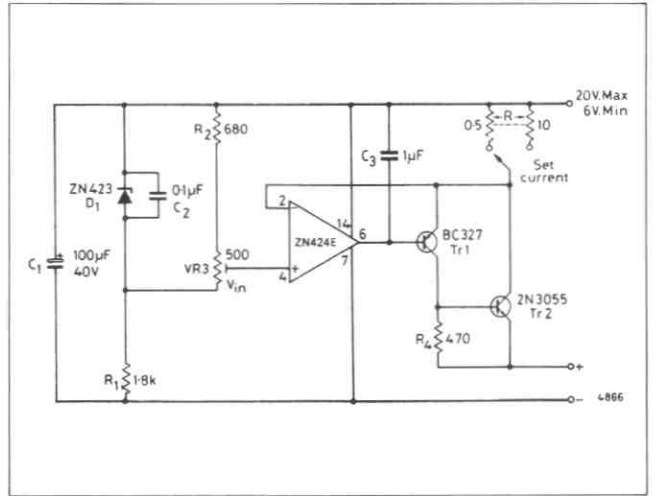
## 4. 可変電流ソース (100mA~2A)

この回路は、Tr<sub>2</sub>のコレクタに接続した抵抗Rによって、出力電流を100mAから2Aまで設定することができる。また、VR3を調整することによってZN424Eの非反転入力基準電圧を変化させ、出力電圧の微調整を行うこともできる。

出力からZN424Eの反転入力へのフィードバックは、抵抗Rにかかる電圧(V<sub>cc</sub>-V<sub>in</sub>)を一定に保持し、この結果、負荷への出力電流を一定値(V<sub>cc</sub>-V<sub>in</sub>)/Rに保つことができる。

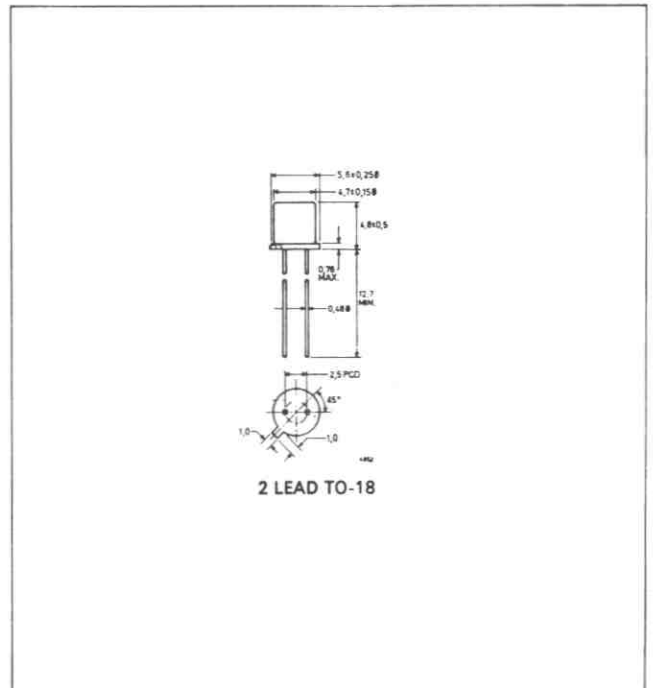


第3図 0~12V、1A電源



第4図 可変電流電源、100mA~2A

## パッケージ寸法 単位 mm



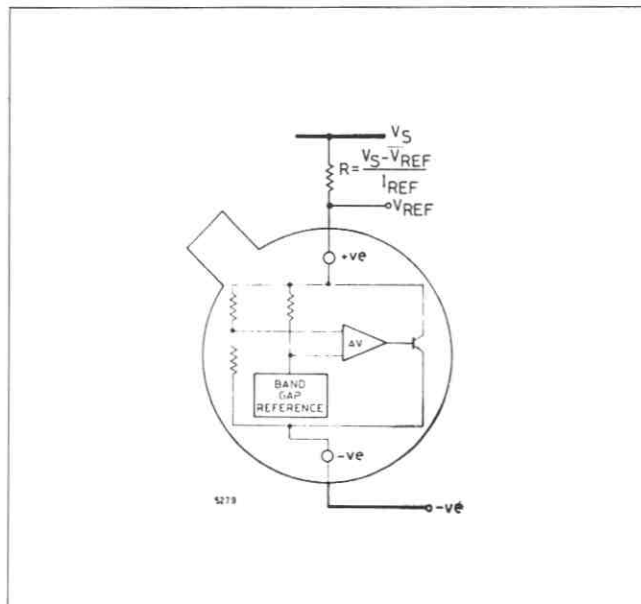
# ZN458

## 2.45V 精密基準電圧回路

ZN458は、2.45Vの精密で安定した基準電圧用モノリシックICである。このICは、2端子のキャン・パッケージに内蔵されており、平滑用のコンデンサを外付する必要はない。

### 特徴

- 全動作温度範囲での最大電圧変化 5 mV保証
- 低温度係数 0.003%/°C
- 低スロープ抵抗 0.1Ω
- 非常に良い長時間安定性 10ppm
- 低雑音 10μV
- 平滑回路内蔵
- バラツキが少ない ±1.43%
- 2端子のパッケージ
- 広い動作電流 2~120mA



第1図 ブロック図

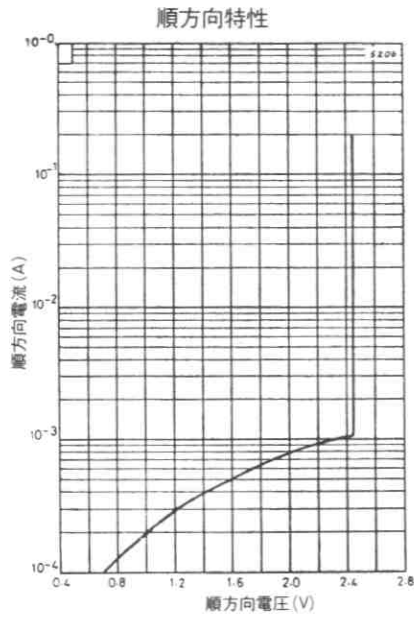
### 電気的特性

テスト条件 (特に注記なき限り)  
 周囲温度 25°C

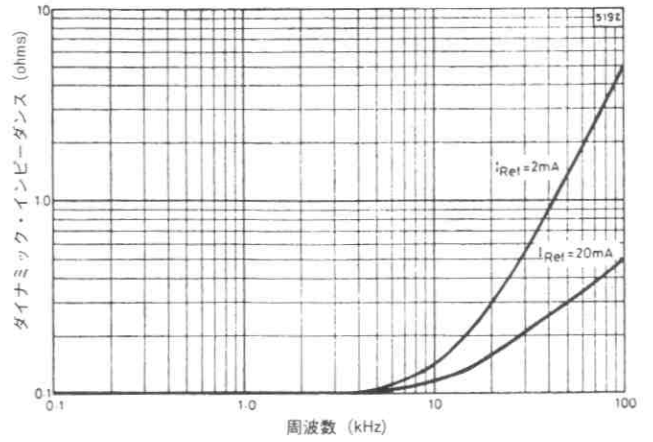
特 性	シンボル	数 値			単 位	テスト条件
		Min.	Typ.	Max.		
出力電圧	$V_{REF}$	2.42	2.45	2.49	V	$I_{REF} = 2\text{mA}$
スロープ抵抗	$R_{REF}$	—	0.1	0.2	Ω	
動作電流	$I_{REF}$	2.0	—	120	mA	
$V_{REF}$ の最大変化	ZN458 $\Delta V_{REF}$	—	10	17	} mV	0 ~ +70°C
		—	6	8.5		
		—	4	5		
RMS 雑音電圧 (1 Hz ~ 10 KHz)	—	—	10	—	μV	70°C
$V_{REF}$ ドリフト	—	—	±10	—	ppm/ 1000時間	

# 最大絶対定格

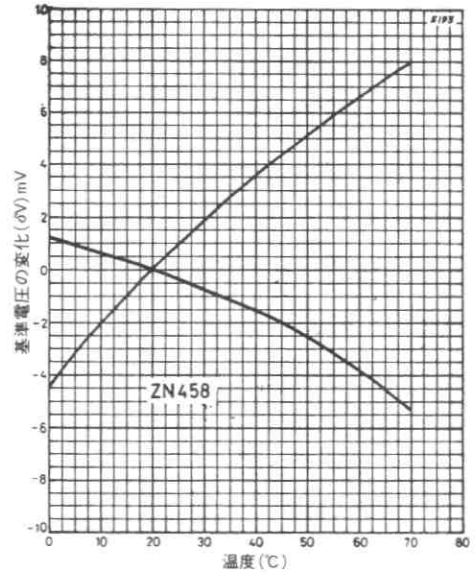
消費電力 300mW  
 動作温度範囲 -20~+70°C  
 貯蔵温度 -55~+150°C



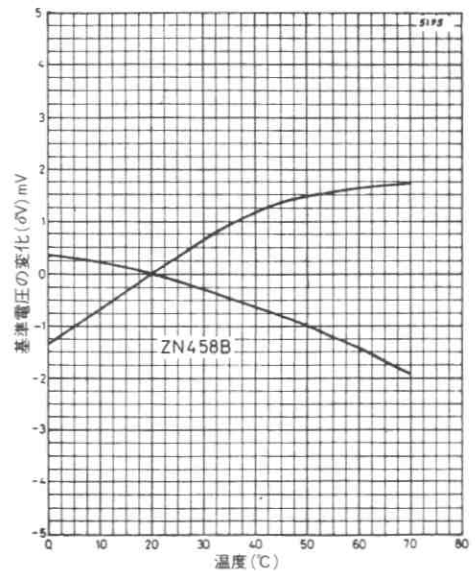
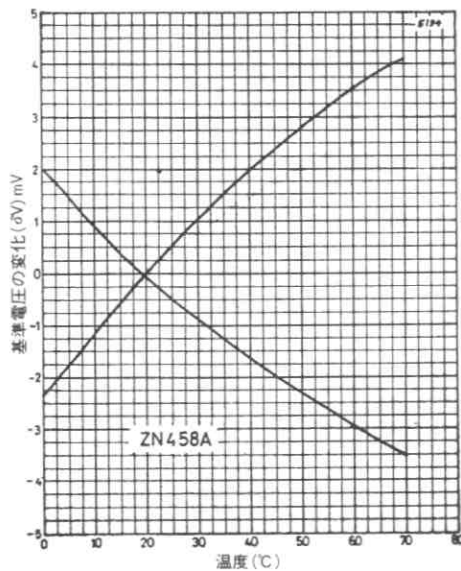
## ダイナミック・インピーダンス



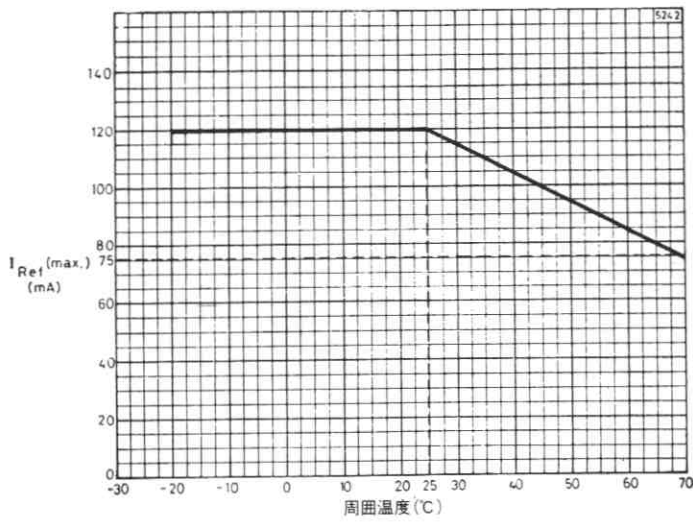
## 温度特性(代表値)



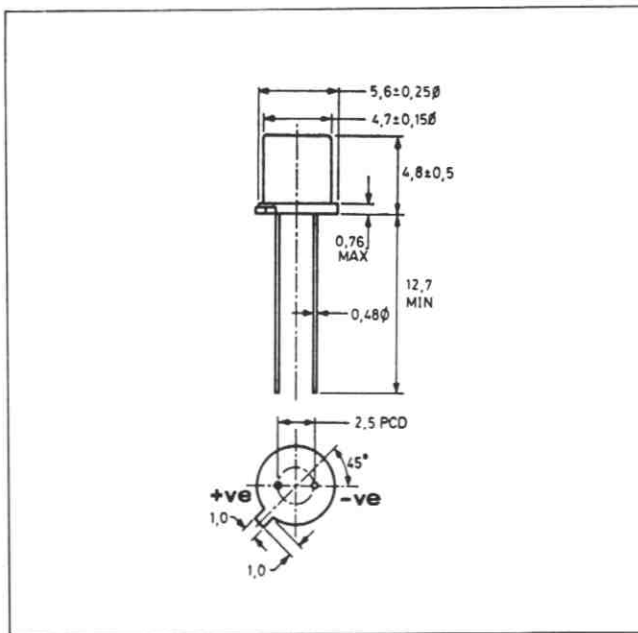
## 温度特性(代表値)







パッケージ寸法 単位 mm



## ZNREFシリーズ

### 低消費電力精密基準電圧

#### 特 徴

- 出力電圧微調可
- 優れた温度安定度
- 低出力雑音指数
- 2種類の動作温度範囲

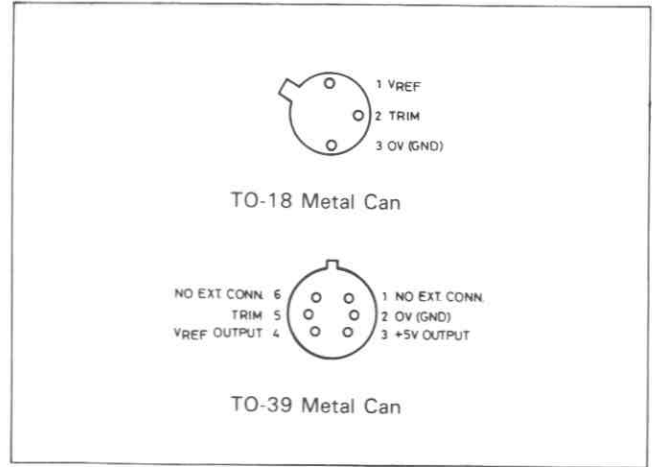
(Aタイプ -55~+125℃、Cタイプ 0~70℃)

- 2種類の初期出力電圧精度(1、2)
- 通常平滑コンデンサを必要としない
- 低スロープ抵抗

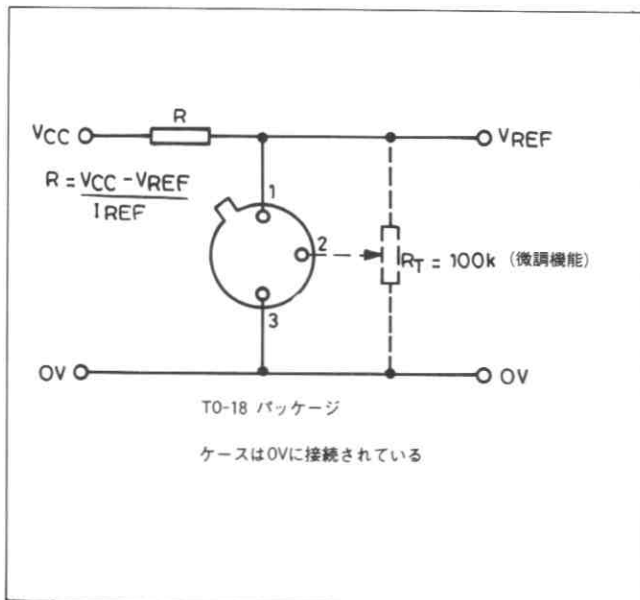
ZNREF シリーズは2.5V (ZNREF025) から10V (ZNREF100) までの精密で安定した基準電圧用モノリシック IC である。

この IC は150μA 以上の電流で動作し、広い動作温度範囲および動作電流範囲を有している。

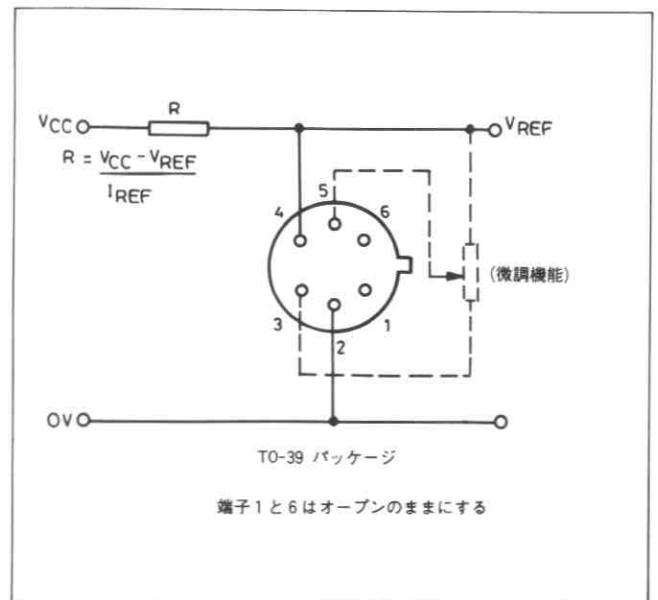
パッケージはキャン・タイプで、端子の1つは微調機能を有しているので図の回路を使って出力電圧を調整することができる(ZNREF100に対しては第2図、他のICに対しては第1図)。この機能はシステムの誤差を補正する時や出力を特定の電圧に設定する時に特に便利である。また、微調機能を使用しない場合にはこの端子はオープンのままにしておく。



端子接続 (下面より)



第1図 ZNREF025/040/050/062



第2図 ZNREF100

## ZNREFシリーズ選択表

型名	出力電圧*	最大動作電流 (mA)	インピーダンス		微調範囲	パッケージ
			Typ.	Max.		
ZNREF025	2.50	10	1.5	2.0	±5%	TO-18
ZNREF040	4.01	75	2.0	3.0	±5%	TO-18
ZNREF050	4.90	60	1.5	2.0	±5%	TO-18
ZNREF062	6.17	50	2.0	3.0	±5%	TO-18
ZNREF100	9.80	50	3.0	4.0	±2.5%	6 lead TO-39

\*500 $\mu$ Aで測定

注

a) 温度に対する出力変化 ( $\Delta V_{REF}$ )

規定された動作温度範囲内の最大出力電圧と最小出力電圧の差

$$\Delta V_{REF} = V_{max} - V_{min}$$

b) 出力温度係数 ( $TCV_{REF}$ )

規定された動作温度範囲内の温度に対する出力電圧変化の比

$$TCV_{REF} = \frac{\Delta V_{REF} \times 10^6}{V_{REF} \times \Delta T} \text{ ppm/}^\circ\text{C}$$

ただし、 $\Delta T$  = 動作温度範囲

c) 動作電流 ( $I_{REF}$ )

最大動作電流はこの値の最大値である

d) スロープ抵抗 ( $R_{REF}$ )

動作インピーダンスは次式で表わされる

$$R_{REF} = \frac{\text{規定された電流範囲内の } V_{REF} \text{ の変化}}{\Delta I_{REF}}$$

$$\Delta I_{REF} = 5 - 0.5 = 4.5 \text{ mA typ.}$$

型名	精度 %	温度係数 (ppm/ $^\circ$ C)	動作温度範囲
ZNREF †A1	1	50	-55to+125 $^\circ$ C
ZNREF †A2	2		
ZNREF C1	1	50	0 to +70 $^\circ$ C
ZNREF C2	2		

† ZNREF062にはABグレード(-55~+110 $^\circ$ C)あり

# ZNREF025

## 2.5V低消費電力精密基準電圧

### 最大絶対定格

動作電流	10mA*
消費電力	300mW
動作温度範囲	下記参照
貯蔵温度範囲	-55~+175℃
はんだ付温度(最大10秒間)	
リード取付部より $\frac{1}{16}$ インチ以内	300℃
リード取付部より $\frac{1}{32}$ インチ以内	265℃
* -25℃以下ではこの値は直線に減少し、-55℃で1.5mA最大となる。	

### 電気的特性 (温度に関して)

特 性	シンボル	初期電圧精度 %	グレードA -55~125℃		グレードC 0~+70℃		単 位
			Typ.	Max.	Typ.	Max.	
各温度範囲内の出力電圧変化 (注a)参照	$\Delta V_{REF}$	1と2	16.0	22.5	2.7	8.8	mV
出力電圧温度係数 (注b)参照	$TCV_{REF}$	1と2	35	50	15	50	ppm/℃

### 電気的特性

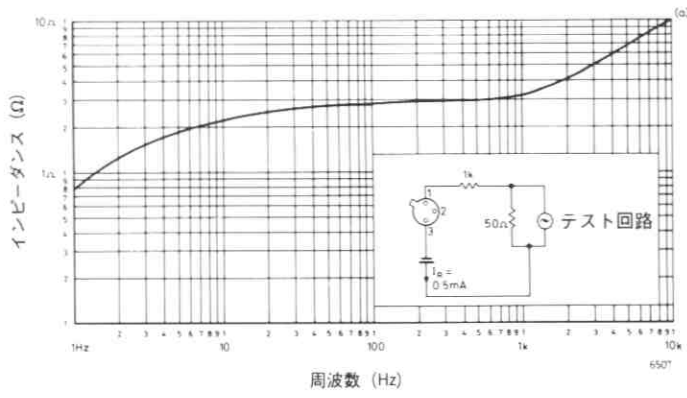
テスト条件 (特に注記なき限り)

周囲温度 $T_{amb}=25℃$ 、端子2はオープン

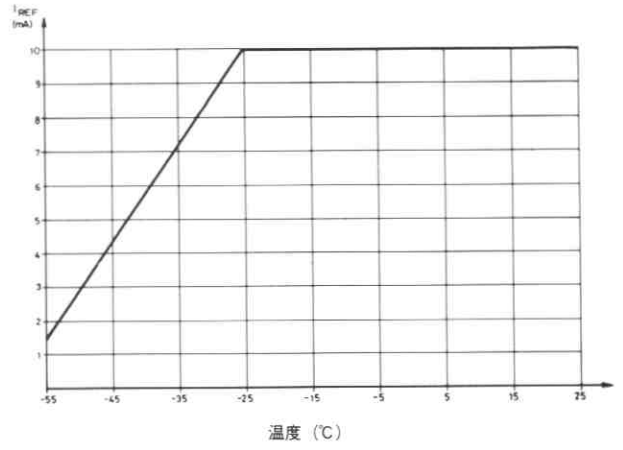
負荷容量は220pF以下または0.022 $\mu$ F以上とする

特 性	シンボル	Min.	Typ.	Max.	単 位	条 件
出力電圧 1% 精度 (A1 C1) 2% 精度 (C2)	$V_{REF}$	2.475 2.450	2.500	2.525 2.550	V	$I_{REF}=500\mu A$
出力電圧調整範囲	$\Delta V_{TRIM}$	—	$\pm 5$	—	%	$R_T=100K\Omega$
出力調整に関する $TCV_{REF}$ の変化	$TC\Delta V_{TRIM}$	—	0.8	—	ppm/℃/%	
動作電流範囲	$I_{REF}$	0.15	—	10	mA	注c)参照
ターン・オン時間	$t_{on}$	—	40	—	$\mu$ S	$R_L=1K\Omega$
ターン・オフ時間	$t_{off}$	—	0.3	—		
出力電圧雑音 (0.1Hzから10Hz)	$e_{npp}$	—	50	—	$\mu$ V	ピーク・トゥ・ピーク値
スロープ抵抗	$R_{REF}$	—	1.5	2.0	$\Omega$	$I_{REF}$ は0.5mAから5mA 注d)参照

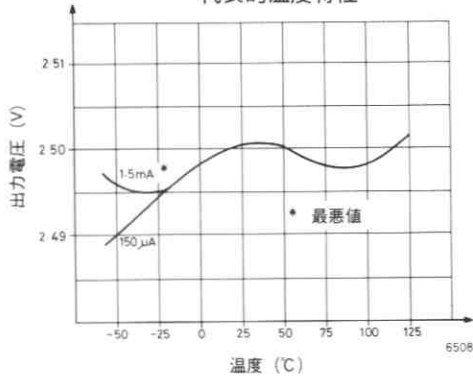
ダイナミック・インピーダンス



ZNREF025の温度に対する  $I_{REF}$  最大値

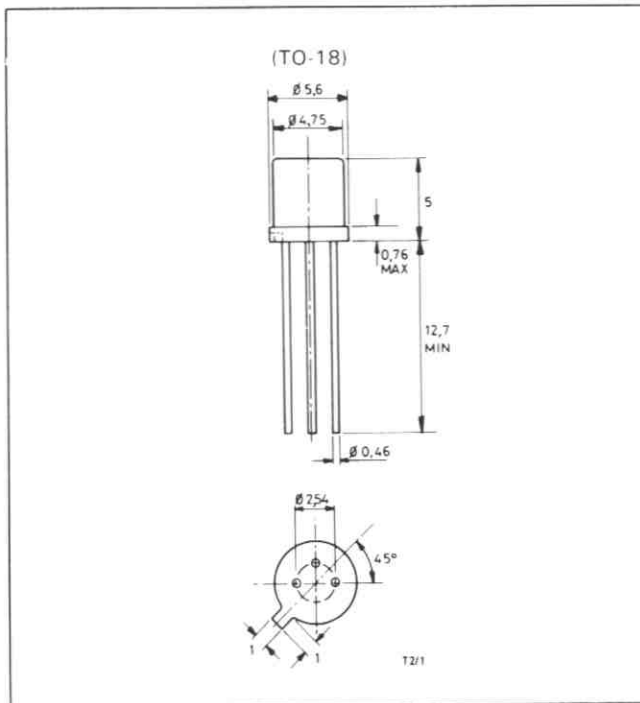


代表的温度特性



パッケージ寸法

単位 mm



# ZNREF040

## 4.0V低消費電力精密基準電圧

### 最大絶対定格

動作電流	75mA*
消費電力	300mW
動作温度範囲	下記参照
貯蔵温度範囲	-55~+175°C
はんだ付温度(最大10秒間)	
リード取付部より $\frac{1}{16}$ インチ以内	300°C
リード取付部より $\frac{1}{32}$ インチ以内	265°C
* +25°C以上ではこの値は直線に減少し、+125°Cで25mA最大となる。	

### 電気的特性 (温度に関して)

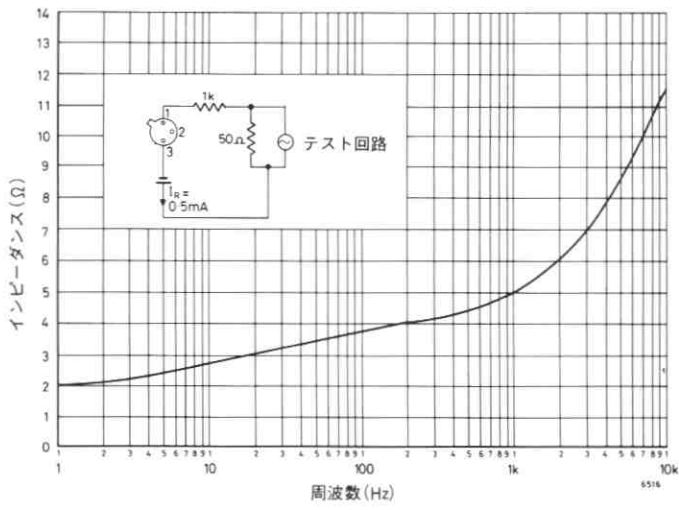
特 性	シンボル	初期電圧精度 %	グレードA -55~125°C		グレードC 0~+70°C		単 位
			Typ.	Max.	Typ.	Max.	
各温度範囲内の出力電圧変化 (注a)参照)	$\Delta V_{REF}$	1と2	25.6	36	4.2	14	mV
出力電圧温度係数 (注b)参照)	$TCV_{REF}$	1と2	35	50	15	50	ppm/°C

### 電気的特性

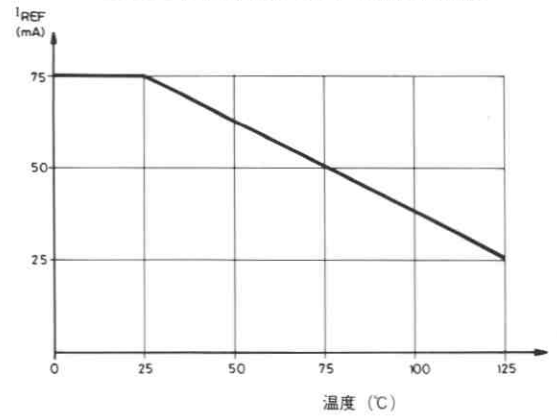
テスト条件 (特に注記なき限り)  
 周囲温度  $T_{amb} = 25^\circ\text{C}$ 、端子 2 はオープン

特 性	シンボル	Min.	Typ.	Max.	単 位	条 件
出力電圧 1% 精度 (A1 C1) 2% 精度 (C2)	$V_{REF}$	3.97 3.93	4.01	4.05 4.09	V	$I_{REF} = 500\mu\text{A}$
出力電圧調整範囲	$\Delta V_{TRIM}$	—	$\pm 5$	—	%	$R_T = 100\text{K}\Omega$
出力調整に関する $TCV_{REF}$ の変化	$TC\Delta V_{TRIM}$	—	0.8	—	ppm/°C / %	
動作電流範囲	$I_{REF}$	0.15	—	75	mA	注c) 参照
ターン・オン時間	$t_{on}$	—	40	—	$\mu\text{S}$	$R_L = 1\text{K}\Omega$
ターン・オフ時間	$t_{off}$	—	0.3	—		
出力電圧雑音 (0.1Hzから10Hz)	$e_{npp}$	—	50	—	$\mu\text{V}$	ピーク・トゥ・ピーク値
スロープ抵抗	$R_{REF}$	—	2	3	$\Omega$	$I_{REF}$ は0.5mAから5mA 注d) 参照

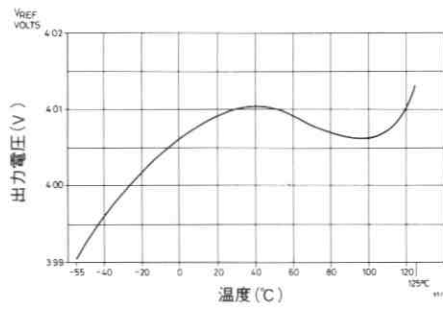
### ダイナミックインピーダンス



### ZNREF040の温度に対する $I_{REF}$ 最大値

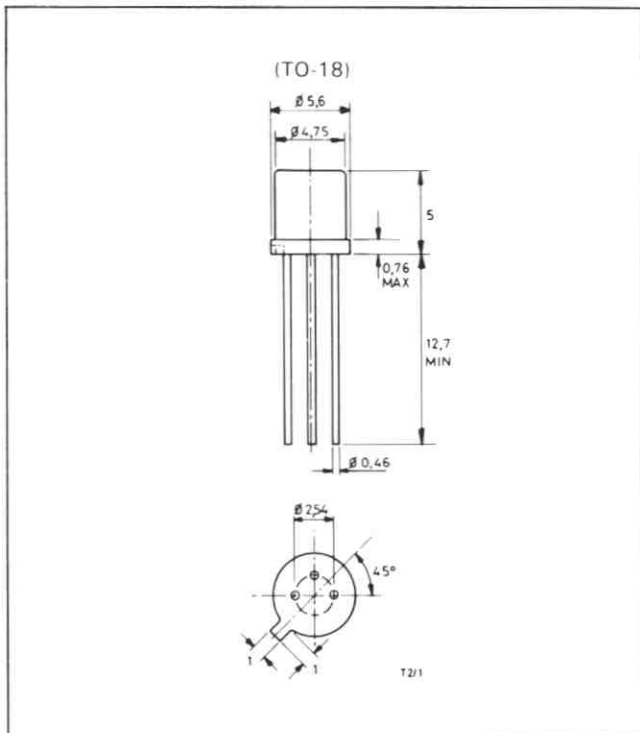


### 代表的温度特性



### パッケージ寸法

単位 mm



# ZNREF050

## 4.9V低消費電力精密基準電圧

### 最大絶対定格

動作電流	60mA*
消費電力	300mW
動作温度範囲	下記参照
貯蔵温度範囲	-55~+175°C
はんだ付温度(最大10秒間)	
リード取付部より $\frac{1}{16}$ インチ以内	300°C
リード取付部より $\frac{1}{32}$ インチ以内	265°C
* +25°C以上ではこの値は直線に減少し、+125°Cで20mA最大となる。	

### 電気的特性 (温度に関して)

特 性	シンボル	初期電圧精度 %	グレードA -55~125°C		グレードC 0~+70°C		単 位
			Typ.	Max.	Typ.	Max.	
各温度範囲内の出力電圧変化 (注a)参照)	$\Delta V_{REF}$	1と2	32	45	5.4	17.2	mV
出力電圧温度係数 (注b)参照)	$TCV_{REF}$	1と2	35	50	15	50	ppm/°C

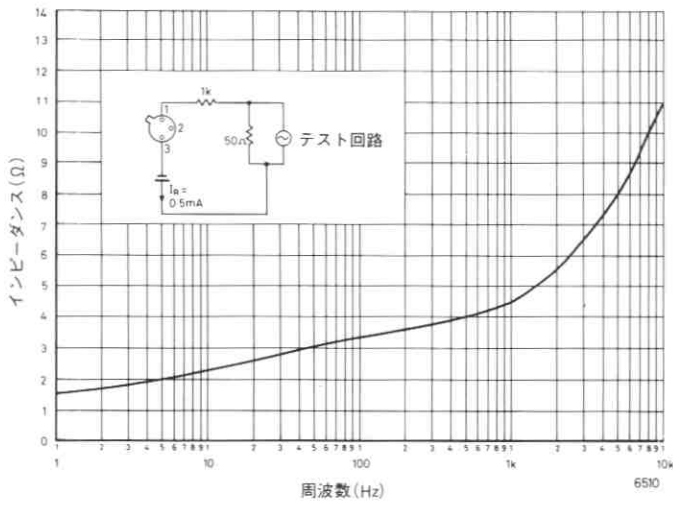
### 電気的特性

テスト条件 (特に注記なき限り)  
 周囲温度  $T_{amb} = 25^\circ\text{C}$ 、端子2はオープン

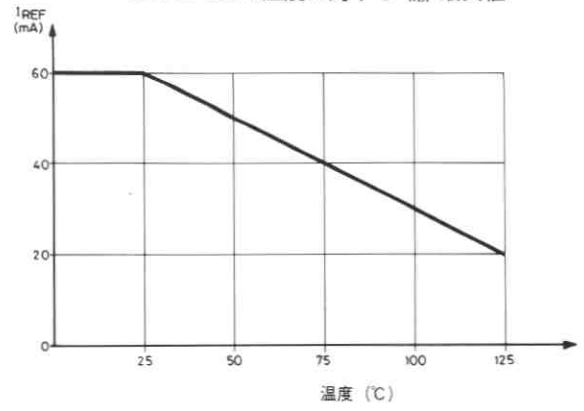
特 性	シンボル	Min.	Typ.	Max.	単 位	条 件
出力電圧 1% 精度 (A1 C1) 2% 精度 (C2)	$V_{REF}$	4.85 4.80	4.90 4.90	4.95 5.00	V	$I_{REF} = 500\mu\text{A}$
出力電圧調整範囲	$\Delta V_{TRIM}$	—	$\pm 5$	—	%	$R_T = 100\text{K}\Omega$
出力調整に関する $TCV_{REF}$ の変化	$TC\Delta V_{TRIM}$	—	0.8	—	ppm/°C / %	
動作電流範囲	$I_{REF}$	0.15	—	60	mA	注c)参照
ターン・オン時間 ターン・オフ時間	$t_{on}$ $t_{off}$	— —	40 0.3	— —	$\mu\text{s}$	$R_L = 1\text{K}\Omega$
出力電圧雑音 (0.1Hzから10Hz)	$e_{sp-p}$	—	50	—	$\mu\text{V}$	ピーク・トゥ・ピーク値
スロープ抵抗	$R_{REF}$	—	1.5	2.0	$\Omega$	$I_{REF}$ は0.5mAから5mA 注d)参照



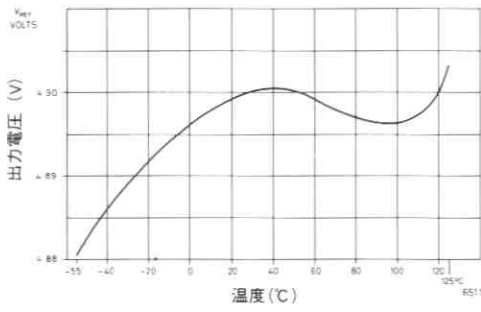
ダイナミックインピーダンス



ZNREF050の温度に対する  $I_{REF}$  最大値

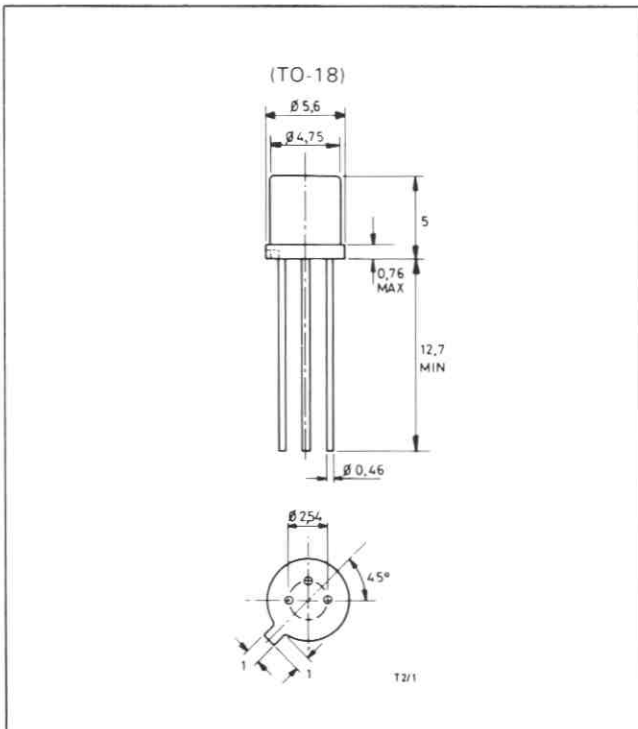


代表的温度特性



パッケージ寸法

単位 mm



# ZNREF062

## 6.2V低消費電力精密基準電圧

### 最大絶対定格

動作電流	50mA*
消費電力	300mW
動作温度範囲	下記参照
貯蔵温度範囲	-55~+175°C
はんだ付温度(最大10秒間)	
リード取付部より $\frac{1}{16}$ インチ以内	300°C
リード取付部より $\frac{1}{32}$ インチ以内	265°C
* +25°C以上ではこの値は直線に減少し、+110°Cで20mA最大となる。	

### 電気的特性 (温度に関して)

特 性	シンボル	初期電圧精度 %	グレードA -55~125°C		グレードC 0~+70°C		単 位
			Typ.	Max.	Typ.	Max.	
各温度範囲内の出力電圧変化 (注a)参照)	$\Delta V_{REF}$	1と2	26	40	6.5	22	mV
出力電圧温度係数 (注b)参照)	$TCV_{REF}$	1と2	25	40	15	50	ppm/°C

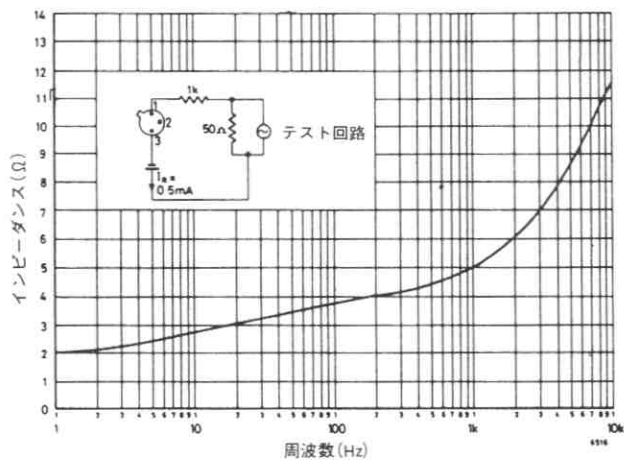
### 電気的特性

テスト条件 (特に注記なき限り)

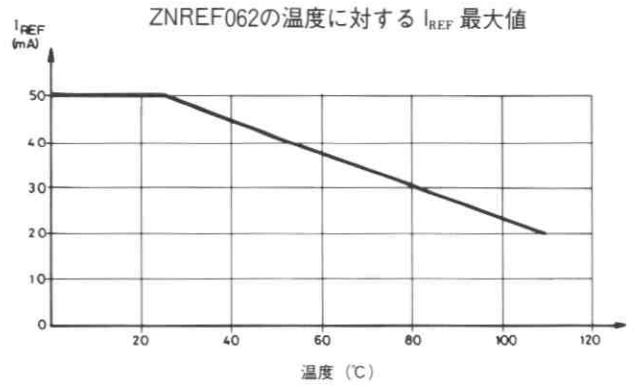
周囲温度 $T_{amb}=25^{\circ}\text{C}$ 、端子2はオープン

特 性	シンボル	Min.	Typ.	Max.	単 位	条 件
出力電圧 1% 精度 (A1 C1) 2% 精度 (C2)	$V_{REF}$	6.11 6.05	6.17 6.17	6.23 6.29	V	$I_{REF}=500\mu\text{A}$
出力電圧調整範囲	$\Delta V_{TRIM}$	—	$\pm 5$	—	%	$R_T=100\text{K}\Omega$
出力調整に関する $TCV_{REF}$ の変化	$TC\Delta V_{TRIM}$	—	0.8	—	ppm/°C/%	
動作電流範囲	$I_{REF}$	0.15	—	50	mA	注c)参照
ターン・オン時間	$t_{on}$	—	40	—	$\mu\text{S}$	$R_L=1\text{K}\Omega$
ターン・オフ時間	$t_{off}$	—	0.3	—	$\mu\text{S}$	
出力電圧雑音 (0.1Hzから10Hz)	$e_{npp}$	—	50	—	$\mu\text{V}$	ピーク・トゥ・ピーク値
スロープ抵抗	$R_{REF}$	—	2	3	$\Omega$	$I_{REF}$ は0.5mAから5mA 注d)参照

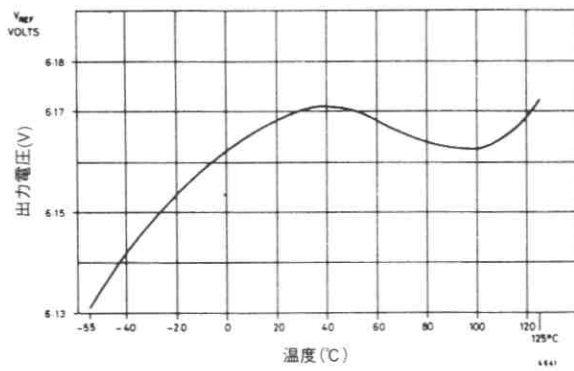
ダイナミックインピーダンス



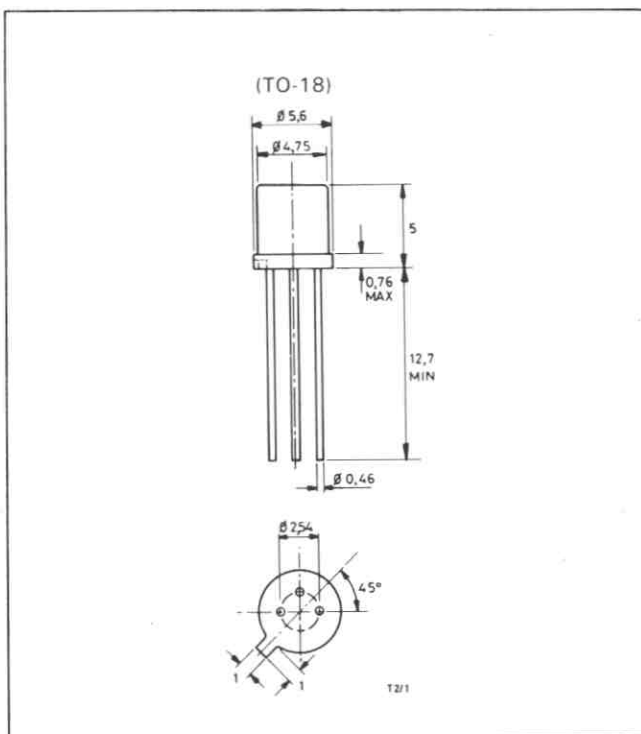
ZNREF062の温度に対する I<sub>REF</sub> 最大値



代表的温度特性



パッケージ寸法 単位 mm



# ZNREF100

## 9.8V低消費電力精密基準電圧

### 最大絶対定格

動作電流	50mA*
消費電力	500mW
動作温度範囲	下記参照
貯蔵温度範囲	-55~+175℃
はんだ付温度(最大10秒間)	
リード取付部より $\frac{1}{16}$ インチ以内	300℃
リード取付部より $\frac{1}{32}$ インチ以内	265℃
* +25℃以上ではこの値は直線に減少し、+125℃で16mA最大となる。	

### 電気的特性 (温度に関して)

特 性	シンボル	初期電圧精度 %	グレードA -55~125℃		グレードC 0~+70℃		単 位
			Typ.	Max.	Typ.	Max.	
各温度範囲内の出力電圧変化 (注a)参照	$\Delta V_{REF}$	1と2	64	90	10.8	34.4	mV
出力電圧温度係数 (注b)参照	$TCV_{REF}$	1と2	35	50	15	50	ppm/℃

### 電気的特性

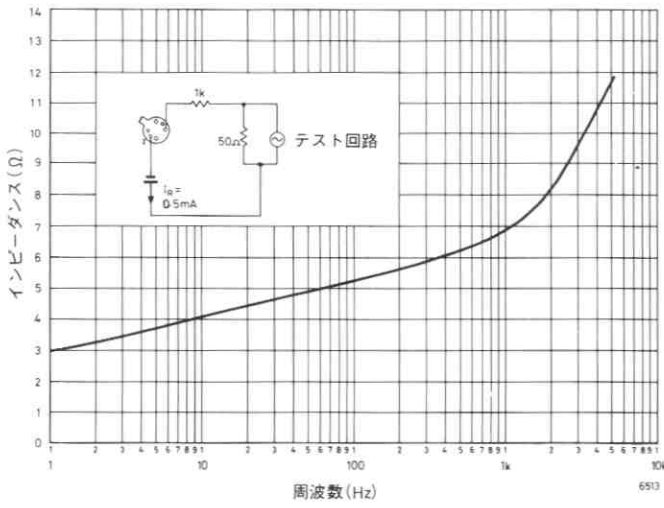
テスト条件 (特に注記なき限り)

周囲温度  $T_{amb} = 25^\circ\text{C}$ 、端子2はオープン

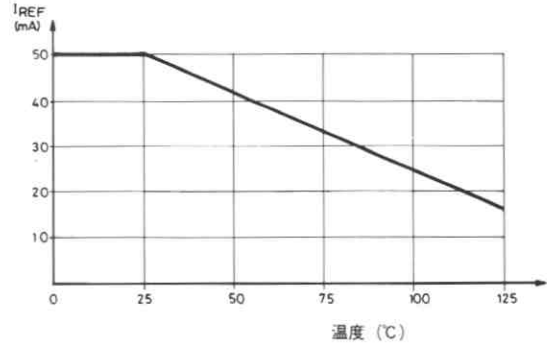
負荷容量は220pF以下または0.022 $\mu\text{F}$ 以上とする

特 性	シンボル	Min.	Typ.	Max.	単 位	条 件
出力電圧 1% 精度 (A1 C1) 2% 精度 (C2)	$V_{REF}$	9.70 9.60	9.80 9.80	9.90 10.00	V	$I_{REF} = 500\mu\text{A}$
出力電圧調整範囲	$\Delta V_{TRIM}$	—	$\pm 2.5$	—	%	$R_T = 100\text{K}\Omega$
出力調整に関する $TCV_{REF}$ の変化	$TC\Delta V_{TRIM}$	—	0.8	—	ppm/℃ / %	
動作電流範囲	$I_{REF}$	0.15	—	50	mA	注c) 参照
ターン・オン時間	$t_{on}$	—	40	—	$\mu\text{S}$	$R_L = 1\text{K}\Omega$
ターン・オフ時間	$t_{off}$	—	0.3	—		
出力電圧雑音 (0.1Hzから10Hz)	$e_{npp}$	—	50	—	$\mu\text{V}$	ピーク・トゥ・ピーク値
スロープ抵抗	$R_{REF}$	—	3	4	$\Omega$	$I_{REF}$ は0.5mAから5mA 注d) 参照

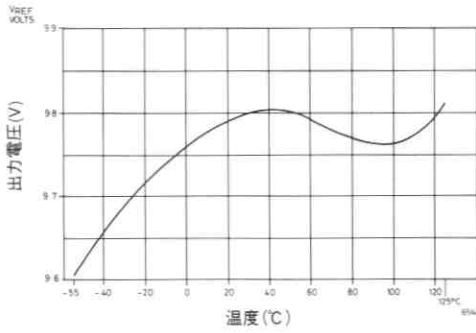
ダイナミックインピーダンス



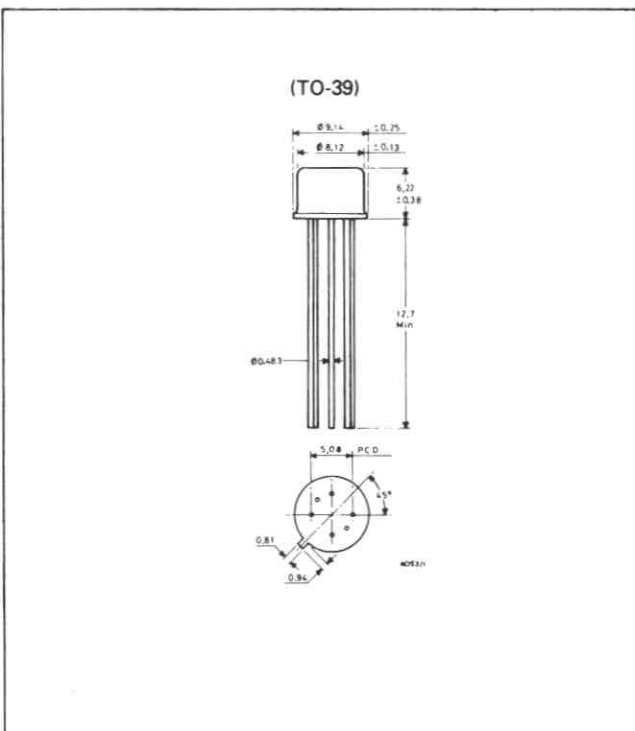
ZNREF100の温度に対する  $I_{REF}$  最大値



代表的温度特性



パッケージ寸法 単位 mm



# REF25/REF25Z

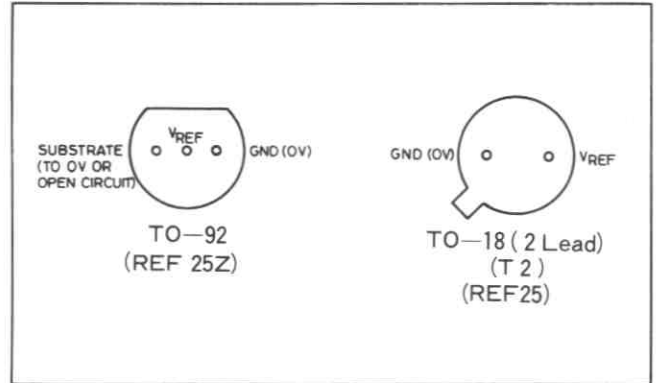
## 2.5V低消費電力精密基準電圧

REF25/REF25Zは、バンドギャップ電圧を利用して、外付のコンデンサ無しに2.5Vの精密で安定した基準電圧を出力するモノリシックICである。本ICは、2端子のTO-18キャンと低価格の3端子プラスチックTO-92の2種類のパッケージで供給される。

動作動流は、60 $\mu$ Aから5mAと非常に小さいので、低消費電力が重要である用途および電池で動作させる应用到本デバイスは最適である。

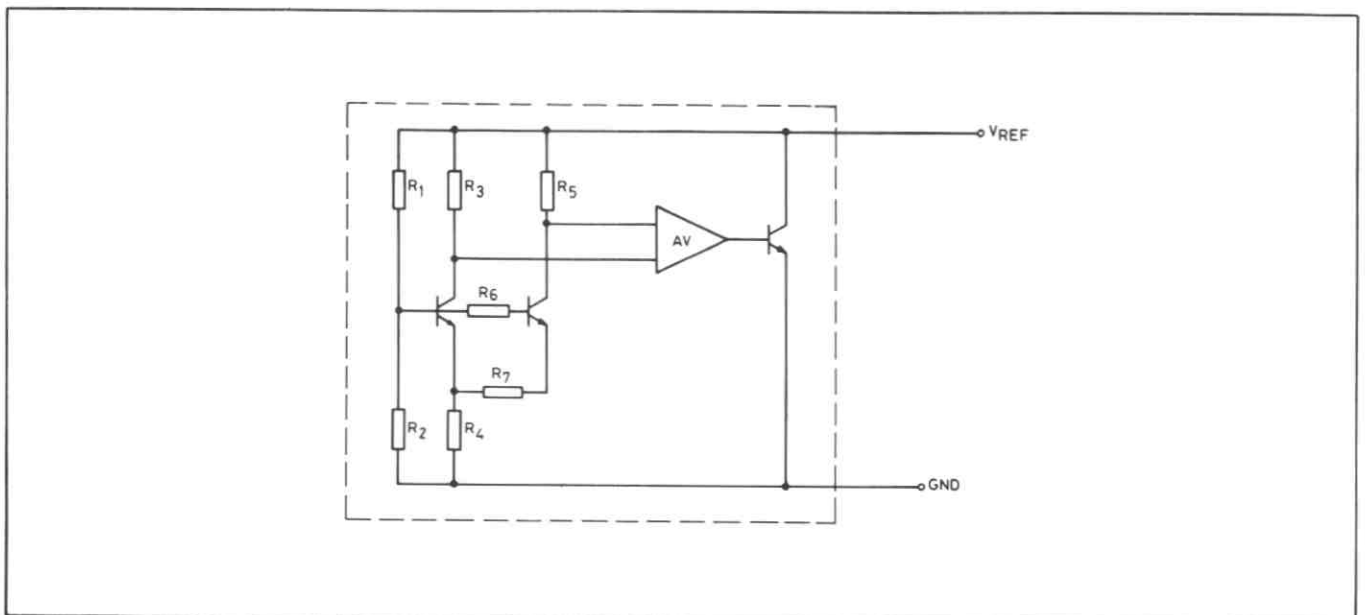
### 特徴

- 低最小動作電流 40 $\mu$ A TYP.
- 電池を使った回路に最適 -150 $\mu$ W
- 平滑用コンデンサ不用
- REF25Z-3端子TO-92 プラスチック・パッケージ
- REF25-2端子TO-18 キャン・パッケージ
- 初期 $V_{OUT}$ 精度  $\pm 1\%$ -REF25  
 $\pm 2\%$ -REF25Z
- 低温度係数
- 低スロープ抵抗
- 低価格



### 最大絶対定格

基準電流	5 mA
動作周囲温度	0 $^{\circ}$ C ~ +70 $^{\circ}$ C
保存温度	-55 $^{\circ}$ C ~ +125 $^{\circ}$ C
はんだ付温度 (最大10秒)	
リード取付部より1.59mm以内	300 $^{\circ}$ C
リード取付部より0.80mm以内	265 $^{\circ}$ C



第1図 内部回路

# 電気的特性

テスト条件 (特に注記なき限り)

周囲温度  $T_{amb} = +25^{\circ}\text{C}$

特 性	シンボル	Min.	Typ.	Max.	単 位	条 件
出力電圧	$V_{REF}$	2.475	2.500	2.525	V	REF25 } $I_{REF} = 150\mu\text{A}$ REF25Z }
		2.450	2.500	2.550		
スロープ抵抗	$R_{REF}$	—	1.2	1.5	$\Omega$	REF25 } $I_{REF} = 150\mu\text{A} \sim 5\text{mA}$ REF25Z } 注(a)
		—	1.2	2.0		
最小動作電流	$I_{ON}$	—	40	—	$\mu\text{A}$	
動作電流範囲	$I_{REF}$	0.06	—	5.0	mA	
温度係数	TC $V_{REF}$	—	25	55	ppm/ $^{\circ}\text{C}$	REF25 } $I_{REF} = 150\mu\text{A}$ REF25Z } 注(b)
		—	35	70		
RMS雑音電圧 (1 Hz~10KHz)	$E_N$	—	35	—	$\mu\text{V}$	ピーク・ツー・ピーク
ターン・オン時間	$T_{ON}$	—	80	—	$\mu\text{S}$	$I_{REF} = 150\mu\text{A}$
ターン・オフ時間	$T_{OFF}$	—	7	—		
ターン・オン時間	$T_{ON}$	—	65	—	$\mu\text{S}$	$I_{REF} = 500\mu\text{A}$
ターン・オフ時間	$T_{OFF}$	—	2	—		

注

(a)スロープ抵抗 ( $R_{REF}$ )

スロープ抵抗は次のように定義される:

$$R_{REF} = \frac{\text{規定された電流範囲内の } V_{REF} \text{ の変化}}{\text{基準電流の変化}}$$

(b)基準電圧温度係数 (TC  $V_{REF}$ )

温度に対する基準電圧の変化。次のようにppm/ $^{\circ}\text{C}$ で表わされる:

$$TC V_{REF} = \frac{\Delta V_{REF} \times 10^6}{V_{REF} \times \Delta T} \quad \text{ppm}/^{\circ}\text{C}$$

$\Delta T$  = 温度変化 ( $^{\circ}\text{C}$ )

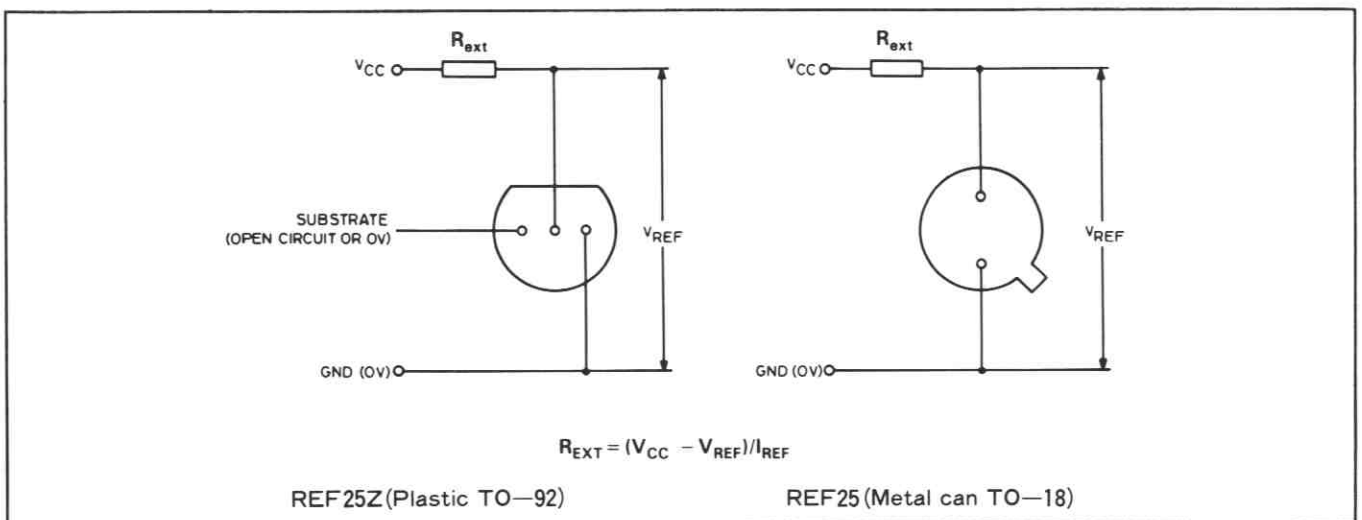
$\Delta V_{REF}$  = 温度変化  $\Delta T$  に対する基準電圧の変化

(c)ライン・レギュレーション ( $\Delta V_{REF L}$ )

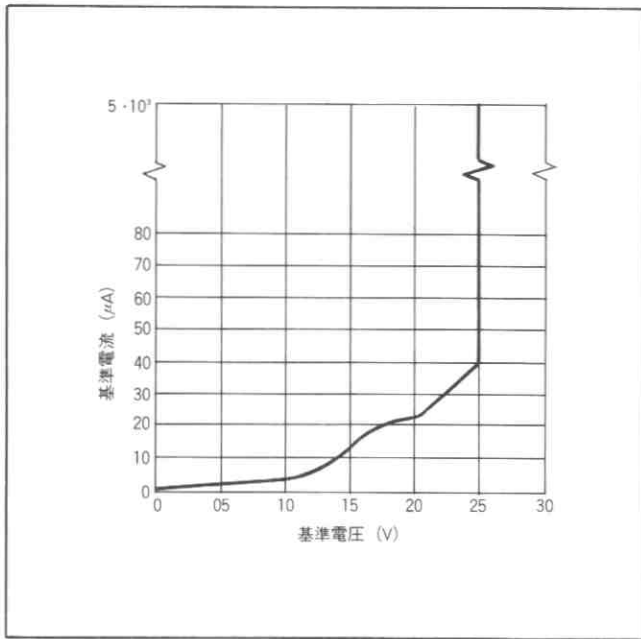
入力電圧の変化に対する基準電圧変化の比

$$\Delta V_{REF L} = \left( \frac{R_{REF} \times 100}{V_{REF} \times R_S} \right) \% / V$$

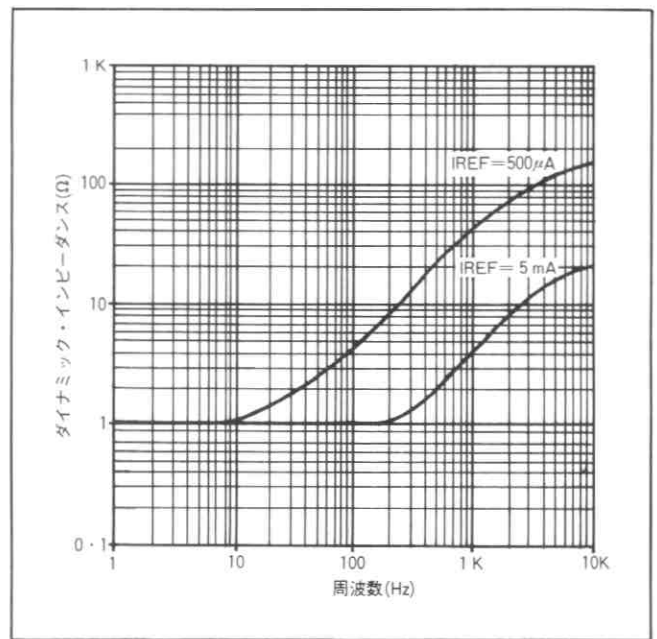
$R_S$  = ソース抵抗



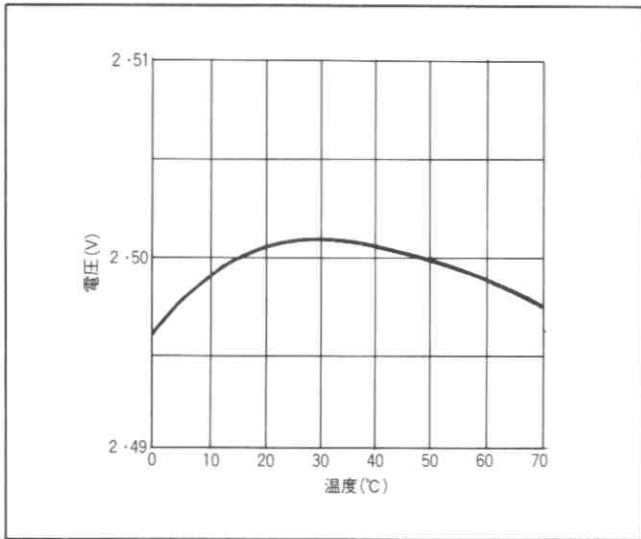
第2図 接続図 (下面より)



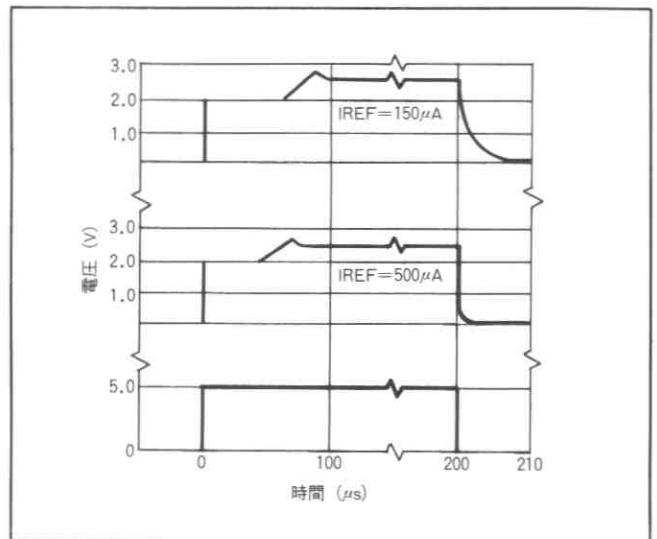
第3図 基準電圧特性 (代表値)



第5図 ダイナミック・インピーダンス (代表値)

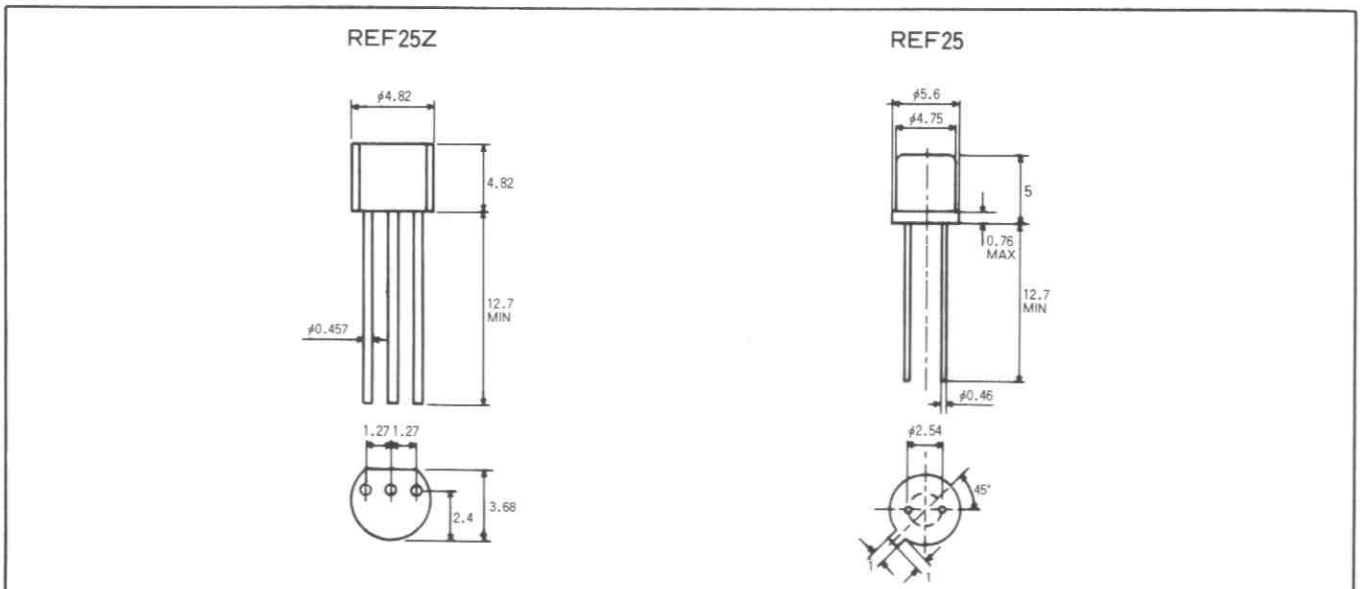


第4図 温度特性 (代表値)



第6図 応答時間 (代表値)

## パッケージ寸法 単位mm





# REF50/REF50Z

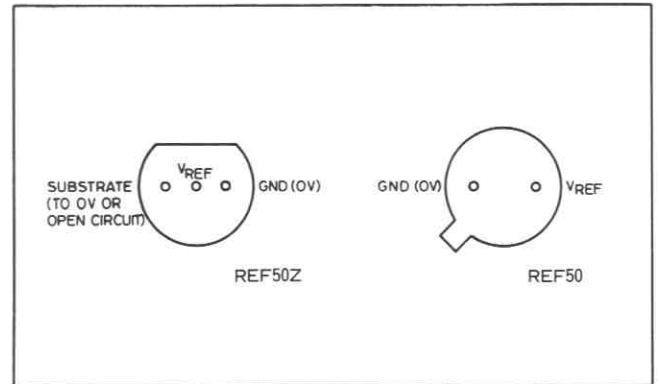
## 5.0V低消費電力精密基準電圧

REF50/REF50Zは、バンドギャップ電圧を利用して、外付のコンデンサ無しに5.0Vの精密で安定した基準電圧を出力するモノリシックICである。本ICは、2端子のTO-18キャンと低価格の3端子プラスチックTO-92の2種類のパッケージで供給される。

動作電流は、60 $\mu$ Aから5mAと非常に小さいので、低消費電力が重要である用途および電池で動作させる应用到本デバイスは最適である。

### 特徴

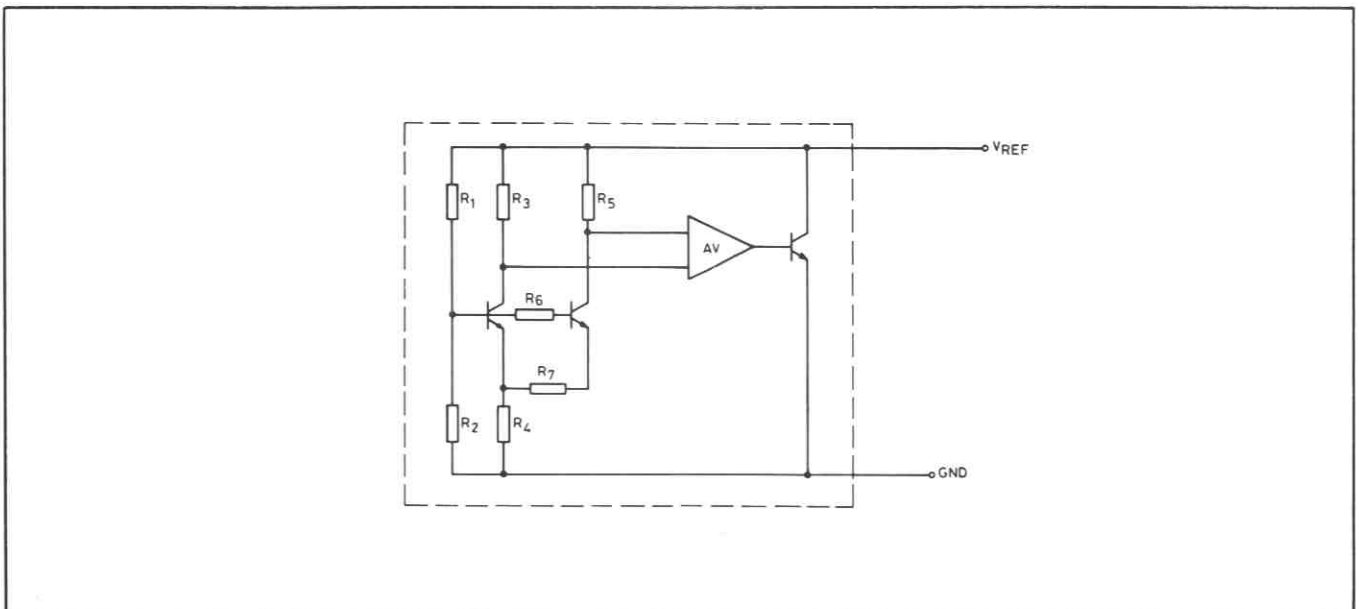
- 低最小動作電流 50 $\mu$ A<sub>TYP.</sub>
- 平滑用コンデンサ不用
- REF50Z-3端子TO-92 プラスチック・パッケージ
- REF50-2端子TO-18 キャン・パッケージ
- 初期精度  $\pm 1\%$ -REF50  
 $\pm 2\%$ -REF50Z
- 低温度係数
- 低価格



端子接続 (下面より)

### 最大絶対定格

基準電流	5 mA
動作温度範囲	0 ~ +70 $^{\circ}$ C
保存温度範囲	-55 ~ +125 $^{\circ}$ C
はんだ付温度 (最大10秒間)	
リード取付部より1.59mm以内	300 $^{\circ}$ C
リード取付部より0.80mm以内	265 $^{\circ}$ C



第1図 内部回路

# 電気的特性

テスト条件 (特に注記なき限り)

周囲温度  $T_{amb} = +25^{\circ}\text{C}$

特 性	シンボル	Min.	Typ.	Max.	単 位	条 件
出力電圧	$V_{REF}$	4.95	5.00	5.05	V	REF50 } $I_{REF} = 150\mu\text{A}$ REF50Z }
		4.90	5.00	5.10		
スロープ抵抗	$R_{REF}$	—	2.0	2.5	$\Omega$	REF50 } $I_{REF} = 150\mu\text{A} \sim 5\text{mA}$ REF50Z } 注(a)
		—	2.5	3.0		
最小動作電流	$I_{ON}$	—	50	60	$\mu\text{A}$	
動作電流範囲	$I_{REF}$	0.06	—	5.0	mA	
温度係数	TC $V_{REF}$	—	30	60	ppm/ $^{\circ}\text{C}$	REF50 } $I_{REF} = 150\mu\text{A}$ REF50Z } 注(b)
		—	40	70		
RMS雑音電圧 (1 Hz~10KHz)	$E_N$	—	35	—	$\mu\text{V}$	ピーク・ツー・ピーク
ターン・オン時間	$T_{ON}$	—	200	—	$\mu\text{S}$	$I_{REF} = 150\mu\text{A}$
ターン・オフ時間	$T_{OFF}$	—	10	—		
ターン・オン時間	$T_{ON}$	—	100	—	$\mu\text{S}$	$I_{REF} = 500\mu\text{A}$
ターン・オフ時間	$T_{OFF}$	—	2.0	—		

注

(a)スロープ抵抗 ( $R_{REF}$ )

スロープ抵抗は次のように定義される：

$$R_{REF} = \frac{\text{規定された電流範囲内の } V_{REF} \text{ の変化}}{\text{基準電流の変化}}$$

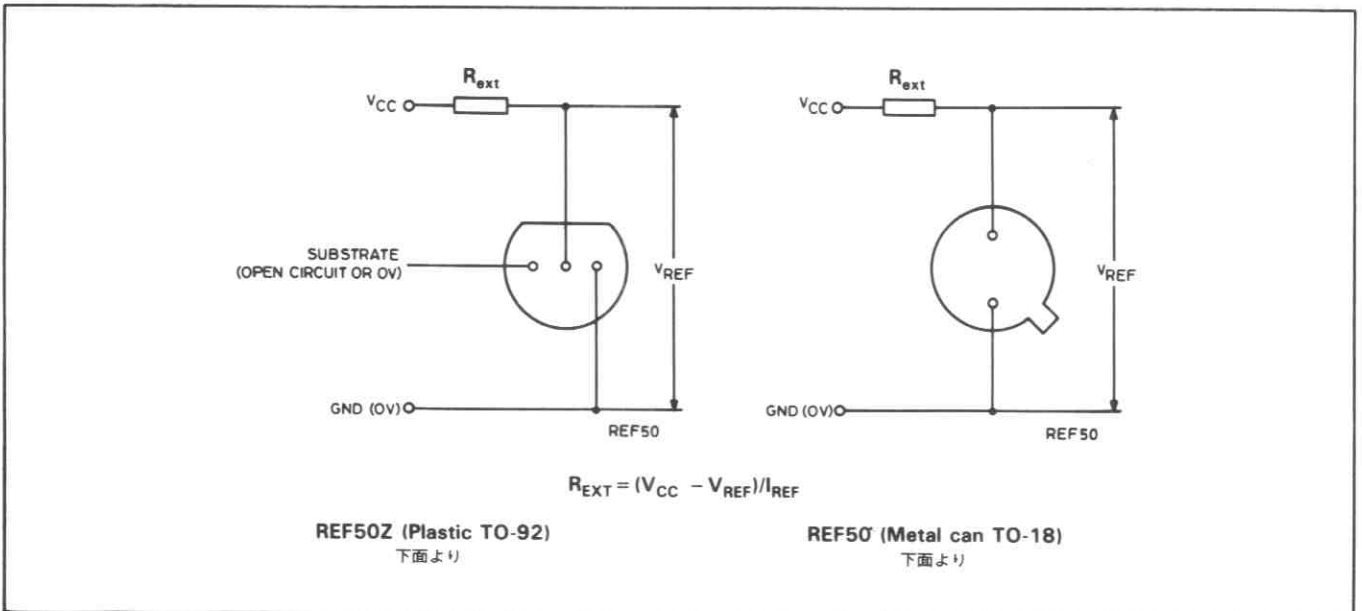
(b)基準電圧温度係数 (TC  $V_{REF}$ )

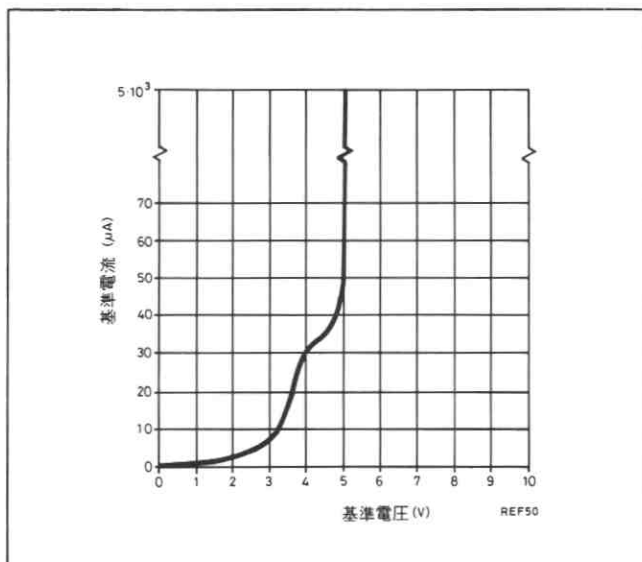
温度に対する基準電圧の変化。次のように ppm/ $^{\circ}\text{C}$  で表わされる：

$$TC V_{REF} = \frac{\Delta V_{REF} \times 10^6}{V_{REF} \times \Delta T} \quad \text{ppm}/^{\circ}\text{C}$$

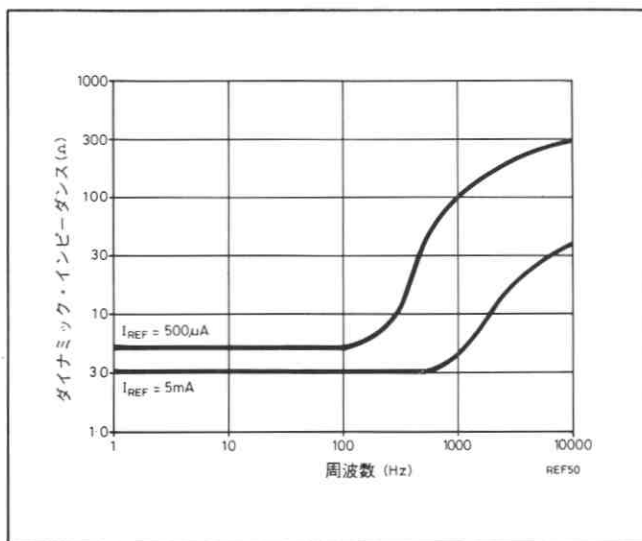
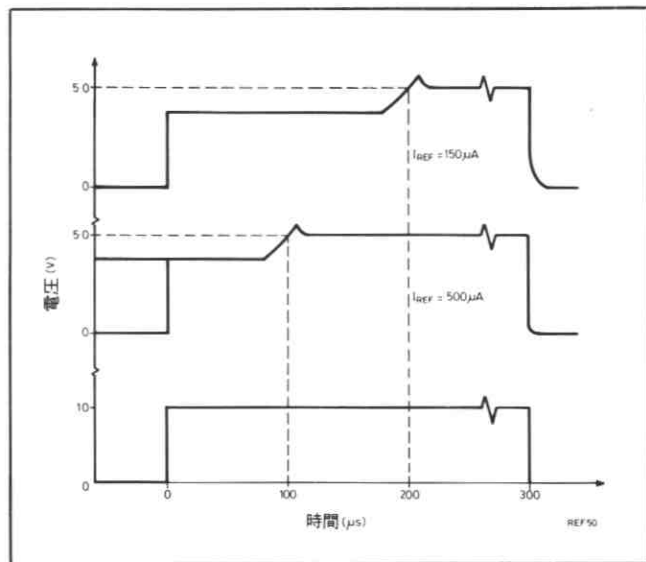
$\Delta T$  = 温度変化 ( $^{\circ}\text{C}$ )

$\Delta V_{REF}$  = 温度変化  $\Delta T$  に対する基準電圧の変化

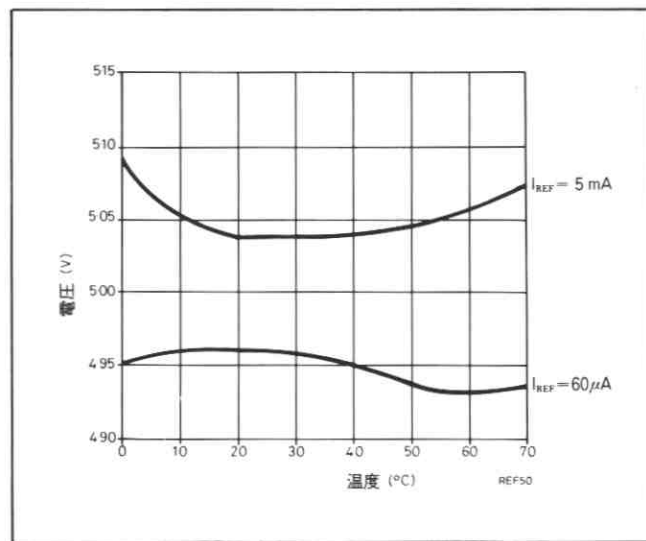




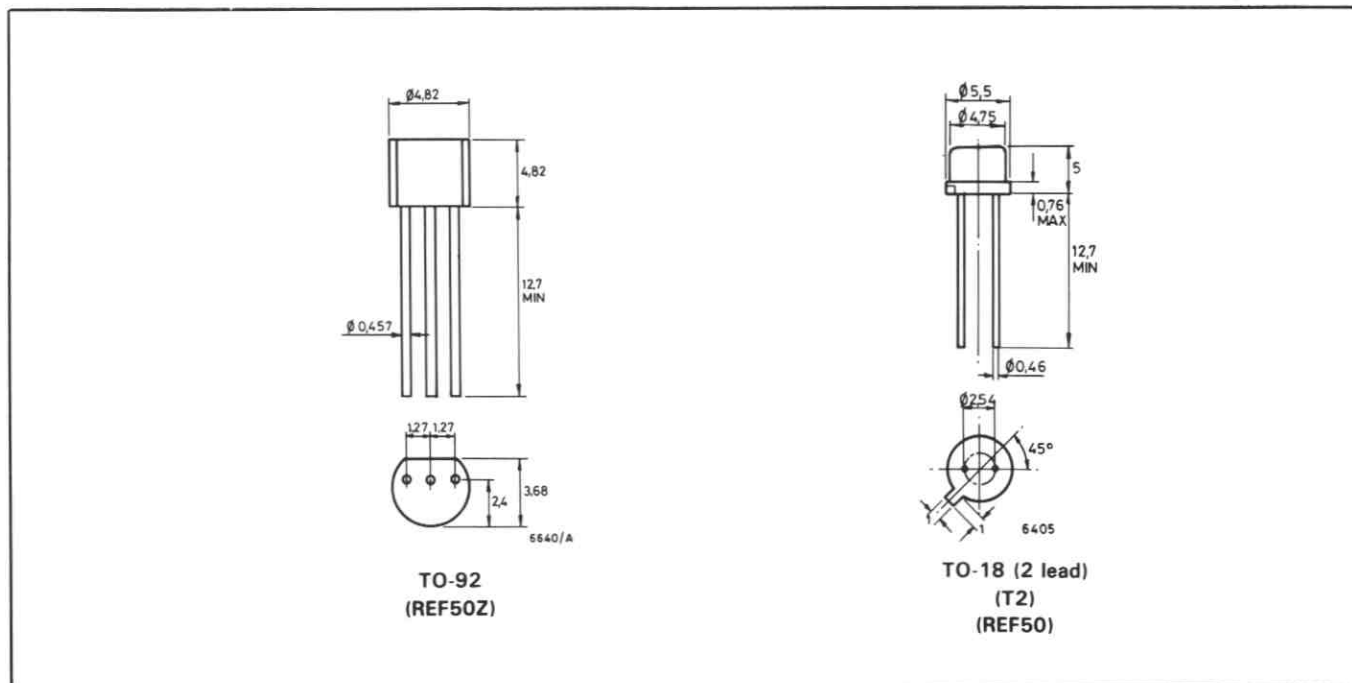
第3図 基準電圧特性 (代表値)



第5図 ダイナミック・インピーダンス (代表値)



パッケージ寸法 単位mm



# SR25D

## 2.5V精密基準電圧

### ADVANCE INFORMATION

SR25Dは、バンドギャップ電圧を利用して、外付のコンデンサ無しに2.5Vの精密で非常に安定した基準電圧を出力するモノリシックICである。

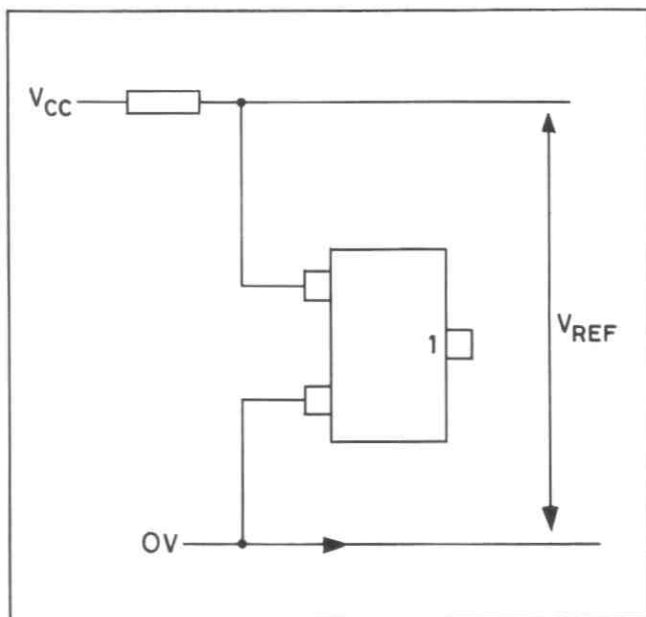
このデバイスは、標準のSOパッケージであるSOT-23にて供給されるため、全ての面実装を行う応用に適している。

### 特徴

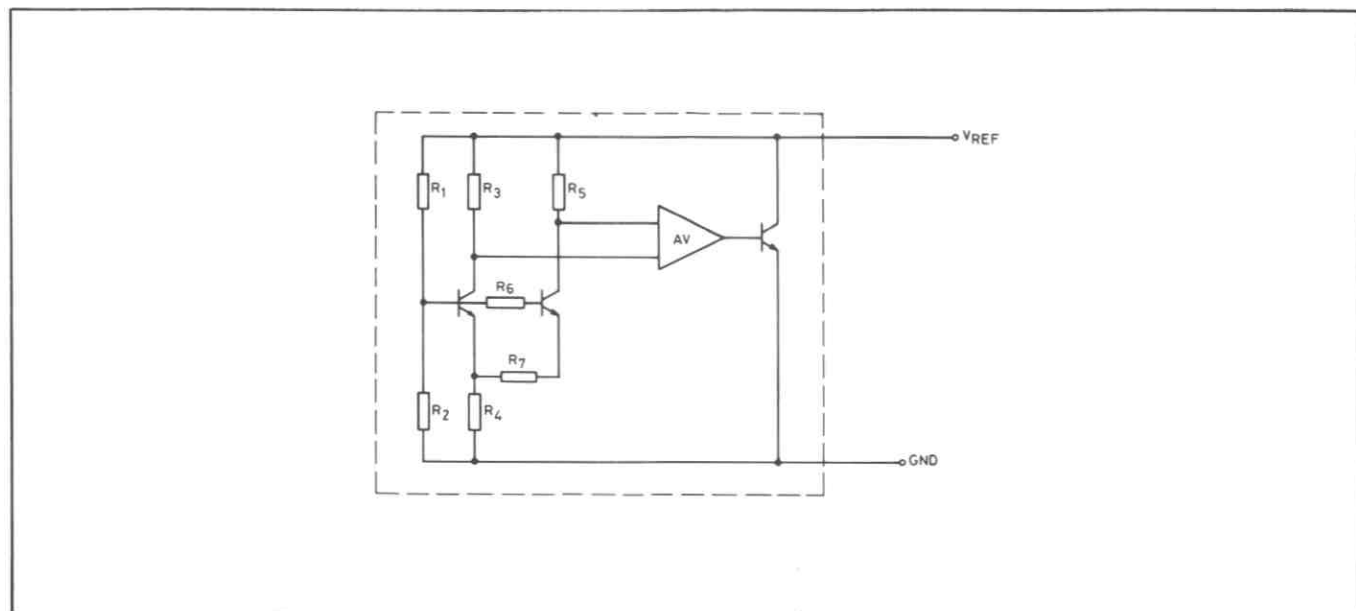
- SOT-23 ミニチュア・パッケージ
- 低最小動作電流 80 $\mu$ A TYP.
- 高安定—平滑用コンデンサ不用
- 低温度係数

### 最大絶対定格

基準電流	5 mA
動作温度範囲	0 ~ +70°C
保存温度範囲	-55 ~ +125°C



端子接続 (上面より)



第1図 内部回路

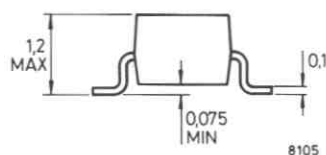
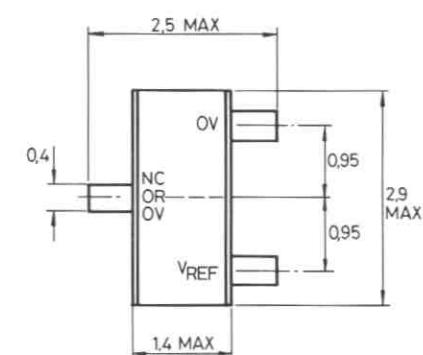
## 電気的特性

テスト条件 (特に注記なき限り)

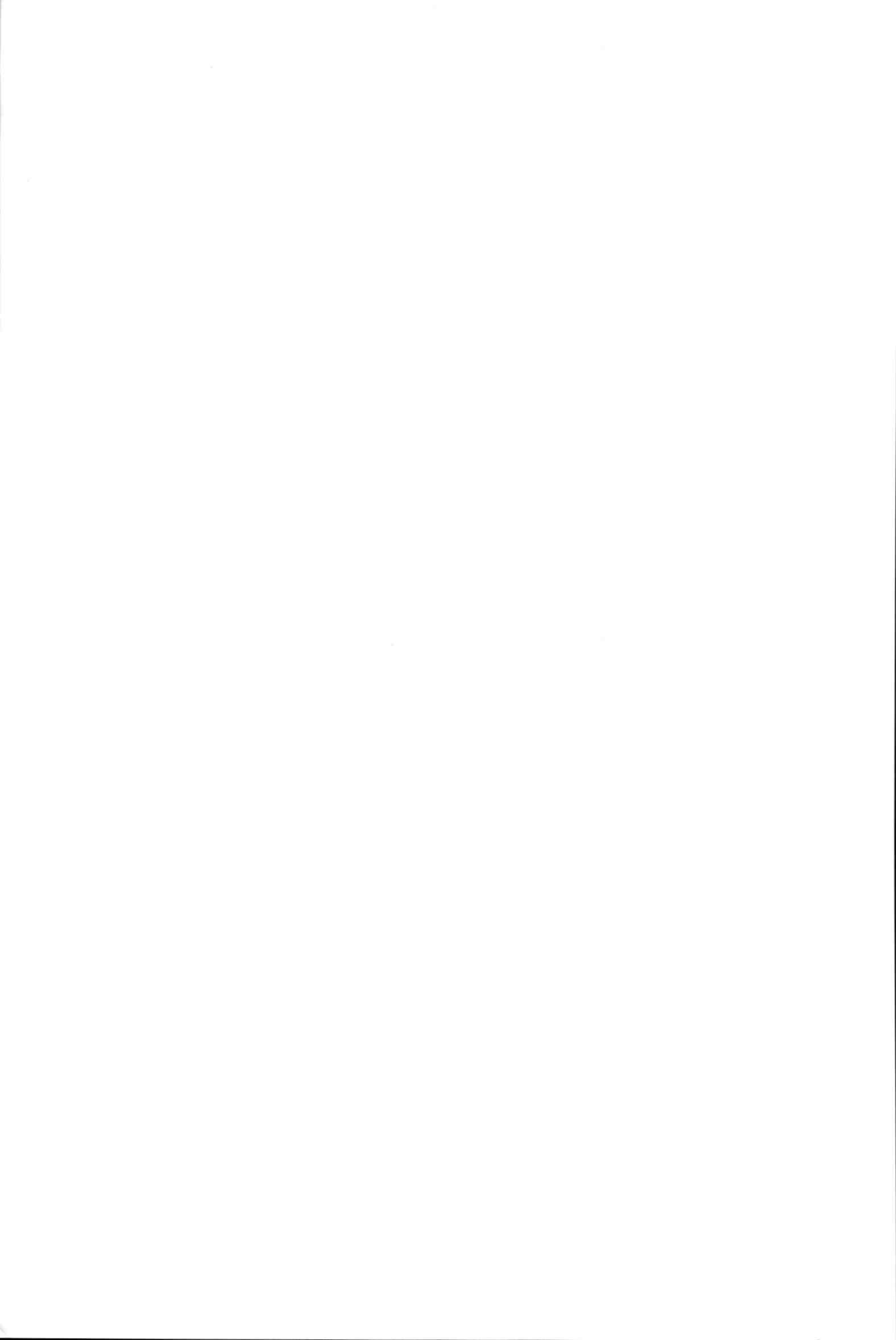
周囲温度  $T_{amb} = +25^{\circ}\text{C}$

特 性	シンボル	Min.	Typ.	Max.	単 位	条 件
出力電圧	$V_{REF}$	2.45	2.5	2.55	V	$I_{REF} = 150\mu\text{A}$
スロープ抵抗	$R_{REF}$	—	1.2	2.0	$\Omega$	$I_{REF} = 150\mu\text{A} \sim 5\text{mA}$
最小動作電流	$I_{ON}$	—	60	80	$\mu\text{A}$	
動作電流範囲	$I_{REF}$	0.08	—	5	mA	
温度係数	TC $V_{REF}$	—	35	70	ppm/ $^{\circ}\text{C}$	

## パッケージ寸法 単位mm



SOT-23



## セクション 2

# アプリケーション・ノート

## データ変換の原理

低価格、大規模集積回路やマイクロプロセッサの発達によって、これまでアナログ回路で行なわれていた多くの機能はデジタル回路で処理されるようになった。また、アナログ信号をデジタル・データとして取り扱うことによって、直線性・ドリフト・部品のバラツキ等アナログ回路で問題となる多くの特性を考慮しなくても大きな精度を得ることができるようになった。

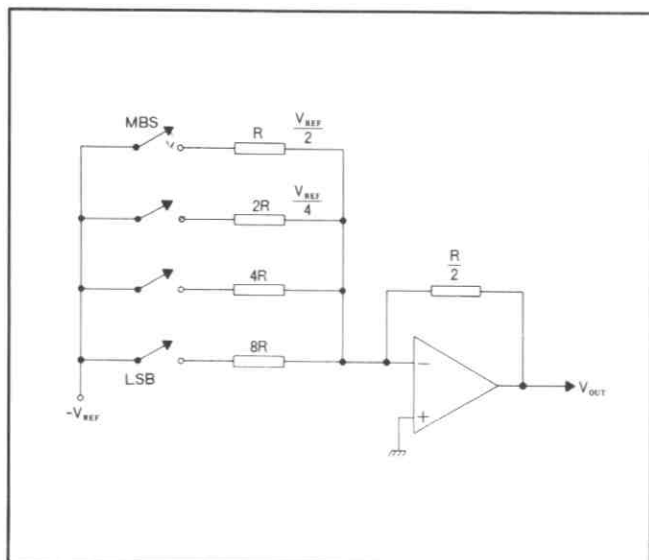
しかし、多くのシステムはその内部では情報をデジタル的に処理するが、位置・温度・圧力等のアナログ情報をトランスジューサから入力しなければならない。また、システムはアナログ・メータ、チャート・レコーダそしてスピーカ等のトランスジューサを駆動するためのアナログ出力が必要である。

したがって、低価格のアナログーデジタル、デジタルーアナログ変換器の需要が増大している。

ここでは、多くのアナログーデジタル変換器の基礎ともなるデジタルーアナログ変換器から述べて行く。

## DAコンバータ

DAコンバータは、デジタル入力をそれに相当するアナログ出力(通常、電圧または電流)に変換する回路である。まず最も簡単な例として、TTLやCMOS等の標準ロジックとコンパチブルな  $n$  個のデジタル入力を持つDAコンバータを考える ( $n$  はデジタル・コードのビット数とする)。それは、1つのアナログ出力とアナログ出力を駆動する基準電圧入力を持つものとする。また、DAコンバータは内蔵基準



第1図 2進値重み抵抗を使った簡単なDAコンバータ

電圧、ラッチ、マイクロプロセッサとのインターフェイスを容易にするためのアドレス解読回路等の機能を内蔵することもあるが、DAコンバータの基本的動作には影響しないのでここでは詳しく述べない。

次のような状態を仮定する：

1. DAコンバータはリニアである(アナログ出力はデジタル入力に比例する)。
2. 入力コードはバイナリである。
3. 出力はユニポーラ電圧である(出力は正または負で0Vをクロスすることはない)。

このとき、DAコンバータの出力電圧は次のように表わされる。

$$V_{OUT} = K \cdot V_{REF} (B_1 2^{-1} + B_2 2^{-2} + \dots + B_n 2^{-n})$$

ここで、 $K$  は定数、 $B_1$  から  $B_n$  はデジタル入力のロジック値(0または1)とする。

また、最下位ビット  $B_1$  を 'MSB'、最上位ビット  $B_n$  を 'LSB' と呼ぶことに注意する。これは、通常のデジタル回路で採用されている、 $B_0$  が LSB ( $2^0$ ) である方法とは逆である。

DAコンバータの出力が電圧ではなくて電流である場合、出力電流  $I_{OUT}$  の式は定数  $K$  が式の両側の単位をそろえるために  $1/R$  となること以外電圧出力の式と同じである。 $KV_{REF}$  はしばしばコンバータの仮のフルスケール(FS)と呼ばれる。実際には、出力は決してこの値には達せず、真のフルスケール(FSR)は  $\frac{2^n - 1}{2^n} \times KV_{REF}$  である。また、 $n$  ビットのDAコンバータは  $2^n$  個の違った出力レベルを発生でき、分解能はしたがって  $1/2^n \times FS$  となる。しかし、分解能はしばしば単にビットの数 ( $n$ ) で呼ばれる。

## 実際のDAコンバータ回路

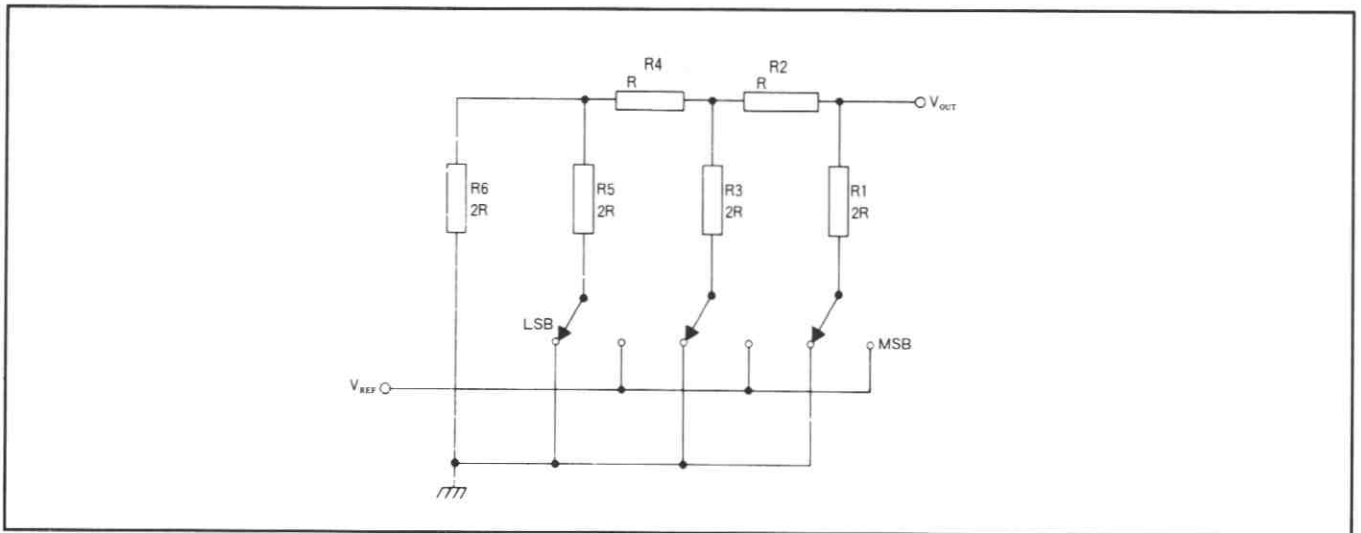
実際のDAコンバータは次の回路を含んでいなければならない。

1. 各ビットの重みに比例したアナログ電圧または電流を基準電圧から発生する回路。
2. 各ビットの電圧を直線的に加算し、合計の出力電圧または電流を作る加算回路。
3. デジタル入力に従って各ビットを切り換える電気的スイッチ。

最も簡単なDAコンバータを図1に示す。この回路は2進値に重みづけされた抵抗と各抵抗の電圧を加算する反転増幅器だけで構成されている。各抵抗からの出力電圧は、 $R$  からは  $V_{REF}/2$ 、 $2R$  からは  $V_{REF}/4$  のようになる。

この種のDAコンバータは、ビット数の少ない応用にしか使用されない。なぜなら、いくつもの違う値の抵抗を正確に作る事が、特にモノリシックICではむずかしいためである。

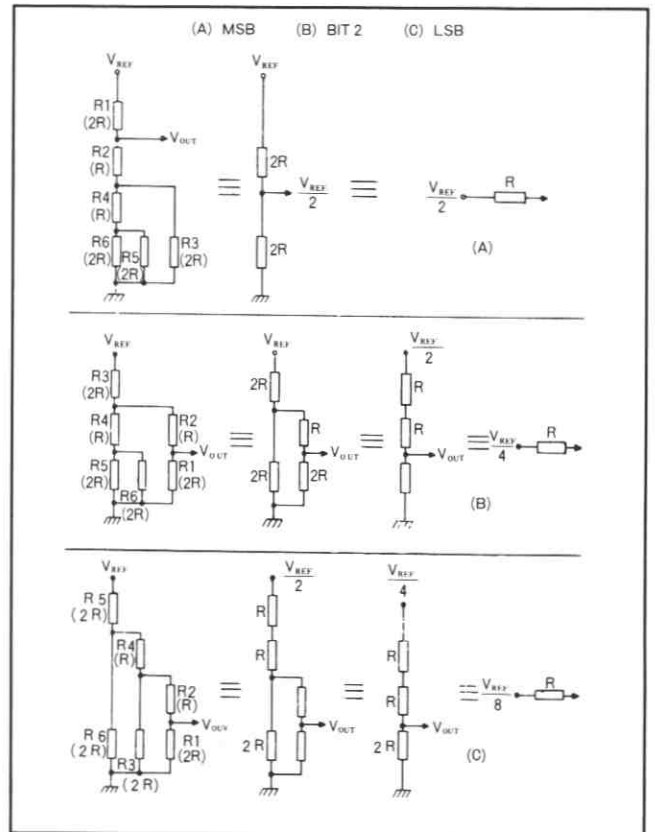




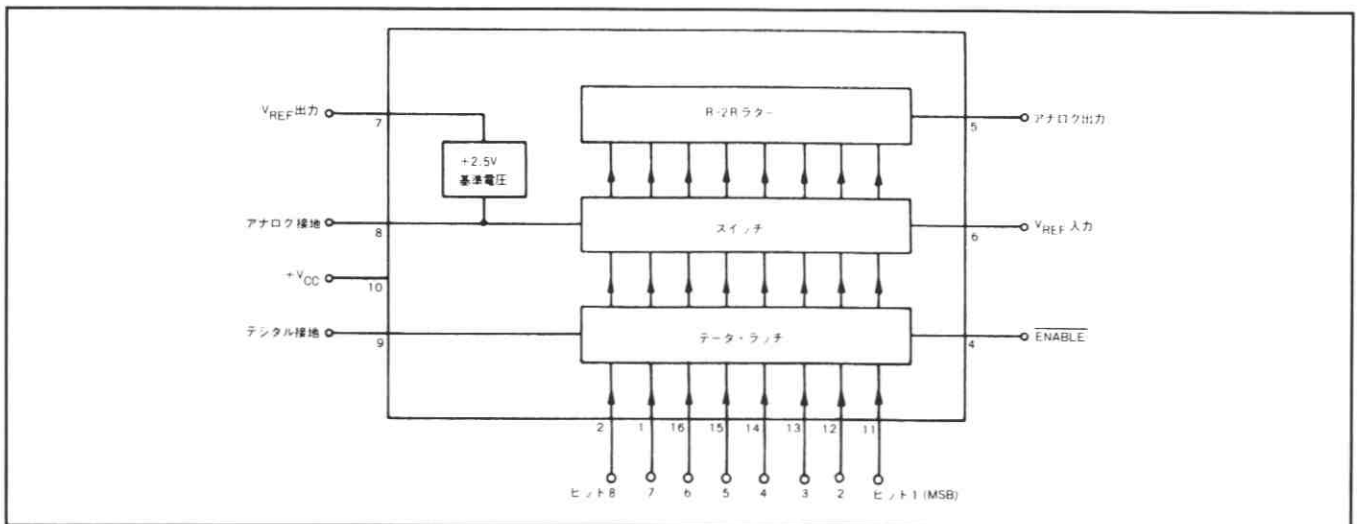
第2図 R-2Rラダー

## R-2Rラダー

DAコンバータで最も広く使用されている回路はR-2Rラダーである。この回路の3ビットの例を図2に示す。この回路を解析する最も簡単な方法は、他の2ビットを‘0’に設定し順に各ビットのテブナン等価回路を考えることである。図3から分かるように、各ビットは完全に2進値に重みづけされている。また、重ねの理によって、出力は各ビットがいろいろな組合せに接続された時に各ビット出力の合計となる。R-2Rラダーは、図4に示すZN428の例のようにフェランティ社の全てのAD/DAコンバータに使用されている。



第3図 R-2Rラダーのテブナン等価回路



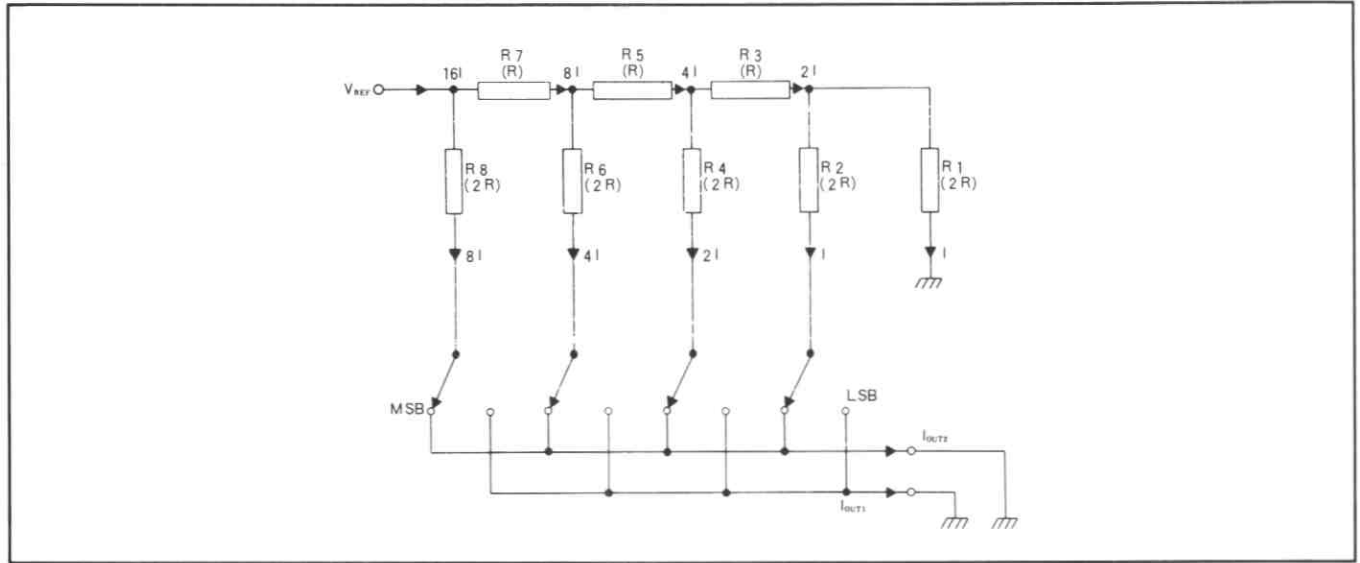
第4図 ZN428 DAコンバータのシステム図

また、R-2Rラダーは、電流出力を得るために図5のように反転モードで使用できる。この回路には2つの出力 $I_{OUT1}$ と $I_{OUT2}$ があり、両者ともグランドまたはバーチャル・グランドに接続される。

このDAコンバータの動作は非常に簡単に理解できる。まず、R1に電流Iが流れば同じ電流がR2にも流れる。そして、R3には2Iが流れ、R1・R2・R3の合計抵抗が2Rであるので、抵抗2RのR4にも2Iが流れる。R5に

流れる電流は4Iとなり、前と同様にこれと同じ電流がR6にも流れる。したがって、R7に流れる合計電流は8Iとなり、R1からR7の合計抵抗とR8は等しくなるので、R8にも8Iの電流が流れる。

このように、各抵抗2Rの出力電流はバイナリに重みづけされ、バイナリ入力によって制御されるスイッチによってどちらかの出力端子に取り出される。 $I_{OUT1}$ は入力コードに比例し、 $I_{OUT2}$ はその補数に比例する。



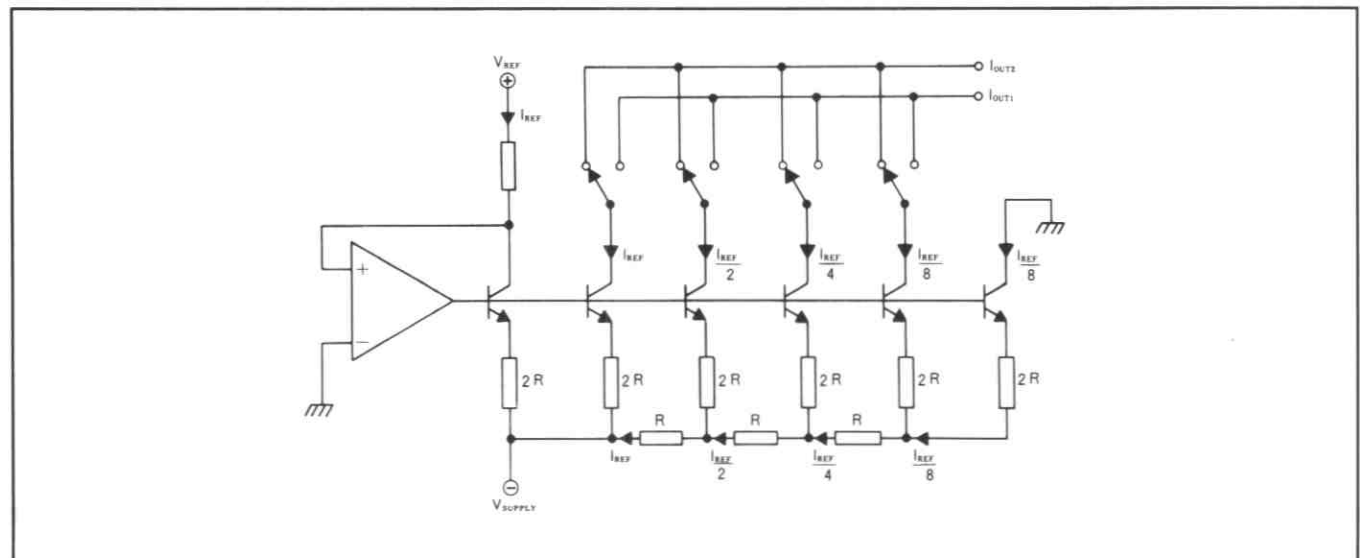
第5図 反転R-2Rラダー

## 実際の電流出力DAコンバータ

反転型R-2RラダーによるDAコンバータは、基準電源と抵抗回路から成り立っているため、出力インピーダンスは変化し、ゼロ以外の負荷抵抗では正しい電流出力を得ることができない。このため、正しい電流出力を得るためには、出力電圧はゼロでなければならない。したがって、DAコンバータは、入力がDAコンバータ出力に対してバーチャル・グランドとなる反転バッファ・アンプとともに使用しなければならない。このように、理想的な電流出力DAコンバータは非常に出力インピーダンスが高く、広い範囲

の負荷抵抗に対して正しい電流出力流せることが条件となる。このようにすれば、出力に負荷抵抗を接続するだけで、バッファ・アンプがなくても電圧出力を発生することができる。

図6は代表的な電流出力DAコンバータの略図である。この回路はR-2Rラダーを使用しているが、ラダーの出力電流は直接取り出さず、トランジスタ・アレーのエミッタ電流を制御している。出力電流はトランジスタのコレクタから取り出すので、広い範囲の出力電圧にわたって高インピーダンスの電流源となる。



第6図 電流スイッチ DAコンバータ

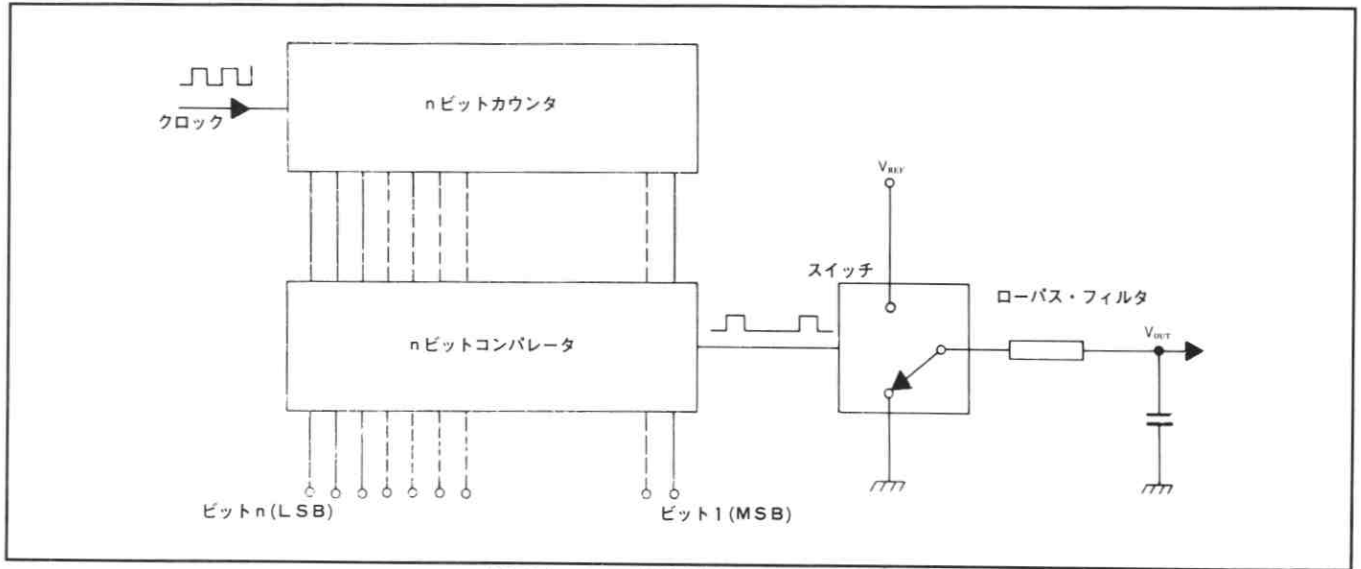
## パルス幅比例型 DA コンバータ

これまで述べたDAコンバータは全てスタティックであったが、出力方形波の平均振幅がそのデューティ・サイクルに比例するパルス幅比例型DAコンバータはダイナミック回路である。方形波の上限および下限がそれぞれ $V_{REF}$ およびゼロである場合、デューティ・サイクル0%で平均振幅はゼロ、デューティ・サイクル50%で $V_{REF}/2$ そしてデューティ・サイクル100%で $V_{REF}$ となる。また、方形波の平均振幅はローパス・フィルタを通すことによって簡単にDCレベルに変換される。

パルス幅比例型DAコンバータの例を図7に示す。nビット・カウンタとnビット・コンパレータは、デューティ・サイクルがデジタル入力に比例する方形波を発生する役割をする。カウンタの出力がデジタル入力より小さい時、コ

ンパレータ出力は‘1’になる。そして、カウンタ出力がデジタル入力より大きくなるとコンパレータ出力は‘0’になり、1サイクルが終了するまでその状態を保持する。コンパレータの出力はゼロと $V_{REF}$ を切り換える精密電気スイッチを制御し、その出力はローパス・フィルタを通して直流出力レベルを得る。

パルス幅比例型DAコンバータに必要な精密アナログ部品はスイッチだけであるので、このDAコンバータはビット数の多いものでも安価に作る事ができる。しかし、直流出力電圧のリプルを許容できるレベルに保つために、フィルタの時定数は長さが $2^n$ クロックパルスある入力方形波の数倍なければならない。したがって、パルス幅比例型DAコンバータは入力コードの変化に対する応答が非常に遅いので、その応用はTVのリモートコントロールのようなスピードが重要でなく低コストの民生品等に限定される。



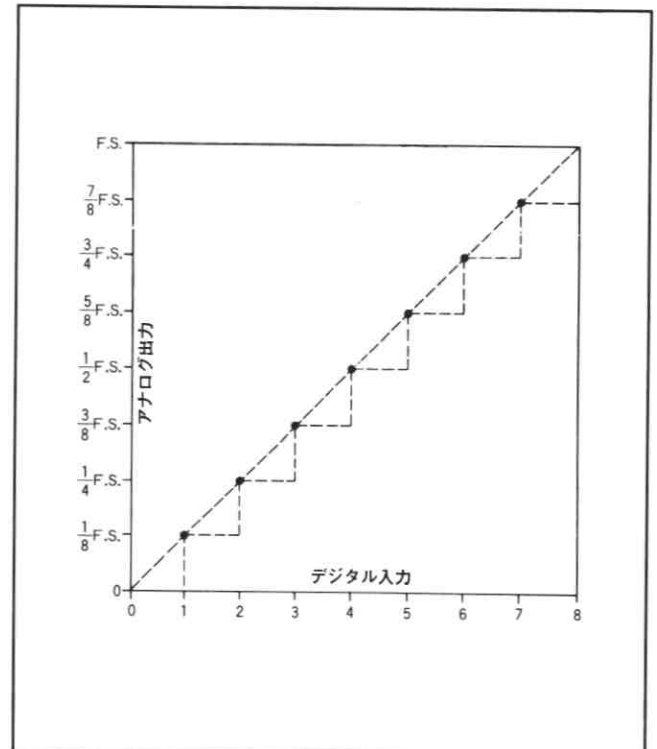
第7図 パルス幅比例 DAコンバータ

## DAパラメータの定義

理想的な3ビット電圧出力DAコンバータの出力をプロットすると図8のようになる。8つの入力コードの各々に対して、グラフ上の点で示される各アナログ出力電圧が存在する。したがって、出力は連続ではなく、各点を結んで連続線を作ることは正しくない。しかし、しばしばゼロとフルスケールを直線で結んで理想的出力とすることがある。

また、DAコンバータの出力は階段状に書くことがある。これは、実際にDAコンバータの入力をバイナリ・カウンタやクロック発生器を使って1LSBずつ増加させることによってできる出力波形である。この場合、「入力コード対出力」というよりも「時間対出力電圧」のグラフとなる。また、階段状出力はDAコンバータで生じるさまざまな誤差を図示するのに便利である。

理想的DAコンバータでは、全抵抗と電流源は完全にマッチしており、全スイッチの抵抗とオフセット電圧はゼロであるので、各ビットは正確に2進値に重みづけされる。しかし、実際のDAコンバータでは、もちろんこのようにはならず、さまざまな原因によって理想値からの誤差を生ずる。



第8図 理想的3ビットDAコンバータの出力特性

## オフセット(ゼロ)誤差 (Offset(Zero)Error)

ユニポーラ動作で通常のバイナリ・コードを使用した場合、入力がゼロの時にはアナログ出力もゼロになる。しかし、パッケージの端子抵抗やスイッチのオフセットとリークなどのためにアナログ出力はゼロにならず、小さなオフセット電流または電圧を生じる。このため、図9のように出力曲線はゼロを通過しなくなる。

## ゲイン(フルスケール)誤差 (Gain(Full Scale)Error)

出力のステップ・サイズが一様に大きいか小さい場合、出力は理想値から誤差を生じる(オフセット誤差がなければゼロを通過する)。これは、 $V_{REF}$ の値が正しくないため、または抵抗や電流源の値がお互いにマッチしているが大きすぎるかまたは小さすぎるために生じる。

この誤差はゲインまたはフルスケール誤差と呼ばれ、理想値と実際の出力の差である。また、ゲイン誤差はパーセントまたはLSBの分数で表わされる。

## 直線性誤差(Linearity Errors)

オフセット誤差とゲイン誤差は、フルスケールを理想値と一致させることによって補正できる。しかし、この調整を行っても中間の値が全て理想値と一致するとはかぎらない。この誤差は直線性誤差と呼ばれ、調整することができない。直線性誤差は、部品のミスマッチングによって生じる各ビットの重みづけの誤差が原因となる。

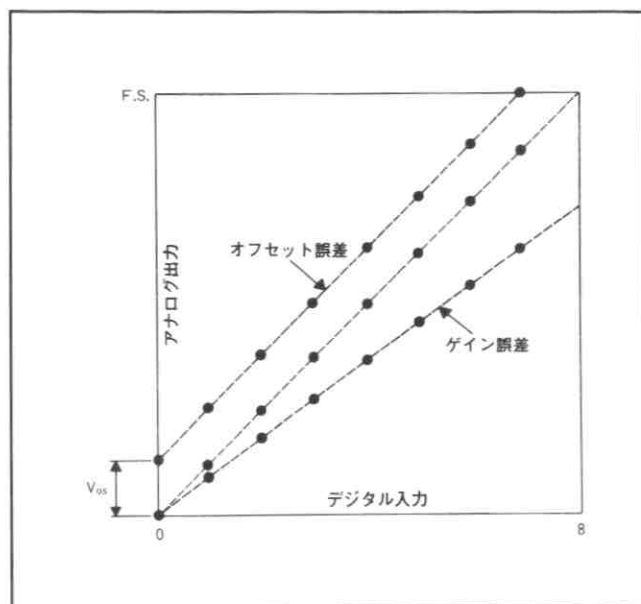
## 単調性(Monotonicity)

DAコンバータの入力コードが1 LSBずつ増加する時、アナログ出力も各ステップで増加する場合、DAコンバータは単調性があると言う。しかし、どのステップかで出力が減少する場合、DAコンバータは非単調であると言う。非単調なDAコンバータの出力特性は図10のようになる。

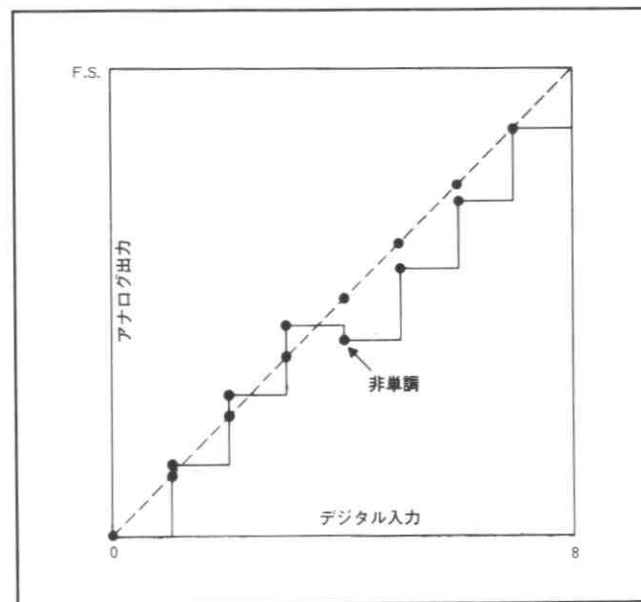
製造者は、通常DAコンバータが単調であると規定するか、非直線性や差動非直線性によって単調性を示す。

## 非直線性(Non-Linearity)

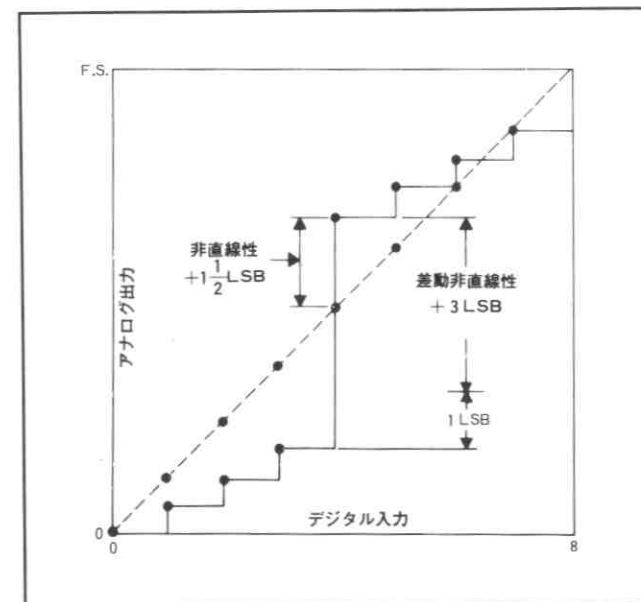
これは、アナログ出力と理想値の差の最大値で、フルスケールのパーセントまたはLSBの分数で表わされる。 $\pm 1/2$  LSB以内の非直線性では単調性が保証される。なぜならば、2つの連続した出力に $+1/2$  LSBと $-1/2$  LSBの誤差が生じた場合、ステップ・サイズはゼロとなるからである。しかし、逆に出力が単調であっても、直線性が $\pm 1/2$  LSBより良いとはかぎらないことに注意する。また、図11のように、DAコンバータは大きな直線性誤差を持っていても単調になる。実際、故意に単調で非直線なDAコンバータを作ることがある。この種のDAコンバータについては後で説明する。



第9図 オフセットおよび利得誤差



第10図 非単調なDAコンバータ



第11図 直線性誤差

## 差動非直線性 (Differential Non-linearity)

非直線性はアナログ出力と理想値の差を表わすが、差動非直線性はDAコンバータの増加量の誤差つまりステップ・サイズの誤差である。

差動非直線性は、図11に示されるように、理想的ステップ・サイズと実際値の差の最大値で、LSBで表わされる。したがって、DAコンバータは $-1$  LSBまでの差動非直線性で単調となるが、これ以下の値ではステップ・サイズは負になり、DAコンバータは非単調となる。

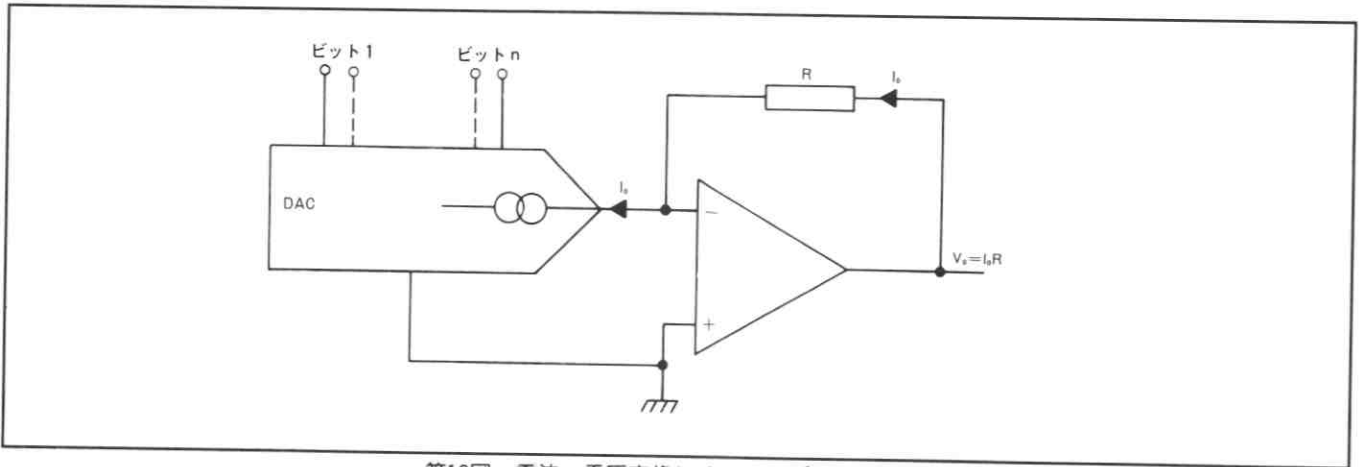
## 分解能 (Useful Resolution)

どの  $n$  ビット DAコンバータでも、使用しないビット入力をロジック '0' に接続することによって、 $n-1$ 、 $n-2$  またはそれ以下のビット数の DAコンバータとして使用することができる。このため、 $n-1$  または  $n-2$  が、新しい LSBとなるので、ステップ・サイズは増加する。しかし、直線性誤差は以前の LSBの分数のままであるので、非単調な  $n$  ビット DAコンバータが  $n-1$  または  $n-2$  ビットの分解能では単調になることがある。このため、製造上避けら

れないバラツキによって DAコンバータのいくつかが  $n$  ビットの直線性を得られない場合、製造者は  $\pm 1$  または  $\pm 2$  LSBの直線性を持った IC を安価に販売することがある。

## 出力順応 (Output Compliance)

DAコンバータの多くの応用では、電圧出力が要求される。前に述べたように、電流出力 DAコンバータでは負荷抵抗に電流を流すことによって出力電圧を得ることができる。この性能は電圧順応 (Voltage compliance) と呼ばれ、このように発生された最大出力電圧は DAコンバータの出力順応 (Output Compliance) と呼ばれる。一方、反転  $R-2R$  ラダー等の擬似電流出力 DAコンバータでは、ラダー抵抗に一定の基準電圧を供給することによって電流出力を得ている。したがって、出力電圧は一定に保たなければならない、出力順応はゼロとなる。このため、反転  $R-2R$  ラダーは、図12に示すように、電圧出力を得るためには反転バッファ・アンプを使用しなければならない。この方法はまた、低インピーダンス出力の電流出力 DAコンバータや負荷抵抗を使って得られる出力電圧より広い出力範囲が要求される場合に利用される。



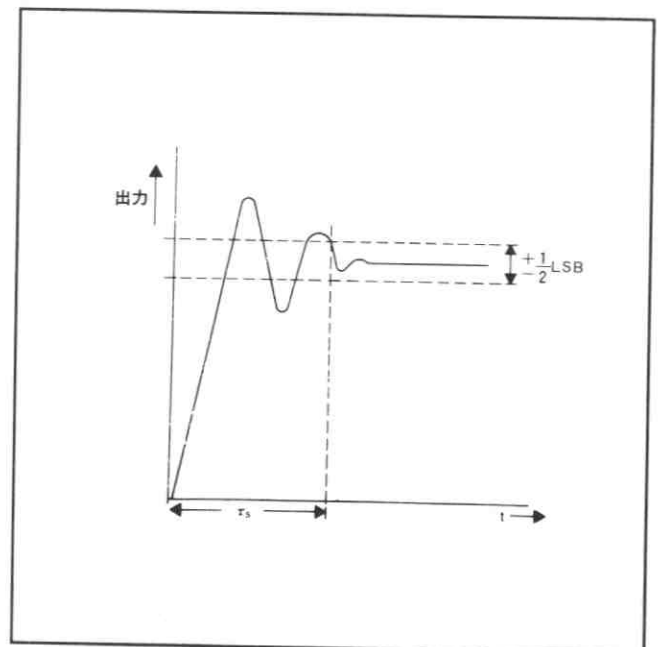
第12図 電流-電圧変換にオペアンプを使用する

## セトリング時間 (Settling Time)

これまでに述べた特性は全て DAコンバータの静特性に関してであるが、セトリング時間は DAコンバータの出力が入力コードの変化にどれだけ速く応答するか規定している。

DAコンバータのセトリング時間は、入力コードが変化してから出力が最終値の  $\pm 1/2$  LSB以内に到達するのに要する時間である。このようすを図13に示す。この図のように、DAコンバータの出力がアンダー・ダンプすると、出力は  $\pm 1/2$  LSB以内に到達するまでに数回この間 ( $\pm 1/2$  LSB帯) を通過する。したがって、セトリング時間は出力が最後に  $\pm 1/2$  LSB帯に到達する点までを測定する。

しかし、この値はテスト条件がはっきり規定されていないと意味がない。たとえば、入力が全ビットハイからローまたはローからハイになる時のように、大きな入力コードの変化に対してはセトリング時間は大きくなる。しかし、入力コードの  $1$  LSBの変化に対しては、セトリング時間は通常もっと小さくなる。



第13図 DAコンバータのセトリング時間

セトリング時間は、特に電流出力DAコンバータの場合出力の負荷状況によって変化する。ほとんどの電流出力DAコンバータでは、出力をショートしてセトリング時間を測定する。実際これが、反転R-2Rラダー電流出力DAコンバータのセトリング時間を規定する唯一の方法である。この場合、出力の負荷容量等は変化しないので、最も速い値となる。したがって、電流出力DAコンバータのセトリング時間は、この値が出力の時定数によって決まる電圧出力DAコンバータよりも速くなる。

しかし、いくつかの電流出力DAコンバータで電圧出力を得るために行なわれているようにバッファ・アンプを内蔵した場合、セトリング時間は一般にアンプのセトリング時間によって決定される。

## バイポーラ動作 (Bipolar Operation)

いくつかの応用においては、DAコンバータの出力が両極性(正、負)であることが要求される。これは出力にマイナス・フルスケール分だけオフセットを与えることによって簡単に実現できる。この場合、MSBが'0'では全入力コードに対して出力は負になり、MSBが'1'では全入力コードに対して正になる。このように、MSBが符号ビットになる入力コードを'オフセット・バイナリ'と言う。また、いくつかのDAコンバータは、バイポーラ動作に非常に適した2の補数コードのような特別な入力コードを使うことがある。

## かけ算 (Multiplication)

DAコンバータの出力は、基準電圧とデジタル入力コードの積に比例する。ある特殊なDAコンバータでは、基準電圧が広い範囲で変化し、2つの変数のかけ算(入力コード×基準電圧)を行なうことができる。もし、DAコンバータがバイポーラ・モードで使用され、正負両極性の基準電圧を使用できるならば、四象限のかけ算を実行できる。

マルチプライングDAコンバータを使用する場合、基準電圧がゼロ付近で単調性を維持できないことがしばしばあるので、特性を注意深くチェックしなければならない。

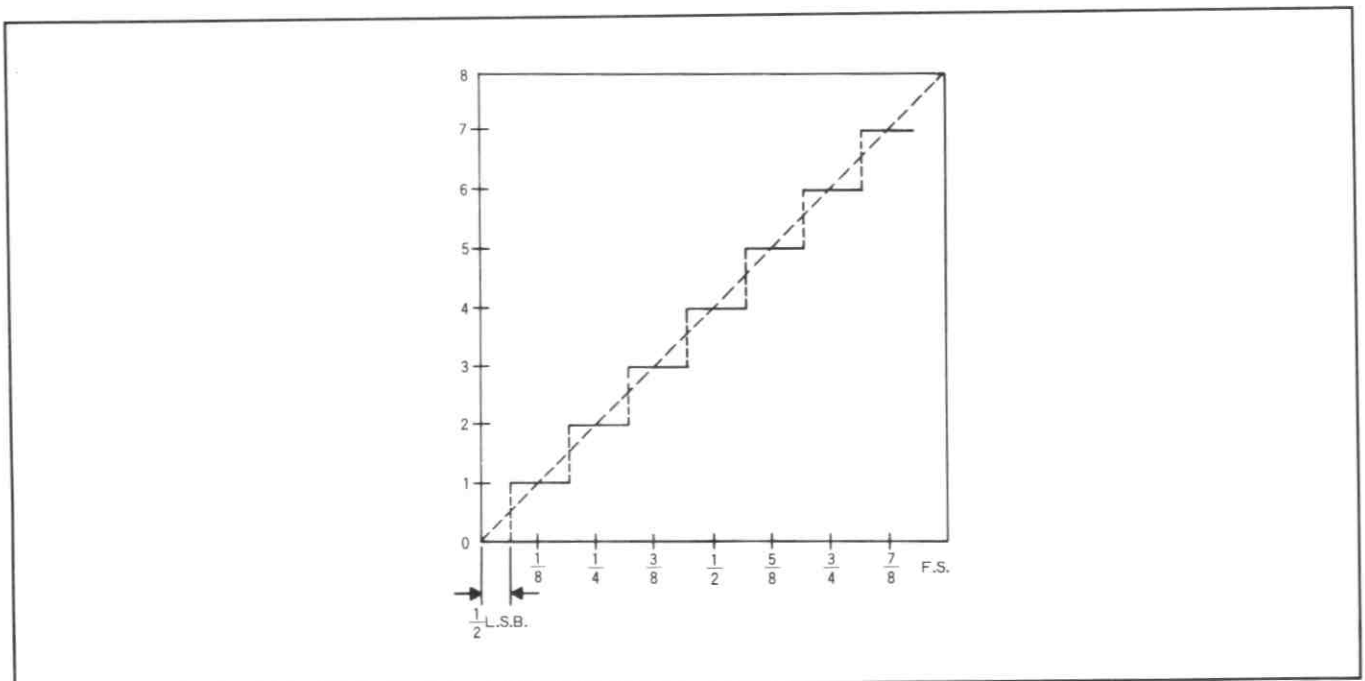
## ADコンバータ

アナログ-デジタルコンバータ(ADC)は、アナログ信号をそれに相当するデジタル出力コードに変換する回路である。ユニポーラ入力バイナリ・コード出力であると仮定すると、理想的nビットADコンバータの出力は次のようになる。

$$K \times V_{ref} (B_1 2^{-1} + B_2 2^{-2} + \dots + B_n 2^{-n}) \\ = V_{in} \pm 1/2 \text{LSB}$$

3ビットADコンバータの出力特性を図14に示す。X軸とY軸が入れ変っているということ以外に、この特性図とDAコンバータの特性図には2つの大きな違いがある。第1に、ADコンバータのアナログ入力レベルはDAコンバータの出力レベルと違って連続的に変化する。各デジタル出力コードは、アナログ入力レベル1LSBにわたって存在する。したがって、理想的ADコンバータでも、1LSBより小さい変化(出力の±1/2LSB)を判別することができないので、アナログ入力電圧は±1/2LSBの精度で変換される。この量子化誤差は全てのADコンバータに存在する。

2番目のADコンバータとDAコンバータの違いは、出力がアナログ軸に沿って+1/2LSBのオフセットを持っていることである。これは、出力コードの変化が入力電圧値の両側1/2LSBの点で起こるようにしているためである。たとえば、LSBが1Vである図14の3ビットADコンバータを考えると、0から1へのコードの変化は0.5Vで起き、1から2への変化は1.5Vである。そして、出力コード'1'の入力電圧1Vは、このレンジの中心になる。同様に、2Vは出力コードが'2'となる1.5Vから2.5Vの中心である。



第14図 理想的3ビットADコンバータの出力特性

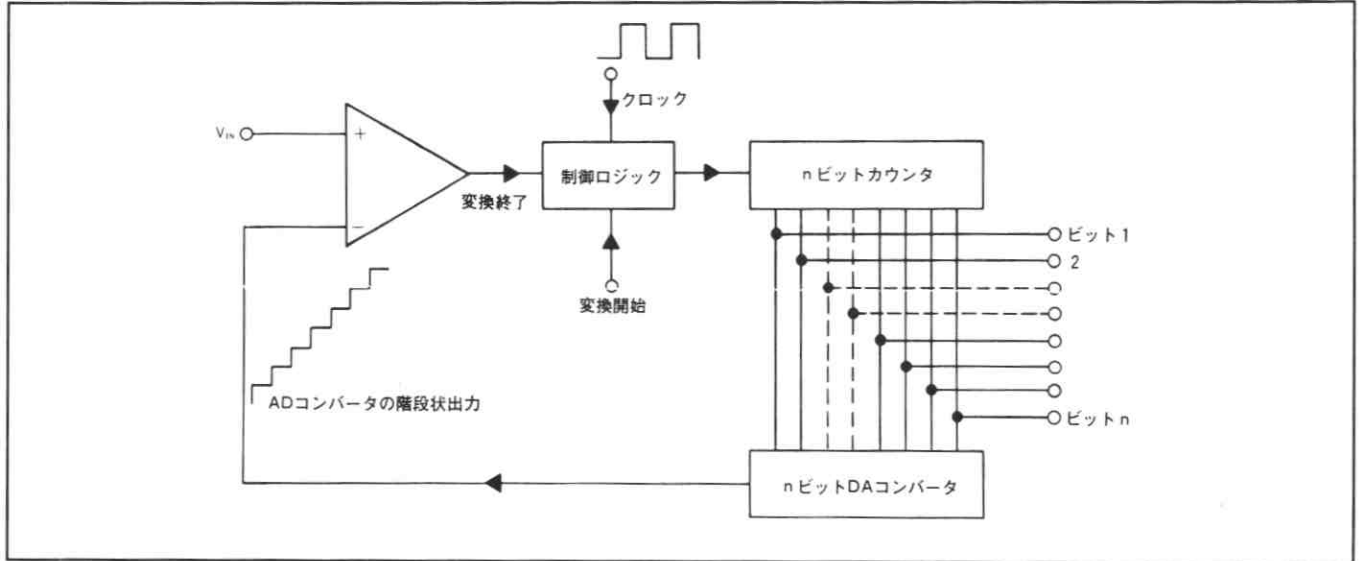
## 実際のAD変換方法

ADコンバータは、通常1) 前に述べたDAコンバータの1つを内蔵しているものと2) そうではないものに大別される。

DAコンバータを内蔵しているコンバータは、実行方法は違いが全て同じ原理を使用している。DAコンバータは、未知のアナログ入力と比較する基準出力を発生し、この2つが一致した時のDAコンバータの入力コードがアナログ入力に相当するデジタル値となる。この種のADコンバータの相違は、DAコンバータの入力コードをこの出力がアナログ入力と

一致するように調整する方法である。

階段/比較器法(staircase and comparator)と呼ばれる最も簡単なシステムを図15に示す。未知のアナログ電圧は電圧比較器の一方に接続され、DAコンバータの出力がもう一方の入力に接続される。DAコンバータの入力コードは、DAコンバータ出力がアナログ入力を越えるまでバイナリ・カウンタによって1LSBずつ増加する。そして、コンパレータの出力が'0'から'1'に変化する点でカウンタはストップする。このカウンタの出力がアナログ入力に相当するデジタル値である。

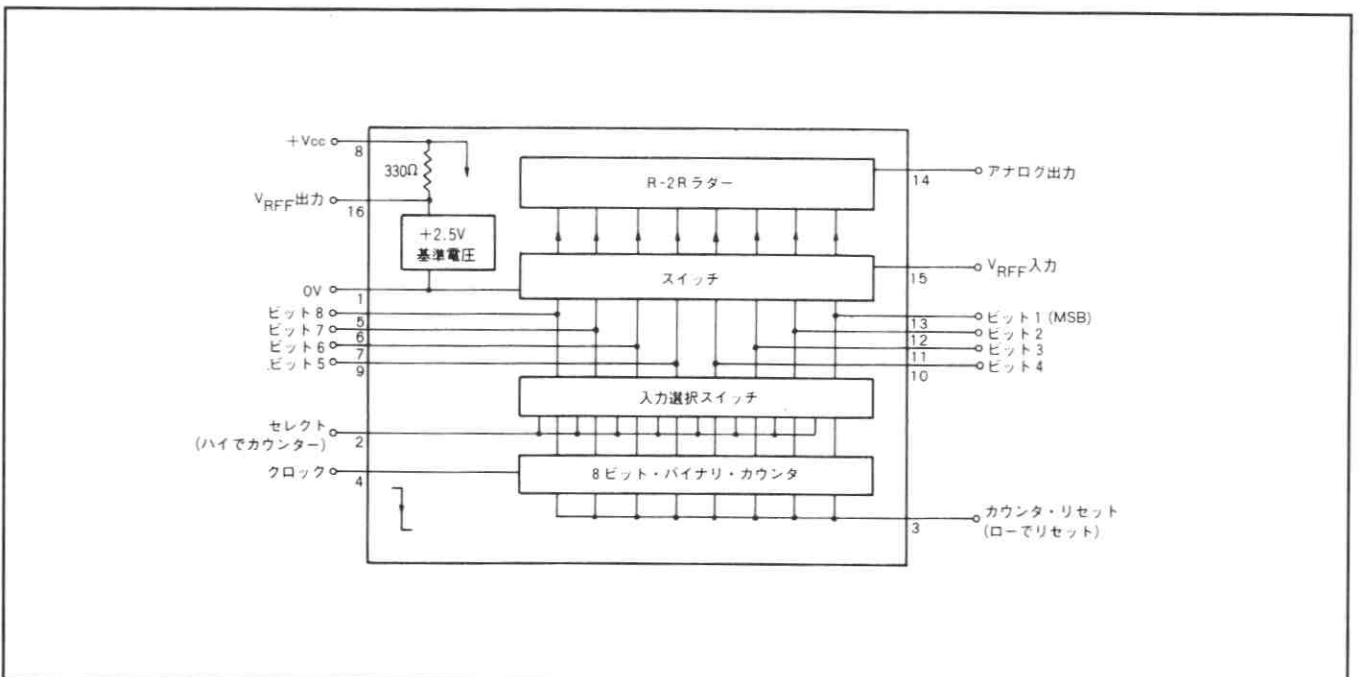


第15図 ランプ・コンペアADコンバータ

階段/比較器ADコンバータの主要な特長はその簡単さである。また、このコンバータは1つのDAコンバータといくつかの比較器を使って、安価な多チャンネルADコンバータを構成するのに使用される。この場合、各比較器が出力を変えるに従って、カウンタ出力が読み込まれラッチに記憶される。

この変換方式の欠点は、フルスケール入力時の変換時間が長い( $2^n$ クロック期間)ことである。また、変換時間は入力電圧によって変化する。

この変換方式は、図16に示すように、フェランティ社のAD/DAコンバータZN425で使用されている。



第16図 ZN425のシステム図

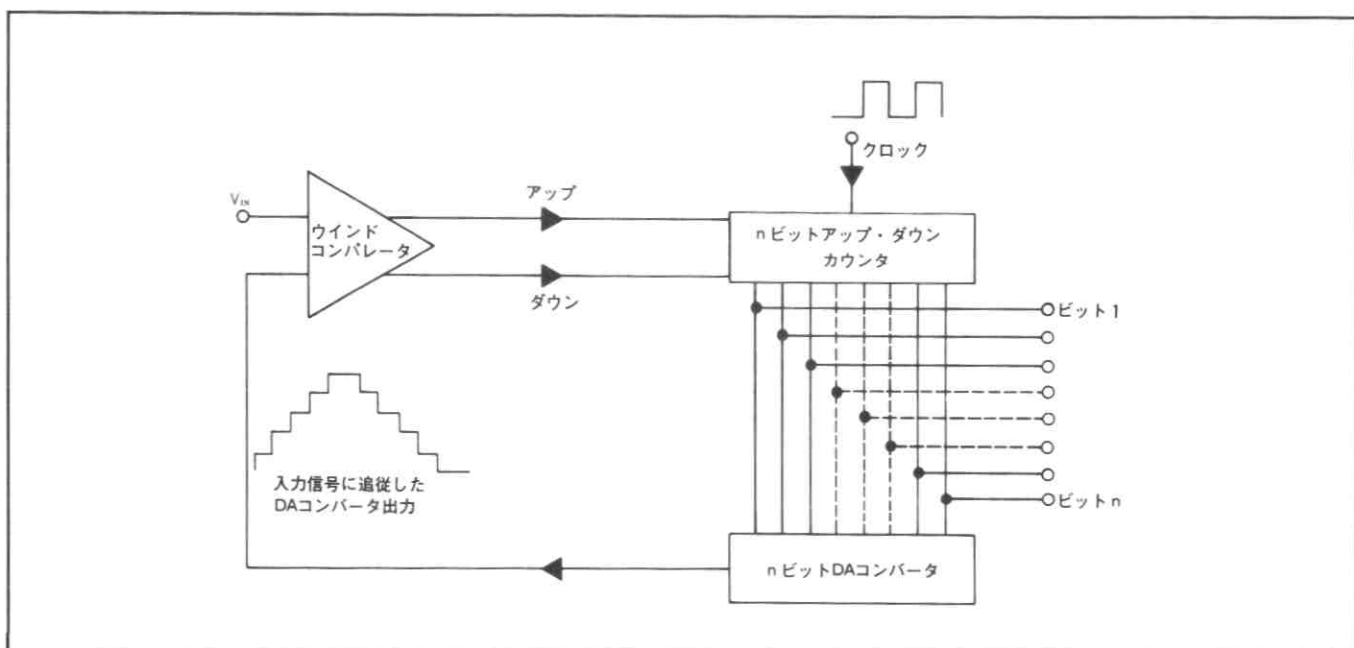
## 追従型コンバータ (Tracking Converters)

階段/比較器ADコンバータから発展したものに追従型コンバータがある。このコンバータはその名前が示す通り変化するアナログ信号を追従する。大きな特徴は、1LSBの精度を持ったアップ/ダウン・カウンタとウインド・コンパレータにある(図17参照)。アナログ入力 $V_{in}$ がDAコンバータ出力より1/2LSB以上大きくなると、カウンタはDAコンバータがアナログ入力に追従するようにカウント・アップする。そして、アナログ入力 $V_{in}$ がDAコンバータより1/2LSB以上小さくなると、カウンタはダウンする。アナログ入力 $V_{in}$ が

DAコンバータ出力の1/2LSB以内の時は、カウンタは停止する。

ウインド・コンパレータは、カウンタに次の3つの命令を与えるために必要である：—

カウント・アップ    カウント・ダウン    ストップ  
しかし、シングル・エンド・コンパレータはカウント・アップまたはダウンしかできない。したがって、アナログ入力 $V_{in}$ が停止した場合、DAコンバータ出力はアナログ入力値を上下し、出力コードは一定しない。



第17図 追従比較型ADコンバータ

追従型コンバータは、数百Hzまでの低周波数アナログ信号をデジタル化するのに非常に便利である。もし、アナログ信号レベルが1クロック期間当り1LSB以上変化しないならば、ADコンバータの出力はいつでも有効になるし(クロック・エッジを除く)、信号はサンプル・ホールド回路なしでデジタル化できる。

例として、最大クロック周波数が1MHzであるフェランティ社のZN433のような10ビット追従型コンバータを考える。このコンバータが追従できる最大変化速度は1LSB/マイクロ秒である。したがって、出力が0からフルスケール( $2^{10}=1024$ )になり再び0に戻るには2.048mSかかるので、コンバータはこの時間でフルスケールの三角波に追従できる(周波数は488Hzになる)。

正弦波信号の場合状況はやや違って来る。なぜならば、三角波と違って信号が変化する比率は一定ではなく、ゼロ付近では大きくなる。振幅(ピーク・ピーク値)がコンバータのフルスケール( $\pm 512$ LSB)と同じ大きさの正弦波は次のように表わされる：—

$$V = 512 \sin 2\pi ft$$

そして、この変化率  $\frac{dV}{dt}$

$$\frac{dV}{dt} = 512 \cdot 2\pi f \cos 2\pi ft$$

ゼロを通過する点では  $\cos 2\pi ft = 1$  であるので、

$$\frac{dV}{dt} = 512 \times 2\pi f$$

または、

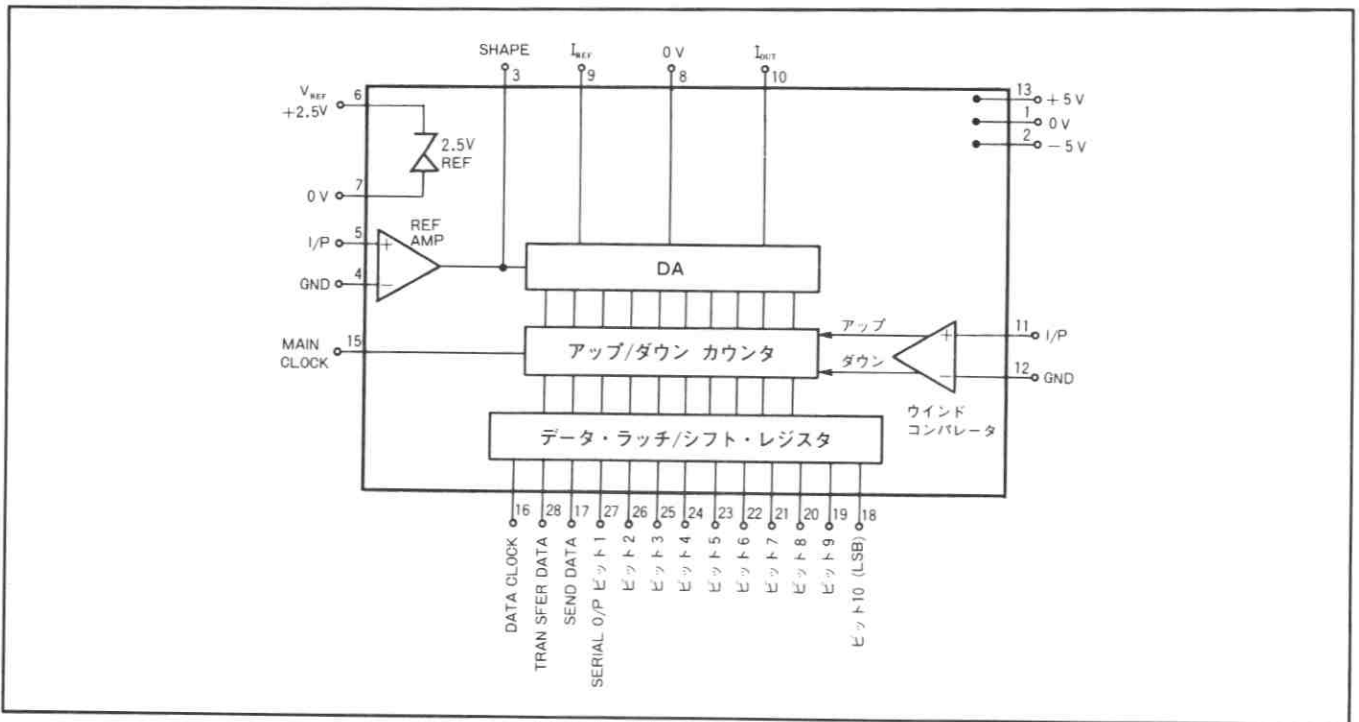
$$f = \frac{dV/dt}{1024\pi}$$

ここで、ゼロ通過点でコンバータが追従できる最大変化率は1LSB/ $\mu$ Sである。したがって、

$$f = \frac{10^6}{1024\pi} = 311 \text{ Hz}$$

ZN433のブロック図を図18に示す。

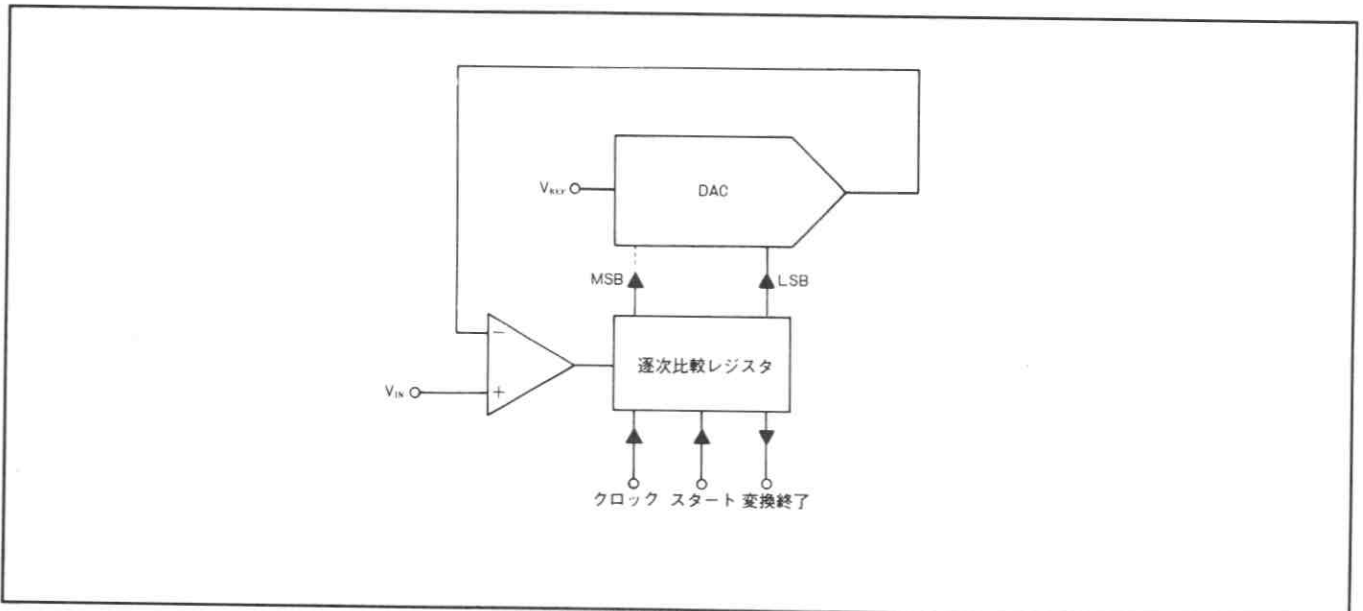




第18図 ZN433のシステム図

## 逐次比較型コンバータ

短くて一定の変換時間が必要とされる場合、逐次比較型コンバータがしばしば使用される。変換時間は、 $n$  を出力コードのビット数とすると、 $n$  クロック期間である。逐次比較型コンバータのブロック図を図19に示す。

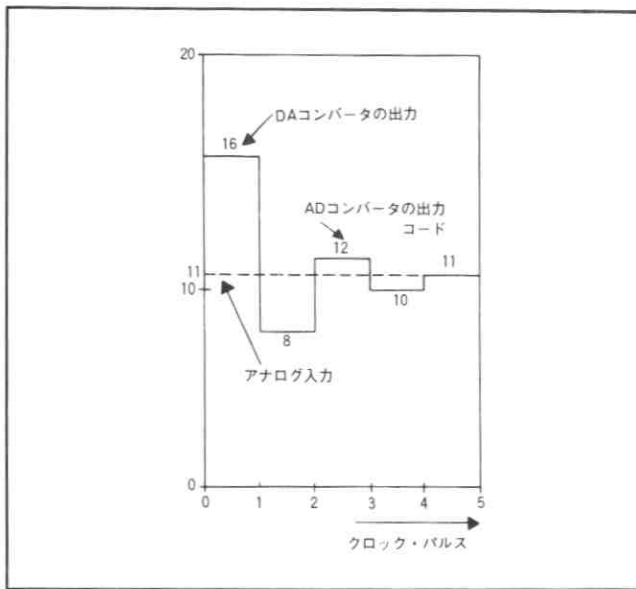


第19図 逐次比較型ADコンバータ

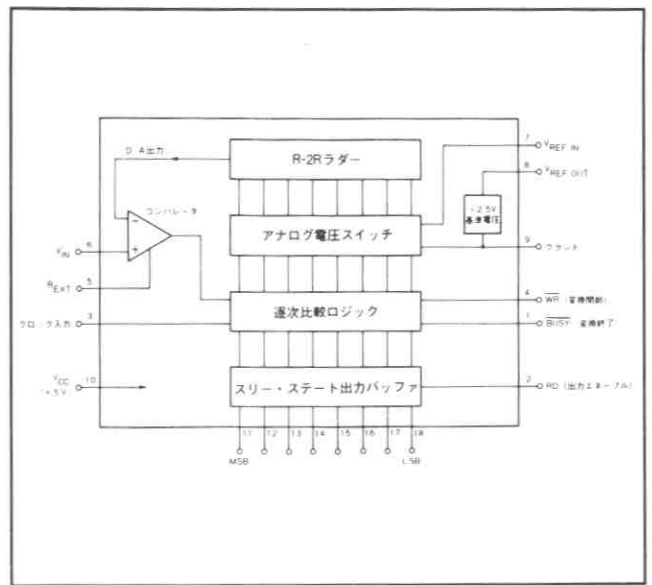
逐次比較型コンバータは、その名前が示す通り、MSB (ビット1) から始まり順に各ビットを比較し、アナログ入力をしだいに精密に近似する。まずビット1は1に設定され、DAコンバータの出力はアナログ入力と比較される。そして、もしDAコンバータの出力がアナログ入力より大きければビット1はリセットされ、ビット2が1に設定されてアナログ入力と比較される。アナログ入力のほうが大きければビット1はそのまま保持され、ビット2が1に設定さ

れて同様にアナログ入力と比較される。この手順はLSBまで各ビットに対して繰り返され、DAコンバータ出力がアナログ入力より大きいビットはゼロにセットし、DAコンバータ出力がアナログ入力を越えないビットは1にセットする。

逐次比較サイクルを図20に示す。そして、フェランティ社の8ビット逐次比較コンバータZN427を図21に示す。



第20図 逐次比較型ADコンバータの動作



第21図 ZN427のシステム図

## 他の変換方法

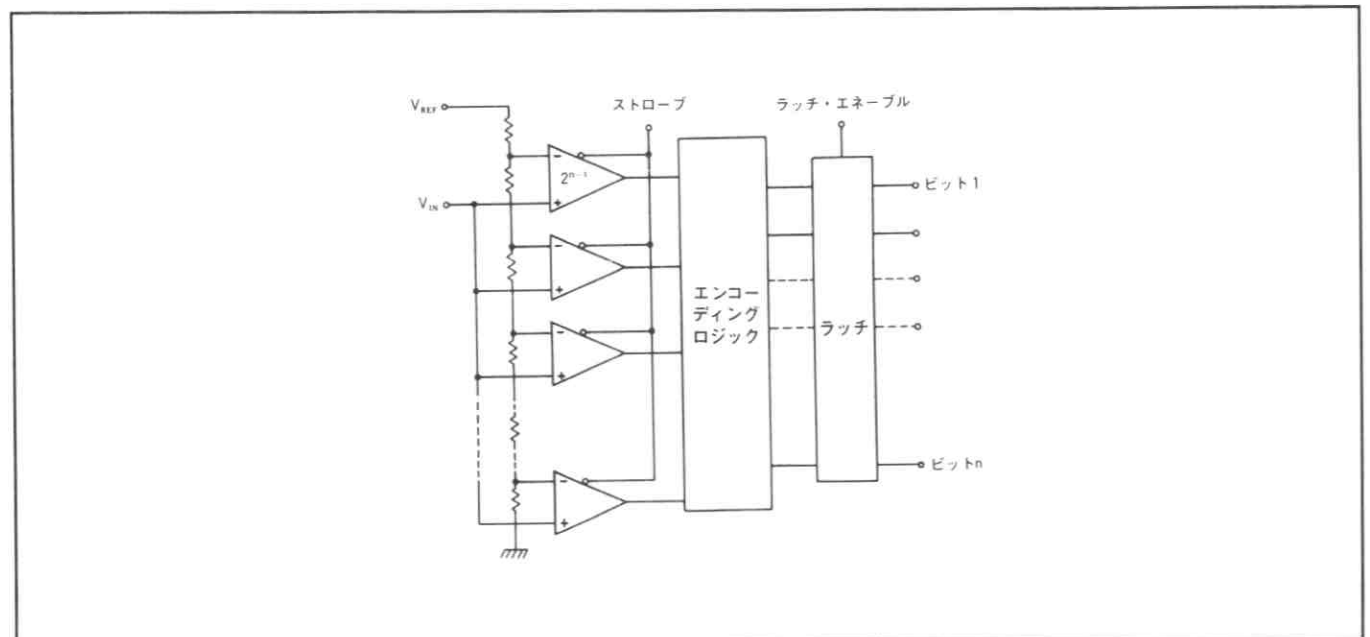
フィード・バック・ループ中にDAコンバータを使ったADコンバータは、コスト/パフォーマンスの面で多く使用されている。しかし、高変換速度が要求される用途がある一方、中ぐらいの価格で良い分解能を要求される用途では他の変換方法が使用される。逐次比較型ADコンバータの最大速度は多くの要素によって制限される。その主要な要素としてはDAコンバータのセリング時間があり、それ以外の要素にコンパレータとロジック回路の遅延時間がある。その理由は、DAコンバータの入力コードは変換の間に  $n$  回変化するからである。

変換速度をできるだけ速くするには、逐次比較ループを  $n$  回繰り返さなければならないフィードバック・コンバータは使用できない。これに代わるものとしては、図22に示す並列(フラッシュ)コンバータがある。抵抗チェーンは1 LSBづつ  $2^{n-1}$  個の電圧レベルを発生し、 $2^{n-1}$  個の電圧コ

ンパレータの基準電圧とする。そして、コンパレータの非反転入力にはアナログ入力に接続される。アナログ入力に供給された時基準電圧がアナログ入力電圧より小さいコンパレータは全てハイになる。つまり、フルスケールでは全ての出力がハイになり、フルスケールの半分の入力では半分の出力がハイになる。

コンパレータ出力はバイナリやその他の必要とされる出力コードに変換され、出力ラッチに記憶される。ストロブ入力は、エンコーダ出力がデータをラッチに移動する間安定に保つために、コンパレータ出力を保持できる。ラッチは、変換された結果が次の変換が行なわれている間安定に保つためにデータを記憶する。

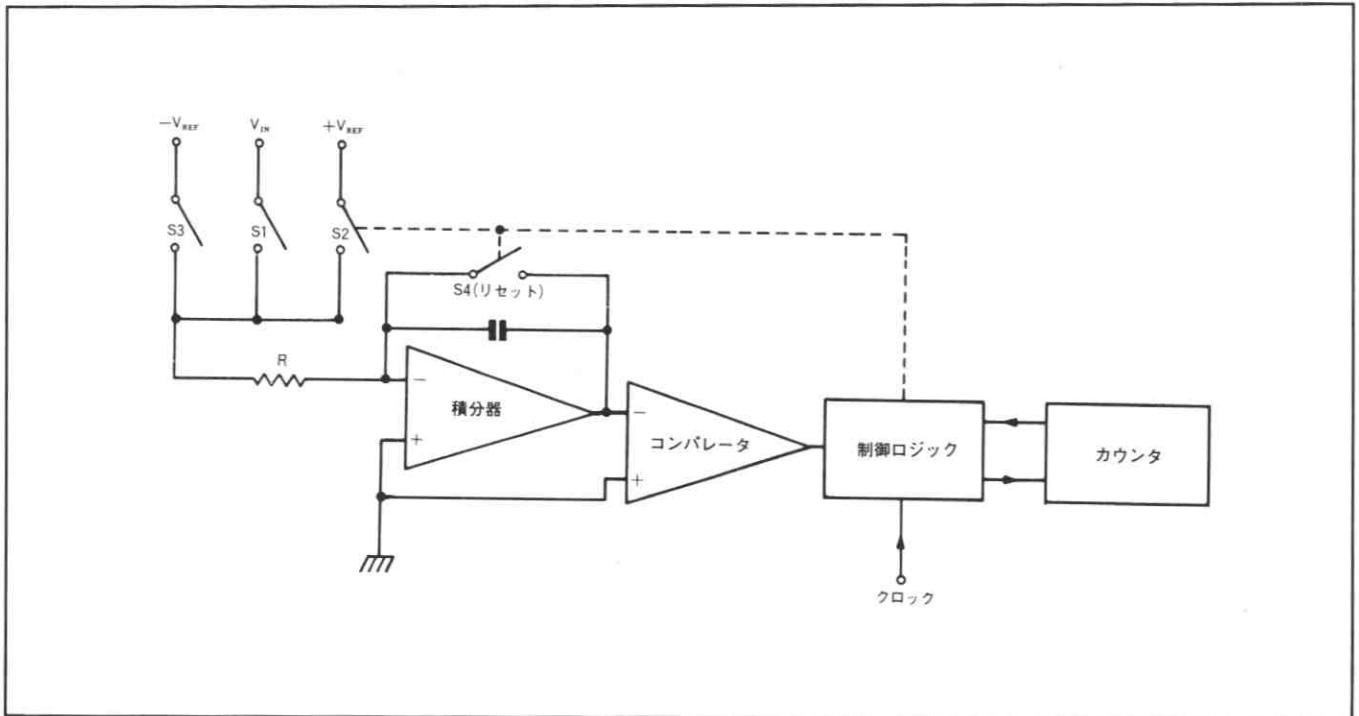
並列コンバータの変換速度は、コンパレータとロジックの遅延時間によってのみ限定される。並列ADコンバータを使えば、毎秒一千万回の変換も容易に達成できる。しかし、 $n$  ビット・コンバータでは  $2^{n-1}$  個のコンパレータと抵抗が必要となるので(6 ビットで63個、8 ビットで255個)、並列コンバータはモノリシックであっても高価である。



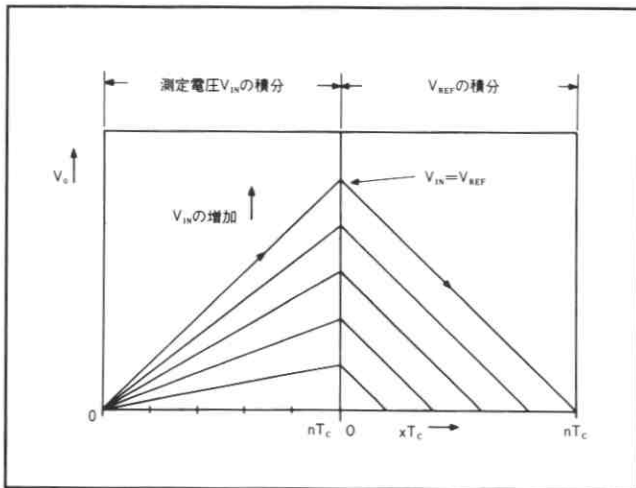
第22図 並列変換型ADコンバータ

## 積分型変換

中ぐらゐの価格で分解能の高い積分型コンバータは、低速の応用ではよく使用される。積分型コンバータには大きく分けて2種類あり、よく知られているのはデジタル・ボルトメータにしばしば使用される二重積分型ADコンバータである。



第23図 二重積分型ADコンバータ



第24図 二重積分型ADコンバータの動作

二重積分型コンバータのブロック図を図23に、その動作を図24に示す。変換期間の最初にスイッチS1が閉じ、リセット・スイッチS4は開く。未知の入力電圧 $V_{IN}$ は $n$ クロック期間だけ積分器に接続される( $n$ は通常システム・カウンタの最大カウントとする)。 $V_{IN}$ によって $R$ に $I_1 = \frac{V_{IN}}{R}$ の電流が流れ、フィードバック・ループを通して $C$ に流れ込む。そして、 $n$ クロック・パルス後の積分器の出力電圧( $V_o$ )は、 $\frac{-I_1 t_1}{C} = \frac{-V_{IN} \cdot n \cdot T_c}{RC}$ (ただし、 $T_c$ はクロック期間)となる。信号積分期間に、コンパレータは入力電圧と逆極性である積分器出力の極性を判別する。そして、信号積分

期間の終りでS1は開き、入力信号の極性に従って、積分器入力の反対の基準電圧がかかるようにS2またはS3を閉じる。この結果、 $I_2 = -\frac{V_{REF}}{R}$ の電流が積分器に流れ、出力はゼロに向かって減少する。この間のクロック・パルスの数はシステム・カウンタによって計測され、 $X$ クロック・パルス後に出力がゼロに達するとコンパレータ出力は変化し、カウンタは停止する。

2回目の積分は最初の積分と同じ電圧範囲で、逆極性の積分を行なうので：

$$-V_o = \frac{-I_2 t_2}{RC} = \frac{V_{REF} \times T_c}{RC}$$

したがって、

$$V_o = \frac{-V_{REF} \times T_c}{RC} = \frac{-V_{IN} n T_c}{RC}$$

ゆえに、

$$X = \frac{n V_{IN}}{V_{REF}}$$

ここで、 $n$ と $V_{REF}$ は一定であるので、出力カウント $X$ は入力電圧に比例する。

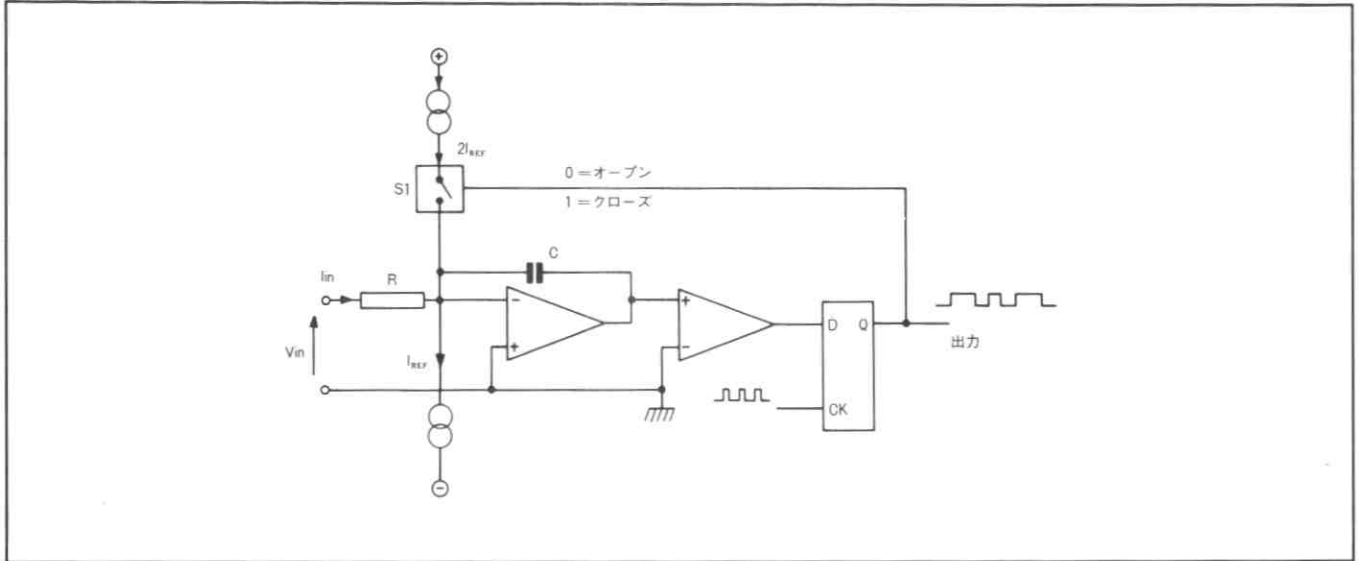
2回の積分は同一の条件にて行なわれるので、 $T_c$ 、 $R$ 、 $C$ の長期間の変化は最後の方程式にないことからわかるように測定の精度に影響を与えない。もちろん、これらの短期間の安定性は十分に良くなければならず、測定期間中変化してはならない。二重積分方式はフェランティ社のIC・ZNA116とZNA216で使用されている。

# 電荷平衡型コンバータ

もう一つの積分型ADコンバータで最近しだいに使用されるようになってきたものに電荷平衡型コンバータがある。この種のコンバータの大きな特徴は、測定される入力電圧によってコンデンサに充電される電荷が、コンデンサの正味の蓄積電荷がゼロになるように、基準電圧による充電電荷によってバランスされることである。

図25は電荷平衡型コンバータの原理を示している(この回路はデルタ・シグマ・エンコーダの応用としてよく知られ

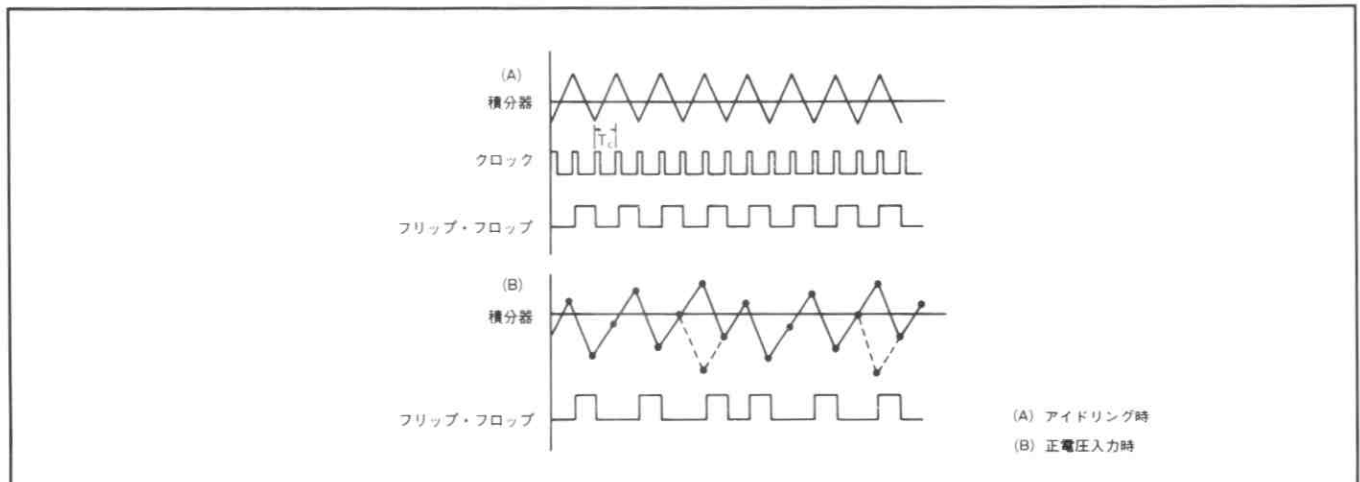
ている)。積分器の一方の入力には2つの電流源が接続され、もう一方の入力には抵抗を通してアナログ電圧が接続される。もし、入力電圧がゼロであると仮定すると、S1が閉じた時、電流 $+I_{REF}$ が積分器に流れ、S1が開いている時、電流 $-I_{REF}$ が流れる。積分器出力の極性は電圧比較器で判定し、その出力(0または1)はクロック・パルスの立上りでDフリップ・フロップに読み込まれる。そして、フリップ・フロップの出力はスイッチを制御し、 $+I_{REF}$ または $-I_{REF}$ に電流を切り換える。



第25図 電荷平衡型コンバータ ( $\Delta\Sigma$ モジュレータ)

$V_{in}$ がゼロの場合を考える。もし、積分器出力の初期状態が負ならば、最初のクロック・パルスによってフリップ・クロック出力は'0'に駆動される。したがって、積分器に $-I_{REF}$ の電流が流れ、出力は電圧 $\frac{-I_{REF} T_C}{C}$ で正に増加して

行く。そして、積分器出力が正になったと仮定すると、次のクロック・パルスはフリップ・フロップ出力を'1'に駆動し、電流 $+I_{REF}$ を積分器に流す。このため、積分器出力は電圧 $\frac{-I_{REF} T_C}{C}$ で負に減少して行く。



第26図 電荷平衡型コンバータの波形

このように、積分器出力は図26に示される三角波となり、フリップ・フロップの出力はデューティ・サイクル50%の方形波になる。もちろん実際のシステムでは、基準電流の多少のアンバランスや積分器のドリフトによって、三角波のピークがゼロ以下になったり、谷がゼロ以上になったりすることがある。しかし、この場合には余分に正または負

のランプが発生し、波形をゼロの上下に修正する。正の入力電圧が印加されると、 $I_{sig}$ の電流が発生し正の積分電流を増加させ、負の積分電流を減少させる。したがって、どのクロック期間においても負の蓄積電荷は正の蓄積電荷より大きくなる。この結果、積分器の波形はさらに負になり、この波形を正にするには余分のクロック期間が

必要になる。このように、長期間にわたって考えると、負の蓄積期間の大きな振幅は正の長い蓄積期間によって補償され、合計の蓄積電荷はゼロになる。また、負の入力電圧に対しても同様の結果となる。

ここで、 $T_c$ をクロック期間とすると、負の蓄積電荷は、 $-(I_{REF} + I_{SIG})T_c$ となり、正の蓄積電荷は $(I_{REF} - I_{SIG})T_c$ となる。

したがって：-

$$N^+(I_{REF} - I_{SIG}) = N^-(I_{REF} + I_{SIG})$$

ゆえに

$$\frac{I_{SIG}}{I_{REF}} = \frac{N^+ - N^-}{N^+ + N^-}$$

ただし、 $N^+$ と $N^-$ はそれぞれ正と負の蓄積期間のクロック数とする。したがって、 $N^+ + N^-$ は測定期間の合計のクロック数となるので、容易に一定値にすることができる。また、 $I_{REF}$ も一定であるので、正と負のクロック数の差は $I_{SIG}$ と $V_{SIG}$ に直接比例する。

実際の電荷平衡型コンバータでは、この差は正の蓄積期間でカウント・アップし、負の蓄積期間でカウント・ダウンするアップ・ダウン・カウンタを使用することによって容易に計測できる。全測定時間は、あらかじめ決めた数までシステム・カウンタがカウント・アップする時間によって決定する。

電荷平衡型コンバータの興味ある特長は、測定期間のクロック数を増すだけで、アナログ回路の変更なしに分解能を増加できることである。このため必要な変更は、カウンタの最大カウント数を増加するだけである。また、クロック期間が変化しないならば積分期間も変化しないので、D/S/M回路を変える必要もない。二重積分型コンバータでこのようなことを行なうと、信号積分期間に積分器は飽和してしまう。これを改良するためには、積分器の時定数を長くし、ゼロ・クロスをより正確に検知するためにコンパレータのゲインを増加する必要がある。しかし、このためにノイズが問題になる。

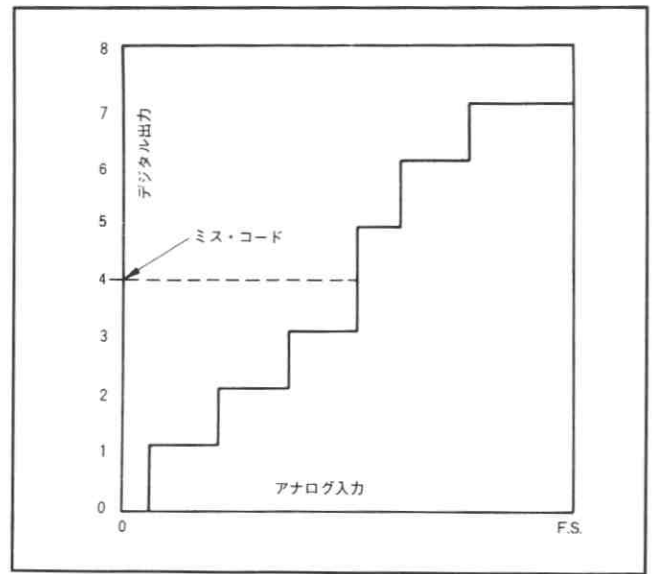
この電荷平衡型AD変換方式は、フェランティ社のシングルチップDVM・ZN450に使用されている。

## ADパラメータと定義

DAコンバータ同様ADコンバータも数種類の誤差を生じる。また、多くのADコンバータはフィードバック・ループにDAコンバータを内蔵しているので、ここで生じる誤差は両コンバータとも共通になる。

### ミスコード(Missing Codes)

これはフィードバック・ループ中のDAコンバータの非単調性によって生じる。もし、DAコンバータのステップ・サイズが1LSBより小さければ、ADコンバータはそれに相当した小さなコード間隔となる。たとえば、ステップ・サイズがゼロに近づけばコード間隔も減少し、ステップ・サイズがゼロまたはそれ以下(DAコンバータは非単調になる)では入力に相当する出力コードがなくなってしまう。ミスコードがある場合のADコンバータ出力を図27に示す。



第27図 ADコンバータのミス・コード

## 非直線性と差動非直線性

### (Non-linearity and Differential Non-linearity)

これらの言葉は、DAコンバータを定義するのに使用された言葉と同様の意味を持っている。非直線性とは、フルスケールとゼロが正しく設定されていると仮定した場合の理想的コード変化点と実際のコード変化点の差である。また、差動非直線性は理想的コード間隔と実際のコード間隔の差である。

±1/2LSB以下の非直線性または-1LSB以下の差動非直線性を持ったADコンバータは、ミスコードがない。

### ゼロ遷移(Zero Transition)

前にも述べたように、ADコンバータのゼロは、通常0と1の変化が+1/2LSBで起こるように調整する。しかし、実際のADコンバータはDAコンバータやコンパレータのオフセットによって決まるゼロ遷移点を持っているので、これを正しく設定するために調整回路が必要である。

### 分解能(Resolution)

これはアナログ入力を分割できるコード数であるが、通常単にコンバータが処理する出力ビットの数で表現する。分解能には、ADコンバータの直線性についての意味は含まれない。

### レシオメトリック動作

### (Ratiometric Operation)

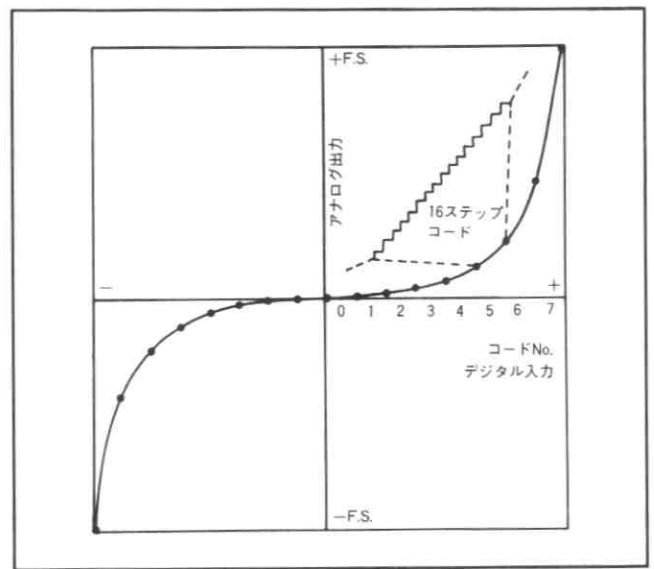
ADコンバータの出力コードは、入力コードと基準電圧の比に比例する。したがって、基準電圧を変化させることができれば、ADコンバータは割算機能を持つことになる。

## コンパANDING(圧伸)・コンバータ (Companding Converters)

リニア・コンバータでは、アナログ入力が増加するにしたがって分解能はわるくなる。たとえば、フルスケールの半分以下ではMSBはゼロであり、フルスケールの1/4以下ではビット2はゼロである。したがって、量子化誤差はこれに比例して大きくなる。これは、最小信号が入力信号の1000分の1(60dBダウン)以下になるようなダイナミック・レンジの広い信号をデジタル化する時に特に問題になる。8ビット・コンバータは、判別できる最小信号がフルスケールの256分の1であるので、このような信号のデジタル化には役立たない。これを解決する1つの方法はビット数を増すことであるが、フルスケール付近で高分解能を得る必要はないので、この方法は高価でむだである。オーディオ信号のような信号に対しては、コンバータの誤差はフルスケールに対してではなく入力信号に対して一定になることが要求される。言葉を換えれば、コンバータは信号レベルに関係なく一定のひずみになるようにする。つまり、小さい信号に対してはコンバータのステップ・サイズは小さくなり、大きな信号に対しては大きくなれば、ゼロ付近の分解能は改善される。

このようなコンバータはコンパANDING・コンバータと呼ばれ、コンパANDING DAコンバータの出力特性は図28のようになる。コンパANDING・コンバータは、通常8ビットで、MSBが符号ビットの役割をするバイポーラ・モードで動作する。

対象形である出力特性の半分は、8つのコードに分離される。各コードは16の等しいステップから成り、ステップ・サイズはコード番号とともに増加する。そして、ビット



第28図 コンパANDING DAコンバータの出力特性

2から4はコード番号を決定し、ビット5から8はコード内のステップを選択する。

コンパANDING DAコンバータの出力特性は、通常対数曲線の部分的直線近似である。この正確さは応用によっても変わるが、2つの最も有名な規格にヨーロッパの'A law'とアメリカの' $\mu$  law'がある。また、コンパANDING ADコンバータの出力特性はDAコンバータの逆である。

コンパANDING手法は、PCM通信のコーダ・デコーダ(CODECS)に使用されている。コンパANDING・コンバータを設計する方法はいくつかあるが、フェランティ社の2チップ・コーデックZNPCM1/2では、高速のデルタ・シグマ・モジュレータを使用している。

## 8ビット D/A A/Dコンバータ ZN425

### 1. 概要

まず、ZN425の動作概要と文中で使用する用語について説明する。

コンバータは、通常並列にデジタル値を入力し、そのバイナリ・コードに相当するアナログ値を発生する。誤差を無視し、アナログ出力が電圧であると仮定すると、出力の値は次のようになる。

$$V_{OUT} = V_{フル・スケール} \times \frac{\text{バイナリ入力}}{\text{フル・スケール・バイナリ入力}}$$

ZN425の場合では、

$$V_{OUT} = V_{REF} \times \frac{\text{バイナリ入力}}{256}$$

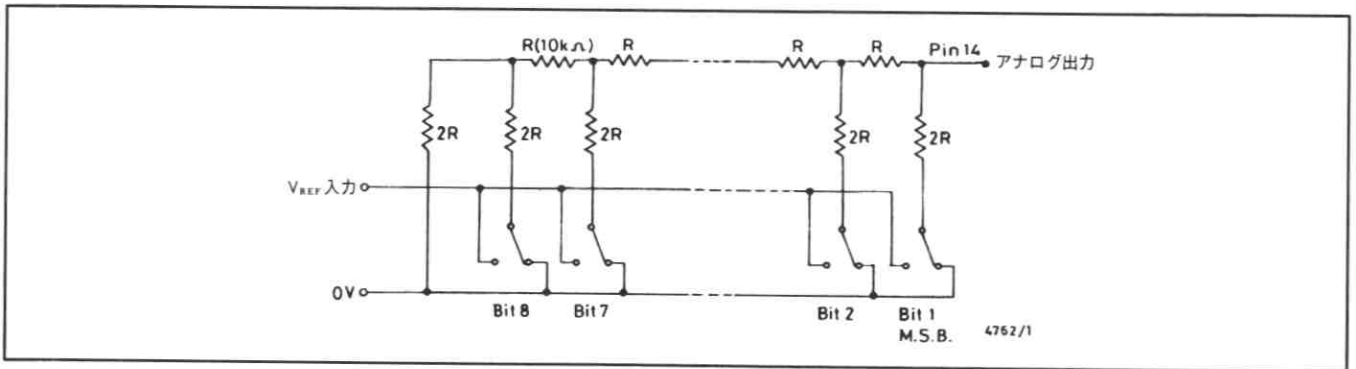
電圧出力は、図1(a)に示す抵抗ラダー回路で発生する。スイッチは、抵抗をバイナリ入力の状態にしたがって、基準電圧又はグラウンドに接続する。

ZN425のブロック図を図1(b)に示す。

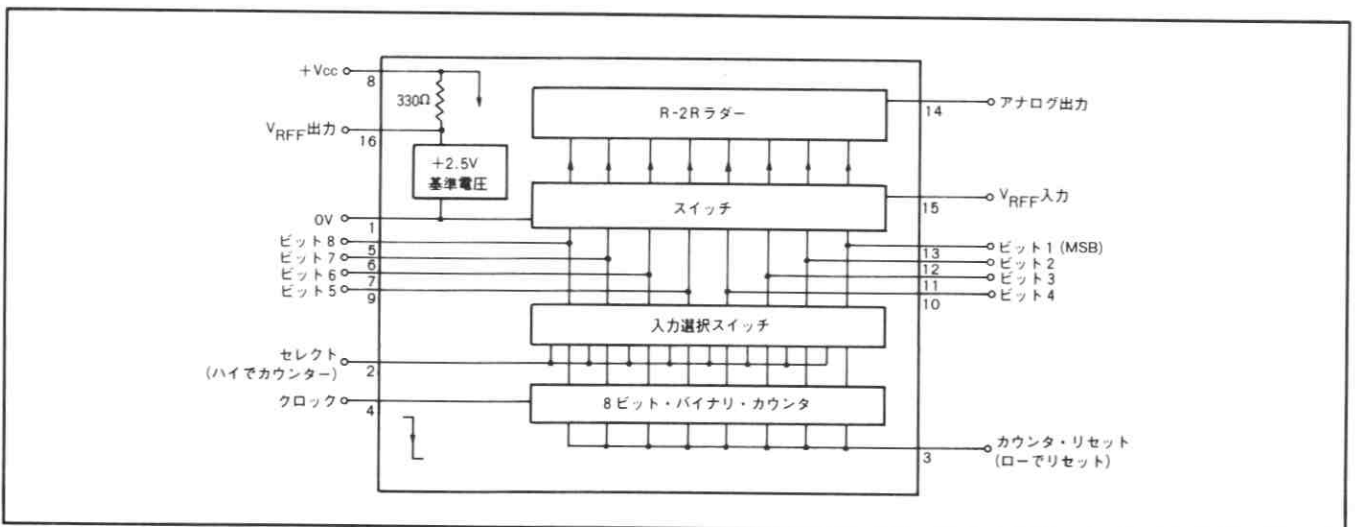
このICはモノリシックで、抵抗ラダー回路・ロジック入力選択スイッチ・電圧スイッチ・基準電圧・カウンタを内蔵している。基準電圧は、内部で発生しても、外部基準電圧を使用してもよい。また、内蔵のカウンタを使用すれば、いろいろな用途にZN425を応用できる。たとえば、階段状出力は、カウンタにクロックを入力するだけで、アナログ出力より取り出すことができる。

ZN425の動作概要を図2に示す。カウンタは、入力パルスの立下りをカウントし、リセット端子を‘0’レベルにするとリセットされる。

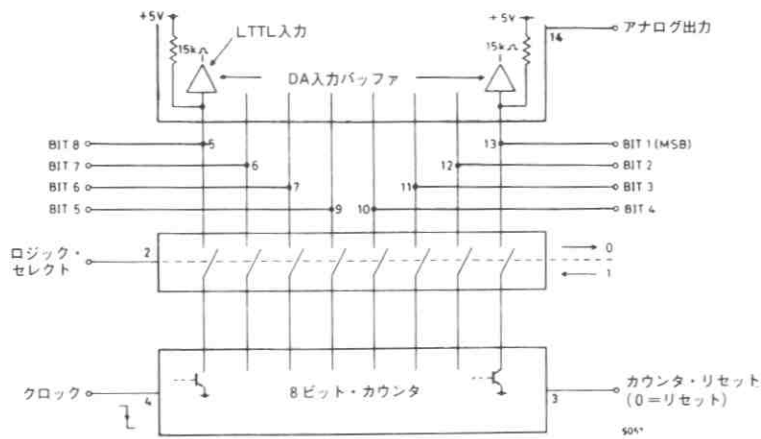
コンバータのデジタル入力は、ロジック・セレクト端子が‘0’の時は外部より、‘1’の時はカウンタより駆動される。後者の場合、カウンタの状態はデジタル入力端子にも出力される（プルアップ抵抗15KΩのオープン・コレクタ出力）。D/Aモードでは、デジタル入力端子はロー・パワーTTL入力と等価と考えることができる。



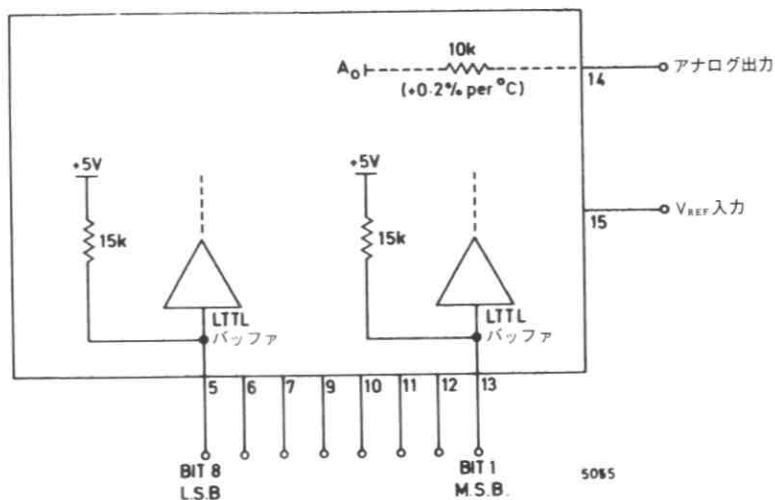
第1図(a) R-2Rラダー回路



第1図(b) ZN425 ブロック図



第2図 ZN425 動作概要



第3図 ZN425 入出力回路

## 1.1 定義

AD/DAコンバータを説明する時によく使われる用語を次のように定義する。

### 分解能 (Resolution)

分解能は、デジタル入力の数で表わされる。たとえば、8ビットDAコンバータは、「分解能8ビットである」と言う。分解能には、精度に関する意味は含まれない。

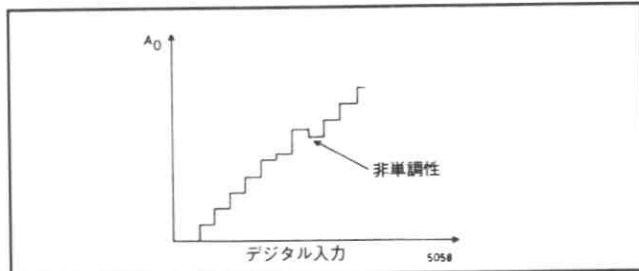
### ステアケース (Staircase) / ランプ (Ramp)

バイナリ・コードが少しずつ増加するにつれて、アナログ出力もステップ状に増加する。もし、入力コードが一定の比率で増加すれば、アナログ出力は階段状(Staircase)になる。

階段状出力の増加する間隔は通常小さいので(8ビットでは $\frac{1}{255}$ )、この出力はしばしばランプと呼ばれる。

### 単調性 (Monotonicity)

バイナリ入力のデジタル値が増加した時、アナログ出力も常に増加する場合、DACは単調性を保っているという。図4(a)のDA階段波形発生回路の出力は、非単調性のため一部で減少している。



第4図(a) 非単調性

### 理想的DAC出力 (Ideal DAC Output)

階段状波形発生回路の理想的DAC出力は、図4(b)のようになる。

出力は、ゼロとフルスケールを結んだ直線上の点で定義される。

理想的DACでは、

$$V_{OUT} = \frac{n}{2^8 - 1} \times V_{FS}$$

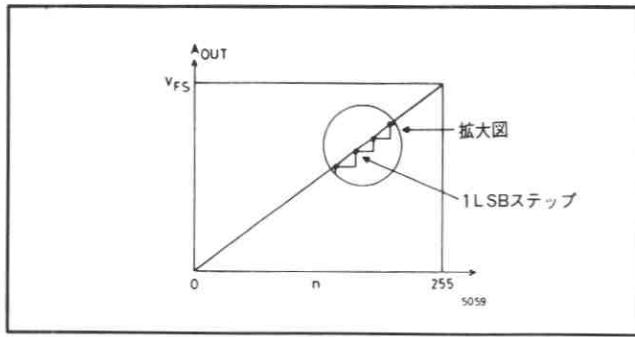
$$= \frac{n}{255} \times V_{FS}$$

そして、 $V_{FS} = \frac{255}{256} \times V_{REF IN}$

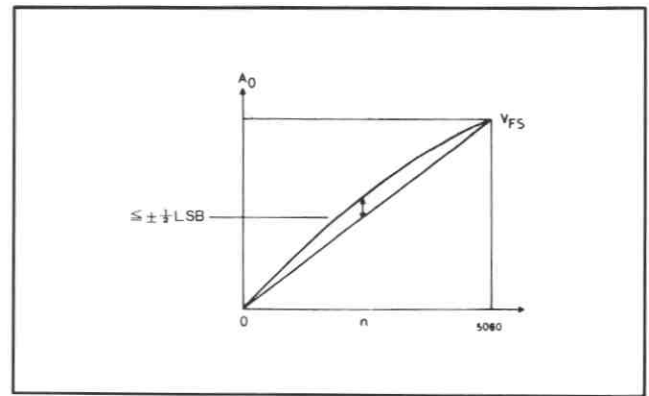
$$V_{OUT} = \frac{n}{256} \times V_{REF IN}$$

ここで、 $n$ はデジタル入力の値である。





第4図(b) 理想的DAC出力



第4図(c) 誤差の定義

たとえば、

$$01101100 = 2^6 + 2^5 + 2^3 + 2^2$$

$$= 108$$

$$\text{したがって出力は、} V_{OUT} = \frac{108}{255} \times V_{FS}$$

$$= \frac{108}{256} \times V_{REF IN}$$

### リニアリティ誤差 (Linearity Error)

実際のDACの出力は、図4(c)に示すように、理想値との間に誤差を生ずることがある。誤差は、通常アナログ出力と理想値の差をLSBの分数の形で表示する。ZN425の場合、リニアリティ誤差の最大値は $\pm \frac{1}{2} \text{LSB}$ である。

$$\frac{1}{2} \text{LSB} = \frac{1}{2} \times \frac{V_{FS}}{255}$$

### 相対誤差 (Relative Accuracy)

フルスケール電圧 ( $V_{FS}$ ) の割合で表わす誤差を、相対誤差と言う。

リニアリティ $\pm \frac{1}{2} \text{LSB}$ の8ビット・コンバータZN425では、

$$\text{相対誤差} = \frac{1}{510} \times 100\%$$

$$= 0.2\%$$

## 2. DA/ADコンバータ・システム

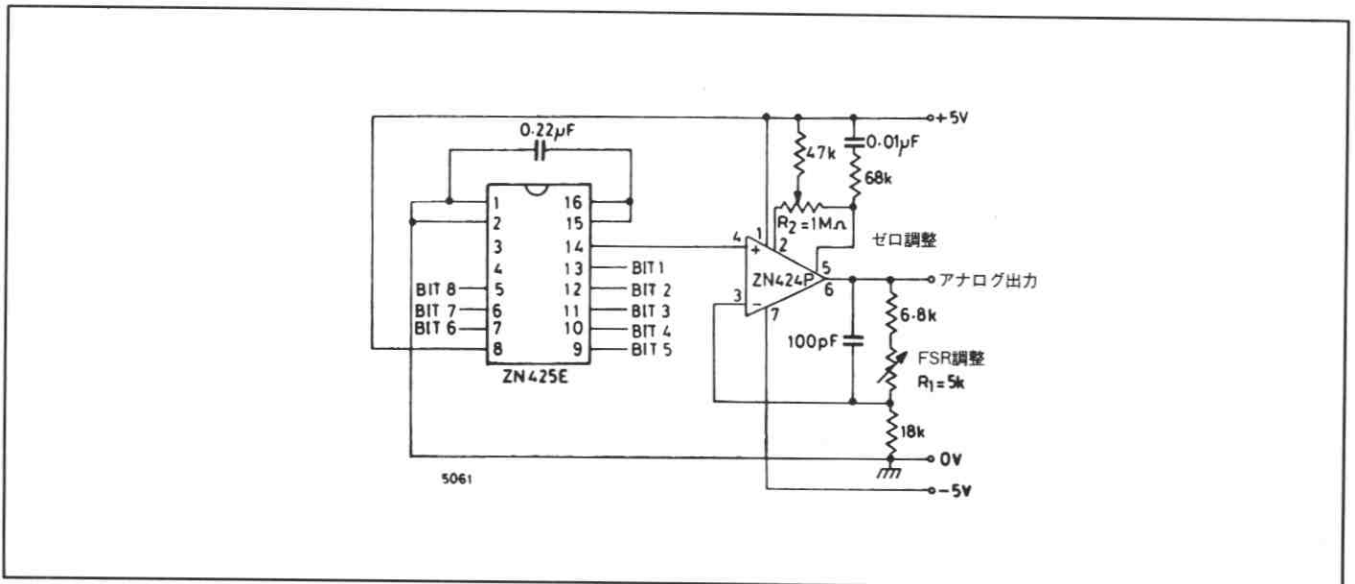
### 2.1 8ビットDAコンバータ 調整手順

ZN425は、端子14から直接アナログ電圧出力を取り出せるので、電流—電圧変換用増幅器は必要ない。しかし、オフセット電圧を補正し、コンバータの調整を行なうためにバッファ・アンプを外付する。図5(a)・5(b)は、バッファ・アンプにZN424P及び741を使用した回路図である。この回路では、内蔵の基準電圧を使用している。また、温度ドリフトを最小にするために、バッファ・アンプの反転入力ソース抵抗は約 $6\text{k}\Omega$ にしている。調整手順は、次の通りである。

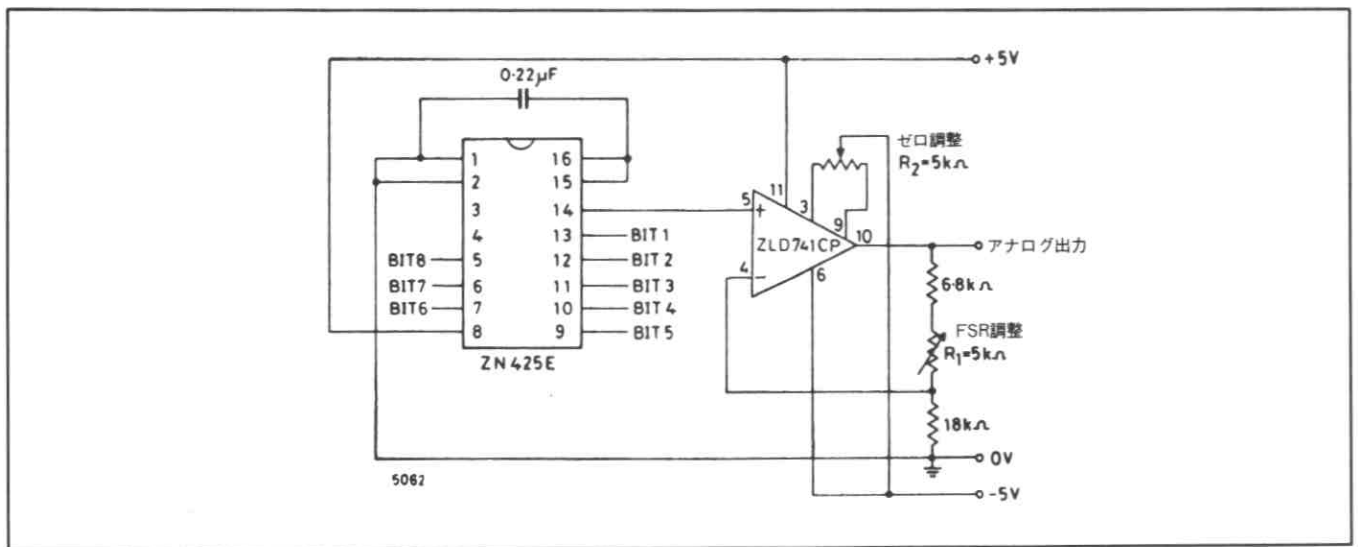
- (i) 全ビットを '0' に設定し、 $V_{OUT} = 0.000\text{V}$  になるように  $R_2$  を調整する。
- (ii) 全ビットを '1' に設定し、 $V_{OUT} = \text{フルスケール} - 1 \text{LSB}$  となるように  $R_1$  を調整する。
- (iii) (i) と (ii) を繰り返す。

(ii)において、 $1\text{LSB} = \frac{3.84}{256} = 15\text{mV}$  であるので、

$$V_{OUT} = 3.840 - 1\text{LSB} = 3.825\text{V}$$
 に調整する。



第5図(a) ZN424Pを使った8ビットDAC



第5図(b) 741を使った8ビットDAC

## 2.2 8ビットADコンバータ 調整手順

図6は、ZN425とコンパレータ、ラッチから成る、カウンタ型ADコンバータである。変換命令 (Convert Command) パルスが印加されると、カウンタはゼロに設定される。同時にラッチの状態が変化し、クロック・パルスがZN425のカウント入力 (端子4) に送られるようになる。そして、ZN425のアナログ出力は、コンパレータの非反転入力 (端子11) の電圧と等しくなるまで増加する。この時点で、コンパレータの出力は反転し、ラッチは最初のリセット状態になる。したがって、クロック・パルスは禁止される。

この時、ZN425の各ビットに残ったデジタル値が、アナログ入力電圧に相当する。また、ZN424の出力に接続されたダイオードは、コンパレータの出力が反転した時に、その出力が効果的にゼロにクランプされるように取り付ける。

クロック周波数の最大値は400kHzである。高速で動作させる場合、パルスの戻りエッジが出力のセットリングに影響を与えるのを避けるために、幅の狭いクロック・パルスを使用する。100kHz以上で使用する場合、リニアリティをよくするために、ZN424より高速のコンパレータを使用する。

変換時間は、アナログ入力電圧によって変化する。フルスケールで変換時間は最大になり、クロック期間とカウンタ数をかけた値になる。

もし、 $F_{\text{clock}} = 256 \text{ kHz}$ であれば、

$$T_{\text{convert}} = \frac{2^8}{256 \times 10^3} = 1 \text{ ms}$$

調整手順は次の通りである。

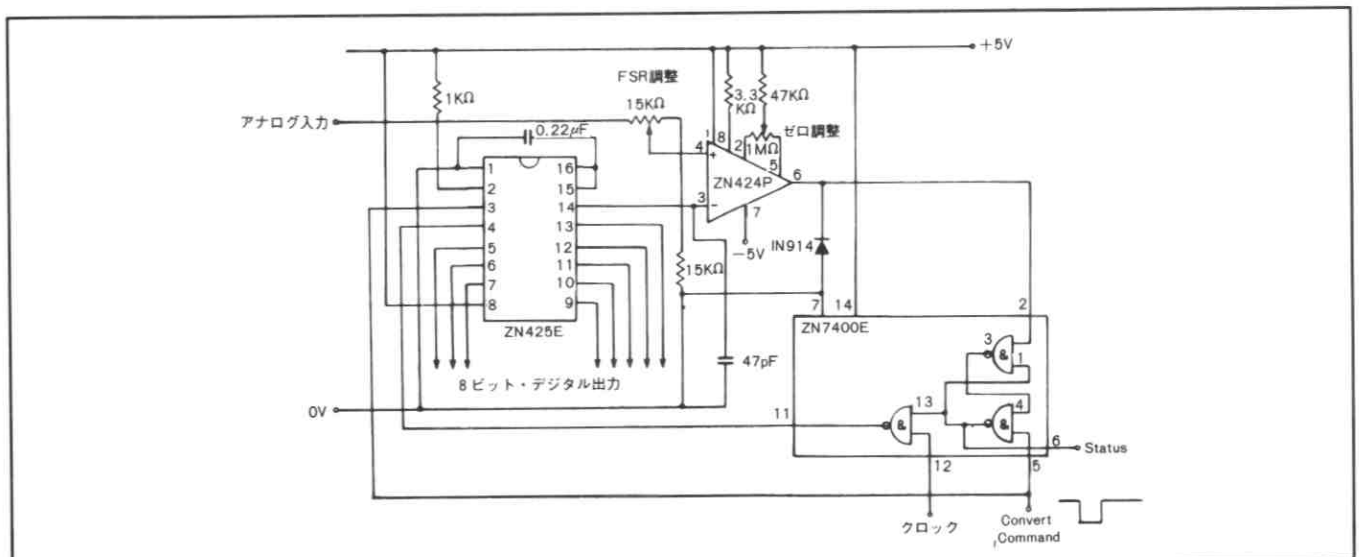
- (i) 連続的に変換命令パルスを加える。
- (ii) アナログ入力に  $FS - 1 \frac{1}{2} \text{ LSB}$  の電圧を加えて、デジタル出力のLSBが0と1のフラッタ状態、他の全てのビットが1になるようにFSR調整用抵抗を調整する。
- (iii) アナログ入力に  $\frac{1}{2} \text{ LSB}$  の電圧を加えて、デジタル出力のLSBが0と1のフラッタ状態、他の全てのビットが0になるようにゼロ調整用抵抗を調整する。
- (iv) (ii) (iii) を繰り返す。

フルスケールを4Vとすると、

$$1 \text{ LSB} = \frac{\text{フルスケール}}{256} = \frac{4}{256} = 15.63 \text{ mV}$$

ゼロ調整時の入力電圧は、

$$\frac{1}{2} \text{ LSB} = 7.82 \text{ mV}$$



第6図 8ビットADコンバータ

フルスケール調整時の入力電圧は、

$$4V - 1 \frac{1}{2} \text{LSB} = 3.97656V$$

変換終了後、ZN425からはアナログ・デジタル両出力が取り出せるので、このADコンバータはサンプル・ホールド回路としても使用できる。この場合、サンプル命令を変換命令のかわりに使用する。

ピーク検出回路も、同様の方法で作ることができる（詳しくは、3・4参照）。

### 2.3 バイポーラ動作

これまでに述べたDACでは、オフセット電圧を補正し、温度ドリフトを最小にし、DACを調整するために、ユニポーラ・バッファ・アンプ（ZN424及び741）を使用した。ここでは、ユニポーラの場合と同様の働きをするバイポーラ・バッファ・アンプについて述べる。このバッファの増幅出力は、0Vに対して対称になるようにする。したがって、次の条件を満足しなければならない。

(i) DACの出力が

$$\frac{V_{REF}}{2} \text{ (デジタル入力=10000000) の時、}$$

バッファ・アンプ出力はゼロになる。

(ii) ゲインは簡単に選択でき、その時の抵抗値が計算できる。正確なゲインとオフセットが微調できる。

この条件を満たすものとして、まず図7(a)の回路が考えられる。

$$F_N = \text{非反転入力帰還率} = \frac{R_1}{R_1 + R_2}$$

$$F_I = \text{反転入力帰還率} = \frac{R_1}{R_2} \quad \text{とすると、}$$

$$V_{OUT} = \frac{A_0}{F_N} - \frac{V_{REF}}{F_I} = A_0 \left( \frac{R_1 + R_2}{R_1} \right) - V_{REF} \frac{R_2}{R_1} \dots (式1)$$

$$A_0 = \frac{V_{REF}}{2}, R_1 = R_2 \text{ とすると}$$

$$V_{OUT} = 0 \quad \dots \dots \text{これは条件(i)を満足する}$$

$$\text{しかし、ゲイン} \left( \frac{V_{OUT}}{A_0} \right) = \frac{R_1 + R_2}{R_1} = 2$$

これは条件(ii)を満足しない。

この欠点を克服するため、抵抗を付加した図7(b)の回路が考えられる。図7(c)はこの回路のテブナン等価回路である。式1を使うと、出力電圧は次のように表わされる。

$$V_{OUT} = A_0 \left[ 1 + \frac{R_2(R_1 + R_3)}{R_1 R_3} \right] - V_{REF} \frac{R_2}{R_1}$$

$$A_0 = \frac{V_{REF}}{2} \text{ の時、} V_{OUT} = 0 \text{ である (条件1)}$$

$$\text{そして、} R_1 = \frac{R_2 R_3}{(R_2 + R_3)} \text{ つまり、} R_1 \text{ は } R_2 \text{ と } R_3$$

の並列抵抗とすると、

$$\text{ゲイン } G = \left[ 1 + \left( \frac{2R_2 + R_3}{R_3} \right) \right] = \left[ 2 + \frac{2R_2}{R_3} \right]$$

ここで、 $R_2 = \lambda R_3$ と仮定すると、

$$G = 2(1 + \lambda), \quad \lambda = \frac{G - 2}{2}$$

$$\text{また、} R_2 = \left( \frac{G - 2}{2} \right) R_3 \text{ より } G \geq 2 \text{ となる。}$$

そして、

$$R_1 = \left( \frac{R_2 R_3}{R_2 + R_3} \right) = \left( \frac{\lambda}{1 + \lambda} \right) R_3 = \left( \frac{G - 2}{2} \right) R_3$$

バッファ・アンプの入力インピーダンスは、

$$\frac{R_1 R_2 R_3}{R_1 R_2 + R_2 R_3 + R_1 R_3} = \left( \frac{G - 2}{2G} \right) R_3$$

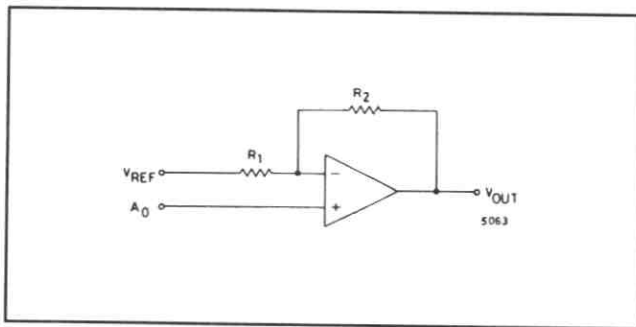
このように、図7(b)の回路では、ゲイン(G)を定めれば全ての抵抗値が計算できる。

たとえば、 $G = 4$ とすると

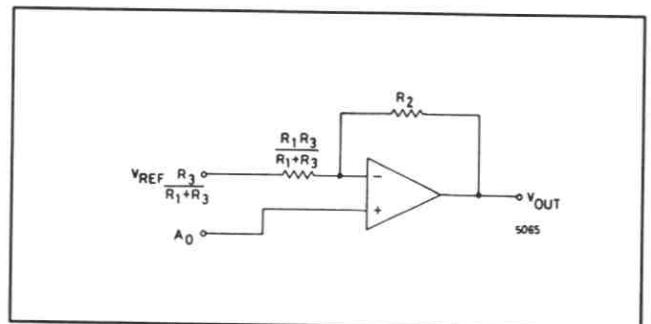
$$R_{IN} = \left( \frac{4 - 2}{8} \right) R_3 = \frac{R_3}{4} \text{ となる。}$$

ここで、 $R_{IN} = 10K\Omega$ とすると（ZN425の $R_{OUT} \approx 10K\Omega$ なので、オフセットを最小にするためこの値にする） $R_3 = 40K\Omega$

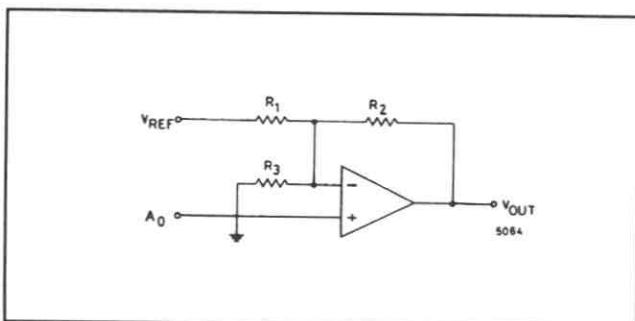
$$R_2 = \left( \frac{G - 2}{2} \right) R_3 = \left( \frac{4 - 2}{2} \right) R_3 = R_3 = 40K\Omega$$



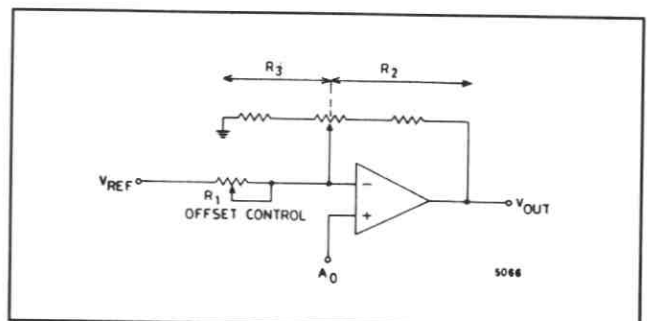
第7図(a) バイポーラ動作1



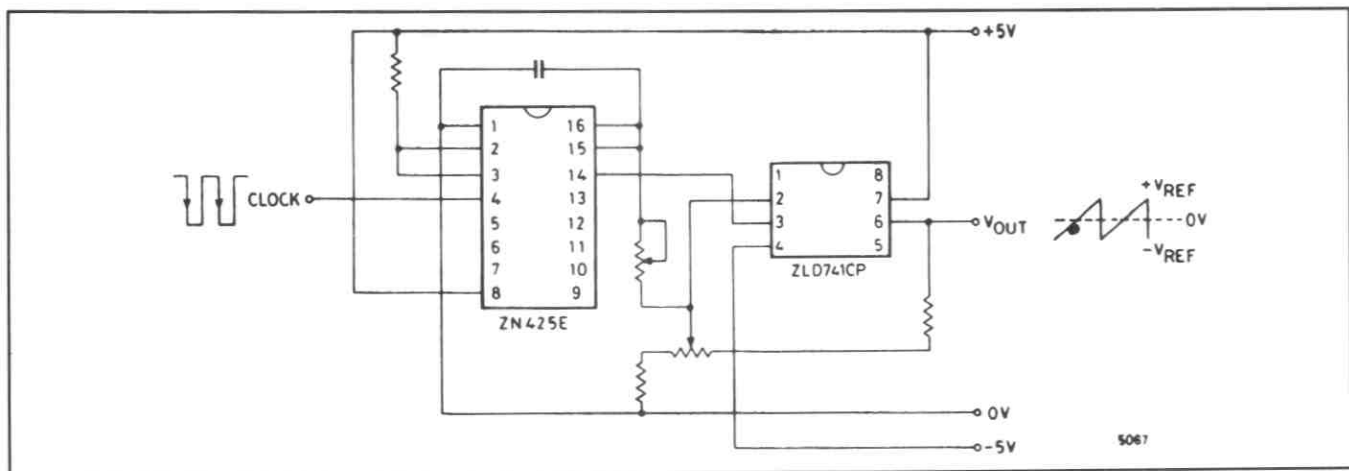
第7図(c) 図7bのテブナン等価回路



第7図(b) バイポーラ動作2



第7図(d) バイポーラ動作制御図



第8図 バイポーラ動作回路

$$R1 = \left(\frac{G-2}{G}\right) R3 = \left(\frac{4-2}{4}\right) R3 = \frac{R3}{2} = 20K\Omega$$

この値は、 $R1 = \frac{R2 R3}{R2 + R3}$  を満足している。

この関係を満足し、ゲイン調整用にポテンショメータを使用した回路を図8に示す。

## 2.4 応用

もし1つの基準電圧でいくつかのコンバータに電圧を供給する場合、1つのコンバータ当り1.2mAの電流を基準電圧に供給できるように、並列抵抗を電源と基準電圧の間に接続する。この場合、抵抗約0.1Ωの接地端子に流れる電流が増加し、オフセットを生ずる。

## 3.1 連続出力 (Continuous)

この回路は、ZN425のカンタにクロック・パルスを印加して階段状波形を発生する通常のDACモードと同様の回路である。カウンタはフル (full) になると、自動的にゼロにリセットされ、カウントを再開する。したがって、連続的にランプを発生する。

DACの項で述べたように、オフセット電圧を補正し、コンバータを調整するためにバッファ・アンプが必要となる。

ランプ期間は、8ビットの場合、クロック期間の256倍になる。また、ZN425のランプの最大振幅は、内部基準電圧を使用している場合、 $V_{REF} - 1 \text{ LSB}$ である。したがって、バッファのランプ出力のピーク値は、この値にゲインをかけた値になる。第9図のゲイン調整用ポテンショメータを中間点にセットした時、ランプ出力のピーク値は

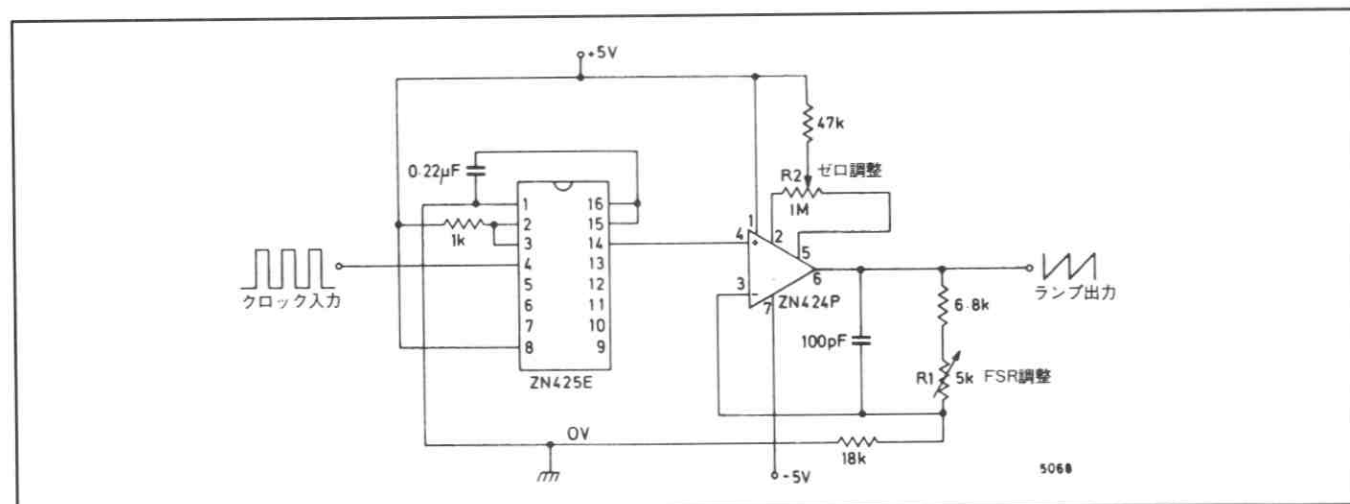
$$2.5V \times \frac{3}{2} = 3.75V \quad \text{となる。}$$

可変抵抗の出力電圧で、パルスのデューティ・サイクルを変化させる回路が、パワー・コントロール等で必要になることがある。この回路を図10に示す。ZN425の連続ランプ出力は、ZN424を使って基準電圧と比較される。したがって、基準電圧を変化させることによって、コンパレータ出力のデューティ・サイクルは変化する。

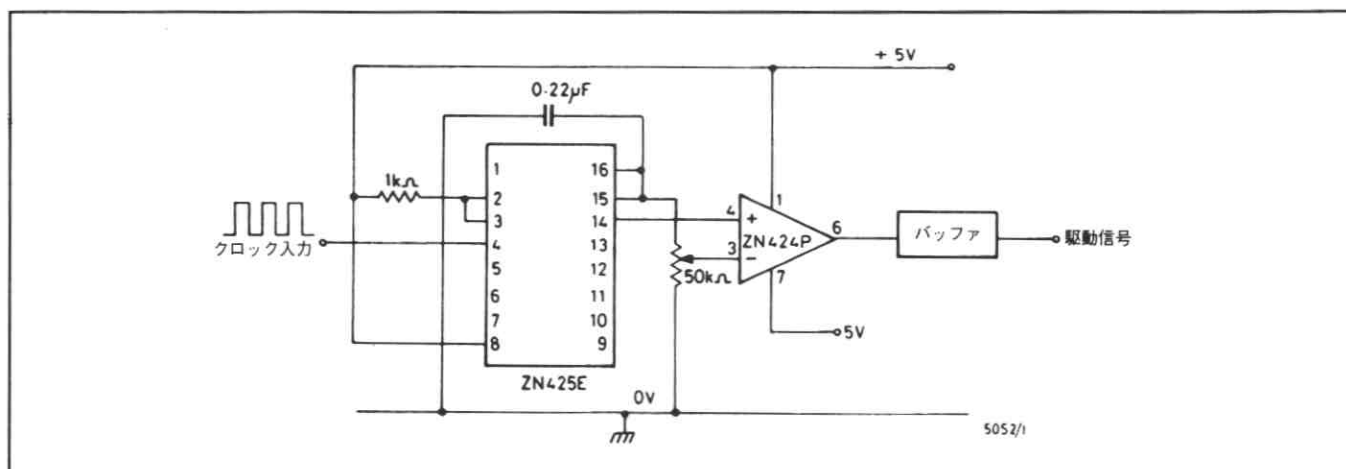
## 3. ランプ・ジェネレータ (Ramp Generator)

ZN425のカウンタは、クロックを入力して階段状出力を発生させるのに非常に便利である。この機能は、以下に述べる応用のほとんどに使用されている。

ランプの精度を求めるのに必要なカウント比は、セトリング時間が最小値の2μSの時、500KHzになる。したがって、1サイクルは約0.5mSになる。しかし、階段状出力の精度は減少するが、カウンタは5MHzまで動作する。



第9図 精密ランプ・ジェネレータ



第10図 デューティ・サイクル駆動回路

### 3.2 ワン・ショット (One Shot)

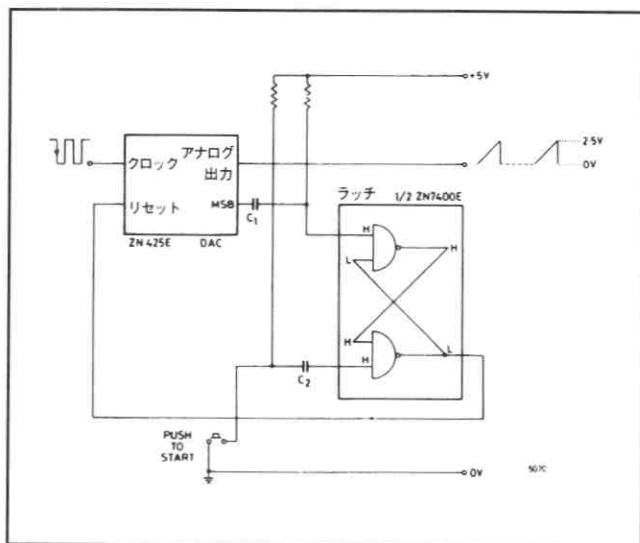
ワン・ショット・ランプ信号は、ZN425・DACのカウンタ・リセット制御用に、ラッチと2つのコンデンサを使って、簡単に発生することができる(図11a、図11b)。

電源を投入しコンデンサC1・C2の充電時間後、ラッチは図の状態になり、ZN425のカウンタ・リセット端子をローにする。スタート・ボタンが押されると、ラッチの状

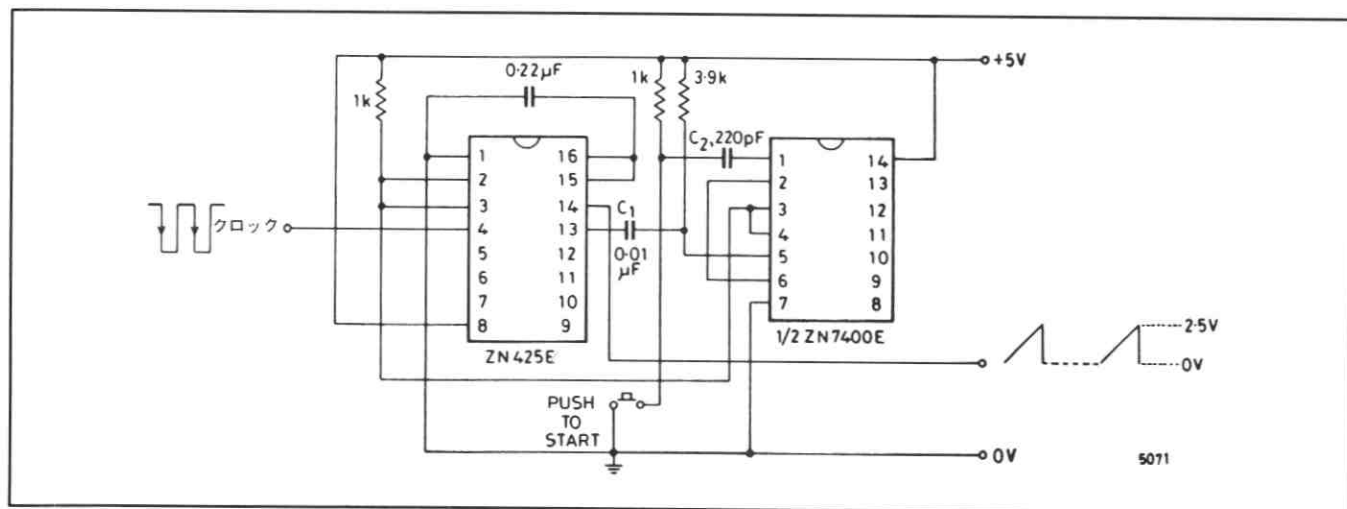
態が変化し、リセット端子がハイになるので、ZN425はクロック・パルスのカウントを始める。そして、アナログ出力はカウンタがフルになるまで増加し、その時点でMSBはローになり、ラッチを最初のリセット状態にする。したがって、カウンタはリセットされ、ランプは終了する。また、この回路では、スタート・ボタンを押し続けても、ワン・ショット・ランプ信号は一度しか出力されない。

コンデンサをロジック回路で置き換えたやや複雑な回路を、図11(c)・11(d)に示す。図は、最初のリセット状態を示している。フリップ・フロップの最初の状態は、PRESETとCLEAR入力の関係によって決定される。電源が投入されると、C1とR1の充電時間の関係で、PRESETはCLEARに対してローに保たれる。したがって、Q=ハイ、 $\bar{Q}$ =ローになり、ZN425のカウンタ・リセット端子はローになる。

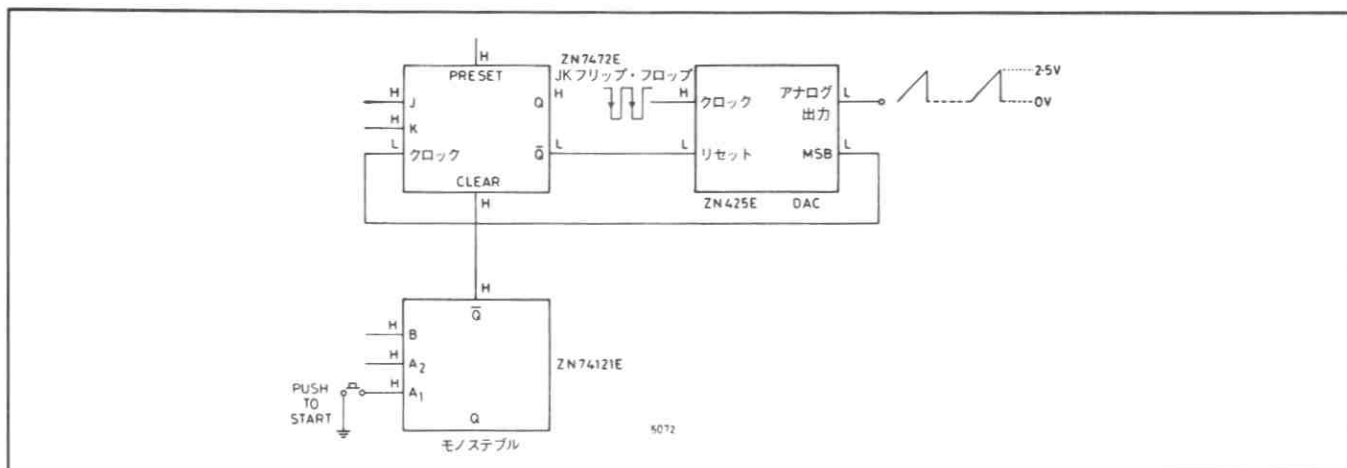
スタート・ボタンが押されると、モノステブルの出力パルスがフリップ・フロップをクリアし、カウンタ・リセット端子がハイになるので、カウンタはクロック・パルスを実行し始める。ZN425のアナログ出力は、カウンタがフルになるまで増加し、この時点でMSBがローになる。これはフリップ・フロップのCLOCK入力に検知され、その出力を逆転させる。したがって、カウンタはリセットされ、ランプは終了する。前の回路と同様に、スタート・ボタンを押し続けても、ワン・ショット・ランプ信号は一度しか出力されない。



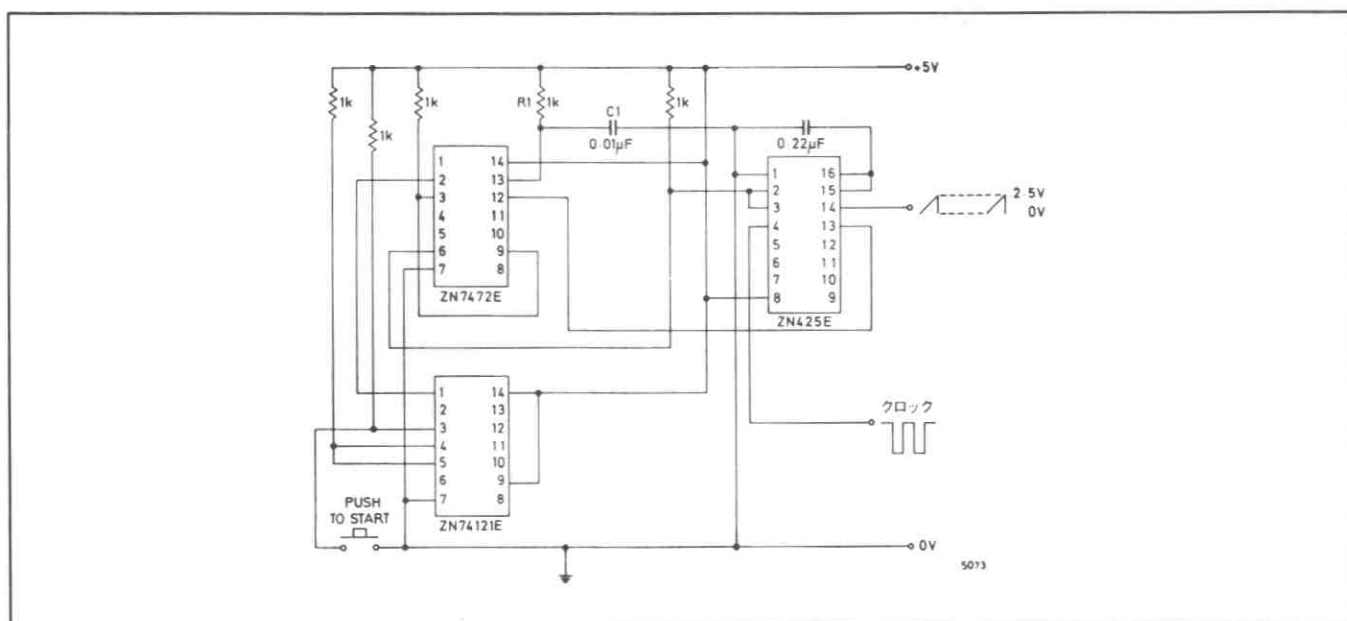
第11図(a) ワンショット回路



第11図(b) ワンショット回路



第11図(c) ワンショット回路



第11図(d) ワンショット回路

### 3.3 計量システムとオート・ゼロ (Weighing System and Auto Zero)

ここに述べるシステムは、フェランティ社のICを使った固定又は車載用計量システムである。全回路図を図12(a)から12(e)に示す。

この回路の中心となるのは、二重積分型の3½DVM回路・ZNA116である。この回路は、±1999mVまでのアナログ入力を表示することができる。

DVMの入力は、各々トランスジューサーとプリ・アンプから成る複数のチャンネルから入力されるゲインが1のサミング・アンプ(Summing amplifier)によって駆動される。

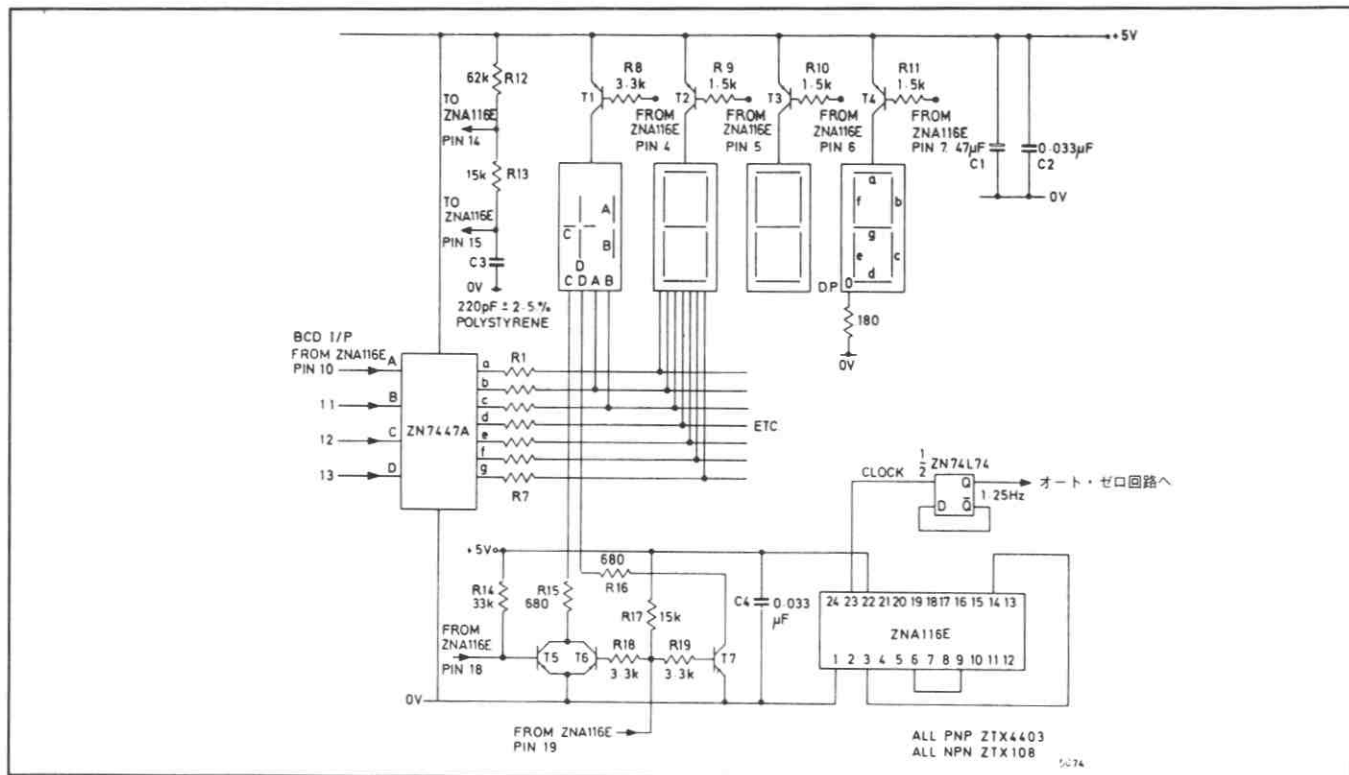
この回路には、サミング・アンプの出力を自動的にゼロにセットする、押しボタン式オート・ゼロ回路が含まれている。この機能は、トランスジューサーやプリ・アンプに蓄積された小さなゼロ誤差を補正し、車載用システム等不十分な接地で動作させる場合に生ずる誤まったゼロ表示を補正する。ZN425・8ビットDAコンバータは、この機能を行うために使用される。このモノリシックICは、8ビット・バイナリ・カウンタと基準電圧発生回路も内蔵して

おり、カウンタにクロックを加えることによって、256ステップのランプ電圧を発生する。このランプ出力は、0Vに関して対称なバイポーラ出力になるようにレベル・シフトされ、サミング・アンプの事実上の接地点に供給される。これは、アンプの出力が0Vを通過するようにし、コンパレータ回路はこの0Vを検知する。そして、カウンタに加えられるクロック・パルスを禁止する。したがって、システムが最初のゼロ状態になって、オート・ゼロをオフにするまで、ランプの出力レベルは一定にならない。

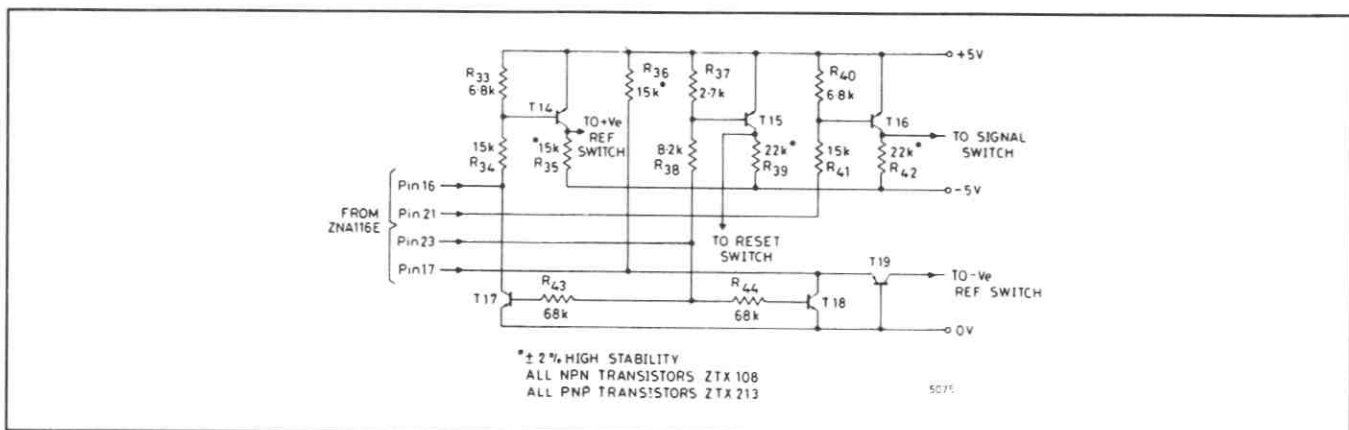
またこのシステムは、BCD出力と警報表示付過負荷アラーム回路も有している。

アラーム・システムは2つのコンパレータを使用して、プリセット・レベルと全負過レベルの2つのアナログ・レベルにセットできるようになっている。負荷が最初のプリセット・レベルに達すると、1Hzの方形波を出力し、2番目のレベルでは、連続出力となる。これらの出力は、ワイヤORされるか、別々に光や音によるアラームを発生する。

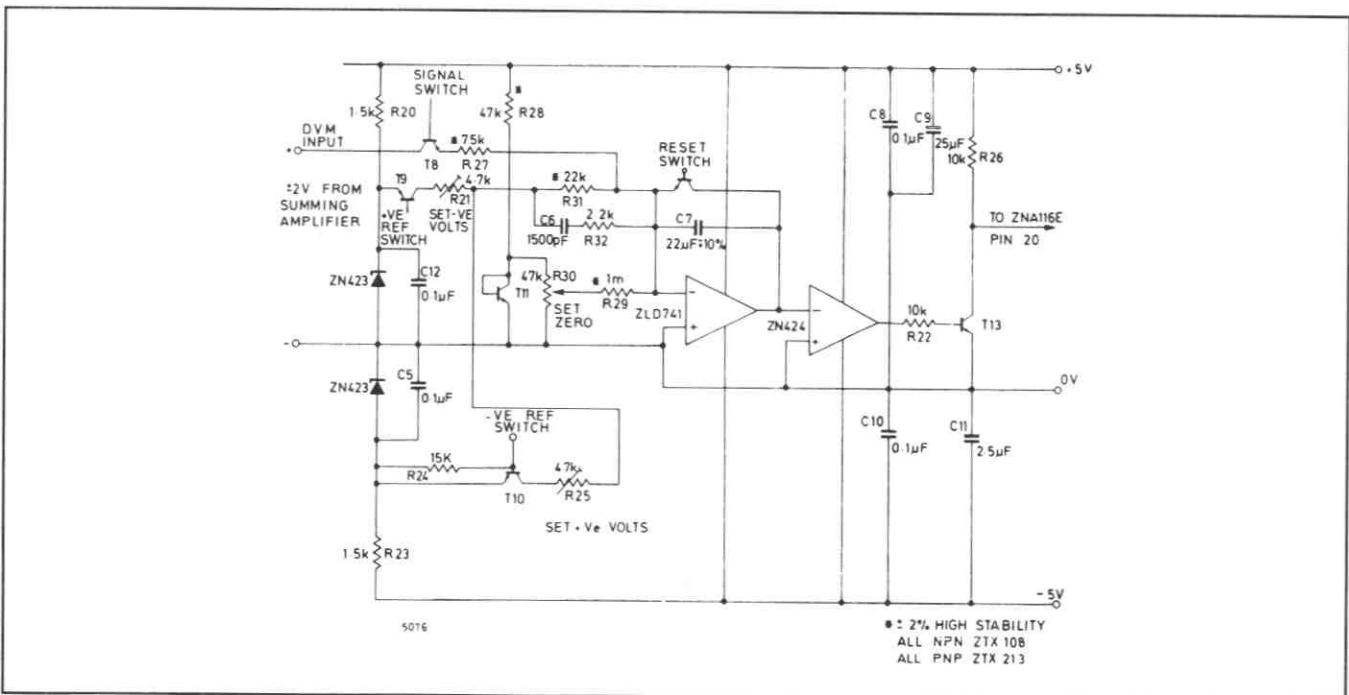
負の表示は、ゼロ誤差が生じた時だけに起こるので、DVM機能を完全にバイポーラとすることは重要ではない。



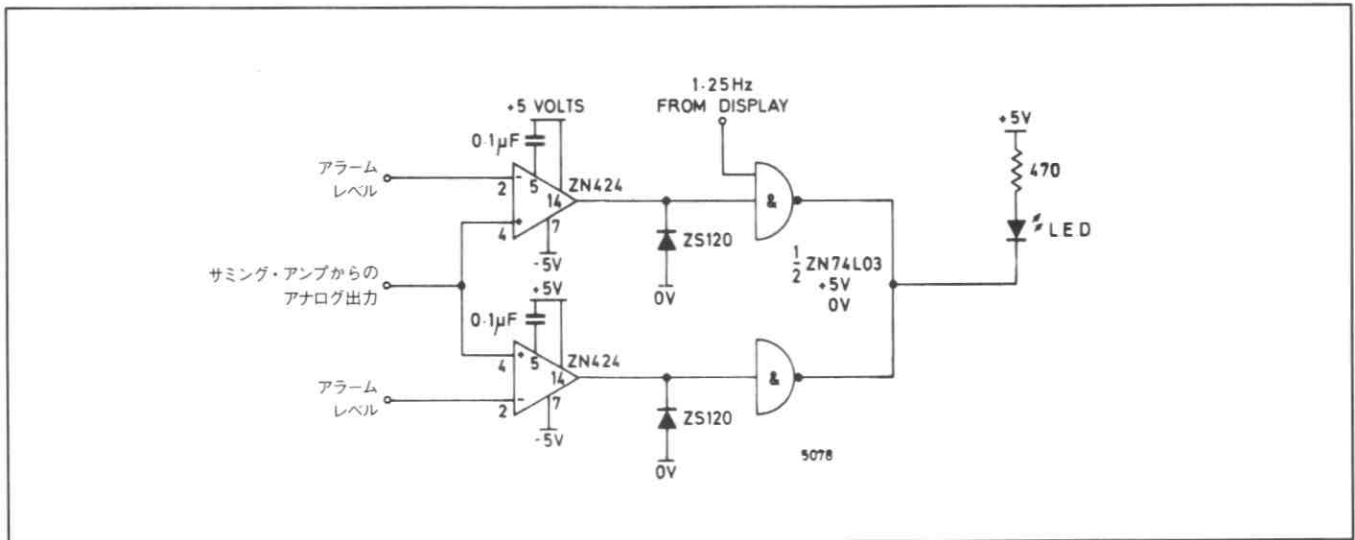
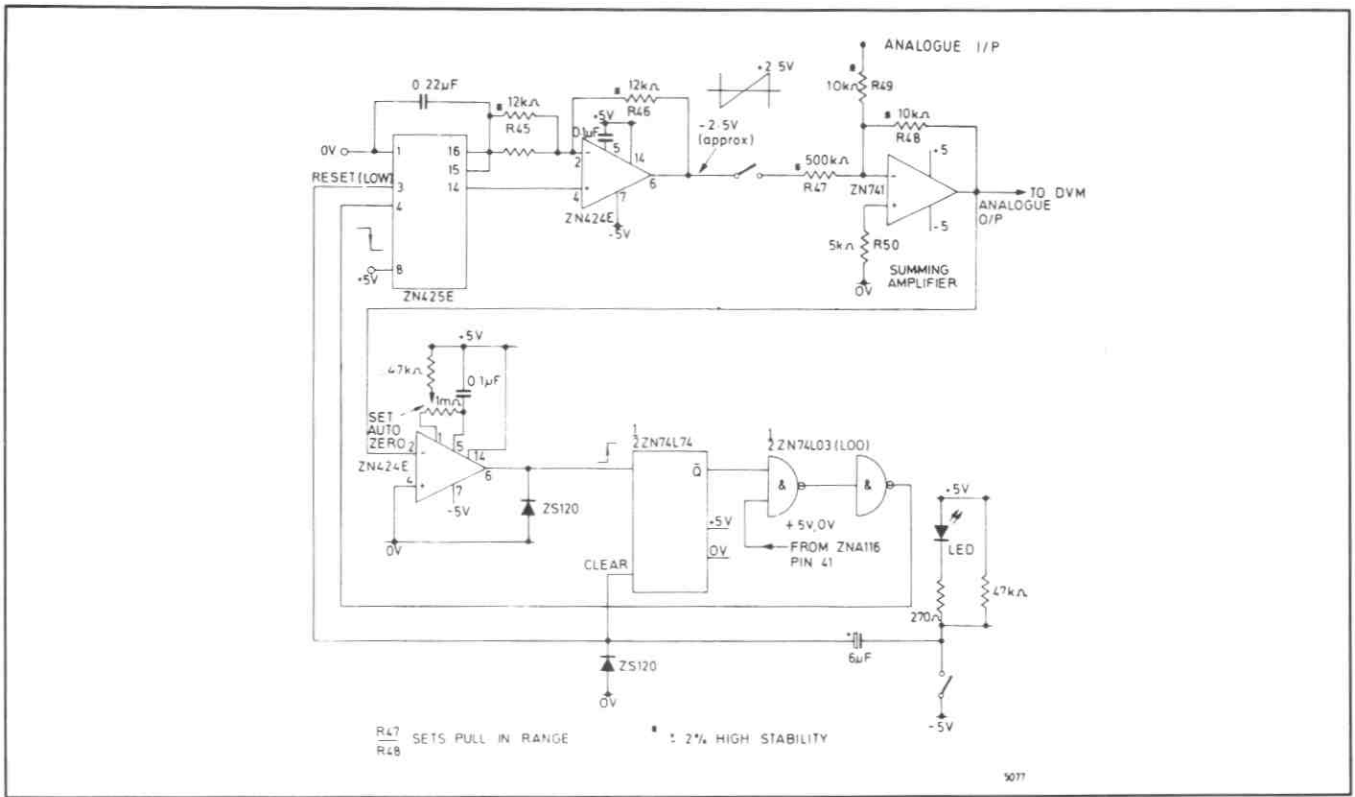
第12図(a) 表示/デジタル回路



第12図(b) アナログ・スイッチ

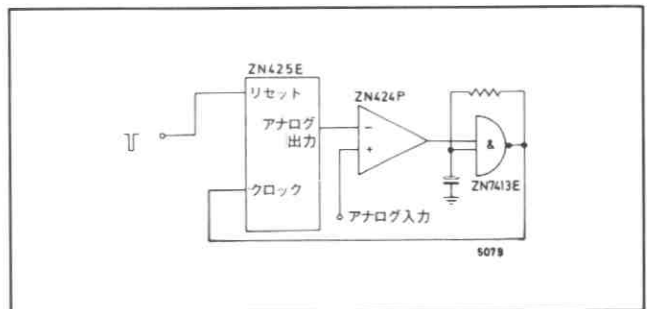


第12図(c) 二重積分回路



### 3.4 ピーク検出回路 (Peak Detect)

ピーク検出回路は、図13に示すようにAD変換システムを使って簡単に構成できる。この回路を動作状態にしておけば、入力信号の最大値(ピーク)を保持することができる。リセット・パルスを印加すると、コンパレータの出力は、シュミット・トリガからZN425のカウンタにクロック・パルスを出力できる状態に変化する。そして、ZN425のアナログ出力は、アナログ入力電圧と等しくなるまで増加し始め、等しくなった時点でコンパレータの出力は変化し、クロック・パルスを禁止する。したがって、アナログ出力はこの状態に保持され、各ビットにデジタル的に記憶される。この値は、これ以上の値のアナログ入力電圧が印加され、コンパレータの状態が変化し、クロックが出力されるまで保持される。





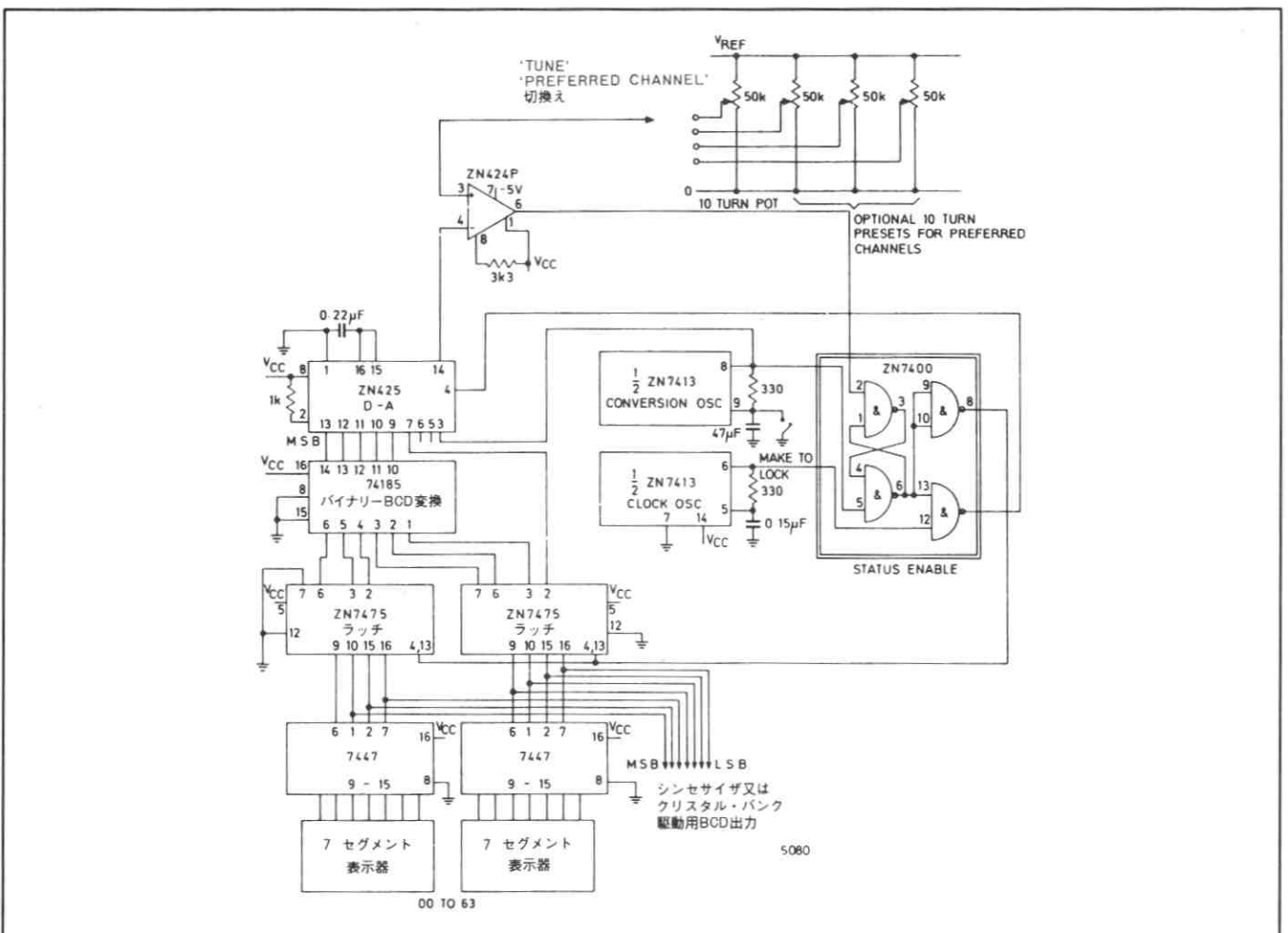
### 3.5 チャンネル・セレクタ(Channel Selector)

A/Dモードの応用として、市民バンドやアマチュア無線等のチャンネル・セレクタがある。ZN425を使用した図14の回路と10ターン可変抵抗で、チャンネル数が24又は30に限定されるマルチウェイ・スイッチに置き換えることができる。この回路は、代表値で64、最大256ステップの電圧を発生する。

ZN425は、外部ロジック用7400とコンパレータ用ZN424を使用し、A/Dコンバータ・モードで動作する。デュアル・シュミット・トリガ7413は、クロック・パルス及び変換パルスを発生する。チャンネル・セレクションは、10ターン可変抵抗によって行う。また、プリセット用にこの他に可変抵抗を接続してもよい。この可変抵抗の値は正確でなくてもよい。

バイナリ出力は、74185でBCDに変換され、固定出力が得られるようにラッチされる。変換クロック発振回路は、ZN425にリセット・パルスを出力することによって、入力電圧の状態を周期的にチェックし、status command が変換の終了を示した時に、ラッチの値を書き替える。BCD信号は、チャンネル・ナンバー表示用7セグメントを駆動し、modulo-N デジタル・シンセサイザ、クリスタル・バンク・シンセサイザ、クリスタル・セレクタ等の駆動信号となる。また、このシステムの特徴は、次の通りである。

1. 両方行・準連続チューニング
2. 電子チューニング・ロック
3. 'tune' 又は 'preferred channel' 動作切換によって、プリセット可能
4. 可変抵抗により、不揮発性動作
5. 実際に使用しているチャンネルを表示



第14図 チャンネル・セレクタ 64チャンネル

### 3.6 棒グラフ 表示/駆動システム (Bargraph Display Drive System)

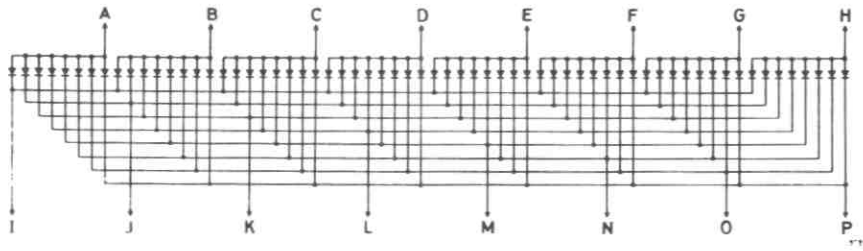
ZN425は、連続ランプ・モードで、リニアLED表示器駆動用に使用できる。

LED表示器は、通常時分割方式又はマルチブックス方式を使うマトリックス・モードで駆動される。この方法を使えば、接続数を減らすことができる(たとえば、 $m \times n$ 個の阵列の場合、接続数は $m+n$ 個に減少できる。図15a)。これはまた、以下に述べるように、駆動回路を簡単

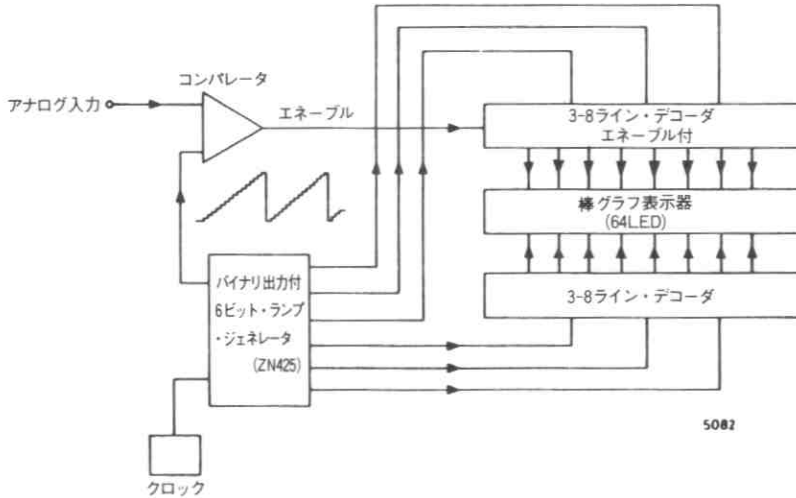
にすることができる。

棒グラフ出力がアナログ入力に比例する簡単な回路を、図15(b)に示す。ZN425は、連続ランプ・モードで動作する。カウンタの6つのMSDは、二組の3-8ライン・デコーダに出力される。そして、デコードされた信号は、マルチブックス・モードでLEDを駆動する。64個のLEDは、1スキャン・サイクルに1度アクセスされる。クロック周波数は、目に残像が残る速さのフリッカー比となるように定める。

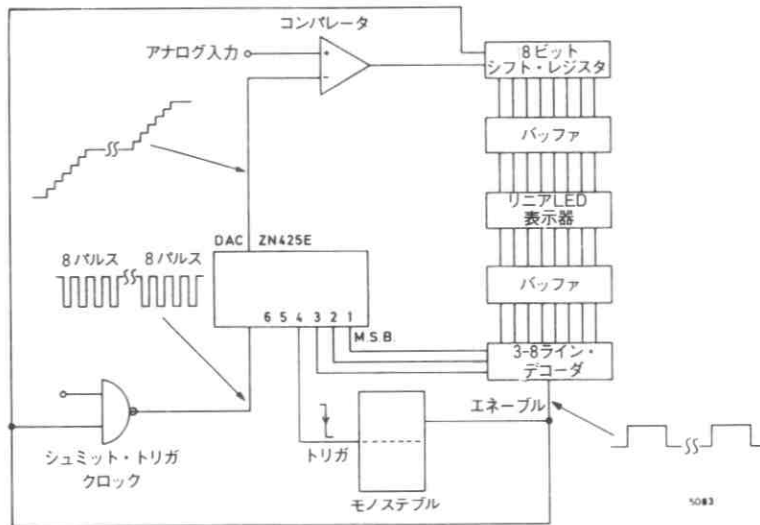
ZN425のアナログ出力は、図のような階段状出力である。



第15図(a) ダイオード・マトリックス



第15図(b) 簡単な棒グラフ駆動回路



第15図(c) 棒グラフ駆動回路

これは、コンパレータでアナログ入力と比較され、表示enableを制御する。したがって、ランプがアナログ入力より小さい間、LEDは表示可能であるが、ランプ出力が一度アナログ入力より大きくなると、これ以上のアナログ電圧を表示する信号は禁止される。このように、アナログ入力に比例する棒グラフを表示する。

このシステムの欠点は、LEDをアクセスするデューティ・サイクルが $1/mn$  (図15 bの場合、 $1/64$ ) になることである。LEDはパルス駆動のほうが効率がよいが、 $1/64$ のデューティ・サイクルでは十分な輝度が得られないアプリケーションもある。

この欠点を補うために改良された回路を、図15(c)の概略図に示す。この回路では、シフト・レジスタを高速に直列駆動し、このレジスタの並列に変換された出力でLEDをマルチプレックス駆動する。したがって、LEDをアクセスするデューティ・サイクルは、1/64から1/8に改良される(64LEDアレイの場合)。これによって、実用上ほとんど全ての応用に使用できる輝度になる。

この回路は次のように動作する。モノステブルがシフト・レジスタ駆動モードの間、ZN425の階段状出力は8ステップ増加する。同時に、シフト・レジスタはコンパレータ出力に従って直列一並列変換を行う。したがって、コンパレータ出力はLEDを直列にアクセスする動作から、並列にアクセスする動作に変換されたことになる。

モノステブルが表示モードに変化した時、LEDはアクセスされ、シフト・レジスタに記憶されたenable/disable情報に従って駆動される。モノステブルがレジスタを駆動している間は、表示は行なわない。

例として、棒グラフの37のLEDが点灯される場合について説明する。ZN425は、最初リセット状態で、モノステブルはレジスタ駆動モードであるとす。

モノステブルに、ZN425を通して8番目のクロック・パルスが印加される。そして、このパルスはモノステブルをトリガする。また、これら8つのパルスは、ZN425のアナログ出力から8つのステップ電圧を発生し、この出力はコンパレータでアナログ入力と比較され、その結果表示enable(ロジック'1')信号を出力する。これらはシフトレジスタに転送され、LEDを駆動する並列出力'11111111'になる。

この時点でモノステブルは表示モードに変わり、カウンタは8になる(001000)。しかし、デコーダは最初の8つの

LEDをアクセスしなければならないので、2番目のデコーダ出力を最初の8つのLEDに接続する。この結果、8つのLED(1~8)は全て点灯する。

2回目のレジスタ駆動期間でも、このサイクルは繰り返され、'1'がシフト・レジスタにロードされ、2番目の8つのLED(9~16)を点灯する。同様に、3回目、4回目のモノステブル・サイクルでも動作し、合計32のLEDを点灯する。

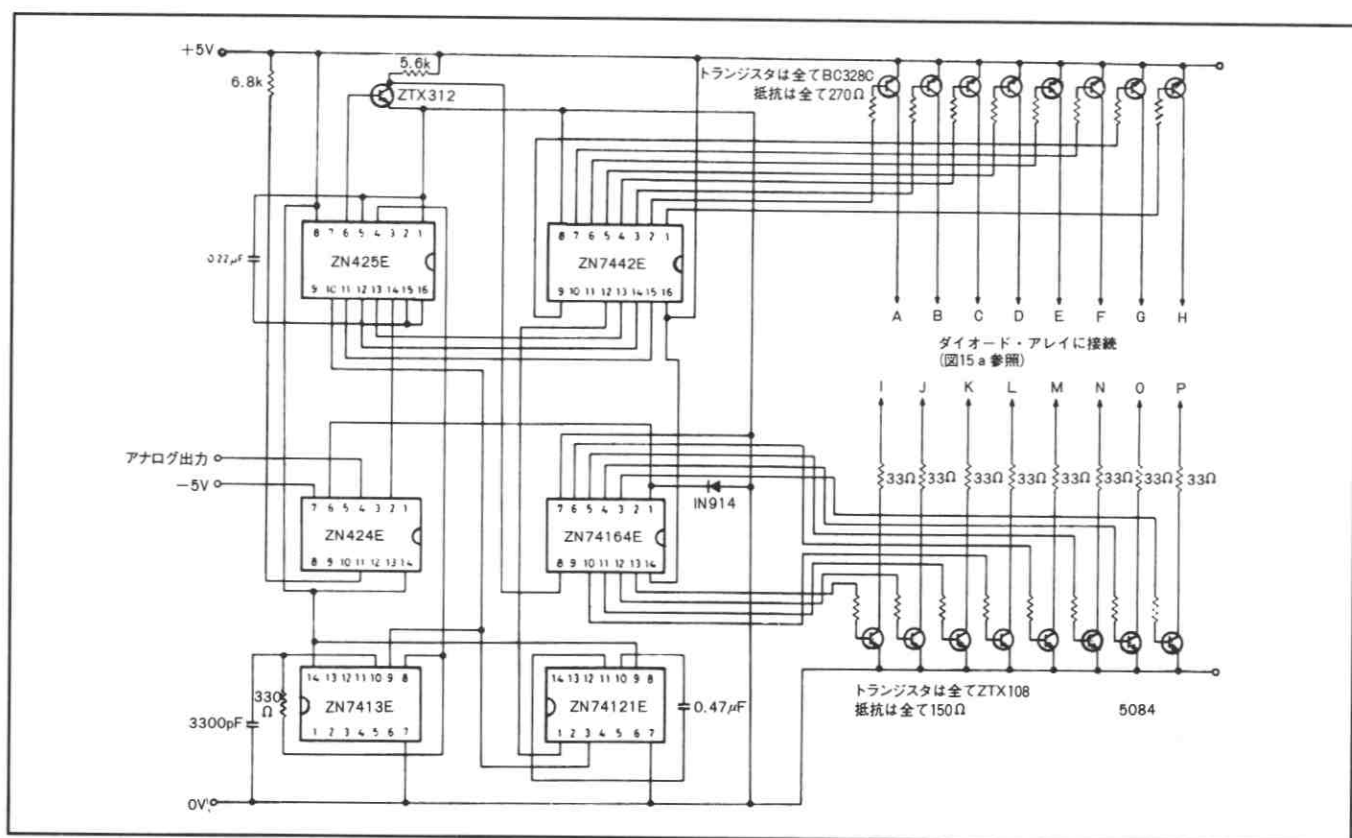
5回目のレジスタ駆動期間でも、アナログ出力は8ステップ増加する。しかし、5番目のステップでコンパレータ出力は変化し、残りの期間ではシフト・レジスタにはゼロがロードされる。もし、レジスタが左からロードされるならば、出力は'00011111'となる。続く表示期間では、33~37のLEDは点灯し、38~40はブランク出力となる。

6回目から8回目のモノステブル期間では、シフト・レジスタにはゼロがロードされ、41~64のLEDはブランク出力となる。

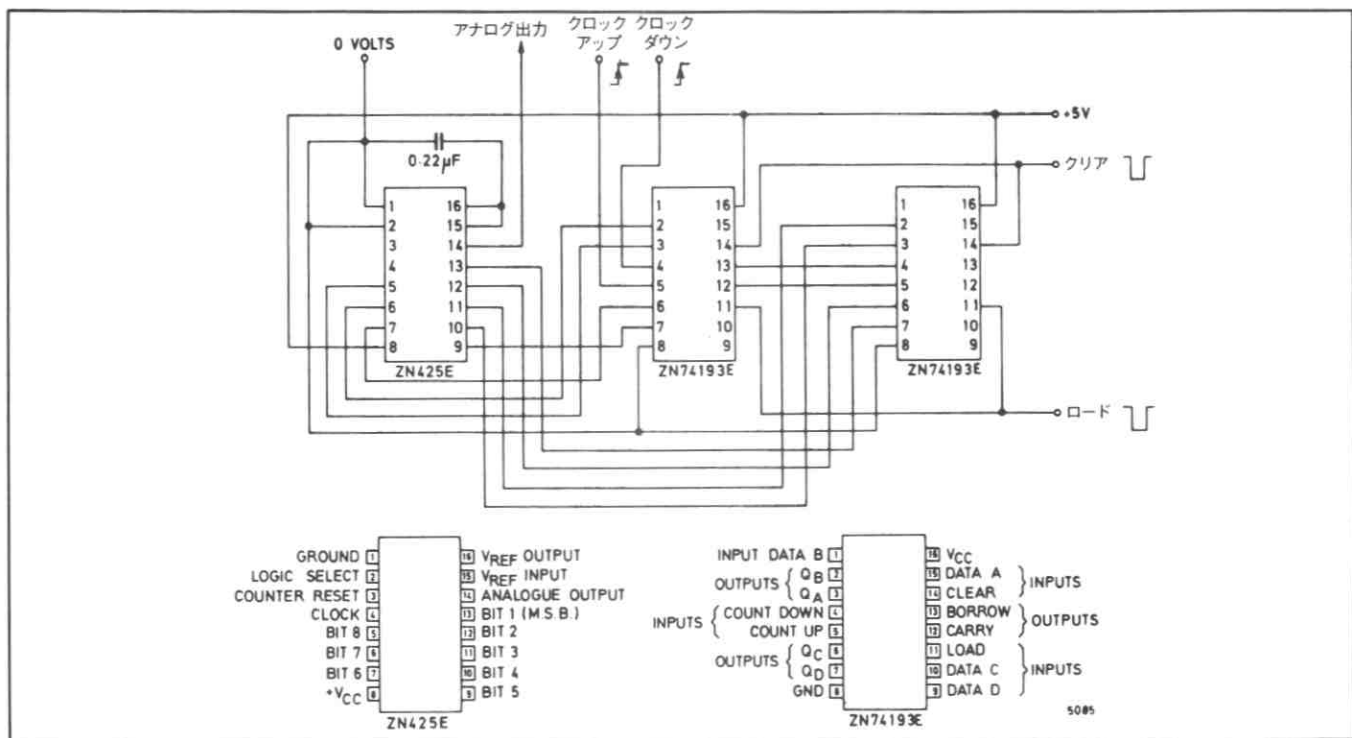
この回路のシステム・クロックは、代表値で400KHz、モノステブル期間は代表値500 $\mu$ Sである。実際の回路図を図16に示す。

### 3.7 アップ・ダウン・カウンタ (Up Down or Tracking)

ZN425のカウンタは、アップ・カウンタであるが、追従型コンバータやサーボ・システム等では、アップ・ダウン・カウンタが必要になる。アップ・ダウン・カウンタは、D-A変換モードのZN425とバイナリ・カウンタ(74193)を使って作ることができる。この場合、ZN425のカウンタは使用しない。



第16図 コラム表示駆動回路



第17図 アップ・ダウン・カウンタ / 追従型DAコンバータ

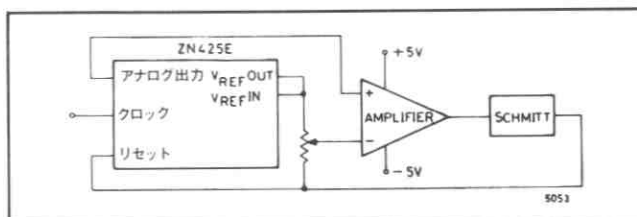
## 4. マルチプライ (Multiply) / ディバイド (Divide)

アナログ出力は、コンパレータからリセット出力が出るまでのステップの数を制御する。したがって、可変抵抗の調整によって、分周比を可変できるのである。

### 4.1 マルチプライヤ (Multiplier)

ZN425の基準電圧は、応用に柔軟性を持たせるために、内蔵のものを使用しても、外部基準電圧で駆動してもよい。アナログ出力は、バイナリ・コードと基準電圧の両方に比例するので、外部基準電圧を使ってマルチプライング効果を得ることができる。このような理由によって、このDACはマルチプライングDACと呼ばれることがある。

マルチプライング電圧は、0V～3Vに限定される。



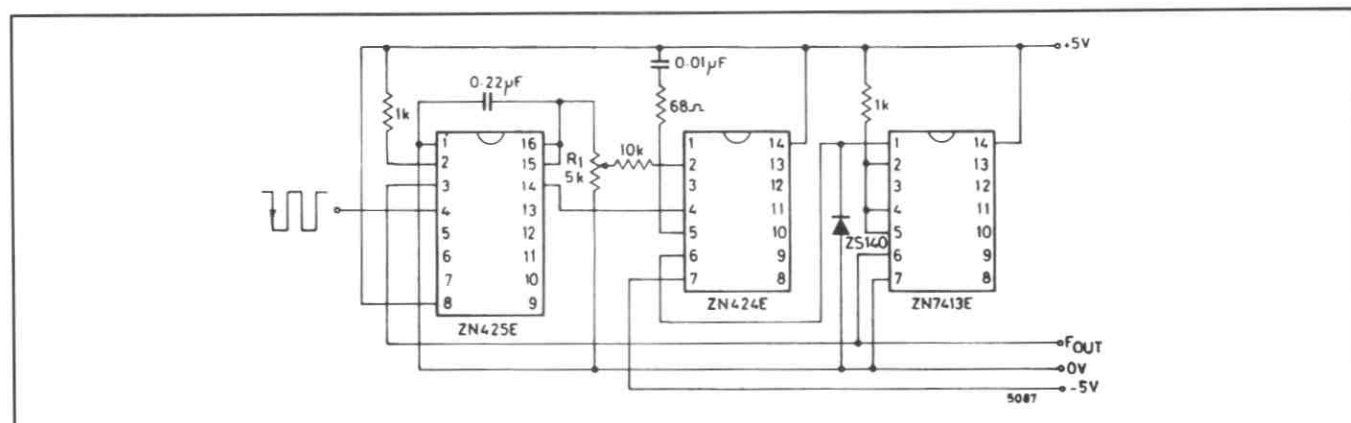
第18図(a) 可変周波数分周器 / VCO

### 4.2 可変周波数分周器 (Variable Frequency Divider)

ZN425を連続ランプ・モードにし、コンパレータ出力をZN425のカウンタ・リセットにフィード・バックすれば、図18(a)のように可変周波数分周器を構成できる。ここで、

### 4.3 電圧制御発振器 (Voltage Controlled Oscillator)

図18(a)の回路は、電圧制御発振器としても使用できる。しかし、周波数は電圧に反比例する。図18(b)の回路の出力周波数は、図18(c)に示すように、供給電圧に反比例している。しかし、出力周波数が供給電圧に比例したほうが望ましい場合がある。この場合、図19(a)と19(b)に示す回路を使



第18図(b) 可変周波数分周器 / VCO回路図

用する。この回路で使用しているインパース・スケラについては、次章で詳しく述べるが、VCOの動作を理解するために簡単に説明する。

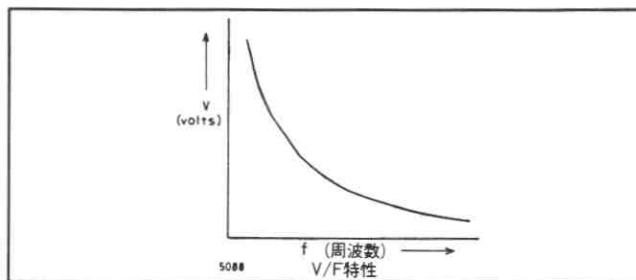
オペ・アンプのフィード・バック・ループにDACを接続すると、出力電圧はDACのデジタル入力の値に反比例する。また、DACのカウンタにクロック・パルスを入力した場合、ハイパブリック $\frac{1}{n}$ の関数である繰り返し波形を発生する。この出力はコンパレータの反転入力に印加される。一方、変換されるアナログ入力電圧は、コンパレータの非反転入力に加える。そして、この2つの入力が等しくなるとコンパレータの出力は変化し、シュミット・トリガを駆動し、DACのカウンタをリセットする。この結果、入力電圧に比例した周波数のパルスを得ることができる。

$F_{clock} = \text{DACカウンタのクロック周波数}$

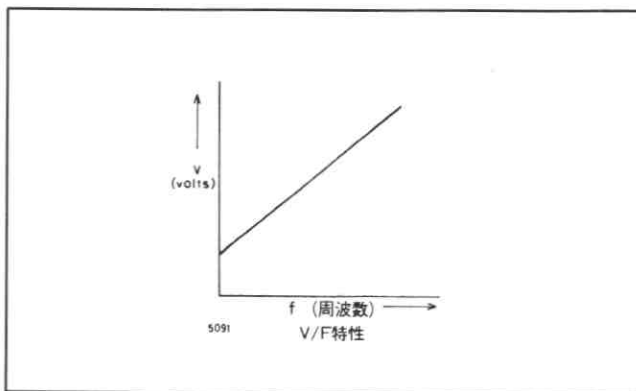
$F_{out} = \text{出力周波数とすると、}$

$$F_{out} = \frac{F_{clock}}{n} \quad (n \text{ は、デジタル入力の値})$$

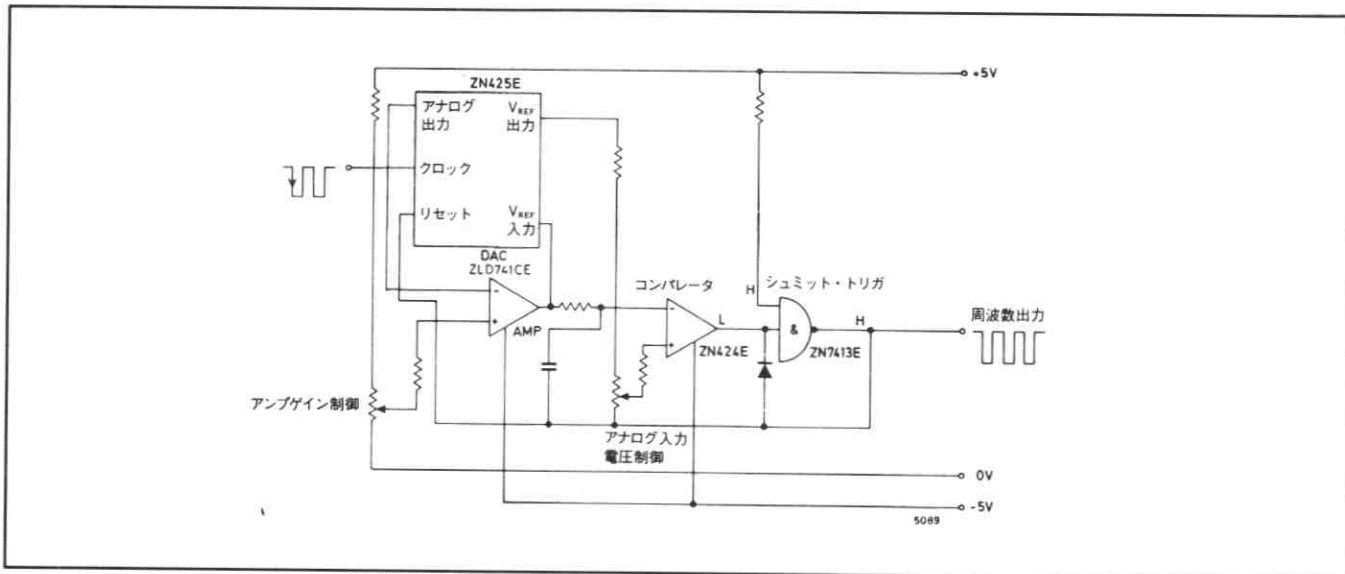
そして、コンパレータのアナログ入力電圧 $V_{IN}$ は、 $V_{IN} \propto \frac{1}{n}$ であるので、 $F_{out} \propto V_{IN}$ となる。この特性曲線を、図19(c)に示す。



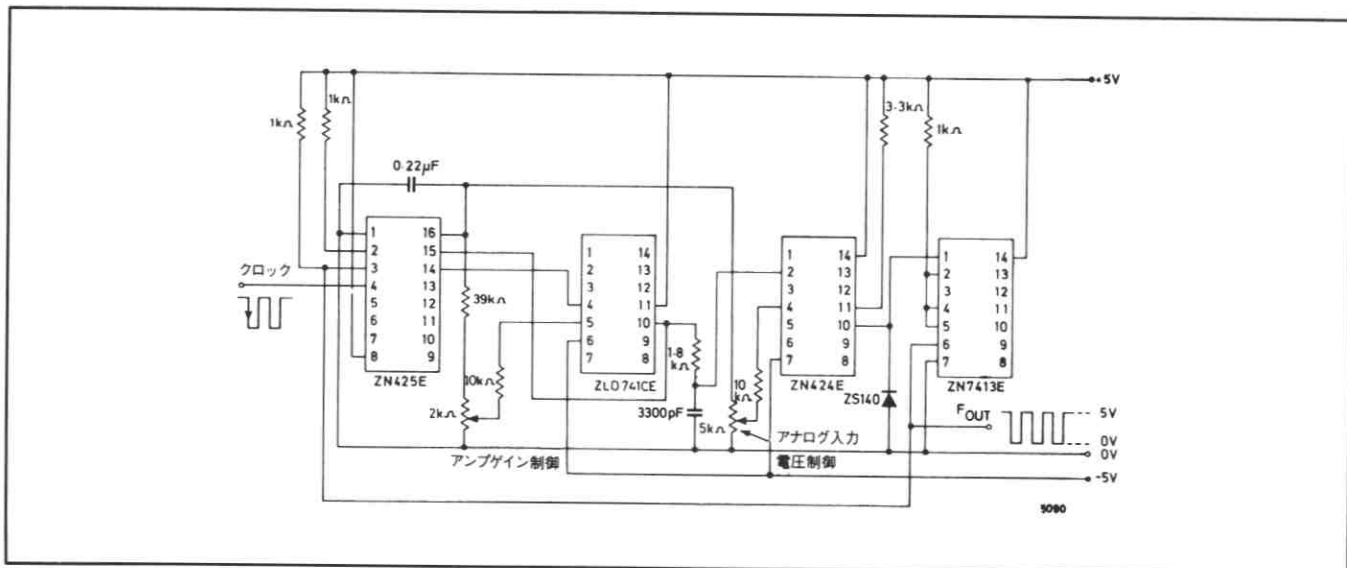
第18図(c) VCO特性曲線



第19図(c) VCO特性曲線



第19図(a) 電圧と周波数が比例するVCO



第19図(b) 電圧と周波数が比例するVCO 回路図

## 5. ファンクション ジェネレーション

### (Function Generation)

ZN425にはマルチプライング機能があるので、以下に述べるようにファンクション・ジェネレーション用に使用できる。

#### 5.1 インバース・スケラ (Inverse Scaler)

オペ・アンプのフィード・バック・ループ中にDACを接続すると、アンプのゲインはDACのデジタル入力に反比例する。この原理を応用した、インバース・スケリング回路を図20(a)20(b)に示す。

もし、 $A = \text{オペ・アンプの開ループ・ゲイン}$

$n = \text{デジタル入力 (00000000から11111111) を表}$

わす分数 (0 から  $\frac{255}{256}$ )

とすると、図20(a)より、

$$V_{out} = AV_m, V_m = (V_{in} - nV_{out}) \text{ となる。}$$

したがって、 $V_{out} = A(V_{in} - nV_{out})$

$$V_{out}(1 + An) = AV_{in}$$

$$\frac{V_{out}}{V_{in}} = \frac{A}{1 + An} \text{ となる}$$

また、 $An \gg 1$  ( $A \approx 100,000$ ) であるので

$$\frac{V_{out}}{V_{in}} = \text{ゲイン (G)} = \frac{A}{An} = \frac{1}{n}$$

$n = 1 \text{ LSB} = \frac{1}{256}$  とすると、

入力電圧 $V_{in}$ が飽和しない最大値は ( $V_{sat} \approx 4 \text{ V}$ )

$$\frac{4}{256} \approx 15 \text{ mV} \text{ となる。}$$

$n = 0$  とすると  $G = A$  となり、一定の入力レベルに対する増幅出力は、 $A \approx 100,000$  であるので通常飽和電圧と等しくなる。

出力が負の入力電圧に反比例するコンプリメンタリ・モードの回路を、図20(c)と20(d)に示す。

$$V_m = [V_{in} - (\frac{V_{in} - nV_{out}}{R_1 + R_f})] \text{ そして } V_{out} = -AV_m$$

もし、 $\frac{R_1}{R_f} = F_1 = \text{負帰還}$  とすると

$$V_{out} = -A [V_{in} - (\frac{V_{in} - nV_{out}}{1 + F_1}) F_1]$$

$$= -[\frac{AV_{in}}{1 + F_1 + nAF_1}]$$

入力電圧 $V_{in}$ が負であれば

$$\text{ゲイン (G)} = [\frac{A}{1 + F_1 + nAF_1}]$$

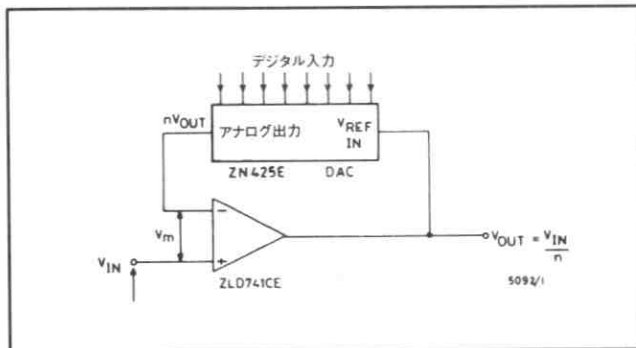
ここで、 $F_1 = 1$  つまり  $R_1 = R_f$  とすると

$$G = [\frac{A}{2 + nA}]$$

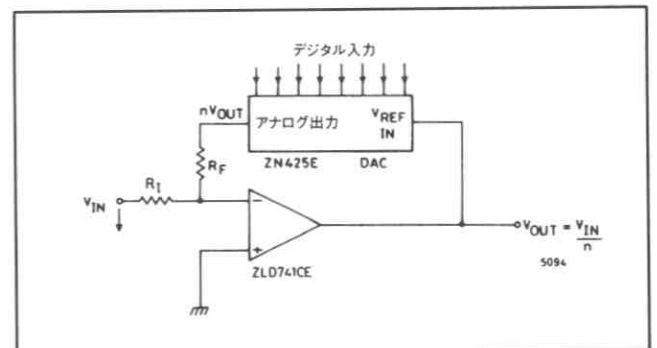
しかし、 $nA \gg 2$  であるので ( $A \approx 100,000$  より)

$$G = \frac{A}{nA} = \frac{1}{n}$$

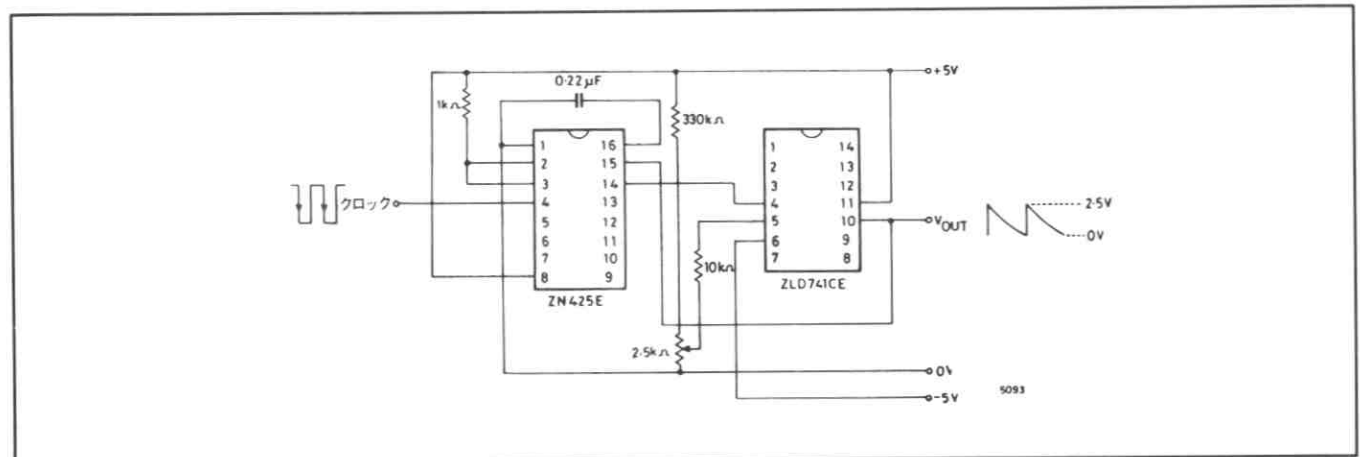
図のような繰り返し波形は、DACのカウンタにクロック・パルスを印加することによって発生される。



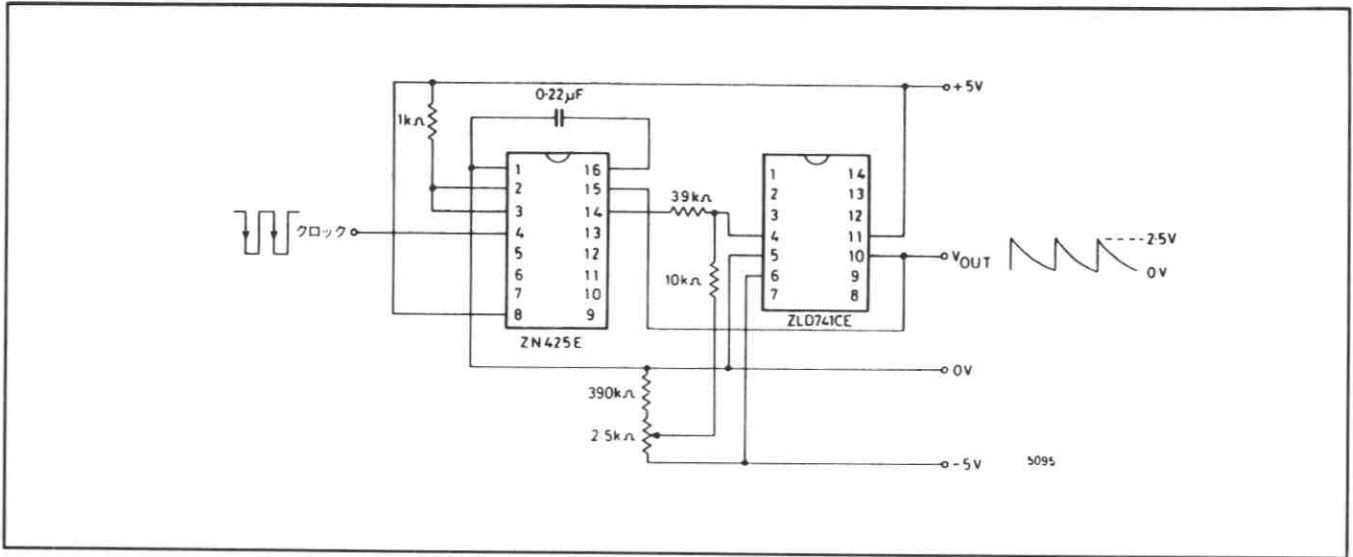
第20図(a) インバース・スケラ



第20図(c) コンプリメンタリ・インバース・スケラ



第20図(b) インバース・スケラ回路図



第20図(d) コンプリメンタリ・インバース・ステラ回路図

5.2 放物線 (Parabola)

ZN425のマルチプライング動作を利用して、図21(a)・21(b)の放物波形発生回路を作ることができる。この動作は概略次のようである：

内蔵基準電圧を利用し、クロック・パルスをZN425のカウンタに送ることによって、連続ランプ出力を発生させる。そして、この出力を2つのオペ・アンプを使って、バッファし、レベル・シフトし、最後に反転させて、この反転したランプのピークが  $V_{1REF}=2.5V$  で始まり、直線的にゼロに減少するように調整する。そしてこれを、全ビット入力を最初のZN425と接続した2番目のZN425の外部基準電圧とする。この結果、2番目のZN425のアナログ出力は、ピーク値が  $\frac{V_{1REF}}{4} = \frac{2.5}{4} = 0.625V$  である繰り返し放物波形を発生する。

さらに詳しく説明すると：

$n = 2$ つのDACのデジタル入力の値に対応する分数値と

すると、最初のDACのアナログ出力は、 $A_n (A=V_{1REF}=2.5V)$  となる。この出力は、反転され、レベル・シフトされて、2番目のコンバータの基準電圧となる。  $V_{2REF}=A-A_n$  したがって、2番目のコンバータのアナログ出力は、

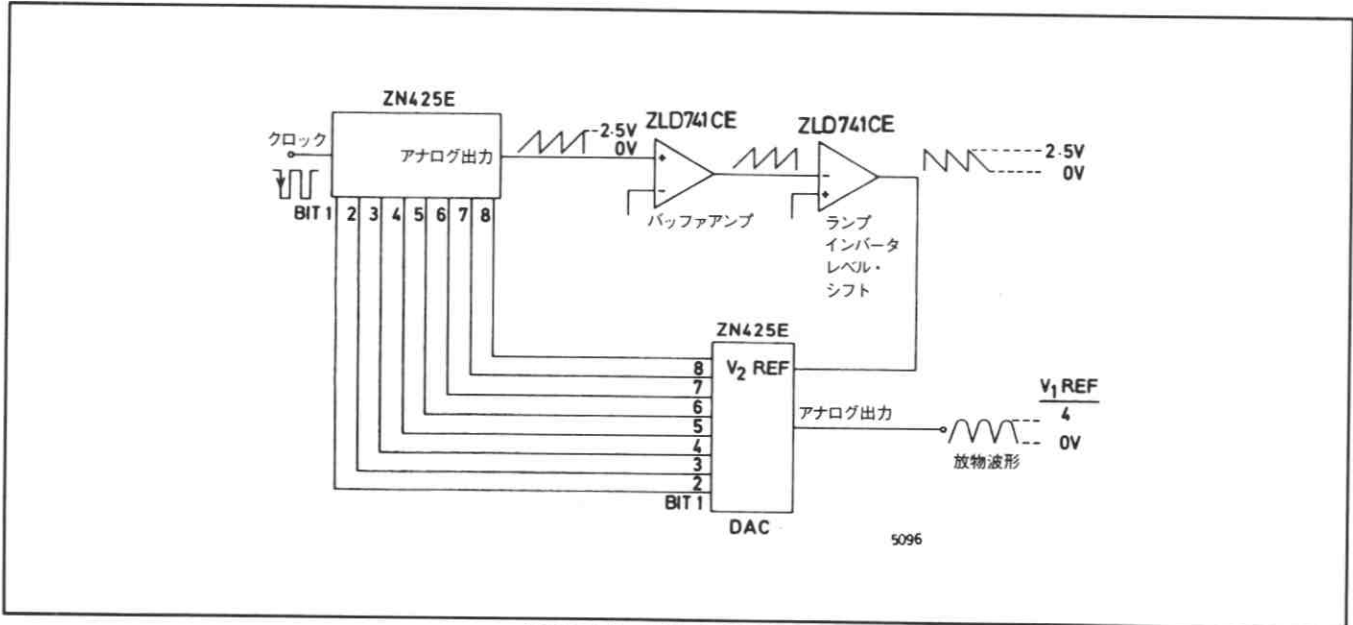
$$n(A-A_n) = A_n - A_n^2 \quad \text{となり、}$$

$y = ax^2 + bx + c$  という式のx軸に対する放物曲線と同じ波形になる。

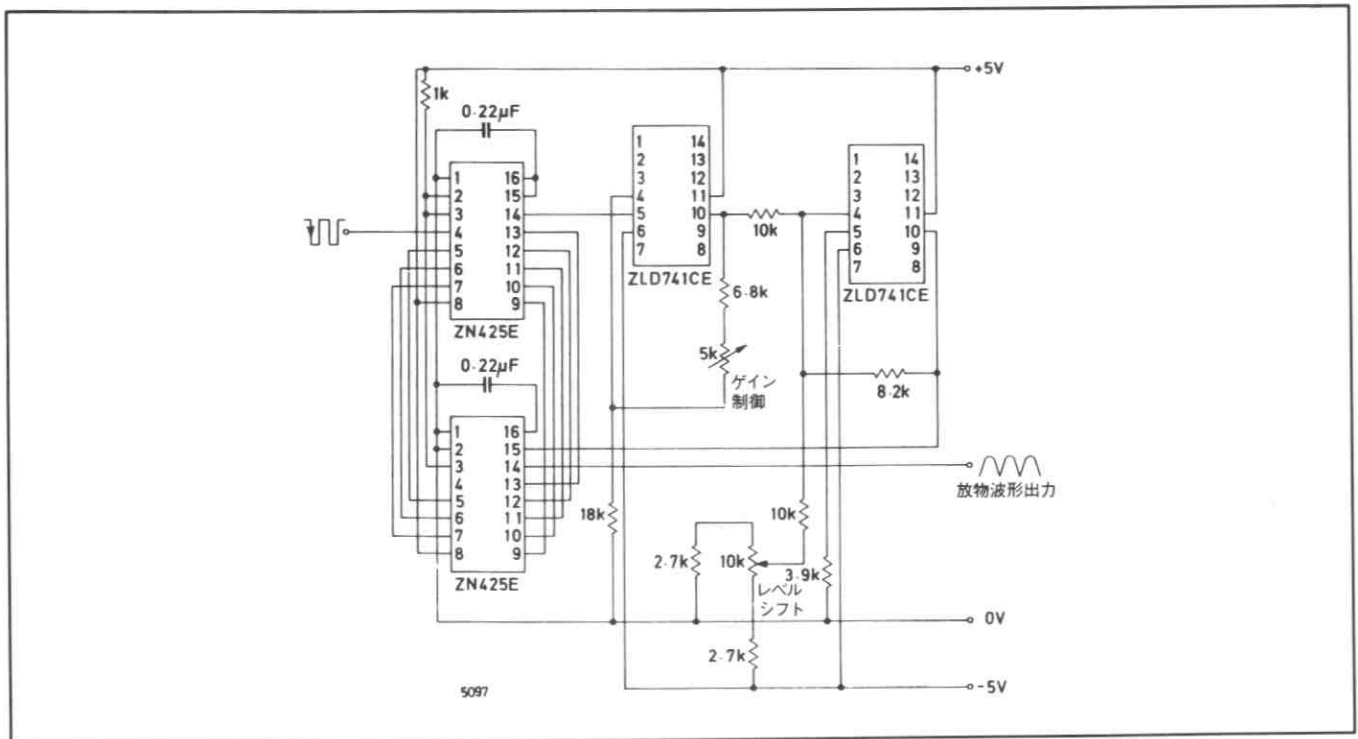
この放物曲線のピークは  $n = \frac{1}{2}$  で生ずる。この時の出力電圧は、

$$V_{out} = \frac{1}{2} \left( A - \frac{A}{2} \right) = \frac{A}{4} = \frac{V_{1REF}}{4} \quad \text{である。}$$

また、非反転バッファ・アンプは、ゲインが1以上であるので、ランプ出力のピーク値は  $V_{1REF}$  より大きくなる。したがって、反転・レベル・シフト用アンプで、反転されたランプ出力のピーク値が、 $A = V_{1REF} = 2.5V$  になるように、減衰させなければならない。



第21図(a) 放物波形発生回路



第21図(b) 放物波形発生回路 回路図

### 5.3 対数近似 (Log Approximation)

前に述べた回路を利用して、さらに複雑な関数  $y = \log n$  の波形を発生できる。この概略図を図22(a)に、実際の回路を図22(b)に示す。動作概要は次の通りである。

インバース・スケラは、ZN425・DACのデジタル入力の値  $n$  に反比例した出力電圧を発生する。この電圧は、VCOを使って入力電圧に比例した周波数に変換される。このマーク・スペース比が変化するパルス列は、最終段のZN425のカウンタに入力される。そして、これらは積分され、対数出力  $\int \left(\frac{1}{n}\right) dn = \log n$  が得られる。

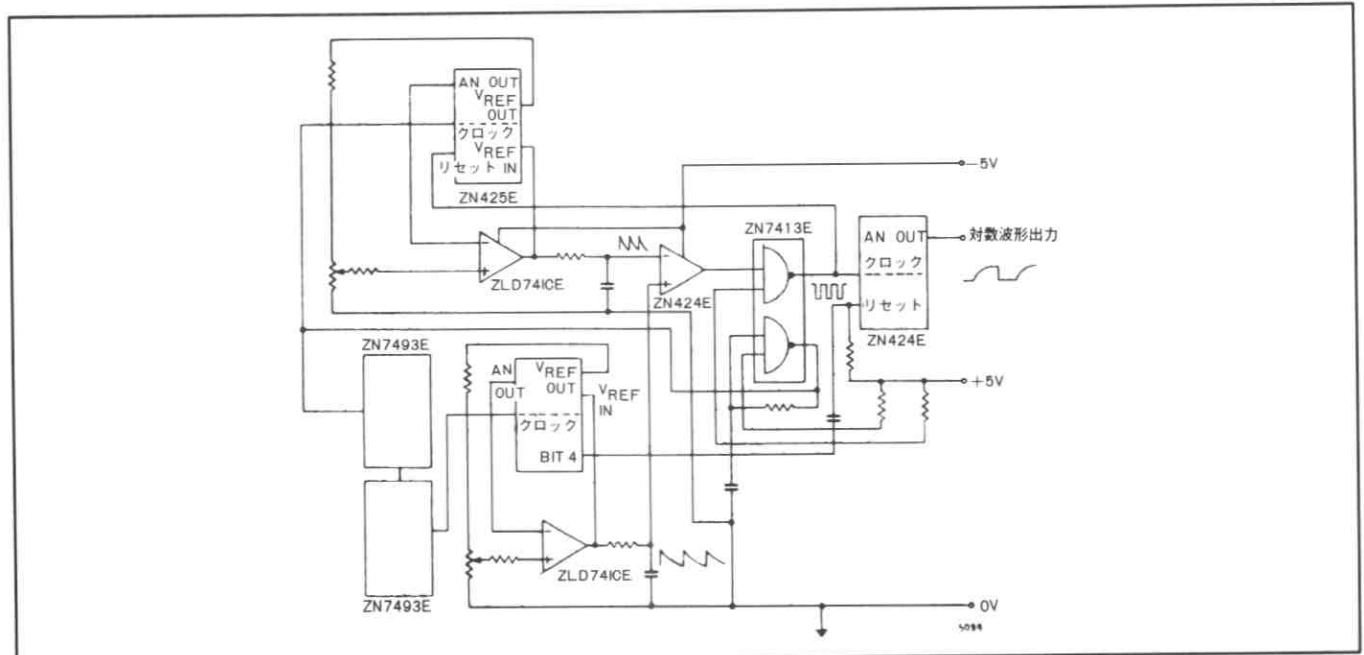
関数  $\frac{1}{n}$  の周期は、インバース・スケラの入力周波数によ

って決まる。この期間にすばやくこの関数をパルス列に変換し、積分のために十分な数のパルスが発生させるためには、シュミット・トリガで発生するVCOの周波数を高くしなければならない。もう1つのインバース・スケラに入力する、このクロックに同期した低い周波数は、2つの分周期7493 (分周比は1/256になる) を使って発生する。図22(b)の場合、 $F_{clock} \approx 512\text{KHz}$  であるので、インバース・スケラの入力周波数は、

$$\frac{512 \times 10^3}{256} = 2000\text{Hz} \text{ となる。}$$

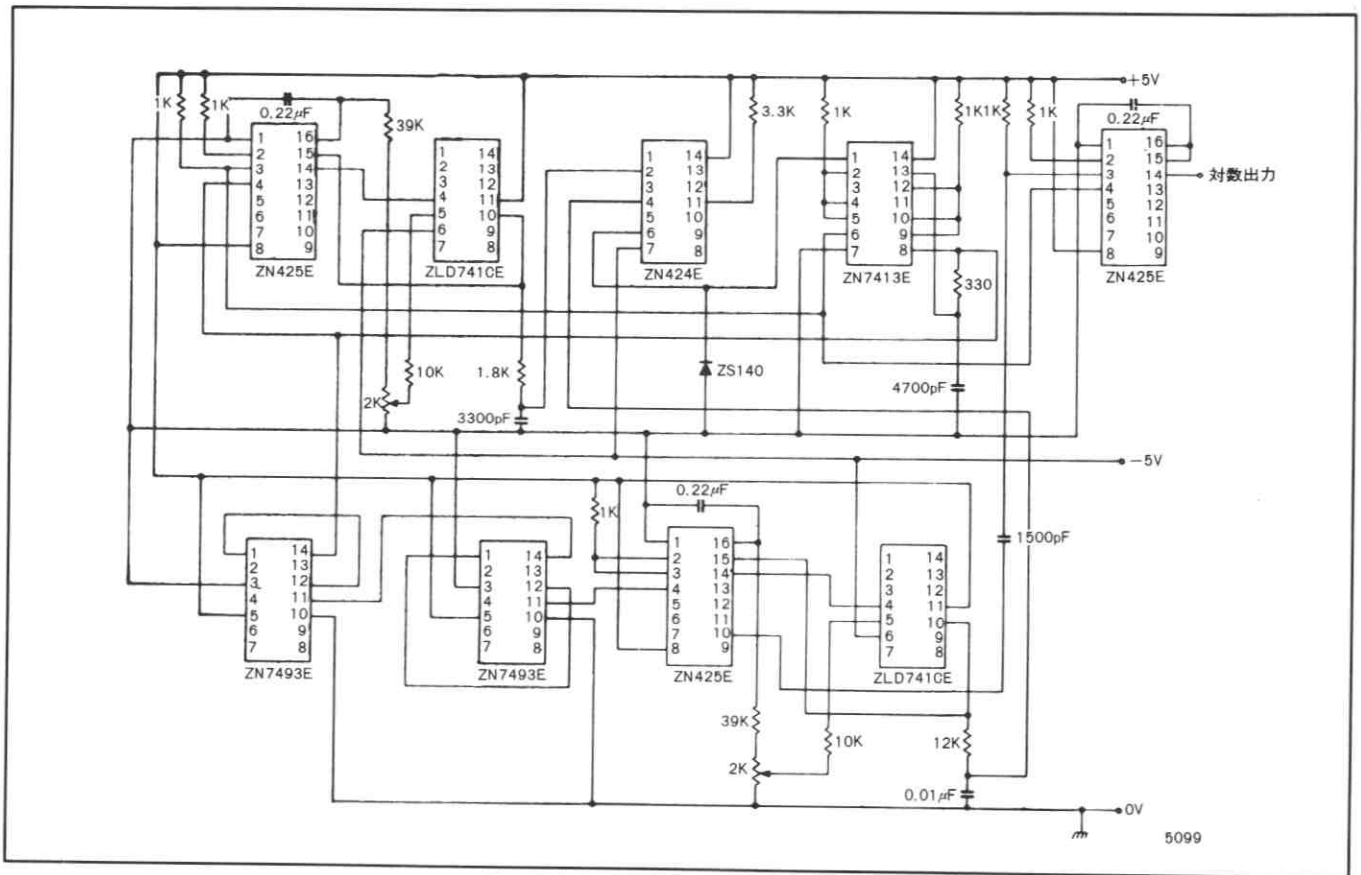
そして、関数  $\frac{1}{n}$  の繰り返し出力周波数は、

$$\frac{2000}{256} \text{ Hz, この周期は、} \frac{256}{2000} \text{ S} = 128\text{mS} \text{ となる。}$$



第22図(a) 対数波形発生回路





第22図(b) 対数波形発生回路 回路図

入力パルスの1サイクルが終了した時に、対数アナログ出力がゼロになるように、最終段のZN425・DACのカウンタをリセットしなければならない。さもないと、アナログ出力は、内蔵基準電圧と等しくなるまで増加する。このリセットは、第4ビットの立下りを使って行い、その結果入力パルスが1サイクル終了する前に、DACはリセットされる。厳密に言えば、このリセットはMSBで行なうべきであるが、第4ビットを使えば、出力波形をオシロスコープで観測する時に、対数特性を大きく表示できる。

## ZN427 8ビット A/Dコンバータ 8085A マイクロプロセッサとのインターフェイス

### ZN427の動作概要

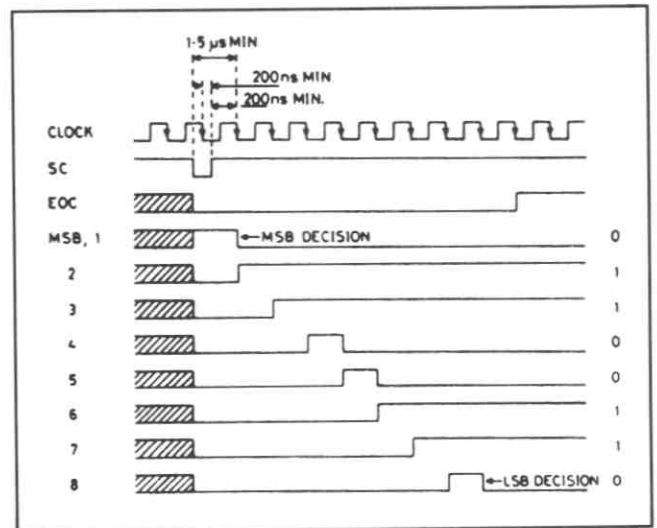
ZN427は、マイコンに直結できるモノリシック8ビット・逐次比較型ADコンバータである。特徴としては、高速であること(変換時間 $10\mu\text{S}$ )・共通データラインに直接接続できるスリー・ステート出力であること、全動作温度範囲においてミスコードがないこと等である。また、ZN427は、電圧スイッチ型DAコンバータ・2.5V精密基準電圧・高速コンパレータ・逐次比較ロジック・スリー・ステート出力バッファを内蔵している。

ZN427の動作を図2のタイミング図に示す。変換は、変換開始パルス(SCパルス)で始まる。このパルスは、ZN427のクロックと同期させる必要はないが、次の条件を満たさなければならない。

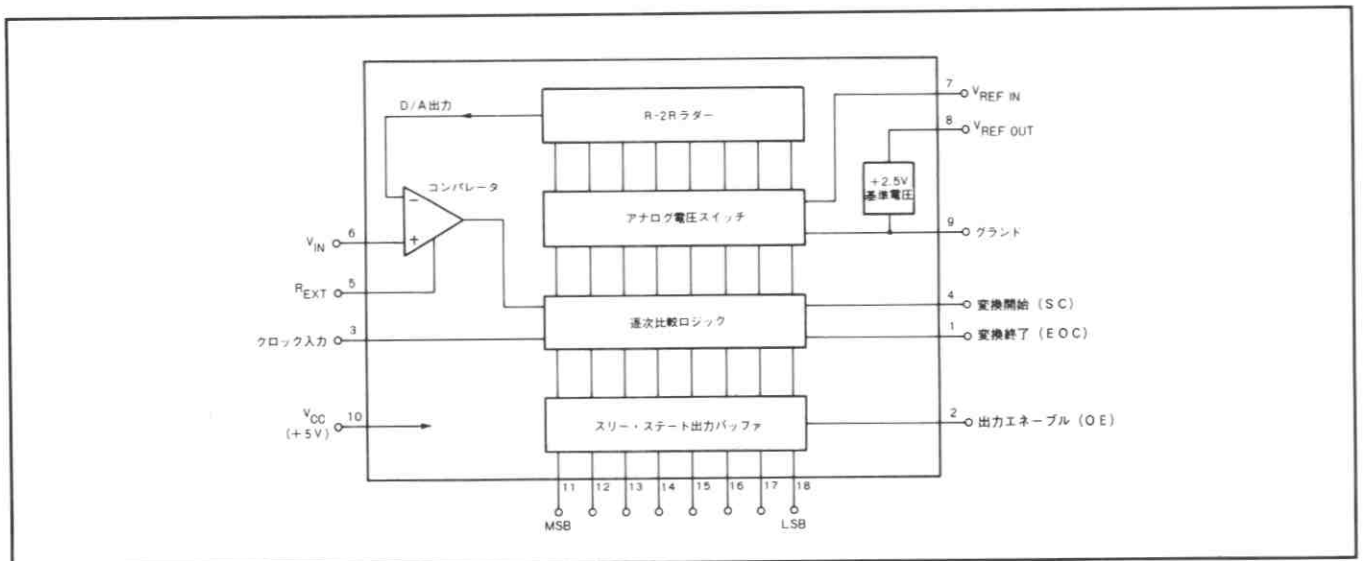
1. MSBを決定するには、SCパルスの立下りが最初の有効クロック(SCパルス終了後のパルス)の立下りより少なくとも $1.5\mu\text{S}$ 先行しなければならない。
2. SCパルスの立上りは、クロックの立下りの $\pm 200\text{ns}$ 以内に生じてはならない。
3. 1. 2. の条件を満たす特別な例として、SCパルスがクロック・パルスの立下りと同時に始まり、同じ幅を持つ場合がある。

ZN427にSCパルスが加わると、MSBは“1”に、他の全てのビットは“0”にセットされ、その結果内蔵のD-Aコンバータにより $V_{\text{REFIN}}/2$ の電圧が発生する。この値は入力電圧 $V_{\text{IN}}$ と比較され、最初の有効クロックの立下りでMSBが決定される。もし、 $V_{\text{REFIN}}/2 > V_{\text{IN}}$ であればMSBは

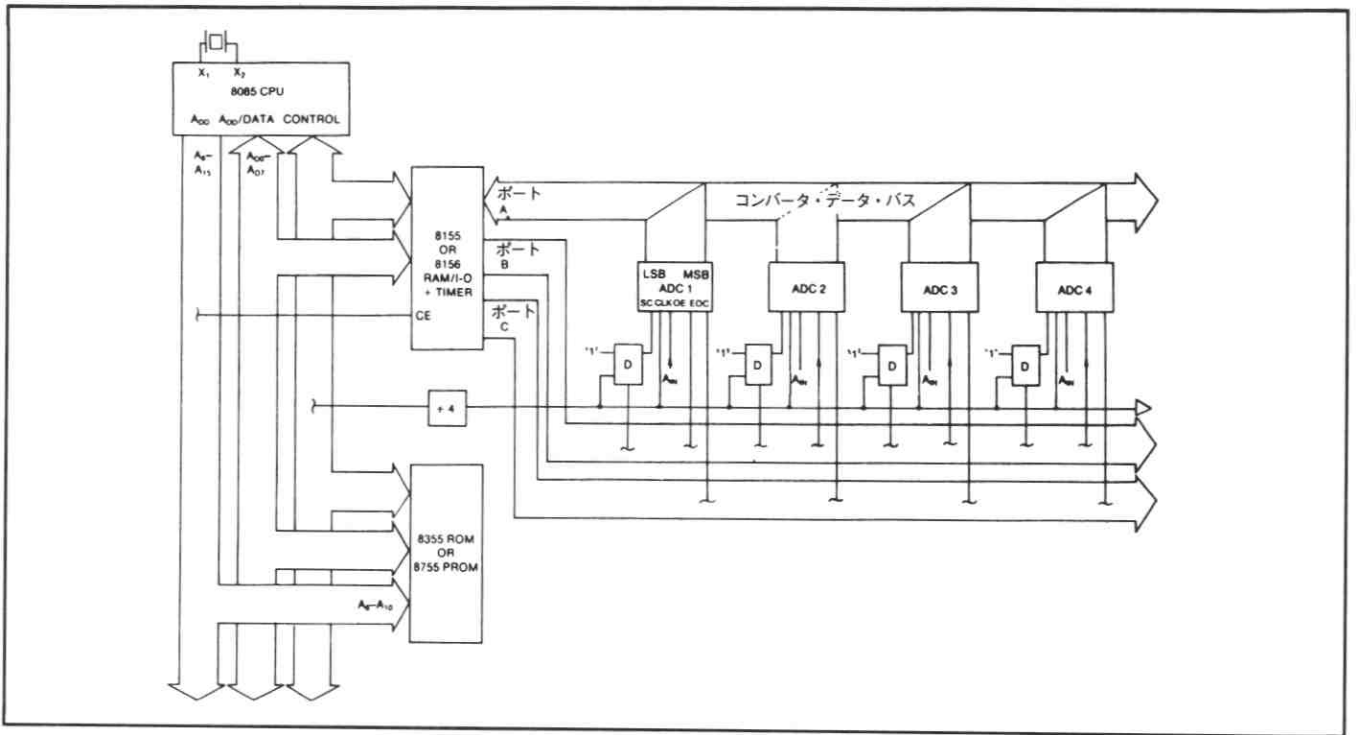
‘0’にセットされ、そうでなければ‘1’のまま保持される。ビット2は同じクロック・エッジで‘1’にセットされ、再びD-Aコンバータの出力と $V_{\text{IN}}$ を比較し、次のクロックの立下りでビット2を決定する。この手順は全ての8つのビットについて繰り返され、変換終了(EOC)出力が‘1’になった時に、コンバータのデジタル出力は有効となる。このバイナリ出力は、次のスタート・パルスまでラッチされる。また、スリー・ステート・データ出力は、OUTPUT ENABLE(OE)端子が‘0’の時は高インピーダンス状態に保たれ、‘1’の時に出力可能となる。



第2図 タイミング図



第1図 ZN427ロジック図



第3図 システム図

## ZN427 インターフェイス

このアプリケーション・ノートでは、マイクロプロセッサに4つのアナログ入力チャンネルを作るために、4個のA-Dコンバータ・ZN427を8155・RAMのI/Oポートに接続する方法を述べる。SDK-85システム・デザイン・キット等多くの8085を基礎とするシステムは、アナログ入力チャンネル増加時に回路の付加と設計が容易なため、8155を使用している。8155・I/Oポートを使用する場合、アドレス解読回路・bus demultiplexing回路・バッファ回路を必要としない。

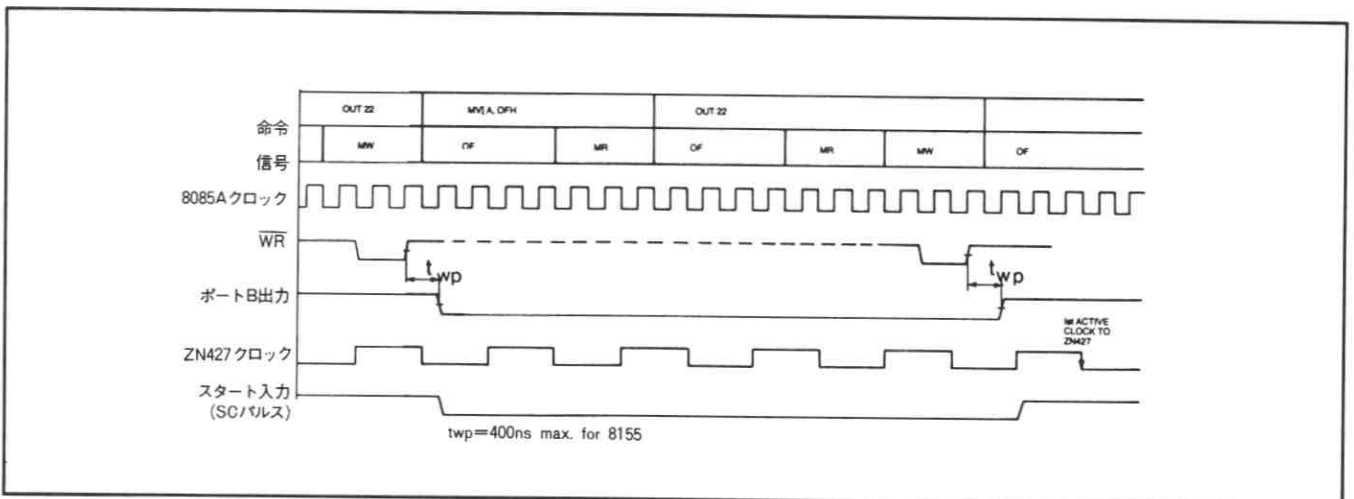
既に出来上がったシステムに対しては、もしI/Oポートがあていれば、大きな回路変更なしにアナログ入力を追加できる。また、8155は8085Aとバス・コンパチブルなので、8155の追加による入力チャンネルの増加も容易に行うことができる。

8155のI/Oポートは、システム図3に示すように割り当てる。ポートAは‘入力’に設定し、ZN427のスリーステ

ート・バイナリ・データ出力と接続して8ビット・データ・バスを作る。ポートBは‘出力’に設定し、下位の4ビットは変換開始信号を、上位4ビットはOUTPUT ENABLE信号をZN427に供給する。ポートCは‘入力’に設定する。これはZN427の変換終了出力に接続し、BUSYフラグとして使用する。

ZN427のクロックは、外部発振回路又は8085Aのクロック出力によって駆動する。8085Aのクロックは通常3MHzであるので、すくなくとも4分の1に分周する必要がある。これは図5に示すように、2つのJKフリップクロップ(7473)を2ビット・バイナリ・カウンタとして接続すればよい。このクロック出力は750KHzで、ZN427の最大動作周波数900KHz<sub>MIN</sub>より小さくなる。ZN427を外部クロックで駆動してもよいが、マイクロプロセッサのクロックで駆動すれば、マイクロプロセッサのクロック・サイクルからZN427の変換時間を正確に計算できる。

(注：以下‘クロック’とは、特に指定のないかぎり、ZN427のクロック信号を表わす。)



第4図 スタート・パルス・タイミング図

変換開始パルスは、以前に述べたタイミングを満足するようにDフリップ・フロップ(1/2 7474)を使って発生させる。変換サイクルは、ポートBからDフリップ・フロップのクリア入力に出力される信号を‘0’にすることにより始まる。また、この立下りでZN427のSC入力も‘0’にセットされる。この様子をスタート・パルス・タイミング図4に示す。

スタート・パルス後の9番目のパルスの立下りで、変換終了出力は‘1’にセットされ、変換サイクルの終了を示す。又これは、ポートCよりマイクロプロセッサに読み出される。図5のようにZN427のクロックをマイクロプロセッサ・クロックより作る場合、変換終了出力はSC入力を、‘1’に戻すOUT命令後、マイクロプロセッサ・クロック35以内にセットされる。しかし、ZN427のデータ出力はプログラムによって適当な遅れを持って読み出すことができるので、このEOC出力を禁止する必要はない。処理時間が重要な応用やEOC出力の速い応答を必要とする場合、EOC出力を8085Aのリスタート入力の1つに接続することによって、割込み信号を発生させることができる。4つのZN427のEOC出力は、共通割込み線を作るためにワイヤORしてもよい。しかし、一般にZN427の変換時間(10 $\mu$ S)はマイクロプロセッサの命令時間の1/4以下であるので、割込みを使う必要はない。

ポートBよりOE端子に‘1’を出力することにより、バイナリ出力データはコンバータ・データ・バスを通過して8155のポートAに転送される。ZN427の出力は、どの時点においても1つだけ出力可能であるようにプログラムしなければならない。この場合、出力Enable又はDisableの切替時間(最大250ns)は命令の実行時間よりも十分に小さいので、考慮する必要はない。

図5では、ユニポーラ入力(入力電圧範囲0~+10V)の場合の、ZN427の接続回路を示している。ZN427のデータ・シートに記載されているように、適当な抵抗を使うこと

によって、+5V $\cdot$  $\pm$ 5V $\cdot$  $\pm$ 10Vのような入力電圧範囲でも使用できる。また、1つの内蔵基準電圧で最大5つのZN427に基準電圧を供給できるので、電力消費・外付部品を少なくし、各コンバータのゲインをそろえることができる。

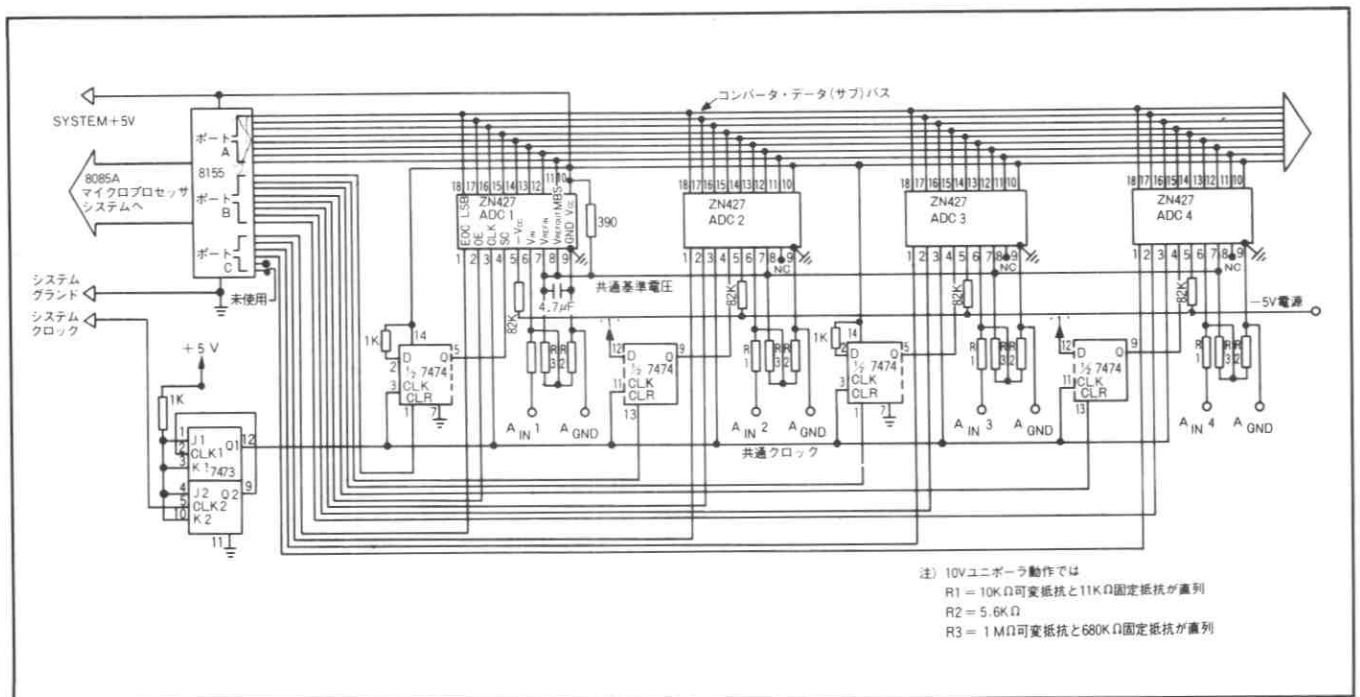
このシステムにおいて、ZN427の負電源は-5Vより82K $\Omega$ の抵抗を通して供給する。この抵抗を適当に変えることによって、-3~30Vの間の電源で使用できる。また、ZN427のデータ・シートに、5V単一電源にて、5つのZN427に電源を供給する簡単なダイオード・ポンプ回路を示す。

## プログラム例

8155・I/Oポートを使って、ZN427を制御し、データを読み出す簡単なプログラムと流れ図を、図6に示す。

プログラムによると、スタック・ポインタを初期化した後、8155のI/Oポートは、ポートAとCは‘入力’、ポートBは‘出力’に設定される。次に、ポートBの下位4ビットを‘1’から‘0’レベルにすることにより、全てのADコンバータに同時に変換開始パルスが送られる。そして、変換が終了したかどうか調べるために、EOC出力をポートCから読み出す。このループは、全てのADコンバータのEOC出力が‘1’になるまで繰り返される。EOC出力が‘1’になると、プログラムは次に進み、順番に各ADコンバータの出力を可能とし、ポートAからバイナリ・データを読み出す。ADコンバータの出力は、ポートBの上位4ビットを順に‘1’にすることにより有効となる(ただし、この時他の3ビットは‘0’に、下位4ビットは‘1’に保つ)。各ADコンバータからのデータは、アドレス・ラベル‘DATA’から始まるメモリ領域に記憶される。H・Lレジスタ対は、データを記憶するメモリ・アドレスを保持し、ADコンバータの出力を読み出すたびにインクリメントされる。

このプログラムを他のプログラム中のサブルーチンとな



第5図 回路図

るように変更することは容易である。以前にも述べたように、ある一定の遅延によってEOC出力を調べるプログラム・ループのかわりをする事ができる。また、SCパルスと同時に発生するかわりに、制御サイクル中別々に各ADコンバータにSCパルスを送ることもできる。

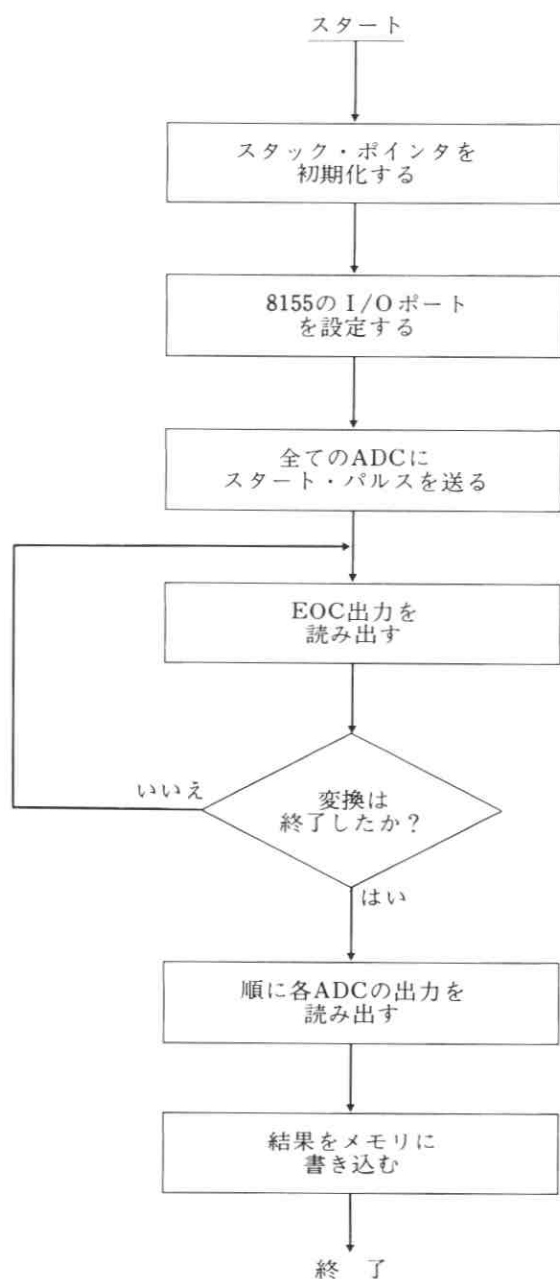
## まとめ

このアプリケーション・ノートのシステムは、ほとんどの応用に適応するはずであるが、特別な要求に対しても簡単に変更可能である。以下にその参考となる指針を述べる。

1. 全てのコンバータにSCパルスを同時に送ればよい場合、ZN427のSC入力を共通にし、1つのポートと1つのDフリップ・フロップで駆動できる。
2. 最大4つのZN427のEOC出力は、共通にして1つのポ

ートに入力するか、マイクロプロセッサの割込み信号として使用できる。

3. 上記1・2の方法を採用すれば、8155の使用ポート・ビットを減らすことができるので、8155に接続するZN427の数を増加することができる。
4. 8155からSCパルスを出力するかわりに、プロセス・タイマやホト・トランジスタ、近接検知回路等外部から非同期に変換開始信号を送ることができる。ただし、Dフリップ・フロップのクリア入力に送る変換開始パルスの幅は、ZN427・クロック期間の半分(たとえば、320nsのマイクロプロセッサ・クロックの場合、640nsとなる)又は、1.5 $\mu$ Sの小さいほうの値以上なければならない。
5. もし、ADだけでなくDAコンバータも1つのシステムに必要とする場合、ZN428(8ビット・DAコンバータ)をZN427と同じデータ・バスに接続できる。



### 8155ポート配置

#### ポートA

PA 0	バイナリ・データ	LSB
PA 1	バイナリ・データ	LSB+1
⋮	⋮	⋮
PA 6	バイナリ・データ	MSB-1
PA 7	バイナリ・データ	MSB

#### ポートB

PB 0	ADC 1	SC入力へ
PB 1	ADC 2	SC入力へ
PB 2	ADC 3	SC入力へ
PB 3	ADC 4	SC入力へ
PB 4	ADC 1	OE入力へ
PB 5	ADC 2	OE入力へ
PB 6	ADC 3	OE入力へ
PB 7	ADC 4	OE入力へ

#### ポートC

PC 0	ADC 1	EOC出力へ
PC 1	ADC 2	EOC出力へ
PC 2	ADC 3	EOC出力へ
PC 3	ADC 4	EOC出力へ

#### I/Oポート・アドレス

20	命令/状態レジスタ
21	RAMポートA
22	RAMポートB
23	RAMポートC

第6図 プログラム流れ図

プログラム例

LOC	OBJ	SOURCE STATEMENT	COMMENT
2000	31C820	LXI SP, 20C8	スタック・ポインタを初期化する
2003	3E02	MVI A, 02H	I/Oポートを設定する
2005	D320	OUT 20	
2007	3E00	MVI A, 00H	
2009	D322	OUT 22	全てのADCをスタートさせる
200B	3EOF	MVI A, 0FH	
200D	D322	OUT 22	
200F	060F	MVI B, 0FH	
2011	DB23	LOOP: IN 23	EOC出力を読み出す
2013	AO	ANA B	上位4ビットを'0'にする
2014	B8	CMP B	全てのEOC出力を調べる
2015	C21720	JNZ LOOP	変換が終了したらループを脱出
2018	213B20	LXI H, DATA	
201B	3EIF	MVI A, 1FH	
201D	D322	OUT 22	ADC 1 を有効にする
201F	DB21	IN 21	ADC 1 の出力を読み出す
2021	77	MOV M, A	結果をメモリ番地 'DATA' に記憶する
2022	23	INX H	ポインタをインクリメントする
2023	3E2F	MVI A, 2FH	
2025	D322	OUT 22	
2027	DB21	IN 21	ADC 2 の出力を読み出す
2029	77	MOV M, A	結果をメモリ番地 'DATA' + 1 に記憶する
202A	23	INX H	
202B	3E4F	MVI A, 4FH	
202D	D322	OUT 22	
202F	DB21	IN 21	ADC 3 の出力を読み出す
2031	77	MOV M, A	結果をメモリ番地 'DATA' + 2 に記憶する
2032	23	INX H	
2033	3E8F	MVI A, 8FH	
2035	D322	OUT 22	
2037	DB 21	IN 21	ADC 4 の出力を読み出す
2039	77	MOV M, A	結果をメモリ番地 'DATA' + 3 に記憶する
203A	76	HLT	
203B		DATA:	
203C			
203D			
203E			

# ZN 428 8 ビット D/Aコンバータ 8085A マイクロプロセッサとのインターフェイス

## ZN428の動作概要

ZN428は、入力ラッチ付きモノリシック・8ビットDAコンバータである。データ・バス上の値は、 $\overline{\text{ENABLE}}$  端子‘0’で変化させ、‘1’でラッチする。ZN428の特徴は、+5V単一電源であること、セトリング時間が速いこと(800 ns)、全動作温度範囲でモノトニックであること等である。また、ZN428は2.5Vの基準電圧を内蔵しているが、外部基準電圧でも使用できる。コンバータは電圧スイッチとR-2Rラダー回路から成り立っている。各2R素子は、低オフセット電圧 (< 1 mV) のトランジスタ・スイッチによって、0Vから $V_{\text{REFIN}}$ に接続される。2進化重み電圧はR-2Rラダーで作られ、4K $\Omega$ の抵抗を通して0Vから $V_{\text{REFIN}}$ の電圧を出力する。また、増幅器を外付すれば、これ以外の出力電圧範囲を得ることもできる。

## ZN428 インターフェイス

ここでは、8155・RAMのI/OポートにZN428を直接接続し、マイクロプロセッサのアナログ出力チャンネルを作る回路について述べる。

図3は、4つのZN428を8155のI/Oポートに接続する回路である。ポートAは‘出力’に設定し、ZN428のバイナリ・データ入力と接続して8ビット・データ・バスを作る。ポートCも‘出力’に設定し、ZN428の $\overline{\text{ENABLE}}$ 入力に接続する。この例では、6つのポートC端子のうち4つだけ使用する。また、ポートBは使用しない。

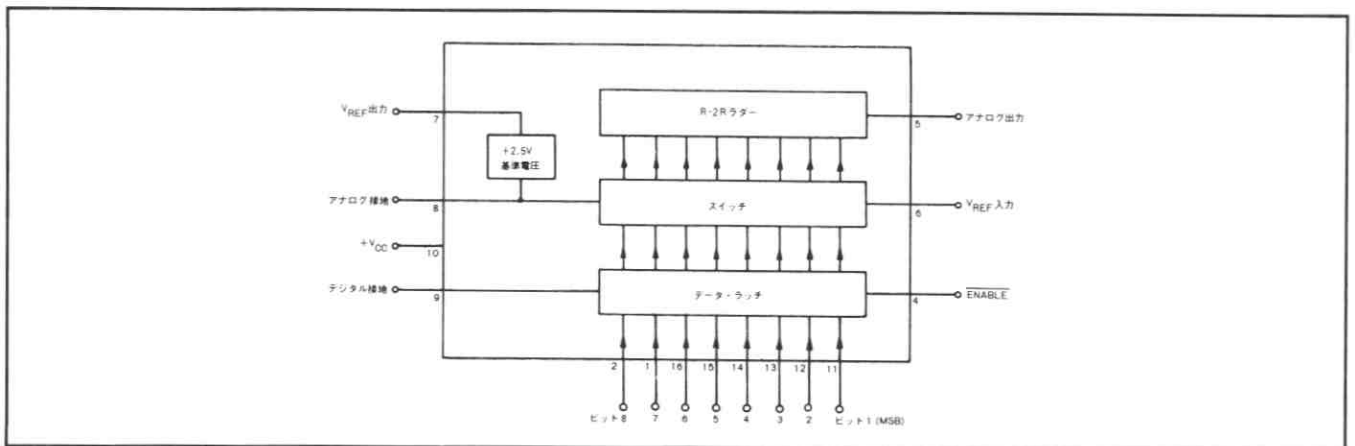
図のように、1つのZN428の $V_{\text{REFOUT}}$ 端子を他のZN428の $V_{\text{REFIN}}$ 端子と接続することによって、全てのコンバータに基準電圧を供給できる。したがって、電力消費・外付部品数を少なくし、各コンバータのゲインをそろえることができる。このように、最大5つのZN428を1つの内蔵基準電

圧で駆動できる。

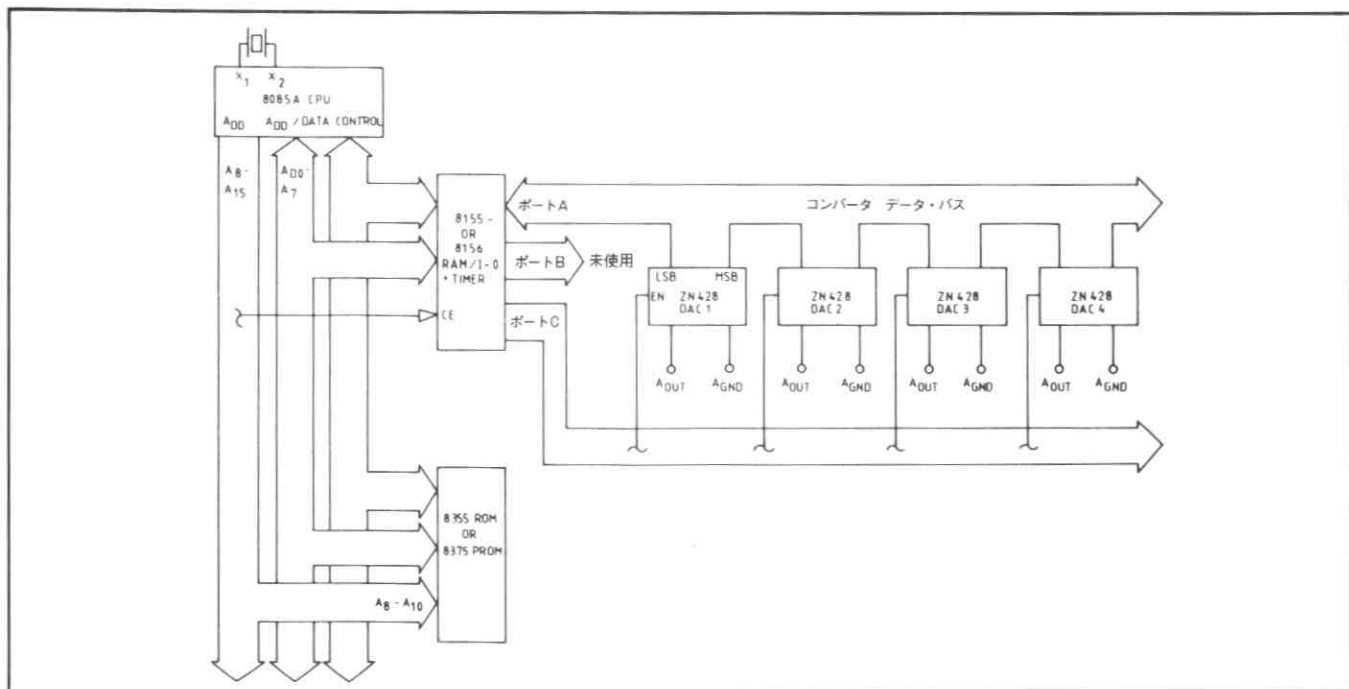
ZN428の出力は、端子5と8から直接取り出す。出力電圧範囲は0から $V_{\text{REFIN}}$ で、出力抵抗は4K $\Omega$ である。また、グリッチを取り除くために、出力端子間に小容量のコンデンサを接続する。このコンデンサの値は、システム中の雑音と必要とする応答時間によるが、100pF以上のコンデンサを使うとセトリング時間が遅くなるので使用しない。出力バッファ・アンプは、システムのスPEEDを速くし、融通性を持たせるために、ZN428は内蔵していない。また、増幅器を使って容易に数種類のユニポーラ又はバイポーラ出力を得ることができる(ZN428データ・シート参照)。

ZN428は、各々独立したアナログとデジタル接地端子を持っている。これらは、ICの端子近くで互いに接続し、接地する。しかし、雑音の多いシステムにおいては、アナログ接地端子をデジタル接地から分離し、クロック発振器やデジタル・バス等のデジタル雑音源から離れた、システム中の共通接地点に接続する。アナログ出力の接地線又は接地端子も、直接この共通接地点に接続する。(注：アナログ、デジタル接地間の最大電圧は200mVとする。)

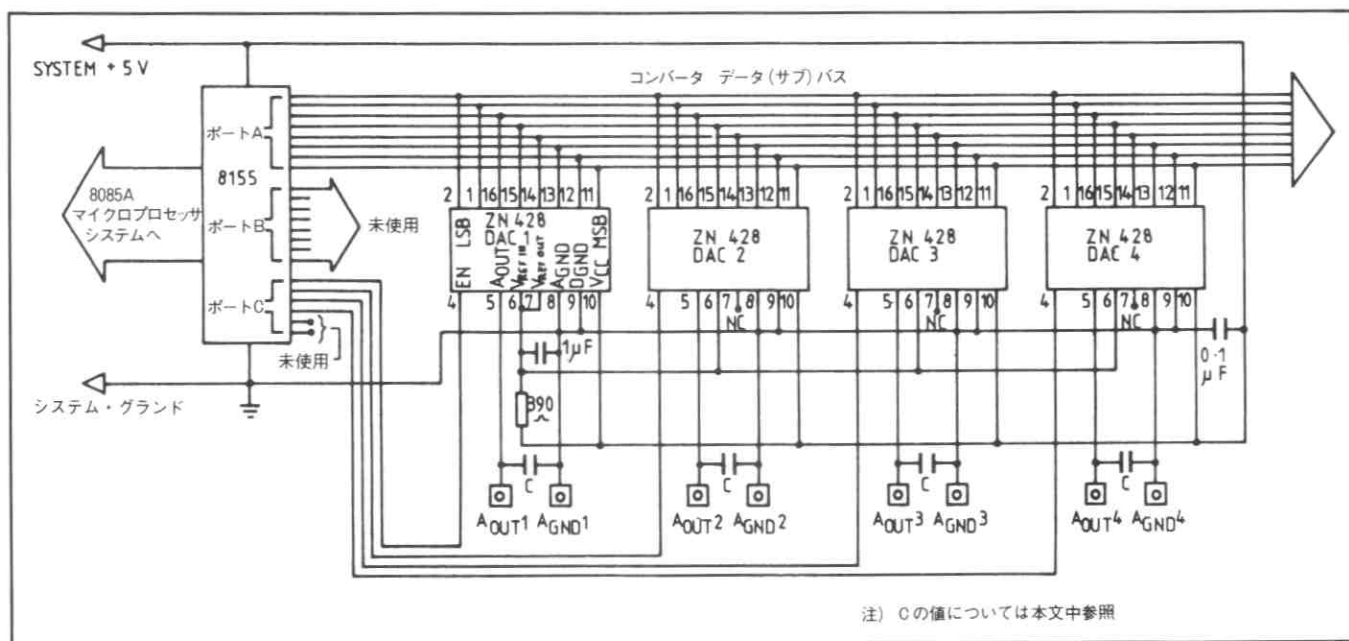
データは、8155のポートAから共通バス上にバイナリ・データを出力することにより、コンバータに転送される。この時、ポートCの出力を一時‘0’レベルにすることにより、バス上のバイナリ・データはZN428の入力ラッチにはいる。コンバータの $\overline{\text{ENABLE}}$ 入力が‘1’の間、このデータは保持される。そして、ポートAの出力データが変わると、マイクロプロセッサの制御プログラムによって決まる特定の時間に次のコンバータに書き込まれる。また、このアプリケーションでは、データ・セット・アップ時間、データ・ホールド時間、ENABLEパルスの幅はマイクロプロセッサの命令実行時間より十分に小さいので、考える必要はない。



第1図 ZN428ロジック図



第2図 システム図



注) 0 の値については本文中参照

第3図 回路図

## プログラム例

8155・I/OポートとZN428を制御する簡単なプログラムと流れ図を次に示す。

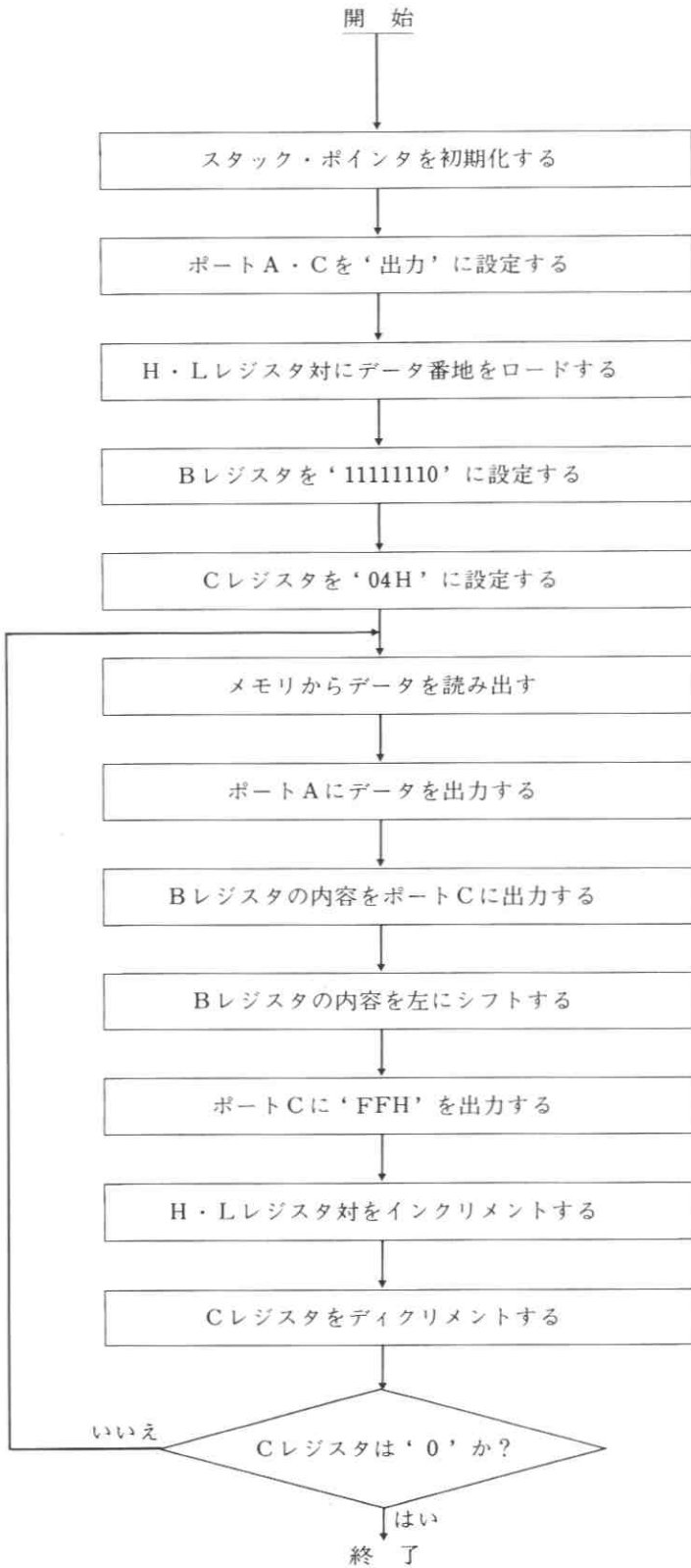
このプログラムの目的は、4つの連続したメモリからバイナリ・データを読み出し、4つのコンバータに順に出力することである。実際の応用では、このプログラムは、外部メモリから読み出したデータをポートを通して出力する主プログラム中のサブルーチンとなる。

流れ図(第4図)によると、スタック・ポインタを初期化した後、I/OポートA・Cは‘出力’に設定される。次に、H・Lレジスタ対に、出力するデータが記憶されているメモリの開始番地をロードする。レジスタBは、どのDACが出力可能となるかを決定し、最初‘11111110’に設定する。一方レジスタCは、ループのカウンタとして働き、4に設

定する。それから、データは、レジスタ間接アドレス指定形式で、H・Lレジスタ対で指定されるメモリからアキュムレータに転送される。このデータは、‘OUT’命令でアキュムレータの内容を直接8155に転送することによって、ポートAからコンバータ・データ・バスに出力される。DAC1は、レジスタBの内容を一時アキュムレータに転送し、これをポートCを通してコンバータに出力することによって出力可能となる。アキュムレータの内容は、次のDACを出力可能にする準備のために、レジスタBに戻す前に1ビット左に回転する。次に、このENABLEを無効にするために、ポートCから全コンバータに‘1’を出力する。H・Lレジスタ対は、インクリメントされた次のデータ・バイトの番地を指定し、レジスタCはデクリメントされた後、‘0’かどうか調べられる。この場合、レジスタCは‘03’なので、プログラムは条件付きジャンプ命令に



よって、アドレス・ラベル 'LOOP' に分岐し、次のデータ・バイトをアキュムレータに読み出す。Bレジスタは1ビット左にシフトされているので、このループ・サイクルでは、新しいデータはDAC2にロードされる。プログラム・サイクルは4回繰り返され、Cレジスタが '0' になるまでメモリからデータを読み出し、順に各DACに出力する。



8155ポート配置

ポートA

PA 0	バイナリ・データ	LSB
PA 1	バイナリ・データ	LSB+1
⋮	⋮	⋮
PA 6	バイナリ・データ	MSB-1
PA 7	バイナリ・データ	MSB

ポートB

未使用

ポートC

PC 0	DAC 1	ENABLE	入力へ
PC 1	DAC 2	ENABLE	入力へ
PC 2	DAC 3	ENABLE	入力へ
PC 3	DAC 4	ENABLE	入力へ
PC 4		未使用	
PC 5		未使用	

I/Oポート・レジスタ

20	命令/状態レジスタ
21	RAMポートA
22	RAMポートB
23	RAMポートC

第4図 プログラム流れ図

LOC	OBJ	SOURCE STATEMENT	COMMENT
2000	31C820	LXI SP, 20C8	スタック・ポインタを初期化する
2003	3E0D	MVI A, 0D	I/Oポートを設定する
2005	D320	OUT 20	
2007	212020	LXI H, DATA	H・Lレジスタ対にデータ番地をロードする
200A	06FE	MVI B, FEH	
200C	0E04	MVI C, 04H	
200E	7E	LOOP: MOV A, M	データを読み出す
200F	D321	OUT 21	バス上にデータを出力する
2011	78	MOV A, B	
2012	D323	OUT 23	$\overline{\text{ENABLE}}$ をローにする
2014	07	RLC	次のDACのために、左に回転する
2015	47	MOV B, A	
2016	3EFF	MVI A, FF	$\overline{\text{ENABLE}}$ をハイにする
2018	D323	OUT 23	
201A	23	INX H	
201B	0D	DCR C	
201C	C2 0E 20	JNZ Loop	Cレジスタが00Hでなければジャンプ
201F	76	HLT	
2020		DATA:	
2021			
2022			
2023			

## まとめ

設計者が各々の要求に対して最も効果的なシステムを作るためのいくつかの設計上の助言及び注意を、簡単に以下に示す。

1. 8155のI/Oポートは、システムの要求に応じて割り合てる。たとえば、このアプリケーションでは、ポートA全部と6つのポートC・I/O端子のうちの4つが使用されている。同様にポートBも、コンバータのデータ・バスと接続して、又は $\overline{\text{ENABLE}}$ 信号供給用として使用できる。
2. もし、I/Oポートの数が限られていて、どの時点でも1つのDACを出力可能とすればよい場合、デコーダ・IC(たとえば、8205・ $1/8$ バイナリ・デコーダ)を使って $\overline{\text{ENABLE}}$ 入力を駆動する。たとえば、4つのI/Oポートを使い、3つをアドレス解読用に、1つをデコーダの $\overline{\text{ENABLE}}$ 用に使えば、8つのDACの $\overline{\text{ENABLE}}$ 入力を駆動できる。
3. 2つのコンバータから同時に違ったデータを出力させるには、一方のコンバータのバイナリ入力をポートAに、

他方のコンバータのバイナリ入力をポートBに接続する。そして、両方のコンバータの $\overline{\text{ENABLE}}$ 入力を同時に‘ロー’にすることによって、適当なデータをポートA・Bから出力することができる。これは、両 $\overline{\text{ENABLE}}$ 入力を共通にしてポートCの1つに接続するか、ポートCの2つのI/O端子を使い、両者が同時にローになるようにプログラムすればよい。

4. 共通データ・バスに接続できるZN428の数は、バスの容量と8155・I/Oポートの駆動能力のみによって制限される。ZN428の入力電流は—  
 $I_{IH} = 20 \mu\text{A (at 2.4V)}$   
 $I_{IL} = -5 \mu\text{A (at 400mV)}$
5. ZN428の $\overline{\text{ENABLE}}$ 入力を‘0’にしておくと、入力データはラッチされないで、直接ラダー・スイッチに送られる。したがって、もし1つのコンバータの入力データを繰り返し書き換える必要のある場合、 $\overline{\text{ENABLE}}$ 入力は各入力ごとに‘1’に戻さないで、‘0’に保持しておけばよい。
6. もし、ADとDAチャンネルを1つのシステムに必要な場合、ZN427とZN428を同一データ・バスに接続できる。



サイクルを継続させる。この時、もしZN427のSC入力を '0' レベルにしておくと、MSBが '1' に、他の全てのデータ出力は '0' に駆動され、変換サイクルは停止する。スタート・パルス後の9番目のパルスの立下りで、変換終了出力(EOC)は '1' になり、変換サイクルの終了を示す。PIAの制御線CB1は、この信号の立上りで割込み信号を発生するように設定する。最大4つのZN427のEOC出力は、図2のようにワイヤードORし、共通割込み線を作る。また、マイクロプロセッサ・クロック(最大1MHzまで)を使用している場合、EOC出力は制御線CB2を '1' に戻す命令後、10マイクロプロセッサ・マシン・サイクル以内に生じる。したがって、変換時間に相当する一定の遅れをプログラム中に入れることができる。

各ADCのバイナリ出力は、ペリフェラル・ラインPB0-PB7を入力に設定し、PAペリフェラル・ライン上に '1' を出力して、コンバータ・バスにデータを転送することによって読み出し可能になる。そして、ペリフェラル・レジスタBの読み出し命令によって、データはマイクロプロセッサに転送される。この時、バス上のデータの衝突を避けるために、どの時点でも出力可能となっているADCは、1つだけであるようにプログラムしなければならない。

図2の回路では、ZN427は入力範囲が0~10Vとなるように接続されている。また、+5V・±10V・±5Vというような入力範囲も、簡単な抵抗回路を外付することで得ることができる(ZN427・データ・シート参照)。

ZN427の負電源は、-5Vより82KΩの抵抗を通して供給する。この抵抗を適当に変えることによって、-3~-30Vの間の電源で使用できる。また、5V単一電源にて、最大5つのZN427に電源を供給する簡単なダイオード・ポンプ回路を、ZN427・データ・シートに示す。

データは、ペリフェラル・データ・ラインPB0-PB7を出力に設定し、マイクロプロセッサからPIAのペリフェラル・レジスタBにバイナリ・データを転送することによって、出力可能となる。そして、ZN428のENABLE入力、ペリフェラル・ラインPAによって一度 '0' に駆動さ

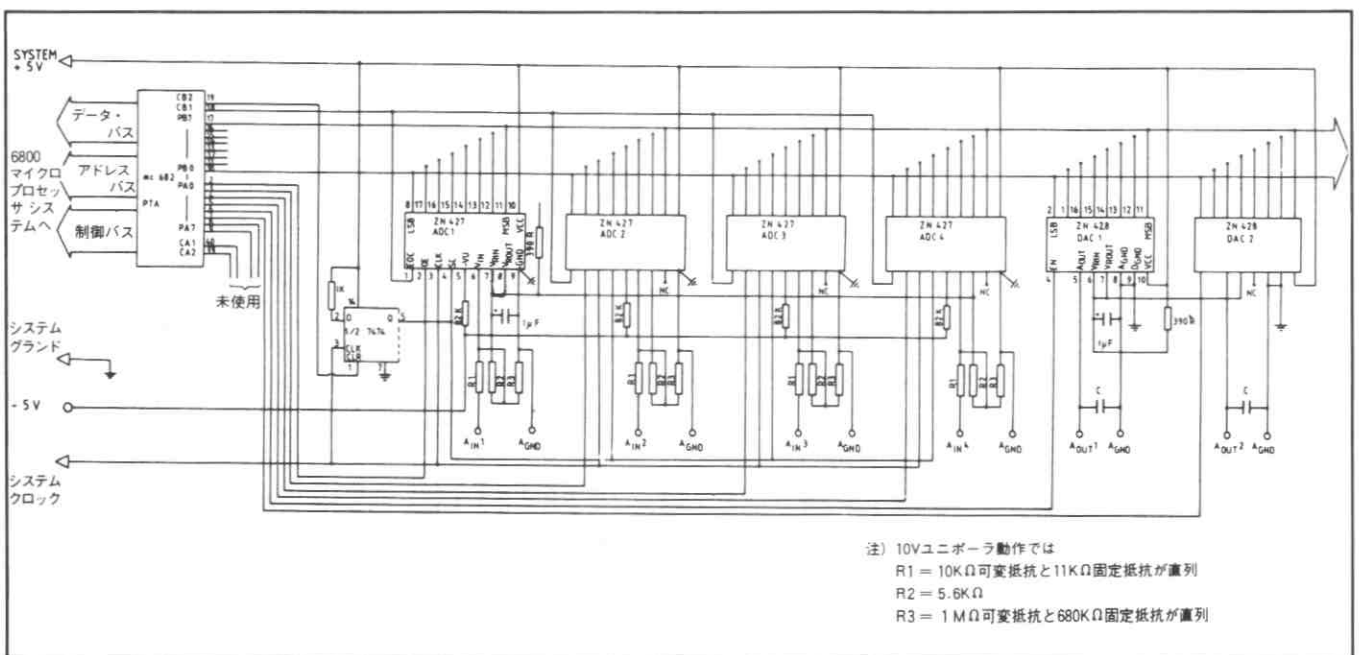
れ、再び '1' に戻される。これによって、データはコンバータ・バスからZN428の入力データ・ラッチに転送される。このデータの転送中には、全てのZN427と他のZN428がデータ転送を行なわないように、プログラムしなければならない。

ZN428の出力は、端子5と8から直接取り出す。出力電圧範囲は0~V<sub>REFIN</sub>で、出力抵抗は4KΩである。また、グリッチを取り除くために、出力端子間に小容量のコンデンサを接続する。このコンデンサの値は、システム中の雑音と必要とする応答速度によるが、100pF以上のコンデンサを使うとセトリング時間が遅くなるので使用しない。出力バッファ・アンプは、システムのスピードを速くし、融通性を持たせるために、ZN428は内蔵していない。また、増幅器を使って、容易に数種類のユニポーラ又はバイポーラ出力を得ることができる(詳しくは、ZN428・データ・シート参照)。

ZN428は、各々独立したアナログとデジタル接地端子を持っている。これらは、ICの端子近くで互いに接続し、接地する。しかし、雑音の多いシステムにおいては、アナログ接地端子をデジタル接地端子から分離し、クロック発振器やデジタル・バス等のデジタル雑音源から離れた、システム中の共通接地点に接続する。アナログ出力の接地線又は接地端子も、直接この共通接地点に接続する。(注：アナログ、デジタル接地間の最大電圧は200mVとする。)

1つのコンバータのV<sub>REFOUT</sub>端子を他のコンバータのV<sub>REFIN</sub>端子と接続することによって、最大5つのコンバータに共通基準電圧を供給できる(ZN427・ZN428のどちらも)。したがって、電力消費を少なくし、各コンバータのゲインをそろえることができる。図2の回路では、4つのZN427と2つのZN428が、それぞれ1つの基準電圧によって駆動されている。

このアプリケーションでは、Enable/Disable遅延時間等のZN427/ZN428の動特性は、マイクロプロセッサの命令実行時間より十分小さいので、プログラミング時に考慮する必要はない。



第2図 回路図

## プログラム例

PIAでZN427/ZN428を制御する簡単なプログラムと流れ図を、図3に示す。このプログラムの目的は、ADC1と2からアナログ入力電圧を読み出し、その平均値を計算し、この値をDAC1に出力することである。また、同様の動作をADC3と4及びDAC2においても実行する。

まず、PIAはリセットされていて、全てのPIAレジスタは‘0’であると仮定する。したがって、全てのペリフェラル・ライン及び制御線は入力に設定され、割込みは不可能となる。このプログラムでは、PIAの参照をインデックス・アドレッシング・モードで行なうので、最初にインデックス・レジスタに、PIAアドレスをロードする。ペリフェラル・ラインPA0-PA7は出力に設定し、コントロール・レジスタは、制御線CB2がセット/リセット出力モードで動作するように設定する。また、割込みフラグ・ビットCRB-7は、制御線CB1の立上りでセットされるように設定する。次に、PAラインに30Hを出力することによって、ZN427のOUTPUT ENABLE入力は‘0’に、ZN428のENABLE入力は‘1’に設定され、全てのコンバータはデータ転送不可能となる。そして、Bデータ・レジスタの読出し動作によって、割込みフラグ・ビットCRB-7をリセットする。

変換開始信号は、コントロール・レジスタBのトグル・ビットであるCRB-3によって、制御線CB2から出力する。変換サイクルの終了は、割込みフラグ・ビットCRB-7の状態によって判別され、このビットが‘1’になるまで、ループを繰り返す。(注: IRQA、IRQBによる、マイクロプロセッサ割込みはできない。)ADC1の出力は、ペリフェラル・ラインPA0を‘1’に駆動することによって読出され、マイクロプロセッサのアクムレータBに格納される。ADC2の出力も、同様にPA1ラインを‘1’に駆動することによって読出され、アクムレータAに格納される。読出された値の平均値は、アクムレータA、Bの値を加え、その結果とキャリ・ビットを1ビット右へ回転(これは、 $\div 2$ と同等である)すれば得られる。そして、この値はメモリ・ラベル‘TEMP1’に記憶される。この手順はADC3・ADC4についても繰り返される。この場合、PA2・PA3ラインを順に‘1’にすることによって、ADCの出力を可能にし、その平均値を‘TEMP2’に記憶する。

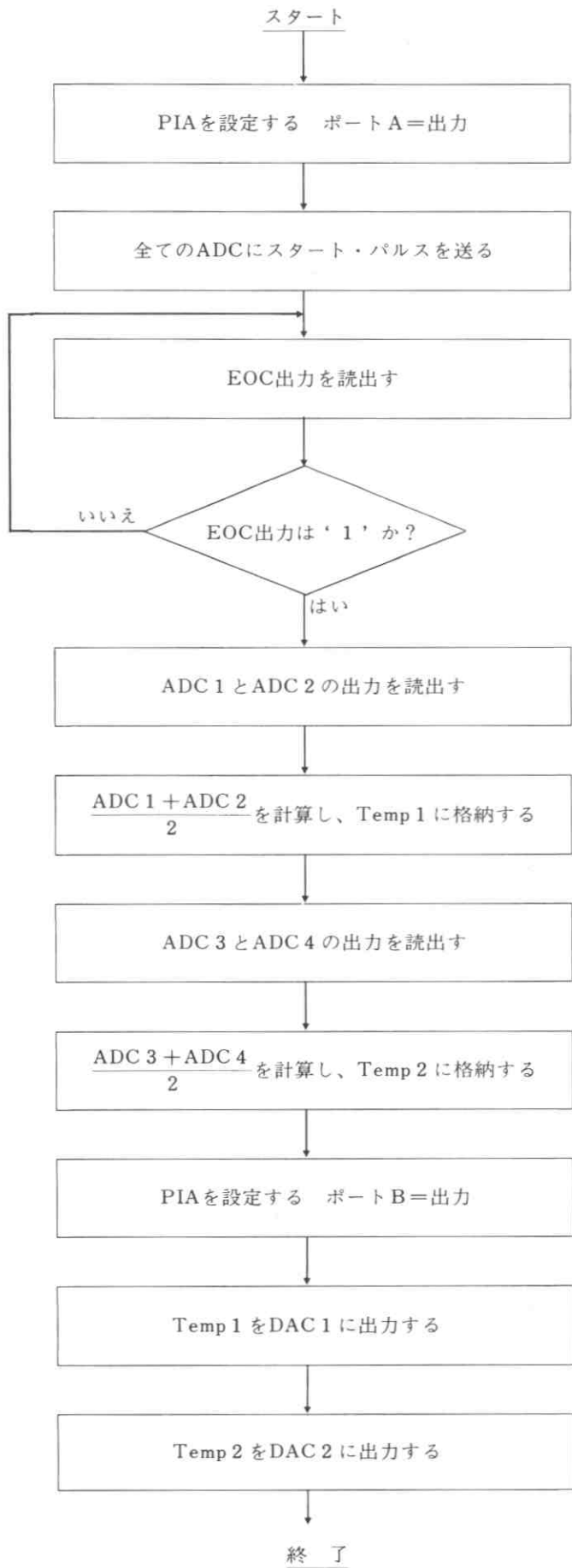
次に、データ・ディレクション・レジスタBをアクセスし、ペリフェラル・ラインPB0-PB7を出力に設定する。‘TEMP1’に記憶されたデータを、コンバータ・バスに出力する。そして、PA4ラインを1-0-1の順に駆動することによって、バイナリ・データは、バスからDACの入力ラッチに転送され、アナログ出力となる。同様に、PA5ラインでENABLE入力を駆動し、‘TEMP2’のデータをDAC2に転送する。そして、プログラムは、ソフトウェア・インタラプト(SWI)で終了し、モニタ・プログラムの制御に戻る。

## まとめ

このアプリケーション回路のZN427とZN428の数は、PIAのI/Oラインの数のみによって限定されるので、各ICの駆動能力を越えない範囲において、それぞれの要求に合った回路を設計する自由度は大きい。

6820/21とZN427/428の駆動特性を、表1に示す。大きな容量負荷を持つバスを使用する場合のように、駆動能力の拡張を必要とする時には、バッファ・ゲートを接続する。ペリフェラル・ラインBは、入力に設定した時高インピーダンス状態になるので、コンバータ・バスにはこのラインを接続する。また、6821・PIAは、A・B両ペリフェラル・ラインとも、2つのTTLを駆動する能力がある。4つのZN427のEOC出力は、ワイヤORすると以前に述べたが、5つ以上ZN427を使用する場合は、TTLゲート(7409)で各グループの論理積をとり、一本の割込み線を作る。

他のZN427が変換中に、1つのADCの出力を読出すために、各ZN427に別々にスタート信号を送りたい場合、1つのスタート信号線ごとに1つのペリフェラル・ラインと1つのDフリップ・フロップが必要となる。また、どの時点でも、データ転送を行なえるコンバータは1つだけでなければならないので、システムを拡張するには、71454(4-16ライン・デコーダ/デマルチプレクサ)のようなデコーダを使用する。このICの4つのデータ入力は、4つのPAペリフェラル・ラインに接続し、ENABLE入力はCA2ラインで駆動する。このICを2つ使用すれば、32の出力線を取出すことができるので、32のアナログ入出力チャンネルを持つアナログI/Oシステムを作ることができる。



PIAポート配置

ポート A

- PA 0 ADC 1 OE入力へ
- PA 1 ADC 2 ♪ ♪
- PA 2 ADC 3 ♪ ♪
- PA 3 ADC 4 ♪ ♪
- PA 4 DAC 1  $\overline{\text{EN}}$ 入力へ
- PA 5 DAC 2  $\overline{\text{EN}}$ 入力へ
- PA 6 未使用
- PA 7 ♪

ポート B

- PB 0 バイナリ・データ LSB
- PB 1 ♪ ♪ LSB+1
- ⋮ ⋮ ⋮ ⋮
- PB 6 ♪ ♪ MSB-1
- PB 7 ♪ ♪ MSB

制御線

- CA 1 未使用
- CA 2 ♪
- CB 1 共通EOC出力へ
- CB 2 共通SCラインへ

PIAアドレス

- 8004 ペリフェラル/データ・ディレクション・レジスタ A
- 8005 コントロール・レジスタ A
- 8006 ペリフェラル/データ・ディレクション・レジスタ B
- 8007 コントロール・レジスタ B

第 3 図 プログラム流れ図

インターフェイス プログラム例

LOC	OBJ	SOURCE STATEMENT	COMMENT
0000	CE8004	LDX # \$8004	インデックス・レジスタにPIAアドレスをロードする
3	86FF	LDA A # \$FF	
5	A700	STA A 0, X	ポートAを出力に設定する
7	863E	LDA A # \$3E	
9	A701	STA A 1, X	コントロール・レジスタAを設定する
B	A703	STA A 3, X	コントロール・レジスタBを設定する
D	8630	LDA A # \$30	
F	A700	STA A 0, X	全てのコンバータのデータ転送を停止する
11	A602	LDA A 2, X	割込みフラグをリセットする
13	8636	LDA A # \$36	
15	A703	STA A 3, X	スタート・パルスが発生するために、CB2を‘ロー’ に設定する
17	863E	LDA A # \$3E	
19	A703	STA A 3, X	CB2を‘ハイ’にする
1B	A603	TEST LDA A 3, X	コントロール・レジスタBを讀出す
1D	8580	BIT A # \$80	CRB-7が‘ハイ’かどうか調べる
1F	27FA	BEQ TEST	
21	8631	LDA A # \$31	
23	A700	STA A 0, X	ADC1を出力可能にする
25	E602	LDA B 2, X	ADC1の出力を讀出す
27	8632	LDA A # \$32	
29	A700	STA A 0, X	ADC2を出力可能にする
2B	A602	LDA A 2, X	ADC2の出力を讀出す
2D	1B	ABA	ADC1とADC2の出力を加算する
2E	46	RORA	2分周する
2F	976E	STA A Temp. 1	結果(Xデータ)をTemp.1に格納する
31	8634	LDA A # \$34	
33	A700	STA A 0, X	ADC3を出力可能にする
35	E602	LDA B 2, X	ADC3の出力を讀出す
37	8638	LDA A # \$38	
39	A700	STA A 0, X	ADC4を出力可能にする
3B	A602	LDA A 2, X	ADC4の出力を讀出す
3D	1B	ABA	ADC3とADC4の出力を加算する
3E	46	RORA	2分周する
3F	976F	STA A Temp. 2	結果(Yデータ)をTemp.2に格納する
41	8630	LDA A # \$30	
43	A700	STA A 0, X	全てのADCの出力を不可能にする
45	863A	LDA A # \$3A	
47	A703	STA A 3, X	
49	86FF	LDA A # \$FF	
4B	A702	STA A 2, X	ポートBを出力に設定する
4D	863E	LDA A # \$3E	
4F	A703	STA A 3, X	
51	966E	LDA A Temp. 1	
53	A702	STA A 2, X	Xデータをバス上に出力する
55	8620	LDA A # \$20	
57	A700	STA A 0, X	DAC1を入力可能にする
59	C630	LDA B # \$30	
5B	E700	STA B 0, X	DAC1を入力不可能にする
5D	966F	LDA A Temp. 2	
5F	A702	STA A 2, X	Yデータをバス上に出力する
61	8610	LDA A # \$10	
63	A700	STA A 0, X	DAC2を入力可能にする
65	E700	STA B 0, X	DAC2を入力不可能にする
67	3F	SWI	終了
006E	00	Temp. 1	Xデータ
006F	00	Temp. 2	Yデータ

MC6820	PO 0 - PA 7 / CA 2	PB 0 - PB 7 / CB 2	CA 1 / CB 1
$I_{IL}$	-1.6mA max	} 10 $\mu$ A max	} 2.5 $\mu$ A max (at $V_{IN} = 0$ to 5.25V)
$I_{IH}$	-100 $\mu$ A min		
$I_{OL}$	1.6mA min	1.6mA min	
$I_{OH}$	-100 $\mu$ A min	-100 $\mu$ A min	
MC6821			
$I_{IL}$	-2.4mA max	} 10 $\mu$ A max	} 2.5 $\mu$ A max (at $V_{IN} = 0.5 \dots 5.25V$ )
$I_{IH}$	-200 $\mu$ A min		
$I_{OL}$	3.2mA min	3.2mA min	
$I_{OH}$	-200 $\mu$ A min	-200 $\mu$ A min	
ZN427			
$I_{IL}$	-5 $\mu$ A max		
$I_{IH}$	15 $\mu$ A max		
$I_{IH}(\text{Clock})$	30 $\mu$ A max		
$I_{OL}$	1.6mA min		
$I_{OH}$	-100 $\mu$ A min		
$I_{OHX}$	2 $\mu$ A max		
(Off state leakage)			
ZN428	全入力		
$I_{IL}$	-5 $\mu$ A max		
$I_{IH}$	20 $\mu$ A max		

注) 特に注記のなき限り、電流は0.4Vと2.4Vで規定する。



# ZN 427/428 8ビット A/D D/Aコンバータ ダイレクトバスインターフェイス

## ZN427・マイクロプロセッサ・バス・ インターフェイス

周辺装置は、通常次の2つの方法によって、マイクロプロセッサに接続する。第1番目に周辺回路の設計が簡単な方法として、MPUファミリの中でサポートICとして準備されている汎用インターフェイスICを使う方法がある。この方法では、周辺装置はただ汎用インターフェイスICのI/Oラインに接続するだけでよく、一般にバス・バッファ、バス・タイミング、アドレス解読を考慮する必要はない。

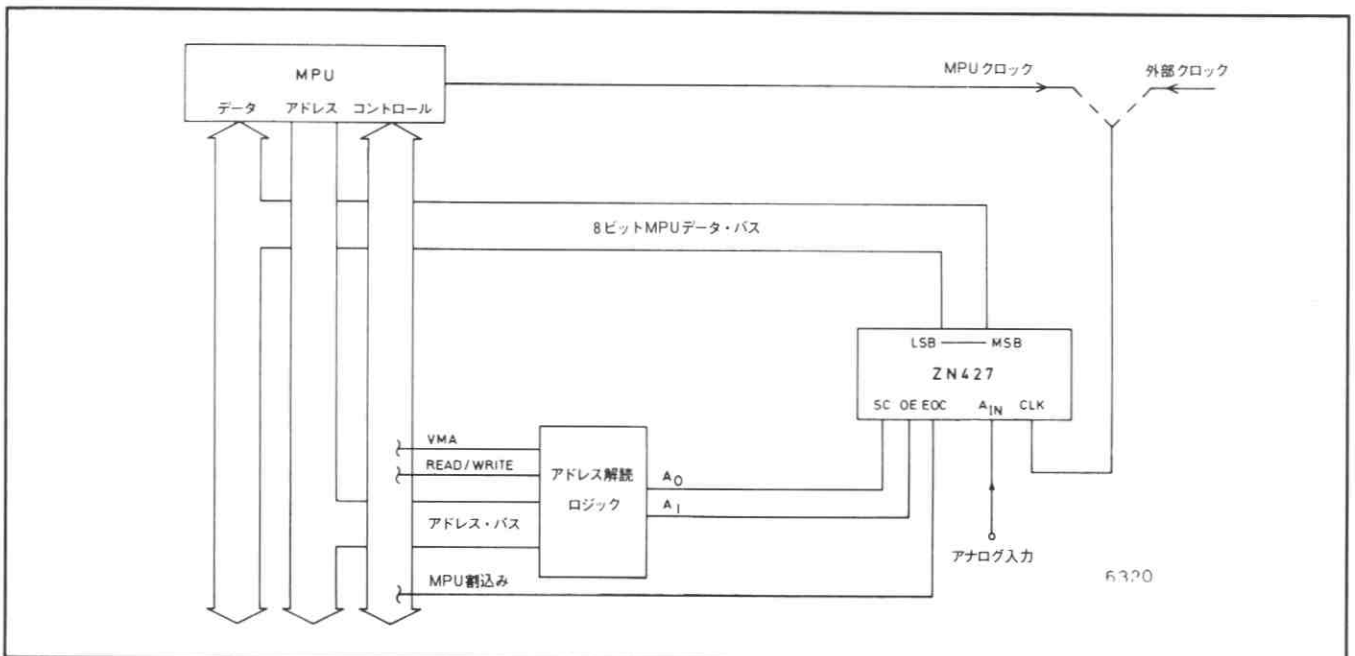
第2番目の方法として、周辺装置を直接マイクロプロセッサのデータ・バスに接続する方法がある。この方法は、'メモリ・マップドI/O'と呼ばれ、その名が示す通り、MPUは各周辺I/O装置を通常のメモリと同様にアクセスする。この場合、MPUは現在アクセスしている物がメモリであるかI/Oであるか判別できない。したがって、I/Oデータの転送に全メモリ参照命令を使用できるが、周辺装置は少なくともMPUメモリと同様の応答速度を持ち、バス・タイミング特性においてMPUとコンパチブルでなければならない。メモリ・マップドI/Oの欠点は、アドレス解読ロジックを必要とすること、I/O装置がメモリと同様に解読されるので、実際のメモリ容量は減少することである。

I/OマップドI/Oは、メモリ・マップドI/Oの一種で、いくつかのMPUで実行できる。この方法では、メモリ容量の減少というメモリ・マップドI/Oの欠点を補うことが

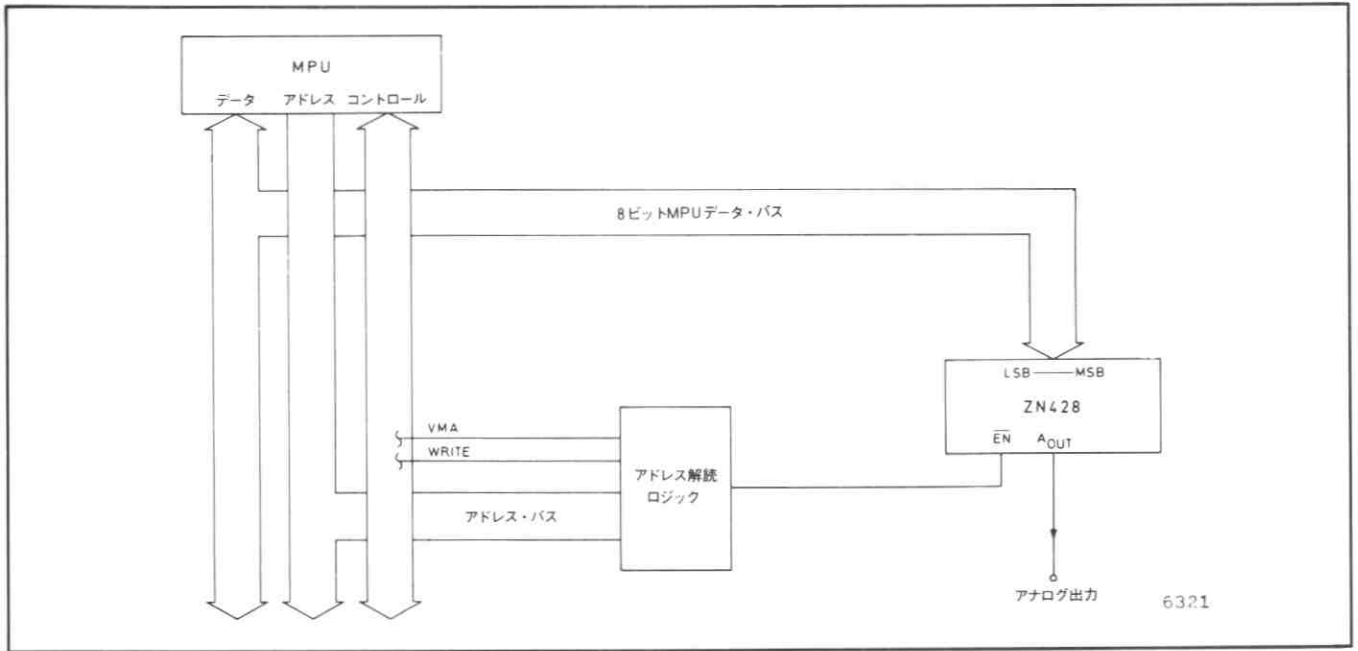
できる。それは、I/OマップドI/Oでは、I/O命令によってある特定のメモリ・アドレスをI/Oにも使用できるからである。しかし、この場合、READ又はWRITEサイクルのアドレスが、メモリとI/Oのどちらを参照しているのかを連絡する特別な制御線が必要となる。また、通常アキュムレータ中のデータに対してのみ働くI/O命令に制限が与えられる。

ZN427のメモリ・マップ・インターフェイスを図1に示す。ACDの8つのバイナリ出力は、MPUデータ・バスに直接接続する。また、制御入力(START CONVERSIONとOUTPUT ENABLE)は、アドレス解読ロジックで駆動する。これは、ある入力装置を指定するアドレスがアドレス・バス上に表われ、制御バス信号がVALID MEMORY READ(メモリ読み出し)又はWRITE(メモリ書込み)を指示した時に、その入力装置を駆動する。ただし、このアドレス解読ロジックの出力は、ZN427のスリー・ステート・データ出力がデータ・バス上に要求される時以外は、出力不可能となるように設計しなければならない。さもないと、データ・バス上で他のデータとの衝突が起こる。変換終了(EOC)出力は、MPUの割込み入力に直接接続し、変換サイクルの終了を示す。ZN427のクロックは、MPUクロック又は外部から駆動する。しかし、MPUクロックで駆動すれば、SC入力のタイミングに関するインターフェイスが容易になる。

(詳しくは後述)



第1図 ZN427メモリ・マップド・インターフェイス



第2図 ZN428メモリ・マップド・インターフェイス

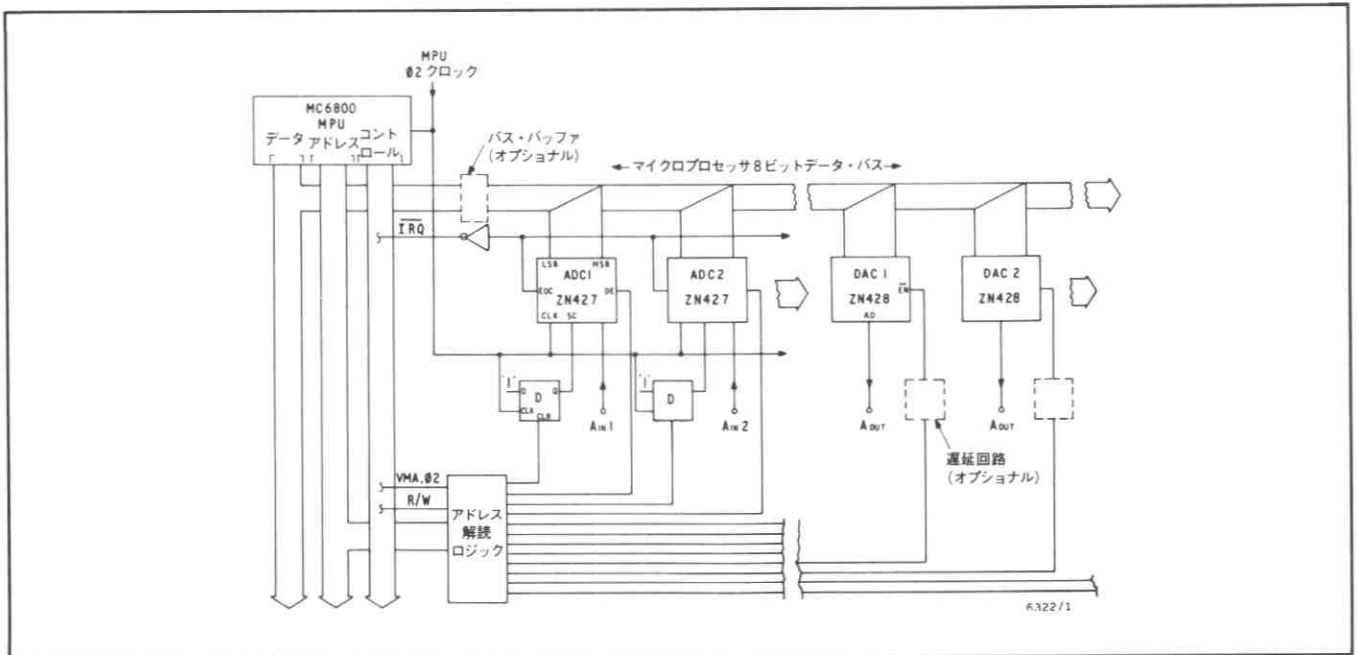
## ZN428・マイクロプロセッサ・バス・インターフェイス

メモリ・マップド・I/Oの場合、ZN428のデータ入力は直接MPUのデータ・バスに接続する(図2参照)。このアプリケーションでは、アドレス解読ロジックはDACに NOT ENABLE 信号を供給するためだけに使われる。これは、MPUのWRITE信号と解読されたアドレス信号のゲートによって達成され、DACにMEMORY WRITE命令が実行された時に、データ・バスからZN428の入力ラッチにバイナリ・コードを転送する負パルスをEN入力に送る。

## 6800バス・インターフェイス

ZN427とZN428は、バス・コンパチブルであるので、これらのコンバータをMPUのデータ・バスに直接接続したアナログI/Oシステムを作ることができる。MPU・6800のデータ・バスにコンバータを直接接続した回路を図3に示す。

データ・バスに接続できるZN427とZN428の数に制限はない。しかし、バスの駆動能力とデコード・アドレス線の数によって限定される。コンバータの駆動、負荷特性を表1に示す。図3のように、システムを拡張するために双方向性バス・バッファを使用してもよい。バッファを使用するかどうかは、コンバータの合計数、データ・バスに接続される他の周辺装置やメモリ、バスの長さ等の負荷となる要素を全て考えて決定する。



第3図 6800バス・インターフェイス

ZN427		ZN428	
パラメータ	特性	パラメータ	特性
$I_{IL}$	$-5\mu A$ max.	$I_{IL}$	$-5\mu A$ max.
$I_{IH}$	$15\mu A$ max.	$I_{IH}$	$20\mu A$ max.
$I_{IH}$ (Clock)	$30\mu A$ max.		
$I_{OL}$	$1.6mA$ min.		
$I_{OH}$	$-100\mu A$ min.		
$I_{OHX}$ (Off state leakage)	$2\mu A$ max.		

(注：電流は0.4Vと2.4Vで規定する。)

表1 ZN427とZN428の駆動負荷特性

アドレス・デコーディング回路は、MPUシステム全体の設計を考慮して決める。これは、デコード回路を接続しないで、直接アドレス・バスを接続したものから（この方法を使った場合、メモリのアドレス領域は著しく減少する）、デコード回路を使って65K全部を使うものまで可能である。このアドレス・デコーダ回路は、通常74154のようなTTL・ICで作る。また、アドレッシング・プロブレムを避けるために、VMAと $\phi$ 2クロック信号で解読アドレス出力を制御する必要がある。READ/WRITE線も使用し、各ZN427を1アドレスで制御できるようにする。たとえば、あるアドレスのWRITE命令でSC信号を発生させ、同じアドレスのREAD命令でコンバータ出力をイネーブルし、データを読み出すことができる。図中のDフリップ・フロップは、SCパルスの発生タイミングを満足させるために取り付ける。このタイミングとは次の通りである。SCパルスは、SCパルス後の最初の有効クロックの立下りより少なくとも1.5 $\mu$ S先行しなければならない。そして、SCパルスの戻りエッジは、クロックの立下りの $\pm 200ns$ 以内に生じてはならない。MPUクロックでコンバータを駆動する場合、アドレス・デコード回路を注意深く設計すれば、SCパルスを正しいタイミングで発生することができ、Dフリップ・フロップを省略できる。

MPUクロックを使用するもう1つの利点は、MPUのマシン・サイクル期間からZN427の変換時間を正確に計算できることである。変換サイクルはSCパルスが終了してから10クロック・サイクル以内に終了するので、EOC出力で、MPUの $\overline{IRQ}$ 入力を駆動するかわりに、プログラム上の遅延ループで代用できる。また、最大5つのZN427のEOC出力は、ワイヤANDし、共通割り込み線を作ることができる。

標準の6800のクロック周波数は1MHzであるので、多少精度は悪くなるが、直接ZN427を駆動できる。クロック発生回路6871Bは、614.4KHzのクロック信号を発生する。これは、ZN427の最大クロック周波数900KHz以内であるので、この $\phi$ 2TTL出力は精度が重要な応用で、直接コンバータを駆動できる。

グリッチに影響されないようにするには、ZN428の解読アドレス・イネーブル信号を遅れて出力させる必要がある。なぜならば、6800のWRITE動作中、アドレス制御信号は

データ・バス信号が有効になる前に有効になるので、データがデータ・バス上に完全に転送される前にDACはイネーブルされるためである。

アナログ出力は、直接ZN428の出力端子から取り出すことができる。この出力範囲はゼロから $V_{REFIN}$ で、出力抵抗は4K $\Omega$ である。しかし、多くの応用では、もっと広い出力範囲が要求される。これは、ZN428にそれぞれの用途に応じたバッファ・アンプを外付することによって、簡単に実行できる。ZN428は、別々のアナログとデジタル接地端子を持っており、通常これらはICの近くで互いに接続する。しかし、雑音の多いシステムにおいては、アナログ接地端子をデジタル接地から分離し、クロック発振器やデジタル・バス等のデジタル雑音源から離れた、システム中の共通接地点に接続する。この時、アナログ・デジタル接地間の最大電圧は200mVとする。

ZN427とZN428は、2.5Vのバンド・ギャップ基準電圧を内蔵している。この基準電圧は使用しないで、1.5から3Vの外部基準電圧で駆動してもよい。内蔵基準電圧を使用した場合、1つの基準電圧で最大5つのZN427又はZN428を駆動できる。したがって、電力消費・外付部品を少なくし、各コンバータ間のゲインをそろえることができる。ZN427に内蔵されているコンパレータのテイル電流は、負電源に接続する外付抵抗で発生する。この抵抗を適当に変えることによって、 $-3\sim -30V$ の間の電源で使用できる。また、負電源に流れる電流は、コンバータ1つ当たりわずか65 $\mu A$ であるので、正電源しかない場合でも、簡単なダイオード・ポンプ回路で両電源を供給できる。

メモリ・マップド・インターフェイスでは、コンバータの制御に全メモリ参照命令が使用できるので、コンバータに割り当てられたアドレス上のデータの読出し、書込みは比較的簡単である。たとえば、ADCの場合、変換サイクルは番地ALOC1にストア・アキュムレータ命令(STA A)を実行することによって始まる(ALOC1は、ADCに割り当てられた番地とする)。この命令は、SC入力にパルスが発生するために、メモリ・ライト・サイクルを発生するためだけに実行するので、この時点でアキュムレータAの内容はなんでもよい。変換の終了は、EOC出力で割り込み要求信号を発生することによって、MPUで検知する。または、簡単なプログラム遅延ループで、9コンバータ・ク

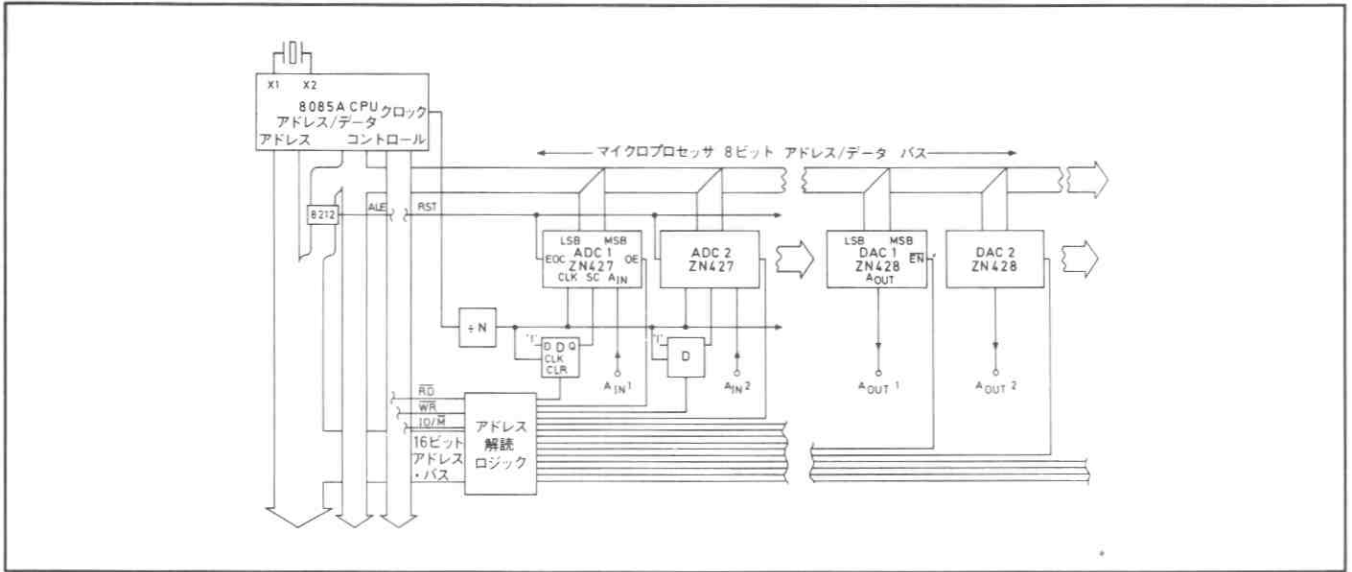


図4 8085A バス・インターフェイス

ロック・サイクル以上の遅延を発生して（たとえば、600 KHzのクロックを使用した場合、15 $\mu$ S以上になる）、変換の終了を待ってもよい。そして、割込み信号が出力されるか遅延ループが終了すると、ロード・アキュムレータ命令 (LDA A) が、番地ALOC 1に実行される。これによって、バイナリ・データはコンバータから読み出され、アキュムレータAに格納される。

DACの場合、プログラムはより簡単になる。まず、出力する値をバイナリでアキュムレータにロードする。そして、ストア・アキュムレータ命令を番地ALOC 2に実行する (ALOC 2は、DACに割り当てられた番地とする)。この命令の実行によって、データはアキュムレータからデータ・バスを通過してDACの入力ラッチに転送され、イネーブル・パルスの1.25 $\mu$ S以内にDACからアナログ出力が発生する。

## 8085バス インターフェイス

8085A・マイクロプロセッサのアナログI/Oシステムを図4に示す。これは、次の点を除いて、6800システムと同様である。

8085Aは、6800とともに最もよく使われている8ビット・マイクロプロセッサである。しかし、このMPUは、6800と違い、データ・バスがマルチプレックスであるので、アドレス・バスの下位8ビット(A0-A7)は8つのデータ・ビットで時分割されている。また、アドレス・バスは16ビットで、上位8ビットはA8-A15である。もし、アドレス・バスの下位8ビットをアドレス解読に使う時は、MPUのADDRESS LATCH ENABLE(ALE)信号でストロープされた8ビット・ラッチ(8212)でバッファしたほうがよい。8085Aは、制御線(IO/M)によって、メモリ・マップドI/O又はI/OマップドI/Oのどちらかで使用できる。したがって、I/Oデータの転送に‘IN’と‘OUT’命令を使用でき、65Kのメモリ番地を確保できる。もし、この方法を使えば、アドレス/データ・バスをデマルチプレックスする必要はない。なぜならば、I/Oデータの転送には下位の256番地のみが使用され、その下位8ビットの番地

は、この動作中では、上位8ビットにも出力されるからである。

8085Aのクロック周波数は、通常3MHzである。したがって、ZN427のクロックを作るために、8085Aのクロック出力を最低 $\frac{1}{4}$ に分周する必要がある。このため、スタート・パルスのタイミングを満足するように、解読されたアドレス信号とZN427のクロックを同期させるのは、さらにむずかしくなるため、通常Dフリップ・フロップを使って、SCパルスを発生させなければならない。

8085Aの共通EOC線は、割込み信号を発生させるために、3つのRESTART INTERRUPT入力の1つに直接接続する。また、バス上のデータは、WRITE信号が出ている間有効となるので、解読アドレス出力は遅れを持たないようにZN428のEN入力に接続する。

このように、プログラミングは非常に単純である。メモリ・マップドI/Oでは、データ転送命令—Move(MOV)、Load(LDA)、Store(STA)が、コンバータとMPUのデータ転送に使用できる。また、I/OマップドI/Oでは、入力(IN)、出力(OUT)命令が、コンバータとMPUのアキュムレータの間のデータ転送に使用される。

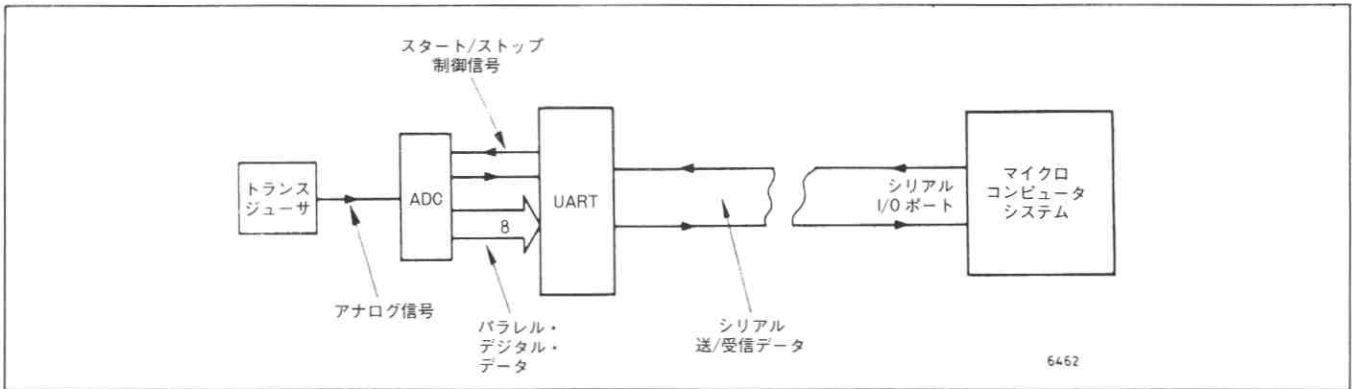
## ZN427 A/Dコンバータのシリアル・インターフェイス

### ZN 427 の動作概要

多くのデータ集取システムにおいて、A/Dコンバータがトランスジューサの近くに位置し、デジタル・データをシリアルでシステムの中心に送り返すと都合の良いことが多

い。シリアル・データ・リンクを使用するとパラレル・データ・バスよりも導線の量が少なく、済むし雑音に対して強くなる。ここでは6402UARTを使ってZN427(8ビットADコンバータ)のRS-232Cコンバーチブル・シリアル・データ・インターフェイスについて述べる。

このシステムのプロック図を第1図に示す。

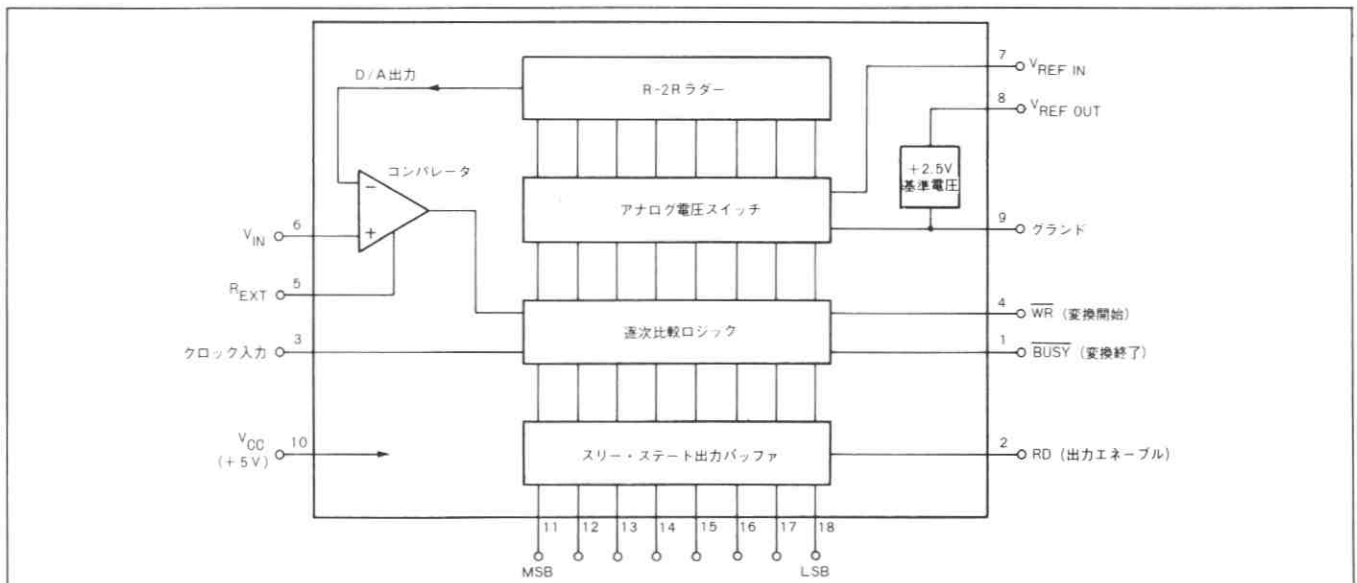


第1図 シリアル・データ・インターフェイス

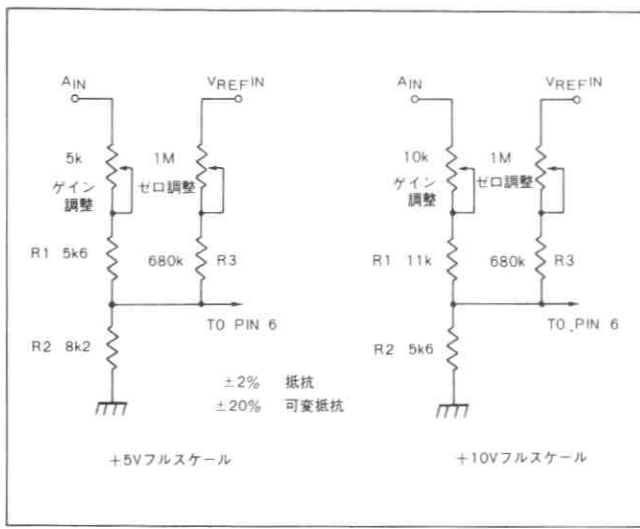
変換サイクルを開始するために、マイクロプロセッサによって命令を送信する。この命令を受信するとUARTはDR (Data Received) 出力をハイ・レベルにしてADコンバータのスタート・パルスを発生する。変換の終りでEOC (End of Convert) 出力は変換されたデータをUARTにロードするために使用され、ここで並列-直列変換されたデータはマイクロコンピュータに送信される。

ZN427は8ビットの逐次比較型ADコンバータである。このICの特長としては、共通データ・バスに直接接続できる3ステート出力、高速 $10\mu\text{s}$ 変換時間そして全動作温度範囲にわたってミス・コードがない等である。また、ZN427

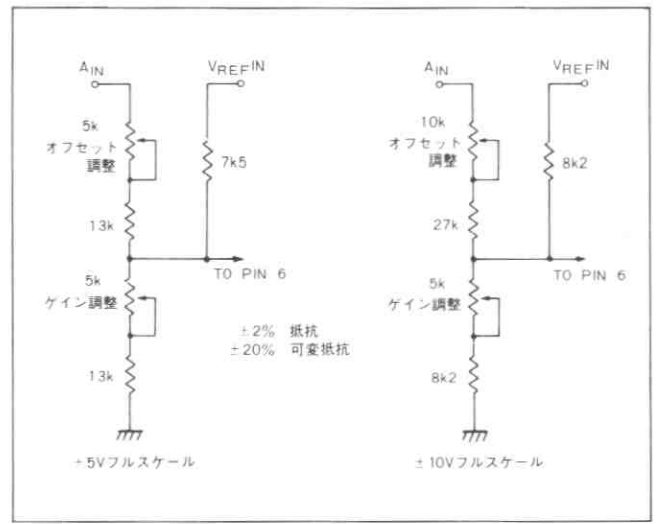
は電圧スイッチ型DAコンバータ、高速コンパレータ、逐次比較ロジック、3ステート出力バッファを $2.5\text{V}$ の精密バンドギャップ基準電源を内蔵している。このコンバータのロジック回路を第2図に示す。外付部品数はわずか、基本的な動作例では、これらは入力抵抗、基準電流抵抗と安定用コンデンサそして負電流用のリミテイング抵抗である。この場合、アナログ入力電圧範囲は0から $V_{\text{REF IN}}$ となる。ユニポーラまたはバイポーラのこれ以外の入力電圧範囲で使用したい場合、第3図(a)と(b)に示されるように $V_{\text{IN}}$ (端子6)に簡単な抵抗ネットワークを接続する。さらに詳しい情報はZN427のデータ・シートを参照のこと。



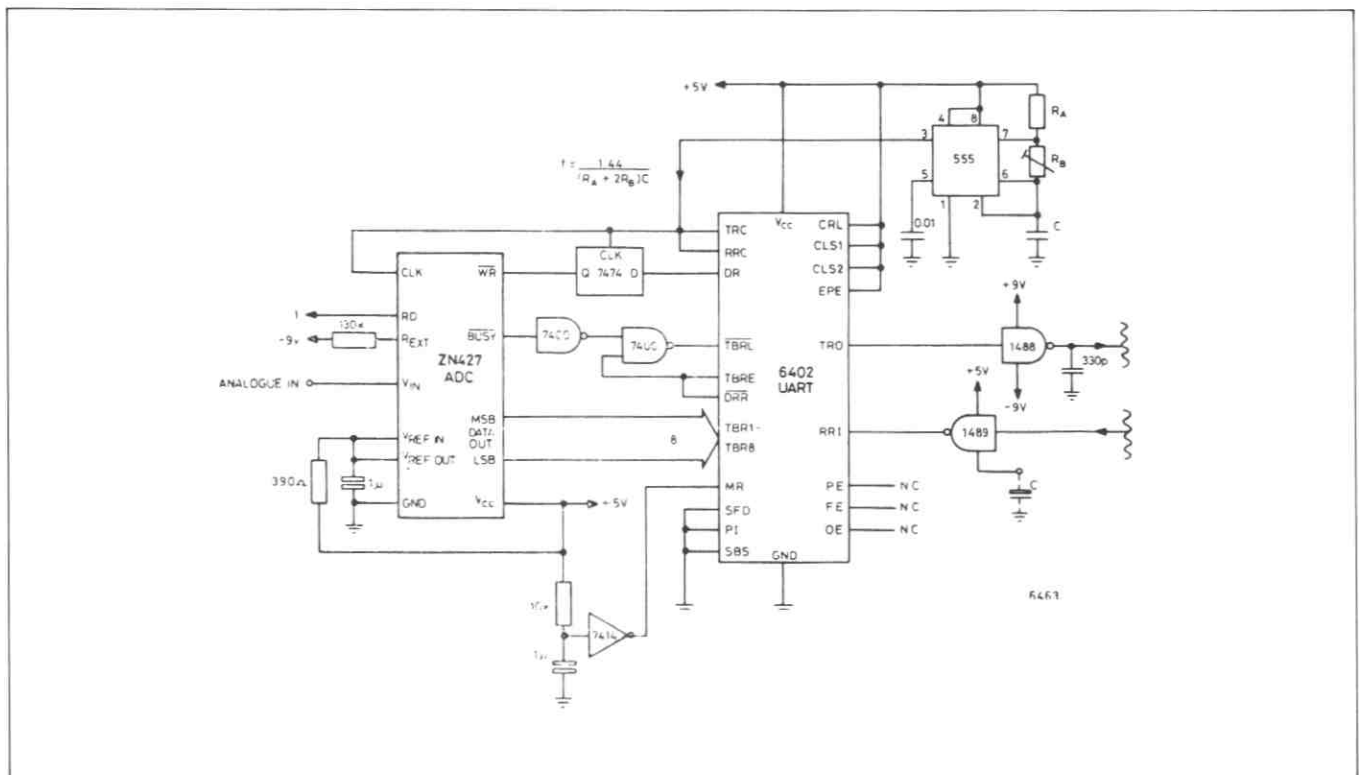
第2図 ZN427 システム図



第3図a ユニポーラ動作一部品値



第3図b バイポーラ動作一部品値

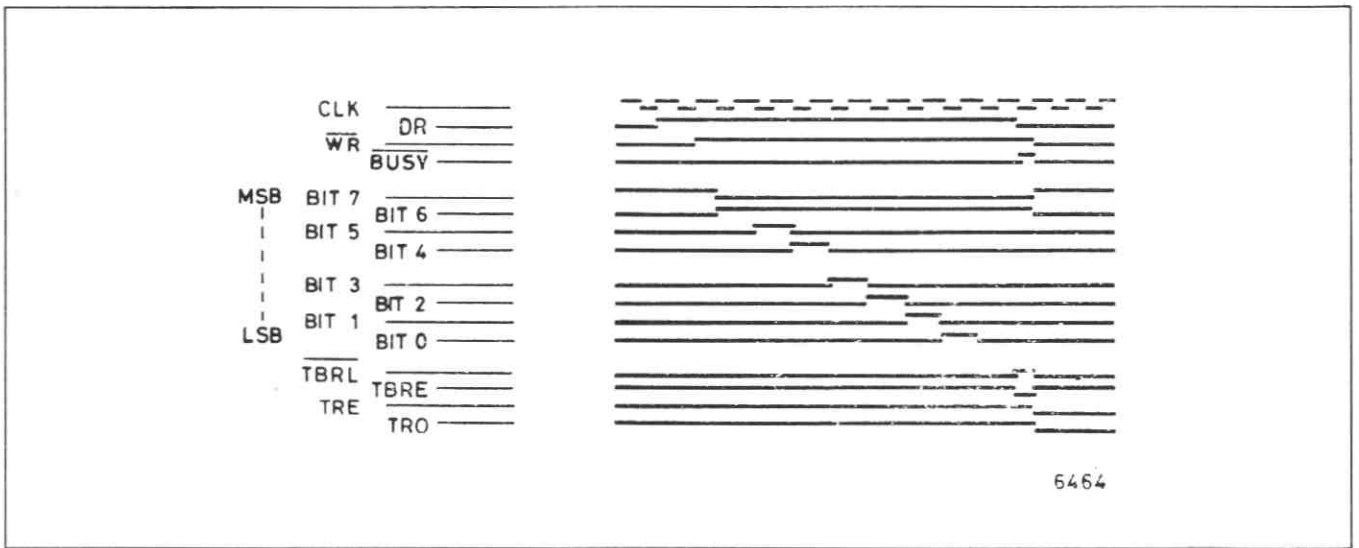


第4図 ZN427 UARTインターフェイス

UARTのDR出力はラッチ(7474)の‘D’入力に接続され、この‘Q’出力がADコンバータのWR(変換開始)入力を駆動する。この回路でWRパルスがコンバータのクロックに対して正しいタイミングで入力されるようにする。そして、WRパルス後の9番目の負のクロック・エッジでBUSY出力はハイ・レベルになり変換サイクルが終了したことを知らせる。このローからハイの立上りはデータをUARTからTBRL(Transmitter Buffer Register Load Input)を介してロードするために使用する。この信号は、UARTがデータを送信レジスタに転送するまでTBRL入力をハイに保持するためにTBRE(Transmitter Buffer Register Empty)信号とNANDゲートに入力される。もしTBREがハイになる前にTBRLがローになると、交換データはTBR(Transmitter Buffer Register)に二重に書き込まれてしまう。TBRE信号はDRR(Data Received Reset)入力も駆動し、DR出力をロー・レベルにクリアして

他の命令を受信可能な状態にする。

この動作における各出力の波形を第5図に示す。555を使った簡単な発振回路でADコンバータとUARTの送受信クロックを発生することができる。発振させるクロックはデータ・レートの16倍であり、この信号はUARTの内部で分周される。もし安定したデータ・レートが重要であるならば、6402と機能が同等で水晶を使ってクロックを発生する6430UARTを使用すると良い。この場合でもADコンバータのクロックは555で発生する。なぜなら、コンバータとUARTのクロックを同期させる必要はないからである。UARTの制御入力CLS1、CLS2(Character Length Select)、PI(Parity Inhibit)、EPE(Even Parity Enable)、SBS(Stop Bit Select)はどんなデータ・フォーマットが必要な場合でも互いに接続しておく。MR(Master Reset)入力は、電源投入後に確実にリセット・パルスが入力されるようにRC遅延回路とシュミット・トリガ7414で駆動する。

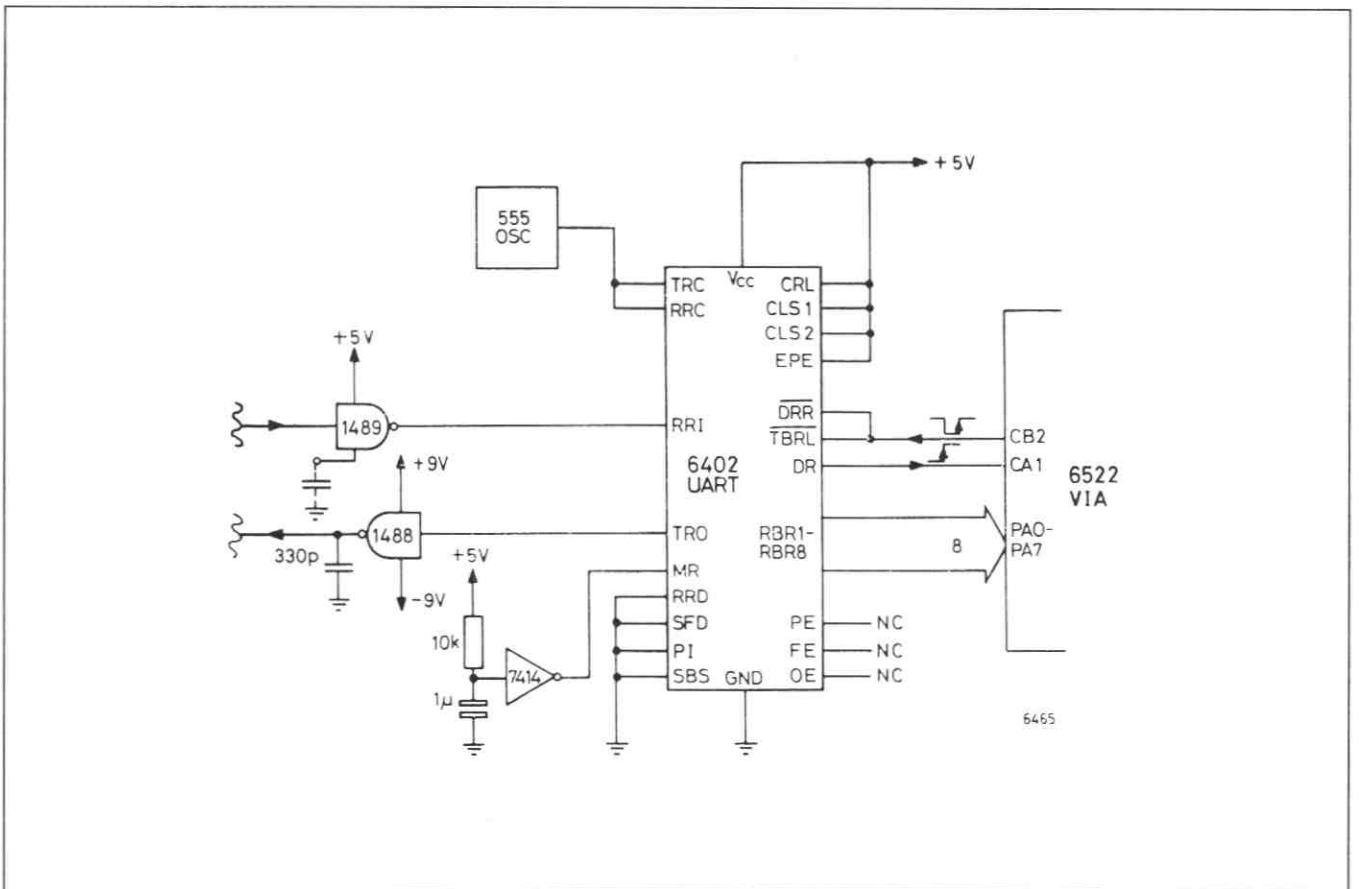


第5図 ZN427 UART インターフェイス波形

UARTのTRO(Transmitter Register Output)とRRO(Receive Register Output)端子をバッファするIC・1488と1489はRS-232Cコンパチブルのライン・ドライバとレシーバである。

RS-232CシリアルI/Oポート付のマイクロコンピュータを使用する場合、データ集取側にさらにインターフェイス回路を付加する必要はない。しかし、パラレルI/Oポートしかない場合別のUARTでシリアル・データをパラレルに戻さなければならない。PETコンピュータのコネクタJ2にあるパラレル・ユーザ・ポートとのインターフェイスを第6図に示す。この回路では、6522VIA(Versatile Interface

Adaptor)ICの8つのI/Oデータ・ライン(PA0~PA7)と2つの制御ライン(CA1とCB2)を使用する。データ・ラインPA0~PA7はUARTのRBR(Receive Buffer Register)出力に接続される。CA1入力はUARTのDR出力で駆動され、ラッチ・モードで動作する。そして、この端子の立上りでデータはVIAに書き込まれる。ADコンバータから新しいデータを読み込むための初期化は、もう一つの端子CB2で行なわれる。この端子はUARTのDRRとTBRL入力に接続される。ここに負のパルスを出力するとDR出力はリセットされ、新しい変換サイクルを開始させるための命令がコンピュータに送信される。



第6図 UART と6522のインターフェイス

PET ベーシックで書いた簡単なプログラムを次に示す。

```
10 REM UART INTERFACE REV. 3
20 REM SET PORT A TO INPUTS
30 POKE 59459, 0
40 REM DISABLE CA1 INTERRUPT
50 POKE 59470, 2
60 REM SET PCR TO 111XXXX1
70 POKE 59468, PEEK (59468) OR 225
80 REM SET ACR TO XXX000X1
90 POKE 59467, PEEK (59467) AND 227 OR 1
100 REM CLEAR CA1 FLAG IN IFR
110 A = PEEK (59457)
120 REM PULSE CB2 LOW-HIGH
130 POKE 59468, PEEK (59468) AND 31 OR 192
140 POKE 59468, PEEK (59468) OR 225
150 REM WAIT FOR +TRAN ON CA1
160 REM TEST CA1 FLAG IN IFR
170 IF (PEEK (59469) AND 2) THEN 190
180 GOTO 170
190 REM READ IRA AND CLEAR CA1 FLAG
200 A = PEEK (59457)
210 PRINT A
220 GOTO 120
```

このプログラムではまず VIA 内部レジスタを設定し、次に CB2 端子から負のパルスを出力させる。これによって変換サイクルは開始し、新しいデータを受信すると CA1 入力が高くなってデータを VIA にラッチし、CA1 フラグ・ビットを割込みフラグ・レジスタに設定する。このフラグはプログラムによってテストされ、設定されるとデータは読み込まれプリントされる。そして、CB2 は再びローに駆動され、変換サイクルが繰り返される。

6522VIA の全ての I/O ラインを使用できる 6502 ベーシック・マイクロコンピュータ・システムでは、CB2 端子の替りに CA2 端子をハンドシェイク・モードで使用できるので、プログラムを簡単にできる。また、UART のステータス・フラグは、エラー・チェックのために他の I/O ポート・ラインで監視させることもできる。



# ZN439 8ビットADコンバータ

## 6500ファミリ・マイクロプロセッサとのインターフェイス

### 概要

このアプリケーションの目的は、ZN439を6500ファミリのマイクロプロセッサにインターフェイスする方法を述べることである。回路は全て、6502開発システムでテストされているが、6500ファミリの他の全てのマイクロプロセッサにも同様に適用できる。ダイレクト・バスおよびポートを使ったインターフェイス方法を、コンバータ1個および複数個の場合について説明する。両者の場合について、割り込みを使用する方法およびポートでモニタする方法が述べてあり、ZN439をマイクロプロセッサとインターフェイスするのが容易であることがわかる。また、回路図のみならずフローチャートおよびサンプル・プログラムも、このアプリケーションには含まれている。

### ZN439 ADコンバータ

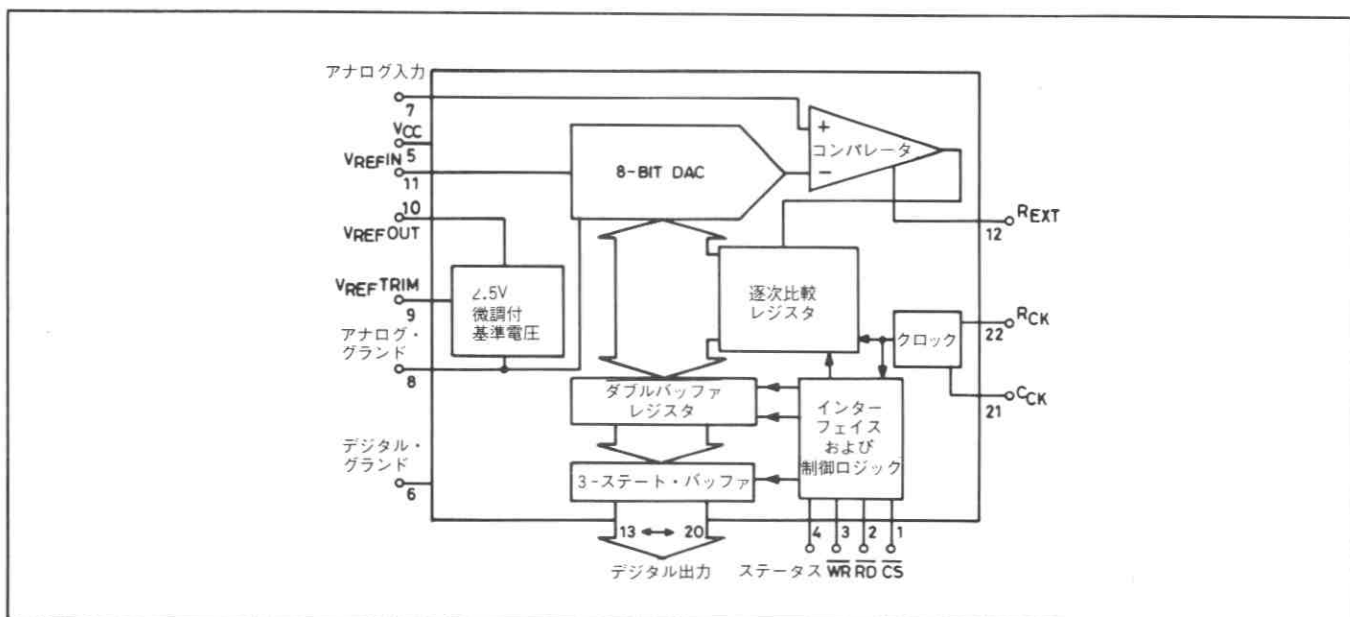
ZN439は8ビットの逐次比較型ADコンバータで、マイクロプロセッサと容易にインターフェイスできるように設計されている。クロック発生回路、微調整回路付2.5Vバンドギャップ基準電圧、制御ロジックそして3ステート出力付ダブル・バッファ・レジスタを含む全ての能動回路が、ICに内蔵されている。このデバイスの主要な特長はダブル・バッファ・レジスタを内蔵していることで、変換の状態に関係なく出力を読み出すことが可能になっている。このデバイスのブロック図を第1図に示す。

### 回路説明

ZN439は、8ビットのデジタル出力を得るために逐次比較方式を使用している。WR端子に入力される負パルスの立下りでステータス出力およびDACのMSBはハイになり、他の全てのビットはローになる。この結果生じるDACのアナログ出力は、コンパレータでアナログ入力と比較される。アナログ入力のほうが大きい場合MSBはそのまま保持され、そうでない場合MSBはリセットされる。2番目のクロック・パルスでは、この手順はMSBの次のビットに対して行わり、8ビット終了するまで繰り返される。そして、8番目のクロックの立下りでステータス出力はローになり、変換が終了したことを示す。この時、もしRD入力が高ければ、ダブル・バッファ・レジスタは新しいデータに書き換えられる。したがって、RD入力をローに接続しておくでダブル・バッファ・レジスタの内容を書き換えることができない。ステータス出力は、次のどちらかの状態になるまでローを維持する：

- 変換開始パルスがWR入力に供給される。
- RD入力に読み出しパルスを供給することによって、データがコンバータから読み出される。

読み出しパルスを供給することによってステータス出力がリセットされるため、このデバイスは割り込みによる動作に適している。たとえば、変換が終了するとステータス出力はローになり、割り込みを発生する。そして、割り込みサービス・ルーチンでコンバータからのデータの読み出

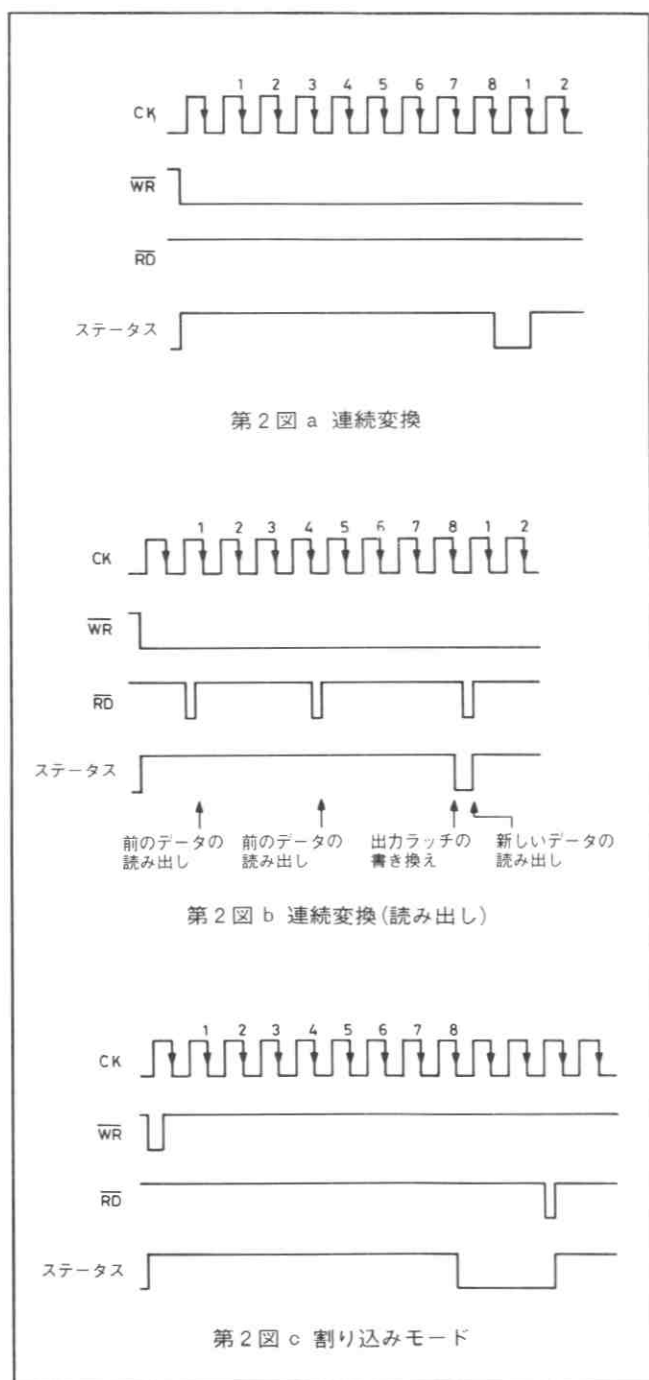


第1図 ZN439 ブロック図

しを行う。その結果ステータス出力はハイに戻り、割り込みを終了する。

このデバイスは、CSとWR入力をローに接続することによって連続変換を行うことができる。このモードでは、変換終了後ステータス出力がローになり、1クロック・サイクルの間ローのまま維持する。その後、次の変換が自動的に開始され、ステータス出力はハイになる。もし、読み出しパルスがRD入力に供給されれば、ステータス出力はその時点でハイになる。

CS入力は、アドレスを解読してデバイスをイネーブ爾するのに使用する。CSがハイの間、RDおよびWR信号はロックされるため、コンバータの制御信号は無視される。割り込みおよび連続変換モードのタイミング図を第2図に示す。このデバイスについてのさらに詳しい動作については、ZN439のデータ・シートを参照のこと。



第2図 ZN439 タイミング図

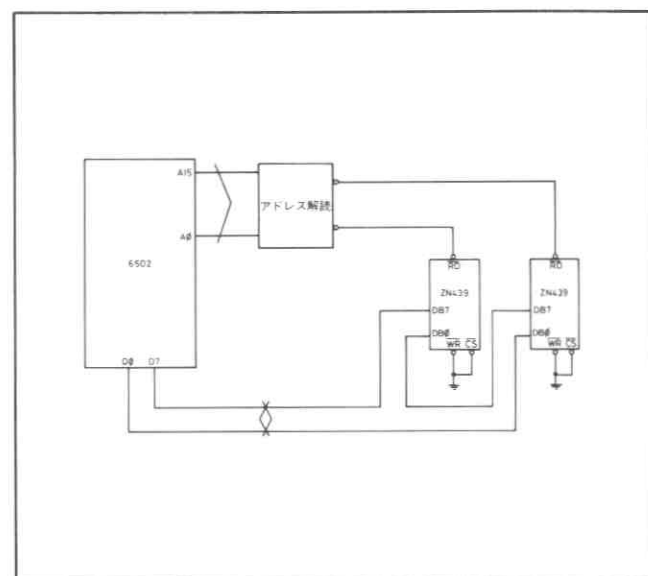
## ダイレクト・バス・インターフェイス

6500ファミリは、10個のNMOSマイクロプロセッサから成り立っている。全てバスおよびソフトウェア・コンパチブルで、アドレスラブル・メモリ、割り込み入力、内蔵のクロック発生回路およびドライバ等の機能も備えている。1 MHz、2 MHz、3 MHzという3種類のデバイスがありパイプライン構造になっているため、非常に高速の実行速度を達成できる。このシリーズは、最近のCMOSマイクロプロセッサ(1 MHz、2 MHz、3 MHz、4 MHz)の追加によって拡張された。各デバイスは、64 Kバイトのアドレス範囲、改良された命令セット、低消費電力、2種類のハードウェア拡張という特長を持っているが、全てNMOSデバイスとバスおよびソフトウェア・コンパチブルである。

これらマイクロプロセッサのアーキテクチャおよび命令セットについては、このアプリケーションでは詳しく述べていないので、ユーザはこれらについては精通していると仮定する。したがって、6500および65C00マイクロプロセッサ・ファミリの詳細については、各デバイスのデータ・シートを参照のこと。

## ROMモード動作

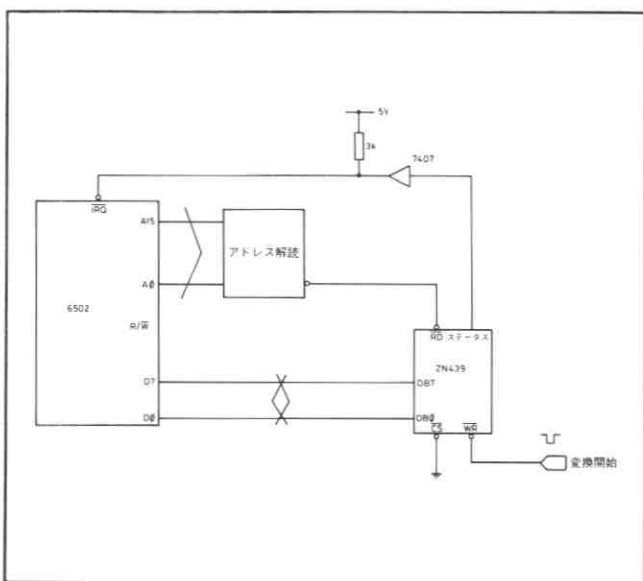
ZN439の最も重要な特長は、変換の状態に関係なくいつでも有効なデータを読み出せることである。したがって、このデバイスはROMモードの動作に適している。アドレス解読ロジックを使用することによって、ZN439はROMと同様にシステム・メモリ中に配置することができる。解読されたイネーブ爾・ラインは、ZN439のRD入力に接続する。したがって、マイクロプロセッサがこのアドレスからデータを読み出すとRD入力がローになり、ZN439はバス上に有効なデータを出力する。WRおよびCSラインは、ZN439が連続変換を行うようにローに接続する。このように、クロック・スピードが1.6MHzの場合、データは最大5 $\mu$ S遅れてアップ・データされる。このモードに必要な接続回路のブロック図を第3図に示す。



第3図 直接バス・インターフェイス

## 割り込みモード動作

コンバータからのデータを頻りに読み出さない場合、割り込みモードを使用したほうが良いことがある。このモードでは、変換開始パルスはWR入力に供給される。変換の終りで生じるステータス出力の立下りは、割り込みを発生させるために使用する。これは、出力がマイクロプロセッサのIRQ入みに接続されたオープン・コレクタ・バッファによって、ステータス出力をバッファすることによって行われる。データは、割り込みサービス・ルーチンの間にZN439から読み出される。そして、データの読み出し動作はステータス出力をハイに戻し、割り込みを終了させる。第4図にブロック図を示す。



第4図 割り込みモード直接バス・インターフェイス

電源投入後ステータス出力はローになるので、IRQラインもローになってしまう。したがって、ZN439のデータの読み出しを行ってステータス・ラインをハイにし、割り込みを終了させなければならない。こうすれば、電源投入後マイクロプロセッサに割り込みが発生し、誤ったデータが読み出されるのを防ぐことができる。

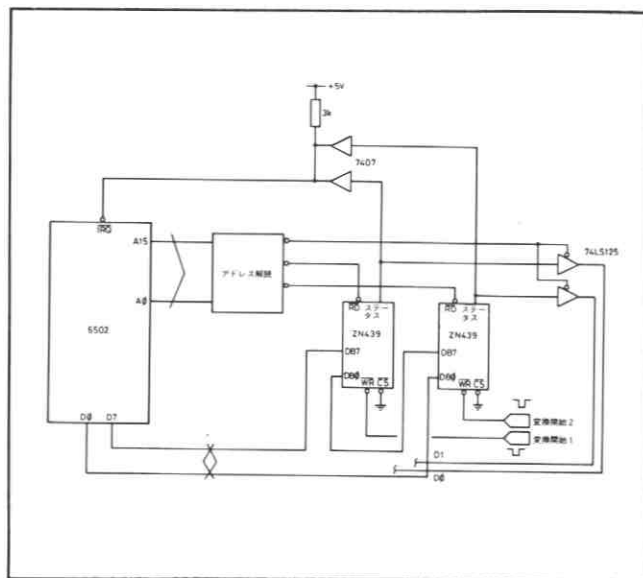
もう1つの割り込みモード動作は、遅いクロック・スピードで(たとえば、1 KHz)連続変換を行う場合である。この方法は、ゆっくり変化するアナログ電圧をモニタする時に使用できる。入力電圧が、1変換サイクルの間に1LSB以上変化しないと仮定すると、デジタル出力は8ビット精度になる。マイクロプロセッサ割り込みは、前に述べたようなステータス出力バッファ回路によって発生する。このモードの場合、ステータス出力は(したがって、IRQラインも)、1クロック・サイクルの間ローになる。したがって、マイクロプロセッサはこの期間に割り込みに応答しなければならない。もし、マイクロプロセッサが1 ZN439クロック・サイクルの間に応答しないと、割り込みを実行できない。これは、通常複数割り込みシステムでのみ問題になる。そのようなシステムでは、ZN439割り込みはマイクロプロセッサが他の割り込みデバイスのサービスを終了するまで無視される。したがって、他の割り込みサービス・ルーチ

ンは1 ZN439クロック・サイクル以上であってはならない。

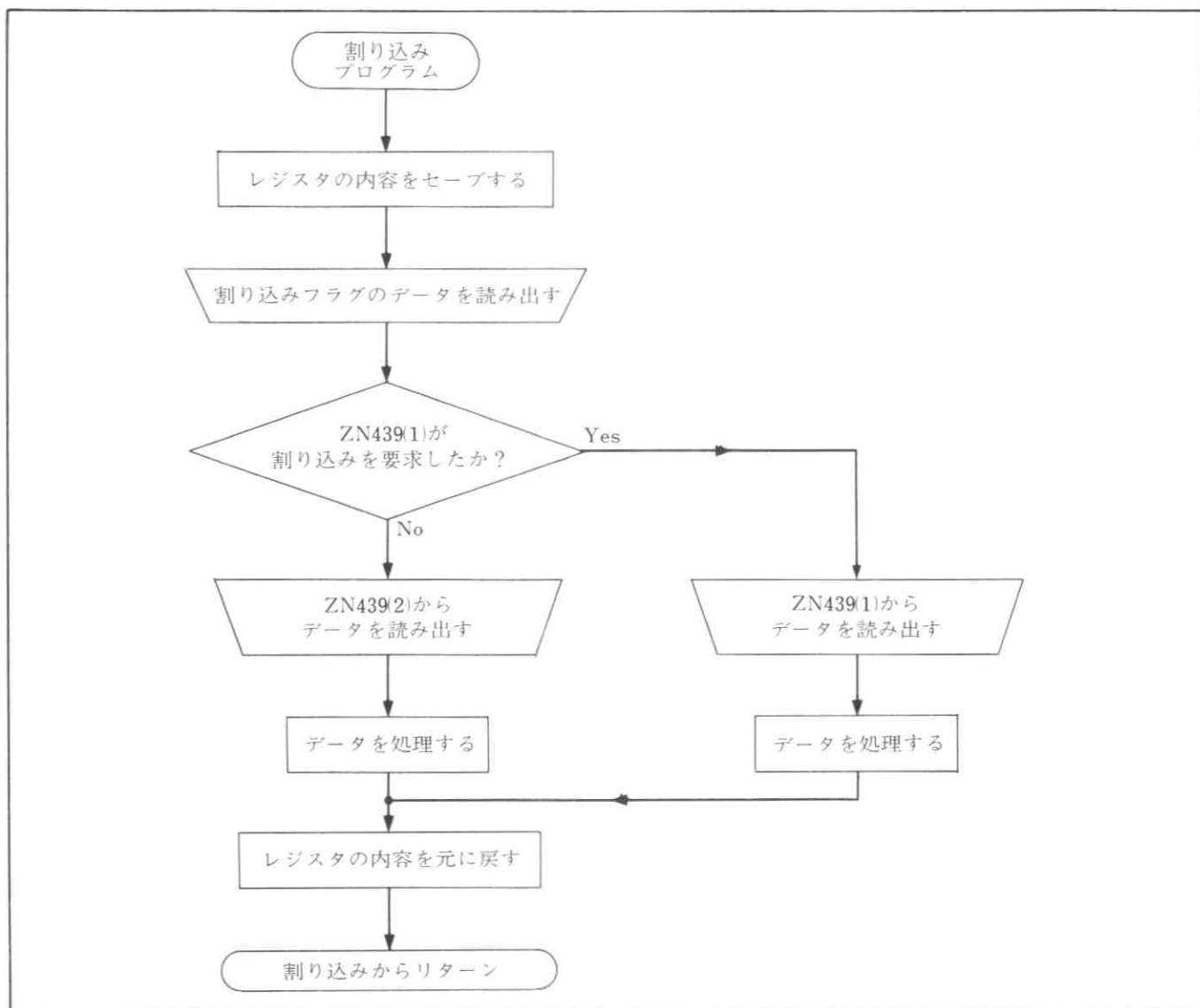
## 複数割り込みシステム

いくつかのシステムでは、1個以上のデバイスが割り込み信号を出力する。このような複数割り込みシステムの場合、どのデバイスが割り込み信号を出力したか決定する機能が必要になる。つまり、各割り込みデバイスは、それが割り込みを要求しているということをマイクロプロセッサに知らせるためのフラグを用意しておかなければならない。ZN439でこれを行う最も簡単な方法は、割り込みフラグとしてステータス出力を使うことである。これは、ステータス出力をスリー・ステート・バッファを介してデータ・バスのビット0に接続することによって実行できる。スリー・ステート・バッファのイネーブル・ラインは、ZN439のRD入力と同様のアドレス解読回路から駆動される。したがって、このアドレスからデータを読み出しビット0を調べることによって、マイクロプロセッサはZN439が割り込みを要求したかどうか判断することができる。

この一例として、2つのZN439がメモリ・マップ上で連続するアドレスに位置する場合を次に示す。両デバイスは、別々の非同期変換開始入力(WR)を有している。前に述べたように、最初のZN439のステータス出力はデータ・バスのビット0に、2番目のZN439のステータス出力はビット1に接続されている。フラグ・アドレスからデータを読み出し、ビット0と1を調べることによって、マイクロプロセッサはどちらのコンバータが割り込みを発生したか決定することができる。回路図を第5図に示す。そして、代表的な割り込みサービス・ルーチンの流れ図とプログラムをそれぞれ第6図と第7図に示す。



第5図 複数割り込み直接バス・インターフェイス



第6図 流れ図

アドレス	オブジェクト・コード	ラベル	ニモニック	オペランド	コメント
2000	48		PHA		レジスタの内容をセーブ
2001	8A		TXA		
2002	48		PHA		
2003	98		TYA		
2004	48		PHA		
2005	AD 00 12		LDA	1002	フラグ・データを読み出す
2008	4A		LSR	A	ZN439(1)が割り込み信号を出力したか?
2009	B0 08		BCS	AD2	
200B	AD 00 10		LDA	1000	ZN439(1)のデータを読み出す
200E	85 80		STA	80	データを処理する
2010	4C 18 20		JMP	END	
2013	AD 00 11	AD2	LDA	1001	ZN439(2)のデータを読み出す
2016	85 81		STA	81	データを処理する
2018	68	END	PLA		レジスタの内容を元に戻す
2019	A8		TAY		
201A	68		PLA		
201B	AA		TAX		
201C	68		PLA		
201D	40		RTI		リターン

第7図 プログラム

アドレス・ロケーション

- 80 ZN439(1)のデータをストアするメモリ番地
- 81 ZN439(2)のデータをストアするメモリ番地
- 1000 ZN439(1)
- 1001 ZN439(2)

- 1002 割り込みフラグ
  - 2000 プログラムの開始アドレス
- 注：全数は16進数である。

4MHz CMOS 65C00シリーズとの  
インターフェイス

高速の 4 MHz 65C00 シリーズの最小アクセス時間は、160nsである。このアクセス時間は、アドレス解読に要する遅延時間とZN439データ出力のイネーブル時間を含まなければならない。しかし、ZN439の最小イネーブル時間は160nSであるので、ZN439はこのマイクロプロセッサに直接インターフェイスするにはスピードが遅すぎる。この問題を解決するため、マイクロプロセッサの RDY 入力を使ってリード・サイクルを拡張しなければならない。第 8 図は、ZN439のリード・サイクルの間 1 クロック期間マイクロプロセッサをストップさせる、JKフリップ・フロップを使った簡単な回路である。これは、高速マイクロプロセッサを使用する場合の標準的方法である。タイミング図を第 9 図に示す。

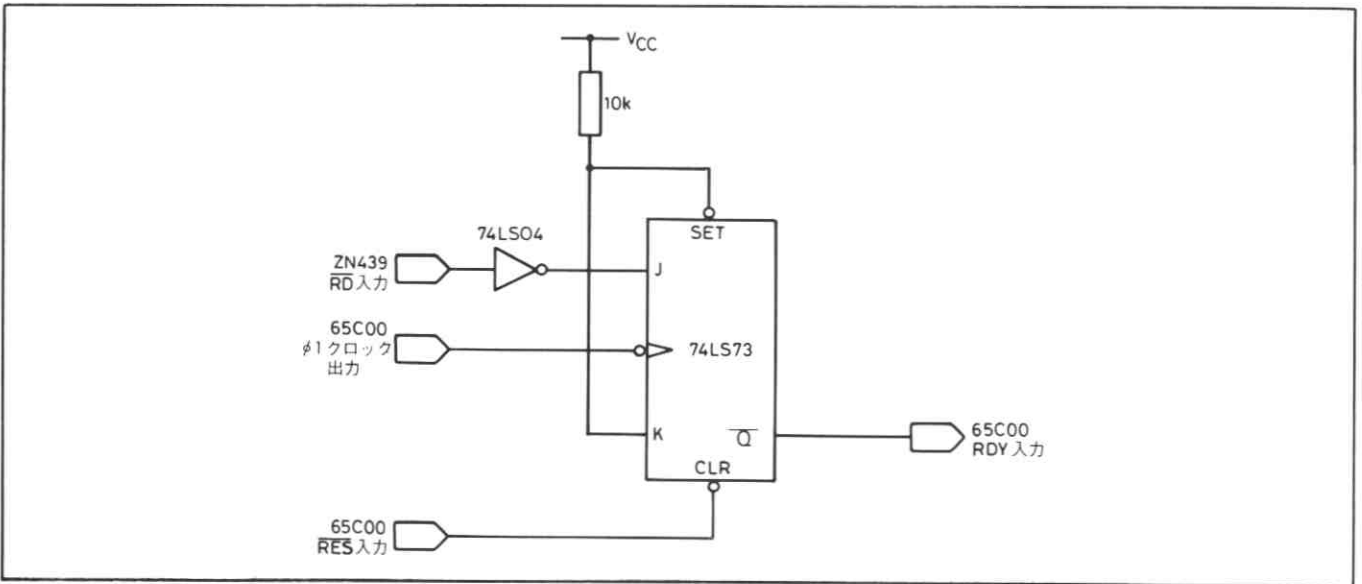
ポート・インターフェイス

コンバータをマイクロコンピュータ・システムにインターフェイスしなければならないことがある。この場合、アドレス空間は既に十分に割り当てられており、システム・ポートを使用しなければインターフェイスできないことがある。次の章からは、ZN439と代表的な周辺インターフェイスICである6522VIAをインターフェイスするいくつかの方法のハードウェアおよびソフトウェアの詳細を述べている。

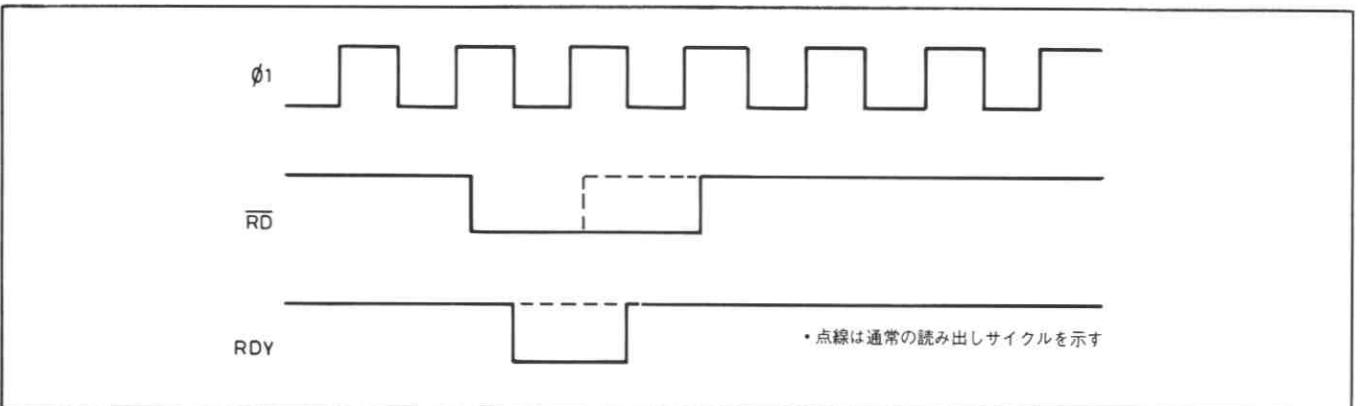
全てのプログラムは、6522が休止状態であるということ仮定している。

6522 汎用インターフェイスIC

6522VIAは、NMOSのI/O制御デバイスで、1 MHzおよび2 MHzの2種類のデバイスがある。このICは、2つの8ビット双方向ポートを内蔵しており、各ラインを入力または



第 8 図 読み出しサイクル拡張回路



第 9 図 タイミング図

出力にプログラムすることができる。各ポートには、2つの制御ラインがあって、割り込み入力またはハンドシェイク出力のどちらかにプログラムすることができる。また、このICは、2つの16ビット・カウンタ・タイマおよびシリアル・シフト・レジスタを内蔵している。多くの機能の制御を容易にするため、VIAは割り込みフラグ、割り込みイネーブル、機能制御そして補助制御レジスタを内蔵している。

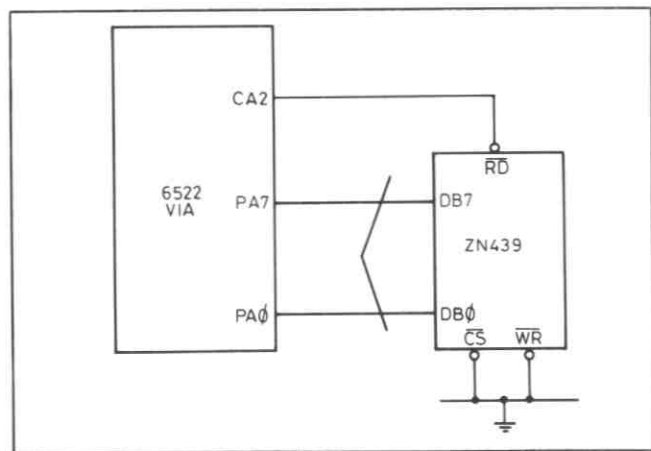
6500ファミリでCMOSマイクロプロセッサを実行させるために、65C22というCMOS・VIAも入手できる。このデバイスには、4種類のスピードのものがあり(1、2、3および4MHz)、NMOSデバイスとフル・コンパチブルである。

詳細については、6522および65C22のデータシートを参照のこと。

## ダイレクト・ポート・インターフェイス

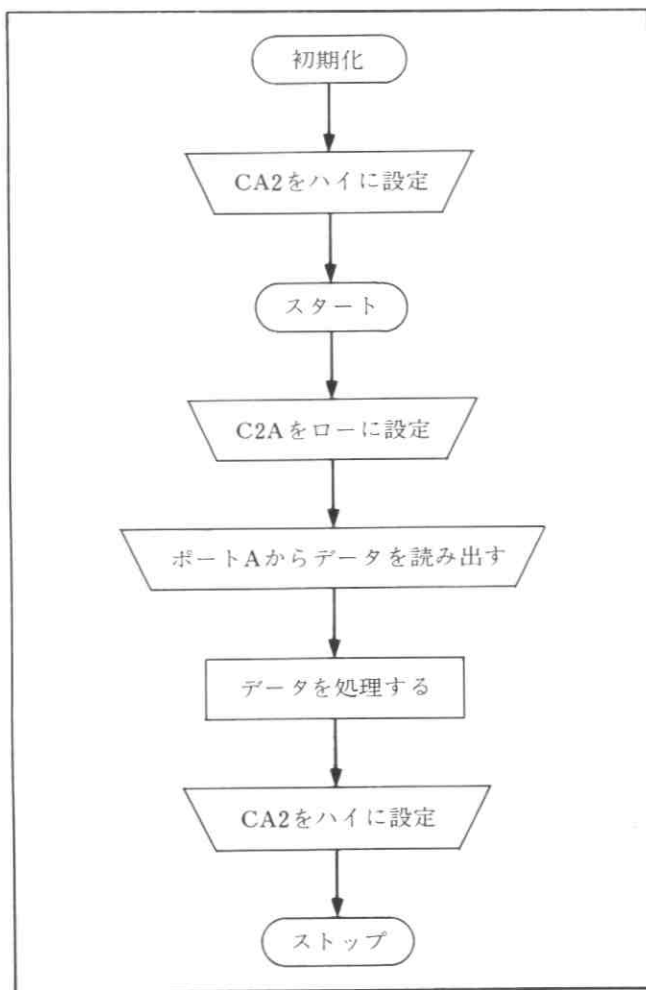
### (1)単一コンバータ

コンバータ1個を6522にインターフェイスする最も簡単な方法を第10図に示す。ZN439のデータ出力は、入力に設定されたポートAのデータ・ラインに接続される。RD入力をローに接続しておくことはできないので、コンバータ・データを読み出す前にローにし、その後ハイに戻さなければならない。これは、ポートA制御ラインCA2を出力に



第10図 単一コンバータ直接ポート・インターフェイス

設定することによって実行される。データを読み出すために、CA2をローにする。そして、データはポートA入力レジスタから読み出される。最後にCA2をハイに戻して、次の変換が終了した後にZN439のダブル・バッファ・レジスタを書き換え可能にする。1つのポートしか使用しないので、PA0~7とCA2の替りにPB0~7とCB2を使用すれば、同様にポートBにも応用できる。必要な初期化およびデータ読み出しステップの流れ図とプログラムを、それぞれ第11図および第12図に示す。



第11図 流れ図

アドレス	オブジェクト・コード	ラベル	ニモニック	オペランド	コメント
2000	AD 0C 50		LDA	500C	他のポート制御ラインに影響がないようにCA2をハイに設定する
2003	29 F1		AND	#F1	
2005	09 0E		ORA	#0E	
2007	8D 0C 50		STA	500C	
3000	AD 0C 50		LDA	500C	CA2をローに設定する
3003	29 FD		AND	#FD	
3005	8D 0C 50		STA	500C	
3008	AD 01 50		LDA	5001	ZN439のデータを読み出す
300B	85 80		STA	80	データを処理する
300D	AD 0C 50		LDA	500C	CA2をハイに設定する
3010	09 02		ORA	#02	
3012	8D 0C 50		STA	500C	

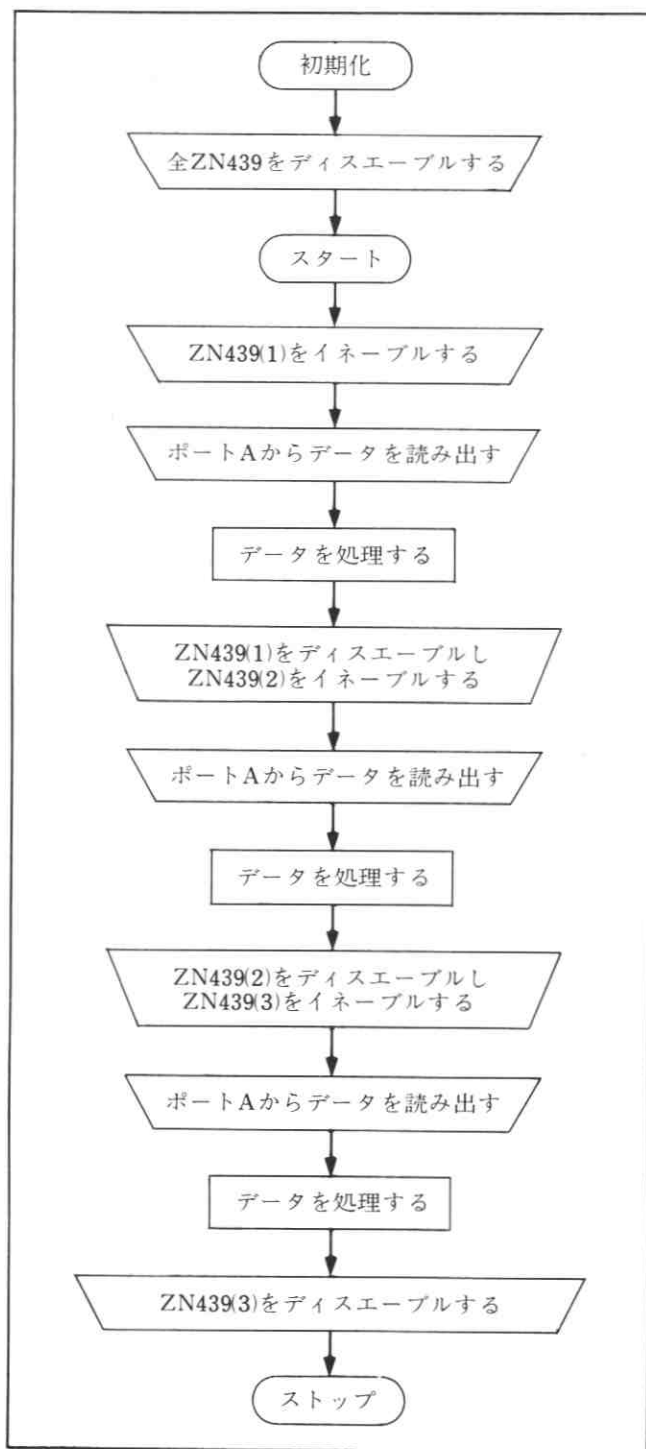
第12図 プログラム

アドレス・アローケーション

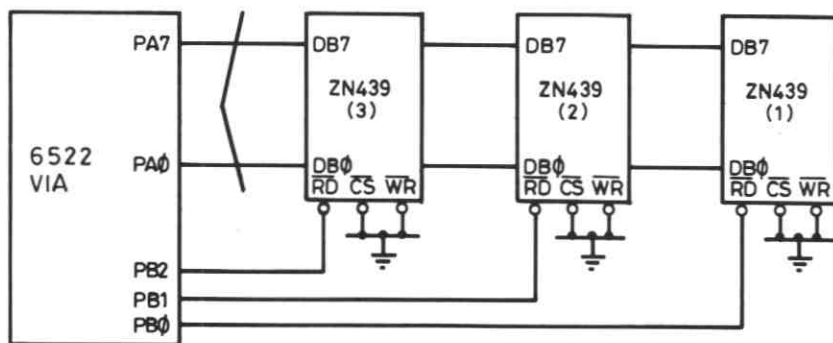
- 80 ZN439のデータをストアするメモリ・アドレス
- 2000 初期化の開始アドレス
- 3000 ZN439読み出しプログラムの開始アドレス
- 5001 ポートAのVIAデータ・レジスタ
- 500C VIA周辺制御レジスタ

(2)複数コンバータ

1個以上のコンバータを6522に接続するには、単一コンバータ回路を拡張して使用する。回路図を第13図に示す。前章と同様に、ポートA入力は各コンバータのデータ・ビット出力に接続する。ポートBは、各コンバータのRD入力を別々に駆動する。ZN439からデータを読み出すには、対応するポートBのビット出力をローにする。データは、前章と同様にポートA入力レジスタから読み出される。ポートBの出力ビットが、同時に2つ以上ローにならないように注意しなければならない。流れ図およびプログラムを、第14図および第15図に示す。



第14図 流れ図



第13図 複数コンバータ直接ポート・インターフェイス

アドレス	オブジェクト・コード	ラベル	モニタック	オペランド	コメント
2000	A9 07		LDA	#07	全ZN439をディスエーブルする
2002	8D 00 50		STA	5000	
2005	8D 02 50		STA	5002	
3000	A9 06		LDA	#06	ZN439(1)をイネーブルする
3002	8D 00 50		STA	5000	
3005	AD 01 50		LDA	5001	ZN439(1)からデータを読み出す
3008	85 80		STA	80	データを処理する
300A	A9 05		LDA	#05	ZN439(1)をディスエーブルし、ZN439(2)をイネーブルする
300C	8D 00 50		STA	5000	
300F	AD 01 50		LDA	5001	ZN439(2)からデータを読み出す
3014	85 81		STA	81	データを処理する
3014	A9 03		LDA	#03	ZN439(2)をディスエーブルし、ZN439(3)をイネーブルする
3016	8D 00 50		STA	5000	
3019	AD 01 50		LDA	5001	ZN439(3)からデータを読み出す
301C	85 82		STA	82	データを処理する
301E	A9 07		LDA	#07	ZN439(3)をディスエーブルする
3020	8D 00 50		STA	5000	

#### アドレス・アローケーション

80	ZN439(1)のデータをストアするメモリ・アドレス	3000	ZN439読み出しプログラムの開始アドレス
81	ZN439(2)のデータをストアするメモリ・アドレス	5000	ポートBのVIAデータ・レジスタ
82	ZN439(3)のデータをストアするメモリ・アドレス	5001	ポートAのVIAデータ・レジスタ
2000	初期化の開始アドレス	5002	ポートBのVIAデータ方向レジスタ

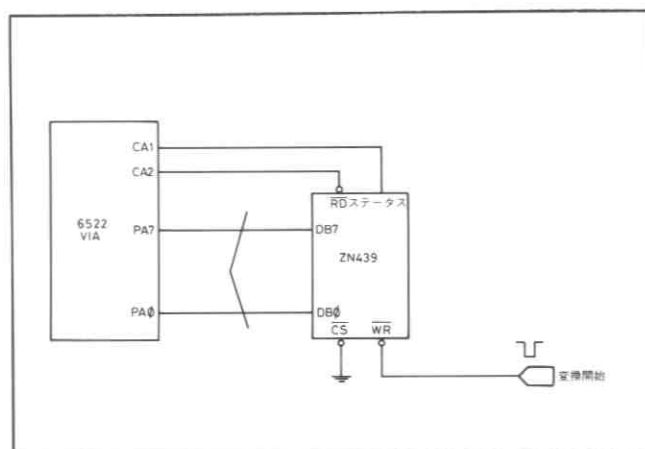
第15図 プログラム

## 割り込みポート・インターフェイス

### (1) 単一コンバータ

いくつかの場合、ZN439を割り込み駆動させたほうが良いことがある。ZN439は、新しいデータが有効になったことをVIAに連絡する。VIAはマイクロプロセッサに割り込みを行い、変換されたデータの読み出しおよび処理を行うルーチンを実行する。これは、第10図の直接ポート・インターフェイス回路を拡張することによって、簡単に実現できる。割り込み動作は、ステータス出力をCA1入力に接続することによって可能になる。この回路図を第16図に示す。

変換開始パルスは、 $\overline{WR}$ 入力に供給される。そして、変換が終了するとステータス出力はローになる。このため、CA1割り込み入力はローに立下り、VIAのCA1割り込みフラグがセットされる。ここで、CA1割り込みイネーブル・ビットをセットすれば、VIAはIRQ出力をローにし、システム割り込みを発生する。そして、マイクロプロセッサは、割り込みサービス・ルーチンを実行する。このルーチンは、前に述べたようにポートAから変換されたデータの読み出



第16図 単一コンバータ割り込みポート・インターフェイス

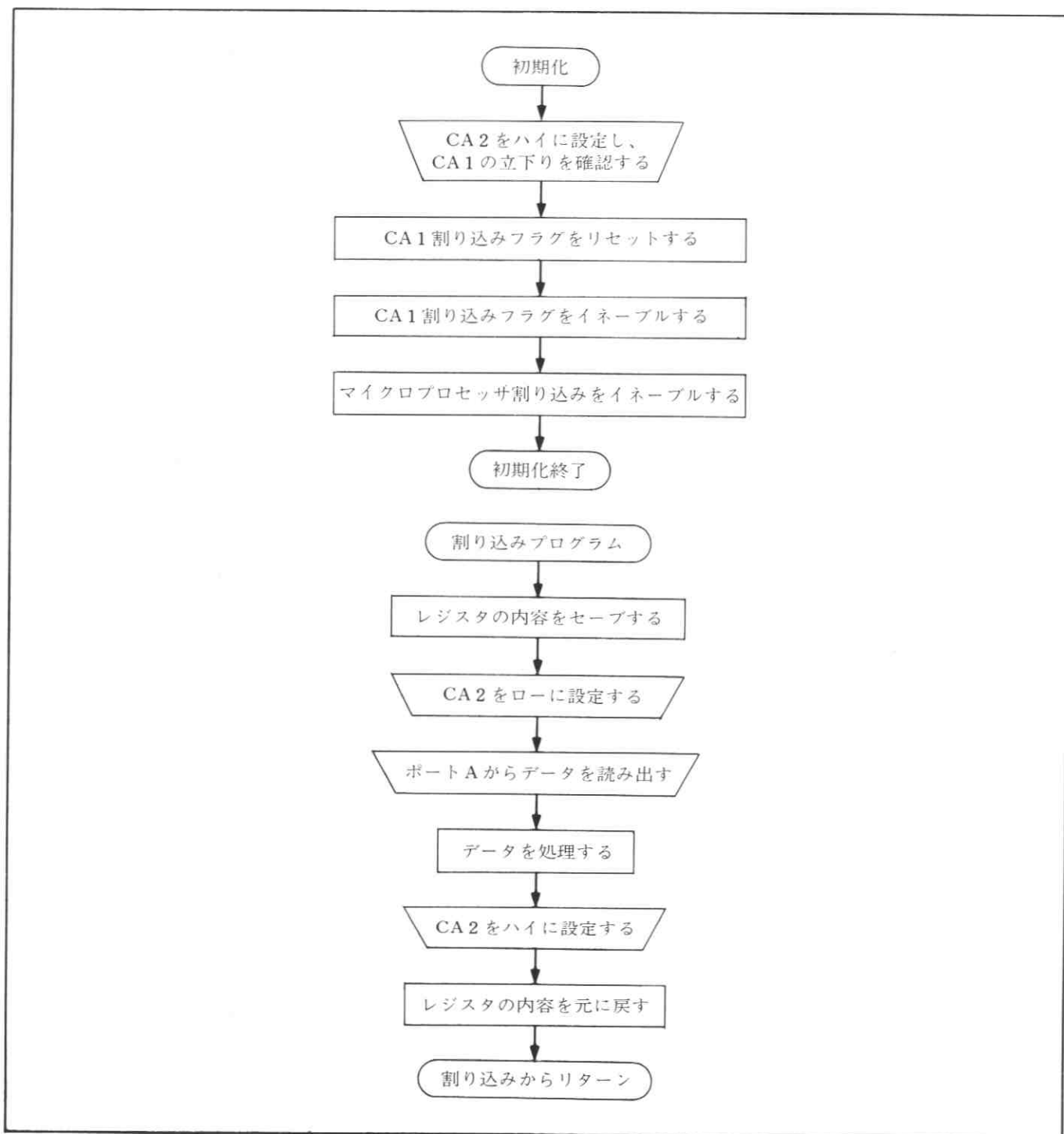
しを実行する。

電源投入時に問題が生じる可能性があることに注意する。Vccが4.75Vに達した後、ステータス出力は1から8クロック期間の間にローになる。もし、VIAのRES入力が少くともこの間ローに保持されていないと、ステータス出力の立



下りはCA1の割り込みフラグをセットする。したがって、CA1割り込みイネーブル・ビットがセットされれば、割り込みが発生し、マイクロプロセッサは誤ったデータを読み出す。この問題を解決するためには、割り込みイネーブル・ビットがセットされる前の初期化の間に、CA1割り込みフラグをリセットしなければならない。

代表的な流れ図およびプログラムを、第17図および第18図に示す



第17図 流れ図

アドレス	オブジェクト・コード	ラベル	ニモニック	オペランド	コメント
2000	AD 0C 50		LDA	500C	他のポート制御ラインに影響を与えないように、C A2をハイに設定し、CA1で立下りを確認する
2003	29 F0		AND	#F0	
2005	09 0E		ORA	#0E	
2007	8D 0C 50		STA	500C	
200A	A9 82		LDA	#82	CA1割り込みフラグをリセットする
200C	8D 0D 50		STB	500D	
200F	8D 0E 50		STA	500E	CA1割り込みフラグをイネーブルする
2012	58		CLI		マイクロプロセッサ割り込みをイネーブルする
3000	48		PHA		レジスタの内容をセーブする
3001	8A		TXA		
3002	48		PHA		
3003	98		TYA		
3004	48		PHA		CA2をローに設定する
3005	AD 0C 50		LDA	500C	
3008	29 FD		AND	#FD	
300A	8D 0C 50		STA	500C	
300D	AD 01 50		LDA	5001	ZN439からデータを読み出す
3010	85 80		STA	80	データを処理する
3012	AD 0C 50		LDA	500C	CA2をハイに設定する
3015	09 02		ORA	#02	
3017	8D 0C 50		STA	500C	
301A	68		PLA		レジスタの内容を元に戻す
301B	A8		TAY		
301C	68		PLA		
301D	AA		TAX		
301E	68		PLA		
301F	40		RTI		

#### アドレス・アローケーション

80	ZN439のデータをストアするメモリ・アドレス	500C	VIA周辺制御レジスタ
2000	初期化の開始アドレス	500D	VIA割り込みフラグ・レジスタ
3000	割り込みプログラムの開始アドレス	500E	VIA割り込みイネーブル・レジスタ
5001	ポートAのVIAデータ・レジスタ		

#### 第18図 プログラム

##### (2) 複数コンバータ

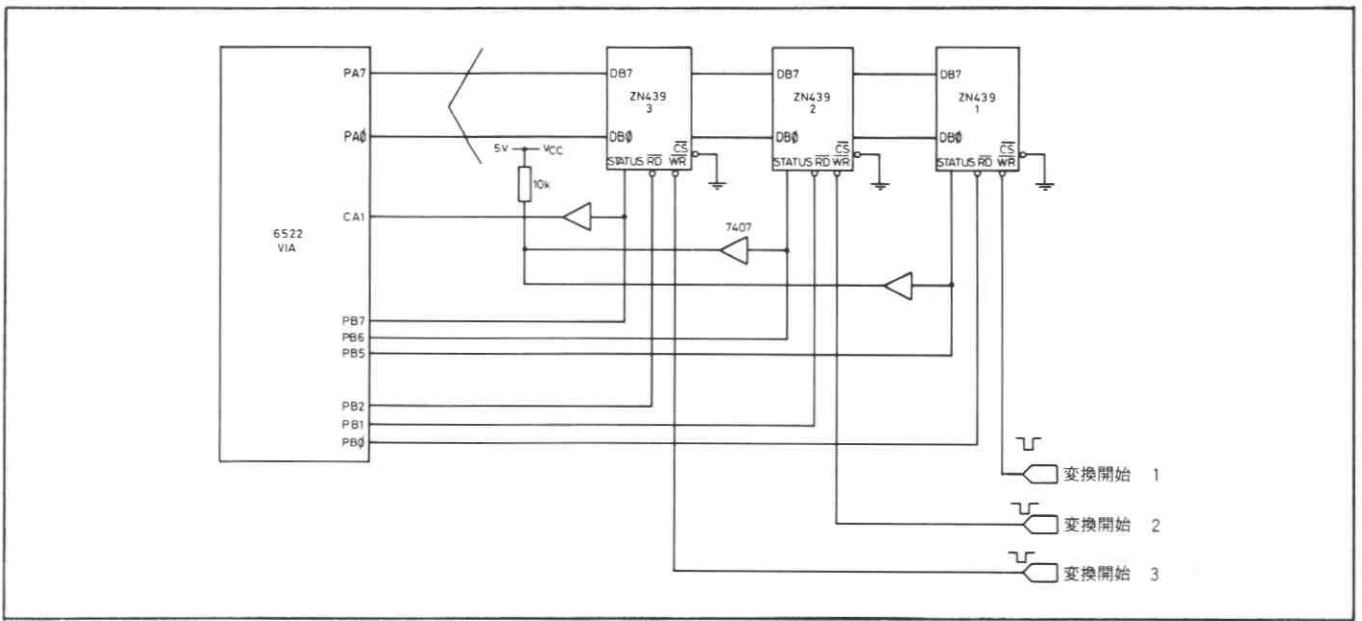
2個以上のコンバータをVIAにインターフェイスする場合、2つの問題を考慮しなければならない。

第1に、割り込み発生に関する問題がある。通常の処理方法としては、ステータス出力を互いにワイヤORし、この共通出力を割り込み入力CA1に接続することによって実行する。

2番目の問題は、どのデバイスが割り込みを発生したか判別することである。これは、各デバイスのステータス出力を割り込みフラグとして使用し、各ビットをポートBの入力ビットに接続することによって実行できる。これらのフラグを調べることによって、マイクロプロセッサはどのデバイスが割り込みを要求したか確認することができる。

3つのデバイスをVIAにインターフェイスするための回

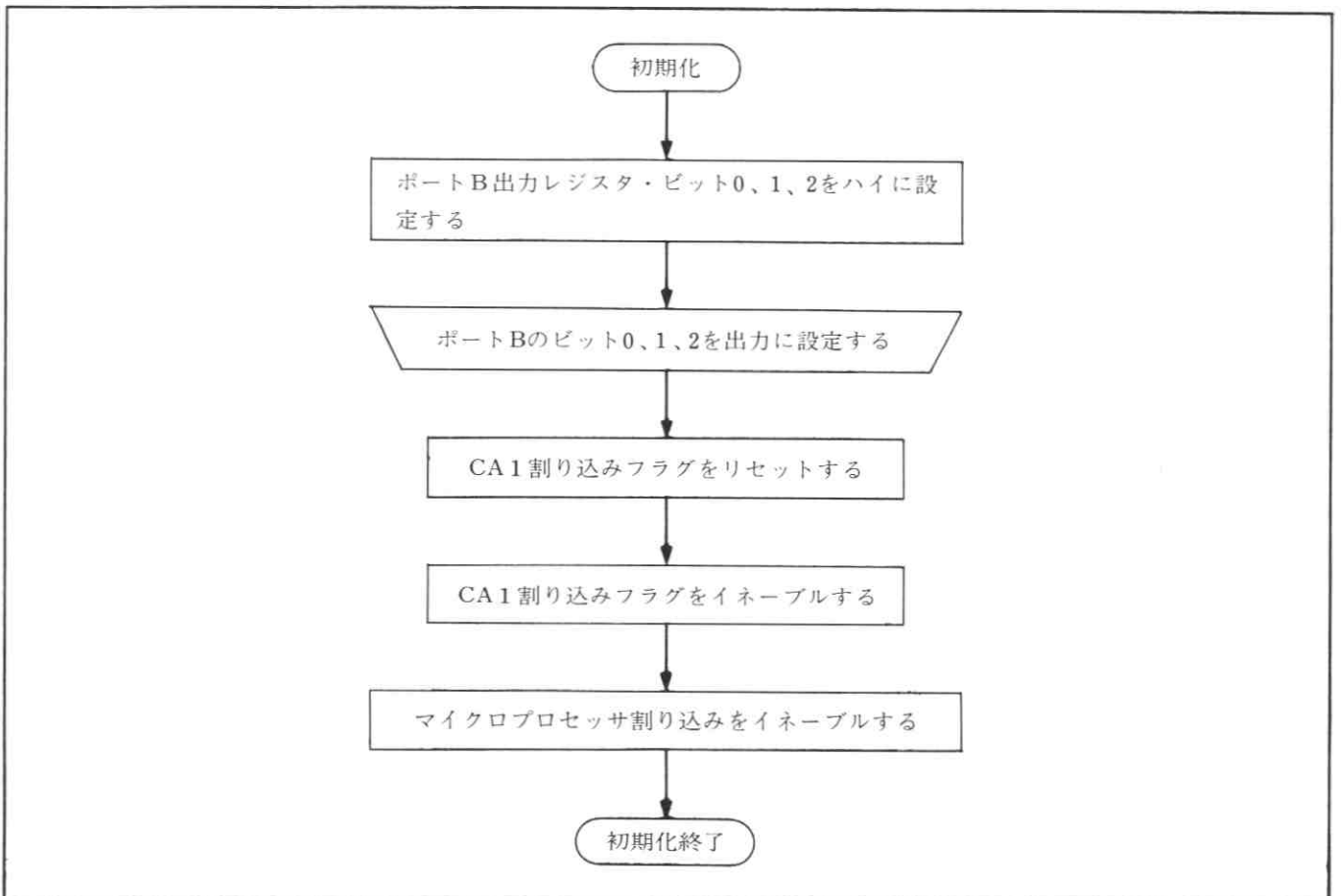
路図を、第19図に示す。ポートBは、ビット0、1および2が出力、そしてビット5、6および7が入力になるように設定されている。1つのコンバータで変換を行う場合、変換が終了すると、ステータス出力はローになり、VIAのCA1割り込みフラグをセットする。そして、CA1割り込みイネーブル・ビットをセットすれば、VIAはマイクロプロセッサに割り込みを実行する。ポートBのデータを読み出しビット5、6および7を調べることによって、マイクロプロセッサはどのデバイスが割り込みを要求したか判別することができる。そして、割り込みを要求したデバイスは、ビット0、1または2をローにすることによってイネーブルされ、データはポートAから読み出される。また、データを読み出すことによってVIAの割り込みフラグはクリアされる。最後に、ポートBのビットをハイに戻してZN439の出力パッ

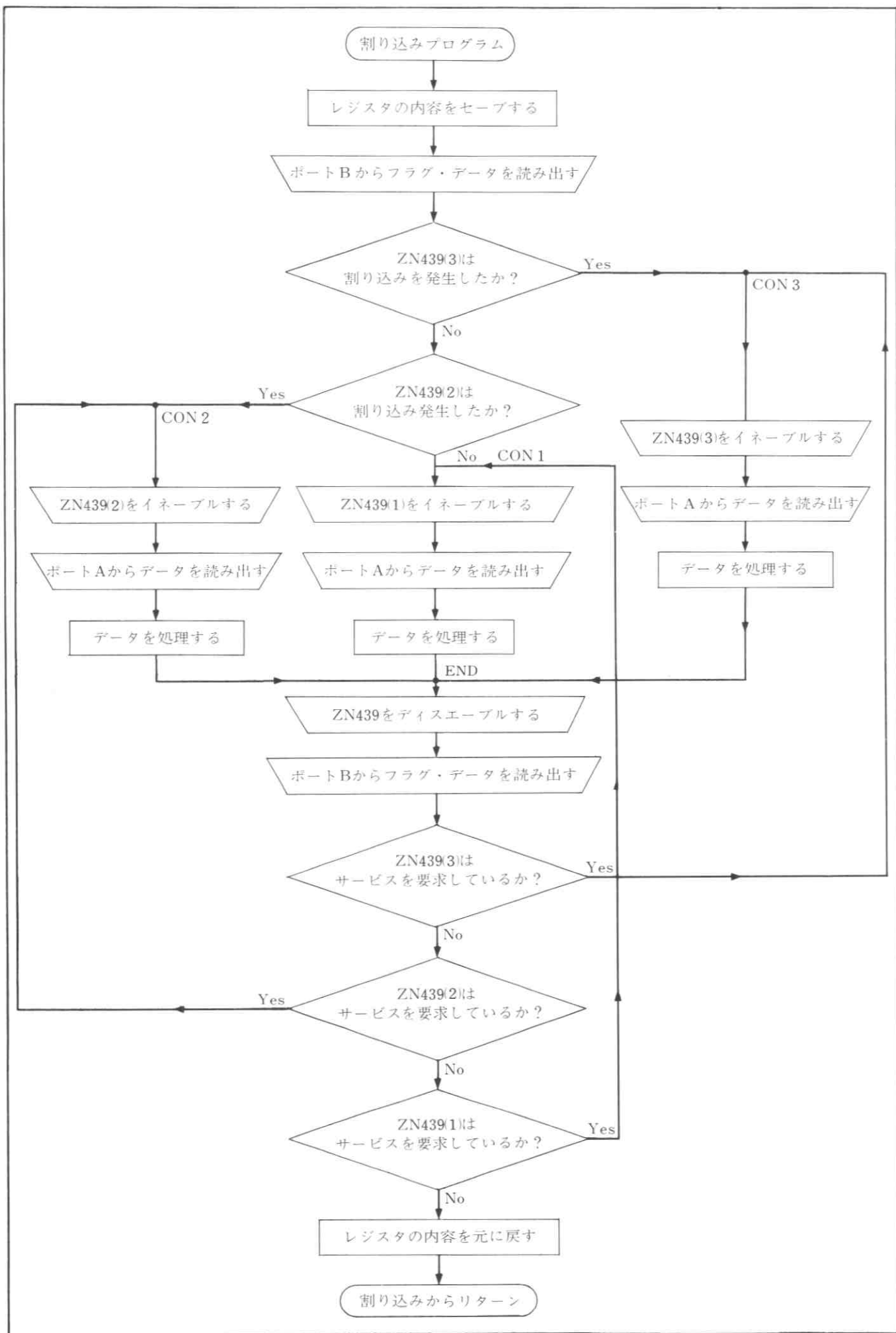


第19図 複数コンバーター割り込みポート・インターフェイス

ファをディスエーブルし、次の変換終了時にデータの書き換えが可能にする。

CA1はエッジ・トリガ型入力であるので、最初の割り込み後すぐに次の割り込みが発生すると、VIAに確認されないことがある。したがって、割り込みサービスが終了しサービス・ルーチンからリターンする前に、ポートBの割り込みフラグ・データを再び調べなければならない。これによって、割り込みを見落すことはなくなる。流れ図およびプログラムを、第20図および第21図に示す。





第20図 流れ図

アドレス	オブジェクト・コード	ラベル	エモニック	オペランド	コメント
2000	A9 07		LDA	#07	} ポートB出力レジスタ・ビット0、1、2をハイに設定する ポートBのビット0、1、2を出力に設定する
2002	8D 00 50		STA	5000	
2005	8D 02 50		STA	5002	
2008	A9 82		LDA	#82	} CA1 割り込みフラグをリセットする CA1 割り込みフラグをイネーブルする
200A	8D 0D 50		STA	500D	
200D	8D 0E 50		STA	500E	
2010	58		CLI		マイクロプロセッサ割り込みをイネーブルする
3000	48		PHA		} レジスタの内容をセーブする
3001	8A		TXA		
3002	48		PHA		
3003	98		TYA		
3004	48		PHA		} フラグ・データをロードする
3005	AD 00 50		LDA	5000	
3008	0A		ASL	A	} ZN439(3)は割り込みを要求しているか?
3009	B0 0D		BCS	NEXT	
300B	A9 03	CON 3	LDA	#03	} ZN439(3)をイネーブルする
300D	8D 00 50		STA	5000	
3010	AD 01 50		LDA	5001	ZN439(3)からデータを読み出す
3013	85 82		STA	82	データを処理する
3015	4C 37 30		JMP	END	} ZN439(2)は割り込みを要求しているか?
3018	0A	NEXT	ASL	A	
3019	B0 0D		BCS	CON 1	} ZN439(2)をイネーブルする
301B	A9 05	CON 2	LDA	#05	
301D	8D 00 50		STA	5000	} ZN439(2)からデータを読み出す
3020	AD 01 50		LDA	5001	
3023	85 82		STA	81	データを処理する
3025	4C 37 30		JMP	END	} ZN439(1)をイネーブルする
3028	A9 06	CON 1	LDA	#06	
302A	8D 00 50		STA	5000	
302D	AD 01 50		LDA	5001	ZN439(1)からデータを読み出す
3030	85 80		STA	80	データを処理する
3032	A9 07		LDA	#07	} 全ZN439をディスエーブルする
3034	8D 00 50		STA	5000	
3037	AD 00 50	END	LDA	5000	フラグ・データをロードする
303A	0A		ASL	A	} ZN439(3)はサービスが必要か?
303B	90 CE		BCC	CON 3	
303D	0A		ASL	A	} ZN439(2)はサービスが必要か?
303E	90 DC		BCC	CON 2	
3040	0A		ASL	A	} ZN439(1)はサービスが必要か?
3041	90 E5		BCC	CON 1	
3043	68		PLA		} レジスタの内容を元に戻す
3044	A8		TAY		
3045	68		PLA		
3046	AA		TAX		
3047	68		PLA		
3048	40		RTI		リターン

## アドレス・アローケーション

80 ZN439(1)のデータをストアするメモリ・アドレス  
81 ZN439(2)のデータをストアするメモリ・アドレス  
82 ZN439(3)のデータをストアするメモリ・アドレス  
2000 初期化の開始アドレス  
3000 割り込みプログラムの開始アドレス

5000 ポートBのVIAデータ・レジスタ  
5001 ポートAのVIAデータ・レジスタ  
5002 ポートBのVIAデータ方向レジスタ  
500D VIA割り込みフラグ・レジスタ  
500E VIA割り込みイネーブル・レジスタ

## まとめ

このアプリケーションで述べた例は、ZN439を6500シリーズのマイクロプロセッサにインターフェイスする場合の最小のハードウェアと簡単なソフトウェアについてである。したがって、デザイナーは自分のシステムに最も適するように拡張することが可能である。

全てのプログラムの開始アドレスは2000、そしてVIAは5000から開始している。このアドレスは全く任意に決定したものであり、デザイナーのシステムに合うように変更できる。全てのプログラムは直接アドレスを変更できるが、第21図のプログラムのみは、2つの絶対アドレスへのジャンプを含んでいるので、これらを変更しなければならない。

流れ図の中に、「データを処理する」という箇所がある。これはプログラム中では、ZN439のデータをメモリにストアするように設定されている。実際には、これはもっと複雑なデータ処理によって置き換えられる。たとえば、Xお

よびYレジスタは、プログラム中では使用されずに、割り込みサービス・ルーチンの間セーブされ後に元に戻される。これは、もっと複雑なデータ処理を行う場合、XおよびYレジスタも使用するからである。

また、このアプリケーションでは、システム中で割り込みを行うデバイスはZN439のみであると仮定している。もし、そうでない場合は、どのデバイスが割り込みを要求したか判断できるようにしなければならない。ポートを使ったインターフェイスでは、それはVIAの割り込みフラグ・レジスタを調べることによって、簡単に実行できる。直接バスにインターフェイスする場合、テスト出力をバッファした割り込みフラグを調べる（第5図参照）。

このアプリケーションは、6500ファミリに対して書いたものであるが、基本的原理は他のマイクロプロセッサにも応用できる。したがって、ここで述べた方法を、ZN439を他のマイクロプロセッサに応用する時にも応用してほしい。

# ZN447/8/9 8ビットADコンバータ

## Z80PIOを使ったZ80 $\mu$ Pとのインターフェイス

ZN447/8/9 ADコンバータを、Z80PIOを使ってZ80マイクロプロセッサ・システムにインターフェイスする方法について説明する。ユーザが簡単にシステムの開発を行えるように、いくつかの回路図およびプログラムの例を示してある。また、これから示すものは、Z80 $\mu$ PおよびZ80PIOの高速バージョンやCMOSバージョンにも同様に適用することができる。ここで述べるほとんどの原理は、ZN447/8/9を他の $\mu$ Pとインターフェイスする時にも応用することができる。

このアプリケーションを簡明にするために、読者はZ80システムに精通していると仮定している。

### ZN447/8/9 ADコンバータ

ZN447/8/9は8ビットの逐次比較ADコンバータで、直線性誤差はそれぞれ $\pm 0.3$ 、 $\pm 0.5$ および $\pm 1$ LSBである。

今後、これらのデバイスのどれか1つについて述べたものは、他の2つのデバイスにも同様に適用される。

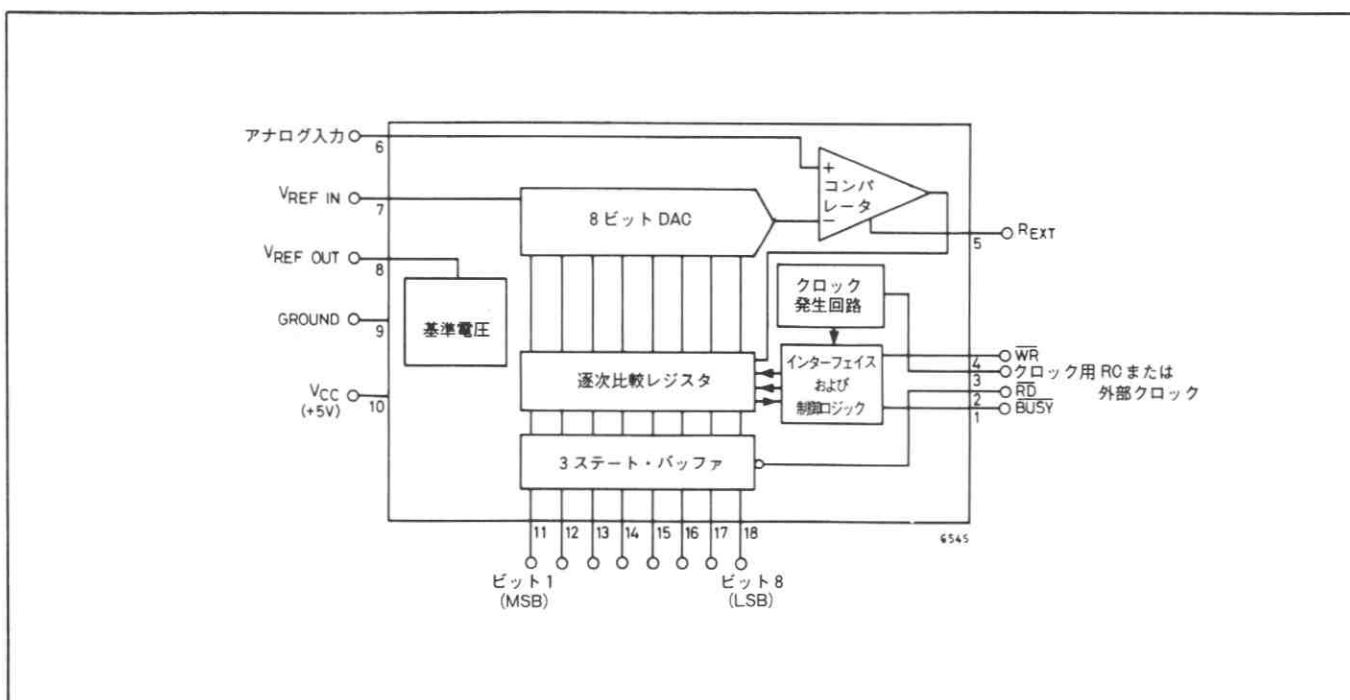
3ステート出力バッファ、2.5Vバンドギャップ基準電圧そしてクロック発生回路を含む全ての能動回路は、ICに内蔵されている。ユニポーラまたはバイポーラ入力に対して変換を行うのに必要な外付部品は、基準電源用抵抗およびコンデンサ、クロック用コンデンサ、負電源に接続する抵抗そしてアナログ入力範囲設定用抵抗のみである。

変換は、 $\overline{WR}$ 入力をローにし、ハイに戻すことによって開始する。そして、この変換は $\overline{WR}$ パルスの立上りから7 $\frac{1}{2}$ から8 $\frac{1}{2}$ クロック期間後に終了する。 $\overline{WR}$ 入力信号は、コンバータのクロックと全く非同期に入力できる。 $\overline{WR}$ 信号の立下りでMSBはハイに、全てのビットはローに設定される。また、このエッジで $\overline{BUSY}$ 出力はローに設定される。一度変換が開始されると、変換サイクルは逐次比較方式によって変換が終了するまで繰り返される（詳しくはデータシート参照）。変換が終了すると、 $\overline{BUSY}$ 出力はハイになり有効なデータが読み出し可能であることを示す。 $\overline{RD}$ 入力は、ローでデータ出力をイネーブルし、ハイで高インピーダンス状態にする。

本デバイスは、少くとも最大900KHzのクロックまで正常に動作する。900KHzのクロックの場合、変換時間は9.5 $\mu$ S以下となる（実際には、本デバイスは900KHz以上のクロックで動作するが、精度が悪くなることがある）。

負電源に必要な電流値は小さいので（75 $\mu$ A）、簡単なダイオード・ポンプ回路から供給することができる。

さまざまな入力電圧範囲（バイポーラまたはユニポーラ）に対する入力抵抗やダイオード・ポンプ回路の例等さらに詳しい情報は、データシートを参照のこと。



第1図 ブロック図

## Z80 PIO

Z80 PIOは、周辺デバイスとZ80 CPUの間でTTLコンパチブルなインターフェイスを行う、プログラマブルの2ポート・デバイスである。本デバイスは、ロジックを外付することなく直接CPUとインターフェイスすることができる。それぞれ2つのハンドシェイク・ライン(RDYおよびSTB)を持つ2つの8ビット双方向ポートは、周辺デバイスとのデータ転送に使用する。各ポートまたは実際には各ビットを、入力または出力として動作するようにプログラムすることができる。

このPIOには4つの動作モードがある：

モード0 (出力モード) — 全ポート・ビットは出力に設定される。

モード1 (入力モード) — 全ポート・ビットは入力に設定される。

モード2 (双方向モード) — 双方向データ転送に使用する (このアプリケーションでは使用しない)。

モード3 (制御モード) — 各ビットが入力または出力として動作するように各々をプログラムすることができる。ステータスおよびコントロールを使用する応用に有用である。

ADコンバータの出力を読み出す時は、モード1を使用する。また、モード3を使って、ポート・ビットのいくつかを出力に設定し、ハイまたはローを出力する (コンバータのRDおよびWR入力を制御する)。いくつかのポート・ビットは入力に設定し、BUSY出力をモニタする。もし、BUSY出力をモニタせず、ポート・ビットを出力として使用するならば、モード0を使ってRDおよびWR入力を制御する。

入力モードにおいて、データをポートに書き込むには、STB入力をローにする必要がある。STBの立上りでデータはポートにラッチされ、RDYはローになる。そして、こ

の時割り込みがイネーブルされていれば、割り込み信号を出力する。CPUがポートを読み出している間、RDYラインはローにしなければならず (もし、既にローになっていないならば)、読み出し後ハイに戻る。

これは、複雑なデバイスZ80 PIOの簡単な説明である。したがって、さらに詳しい説明はZ80 PIOのデータ・シートを参照のこと。

## 1ポートを使ったZN447/8/9 1個とZ80のインターフェイス

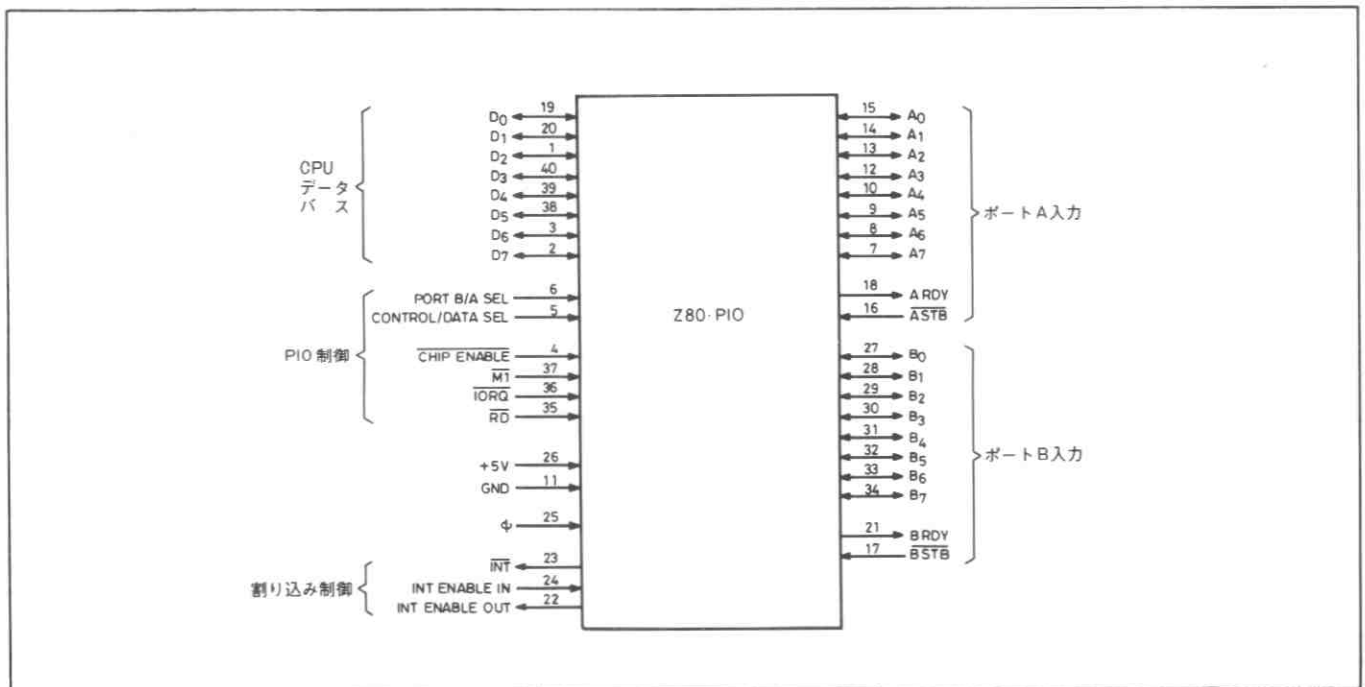
ただ1つのZN448とZ80システムのインターフェイスは、1ポート (1/2 PIO) を使って実行することができる。この場合、ZN448のRD入力はローに固定し、データ出力は常にイネーブルしておく。

変換の開始は、WRパルスでRDY信号または他のロジックから供給することによって行われる。そして、有効なデータは変換の終了後読み出すことができる。この時間を確保するため、プログラムによる遅延 (後章(i)) またはBUSY出力を使ってポートのSTB入力で割り込み信号を発生させる方法 (後章(ii)) がある。

### (i) プログラム遅延を使ったデータ収集

RDY出力をローからハイに立ち上げるために、ポートの読み出しを行う。このエッジはモノステーブルにトリガを与え、その結果ZN448にWRパルスを出力する。そして、変換が開始される。プログラムは、ここで遅延ルーチンを実行し、変換が終了するまでの時間を確保する。この後、ポートに対して本当の読み出しを行い、データを処理する。

回路図は第3図の通りである：



第2図 Z80PIO





アドレス	オブジェクト・コード	ラベル	ソース・コード	コメント
NN00	3E		LD A, 4FH	ポートを入力に設定 (モード1)
NN02	D3 PORTCO		OUT PORTCO, A	
NN04	DB PORTDA		IN A, PORTDA	ポートを読み出す (ダミー)
NN06	3E DELAY		LD A, DELAY	遅延時間の設定
NN08	3D	(1)	DEC A	遅延ルーチン
NN09	20 FD		JR NZ, (1)	
NN0B	DB PORTDA		IN A, PORTDA	変換結果を読み出す
NN0D	32 MEM		LD (MEM), A	結果を記憶
NN10	?		?	モニタ・プログラムに復帰 (コマンドはシステムによって異なる)

NN00=適当なスタート・アドレス

PORTCO=ポート制御アドレス

PORTDA=ポート・データ・アドレス

DELAY=遅延時間設定バイト (説明参照)

MEM=データ記憶場所を指定する16ビットのメモリ番地 (オブジェクト・コードはロー・バイト、ハイ・バイトの順に組み合わせる)

(ii) 割り込み信号を使ったデータ収集

割り込み信号は、スピードの遅い周辺装置とのインターフェイスに有用である。しかし、ZN 448 自体は低スピードの周辺デバイスではなく、10 $\mu$ S 以下の変換時間を得ることができる。したがって、割り込み信号を使って動作させる必要はない。

しかし、ZN 448 を他のタイミング回路 (カウンタ・タイマ IC 等) によって、比較的長い間隔で呼び出す時に、この方法が必要となることがある：

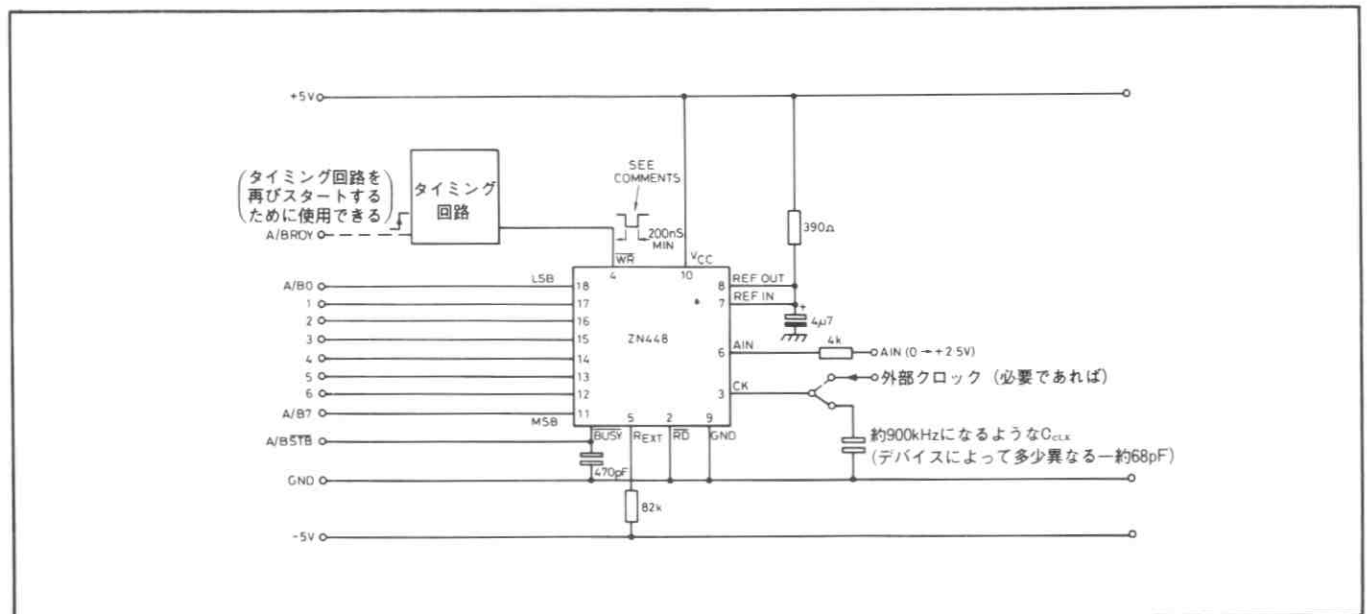
- (a) このタイミング回路が、変換を開始し結果を読み出すサブ・ルーチンにジャンプさせる。この場合、サブ・ルーチンが遅延ルーチンを含むことがある (詳しくは前章参照)。
- (b) このタイミング回路が、直接またはモノステーブル等を介して変換を開始させる。これによって、効果的に ZN448

を比較的長い間隔で呼び出すことができ、割り込み信号を有効に使用することができる。

この章では、上記(b)の場合について説明する。タイミング回路については、それぞれの用途に合ったものをユーザが設計するように、ここでは述べていない。

以前に述べたように、変換が終了すると  $\overline{\text{BUSY}}$  はハイになり、ポートの  $\overline{\text{STB}}$  入力には立上りパルスに反応する。したがって、 $\overline{\text{BUSY}}$  が  $\overline{\text{STB}}$  に接続されていて割り込みがイネーブルされていれば、 $\overline{\text{BUSY}}/\overline{\text{STB}}$  がハイになった時割り込みが発生する。これでサブ・ルーチン呼び出し、変換結果を読み出すことができる。

$\overline{\text{BUSY}}$  出力に接続するコンデンサは、ポート・データから  $\overline{\text{STB}}$  の立上りまでのセット・アップ時間を確保する。



第4図 ZN448 1個を1ポートにインターフェイス(割り込み制御)

BUSYによって割り込みが生じると、 $\mu P$ はサブ・ルーチン呼び出し、変換結果を読み出して記憶する。変換の開始は、前もってタイミング回路によって行われる。

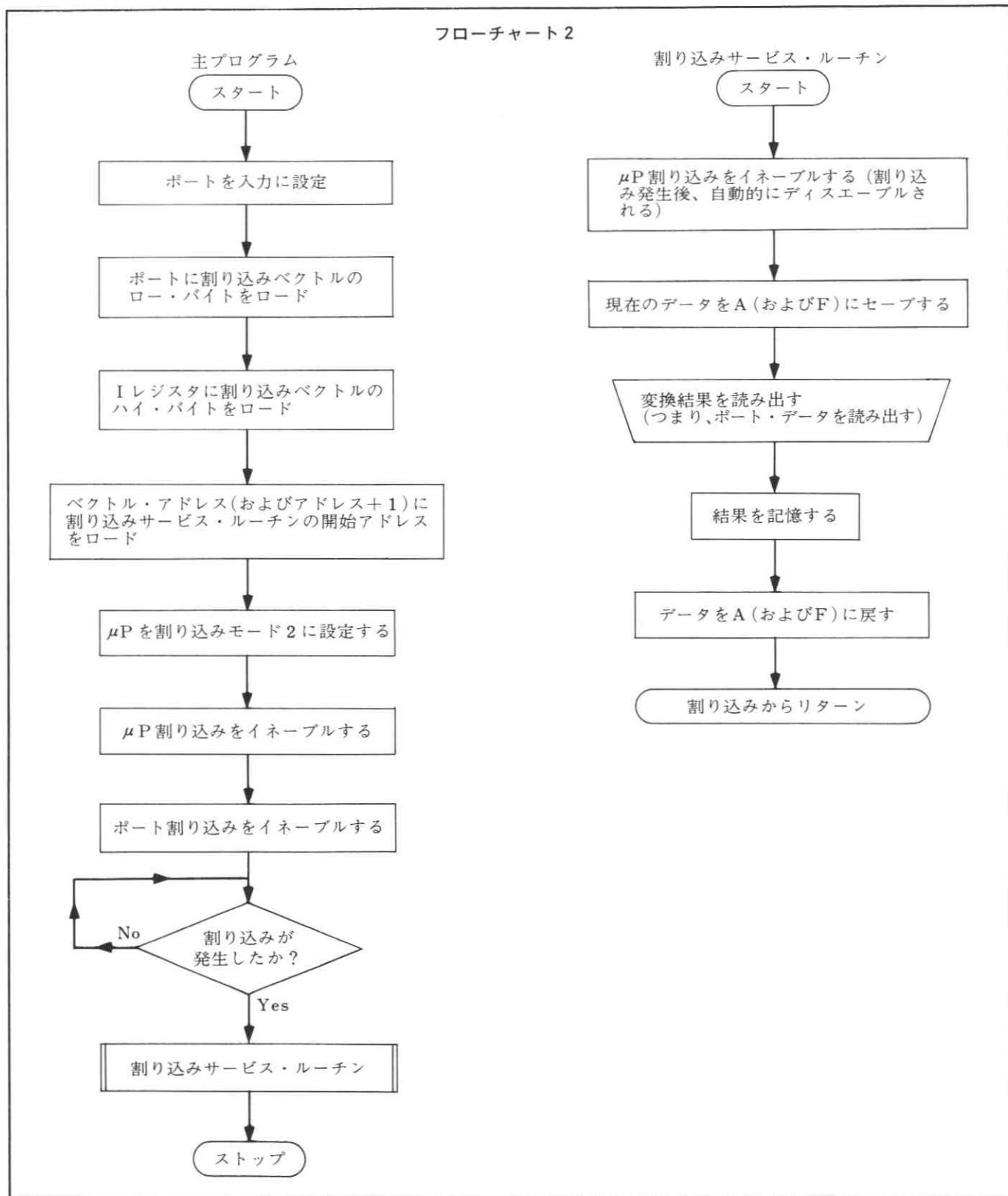
$\mu P$ は割り込みモード2に設定される。なぜなら、ポートはこのモードで使用されるように設計されているからである。Iレジスタの内容とポート割り込みベクトルは、16ビット・ベクトルを形成するように $\mu P$ で結合される。これは、割り込みサービス・ルーチンの開始アドレスを調べるのに使用される。 $\mu P$ はこのアドレスをプログラム・カウン

タにロードし、このアドレスからプログラムの実行を続ける。

プログラム・ステートメント

- : 割り込みサービス・ルーチンおよび変換結果の記憶のためのアドレスをメモリに指定する
- : ユーザは必要な時に正しく変換を開始することを仮定
- : ポートは初期化が必要であると仮定

フローチャート2



アドレス	オブジェクト・コード	ラベル	ソース・コード	コメント
NN00	3E 4F		LD A, 4FH	} ポートを入力に設定 (モード1)
NN02	D3 PORTCO		OUT PORTCO, A	
NN04	3E IVECL		LD A, IVECL	} ポートに割り込みベクトルのロー・バイトをロード
NN06	D3 PORTCO		OUT PORTCO, A	
NN08	3E IVECH		LD A, IVECH	} Iレジスタに割り込みベクトルのハイ・バイトをロード
NN0A	ED 47		LD I, A	
NN0C	3E SERVL		LD A, SERVL	} ベクトル・アドレス (および続くアドレス) に割り込みサービス・ルーチンの開始アドレスをロードする
NN0E	32 IVEC		LD (IVEC), A	
NN11	3E SER VH		LD A, SER VH	
NN13	32 IVEC+1		LD (IVEC+1), A	
NN16	ED 5E		IM 2	μPを割り込みモード2に設定する
NN18	FB		EI	μP割り込みをイネーブルする
NN19	3E 83		LD A, 83H	} ポート割り込みをイネーブルする
NN1B	D3 PORTCO		OUT PORTCO, A	
NN1D	76		HALT	割り込みを待つ (またはリセット)
NN1E	?		?	モニタに戻る (命令はシステムによって異なる)

割り込みサービス・ルーチン

アドレス	オブジェクト・コード	ラベル	ソース・コード	コメント
MM00	FB		EI	μP割り込みを再びイネーブルする
MM01	F5		PUSH AF	AFの現在の値をストアする
MM02	DB PORTDA		IN A, PORTDA	変換結果を読み出す
MM04	32 MEM		LD (MEM), A	結果をメモリにストアする
MM07	F1		POP AF	AFの値を元に戻す
MM08	ED 4D		RETI	割り込みからリターン

NN00=適当な開始アドレス

PORTCO=ポート制御アドレス

PORTDA=ポート・データ・アドレス

IVECL=16ビットの割り込みベクトル (ポート中) のロー・バイト

IVECH=16ビットの割り込みベクトル (Iレジスタ中) のハイ・バイト

IVEC=IVECLとIVECHによって形成される16ビットの割り込みベクトル

IVEC+1=IVECよりメモリ中で1番地上の16ビット・アドレス

SERVL=割り込みサービス・ルーチン開始アドレスのロー・バイト

SERVH=割り込みサービス・ルーチン開始アドレスのハイ・バイト

MM00=SERVLとSERVHによって形成される割り込みサービス・ルーチンの16ビット開始アドレス

MEM=変換結果をストアする場所を指定する16ビット・アドレス (上記の16ビット・アドレスは、オブジェクト・コードではロー・バイト、ハイ・バイトの順に組み合わせなければならない)

説明

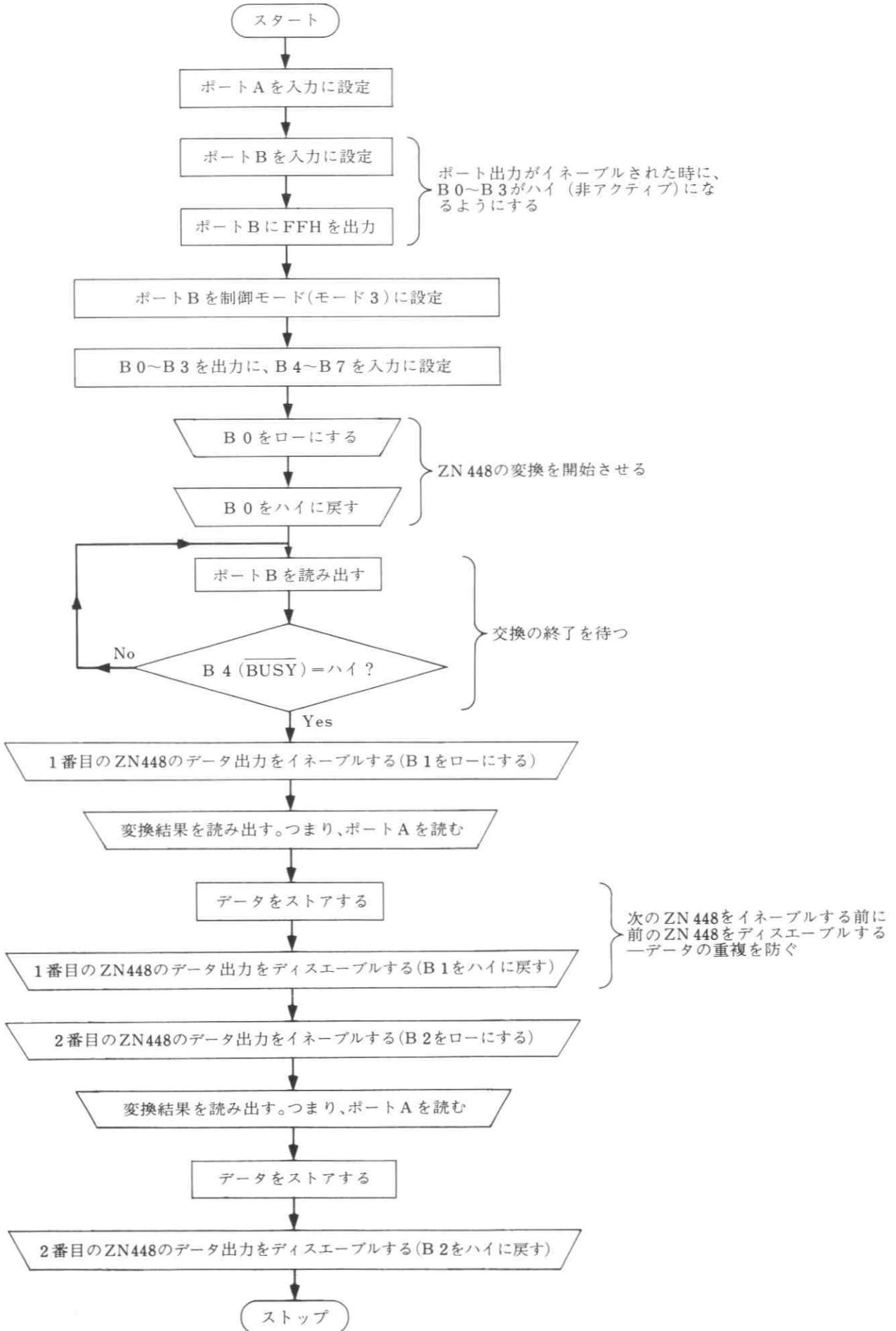
WR入力の立下りでMSBはハイにセットされ、他の全てのビットはローにリセットされる。したがって、μPは変換終了後再びWR入力がローになる前にデータをラッチしなければならない。さもないと、誤ったデータがラッチ

されることがある。このような配慮は、外部ロジックの制御のもとでデータを読み出す頻度が少ない時や、ZN448のクロック・スピードが遅い時などに有用である。

評価時には、WR入口にシングル・ショット・パルスを入力し、データを確認することができる。



フローチャート3



アドレス	オブジェクト・コード	ラベル	ソース・コード	コメント
NN00	3E 4F		LD A, 4FH	} ポートAを入力に設定(モード1)
NN02	D3 PORTCO 1		OUT PORTCO 1, A	
NN04	DB PORTCO 2		OUT PORTCO, A	} ポートBを入力に設定(モード1)
NN06	3E FF		LD A, FFH	} ポートBにFFHを出力(最初にイネーブルされた時に出力を非アクティブにするため)
NN08	D3 PORTDA 2		OUT PORTDA 2, A	
NN0A	3E CF		LD A, CFH	} ポートBを制御モードに設定(モード3)
NN0C	D3 PORTCO 2		OUT PORTCO 2, A	
NN0E	3E F0		LD A, FOH	} B0~B3を出力に、B4~B7を入力に設定
NN10	D3 PORTCO 2		OUT PORTCO 2, A	
NN12	3E FE		LO A, FEH	} 変換を開始するために、B0をローにしハイに戻す
NN14	D3 PORTDA 2		OUT PORTDA 2, A	
NN16	3E FF		LD A, FFH	
NN18	D3 PORTDA 2		OUT PORTDA 2, A	
NN1A	DB PORTDA 2	POLL	IN A, PORTDA 2	} $\overline{\text{BUSY}}$ がハイになるのを待つ
NN1C	CB 67		BIT 4, A	
NN1E	28 FA		JR Z, POLL	} 1番目のZN448の $\overline{\text{RD}}$ をローにする
NN20	3E FD		LD A, FDH	
NN22	D3 PORTDA 2		OUT PORTDA 2, A	} 1番目のZN448の変換結果を読み出し、ストアする
NN24	DB PORTDA 1		IN A, PORTDA 1	
NN26	32 MEM 1		LD (MEM 1), A	} $\overline{\text{RD}}$ をハイに戻す
NN29	3E FF		LD A, FFH	
NN2B	D3 PORTDA 2		OUT PORTDA 2, A	} 2番目のZN448の $\overline{\text{RD}}$ をローにする
NN2D	3E FB		LD A, FBH	
NN2F	D3 PORTDA 2		OUT PORTDA 2, A	} 2番目のZN448の変換結果を読み出し、ストアする
NN31	DB PORTDA 1		IN A, PORTDA 1	
NN33	32 MEM 2		LD (MEM 2), A	} $\overline{\text{RD}}$ をハイに戻す
NN36	3E FF		LD A, FFH	
NN38	D3 PORTDA 2		OUT PORTDA 2, A	} モニタに戻る(コマンドはシステムによって異なる)
NN3A	?		?	

NN00=適当な開始アドレス

PORTCO 1=ポートA制御アドレス

PORTCO 2=ポートB制御アドレス

PORTDA 1=ポートAデータ・アドレス

PORTDA 2=ポートBデータ・アドレス

MEM 1=1番目のZN448のデータをストアする場所を指定する16ビット・アドレス

MEM 2=2番目のZN448のデータをストアする場所を指定する16ビット・アドレス

(MEM 1とMEM 2は、オブジェクト・コード中ではロー・バイト、ハイ・バイトの順に組み合わせられる)

## 説明

プログラム3に示された方法は、さらに多くのZN448のインターフェイスにも応用できる。実際、第5図より、この目的に使用できる4つのポートが残っていることがわかる。

1つのポートには、最大3つの $\overline{\text{BUSY}}$ 出力を接続でき、最大3つの $\overline{\text{WR}}$ 入力を駆動できる。しかし、この時 $\overline{\text{WR}}$ 入力のプルアップ抵抗は2.4K $\Omega$ に減小させる必要がある(もし、CMOS・PICを使用している場合、プルアップ抵抗は無くても良い)。

4つのZN448のインターフェイスは、 $\overline{\text{WR}}$ 入力の駆動に2つのポート・ライン、 $\overline{\text{BUSY}}$ 出力のモニタに2つのポート・ラインを使用することによって、簡単に行うことができる。残りの4つのポート・ラインは $\overline{\text{RD}}$ 入りに接続し、希望するZN448を選択するのに使用する。

もし、 $\overline{\text{BUSY}}$ 出力を使用しないで、ソフトウェアによる遅延を使用するならば(1個のZN447/8/9インターフェイスの項を参照)、最大6つのデバイスのインターフェイスが可能である。ポート・ラインの内2つは、6つの $\overline{\text{WR}}$ 入力を駆動するのに必要で、残りの6つのラインを使用して希望するZN448をイネーブルする。

ZN 448 スリー・ステート出力の漏れ電流は、考慮に入れなくとも良い (2 V で最大 ± 2 μA)。

特定のハードウェア上の要求によってソフトウェアを変化させなければならない場合にも、いままで述べた原理はそのままあてはめることができる。つまり、

- WR 入力に割り合てられたポート・ビットをローにしハイに戻すことによって、変換を開始する。
- 結果を読み出す前に変換を終了させる — BUSY 出力のモニタまたはソフトウェア上の遅延によって。
- ZN 448 を 1 つずつイネーブルする (データの衝突を避ける) — 適当なポート・ビットによって RD 入力を 1 つずつローにし、変換結果を読み出すことによって。

実際には、ある特定の時間に 1 つの ZN 448 のデータが必要になる。したがって、いくつかのデバイスの変換を同時に開始するが、他のデバイスのことは無視して、希望するデバイスのデータだけを読み出す。

### 割り込み制御によるデータ収集

前の章で割り込みについて述べたように、ZN 448 はスピードの遅い周辺装置ではないので、割り込みによる駆動を行わなくても良い。しかし、もし ZN 448 を比較的頻繁に使用しない場合、(他のタイミング回路の制御で) 割り込みが有用になる。この章では、この使用方法について述べる。

1 つのポートは、ZN 448 のデータを読み出すために使用し、もう 1 つのポートは RD 入力を制御し、BUSY 出力をモニタする。実際には、いくつかのポート・ビットの内 1 つのみがハイになった時、割り込みが生じるように設定する。したがって、BUSY がハイになった時割り込みが生じる。このような機能を持たせるためには、ポートを制御モード (モード 3) に設定する必要がある。

ポートをこのような割り込みモードで使用する場合、注意しなければならないことがある。まず、割り込みを生じ

させるビットは、割り込みが生じてどれかのビットがハイになる前に、最初に全てローにしなければならない。もし、これらのビットのいずれかがハイのままであると、これ以後の割り込みはインヒビットされる。したがって、割り込みに関係するポート・ビットは最初にローに設定し、割り込みを生じさせたデバイスのサービスを行った後に、再びローに設定しなければならない。この応用では、WR 入力 (つまり、BUSY 出力) を最初ローに設定し、サービス後再びローに設定しなければならない。これは、プリセットおよびクリア入力付の正エッジ・トリガ D タイプ・フリップ・フロップによって達成できる (WR 入力がローの時 BUSY はローとなり、変換の終了でハイになる)。

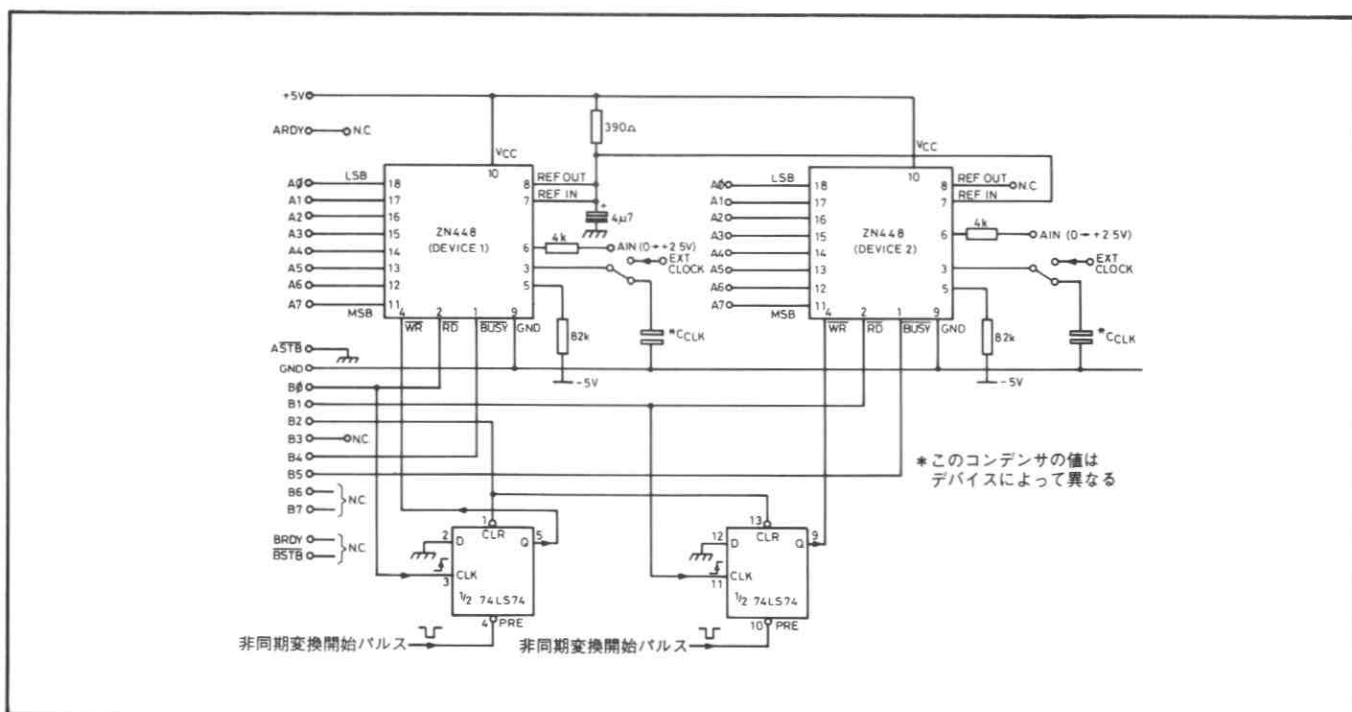
例として、2 つの ZN 448 とのインターフェイスを考える: (前の章と同様に、1 つの基準電圧で 2 つのデバイスを駆動する)。

第 6 図の回路において B 2 は最初に BUSY 出力をクリアするのに使用し、RD 信号の立上りはサービス後の BUSY 出力をクリアする。

非同期変換開始入力信号の立下りは、D タイプ・フリップ・フロップの Q 出力をハイにする。したがって、いままでローであった WR 入力はハイになり、変換は開始される。変換の終了で BUSY 出力はハイになり、割り込みを発生する。

サービス・ルーチンにおいて、RD 入力は出力をイネーブルするためにローにされる。そして、データをポート A にラッチした後、RD 入力はハイに戻される。したがって、デバイスに対する読み出しが行われるたびに、RD 信号の立上りが生じる。このエッジによって、D タイプ・フリップ・フロップの Q 出力はローになり、その結果 WR 入力と BUSY 出力もローになる。

正しく BUSY 出力をクリアし、正しい動作を行わせるためには、非同期変換開始信号は次の条件を満足しなければならない:



第 6 図 ZN448 2 個を Z80 PIO の 2 つのポートを使ってインターフェイス (割り込み制御)



- (i) Dタイプ・フリップ・フロップのクリア入力(B 2)が最初ローである時、非アクティブ(ハイ)である
- (ii) 変換開始後、 $\overline{RD}$ がハイになる前にハイに戻す

### プログラム例

このプログラムは、割り込みが生じたら割り込みサービス・ルーチンに移動する。この時サービス・ルーチンは、割り込みを発生させた ZN 448 からデータを読み出し、ストアする。

変換の開始は、ユーザのタイミング回路によって行われ、割り込みは1つまたは複数の  $\overline{BUSY}$  出力がハイになることによって発生する。

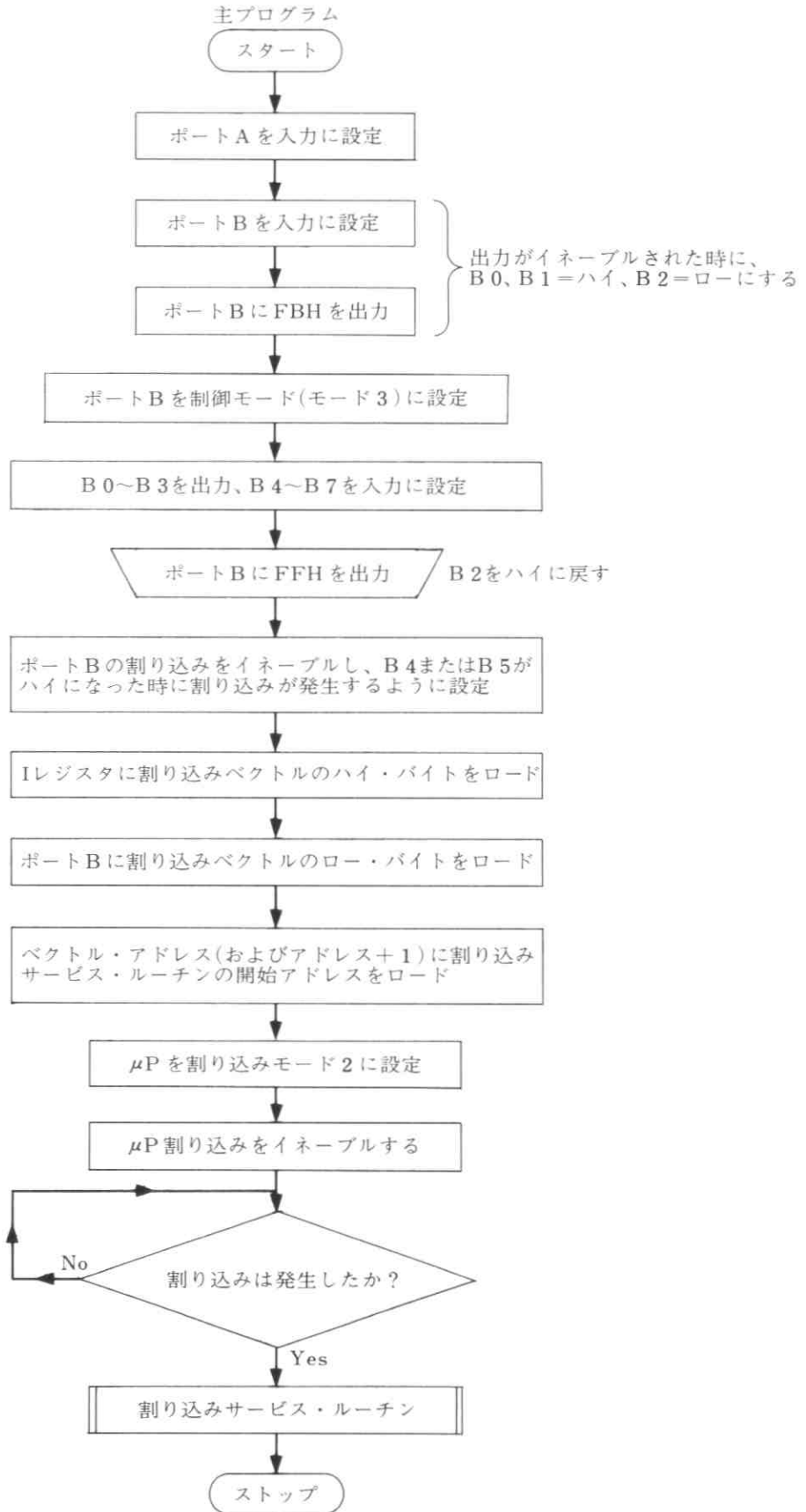
$\mu P$  は、ポートが割り込みモード 2 で使用されるように設計されているので、このモードに設定する。I レジスタの

内容とポート割り込みベクトルは、16ビットのベクトルを形成するために組み合わせられる。このベクトルは、割り込みサービス・ルーチンの開始アドレスを調べるのに使用される。その時、 $\mu P$  はこのアドレスをプログラム・カウンタにロードし、この番地からプログラムの実行を続ける。

### プログラム・ステートメント

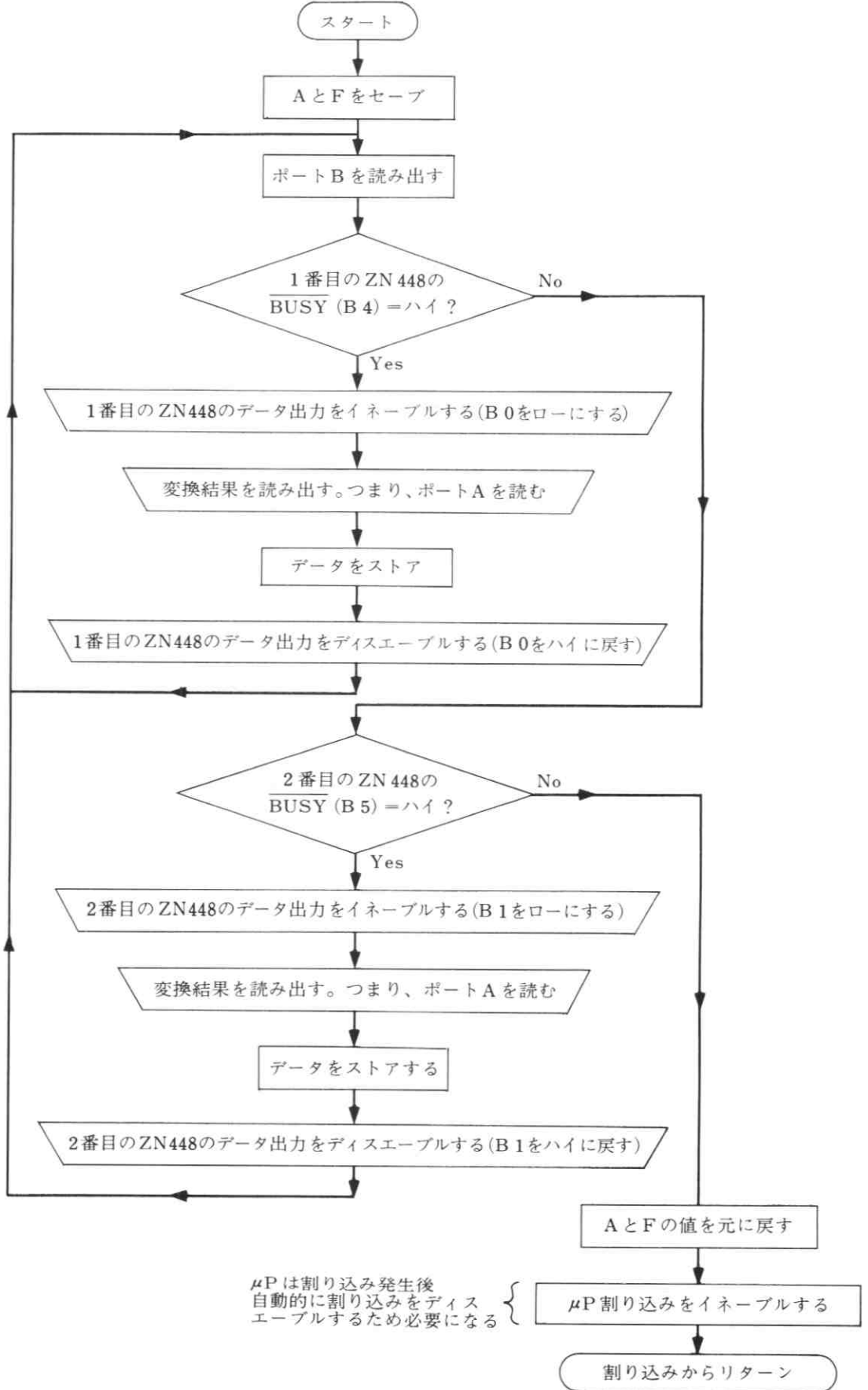
- : ユーザは、必要に応じて正しく変換開始すると仮定する。
- : 2つのポートとも、初期化が必要であると仮定する。
- : 割り込みサービス・ルーチンおよび変換結果をストアするメモリ番地を指定する。
- : FFH = 1番目の ZN 448 を選択するワード
- : FDH = 2番目の ZN 448 を選択するワード
- : FBH =  $\overline{BUSY}$  出力をクリアするワード

フローチャート 4



フローチャート 4 (続き)

割り込みサービス・ルーチン



アドレス	オブジェクト・コード	ラベル	ソース・コード	コメント
NN00	3E 4F		LD A, 4FH	} ポートAを入力に設定(モード1)
NN02	D3 PORTCO1		OUT PORTCO1, A	
NN04	D3 PORTCO2		OUT PORTCO2, A	} ポートBを入力に設定し(モード1)、ポート出力がイネーブルされた時、Dフリップ・フロップのCLRがローになるように設定
NN06	3E FB		LD A, FBH	
NN08	D3 PORTDA2		OUT PORTDA2, A	} ポートBを制御モード(モード3)に設定
NN0A	3E CF		LD A, CFH	
NN0C	D3 PORTCO2		OUT PORTCO2, A	} B0~B3を出力に、B4~B7を入力に設定
NN0E	3E F0		LD A, F0H	
NN10	D3 PORTCO2		OUT PORTCO2, A	} Dフリップ・フロップのCRLをハイに戻す
NN12	3E FF		LO A, FFH	
NN14	D3 PORTDA2		OUT PORTDA2, A	} B4またはB5がハイになった時にポートBが割り込みを発生するように設定する。また、ポート割り込みをイネーブルする
NN16	3E B7		LD A, B7H	
NN18	D3 PORTCO2		OUT PORTCO2, A	} Iレジスタに割り込みベクトルのハイ・バイトをロードする
NN1A	3E CF		LD A, CFH	
NN1C	D3 PORTCO2		OUT PORTCO2, A	} ポートBに割り込みベクトルのロー・バイトをロードする
NN1E	3E IVECH		LD A, IVECH	
NN20	ED 47		LD I, A	} ベクトル・アドレス(および次のアドレス)に割り込みサービス・ルーチンの開始アドレスをロードする
NN22	3E IVECL		LD A, IVECL	
NN24	D3 PORTCO2		OUT PORTCO2, A	} $\mu P$ を割り込みモード2に設定する
NN26	3E SERVL		LD A, SERVL	
NN28	32 IVEC		LD (IVEC), A	} $\mu P$ の割り込みをイネーブルする
NN2B	3E SER VH		LD A, SER VH	
NN2D	32 IVEC+1		LD (IVEC+1), A	} 割り込みを待つ(またはリセット)モニタに戻る(コマンドはシステムによって異なる)
NN30	ED 5E		IM 2	
NN32	FB		EI	
NN33	76		HALT	
NN34	?		?	

プログラム 4 (続き) 割り込みサービス・ルーチン

アドレス	オブジェクト・コード	ラベル	ソース・コード	コメント
MM00	F5		PUSH AF	現在のAとFの値をセーブする
MM01	DB PORTDA2	POLL 1	IN A, PORTDA 2	ポートBを読み出す
MM03	CB 67		BIT 4, A	} B4を調べて、B4=0であればジャンプする
MM05	28 0F		JR Z, POLL 2	
MM07	3E FE		LD A, FEH	} 1番目のZN448を選択する
MM09	D3 PORTDA2		OUT PORTDA 2, A	
MM0B	DB PORTDA1		IN A, PORTDA 1	} 1番目のZN448のデータを読み出し、ストアする
MM0D	32 MEM1		LD (MEM1), A	
MM10	3E FF		LD A, FFH	} 1番目のZN448の出力を高インピーダンス状態に戻す
MM12	D3 PORTDA2		OUT PORTDA 2, A	
MM14	18 EB		JR, POLL 1	ポートBの読み出しに戻る
MM16	CB 6F	POLL 2	BIT 5, A	} B5を調べて、B5=0であればジャンプ
MM18	28 0F		JR Z, RETURN	
MM1A	3E FD		LD A, FDH	} 2番目のZN448を選択する
MM1C	D3 PORTDA2		OUT PORTDA 2, A	
MM1E	DB PORTDA1		IN A, PORTDA 1	} 2番目のZN448のデータを読み出し、ストアする
MM20	32 MEM2		LD (MEM2), A	
MM23	3E FF		LD A, FFH	} 2番目のZN448の出力を高インピーダンス状態に戻す
MM25	D3 PORTDA2		OUT PORTDA 2, A	
MM27	18 D8		JR, POLL 1	ポートBの読み出しに戻る

アドレス	オブジェクト・コード	ラベル	ソース・コード	コメント
MM29	F1	RETURN	POP AF	AとFの値を元に戻す
MM2A	FB		EI	$\mu$ P割り込みを再びイネーブルする
MM2B	ED 4D		RETI	割り込みからリターン

NN00=適当な開始アドレス

PORTCO1=ポートA制御アドレス

PORTCO2=ポートB制御アドレス

PORTDA1=ポートAデータ・アドレス

PORTDA2=ポートBデータ・アドレス

IVCEL=16ビット割り込みベクトル(ポート中)のロー・バイト

IVCEH=16ビット割り込みベクトル(Iレジスタ中)のハイ・バイト

IVEC=IVCELとIVCEHによって形成される16ビット割り込みベクトル

IVEC+1=IVCELより1メモリ・ロケーション上の16ビット・アドレス

SERVL=割り込みサービス・ルーチンの開始アドレス・ロー・バイト

SERVH=割り込みサービス・ルーチンの開始アドレス・ハイ・バイト

MM00=SERVHとSERVLによって形成される割り込みサービス・ルーチンの16ビット開始アドレス

MEM1=1番目のZN448のデータをストアする場所を指定する16ビット・アドレス

MEM2=2番目のZN448のデータをストアする場所を指定する16ビット・アドレス(オブジェクト・コードでは、上記16ビット・アドレスはロー・バイト、ハイ・バイトの順に組み合わされる)

## 説明

ここまで述べてきた方法を用いれば、さらに多くのZN448を割り込み制御によってインターフェイスすることも可能である。各RDおよびBUSYにそれぞれポート・ビットを割り当てることによって、3つのZN448を簡単にインターフェイスすることができる。もし、ポート・ビットの1つを使用せずにBUSY出力をクリアすれば、4つのZN448をインターフェイスできる。たとえば、この目的のために割り当てられたアドレスに書き込みを行うことによって、Dフリップ・フロップのCLRをローにすることができる。

この例で注意しなければならないのは、2つのBUSYが同時にローになるまで、 $\mu$ Pはサービス・ルーチンからリターンできないことである。このため、BUSYがハイのままにならないようにし、さらに割り込みが生じないようにする。また、いくつのZN448がインターフェイスされているかにかかわらず、同様に全てのBUSYがサービス・ルーチンからリターンする前にローになるようにする。

ハードウェアの構成によっては、ソフトウェアを変更しなければならないことがある。その場合、上記のことと共に、BUSY出力が最初およびデバイスのサービス後にクリアされるように注意する。

ZN448スリー・ステート出力の漏れ電流は、非常に小さいので考慮する必要はない(2Vで $\pm 2\mu$ Amax)。

## 応用

このプログラムの一部は切り離して、ユーザの初期化ルーチンの中に挿入することができる。それは、適当な初期化を一度実行すれば、このプログラムでもう一度繰り返す必要はないからである。また、プログラムは“モニタにリタ

ーンする”という命令で、いつでも終了することができる。しかし、実際には、プログラムの一部はサブルーチンの一部やループまたはサービス・ルーチンの一部を形成していることがある。

このプログラムで収集されたデータは、そのままメモリに記憶される。しかし、データを処理してから記憶したり、他のポートから出力させることもできる。

ここに示された例で、RD入力はポート・ビットで制御されるので、これらのビットをさらにデコードし、アドレス範囲を広げることができる。これは、また2つ以上のデバイスの出力が同時にイネーブルされるのを防ぐことができる(誤ったワードが偶然ポートに書き込まれた場合)。

ZN448のスリー・ステート出力を正しく制御すれば、他の様々なデバイスをデータの読み出しを行うポートに接続することができる。また、このポートは入力または出力モードに変更を行うこともできる。

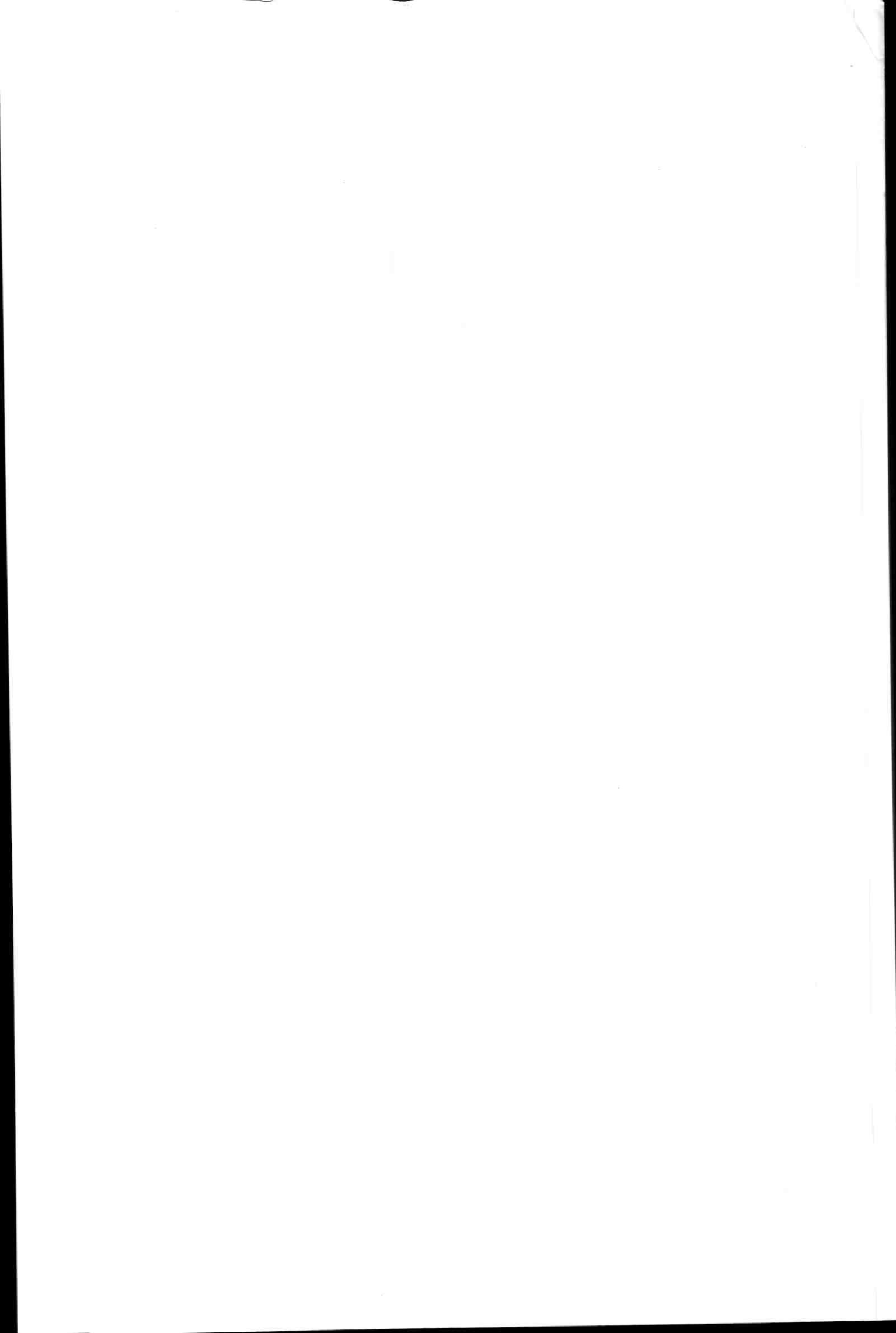
前記の応用において、ポートAはデータを読み出すために使用し、ポートBはZN448を制御/モニタするために使用している。これらのポートを互いに交換することができるし、別の用途に使用することもできる。

## まとめ

このレポートは、フェランティ社ZN447/8/9ADコンバータをZ80 $\mu$ Pと簡単にインターフェイスする方法について述べている。明らかに、収集したデータを記憶し、処理する方法は他にもたくさんある。ユーザは、それぞれの要求に従って、ここで述べた回路/プログラムを応用して欲しい。

このレポートの内容は、他のほとんどの $\mu$ Pにも応用可能である。







エレクトロニクス部

**コーンズ**

アンド・カンパニー・リミテッド

東京/東京都中央区日本橋2-3-10 (丸善ビル) 〒103 TEL (03) 272-5771 (大代表)  
大阪/大阪市西区西本町1丁目13-40 〒550 TEL (06) 532-1013 (代表)