

AZB0001
業務用ゲーム基板 TYPE-A

取扱説明書

§ 1: ボード仕様

CPU	川崎マイクロエレクトロニクス製 KL5C80A12(マキシマムモード) システムクロック 最大10MHz(標準搭載のXtalで9.8304MHz) § 2-2:CPU
ROM	最大1MBytes(27C4000 × 2) 物理アドレス 00000h ~ 0FFFFh は固定 物理アドレス 10000h ~ 1FFFFh に 15 ページ分バンク切替
RAM	標準 64kBytes(62864 × 1) バッテリーバックアップ 物理アドレス 70000h ~ 7FFFFh にマッピング
データ用 ROM	最大8MBytes(27C4000 × 16) 物理アドレス 20000h ~ 5FFFFh に 32 ページ分バンク切替
サウンド ROM	最大2MBytes(27C4000 × 4) (256kBytes × 8 ページ バンク切替)
DIPSW	各種設定用 (8bit × 2)
バンク切替	ROM やRAM のバンク切替にはCPU 内蔵の I/O ポートは使用しないで外部にラッチを用意。
バス開放機能	基板上に CPU バスおよび CS 信号を配置した拡張用コネクタを配置しており、他の CPU ボードをコネクタに接続出来ます。
テストピン	主要な制御信号の途中にプローブを当てられるようにランドを設けています。
CRTC	ヤマハ製 YGV606B アナログRGB 15.7kHz / 368 × 240[dots](26万色中256色表示) VRAM 標準 1MBytes(512 × 1024[dots]) § 3:CRTC
サウンド IC	沖電気工業製 MSM6295(ADPCM × 4ch) サンプリングレート : 6.4kHz, 8kHz, 25.6kHz, 32kHz からソフトで選択可能 § 4: サウンド IC
基板サイズ	190 × 280[mm](4層)
出力端子 16 点	リレー接点(MAX 5A(DC30V)/1.2A(AC250V)):4点 O.C.(MAX 1.5A):4点 O.C.(MAX 0.5A):4点 TTL 出力:4点
入力端子 24 点	10k プルアップ・CR フィルタ・シュミットトリガ付き

§ 2: システム概要

§ 2-1: 本ボードの概要

本ボードは4層スルーホール基板で作られています。

基板の一端に JAMMA 規格コネクタがあり、ゲームに関する入出力がまとめられています。

大容量負荷をドライブする事が可能な出力コネクタが基板上にあります。

Appendix A: コネクタ一覧表

サウンド IC と CRTC を搭載しており、表現豊かなゲームを提供する事が可能です。

§ 2-2: CPU

本ボードの CPU は、川崎マイクロエレクトロニクス株式会社製の KL5C80A12 です。

本ボードは、CPU をマキシマムモードで使用する事を前提として設計しています。

CPU 内蔵の MMU 機能によって、プログラム ROM とデータ用 ROM の全てのデータにアクセスする事を可能にしています。

§ Appendix B: メモリマップ

CPU の仕様書は下記からご請求下さい。

川崎マイクロエレクトロニクス株式会社 〒261-8501 千葉市美浜区中瀬1丁目3番地 TEL.043-296-7414 FAX.043-296-3285 ホームページ http://www.k-micro.com/

CPU 回路は DC5V 単一電源で動作する設計になっています。

音声アンプを使う場合には DC12V を供給して下さい。

その他、外部機構をドライブする際には、回路の定格にご注意下さい。

§ 2-3: 周辺機能

本ボードには以下の周辺機能が搭載されています。

詳細は各章をご覧下さい。

- ・ CRTC § 3. CRTC
- ・ サウンド § 4. サウンド IC
- ・ I/O § 5. 入出力

§ 2-4. バンク切替

本ボードでは大容量のデータを扱うため、CPU の MMU と I/O エリア上にあるラッチでバンク切替機能を実現しています。バンク切替で物理メモリ空間にマッピング可能な領域の配置については、「Appendix B: メモリマップ」を参照して下さい。

バンク切替に関する I/O アドレスを下表に示します。

I/Oアドレス	内容
81h	サウンド再生速度切替/データROMバンク切替
82h	サウンドROMバンク切替/プログラムROMバンク切替

§ 2-4-1. プログラム ROM バンク切替 / 音声 ROM バンク切替

プログラム ROM バンク切替と音声 ROM バンク切替は、同一の I/O ポート(82h)で行います。

82h							
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
-	ABS2	ABS1	ABS0	PBS3	PBS2	PBS1	PBS0

ABS2 ~ ABS0 : 音声 ROM バンク指定

PBS3 ~ PBS0 : プログラム ROM バンク指定

- ・プログラム ROM 領域には最大 2 個の 27C4000 を実装する事が出来ます。

PBS 設定値と選択される ROM の領域の対応は「Appendix D: バンク切替・物理アドレス対応表」を参照して下さい。

例 : ROM1 の 30000H ~ 3FFFFH を物理メモリ空間 10000H ~ 1FFFFH に設定する

I/O の 82h-bit3 ~ bit0 を、0011b に設定する

- ・音声 ROM 領域には最大 4 個の 27C4000 を実装する事が出来ます。

音声 ROM はメモリマップ上ではなく、サウンド IC に繋がっています。

ABS 設定値と選択される ROM の領域の対応は「Appendix D: バンク切替・物理アドレス対応表」を参照して下さい。

例 : ROM20 の 40000H ~ 7FFFFH を再生用に設定する

I/O の 82h-bit6 ~ bit4 を、011b に設定する

§ 2-4-2. データ ROM バンク切替

データ ROM バンク切替は、音声再生速度設定と同一の I/O ポート(81h)で行います。

81h

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
-	ASS1	ASS0	VBS4	VBS3	VBS2	VBS1	VBS0

ASS1 ~ ASS0 : 音声再生速度設定 § 4 サウンド IC

VBS4 ~ VBS0 : データ ROM バンク指定

- ・ データ ROM 領域には最大 16 個の 27C4000 を実装する事が出来ます。

VBS 設定値と選択される ROM の領域の対応は「Appendix D: バンク切替・物理アドレス対応表」を参照して下さい。

例 : ROM7 の 40000H ~ 7FFFFH を物理メモリ空間 20000H ~ 5FFFFH に設定する
I/O の 81h-bit4 ~ bit0 を、01001b に設定する

§ 2-4-3. バンク切替機能の注意事項

ABS(音声 ROM バンク指定)と PBS(プログラム ROM バンク指定)は同じアドレス上(82h)にあります。

また、VBS(データ ROM バンク指定)と ASS(音声再生速度設定)は同じアドレス上(81h)にあります。

この2つのポートはビット単位での操作が出来ません。また、読み出しも出来ませんので、ソフトウェアによってバッファを用意し、そのバッファに対してビット操作を行ってからバイト単位で書き込みを行う必要があります。

§ 2-5. バッテリバックアップ RAM

本ボードには 64kbytes の SRAM(62864)を実装しています。

この SRAM はリチウムバッテリーでバックアップしています。MAX690A(リセット IC)によって Vcc 電圧低下時には書き込みがプロテクトされます。

この SRAM は物理メモリ空間 70000h ~ 7FFFFh にマッピングされています。

§ 3: CRTC

§ 3-1: CRTC の概要

本ボードにはヤマハ株式会社製の CRTC、YGV606B を搭載しています。

YGV606B には 1MBytes の DRAM が接続されており、最大 512 × 1024dots のグラフィック空間を扱うことが出来ます。

本ボードには 15.7kHz のアナログ RGB ドライブ回路を搭載しており、上記グラフィック空間中の 368 × 240dots の任意の領域を表示することが出来ます。

CRTC のデータシートは下記からご請求下さい。

ヤマハ株式会社 東京営業所
〒 108-8568 東京都港区高輪 2-17-11
ホームページ <http://www.yamaha.co.jp/product/lcsi/index.html>

§ 3-2. CRTC の操作

CRTC は I/O アドレス 60h ~ 67h に接続されており、CPU からの描画命令によって表示を行います。

CRTC のレジスタ操作等は YGV606B データシートをご覧ください。

§ 3-3. プログラム例

初期化のプログラム例を示します。

```
; void VDPinit( void );
CSEG
VDPinit_::
; ソフトウェアリセット
ld a, 1
out (66h), a
xor a
out (66h), a
; 実行中コマンド停止
ld a, 31h ; R49
out (61h), a
xor a ; CMDSTOP
out (60h), a
; VDP初期化
ld a, R00
out (61h), a ; start R00
ld a, 01h ; 00000001b
out (60h), a ; R00
ld a, 31h ; 00110001b
out (60h), a ; R01
ld a, 19h ; 00011001b
out (60h), a ; R02
xor a
out (60h), a ; R03
out (60h), a ; R04
ld a, 120
out (60h), a ; R05
ld a, 184
out (60h), a ; R06
ld a, 01h ; 00000001b
out (60h), a ; R07
xor a
out (60h), a ; R08
out (60h), a ; R09
out (60h), a ; R10
out (60h), a ; R11
out (60h), a ; R12
out (60h), a ; R13
out (60h), a ; R14
out (60h), a ; R15
ret
```

§ 4: サウンド IC

§ 4-1: サウンド IC の概要

本ボードには沖電気株式会社製のサウンド IC、MSM6295 を搭載しています。
本ボードでは、MSM6295 に 512kBytes の ROM が最大 4 個接続可能な回路構成になっています。

サウンド IC のデータシートは下記からご請求下さい。

沖電気工業株式会社 シリコンソリューションカンパニー
〒108-8568 東京都港区高輪2-17-11
ホームページ <http://www.okisemi.com/jp/>

§ 4-2. サウンド IC の操作

サウンド IC は I/O アドレス 40h に接続されており、CPU からの再生命令によって再生を行います。
サウンド IC のレジスタ操作等は MSM6295 データシートをご覧ください。

§ 4-3. 音声 ROM のバンク切替

「§ 2-4-1. プログラム ROM バンク切替 / 音声 ROM バンク切替」を参照して下さい。

§ 4-4. 音声再生速度設定

データ ROM バンク切替は、音声再生速度設定と同一の I/O ポート(81h)で行います。

81h							
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
-	ASS1	ASS0	VBS4	VBS3	VBS2	VBS1	VBS0

ASS1 ~ ASS0 : 音声再生速度設定

VBS4 ~ VBS0 : データ ROM バンク指定 § 2-4-2. データ ROM バンク切替

音声再生速度と設定の対応は下表のパラメータで行います。

再生速度(kHz)	ASS1	ASS0
25.6	0	0
32	0	1
6.4	1	0
8	1	1

再生中に速度を変更した時の動作は保証しません。

§ 4-5. プログラム例

初期化および音声再生のプログラム例を示します。

```
#define SUCCESS    0
#define FAULT      1

/*
 * void PCMinit( void ) -- MSM6295を初期化する
 */
void PCMinit( void )
{
    char banksw_status;

    outp( 0x40, 0x78 );                /* 全チャンネル再生停止 */
    /* この後、再生速度を設定する */
}

/*
 * char PCMbgm( char BGMnumber ) -- BGMnumberで指定されたBGMを再生する(CH1)
 * 再生開始したらSUCCESSを、再生中であればFAULTを返す
 */
char PCMbgm( BGMnumber )
char BGMnumber;
{
    char pcm_status;
    char number;

    number = BGMnumber & 0x0f;

    pcm_status = inp( 0x40 );
    if( pcm_status & 0x01 != 0 ) return( FAULT ); /* CH1再生中 */

    outp( 0x40, number + 128 );
    outp( 0x40, 0x10 );                /* CH1 */

    return( SUCCESS );
}
```


§ 5: 入出力

この章では、本ボードでの I/O ポートの使用方法を説明します。

§ 5-1. 外付け I/O ポート

80h							
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
RLY4	RLY3	RLY2	RLY1	CN4-6	CN4-5	CN4-4	CN4-3

RLY4 : bit を '1' にすると CN4-16 と CN4-17 が ON

'0' にすると CN4-16 と CN4-18 が ON

RLY3 : bit を '1' にすると CN4-13 と CN4-14 が ON

'0' にすると CN4-13 と CN4-15 が ON

RLY2 : bit を '1' にすると CN4-10 と CN4-11 が ON

'0' にすると CN4-10 と CN4-12 が ON

RLY1 : bit を '1' にすると CN4-7 と CN4-9 が ON

'0' にすると CN4-7 と CN4-8 が ON

CN4-6 : bit を '1' にすると ACTIVE

CN4-5 : bit を '1' にすると ACTIVE

CN4-4 : bit を '1' にすると ACTIVE

CN4-3 : bit を '1' にすると ACTIVE

RLY4 ~ RLY1 は、リレーの制御です。リレーの接点容量は DC5A(30V)/AC1.2A(250V)です。

CN4-6 ~ CN4-3は、O.C. (TD62064)の制御です。SINKで最大1.5Aの能力がありますが、**常時1.5Aのドライブを許容している、という意味ではありません。詳細はTD62064の仕様書をご覧ください。**

A0h							
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DS18	DS17	DS16	DS15	DS14	DS13	DS12	DS11

C0h							
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DS28	DS27	DS26	DS25	DS24	DS23	DS22	DS21

DS18 ~ DS11 : DIPSW1(8 ~ 1)

DS28 ~ DS21 : DIPSW2(8 ~ 1)

DS18 ~ DS11 は DIPSW1 の状態、DS28 ~ DS21 は DIPSW2 の状態が反映されます。

DIPSW を ON にした時に対応する bit が '0' になります。

(次ページへ続きます)

§ 5-2. CPU 内蔵 I/O ポート

2Ah

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CN1-T	CN1-16	CN1-U	CN1-17	NMI_	INT_	CN1-R	CN1-15

CN1-T : 'L' 入力で bit が '1' になる

CN1-16 : 'L' 入力で bit が '1' になる

CN1-U : 'L' 入力で bit が '1' になる

CN1-17 : 'L' 入力で bit が '1' になる

NMI_ : ウォッチドッグ入力

INT_ : CRTC 割込み入力

CN4-4 : 'L' 入力で bit が '1' になる

CN4-3 : 'L' 入力で bit が '1' になる

このポートは出力に設定しないで下さい。

NMI_ と INT_ を除いた全てのピンに入力される信号は 10kΩ でプルアップされており、CR フィルタとシュミットインバータを通して入力されています。

NMI_ は 31h の bit7 の信号が反転されて入力されています。

INT_ は CRTC の割込信号が接続されています。

2Ch

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CN1-Y	CN1-21	CN1-X	CN1-20	CN1-W	CN1-19	CN1-V	CN1-18

CN1-Y : 'L' 入力で bit が '1' になる

CN1-21 : 'L' 入力で bit が '1' になる

CN1-X : 'L' 入力で bit が '1' になる

CN1-20 : 'L' 入力で bit が '1' になる

CN1-W : 'L' 入力で bit が '1' になる

CN1-19 : 'L' 入力で bit が '1' になる

CN1-V : 'L' 入力で bit が '1' になる

CN1-18 : 'L' 入力で bit が '1' になる

このポートは出力に設定しないで下さい。

全てのピンに入力される信号は 10kΩ でプルアップされており、CR フィルタとシュミットインバータを通して入力されています。

30h

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CN2-10	CN2-9	CN2-8	CN2-7	CN2-14	CN2-13	CN2-12	CN2-11

- CN2-10 : 'L' 入力で bit が '1' になる
 CN2-9 : 'L' 入力で bit が '1' になる
 CN2-8 : 'L' 入力で bit が '1' になる
 CN2-7 : 'L' 入力で bit が '1' になる
 CN2-14 : bit を '1' にすると ACTIVE
 CN2-13 : bit を '1' にすると ACTIVE
 CN2-12 : bit を '1' にすると ACTIVE
 CN2-11 : bit を '1' にすると ACTIVE

このポートは上位 4bit を入力に、下位 4bit を出力に設定して下さい。

CN2-14 ~ CN2-17 ピンに入力される信号は 10kΩ でプルアップされており、CR フィルタとシュミットインバータを通して入力されています。

CN2-14 ~ CN2-11 は、O.C. (TD62083) の制御です。SINK で最大 500mA の能力がありますが、**常時 500mA のドライブを許容している、という意味ではありません。詳細は TD62083 の仕様書をご覧ください。**

31h

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
WDT	-	-	-	CN1-K	CN1-9	CN1-J	CN1-8

- WDT : 'L' 'H' 出力で NMI 割込が発生する
 CN1-K : bit を '1' にすると ACTIVE
 CN1-9 : bit を '1' にすると ACTIVE
 CN1-J : bit を '1' にすると ACTIVE
 CN1-8 : bit を '1' にすると ACTIVE

bit7・bit3 ~ 0 は出力に設定して下さい。bit6 ~ 4 は無接続です(プルアップされています)。

WDT は反転して NMI_ 端子に接続されています。

その他のポートは、O.C. (TD62083) の制御です。SINK で最大 500mA の能力がありますが、**常時 500mA のドライブを許容している、という意味ではありません。詳細は TD62083 の仕様書をご覧ください。**

32h

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CN1-b	CN1-24	CN1-a	BACK	CN1-23	CN1-Z	CN2-22	BREQ

- CN1-b : 'L' 入力で bit が '1' になる
 CN1-24 : 'L' 入力で bit が '1' になる
 CN1-a : 'L' 入力で bit が '1' になる
 BACK_ : パスアクリッジ出力
 CN1-23 : 'L' 入力で bit が '1' になる
 CN1-Z : 'L' 入力で bit が '1' になる
 CN1-22 : 'L' 入力で bit が '1' になる
 BREQ_ : パスリクエスト入力

BACK_ と BREQ_ を除いた全てのピンに入力される信号は 10kΩ でプルアップされており、CR フィルタとシュミットインバータを通して入力されています。

BACK_ と BREQ_ は CPU バスの制御線です。

§ Appendix A: コネクタ一覧表

CN1: カードエッジ 3.96mm ピッチ (JAMMA 規格準拠)

	JAMMA信号名	本ボード信号名		JAMMA信号名	本ボード信号名
1	GND	GND	A	GND	GND
2	GND	GND	B	GND	GND
3	+V5	VCC	C	+V5	VCC
4	+V5	VCC	D	+V5	VCC
5	N.C.	NC	E	N.C.	NC
6	+ 12V	+12V	F	+ 12V	+12V
7	誤挿入防止キー		H	誤挿入防止キー	
8	COIN COUNTER 1	P30	J	COIN COUNTER 2	P31
9	COIN LOCKOUT 1	P32	K	COIN LOCKOUT 2	P33
10	SPEAKER (+)	音声アンプ	L	SPEAKER (-)	音声アンプ
11	N.C.	NC	M	N.C.	NC
12	VIDEO RED	CRTC	N	VIDEO GREEN	CRTC
13	VIDEO BLUE	CRTC	P	VIDEO SYNC	CRTC
14	VIDEO GND	CRTC	R	SERVICE SWITCH	P01
15	TEST SWITCH	P00	S	TILT SWITCH	未使用
16	COIN SWITCH 1	P06	T	COIN SWITCH 2	P07
17	START SWITCH 1	P04	U	START SWITCH 2	P05
18	1P UP SWITCH	P10	V	2P UP SWITCH	P11
19	1P DOWN SWITCH	P12	W	2P DOWN SWITCH	P13
20	1P LEFT SWITCH	P14	X	2P LEFT SWITCH	P15
21	1P RIGHT SWITCH	P16	Y	2P RIGHT SWITCH	P17
22	1P SHOT1 SWITCH	P41	Z	2P SHOT1 SWITCH	P42
23	1P SHOT2 SWITCH	P43	a	2P SHOT2 SWITCH	P45
24	1P SHOT3 SWITCH	P46	b	2P SHOT3 SWITCH	P47
25	N.C.	NC	c	N.C.	NC
26	N.C.	NC	d	N.C.	NC
27	GND	NC	e	GND	NC
28	GND	NC	f	GND	NC

CN2: 日本圧着端子 B14P-SHF-1AA

	信号名	摘要
1	GND	
2	GND	
3	+ 5V	
4	+ 5V	
5	+ 12V	
6	+ 12V	
7	入力	P24
8	入力	P25
9	入力	P26
10	入力	P27
11	O.C. SINK MAX0.5A	P20
12	O.C. SINK MAX0.5A	P21
13	O.C. SINK MAX0.5A	P22
14	O.C. SINK MAX0.5A	P23

CN3: ヒロセ電機 HIF3FC-10PA-2.54DSA

	信号名	摘要
1	BFSIO	バグファインダ
2	CK	バグファインダ
3	+5V	
4	GND	
5	NC	
6	NC	
7	NC	
8	NC	
9	NC	
18	NC	

CN4: 日本圧着端子 B18P-SHF-1AA

	信号名	摘要
1	GND	
2	+ 12V	
3	O.C. SINK MAX1.5A	80h-bit0
4	O.C. SINK MAX1.5A	80h-bit1
5	O.C. SINK MAX1.5A	80h-bit2
6	O.C. SINK MAX1.5A	80h-bit3
7	リレー1 COM (3A)	80h-bit4
8	リレー1 NO	
9	リレー1 NC	
10	リレー2 COM (3A)	80h-bit5
11	リレー2 NO	
12	リレー2 NC	
13	リレー3 COM (3A)	80h-bit6
14	リレー3 NO	
15	リレー3 NC	
16	リレー4 COM (3A)	80h-bit7
17	リレー4 NO	
18	リレー4 NC	

CN5: ヒロセ電機 HIF3FC-50PA-2.54DSA

	信号名		信号名
1	GND	2	GND
3	+5V	4	+5V
5	D0	6	D1
7	D2	8	D3
9	D4	10	D5
11	D6	12	D7
13	A0	14	A1
15	A2	16	A3
17	A4	18	A5
19	A6	20	A7
21	A8	22	A9
23	A10	24	A11
25	A12	26	A13
27	A14	28	A15
29	A16	30	A17
31	A18	32	/MRD
33	/MWR	34	/IORD
35	/IOWR	36	/WAIT
37	/BREQ	38	/BACK
39	/RESET	40	NC
41		42	
43		44	
45		46	
47		48	
49		50	

CN6: ヒロセ電機 HIF3FC-34PA-2.54DSA

	信号名		信号名
1	GND	2	GND
3	+5V	4	+5V
5	CSEL0(/ROM1CE)	6	CSEL1(/ROM2CE)
7	/ROM3CE	8	/ROM4CE
9	/ROM5CE	10	/ROM6CE
11	/ROM7CE	12	/ROM8CE
13	/ROM9CE	14	/ROM10CE
15	/ROM11CE	16	/ROM12CE
17	/ROM13CE	18	/ROM14CE
19	/ROM15CE	20	/ROM16CE
21	/ROM17CE	22	/ROM18CE
23	CSEL2(/IC2CE)	24	CSEL3(/IC3CE)
25	CSEL4(/CRTSEL)	26	CSEL5(/IC7LATCH)
27	CSEL6(/IC35LATCH)	28	CSEL7(/IC36LATCH)
29	CSEL8(/IC17G1)	30	CSEL9(/IC18G1)
31		32	
33		34	

§ Appendix B: メモリマップ

00000H	プログラムROM (ページ0)					
0FFFFH						
10000H	プログラムROM (ページ0)	プログラムROM (ページ1)	プログラムROM (ページ2)	...	プログラムROM (ページ15)	
1FFFFH						
20000H	画像用ROM (ページ0)	画像用ROM (ページ1)	画像用ROM (ページ31)
5FFFFH						
60000H	未使用					
6FFFFH						
70000H	ワークRAM					
7FFFFH						
80000H	未使用					
FFDFH						
FFE00H	CPU内蔵RAM					
FFFFH						

§ Appendix C: I/O マップ

・外部 I/O ポート

I/Oアドレス	bit	接続先	入出力種別	入出力状態		摘要
				L	H	
40h	7~0	MSM6295	入出力			音声再生
60h	7~0	YGV606B	入出力			CRTC
80h	7	CN4-16,17,18	出力		×	リレー接点 MAX2A
	6	CN4-13,14,15	出力		×	リレー接点 MAX2A
	5	CN4-10,11,12	出力		×	リレー接点 MAX2A
	4	CN4-7,8,9	出力		×	リレー接点 MAX2A
	3	CN4-6	出力	Hi-Z	ACTIVE	O.C. SINK MAX1.5A
	2	CN4-5	出力	Hi-Z	ACTIVE	O.C. SINK MAX1.5A
	1	CN4-4	出力	Hi-Z	ACTIVE	O.C. SINK MAX1.5A
	0	CN4-3	出力	Hi-Z	ACTIVE	O.C. SINK MAX1.5A
81h	7	未使用				
	6,5	再生速度	出力			音声再生速度切替
	4~0	VBS4~0	出力			画像データROMバンク切替
82h	7	未使用				
	6~4	ABS2~0	出力			音声ROMバンク切替
	3~0	PBS3~0	出力			プログラムROMバンク切替
A0h	7~0	DIPSW1	入力	ON	OFF	
C0h	7~0	DIPSW2	入力	ON	OFF	

注：CN4-A,B,Cとすると、（出力L）の時AとCがON(AとBがOFF)

×(出力H)の時AとBがON(AとCがOFF)

・CPU 内蔵 I/O ポート

I/Oアドレス	bit	接続先	入出力種別	入出力状態		摘要
				L	H	
2Ah	7	CN1-T	入力	OFF	ON	ウォッチドッグ入力
	6	CN1-16	入力	OFF	ON	
	5	CN1-U	入力	OFF	ON	
	4	CN1-17	入力	OFF	ON	
	3	NMI	入力			
	2	CRTC割込	入力			
	1	CN1-R	入力	OFF	ON	
	0	CN1-15	入力	OFF	ON	
2Ch	7	CN1-Y	入力	OFF	ON	
	6	CN1-21	入力	OFF	ON	
	5	CN1-X	入力	OFF	ON	
	4	CN1-20	入力	OFF	ON	
	3	CN1-W	入力	OFF	ON	
	2	CN1-19	入力	OFF	ON	
	1	CN1-V	入力	OFF	ON	
	0	CN1-18	入力	OFF	ON	
30h	7	CN2-10	入力	H	L	O.C. SINK MAX0.5A O.C. SINK MAX0.5A O.C. SINK MAX0.5A O.C. SINK MAX0.5A
	6	CN2-9	入力	H	L	
	5	CN2-8	入力	H	L	
	4	CN2-7	入力	H	L	
	3	CN2-14	出力	Hi-Z	ACTIVE	
	2	CN2-13	出力	Hi-Z	ACTIVE	
	1	CN2-12	出力	Hi-Z	ACTIVE	
	0	CN2-11	出力	Hi-Z	ACTIVE	
31h	7	ウォッチドッグ出力	出力		ACTIVE	NMIへ反転して接続
	6~4	未使用				
	3	CN1-K	出力	Hi-Z	ACTIVE	O.C. SINK MAX0.5A
	2	CN1-9	出力	Hi-Z	ACTIVE	O.C. SINK MAX0.5A
	1	CN1-J	出力	Hi-Z	ACTIVE	O.C. SINK MAX0.5A
0	CN1-8	出力	Hi-Z	ACTIVE	O.C. SINK MAX0.5A	
32h	7	CN1-b	入力	OFF	ON	CPU信号 CPU信号
	6	CN1-24	入力	OFF	ON	
	5	CN1-a	入力	OFF	ON	
	4	BACK_	出力	ACTIVE		
	3	CN1-23	入力	OFF	ON	
	2	CN1-Z	入力	OFF	ON	
	1	CN1-22	入力	OFF	ON	
	0	BREQ	入力	ACTIVE		

§ Appendix D: バンク切替・物理アドレス対応表

・PBS(プログラムROMバンク選択)

バンク設定	CPUアドレス	ROM番号	ROMアドレス	摘要
PBS 3 2 1 0				
* * * *	00000 ~ 0FFFF	ROM1	00000 ~ 0FFFF	プログラムROM
0 0 0 0	10000 ~ 1FFFF	ROM1	00000 ~ 0FFFF	プログラムROM
0 0 0 1		ROM1	10000 1FFFF	
0 0 1 0		ROM1	20000 2FFFF	
0 0 1 1		ROM1	30000 3FFFF	
0 1 0 0		ROM1	40000 4FFFF	
0 1 0 1		ROM1	50000 5FFFF	
0 1 1 0		ROM1	60000 6FFFF	
0 1 1 1		ROM1	70000 7FFFF	
1 0 0 0		ROM2	00000 0FFFF	プログラムROM
1 0 0 1		ROM2	10000 1FFFF	
1 0 1 0		ROM2	20000 2FFFF	
1 0 1 1		ROM2	30000 3FFFF	
1 1 0 0		ROM2	40000 4FFFF	
1 1 0 1		ROM2	50000 5FFFF	
1 1 1 0		ROM2	60000 6FFFF	
1 1 1 1		ROM2	70000 7FFFF	

・VBS(データROMバンク選択)

バンク設定	CPUアドレス	ROM番号	ROMアドレス	摘要
VBS 4 3 2 1 0				
0 0 0 0 0	20000 ~ 5FFFF	ROM3	00000 ~ 3FFFF	データROM
0 0 0 0 1		ROM3	40000 7FFFF	
0 0 0 1 0		ROM4	00000 3FFFF	データROM
0 0 0 1 1		ROM4	40000 7FFFF	
0 0 1 0 0		ROM5	00000 3FFFF	データROM
0 0 1 0 1		ROM5	40000 7FFFF	
0 0 1 1 0		ROM6	00000 3FFFF	データROM
0 0 1 1 1		ROM6	40000 7FFFF	
0 1 0 0 0		ROM7	00000 ~ 3FFFF	データROM
0 1 0 0 1		ROM7	40000 7FFFF	
0 1 0 1 0		ROM8	00000 3FFFF	データROM
0 1 0 1 1		ROM8	40000 7FFFF	
0 1 1 0 0		ROM9	00000 3FFFF	データROM
0 1 1 0 1		ROM9	40000 7FFFF	
0 1 1 1 0		ROM10	00000 3FFFF	データROM
0 1 1 1 1		ROM10	40000 7FFFF	
1 0 0 0 0		ROM11	00000 ~ 3FFFF	データROM
1 0 0 0 1		ROM11	40000 7FFFF	
1 0 0 1 0		ROM12	00000 3FFFF	データROM
1 0 0 1 1		ROM12	40000 7FFFF	
1 0 1 0 0		ROM13	00000 3FFFF	データROM
1 0 1 0 1		ROM13	40000 7FFFF	
1 0 1 1 0		ROM14	00000 3FFFF	データROM
1 0 1 1 1		ROM14	40000 7FFFF	
1 1 0 0 0		ROM15	00000 ~ 3FFFF	データROM
1 1 0 0 1		ROM15	40000 7FFFF	
1 1 0 1 0		ROM16	00000 3FFFF	データROM
1 1 0 1 1		ROM16	40000 7FFFF	
1 1 1 0 0		ROM17	00000 3FFFF	データROM
1 1 1 0 1		ROM17	40000 7FFFF	
1 1 1 1 0		ROM18	00000 3FFFF	データROM
1 1 1 1 1		ROM18	40000 7FFFF	

・ABS(音声ROMバンク選択)

バンク設定	CPUアドレス	ROM番号	ROMアドレス	摘要
ABS 2 1 0				
0 0 0		ROM19	00000 ~ 3FFFF	音声ROM
0 0 1		ROM19	40000 7FFFF	
0 1 0		ROM20	00000 ~ 3FFFF	音声ROM
0 1 1		ROM20	40000 7FFFF	
1 0 0		ROM21	00000 ~ 3FFFF	音声ROM
1 0 1		ROM21	40000 7FFFF	
1 1 0		ROM22	00000 ~ 3FFFF	音声ROM
1 1 1		ROM22	40000 7FFFF	

弊社は、技術的改良などの理由により予告なく製品を変更、製造中止またはサービスの提供を中止することがありますので、お客様は、発注される前に、これから参照しようとする情報が最新かつ完全なものであることを確認するため、最新版の情報を取得するようお勧めします。

全ての製品はお客様と弊社との間に取引契約が締結されている場合は、当該契約条件に基づき、また取引契約が締結されていない場合は、ご注文の受諾の際に提示される保証、特許侵害、責任制限に関する条項を含む弊社の標準販売契約約款に従って販売されます。

弊社は、その製品が弊社の標準保証条件に従い販売時の仕様書に対応した性能を有していること、またはお客様と弊社との間で合意された保証条件に従い合意された仕様書に対応した性能を有していることを保証します。検査およびその他の品質管理手法は、弊社が当該保証を支援するのに必要とみなす範囲で行なっています。各製品の全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

弊社製品を使用しているお客様の製品についてはお客様が責任を負っています。お客様の製品について想定されうる危険を最小のものとするため、製品固有の障害発生要因もしくは組み合わせによる障害発生要因を減らすための、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。



株式会社ピコシステムズ

本社: 〒270-0017 千葉県松戸市幸谷332-7

東京事業所: 〒124-0021 東京都葛飾区細田3-9-37 ライオンズマンション京成高砂213号室

TEL: 03-5889-8906 FAX: 03-5889-8916

Pico Systems Web: <http://www.pico-ltd.co.jp/>